

DISEÑO E IMPLEMENTACIÓN DE UN IMPEDANCIÓMETRO PORTÁTIL



Anderson Gelvez Dueñas

José Luíís Herrera Celis

UNIVERSIDAD INDUSTRIAL DE SANTANDER

Facultad de Ingenierías Físico-Mecánicas

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Bucaramanga

2009

DISEÑO E IMPLEMENTACIÓN DE UN IMPEDANCIÓMETRO PORTÁTIL

Anderson Gelvez Dueñas

José Luís Herrera Celis

Trabajo de grado presentado para optar al título de:

Ingeniero Electrónico

Director:

Jaime Guillermo Barrero Pérez

Magíster en Potencia Eléctrica (MPE)

Codirector:

José Alejandro Amaya Palacio

Magíster en Ingeniería Área Electrónica

UNIVERSIDAD INDUSTRIAL DE SANTANDER

Facultad de Ingenierías Físico-Mecánicas

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Bucaramanga

Noviembre de 2009

AGRADECIMIENTOS

Agradecemos en primer lugar a Dios por habernos dado las habilidades necesarias para alcanzar esta meta, a nuestros padres por su dedicación y esfuerzo, a la universidad por la oportunidad brindada, a la división de mantenimiento tecnológico por su valioso apoyo y patrocinio, a la escuela de ingeniería metalúrgica por su confianza en nosotros, a nuestro director Jaime Barrero por su acompañamiento y sabios consejos, a nuestro codirector José Amaya por su apoyo, al grupo CEMOS por su confianza, a nuestros amigos por sus voces de aliento en momentos difíciles y en general a todos aquellos que de alguna manera contribuyeron a nuestra formación o aportaron algo a este proyecto.

Los autores del proyecto.

*A mis padres Santiago y María Stella
cuyo trabajo duro y esfuerzo constante fueron
mi motor de vida*

*A mi esposa Mónica
quien siempre me brindó su amor y apoyo
en los mas duros momentos*

*A mis abuelos
quienes siempre estuvieron ahí
compartiendo sus enseñanzas*

*A mis familiares y amigos
que me dieron su más sincero cariño*

Anderson Gelvez Dueñas

A mis padres
“Quienes han sido mis mejores maestros”

José Lu s Herrera Celis

CONTENIDO

Pag.

1. FUNDAMENTACIÓN TEÓRICA.....	3
1.1 ESTUDIOS DE CORROSIÓN MEDIANTE EIE.....	3
1.1.1 Corrosión.....	3
1.1.2 Procesos en una celda electroquímica.....	4
1.1.3 Modelo de una celda electroquímica.....	5
1.1.4 Técnica del seno simple	6
1.2 AVANCES COMPARATIVOS DEL MIEP	7
1.3 TEOREMA DE MUESTREO POR DESFASE.....	8
1.4 TÉCNICAS DE DISEÑO PARA EL PROCESAMIENTO DE SEÑAL	9
1.4.1 Amplificadores de instrumentación.....	10
1.4.2 Diseño de filtros activos.....	11
1.4.3 Topologías de conversores de datos.....	13
1.4.4 Opciones en manipulación de datos y cálculos matemáticos.....	14
2. DISEÑO DEL EQUIPO	16
2.1 DIAGRAMA DE BLOQUES	16
2.2 ASPECTOS DE DISEÑO DEL EQUIPO	17
2.3 REQUERIMIENTOS DE LOS DISPOSITIVOS	18
2.4 ESQUEMA DE REFERENCIAS DE TENSIÓN	18
2.4.1 Selección de dispositivos	19
2.4.2 Descripción de operación	19
2.5 ETAPA DE GENERACIÓN	21
2.5.1 Selección de dispositivos	21
2.5.2 Descripción general.....	22
2.6 ETAPA DE ATENUACIÓN.....	24
2.6.1 Selección de dispositivos	24

2.6.2	Implementación de la etapa	25
2.7	ETAPA DE SENSADO Y PREAMPLIFICACIÓN DE TENSIÓN	26
2.7.1	Selección del amplificador de instrumentación.....	26
2.7.2	Implementación de la etapa	27
2.8	ETAPA DE SENSADO Y PREAMPLIFICACIÓN DE CORRIENTE.....	28
2.8.1	Selección del dispositivo	28
2.8.2	Implementación inicial de la etapa.....	29
2.8.3	Implementación final de la etapa.....	30
2.9	ETAPA DE FILTRADO	31
2.9.1	Selección del amplificador operacional	31
2.9.2	Diseño del filtro.....	32
2.9.3	Simulación	33
2.10	ETAPA DE GANANCIA	35
2.10.1	Selección del amplificador operacional	35
2.10.2	Diseño	36
2.10.3	Simulación.....	37
2.11	ETAPA DE CONVERSIÓN DE DATOS	38
2.11.1	Selección del conversor de datos.....	38
2.11.2	Implementación	40
2.12	ETAPA DE PROCESAMIENTO DE DATOS	42
2.12.1	Selección del dispositivo	42
2.12.2	Módulos del DSC.....	47
2.12.3	Distribución de terminales de propósito general (GPIO)	50
2.13	ETAPA DE VISUALIZACIÓN DE RESULTADOS	54
2.13.1	Selección de la pantalla.....	54
2.13.2	Descripción de la pantalla	55
2.14	ETAPA DE COMUNICACIÓN USB	57
2.15	ETAPA DE ALIMENTACIÓN	59
2.15.1	Batería, cargador y tarjeta de protección.....	59
2.15.2	Reguladores	61
3.	PROGRAMACIÓN	64
3.1	ALGORITMO DE EJECUCIÓN DE LA PRUEBA	66
3.2	FUNCIONES DE INTERRUPCIÓN	73
3.2.1	Interrupción por TMRC0	73
3.2.2	Interrupción por nivel de tensión bajo en la batería	74

3.2.3	Interrupción por IRQA.....	75
3.2.4	Interrupción por IRQB.....	76
3.2.5	Interrupción por canal 1 del temporizador C.....	77
3.2.6	Interrupción por parte del módulo GPIOB	78
3.3	EL MIEP COMO EQUIPO	80
3.3.1	El barrido frecuencial.....	80
3.3.2	Control digital de la tensión aplicada a la celda.....	80
3.3.3	Incidencias en la medición de la amplitud de la impedancia	81
3.3.4	Incidencias en la medición del ángulo de la impedancia.....	82
3.3.5	Control sobre el consumo de energía.....	83
3.3.6	Optimización del algoritmo para el cálculo de la regresión senoidal ...	83
4.	PRUEBAS.....	85
4.1	RESULTADOS DE LAS PRUEBAS	85
	CONCLUSIONES	91
	RECOMENDACIONES	93
	BIBLIOGRAFÍA	94

LISTA DE FIGURAS

	Pag.
Figura 1. La celda electroquímica	4
Figura 2. Circuito equivalente de Randles.....	5
Figura 3. Interfase electrodo-electrolito.	6
Figura 4. Ejemplo del Teorema de muestreo por desfase.....	9
Figura 5. Técnica de señal mezclada.....	10
Figura 6. Configuración de tres amplificadores operacionales a) variación de la ganancia con una resistencia externa b) variación de la ganancia digitalmente. ...	11
Figura 7. Filtros a) ideal b) real.....	12
Figura 8. Diagrama de bloques.	16
Figura 9. Esquema de la referencia de tensión para la etapa de acondicionamiento de señal.....	20
Figura 10. Esquema de la referencia de tensión para el ADC.	21
Figura 11. Diagrama de bloques funcional de la etapa de Generación.....	22
Figura 12. Diagrama de bloques de la etapa de atenuación de señal.....	25
Figura 13. Esquemático de la etapa de sensado de tensión.....	28
Figura 14. Esquemático de la etapa inicial de sensado de corriente.....	30
Figura 15. Esquemático de la etapa final de sensado de corriente.....	30
Figura 16. Diseño del filtro pasabanda empleando FilterPro.....	33
Figura 17. Esquemático del filtro de cuarto orden butterworth.	33
Figura 18. Simulación de la respuesta del filtro a) magnitud b) fase.....	34
Figura 19. Configuración inversora de la etapa de ganancia.	37
Figura 20. Resultados de la simulación en configuración inversora con ganancia absoluta de 8 [V/V] a) para el LMH6611 b) para el ADA4850.	37
Figura 21. Esquemático del conversor.	40
Figura 22. Sistema de buses en la interfaz del núcleo 56800E.....	49

Figura 23. Vista frontal de la pantalla LCD CFAG320240CX-TFH-T.....	56
Figura 24. Vista posterior de la pantalla LCD CFAG320240CX-TFH-T.....	56
Figura 25. Diagrama de bloques de la pantalla LCD gráfica CFAG320240CX.	57
Figura 26. Interfaz de comunicación USB.	58
Figura 27. Baterías Li-Ion 18650 7.4 [V] 2200 [mAh] recargables.....	60
Figura 28. Cargador universal inteligente TLP-2000.	60
Figura 29. Tarjeta de circuito de protección para paquetes de baterías 7.4 [V] Li-ion 18650.....	61
Figura 30. Diagrama de flujo general del sistema.	64
Figura 31. Diagrama de flujo de la prueba	66
Figura 32. Diagrama de flujo de la función fijar_tensión(void).....	68
Figura 33. Diagrama de flujo del control y ajuste de tensión.....	69
Figura 34. Diagrama de flujo para el ajuste de IA2	70
Figura 35. Algoritmo para el envío de datos vía USB.....	72
Figura 36. Diagramas de flujo del proceso de muestreo.	74
Figura 37. Diagrama de flujo de la función batería_baja(void).	75
Figura 38. Diagrama de flujo de la función NYQUIST(void).	76
Figura 39. Diagrama de flujo de la función BODE(void);.....	77
Figura 40. Diagrama de estados del teclado.....	79
Figura 41. Código para el cálculo de las regresiones senoidales.....	84
Figura 42. Celda Dummy utilizada para realizar pruebas al MIEP	85
Figura 43. Gráfico de bode y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 10[Ω]	87
Figura 44. Gráfico de Nyquist y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 10[Ω]	87
Figura 45. Gráfico de bode y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 100[Ω].	88
Figura 46. Gráfico de Nyquist y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 100[Ω].	89
Figura 47. Gráfico de bode y valores de los elementos arrojados por el MIEP en la tercera prueba.	90

Figura 48. Gráfico de bode y valores de los elementos arrojados por el MIEP en la tercera prueba.	90
---	----

LISTA DE TABLAS

	Pag.
Tabla 1. Tipos de filtros analógicos.	12
Tabla 2. Resumen de topologías de conversores	13
Tabla 3. Resumen características referencia de tensión ADR510.	19
Tabla 4. Comparación de generadores de señal digital.	21
Tabla 5. Comparación de las características disponibles de las referencias preseleccionadas.	25
Tabla 6. Referencia de amplificadores de instrumentación preseleccionados.	27
Tabla 7. Selección del sensor de corriente.	29
Tabla 8. Selección del amplificador operacional para el filtro.....	32
Tabla 9. Selección del amplificador operacional de la etapa de ganancia.	36
Tabla 10. Selección del conversor analógico a digital.....	39
Tabla 11. Descripción e implementación de los terminales del AD9248.	40
Tabla 12. Referencias de MCU, DSP y DSC que se adaptan a los requerimientos del equipo.....	44
Tabla 13. Tarjetas de desarrollo de las referencias de la Tabla 12.	45
Tabla 14. Descripción de los buses internos de la arquitectura 56800E.	48
Tabla 15. Distribución de terminales de propósito general del MC56F8367.	51
Tabla 16. Módulos PWM.	53
Tabla 17 . Cuadro comparativo de las pantallas LCD preseleccionadas.	54
Tabla 18. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 10[Ω].	86
Tabla 19. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 100[Ω].	88
Tabla 20. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 100[Ω].	89

ANEXOS

ANEXO A CONFIGURACIÓN DE MÓDULOS Y TERMINALES DE PROPOSITO GENERAL.	97
ANEXO B MANUAL DE USO DEL MEDIDOR DE IMPEDANCIA ELECTROQUÍMICA PORTÁTIL (MIEP)	129
ANEXO C. CALCULOS CORRESPONDIENTES A LA RESOLUCIÓN DEL CONVERSOR ANALÓGICO DIGITAL.	133

TITULO: DISEÑO E IMPLEMENTACIÓN DE UN IMPEDANCIÓMETRO PORTÁTIL *

AUTORES: GELVEZ DUEÑAS, Anderson **
HERRERA CELIS, José Luís **

PALABRAS CLAVE:

Corrosión, controlador digital de señal, control digital, respuesta en frecuencia, impedanciómetro.

DESCRIPCIÓN

La necesidad de caracterizar materiales para determinar su comportamiento en diferentes condiciones requiere el diseño de equipos que puedan estimar parámetros determinantes en dicho comportamiento. Tal es el caso de la corrosión, un fenómeno que puede ser caracterizado con un método denominado espectroscopia de impedancia eléctrica (EIE), que permite deducir a partir de la medición de parámetros de impedancia eléctrica, la resistividad a la corrosión del material en estudio. Basado en este principio, el presente proyecto aborda el diseño y la implementación de un equipo que determina dichos parámetros sobre una celda electroquímica.

Inicialmente este proyecto realiza una breve introducción a los conceptos relevantes para la aplicación de la EIE. Además se revisan algunos criterios de diseño para seleccionar los dispositivos más críticos de esta aplicación.

Seguidamente, se hace la selección de dispositivos y topologías con el ánimo de disminuir la posibilidad de ruido y distorsión propios de los elementos y mantener un rango de alimentación único en todas las etapas, para reducir el consumo de potencia.

Después se lleva a cabo la implementación de las etapas y se realizan las pruebas de funcionamiento, para finalmente acoplarlas y combinarlas con algoritmos de programación que controlan el funcionamiento del prototipo y la ejecución de las pruebas de EIE.

El resultado de este proyecto es un equipo portátil con comunicación USB para envío de datos y autonomía para realizar estudios de corrosión basado en la EIE haciendo 37 pasos de frecuencia desde 100 Hz a 1 MHz con diez pasos equidistantes por década, permitiendo al usuario visualizar la impedancia de la celda en estudio mediante sus curvas de Bode y Nyquist, con lo cual conoce el valor de impedancia en el rango de frecuencias de esta aplicación y determina el tiempo aproximado de corrosión del material en las condiciones de la prueba

* Trabajo de grado

** Facultad de ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director Mpe. Jaime Guillermo Barrero Pérez. Codirector MSc. José Alejandro Amaya Palacio.

TITLE: DESIGN AND IMPLEMENTATION OF A PORTABLE IMPEDANCE METER[^]

AUTHORS: GELVEZ DUEÑAS, Anderson[♦]
HERRERA CELIS, José Luis[♦]

KEY WORDS:

Digital signal controller (dsc), digital control, frequency response, impedance meter.

DESCRIPTION

The need to characterize materials to assess their behavior under different conditions required for the design of equipment that can estimate parameters in determining such behavior. Such is the case of corrosion, a phenomenon that can be characterized by a method called electrical impedance spectroscopy (EIS), allowing to deduce from the measurement of electrical impedance parameters the corrosion resistivity of the material under study. Based on this principle, this project addresses the design and implementation of a equipment that determines these parameters on an electrochemical cell.

Initially this project, a brief introduction to the concepts relevant to the implementation of the EIS. Also reviews some design criteria for selecting the most critical devices for this application. Then continues with the selection of devices and topologies with the aim of reducing the possibility of noise and distortion own of the elements and maintain a single voltage range at all stages, to reduce power consumption.

After it carried out the implemented of the stages are realized functional tests to finally dock and combine them with programming algorithms that control the operation of the prototype and test execution of EIE.

The result of this project is a portable equipment with USB communication for sending data and autonomy to perform corrosion studies based on EIS frequency by 37 steps from 100 Hz to 1 MHz with ten equidistant steps per decade, allowing the user to view the impedance of the cell under study by the curves of Bode and Nyquist, which knows the value of impedance in the frequency range of this application and determines the approximate time of corrosion of materials in test conditions.

[^] Degreeproject.

[♦]Physics Machanical Engineering Faculty. Electrical, Electronic and Telecmmunications Engineering School. Advisor Mpe. Jaime Guillermo Barrero Perez. Co-advisor Msc. José Alejandro Amaya Palacio.

INTRODUCCIÓN

Con el fin de realizar estudios sobre las propiedades físico-químicas de varios tipos de materiales la industria ha adoptado diferentes métodos, uno de los cuales consiste en evaluar dichas propiedades a partir de pruebas eléctricas.

En el campo de estudio de la corrosión una de las técnicas más utilizadas se denomina espectroscopía de impedancia eléctrica, la cual consiste en modelar el comportamiento de una celda electroquímica con un equivalente de impedancia eléctrica. El modelo es el resultado de aplicar señales eléctricas a diferentes frecuencias. Para aplicar las señales, este proyecto se vale de la técnica denominada “seno simple” que consiste en energizar la celda con una señal senoidal del orden de mV y medir la respuesta de la celda, es decir la corriente resultante; la relación entre la tensión y la corriente permite determinar la impedancia asociada.

Debido a que el estudio anteriormente mencionado se realiza en el espectro de frecuencias los resultados obtenidos son mejores en la medida en que el rango de espectro utilizado sea mayor, este trabajo abarca 5 décadas de frecuencia en el rango de 100 [Hz] a 1 [MHz].

En el primer capítulo se presentan los conceptos teóricos y definiciones de mayor importancia tenidos en cuenta para la selección e implementación de los diferentes dispositivos y configuraciones utilizadas, así como las técnicas, y teoremas para la adquisición y procesamiento de datos.

En el segundo capítulo se muestran tablas comparativas entre dispositivos viables, los criterios de selección y la implementación y funcionamiento de las diferentes etapas que conforman el *hardware* del equipo.

El tercer capítulo expone el algoritmo que se ejecuta en el controlador para el manejo de periféricos, comunicación con pc, adquisición y procesamiento de de datos, visualización de resultados y gestión de la interfaz con el usuario. Además se describe la forma en que el algoritmo aprovecha las cualidades de los dispositivos.

El cuarto capítulo exhibe los resultados obtenidos por el equipo al ejecutar varias pruebas sobre una misma celda, se calcula el error en la medición y se muestran los gráficos presentados en pantalla.

1. FUNDAMENTACIÓN TEÓRICA

En este capítulo se presentan al lector las definiciones, tipos de proceso, modelos y una breve explicación de la técnica que se aplica en este proyecto para estudios de corrosión basados en estudios de impedancia eléctrica. Además un breve resumen comparativo de los avances realizados en el mejoramiento del equipo, una corta explicación del teorema de muestreo por desfase y las posibles técnicas para el procesamiento de señal con algunas de las opciones en la selección de los sensores, filtros activos, topologías en los conversores de datos y procesadores.

1.1 ESTUDIOS DE CORROSIÓN MEDIANTE EIE[†]

1.1.1 Corrosión

En un proceso electroquímico interactúan las corrientes eléctricas con las reacciones químicas. Tanto una corriente eléctrica puede originar una reacción química así como una reacción química puede ser la causante de una corriente eléctrica. La corrosión es un proceso electroquímico en el que se presenta un deterioro del material o de sus propiedades por acción del medio que lo rodea. Aunque en ocasiones se asocia sólo a metales, la corrosión está presente en otros materiales. El deterioro de un metal por causa de la corrosión no es de fácil detección y puede implicar fallas inesperadas en un sistema.

Existen dos tipos de corrosión:

- Corrosión seca: Tiene lugar en ausencia de una etapa líquida o por debajo del punto de humedad del ambiente. En este caso el metal reacciona con

[†] Esta sección está basada en el documento "Estudio de la corrosión en barras de acero inoxidable en concreto contaminados por cloruro cuando se le aplican esfuerzos residuales". Páginas 1 – 2.

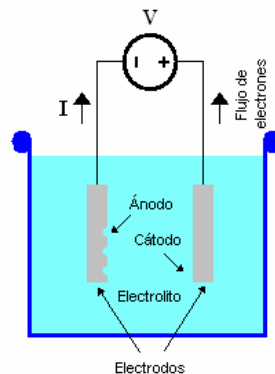
los vapores de gases naturales circundantes a altas temperaturas formando óxidos secos.

- Corrosión húmeda: Es el producto de una reacción electroquímica, la causa del mayor deterioro en los metales y se efectúa en presencia de soluciones acuosas. Para entenderla en más detalle conviene presentar la celda electroquímica.

1.1.2 Procesos en una celda electroquímica[‡]

Una celda electroquímica está constituida por un electrolito y un metal o dos metales unidos por un conductor (Figura 1). La reacción electroquímica tiene lugar en la interfase metal-electrolito donde existe la transferencia de electrones del metal al electrolito (ánodo) o viceversa (cátodo), es decir, se pasa de una corriente eléctrica a una corriente iónica o viceversa.

Figura 1. La celda electroquímica



Fuente: Autores del proyecto

La corrosión propiamente dicha tiene lugar en el ánodo, donde electrones son extraídos del metal para ser parte de la corriente iónica, es decir, donde se llevan

[‡] Esta sección está basada en el documento "Estudio de la corrosión en barras de acero inoxidable en concreto contaminados por cloruro cuando se le aplican esfuerzos residuales". Páginas 2 – 3.

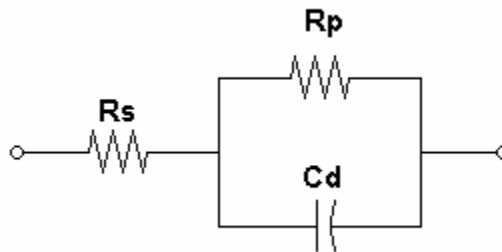
a cabo procesos de óxido-reducción. La velocidad del proceso de corrosión está directamente relacionada con la velocidad de la reducción.

En el cátodo la corriente abandona el electrolito y pasa al metal, sin que el metal se disuelva. Los procesos en el ánodo y en el cátodo son simultáneos y de la transferencia de electrones en la interfaz metal-electrolito depende que el desgaste de la superficie del metal sea uniforme o no uniforme.

1.1.3 Modelo de una celda electroquímica[§]

Todo proceso electroquímico se puede modelar por una combinación de resistores, inductores y capacitores. Para la celda electroquímica, Randles propone un modelo que representa bastante bien el comportamiento frecuencial de la interfase electroquímica constituido por un resistor en serie con el paralelo de un capacitor y otro resistor (Figura 2).

Figura 2. Circuito equivalente de Randles.



Fuente: Autores del proyecto.

En el circuito equivalente de Randles:

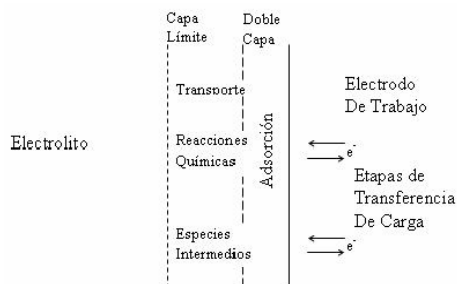
R_s : Simula la resistencia del electrolito.

R_p : Es la resistencia a la polarización.

C_d : Efecto capacitivo de la doble capa.

[§] Esta sección está basada en el documento "Implementación de un sistema de adquisición y procesamiento de datos para una estructura básica de medidor de impedancia electroquímica". Sección 2.2. Página 26.

Figura 3. Interfase electrodo-electrolito.



Fuente: CARVAJAL y ORTIZ [1].

El capacitor **C** se incluye para representar la doble capa que se forma en la interfase electrodo-electrolito por medio de los electrones del metal y los iones adsorbidos que se ubican a lado y lado de la superficie del metal (Figura 3).

1.1.4 Técnica del seno simple^{**}

Existen varios métodos de medición de impedancia, dentro de los que se pueden mencionar el método puente de alterna, el método de resonancia y la técnica de seno simple entre otras^{††}, para este proyecto se decidió trabajar con la técnica de seno simple que se explica a continuación.

Consiste en aplicar una señal senoidal de tensión (o corriente) de amplitud pequeña y frecuencia fija y medir la respuesta de la celda electroquímica, es decir la corriente (o tensión) resultante. La relación entre la tensión y la corriente permite determinar la impedancia asociada. Para caracterizar de manera precisa la celda electroquímica se sugiere efectuar un barrido en frecuencias iniciando con la frecuencia más alta y de esta forma obtener una impedancia en función de la frecuencia que representa con mayor precisión las propiedades de la celda electroquímica.

^{**} Esta sección está basada en el documento "Medidor de impedancia electroquímica". Sección 1.1.1. Página 16.

^{††} Remítase al plan de proyecto "DISEÑO E IMPLEMENTACIÓN DE UN IMPEDANCIÓMETRO PORTÁTIL" para encontrar una explicación más detallada.

1.2 AVANCES COMPARATIVOS DEL MIEP

En la escuela de ingeniería eléctrica, electrónica y telecomunicaciones de la UIS ya se han desarrollado proyectos relacionados con los bloques funcionales que definen un medidor de impedancia electroquímica. Este proyecto recopila los logros y se enfoca en las falencias de los prototipos anteriores para así realizar el embebido de estos, dando origen al Medidor de Impedancia Electroquímica Portátil (MIEP). En síntesis, los proyectos anteriores que aportan a la implementación del impedanciómetro se resumen a continuación⁺⁺:

- El **MIE** implementado por Rodríguez y Ruiz [2] genera una señal de tensión de amplitud constante y frecuencia entre 136 [mHz] y 62 [kHz] que depende de una red RC externa, para posteriormente detectar por hardware el valor pico de la corriente resultante y con la ayuda del PIC16F877 calculaban la diferencia de fase entre la corriente resultante y la tensión generada; la comunicación con PC era necesaria para procesar los datos y visualizar los resultados.
- Amaris y López [3], digitalizan las señales obtenidas por el MIE, controlan el barrido en frecuencia, procesan los datos y despliegan resultados en una pantalla LCD gráfica.
- Como refuerzo del MIE, Martínez y Arenas [4] implementaron un generador digital de señales senoidales cuya frecuencia de 0.1 [Hz] hasta 100 [kHz] es controlada por software; la atenuación de la señal a la salida del AD9833 se hace por medio de un divisor de tensión entre la impedancia de salida del AD9833 y una resistencia conectada a la entrada del amplificador operacional LM741 configurado en modo de seguidor de tensión.

⁺⁺ Mayor información en el plan de proyecto de grado "Diseño e Implementación de un impedanciómetro portátil", sección 2.

- Los últimos prototipos emplean el ASIC AD5933 que cuenta con un rango de frecuencia de 1 – 100 [kHz] configurable por hardware y entrega el valor de la parte real y la parte imaginaria de la impedancia obtenida en la prueba.

El **MIEP** además de realizar el embebido de todas estas etapas logra:

- Realizar un barrido en frecuencia desde 100 [Hz] a 1[MHz].
- Selección por parte del usuario del rango de la amplitud de la señal senoidal a aplicar a la celda.
- Rango variable en la medida de impedancia.
- Optimizar el consumo de potencia al lograr unificar el nivel de alimentación de los dispositivos utilizados y llevarlos a un modo de bajo consumo cuando no se están utilizando.
- Disminuir el porcentaje de error en la medida.
- Comunicación con PC por medio de protocolo USB.

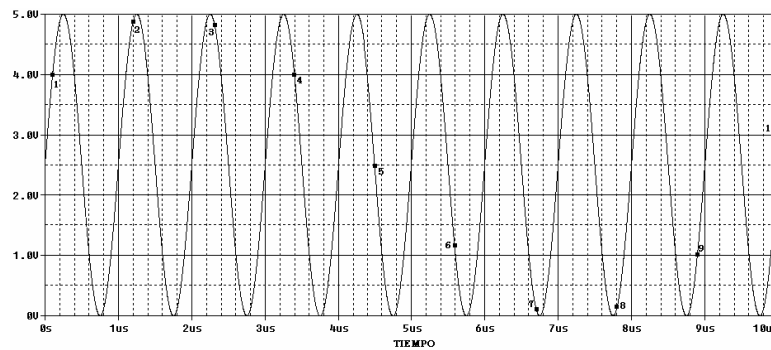
1.3 TEOREMA DE MUESTREO POR DESFASE

Cuando se requiere muestrear una señal de banda limitada y el hardware no reúne las especificaciones necesarias para cumplir con el teorema de Nyquist, es posible apelar al **teorema de muestreo por desfase**, el cual enuncia:

“Sea $f(t)$ una señal periódica en el tiempo, de periodo T conocido y τ el periodo de muestreo utilizado para obtener una señal digital $g(n)$ con M muestras por periodos y un número total de muestras $\mu = MN$. Si se cumple la relación $\tau = T / N(1 \pm 1/M)$ entonces es posible reconstruir, para la señal discreta, un periodo con $\mu = MN$ muestras espaciadas regularmente en el tiempo”^{§§}

^{§§} Tomado de la tesis de pregrado: “Diseño y montaje de un sistema de adquisición de señales de voltaje para la medida del espectro de impedancia eléctrica en tejido humano”. Sección 1.2.2. Página 24.

Figura 4. Ejemplo del Teorema de muestreo por desfase.



Fuente: Autores del proyecto.

1.4 TÉCNICAS DE DISEÑO PARA EL PROCESAMIENTO DE SEÑAL

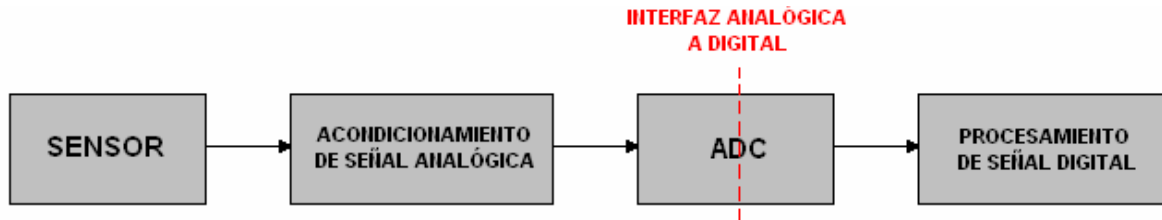
En el procesamiento de señales la primera elección pasa por la técnica a emplear, existen técnicas analógicas (ASP), digitales (DSP) o de señal mezclada, según el procesamiento sea analógico, digital o una combinación de analógico y digital.

En un procesamiento analógico es posible implementar etapas de detección de señal en presencia de ruido, de filtrado, de ganancia, de compresión del rango dinámico y de aislamiento empleando dispositivos tales como amplificadores de instrumentación, amplificadores operacionales, amplificadores de aislamiento y amplificadores de ganancia programable; mientras que un procesamiento digital se caracteriza por su velocidad y eficiencia al implementar funciones de filtrado, de análisis de la FFT, y de compresión de datos.

La realidad muestra que la mayoría de los sensores son analógicos y existe una etapa de acondicionamiento de señal si se desea realizar procesamiento digital, la cual se puede ubicar antes o después de realizar la digitalización. Dentro de las posibilidades en la técnica de señal mezclada se seleccionó la mostrada en la Figura 5, este esquema realiza el acondicionamiento previo a la digitalización. Para una comprensión más amplia de esta técnica se dedicarán las siguientes

líneas a explorar las consideraciones a tener en cuenta y las posibilidades en cada bloque.

Figura 5. Técnica de señal mezclada.



Fuente: Autores del proyecto

1.4.1 Amplificadores de instrumentación

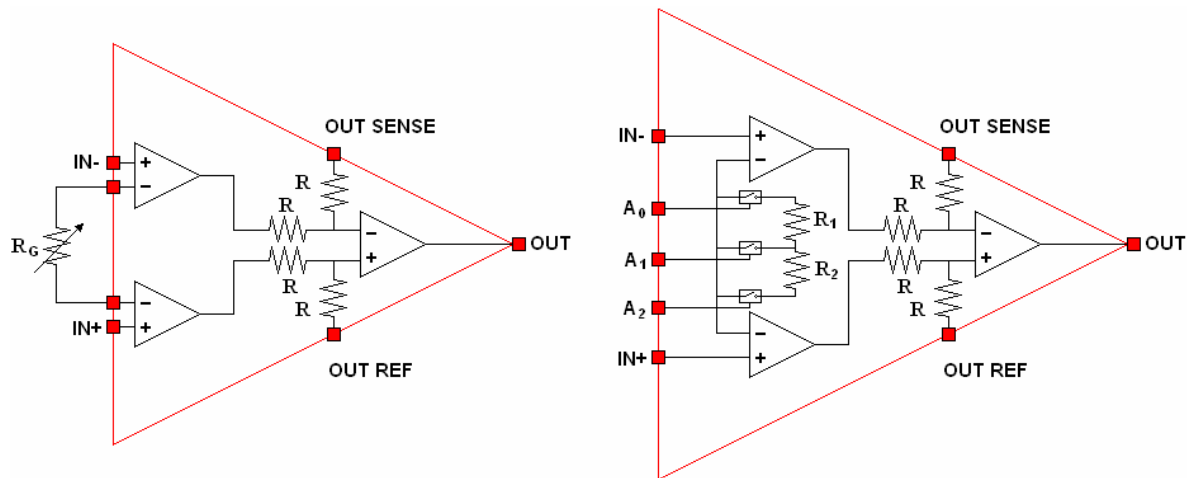
El amplificador de instrumentación permite tomar una señal de tensión diferencial en presencia de ruido, lo cual lo hace un elemento indispensable en cualquier sistema de medición, además está diseñado para que sus características no se alteren al conectarle otros elementos o dispositivos. Dentro de las especificaciones de mayor relevancia de un amplificador de instrumentación están:

- Bajo nivel de offset.
- Figura de ruido cercana a la unidad.
- Alta relación de rechazo a modo común (CMRR).
- Una impedancia de entrada alta y una impedancia de salida baja para que no se altere su ganancia con la conexión de dispositivos tanto a la entrada como a la salida.
- La ganancia se puede variar fácilmente, es precisa y estable.
- La razón de rechazo al rizado de la fuente (PSRR) también es alto.
- Un ancho de banda ajustado a las necesidades del sistema.

En el diseño de amplificadores de instrumentación, la configuración más utilizada es la de tres amplificadores operacionales y según se desee, es posible implementarle una red de resistencias cuyo equivalente entre terminales se pueda

variar digitalmente, lo que en últimas le confiere un valor de ganancia y el nombre de amplificador de instrumentación de ganancia programable (Figura 6).

Figura 6. Configuración de tres amplificadores operacionales a) variación de la ganancia con una resistencia externa b) variación de la ganancia digitalmente.

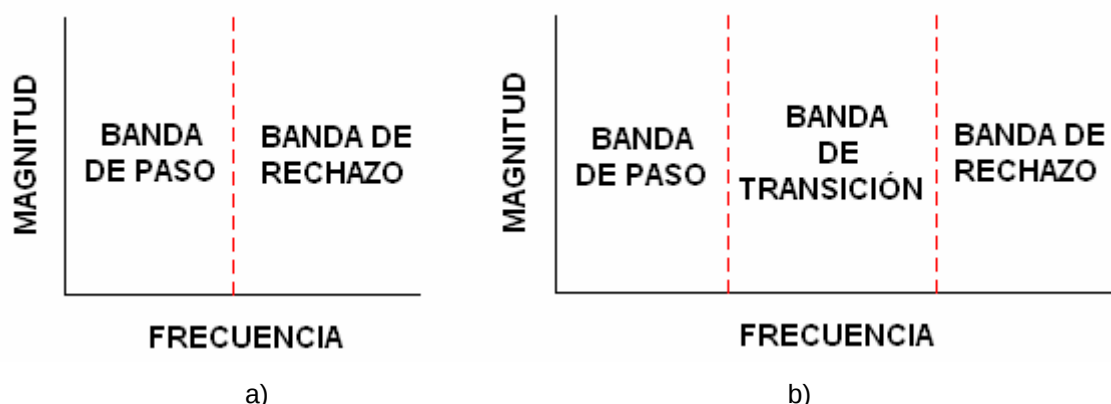


Fuente: Autores del proyecto

1.4.2 Diseño de filtros activos

Un filtro activo es aquel cuya función de transferencia se obtiene empleando elementos de circuito tanto activos como pasivos. Todo filtro real se caracteriza por tener tres bandas de frecuencia: la banda de paso, la banda de transición y la banda de rechazo (Figura 7). Las características de cada una de estas bandas se definen acorde con las necesidades del sistema, es así como existen una gran variedad de filtros, dentro de los que se destacan los filtros Butterworth, Chevyshev, elíptico y Bessel (Tabla 1).

Figura 7. Filtros a) ideal b) real.



Fuente: Autores del proyecto

Tabla 1. Tipos de filtros analógicos.

NOMBRE DEL FILTRO	BANDA DE PASO	PENDIENTE DE LA Banda DE TRANSICIÓN	BANDA DE RECHAZO	FASE
Butterworth	Plana	Depende del orden del filtro	Plana	No Lineal
Chevyshev convencional	Rizado constante	Limitada por la banda de rechazo	Plana	No lineal
Chevyshev inverso	Plana	Limitada por la banda de paso	Rizado constante	No lineal
Elíptico	Fizado constante	Más pronunciada con respecto al filtro Chevyshev	Rizado constante	No lineal
Bessel	Plana	Menos pronunciada con respecto al Butterworth	Plana	Lineal

La complejidad del diseño está ligado a las especificaciones de cada una de las bandas, por ejemplo la pendiente en la banda de transición es directamente proporcional al número de polos de la función de transferencia, así que si se desea una pendiente pronunciada la implicación directa es el aumento del número de amplificadores operacionales en el diseño.

Aspectos como mantener constante la ganancia en la banda de paso o el ancho de banda simplemente son indicativos del tipo de filtro a utilizar y de las especificaciones de los amplificadores operacionales del diseño.

1.4.3 Topologías de conversores de datos

Con la definición de los requerimientos en cuanto a especificaciones del conversor de datos quedan fijados los límites superiores e inferiores del diseño final, así como los aspectos mínimos con los que deben cumplir los demás dispositivos.

Gran parte de las especificaciones están ligadas a la arquitectura de diseño del conversor analógico a digital y dentro de las arquitecturas existentes y más usadas están:

- Aproximaciones sucesivas
- Sigma-Delta
- Flash
- Pipeline
- Semiflash

Con el propósito de comparar las arquitecturas en términos de resolución y velocidad de conversión se presenta la Tabla 2.

Tabla 2. Resumen de topologías de conversores

ARQUITECTURA	DESCRIPCIÓN	VELOCIDAD DE CONVERSIÓN	RESOLUCIÓN
Aproximación sucesiva	En su forma más sencilla consta de dos comparadores, un contador y un conversor D/A. El contador cuenta hacia arriba o hacia abajo según la comparación de la señal de entrada y la señal a la salida del conversor hasta que se igualan.	En el peor de los casos tienen que llegar a efectuar 2^n pasos de reloj, donde n es la resolución en bits.	Depende del conversor D/A y fija la velocidad de conversión mínima.
Sigma-Delta	En vez del contador emplea un circuito secuencial. El circuito secuencial va modificando 1 a 1 los bits desde el más significativo al menos significativo hasta que la tensión de salida del conversor A/D iguale la tensión a la entrada.	Requiere solamente n pulsos de reloj, donde n es la resolución en bits.	Permite incrementar la resolución sin incrementar dramáticamente la velocidad de conversión.
Flash	Formado por 2^n resistencias y 2^{n-1} comparadores que realizan la comparación entre la tensión exterior y su nivel de tensión respectivo.	Muy alta, existen conversores con tiempos de conversión inferiores a 100 [ns].	Un aumento de resolución aumenta considerablemente el número de comparadores.

Pipeline	Realiza el proceso de conversión en dos pasos, implementando para cada uno de ellos 2^m resistencias y 2^{m-1} comparadores, donde m es la mitad de la resolución en bits. La tensión de entrada del segundo bloque es la tensión de entrada del primer bloque menos la tensión correspondiente a los bits más significativos (los del primer bloque).	Considerablemente alta, pero inferior a la de los conversores flash.	Un aumento en resolución aumenta el número de comparadores por etapa, pero no en la misma forma que en los conversores flash.
Semiflash	Implementan para convertir los dígitos más significativos la arquitectura flash y para convertir los menos significativos la arquitectura de aproximaciones sucesivas.	Mejora por la implementación de la etapa flash en comparación con las aproximaciones sucesivas.	La etapa de aproximaciones sucesivas permite incrementar la resolución sin incrementar demasiado el número de comparadores de la primera etapa.

1.4.4 Opciones en manipulación de datos y cálculos matemáticos

Todas las acciones del procesamiento de señal digital se resumen en manipulación de datos y cálculos matemáticos. Dentro de la manipulación de datos se encuentra el procesamiento de palabras, el manejo de bases de datos, el movimiento y comparación de datos; mientras que los cálculos matemáticos en su forma esencial se encuentran representados por la suma y la multiplicación. Para procesar una señal hay que utilizar unos y otros en menor o mayor proporción (esto está definido por la aplicación) y existen en el mercado una gran cantidad de dispositivos cuya única diferencia radica en la forma y complejidad en que implementan tanto la manipulación de datos como los cálculos matemáticos, dichos dispositivos se pueden agrupar en tres grupos: microcontroladores, microprocesadores y procesadores de señal digital (DSP). El conocimiento o desconocimiento de estos tres grandes grupos puede hacer que el desarrollo de una aplicación resulte más complejo y costoso de lo que realmente se requiera, por lo tanto es preciso hacer una descripción puntual.

- **Microcontrolador**

Los microcontroladores son ampliamente utilizados en procesos de control industrial donde la capacidad de manejo de I/O (entradas/salidas) y control es más relevante que la velocidad; están equipados con un listado de instrucciones compacto que les habilita para ejecutar funciones tales como multiplicación, adición y división; constan de una CPU, una memoria RAM, una memoria ROM, una interfaz serial/paralelo, contadores y circuitos de interrupción.

- **Microprocesador**

El microprocesador es un dispositivo que contiene una CPU y que para ejecutar sus funciones de computación requiere circuitos adicionales; presenta dos posibles juegos de instrucciones: el complejo o el reducido. El juego de instrucciones complejo permite la aplicación de funciones sofisticadas como lo es evaluar un polinomio de un orden alto, pero requiere un considerable número de ciclos de reloj para almacenar en memoria. El juego de instrucciones reducido emplea esquemas sencillos de carga y almacenamiento que se pueden ejecutar con sólo un ciclo de reloj, pero no soporta instrucciones de multiplicaciones sencillas, lo cual no lo hace apto para el procesamiento de señal donde la multiplicación es una instrucción común y repetitiva.

- **Procesador de señal digital (DSP)**

El DSP cuenta con una CPU optimizada para rápidos cálculos matemáticos repetitivos que se ejecutan en tiempo real de proceso, una memoria RAM, una memoria ROM, una interfaz serial/paralelo y circuitos de interrupción. La principal función que implementa es la suma de productos, la cual es común en filtros digitales, la FFT y muchas otras aplicaciones del procesamiento de señal.

El medidor de impedancia electroquímica portátil (**MIEP**), cuyo diagrama de bloques se muestra en la Figura 8 es un equipo que realiza las pruebas de espectroscopía de impedancia electroquímica para caracterización de la capa de productos de corrosión. Para ello realiza barridos en amplitud y frecuencia de la señal de tensión aplicada a una celda electroquímica por medio de un bloque generador y otro atenuador controlados digitalmente; el equipo adquiere la tensión y la corriente originada en cada paso del barrido, luego mediante bloques de acondicionamiento se suministran las señales a un conversor encargado de digitalizar las señales para que un controlador procese las muestras y envíe los pulsos necesarios para visualizar en una pantalla LCD gráfica los resultados; además da la posibilidad de descargar los datos a PC por medio de una interfaz USB. Los parámetros de la prueba, así como el control del equipo lo realiza el usuario a través de un teclado matricial y un selector de rango de medida. El **MIEP** incluye el cable de comunicación USB con PC y el cable de conexión para cargar las baterías que le proveen la energía para su correcto funcionamiento.

2.2 ASPECTOS DE DISEÑO DEL EQUIPO

En el diseño de las etapas que conforman el impedanciómetro portátil había que tener en cuenta que:

- El equipo cuenta con baterías recargables que son las encargadas de suministrar la energía para su correcto funcionamiento.
- La espectroscopia de impedancia electroquímica requiere que el generador suministre la señal de tensión con baja distorsión armónica.
- El rango de frecuencias de trabajo es de 100 [Hz] a 1 [MHz].
- Tanto el sensado como el acondicionamiento de las señales de tensión requieren alta relación de rechazo de modo común y bajo ruido.
- La resolución de la etapa de digitalización es de 12 bits efectivos como mínimo para disminuir el error de cuantización.

- El tamaño y resolución de la pantalla LCD gráfica es tal que el usuario del equipo observa claramente los resultados.
- La interfaz de usuario permite seleccionar la amplitud de la señal senoidal.

Los datos de la prueba se descargados a PC vía USB.

2.3 REQUERIMIENTOS DE LOS DISPOSITIVOS

Teniendo en cuenta los aspectos del diseño, en general cada uno de los dispositivos debía cumplir con:

- Alimentación única de 3.3 [V].
- Ancho de banda superior a 1 [MHz].
- Figura de ruido cercana a la unidad.
- Bajo consumo de potencia.
- Modo de control de consumo de potencia.
- Alta relación de rechazo de modo común en caso de implementarse como sensor de tensión.
- Control digital para el atenuador.
- Baja distorsión armónica.
- Bajo nivel de cero (offset).
- Tensión digital de 3.3 [V].
- Alta precisión.

2.4 ESQUEMA DE REFERENCIAS DE TENSIÓN

Como la alimentación es unipolar, los dispositivos de las etapas de sensado y acondicionamiento de señal deben contar con referencias de tensión que ubiquen

las señales dentro del rango de operación y eviten distorsionarlas; además, el ADC también requiere una referencia de tensión que fija el rango de señal a la entrada.

2.4.1 Selección de dispositivos

Como se apreciará más adelante, el ADC requiere de una referencia de tensión de 1 [V] para aprovechar todo el rango dinámico de entrada, la cual se encontró en la compañía Analog Devices; compañías como Texas Instruments, Maxim y National Semiconductor cuentan con referencias de tensión de 1.25 [V] mínimo, así que la elección es simple; adicionalmente el ADR510 de Analog Devices cumple con requerimientos como baja impedancia de salida y bajo ruido (en la Tabla 3 se resumen sus características).

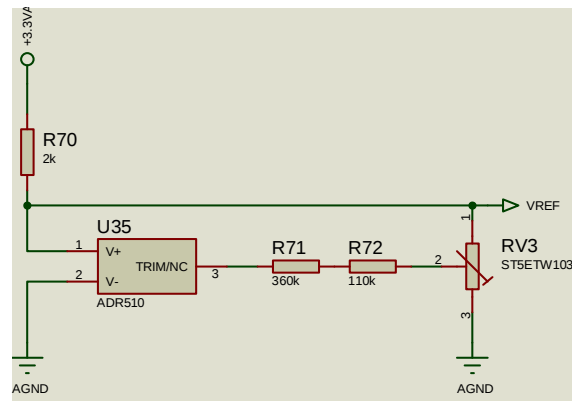
Tabla 3. Resumen características referencia de tensión ADR510.

Referencia	Fabricante	Tensión de salida	Ruido a la salida	Coeficiente de temperatura	Impedancia de salida	Ajustable
ADR510	Analog Devices	1 [V]	4 [μV_{pp}]	70 [ppp/ $^{\circ}\text{C}$]	0.3 [Ω]	Si

2.4.2 Descripción de operación

El ADR510 cuenta con una impedancia de salida de 0.3 [Ω] por lo tanto no requiere de un amplificador operacional conectado como búfer y el trimmer adicional que se le conecta al terminal TRIM no afecta su resistencia de salida ni el coeficiente de temperatura del dispositivo.

Figura 9. Esquema de la referencia de tensión para la etapa de acondicionamiento de señal.



Fuente: Autores del proyecto.

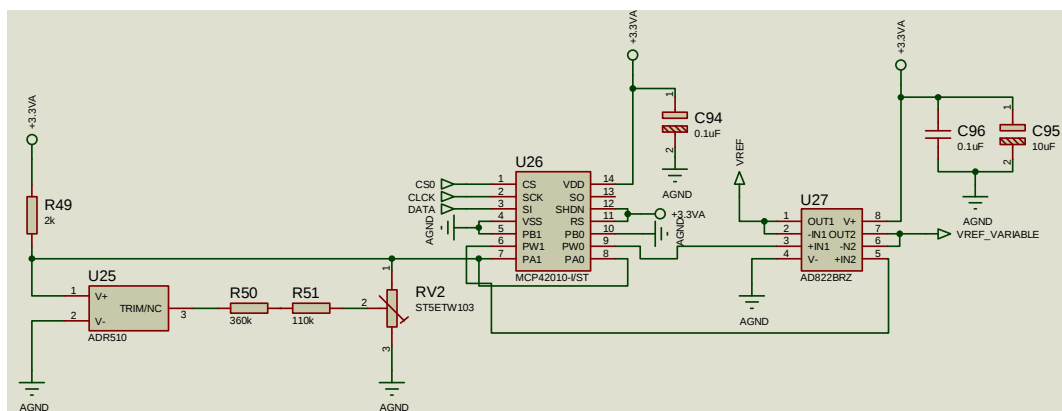
Para variar digitalmente el rango de tensión de entrada del ADC, la tensión de 1 [V] en la terminal V+ del ADR510 se conecta a un potenciómetro digital conformando un divisor resistivo (Figura 9). El potenciómetro digital implementado es el MCP42010 de la compañía Microchip Technology. El MCP42010 es de 10 [k Ω] y cuenta con las siguientes características:

- 256 posiciones
- Alimentación única de 2.7 a 5.5 [V]
- Una interfaz periférica serial (SPI) para programación
- ± 1 [LSB] de no linealidad integral y no linealidad diferencial
- Tecnología CMOS de bajo consumo
- Rango de temperatura de -40 a 85 [°C]

Con el MCP42010 se tiene la posibilidad de 256 diferentes rangos de entrada de tensión en el ADC.

Como el divisor resistivo aumenta la resistencia de salida, se hace conveniente conectar un amplificador operacional en modo búfer a la salida del potenciómetro digital que sea el encargado de suministrar la tensión de referencia al ADC (Figura 10). El amplificador operacional elegido es el AD822 de la compañía Analog Devices, dentro de las características que lo hacen conveniente en esta labor es su alimentación única de 3 a 36 [V] y ruido de 13 [nV/ $\sqrt{\text{Hz}}$].

Figura 10. Esquema de la referencia de tensión para el ADC.



Fuente: Autores del proyecto.

2.5 ETAPA DE GENERACIÓN

2.5.1 Selección de dispositivos

Para la selección de dispositivos se realizó una búsqueda de aquellos que cumplieran los requerimientos, después de esto se procedió a tomar las hojas de datos de los fabricantes y comparar entre ellos el que mejor cumpliera las especificaciones. Los resultados del proceso se resumen en la Tabla 4.

Tabla 4. Comparación de generadores de señal digital.

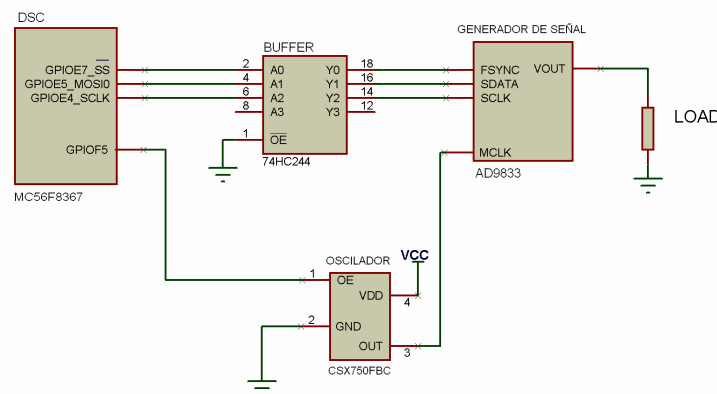
ESPECIFICACIÓN	AD9833	AD9831	AD5930
Consumo de potencia a 3.3 [V] en [mW]	18.15	49.50	22.11
Rango de alimentación en [V]	2.3 a 5.5	2.97 a 5.5	2.3 a 5.5
Tipo de alimentación	Single	Single	Single
Control	Programmable	Programmable	Programmable
Comunicación	Serial	Paralelo	Serial
Rango de operación en [MHz]	0 a 12.5	0 a 25	0 a 25
Opción de bajo consumo	Si	--	--
Costo en dólares	9.42	12.40	12.96

Teniendo en cuenta su consumo de potencia, rango de frecuencia, tamaño y precio se decidió trabajar con el AD9833 de Analog Devices.

El AD9833 requiere de un reloj para su correcto funcionamiento, dicho reloj tiene relación directa con la frecuencia y grado de distorsión de la onda a ser generada por el dispositivo, por lo cuál se decidió trabajar a 25 MHz para aprovechar al máximo la velocidad del generador digital de señal y minimizar la cantidad de armónicos, el reloj dispuesto para dicha labor es el CSX750FBC fabricado por Citizen, que además proporciona la posibilidad de deshabilitar el reloj en caso de ser requerido, lo cual constituye una ventaja si se piensa desde el punto de vista de consumo de potencia.

2.5.2 Descripción general

Figura 11. Diagrama de bloques funcional de la etapa de Generación.



Fuente: Autores del proyecto.

Como se muestra en la Figura 11, el generador digital de señal AD9833 recibe instrucciones por medio del controlador, este envía los datos y comandos utilizando el modulo SPI que posee para comunicación serial con periféricos. La conexión entre los dos dispositivos se realiza por medio del 74HC244, un buffer

octal triestado de alta velocidad fabricado por Phillips. La señal de reloj para el generador se obtiene del CSX750FBC.

El AD9833^{***} es un generador de señal que permite obtener formas de onda senoidal, triangular y cuadrada a la salida a frecuencia y fase definidas por programación, para ello cuenta con una interfaz serial de tres alambres, la cual puede operar con relojes por encima de los 40 MHz, además de ser compatible con DSP's y microcontroladores estándar.

Los terminales involucrados en la comunicación serial con el controlador son:

- SDATA es la entrada de datos serial, la cual recibe palabras de 16 bits.
- SCLK es el reloj de entrada serial, el cual permite la entrada de datos en cada flanco descendente.
- FSYN es la entrada de control activa bajo, la cual hace la sincronización para la entrada de datos. Así si FSYN es un bajo la lógica interna lo interpreta como que una nueva palabra está siendo cargada en el dispositivo.

La señal senoidal generada es de amplitud constante de $320[mV_p]$, por lo cual requiere una etapa de atenuación que la adecue al rango de las pruebas (20 a 50 $[mV_p]$), para esto Adriana Martínez y Edgar Arenas^{†††} caracterizaron el dispositivo para calcular la resistencia de salida y así mediante un divisor resistivo obtener la amplitud de tensión deseada. Dado que uno de los objetivos del **MIEP** es realizar variaciones a la amplitud dentro del rango permitido, además de aplicar la técnica descrita se hizo necesario implementar una etapa adicional que diera flexibilidad al control del nivel de atenuación, como se explica en la sección 2.6.2.

^{***} Para mayor información remítase a la tesis de proyecto de grado "Generador de señales para mediciones de impedancia electroquímica basado en DSP".

^{†††} Autores del proyecto de grado "Generador de señales para mediciones de impedancia electroquímica basado en DSP".

2.6 ETAPA DE ATENUACIÓN

2.6.1 Selección de dispositivos

Atendiendo la propuesta de Adriana Martínez y Edgar Arenas para realizar una atenuación a la tensión de salida del generador, se escogió una resistencia de $100[\Omega]$ conectada entre el terminal VOUT del AD9833 y tierra. Para conservar la tensión en la resistencia de $100 [\Omega]$ producto de la división de tensión entre la resistencia de salida del AD9833 y la resistencia de $100 [\Omega]$ se utilizó un amplificador operacional configurado como seguidor de tensión. Luego de probar con varios amplificadores operacionales, fue el LMV861 de National Semiconductor que operando en dicha configuración logra transmitir a la salida la señal de tensión sin distorsionarla; dentro de las especificaciones del LMV861 que logran una labor exitosa se cuentan su ancho de banda, bajo nivel de Offset, bajo nivel de ruido, alimentación unipolar y rango de entrada por debajo de cero.

Para variar el nivel de atenuación de la señal a la salida del LMV861 se optó por implementar un amplificador de ganancia variable VGA. En la Tabla 5 se resumen los VGA's que podrían ser usados en esta labor. Al analizar las especificaciones de las tres referencias de VGA's se tomó la decisión de implementar el AD8370 porque tiene el nivel de atenuación mayor que el del AD8260 y configurable por programación (concretamente cuenta con una interfaz periférica serial).

Para adecuar la señal a la entrada del AD8370 se seleccionó el AD8138, que convierte la señal unipolar a diferencial, de acuerdo a lo recomendado por el fabricante en la hoja de datos.

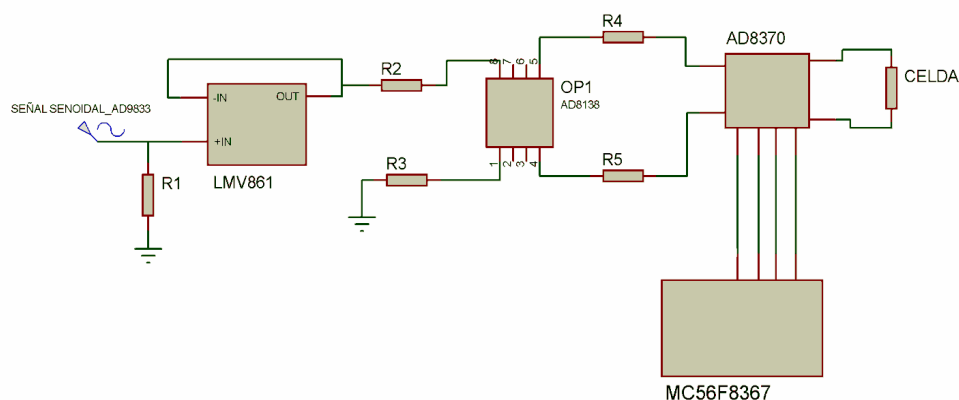
Tabla 5. Comparación de las características disponibles de las referencias preseleccionadas.

ESPECIFICACIÓN	AD8370	LTC6412	AD8260
Rango de alimentación en [V]	3 a 5.5	3 a 3.6	3.3 a 10
Consumo de potencia a 3.3 [V] en [mW]	257.4	363	93.39
Ancho de banda en [MHz]	750	800	195
Rango de atenuación en [dB]	-11 a 17	-14 a 17	-6 a 24
Método para variar la ganancia	Interfaz periférica serial	Mediante nivel de tensión	Interfaz periférica serial
Precio en dolares	10.08	10.98	7.68

2.6.2 Implementación de la etapa

La etapa de atenuación de la señal proporcionada por el AD9833 es necesaria para cumplir con las condiciones de tensión para pruebas no destructivas en celdas electroquímicas. La Figura 12 es un esquemático que resume lo dicho desde el comienzo de esta sección, con una resistencia de carga a la salida del AD9833 se reduce parcialmente la amplitud de la señal, un seguidor de tensión implementado con el LMV861 de National semiconductor toma la señal atenuada y la entrega al AD8138 de Analog Devices, un amplificador con baja distorsión armónica y ancho de banda de 320 [MHz] que se encarga de convertir la señal unipolar en una señal diferencial.

Figura 12. Diagrama de bloques de la etapa de atenuación de señal.



Fuente: Autores del proyecto.

La señal diferencial a la salida del AD8138 es la entrada a la etapa de atenuación digital conformada por el AD8370 de Analog Devices, este dispositivo atenúa la señal según el nivel de ganancia que se le configura por medio del controlador.

El AD8370 tiene la opción de tomar uno de dos rangos de ganancia: uno bajo, desde -11 [dB] a 17 [dB] y otro alto, desde 6 [dB] a 34 [dB]. En esta aplicación es necesario configurarlo en el rango bajo. El nivel exacto de ganancia se fija para que la señal diferencial a la salida del AD8370 esté dentro de 20 y 50 [mV_p], que es el rango lineal para pruebas con celdas electroquímicas.

2.7 ETAPA DE SENSADO Y PREAMPLIFICACIÓN DE TENSIÓN

2.7.1 Selección del amplificador de instrumentación

En esta etapa se requería un dispositivo con relación de rechazo a modo común alta, y hacer una preamplificación de la señal sensada para que el ruido propio de los dispositivos del filtro no se mezclara con la forma de onda al punto que esta desapareciera, así que se optó por un amplificador de instrumentación, después de una revisión por distintos fabricantes se preseleccionaron las referencias que se muestran y se comparan en la Tabla 6.

Los datos que se muestran en el Tabla 6 fueron tomados de las hojas de datos de los fabricantes.

Al comparar las características de los dispositivos se decidió utilizar el AD8231 debido a que proporciona la posibilidad de determinar la ganancia por programación, cumple con la condición de alimentación unipolar, posee un ancho de banda dentro del rango necesario y CMRR⁺⁺⁺ alto y estable con la frecuencia;

⁺⁺⁺ Relación de rechazo en modo común

con un consumo de potencia aceptable ya que no requiere el uso de dispositivos adicionales para cumplir con sus funciones de amplificador y cuenta con un terminal para ingresarlo al modo de bajo consumo mientras no sea requerida su labor.

Tabla 6. Referencia de amplificadores de instrumentación preseleccionados.

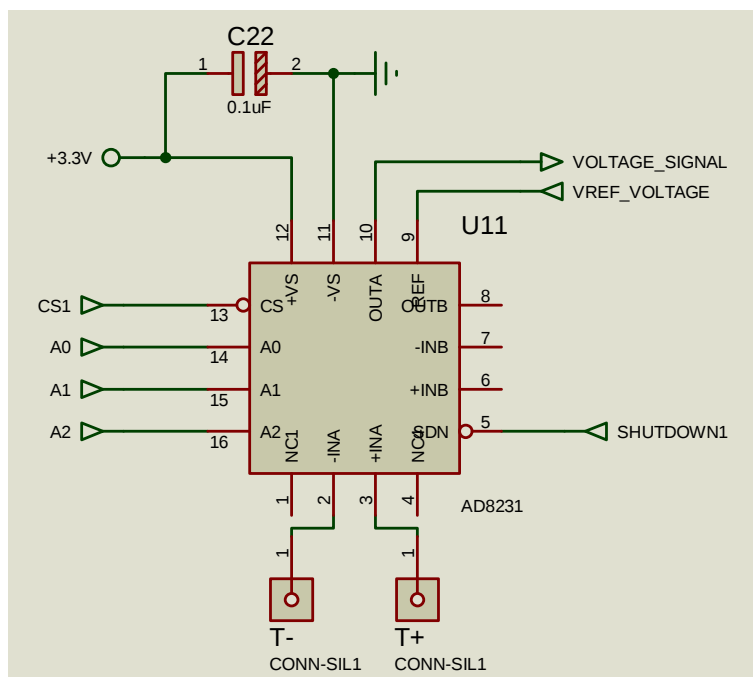
ESPECIFICACIÓN	AD8231	INA331
Fabricante	Analog Devices	Texas Instruments
Rango de alimentación en [V]	3 a 6	2.7 a 5.5
CMRR a 100 [kHz] en [dB]	60 con G=1 80 con G=8	25
Ancho de banda	1 [MHz] con G=8 [V/V]	2 [MHz] con G=25 [V/V]
Modo de ajuste de ganancia	Digital	Arreglo externo de resistencias
Modo de bajo consumo	Si	Si
Salida	Rail to rail	Rail to rail
Consumo de potencia a 3.3 [V] en [mW]	11.55	1.617
Precio en dólares	3.85	2.81

2.7.2 Implementación de la etapa

En esta etapa se hace el sensado de la tensión entre el electrodo de trabajo y el electrodo de referencia.

El AD8231 posee la opción de determinar la ganancia en forma digital con ocho valores de ganancia diferentes (1, 2, 4, 8, 16, 32, 64 y 128); el control de la ganancia se hace a través de cuatro bits del puerto E del controlador, un bit para habilitar el cambio de ganancia y los otros tres seleccionan la ganancia, además la señal de salida se puede superponer sobre un nivel de continua por medio del terminal VREF del dispositivo.

Figura 13. Esquemático de la etapa de sensado de tensión.



Fuente: Autores del proyecto.

La Figura 13 muestra el diagrama de bloques de esta etapa, la cual básicamente toma la señal de tensión diferencial aplicada a la celda, la preamplifica y la entrega al filtro.

2.8 ETAPA DE SENSADO Y PREAMPLIFICACIÓN DE CORRIENTE

2.8.1 Selección del dispositivo

El sensado de la corriente resultante en la celda se realizó por medio de un resistor en serie inicialmente conectado a un amplificador, con lo cual el pequeño nivel de tensión se ve preamplificado a la salida del sensor. Para este proyecto se encontraron tres dispositivos de esta clase, cuyas referencias y características relevantes en la selección se muestran en la Tabla 7.

Tabla 7. Selección del sensor de corriente.

ESPECIFICACIÓN	AD8231	MAX4376H	ADM4073H
Precisión de escala completa	$\pm 0.8\%$	$\pm 0.5\%$	$\pm 1\%$
Rango de alimentación en [V]	3 a 6	3 – 28	3 – 28
Ganancia en [V]	60 con G=1 80 con G=8	100	100
Ancho de banda max en [MHz]	2.7	1.2	1.6
Resistencia de salida en [Ω]	---	5	12000
Rango de modo común en [V]	0.05 – 4.95	0 – 28	2 – 28
Consumo de potencia en [mW]	13.2	3.3	1.65
Precio en dolares	3.85	2.16	0.99

Después de comparar las características expuestas en la Tabla 7 y leer las recomendaciones del fabricante se decidió implementar el MAX4376, teniendo en cuenta su resistencia de salida y alta ganancia.

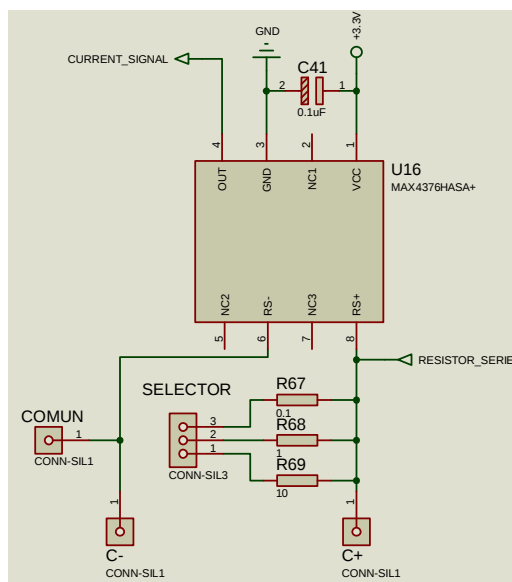
En las pruebas correspondientes a esta etapa se encontró que la impedancia de entrada del filtro excedía el limite de carga capacitiva soportado por el dispositivo, por lo cual se decidió reemplazarlo y trabajar con el amplificador de instrumentación de ganancia programable AD8231, el cual ya había mostrado un funcionamiento satisfactorio en la etapa de sensado de tensión.

2.8.2 Implementación inicial de la etapa

En esta etapa se hace el sensado de la corriente que fluye entre el electrodo de trabajo y el contraelectrodo. Con el propósito de manejar un rango de medición de impedancia variable, se adicionó al panel frontal del **MIEP** un selector giratorio mediante la cual el usuario del equipo selecciona entre tres posibles valores de resistencia de sensado (10 [Ω], 100 [Ω] y 1000 [Ω]). La resistencia elegida por el usuario queda conectada en serie con la celda y por medio del MAX4376H se toma la tensión en la resistencia producto del flujo de corriente. En la Figura 14 se

puede apreciar el esquemático de la etapa. La tensión a la salida del MAX4376H pasa directamente al filtro analógico.

Figura 14. Esquemático de la etapa inicial de sentido de corriente.

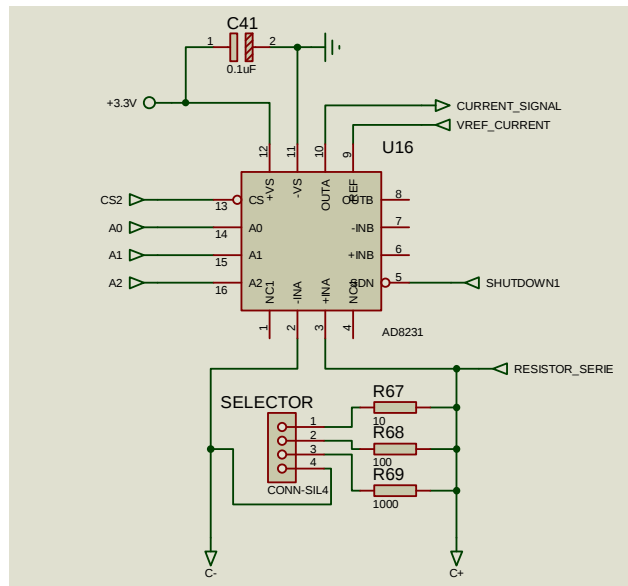


Fuente: Autores del proyecto.

2.8.3 Implementación final de la etapa

En esta etapa de nuevo se sensa la corriente que fluye entre el electrodo de trabajo y el electrodo auxiliar. Esta vez el rango variable se selecciona por el selector anteriormente mencionado eligiendo uno de tres valores de resistencia 10, 100, o 1000 para un rango de medición variable de 10 - 99, 100 - 999 y de 1000 - 9999 respectivamente. De nuevo la señal de salida del amplificador (AD8231) se lleva directamente a la etapa de filtrado y como único cambio significativo con respecto a la configuración de la Figura 14 ahora se tiene un control digital sobre la ganancia que se le da a la señal sensada como se observa en la Figura 15.

Figura 15. Esquemático de la etapa final de sentido de corriente.



Fuente: Autores del proyecto.

2.9 ETAPA DE FILTRADO

2.9.1 Selección del amplificador operacional

Para la labor de filtrado se requirió básicamente un amplificador operacional con alimentación única de 3.3 [V], un ancho de banda superior a 10 [MHz] y bajo ruido. De la consulta en distintos fabricantes se destacaron los amplificadores operacionales de la Tabla 8.

Entre los tres amplificadores operacionales, el elegido fue el LMH6611 de National Semiconductor, un amplificador operacional que además de cumplir con los requerimientos descritos en el párrafo anterior tiene una terminal que reduce el consumo de corriente a 120 [µA] y un SFDR^{§§§} de 109 [dBc] a 100 [kHz] que como se expone en la sección 2.10 supera el SFDR del conversor de datos.

^{§§§} SFDR: *Spurious Free Dynamic Range*

Tabla 8. Selección del amplificador operacional para el filtro.

Referencia	OPA380	FHP3130	LMH6611
Fabricante	Texas Instruments	Fairchild Semiconductor	National semiconductor
Single/Dual	Single/Dual	Single/Dual	Single/Dual
Fuente de alimentación single en [V]	+2.7 a +5.5	+2.7 a +12	+2.7 a +11
Producto ganancia por ancho de banda en [MHz]	90	60	135
e_n (f=100 [kHz]) en [nV/ $\sqrt{\text{Hz}}$]	13	17	10
Voltaje de offset en [μV]	4 (máximo 25)	1000	22
CMRR (f=100 [kHz]) en [dB]	20	95	74
Consumo de corriente por canal en [mA]	7.5	2.5	3.2
Tiempo de establecimiento en [ns]	2000 (a 0.01%)	90 (a 0.1%)	67 (a 0,1%) 100 (a 0,01%)
Rango de tensión a la salida en [V]	0.12 a 2.4	0.05 a 2.95	0.08 a 2.924

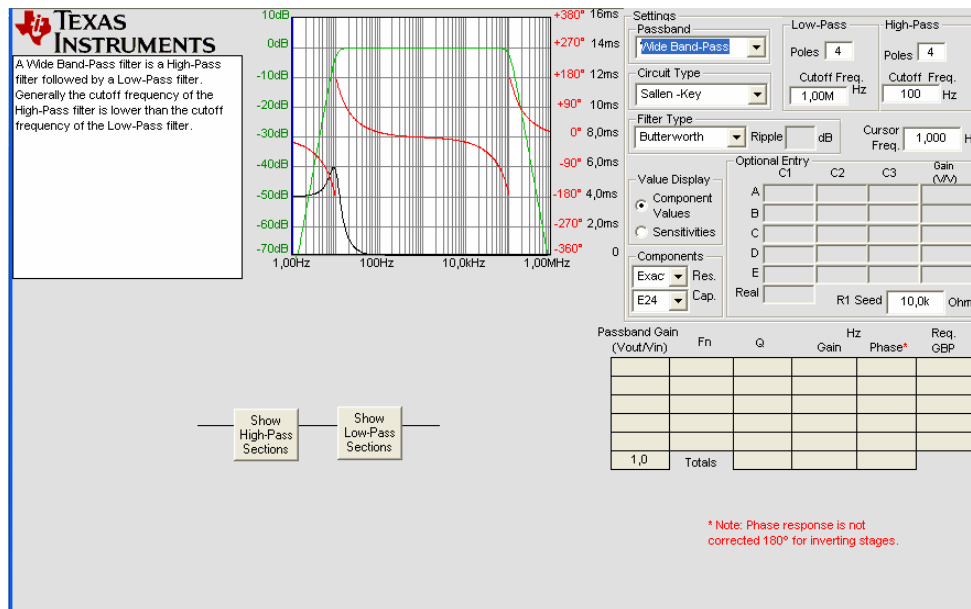
2.9.2 Diseño del filtro

Como la alimentación es unipolar de 3.3 [V], la etapa de filtrado al igual que la entrada del ADC es “single-ended”. Las especificaciones adicionales del filtro son:

- Filtro pasabanda de 100 [Hz] a 1[MHz].
- Topología Butterworth.
- Con atenuación de 20 [dB] a 2 [MHz].
- Con caída en la banda de transición baja de 80 [dB/dec].
- Ganancia unitaria para cada una de las etapas que conforman el filtro.

De acuerdo al tercer criterio, se considera que el ruido va hasta 2 [MHz], lo cual implica que para señales de 1 [MHz] de ancho de banda la frecuencia de muestreo debe ser de 3 [MHz] mínimo y no de 2 [MHz] como indica el criterio de Nyquist, ya que en este caso el ruido que hay de 1 a 2 [MHz] se solaparía con la señal de interés.

Figura 16. Diseño del filtro pasabanda empleando FilterPro.



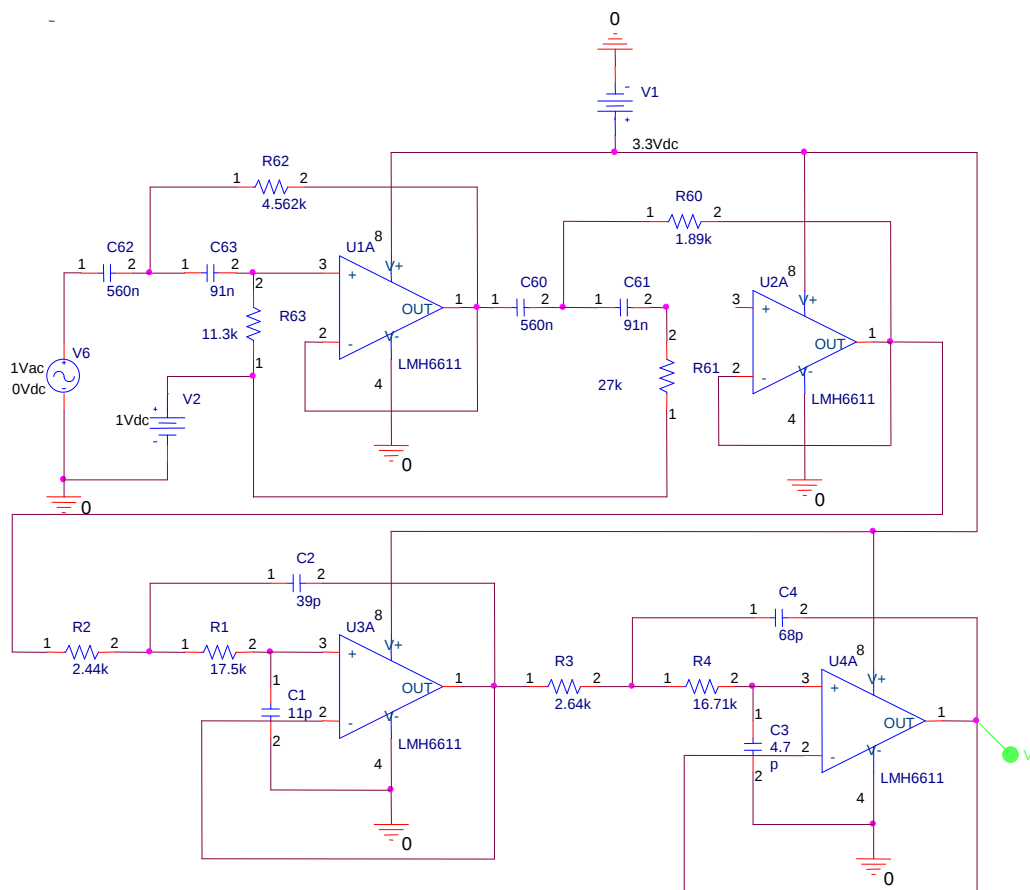
Fuente: Software FilterPro de la compañía Texas Instruments.

Empleando la herramienta de diseño de filtros FilterPro de la compañía Texas Instruments se realiza el bosquejo inicial del filtro de cuarto orden en configuración butterworth. En la Figura 16 se muestra como se configuró FilterPro para el diseño.

2.9.3 Simulación

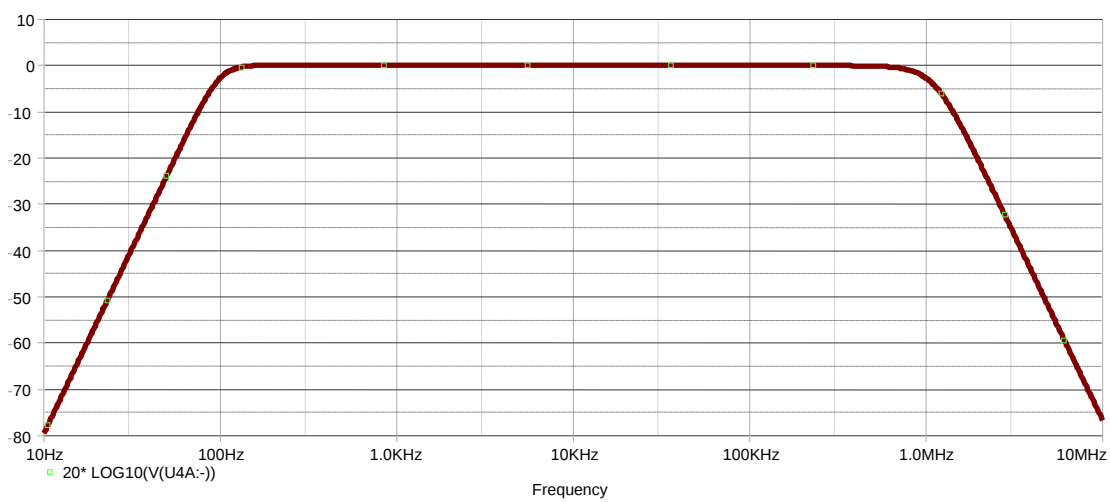
Luego de prediseñar con Filterpro se pasó a ajustar los valores de diseño empleando Orcad Capture Lite. Cabe recordar que por ser la alimentación unipolar, en algunas configuraciones del filtro se debe implementar referencias de tensión para evitar la distorsión de la señal. El diseño final del filtro y los resultados de la simulación se presentan en la Figura 17 y la Figura 18 respectivamente.

Figura 17. Esquemático del filtro de cuarto orden butterworth.

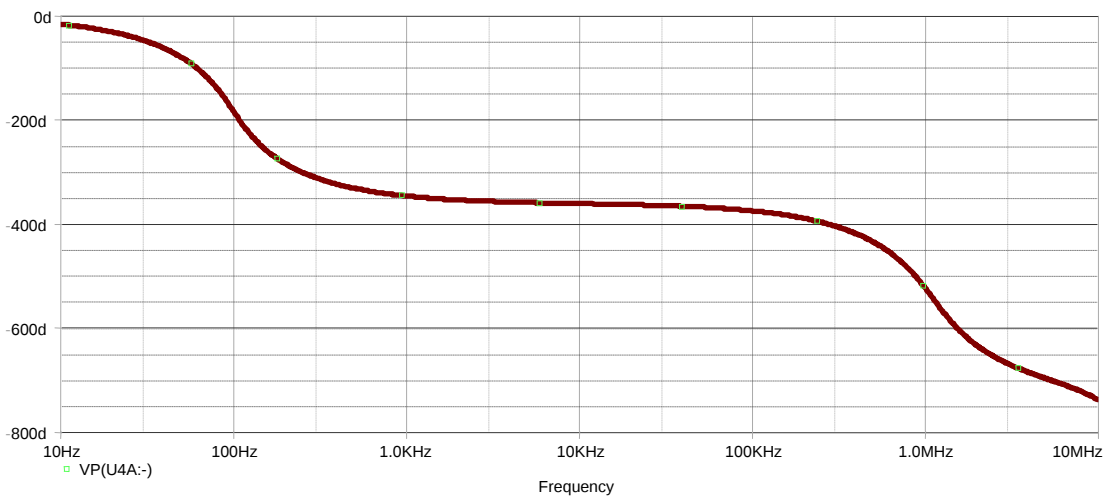


Fuente: Autores del proyecto.

Figura 18. Simulación de la respuesta del filtro a) magnitud b) fase.



a)



b)

Fuente: Autores del proyecto.

2.10 ETAPA DE GANANCIA

2.10.1 Selección del amplificador operacional

Como la etapa de ganancia entrega la señal de entrada al ADC, adicional a los requerimientos de la etapa de filtrado se requiere que el límite inferior del rango de tensión de salida sea lo más cercano posible a 0 [V]. Los dispositivos seleccionados como posibles amplificadores operacionales de la etapa de ganancia se presentan en la Tabla 9.

Las diferencias apreciables entre el LMH6611 de National Semiconductor y el ADA4850 de Analog Devices para efectos de la aplicación son la tensión de cero (offset) y el límite inferior del rango de tensión a la salida. Como se expone en la sección 2.10, en 1 [mV] están contenidos aproximadamente ocho códigos diferentes de salida del ADC (para un rango de entrada de 2 [V_{pp}]), luego los 50 [mV] de diferencia entre el LMH6611 y el ADA4850 en el límite inferior del rango

de tensión a la salida implican 400 códigos adicionales que se perderían (con los 30 [mV] del ADA4850 de hecho ya se están perdiendo 240 códigos). En este caso no resultan tan dramático los 0.6 [mV] de nivel de cero (offset) a la salida del ADA4850 porque se implementó un resistor en la terminal inversora del mismo valor resistivo del resistor de realimentación, con lo cual las caídas en los resistores a través del lazo son aproximadamente iguales pero de polaridad contraria, haciendo que el nivel de continua de la referencia se refleje a la salida de la configuración. En conclusión es más relevante el rango de tensión bajo a la salida que el nivel de cero.

Tabla 9. Selección del amplificador operacional de la etapa de ganancia.

Referencia	LMH6611	ADA4850
Fabricante	National semiconductor	Analog Devices
Single/Dual	Single/Dual	Single
Fuente de alimentación single en [V]	+2.7 a +11	+2.7 a +6
Producto ganancia por ancho de banda en [MHz]	135	160
e_n (f=100 [kHz]) en [nV/ $\sqrt{\text{Hz}}$]	10	10
Voltaje de offset en [μV]	22	600
CMRR (f=100 [kHz]) en [dB]	74	90
Consumo de corriente por canal en [mA]	3.2	2.4
Tiempo de establecimiento en [ns]	67 (a 0,1%) 100 (a 0,01%)	80 (a 0,1%)
Rango de tensión a la salida en [V]	0.08 a 2.924	0.03 a 2.92

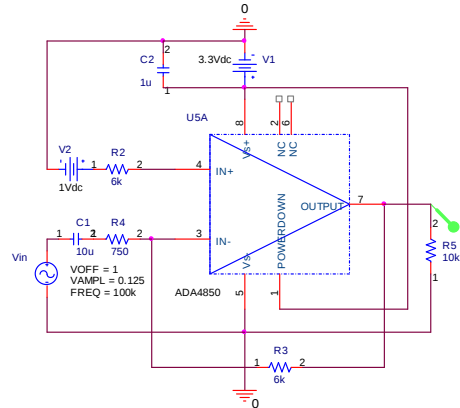
2.10.2 Diseño

Para la etapa de ganancia se implementa una configuración inversora por presentar mayor linealidad en la salida en relación con la configuración no inversora^{****}. En la interfaz entre la etapa de filtrado y la entrada se conecta un

**** Pagina 22 de la hoja de datos del LMH6611

capacitor para desacoplar las etapas en corriente continua. El diseño completo se muestra en la Figura 19.

Figura 19. Configuración inversora de la etapa de ganancia.

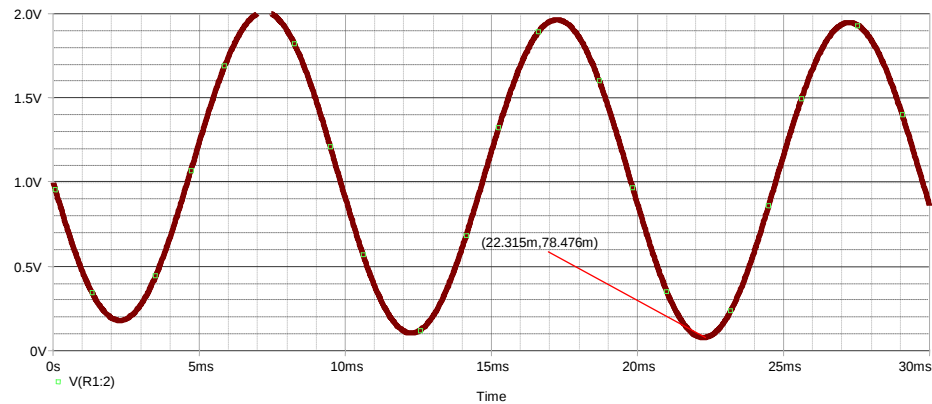


Fuente: Autores del proyecto

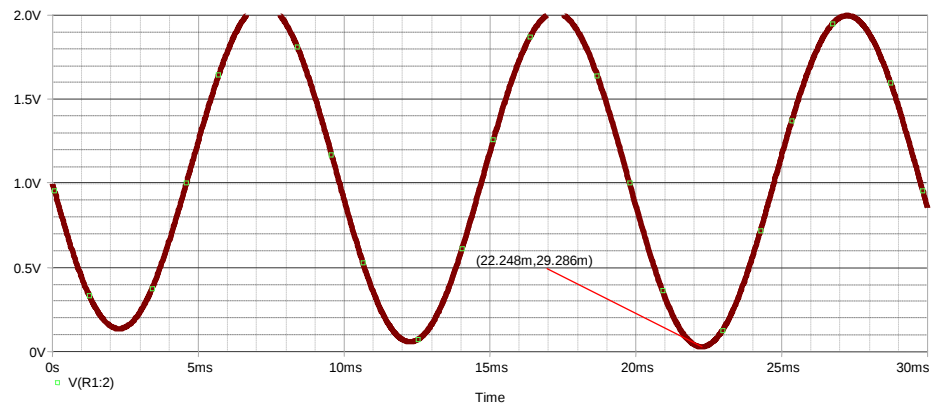
2.10.3 Simulación

Con el propósito de corroborar lo expuesto en la sección 2.9.2 se simularon los dos dispositivos con la configuración de la Figura 19, los resultados obtenidos para uno y otro se presentan en la Figura 20.

Figura 20. Resultados de la simulación en configuración inversora con ganancia absoluta de 8 [V/V] a) para el LMH6611 b) para el ADA4850.



a)



b)

Fuente: Autores del proyecto

En este caso, las gráficas de la Figura 20 muestran que el LMH6611 satura a 78 [mV], mientras que el ADA4850 lo hace a 29 [mV].

2.11 ETAPA DE CONVERSIÓN DE DATOS

2.11.1 Selección del conversor de datos

Los parámetros de interés en la selección el conversor A/D fueron:

- Velocidad de conversión de datos como mínimo de 10 [MSPS].
- Alimentación de 3.3 [V].
- Resolución de mínimo 12 bits^{†††}.
- Ancho de banda superior a 1 [MHz].
- Rango dinámico de entrada.
- Bajo consumo de potencia.

La búsqueda se efectuó en diversos fabricantes y los opcionados se listan en la Tabla 10.

^{†††} Este valor se determina de acuerdo a lo mostrado en el anexo C

Se eligió el AD9248 de Analog Devices porque cumple con los cuatro primeros parámetros de interés y comparativamente ofrece el mejor desempeño dinámico. En términos de consumo de potencia el único que supera al AD9248 es el ADS900 de Texas Instruments (54 [mW] con un solo canal), pero el ADS900 no tiene la resolución requerida.

El AD9248 tiene dos canales de conversión con puertos de salida de 14 pines, rango de la señal de entrada de 2 [V_{pp}] y modo de bajo consumo de potencia; además ofrece la posibilidad de multiplexar la conversión de los dos canales por un solo puerto de datos a la salida.

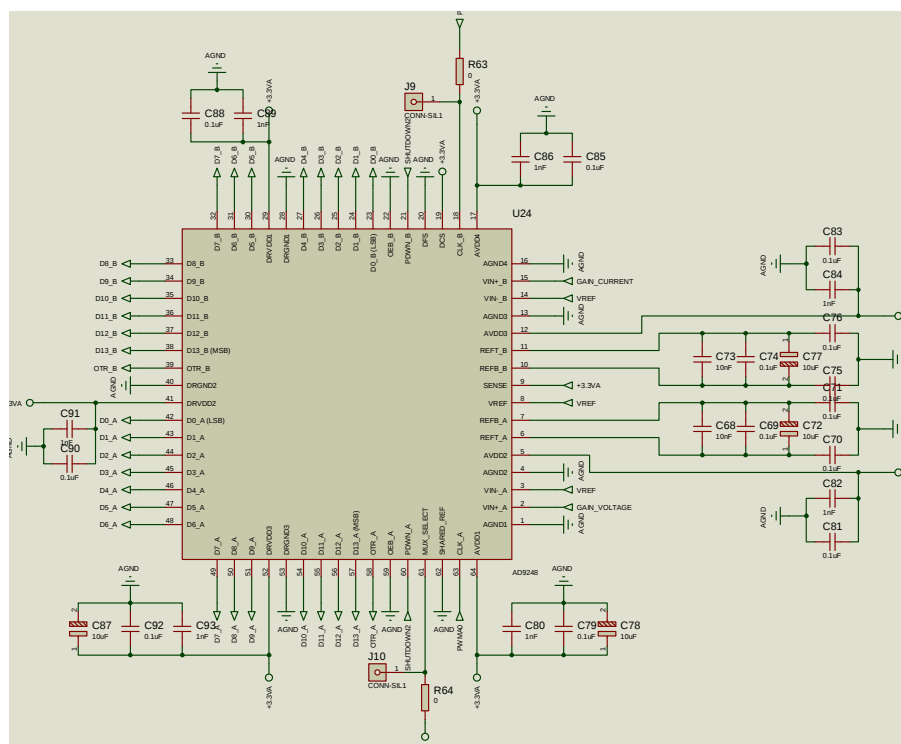
Tabla 10. Selección del conversor analógico a digital.

Referencia	AD9220	AD9248	ADS900	ADS62P22	MAX1422
Fabricante	Analog Devices	Analog Devices	Texas Instruments	Texas Instruments	Maxim
Número de canales	1	2	1	1	1
Fuente de alimentación en [V]	5	+2.7 a +3.6	+2.7 a +3.7	+3 a +3.6	+3.3
Consumo de potencia en [mW]	254	180	54	515	137
Rango de entrada en [V _{pp}]	5	2	2	2	1.024
Ancho de banda en [MHz]	60	120	100	450	150
Máxima razón de conversión en [MSPS]	10	20	20	65	20
Resolución en [bits]	12	14	10	12	12
INL en [LSB]	±0.5	±2.7	±3.5	±0.6	±2
DNL en [LSB]	±0.3	±0.65	±0.7	±0.3	±0.5
ENOBs en [bits]	11.3	11.8	--	11.5	10.5
SNR en [dB]	70.2	73.4	49	71.6	67
THD en [dB]	-83.7	--	--	93	-72
SINAD en [dB]	67	73	48	71.5	65
SFDR en [dB]	88.0	86.0	53	94	74

2.11.2 Implementación

En la Figura 21 se resume el esquema bajo el cual se implementó el AD9248, mientras que en el Tabla 11 se describe la funcionalidad de cada terminal y la configuración final en el equipo.

Figura 21. Esquemático del conversor.



Fuente: Autores del proyecto.

Tabla 11. Descripción e implementación de los terminales del AD9248.

No. Terminal	Nombre	Descripción	Implementación
1, 4, 13, 16	AGND	Tierra analógica	
2	VIN+_A	Entrada analógica positiva del canal A.	Entrada única de máximo 2 [V _{pp}] de señal y nivel de continua variable.
3	VIN-_A	Entrada analógica negativa del canal A.	Tensión continua de máximo 1 [V].
5, 12, 17, 64	AVDD	Fuente de alimentación analógica.	3.3 [V].
6	REFT_A	Referencia diferencial positiva	Configuración capacitiva para

		para el canal A.	manejar el núcleo del conversor y estabilizar el rango de entrada.
7	REFB_A	Referencia diferencial negativa para el canal A.	Configuración capacitiva para manejar el núcleo del conversor y estabilizar el rango de entrada.
8	VREF	Entrada o salida de la tensión de referencia	Entrada variable entre 0 y 1 [V].
9	SENSE	Selección del modo de referencia..	Modo de referencia externa.
10	REFB_B	Referencia diferencial negativa para el canal B.	Configuración capacitiva para manejar el núcleo del conversor y estabilizar el rango de entrada.
11	REFT_B	Referencia diferencial positiva para el canal B.	Configuración capacitiva para manejar el núcleo del conversor y estabilizar el rango de entrada.
14	VIN-_B	Entrada analógica negativa del canal B.	Tensión continua de máximo 1 [V].
15	VIN+_B	Entrada analógica positiva del canal B.	Entrada única de máximo 2 [V _{pp}] de señal y 1 [V] de nivel de continua.
18	CLK_B	Reloj de entrada del canal B.	Reloj digital proveniente del módulo PWM_A del controlador (PWMA0).
19	DCS	Habilitar o deshabilitar modo de estabilización del ciclo útil.	Terminal conectada a 3.3 [V], luego el DCS está habilitado.
20	DFS	Selección del formato de salida de datos (Bajo para binario y alto para complemento a 2).	Formato de salida en offset binario.
21	PDWN_B	Habilitar o deshabilitar modo de bajo consumo de potencia del canal B.	Controlado por el bit 2 del puerto E del controlador.
22	OEB_B	Habilita o deshabilita salida de datos por el canal B (con lógica 0 habilita y con lógica 1 estado de alta impedancia en las salidas).	Salida de datos por el canal B habilitada.
23 a 27, 30 a 38	D0_B (LSB) a D13_B (MSB)	Bits de datos del canal B.	Constituyen los bits de entrada del puerto F del controlador.
28, 40, 53	DRGND	Tierra de las salidas digitales.	
29,41, 52	DRVDD	Alimentación de las salidas	3.3 [V] para compatibilidad con el

		digitales.	controlador.
39	OTR_B	Indicador de fuera de rango para el canal B.	Entrada al controlador por el bit 4 del puerto C.
42 a 51, 54 a 57	D0_A (LSB) a D13_A (MSB)	Bits de datos del canal A.	Constituyen los bits de entrada del puerto A del controlador.
58	OTR_A	Indicador de fuera de rango para el canal A.	Entrada al controlador por el bit 5 del puerto C.
59	OEB_A	Habilita o deshabilita salida de datos por el canal A (con lógica 0 habilita y con lógica 1 estado de alta impedancia en las salidas).	Salida de datos por el canal A habilitada.
60	PDWN_A	Habilitar o deshabilitar modo de bajo consumo de potencia del canal A.	Controlado por el bit 2 del puerto E del controlador.
61	MUX_SELECT	Habilita o deshabilita el modo de multiplexado de datos.	Modo de multiplexado deshabilitado.
62	SHARED_REF	Modo de referencia (bajo para modo de referencia independiente y alto para modo de referencia compartida).	Modo de referencia independiente.
63	CLK_A	Reloj de entrada del canal A.	Reloj digital proveniente del módulo PWM_A del controlador (PWMA0).

2.12 ETAPA DE PROCESAMIENTO DE DATOS

2.12.1 Selección del dispositivo

Para escoger el dispositivo encargado del control y procesamiento de datos se tuvo en cuenta:

- La cantidad de dispositivos a controlar. Entre ellos están:
 - El generador de señal AD9833 de Analog Devices.

- El atenuador digital AD8370 de Analog Devices.
- El amplificador de instrumentación AD8231 de Analog Devices.
- El modo de bajo consumo de potencia de los LMH6611 de National Instruments implicados en las etapas de filtrado.
- El modo de bajo consumo del amplificador operacional ADA4850 de Analog Devices.
- El conversor analógico a digital AD9248 de Analog Devices.
- El teclado.
- La pantalla LCD gráfica.
- El potenciómetro digital MCP42010 de Microchip Technology.
- La implementación de la operación suma de productos propia del procesamiento de señal y diseño de sistemas discretos.
- La velocidad de procesamiento.
- 2 módulos PWM.
- 2 módulos SPI.
- Un módulo de comunicación serial.
- Memoria RAM de mínimo 8 [kB].
- Bajo consumo de potencia, alimentación de 3.3 [V].
- Los trabajos de grado anteriores.

En este caso particular, emplear una FPGA implicaría un aumento considerable en cuanto a programación por la cantidad de dispositivos que hay que controlar y las funciones que habría que implementar para el control y procesamiento de los datos; el microprocesador es muy complejo e incrementa el diseño a nivel de hardware; el microcontrolador se queda corto en cuanto al procesamiento de datos, pero de todas formas es viable y un DSP podría cumplir fácilmente con todos los requerimientos del caso.

Luego de realizar una búsqueda minuciosa por los principales fabricantes de microcontroladores y procesadores de señal digital se llegó a un listado de nueve dispositivos. Con el propósito de compararlos se resumen en el Tabla 12 sus principales características (no se incluye las características del ADC interno

porque estos conversores no cumplen con las velocidades de muestreo requeridas) y en el Tabla 13 se indica el costo que tendría adquirir la tarjeta de desarrollo asociada a cada dispositivo.

Atendiendo las recomendaciones de Rodríguez y Ruiz [2], se incluye la Tabla 12 y la Tabla 13 los controladores de señal digital (DSC). El DSC es un controlador que en un chip integra de manera compacta las capacidades de control de un microcontrolador (MCU) con las capacidades de computación y rendimiento de un procesador digital de señal (DSP).

Tabla 12. Referencias de MCU, DSP y DSC que se adaptan a los requerimientos del equipo.

Microcontroladores (MCU)						
Referencia	Capacidad de memoria	Velocidad [MHz]	Periféricos	Comunica.	Tensión y corriente	GPIO
ADuC7026BST Z62 de Analog Devices	62 Kb flash 8 kB RAM	44	PLA, PWM, Sensor de temperatura, WDT, PSM	EBI/EMI, I ² C, SPI, UART/USART	3 [V] 11 [mA] a 5 [MHz] 40 [mA] a 41.78 [MHz]	40
EVB51JM128 de Freescale Semiconductor	128 kB flash 16 Kb SRAM	50	TPM, CMT, KBI	CAN, I ² C, SCI, SPI, USB	2.7 a 5.5 [V] 120 [mA]	66
MSP430F5437 de Texas Instruments	256 kB + 512 B flash 16 kB RAM	18	Brown-out Detect/Reset, DMA, POR, PWM, WDT	I ² C, IrDA, SPI, UART/USART	2.2 a 3.6 [V], 156 [μA/MHz] a 8 [MHz]	67
LPC2468FBD20 8,551 de NXP Semiconductor	512 kB flash 98 kB SRAM	72	Brown-out Detect/Reset, DMA, I ² S, POR, PWM, WDT	I ² C, CAN, Ethernet, I ² S, SD/MMAC, SPI, SSP, UART, USBI	3 a 3.6 [V]	160
Procesadores de señal digital (DSP)						
TMS320F2808 de Texas Instruments	128 Kb flash 36 kB SARAM	100	PWW, HRPWM, WDT	CAN, I ² C, SCI, SPI	3.3 [V]	35
ADSP-21469 de Analog Devices	640 kB RAM	450	EMI, PWM.	UART, SPI, I ² C, TWI	3.3 [V]	36

DSP56309 de Freescale Semiconductor	102 kB RAM	100	EMI, WDT, PWM	ESSI, SCI	3 a 3.6 [V]	34
Controladores de señal digital (DSC)						
MC56F8367 de Freescale Semiconductor	544 kB flash 36 kB RAM	60	EMI, PWM, WDT	CAN, SCI, SPI	3 a 3.6 [V]	76
DsPIC30F6010 de Microchip Technology	144 kB flash 8 kB RAM 4 kB EEPROM	40	Motor Control PWM, POR, PWM, WDT	I ² C, CAN, SPI, UART/USART	2.5 a 5.5 [V]	68

Tabla 13. Tarjetas de desarrollo de las referencias de la Tabla 12.

Referencia	Dispositivo asociado	Contenido	Costo en dolares
EVAL-ADUC7026QSPZ	ADuC7026BSTZ62 de Analog Devices	Tarjeta de evaluación, Fuente de potencia, cable, software, simulador y documentación.	297.28
EVb51JM128	EVb51JM128 de Freescale Semiconductor	Tarjeta de evaluación, cable, software.	352.01
MSP-FET430U5X100	MSP430F5437 de Texas Instruments	Tarjeta de desarrollo, dispositivo flash, cables e interfaz USB para programación.	150.17
OM10100	LPC2468FBD208,551 de NXP Semiconductor	Tarjeta de evaluación para LPC2468.	298.5
TMDSEZS2808	TMS320F2808 de Texas Instruments	Tarjeta de evaluación, Fuente de potencia, cable, software y documentación	514.01
ADZS-21469-EZLITE	ADSP-21469 de Analog Devices	Tarjeta, cables, simulador, fuente de potencia y software.	516.56
DSP56309EVM	DSP56309 de Freescale Semiconductor	Tarjeta, guía de instalación, fuente de potencia, cable, software y más.	336.73
MC56F8367EVME	MC56F8367 de Freescale Semiconductor	Tarjeta de evaluación, Fuente de potencia, cables, software y documentación.	323.96
DM300019	DsPIC30F6010 de Microchip Technology	Tarjeta y software	79.99

Los nueve dispositivos son viables en cuanto a los requerimientos descritos anteriormente, a continuación se enuncian las razones por las cuales se descartó uno u otro como dispositivo de control y procesamiento.

- El ADuC7026BSTZ62 de Analog Devices tiene una capacidad de memoria en el límite de los requerimientos para procesar datos, además incluye sólo un módulo PWM para control trifásico y un módulo SPI.
- El MSP430F5437 de Texas Instruments opera con un reloj de menor frecuencia respecto a las demás referencias.
- Del LPC2468FBD208,551 NXP Semiconductor solo provee la tarjeta de evaluación, lo que implica gastos adicionales en software y accesorios.
- Con el TMS320F2808 de Texas Instruments, el ADSP-21469 de Analog Devices y el DSP56309 de Freescale Semiconductor se incurren en costos adicionales por las capacidades de procesamiento y se disminuye la cantidad de terminales de propósito general a disposición para ejecutar las tareas de control.
- El EVB51JM128 de Freescale Semiconductor es similar al MC56F8367 del mismo fabricante, con la desventaja de no poseer características adicionales a las de un microcontrolador convencional.
- Tomar una decisión entre el dsPIC30F6010 de Microchip Technology y el MC56F8367 de Freescale Semiconductor no es fácil; el costo de la tarjeta del dsPIC30F6010 es llamativo, pero elegirlo por tal razón implicaría abandonar la velocidad de procesamiento y la mayor capacidad de memoria del MC56F8367 de Freescale Semiconductor, aspectos que sin lugar a dudas están directamente ligados con el desempeño y especificaciones finales del equipo.

Por tales razones el dispositivo elegido para las labores de control y procesamiento es el MC56F8367 de Freescale Semiconductor, un DSC que combina la potencia del DSP y la funcionalidad del MCU, sin olvidar el paquete de periféricos que en últimas brindan una solución satisfactoria en cuanto a la relación costo-eficiencia.

2.12.2 Módulos del DSC

El MC56F8367 es miembro de la familia de controladores basados en el núcleo 56800E. El 56800E generalmente opera a 16 bits de datos, posee cuatro registros acumuladores de 36 bits, cada uno de los cuales tiene cuatro bits de guarda para protección en caso de exceder el número de bits (“overflow”), siete registros de datos de 16 bits: cuatro registros conforman los 16 bits más significativos de los acumuladores y tres son independientes.

La trayectoria de datos del 56800E está basada sobre un $16 \times 16 \rightarrow$ multiplicador de 32 bits integrado con una ALU de 36 bits y una unidad lógica. Junto con la unidad lógica, la combinación multiplicador-ALU (unidad MAC) reciben tres operandos de entrada y desempeñan multiplicaciones, adiciones, sustracciones, operaciones lógicas y otras operaciones aritméticas para producir un resultado de 36 bits. La unidad MAC soporta multiplicaciones enteras y fraccionarias. Los operandos deben ser ambos con signo o uno con signo y el otro sin signo para multiplicación de enteros y fraccionarios; multiplicaciones donde ambos operandos son sin signo es sólo soportado para enteros. El 56800E incluye dos registros de desplazamiento: un registro acumulador de 36 bits y un registro tipo “barril” de 36 bits. La manipulación de bits de datos de memoria, es decir registros de los periféricos y todos los registros dentro del núcleo es realizada por una unidad dedicada a la manipulación de datos que es capaz probar, activar, desactivar o invertir cualquier bit en un rango de 16 bits. El 56800E también cuenta con un detector de exponente que permite normalizar valores de 16 bits en dos ciclos de instrucción y valores de 32 bits en tres ciclos de instrucción.

El 56800E emplea una arquitectura de memoria tipo Harvard que permite hasta tres accesos simultáneos a memoria: obtener una instrucción y leer dos datos de 16 bits o un dato de 32 bits o escribir un dato de 32 bits.

El 56800E soporta modos de direccionamiento directo a memoria, directo a registro, indirecto a registro y datos inmediatos. El 56800E incluye hardware con

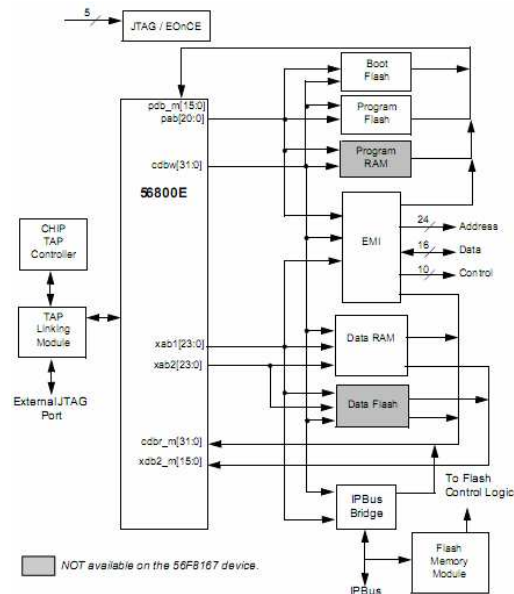
dos contadores de lazo que soportan uno o varios lazos de instrucciones, pero deben ser ininterrumpidos y cíclicos.

La Figura 22 muestra como los buses de datos del núcleo 56800E del MC56F8367 se comunican con la memoria interna, la interfaz de memoria externa y el puente al bus de interfaz a periféricos (“*IPBus Bridge*”). En el Tabla 14 se describen los buses internos de la arquitectura 56800E.

Tabla 14. Descripción de los buses internos de la arquitectura 56800E.

Nombre	Función
Interfaz de memoria de programa	
pdb_m[15:0]	Bus de datos de programa para obtención de palabras de instrucción u operaciones de lectura.
cdbr_m[15:0]	Bus de datos primario del núcleo para escritura en la memoria de programa (sólo 16 de los 32 bits del cdbr_m son usados para esta función).
pab[20:0]	Bus de direccionamiento a la memoria de programa. Los datos son retornados sobre el bus pdb_m.
Buses de Interfaz primaria a memoria de datos	
cdbr_m[31:0]	Bus de datos primario del núcleo para lecturas de memoria. Direccionados por el bus xab1.
cdbr_m[31:0]	Bus de datos primario del núcleo para escritura en memoria. Direccionados por el bus xab1.
xab1[23:0]	Bus de datos de dirección primario. Capaz de direccionar bytes, palabras y tipos de datos en formato largo. Los datos son escritos sobre cdbr_m y retornados sobre cdbr_m. También usado para acceder a los registros de los terminales de entrada/salida.
Buses de interfaz secundaria a memoria de datos	
xdb2_m[15:0]	Bus de datos secundario usado para bus de datos de dirección secundario xab2 en la lectura de memoria dual.
xab2[23:0]	Bus de dirección de datos secundario usado para el segundo de los dos accesos simultáneos. Capaz de direccionar sólo palabras. Los datos son retornados por xdb2_m.
Bus de interfaz a periféricos	
IPBus[15:0]	Bus de acceso periférico a todos los registros de periféricos en el interior del chip. Este bus opera a la misma velocidad de la memoria de datos primaria y no genera retardos cuando accede al procesador. Los datos de escritura son obtenidos del bus cdbr_m. Los datos de lectura son suministrados por el bus cdbr_m.

Figura 22. Sistema de buses en la interfaz del núcleo 56800E.



Fuente: Manual de datos del MC56F8367 suministrado por el fabricante Freescale Semiconductor.

El MC56F8367 incluye los siguientes circuitos periféricos:

- Dos moduladores de ancho de pulso (PWM), cada uno con seis salidas PWM, tres entradas de sensado de corriente y tres entradas de detección de fallas. El diseño de protección contra fallas permite la inserción de tiempo muerto, soporta los modos de alineado al centro y alineado al lado.
- Cuatro conversores analógicos a digital de 12 bits de resolución. Los módulos ADC y PWM pueden ser sincronizados a través de los canales 2 y 3 del temporizador C.
- Dos decodificadores de cuadratura de cuatro entradas o dos temporizadores adicionales.
- Un sensor de temperatura que puede ser conectado sobre la tarjeta a cualquiera de las entradas de ADC para monitorear la temperatura del chip.
- Cuatro temporizadores de propósito general con un total de seis terminales exclusivas: el temporizador C con dos terminales y el temporizador D con cuatro terminales.

- Dos módulos FlexCAN (compatibles con la versión CAN 2.0 B) con dos puertos para transmitir y recibir.
- Dos interfaces seriales de comunicación (SCI), cada una con dos pines (o cuatro terminales de entrada/salida de propósito general).
- Dos interfaces de periféricos seriales (SPI), ambos con cuatro terminales (u ocho terminales de entrada/salida de propósito general).
- Ordenador para operación correcta (COP)/Temporizador tipo guardián (WDT)
- Dos terminales externas para atender interrupciones.
- 76 terminales de entrada/salida de propósito general (GPIO).
- Entrada de “reset” externo para reiniciar el hardware.
- Salida de “reset” externo para reiniciar el sistema.
- Módulo de interrupciones integrado de baja tensión.
- JTAG/Simulación sobre el chip independiente de la velocidad del procesador.
- Configurable por programación, lazo de seguimiento de fase (PLL)- basado en el sintetizador de frecuencia del reloj del núcleo.

2.12.3 Distribución de terminales de propósito general (GPIO)

Algunos terminales tienen dos opciones de programación: como GPIO o desempeñando cierta labor al interior de un módulo. De los 76 terminales 12 han sido necesarias para poner a funcionar los siguientes módulos del DSC:

- Los dos módulos PWM: uno para controlar el backligth de la pantalla LCD gráfica y el otro para controlar la velocidad de muestreo del conversor AD9248.
- Los dos módulos SPI: uno para envío de datos al generador AD9833 y otro para envío de datos hacia al VGA AD8370 y al potenciómetro digital MCP42010.

- El canal 0 del temporizador C para controlar el tiempo transcurrido entre una y otra toma de datos (implementación del teorema de sobremuestreo) y el canal 1 del temporizador C para gestionar labores en teclado.
- Un módulo SCI para implementar la comunicación USB con PC.

Los terminales restantes y su labor asignada se listan en la Tabla 15.

Tabla 15. Distribución de terminales de propósito general del MC56F8367.

PUERTO	BIT	CONECTOR	No. DEL CONECTOR	DISPOSITIVO	NOMBRE DEL TERMINAL	No. TERMINAL
A	0	J7	29	AD9248	DA0	42
	1	J7	27	AD9248	DA1	43
	2	J7	25	AD9248	DA2	44
	3	J7	23	AD9248	DA3	45
	4	J7	21	AD9248	DA4	46
	5	J7	19	AD9248	DA5	47
	6	J7	17	AD9248	DA6	48
	7	J7	15	AD9248	DA7	49
	8	J7	13	AD9248	DA8	50
	9	J7	11	AD9248	DA9	51
	10	J7	9	AD9248	DA10	54
	11	J7	7	AD9248	DA11	55
	12	J7	5	AD9248	DA12	56
	13	J7	3	AD9248	DA13	57
B	0	J4	17	TECLADO	F1	1
	1	J4	18	TECLADO	F2	2
	2	J4	19	TECLADO	F3	3
	3	J4	20	TECLADO	F4	4
	4	J4	21	TECLADO	C1	5
	5	J4	22	TECLADO	C2	6
	6	J4	23	TECLADO	C3	7
	7	J4	24	TECLADO	C4	8
	0	J5	3	SPI#1 AD8370 MCP42010	SCLK1 SCLK CLK	13 2
	1	J5	1	SPI#1 AD8370	MOSI1 DATA	14

C				MCP42010	SI	3
	2	--	--	MISO1	NC	NC
	3	--	--	SS1	R31	+3.3V
	4	J7	30	AD9248	OTR_B	39
	5	J7	1	AD9248	OTR_A	58
	6	J5	7	AD8370	LTCH	12
	7	J5	5	MCP42010	CS	1
	8	J6	2	SDN1 AD8231 CSX750FBC AD8370	SDN Stand by PWUP	5 1 4
	9	J6	4	SDN3 CORRIENTE LMH6611 ADA4850	EN PD2	5 13
	10	J6	6	SDN4 TENSIÓN LMH6611 ADA4850	EN PD1	5 14
D	0	J3	7	PANTALLA	DB0	7
	1	J3	8	PANTALLA	DB1	8
	2	J3	9	PANTALLA	DB2	9
	3	J3	10	PANTALLA	DB3	10
	4	J3	11	PANTALLA	DB4	11
	5	J3	12	PANTALLA	DB5	12
	6	J3	13	PANTALLA	DB6	13
	7	J3	14	PANTALLA	DB7	14
	8	J3	15	PANTALLA	CS	15
	9	J3	16	PANTALLA	Reset	16
	10	J3	4	PANTALLA	Enable	4
	11	J3	5	PANTALLA	R/W	5
	12	J3	6	PANTALLA	A0	6
	0	J5	8	SCI#0-FT232BL	TXD0-RXD	24
	1	J5	6	SCI#0-FT232BL	RXD0-TXD	25
	2	J5	4	SDN2 AD9248	PDWN_A PDWN_B	60 21
	3	J5	10	AD8231	CS	13
	4	J6	3	SPI#0 GENERADOR	SCLK0 SCLK	7
	5	J6	5	SPI#0	MOSI0	

E				GENERADOR	SDATA	6
	6	--	--	SPI#0	MISO0	NC
	7	--	--	SPI#0	R19	+3.3V
	8	--	--	TIMER C0	--	NC
	9	--	--	TIMER C1	--	NC
	10	J6	8	AD8231	CS	13
	11	J6	10	AD8231	A0	14
	12	J6	9	AD8231	A1	15
	13	J6	7	AD8231	A2	16
F	0	J7	2	AD9248	DB0	23
	1	J7	4	AD9248	DB1	24
	2	J7	6	AD9248	DB2	25
	3	J7	8	AD9248	DB3	26
	4	J7	10	AD9248	DB4	27
	5	J7	12	AD9248	DB5	30
	6	J7	14	AD9248	DB6	31
	7	J7	16	AD9248	DB7	32
	8	J7	18	AD9248	DB8	33
	9	J7	20	AD9248	DB9	34
	10	J7	22	AD9248	DB10	35
	11	J7	24	AD9248	DB11	36
	12	J7	26	AD9248	DB12	37
	13	J7	28	AD9248	DB13	38
	14	J5	9	TLV3012	OUT	1
	15	J6	1	GENERADOR	FSYNC	8

La distribución específica de los módulos PWM del DSC se expone en el Tabla 16.

Tabla 16. Módulos PWM.

MÓDULO	CANAL PWM	CONECTOR	No. DEL CONECTOR	DISPOSITIVO	NOMBRE DEL TERMINAL	No. TERMINAL
PWMB	1	J8	2	BACKLIGTH	LUZ DE LA PANTALLA	
PWMA	0	J7	1	ADC	CLK_A	63
	1	J7	2	ADC	CLK_B	18
	3	J7	4	ADC	MUX_SELECT	61

2.13 ETAPA DE VISUALIZACIÓN DE RESULTADOS

2.13.1 Selección de la pantalla

El **MIEP** cuenta con una pantalla gráfica LCD en el panel frontal mediante la cual el usuario del equipo observa los resultados de la prueba. Al momento de seleccionar la pantalla dentro de las características más relevantes se incluyeron: que permitiese desplegar gráficos así como caracteres alfanuméricos de una forma sencilla, el tamaño, la disponibilidad para adquirirla y la documentación suministrada por el fabricante. Algunas pantallas viables para los propósitos del proyecto se listan en la Tabla 17 con sus respectivas especificaciones.

Tabla 17 . Cuadro comparativo de las pantallas LCD preseleccionadas.

REFERENCIA	CFAG320240CX- TFH-T	NHD-320240 WG-BxTGH- VZ#-3VR	NHD- 240128WG- BFGH-VZ	CFAG24012 8 L-STI-TZ
Alimentación para operar LCD [V]	23.8	23.8	19.5	18.9
Resolución en píxeles	320X240	320X240	240X128	240X128
Alimentación Lógica	4.75 a 5.5 V	4.75 a 5.25 V	4.75 a 5.25 V	4.75 a 5.25 V
Controlador	S1D13700F01	S1D13700 (D)	T6963C (NA)	T6963C (NA)
Área de vista en (mm)	120.14 x 92.14	122 x 92	114 x 64	114 x 64
Corriente Alimentación en [mA]	75	75	55	28.2
Precio en dólares	108.81	94	78.74	79.5
Memoria RAM	32 Kbytes	32Kbytes	8Kbytes	8Kbytes

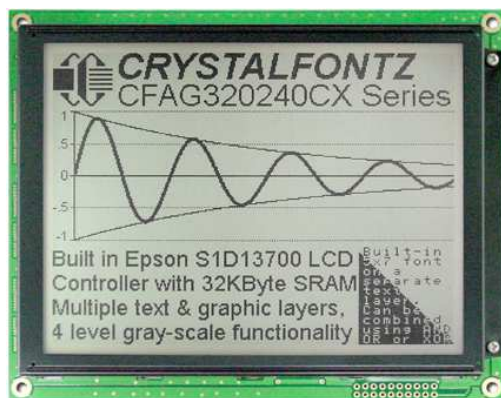
Algunos de los prototipos anteriores cuentan con la pantalla LCD gráfica HG25601-C de Hyundai para desplegar los resultados, esta tiene una resolución

de 120X240 píxeles. Para este proyecto se generó la posibilidad de una interfaz con el usuario que no sólo presenta la gráfica sino que brinde espacio para suministrarle al usuario información adicional, así que se requirió ampliar la resolución a 240X320 píxeles. La diferencia entre la referencia CFAG320240CX-TFH-T de Crystalfontz y la referencia NHD-320240WG-BxTGH-VZ#-3VR de Newhaven Display International radica en la información disponible; Crystalfontz cuenta con un foro que permite solicitar información adicional, además de brindarle asesoría en cuanto a los procedimientos para configurar la pantalla correctamente. Por los motivos descritos, el **MIEP** incorpora en su panel frontal la pantalla LCD gráfica CFAG320240CX-TFH-T de Crystalfontz.

2.13.2 Descripción de la pantalla

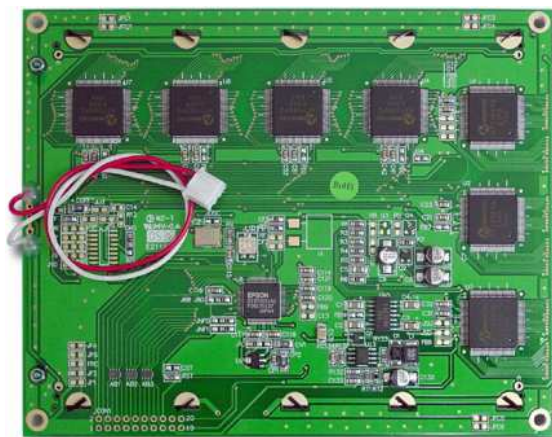
En la Figura 23 y la Figura 24 puede apreciarse la vista frontal y posterior de la pantalla LCD gráfica y alfanumérica de referencia CFAG320240CX-TFH-T, fabricada por Crystalfontz. La pantalla LCD además de las características expuestas en la Tabla 17 tiene luz de fondo blanca, generador de tensión negativa y compensación de temperatura; el consumo de corriente típico de la luz de fondo es de 160mA. El controlador que usa esta pantalla LCD es el S1D13700F01 de EPSON, el cual es un controlador de LCD con memoria de gráficos integrada, con puerto de datos de 8 bits, tiempo máximo de respuesta a un flanco ascendente de 300ms y a un flanco descendente de 200 ms; maneja capas de gráficos y de texto y puede hacer desplazamiento en cualquier dirección de la pantalla.

Figura 23. Vista frontal de la pantalla LCD CFAG320240CX-TFH-T.



Fuente: Pagina WEB del fabricante.

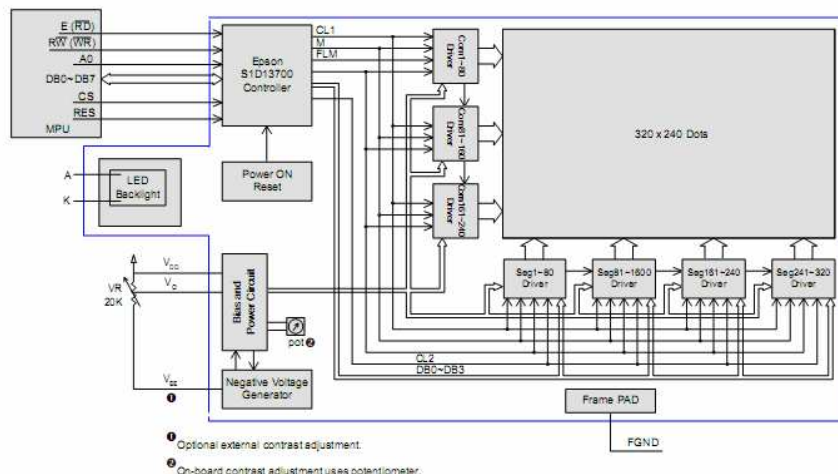
Figura 24. Vista posterior de la pantalla LCD CFAG320240CX-TFH-T.



Fuente: Pagina WEB del fabricante.

En la Figura 25 se muestra el diagrama de bloques de la pantalla, en esta se incluye el controlador, el área de visualización, los *drivers* para direccionamiento de filas y columnas, el conector de la luz de fondo, el generador de tensión negativa junto con el potenciómetro para ajuste de contraste, la conexión a la capa de tierra; por fuera de la línea azul de la Figura 25 aparecen el dispositivo encargado de dar las instrucciones al controlador (el MC56F8367 de Freescale), el potenciómetro externo para ajuste de contraste ya que se decidió no utilizar el potenciómetro interno, así como los terminales de la luz de fondo.

Figura 25. Diagrama de bloques de la pantalla LCD gráfica CFAG320240CX.



Fuente: Hoja de datos del Fabricante.

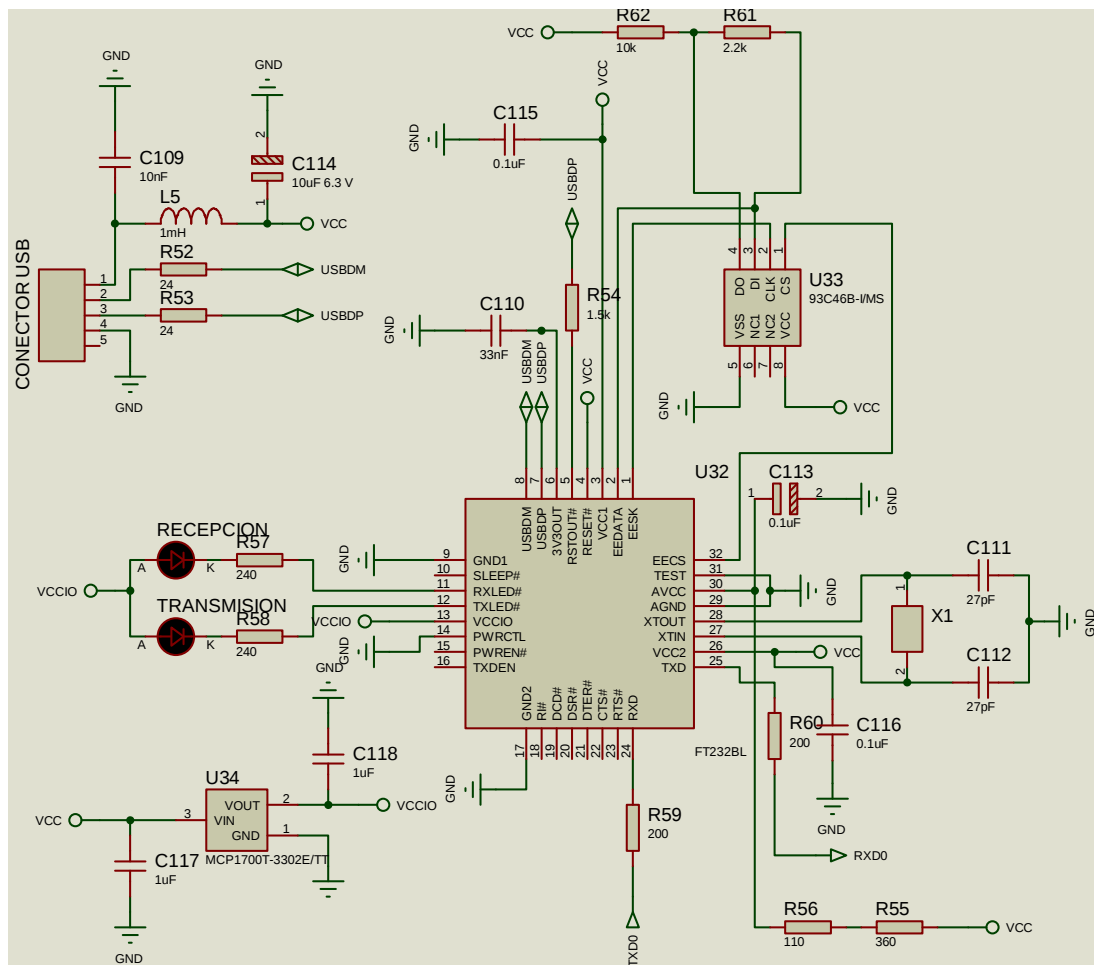
2.14 ETAPA DE COMUNICACIÓN USB

Basados en el estudio de viabilidad hecho por los ingenieros Diego Monroy y Sergio Zabala en su proyecto⁺⁺⁺, se implementó una interfaz de comunicación con puerto USB, ya que en la actualidad este protocolo predomina en el mercado y su implementación es sencilla. El esquema implementado está basado en el circuito integrado USB UART FT232BL fabricado por FTDichip, el cual con pocos elementos externos permite la recepción y transmisión de datos vía USB, además su arquitectura permite trabajar con niveles lógicos de 5 o 3.3 V lo cual es conveniente al pensar en el acople con el módulo SCI del controlador, los *drivers* de puerto virtual COM que maneja lo hacen compatible con diferentes versiones de Windows (del 98 a XP) y otros sistemas operativos como Linux y MAC, como complemento del esquema están algunos elementos indispensables para identificar a la tarjeta como un dispositivo USB y ajustar el nivel de tensión lógico a 3.3 [V]. El esquemático completo se puede apreciar en la Figura 26.

⁺⁺⁺ Repotenciación y actualización de un potenciómetro galvanostato Princeton modelo 363 para el laboratorio de corrosión de la escuela de ingeniería metalúrgica y ciencia de materiales”

La memoria EEPROM 93C46B de Microchip Technology guarda la información que identifica la tarjeta como un dispositivo USB, ya que contiene un número de serie único. El regulador MCP1700T Microchip Technology obtiene la alimentación de 5 [V] del puerto USB y entrega una tensión de 3.3 [V] para fijar los niveles lógicos en 3.3 [V], aspecto que se hace indispensable para establecer conexión con los terminales de transmisión y recepción del módulo SCI del controlador. También se implementaron dos diodos emisores de luz que se alimentan del regulador e indican si existe transmisión o recepción de datos.

Figura 26. Interfaz de comunicación USB.



Fuente: Autores del proyecto.

2.15 ETAPA DE ALIMENTACIÓN

2.15.1 Batería, cargador y tarjeta de protección

Teniendo en cuenta que el **MIEP** es un equipo portátil se requirió del uso de baterías para la etapa de alimentación. Después de una búsqueda en la opciones de mercado y teniendo en cuenta que la alimentación de la circuitería interna del equipo es 3.3 [V] pero la pantalla requiere de 5 [V], se decidió trabajar con un juego de baterías de 7.4 [V] para alimentar las tarjetas y la pantalla con una única fuente. Las baterías seleccionadas fueron las “Li-Ion 18650 7.4V 2200 mAh” de TENERGY, las cuales son baterías de litio recargables y para las cuales el fabricante ofrece el cargador y un circuito de protección para el proceso de carga y descarga.

Características de las baterías (Figura 27):

- Paquete de baterías recargables de litio de 7.4 [V]
- Hecho con dos baterías 18650 cilíndricas de 2200 [mAh] con PCB e interruptor para una completa protección.
- Peso ligero y mayor densidad de energía que cualquier batería recargable.
- Mayor vida de almacenaje que las baterías de níquel e hidruro metálico.
- No tiene efecto de memoria y es recargable.
- Posee un circuito integrado interno para prevenir sobrecarga o descarga y prolongar la vida de las baterías.

Características del cargador (Figura 28):

- Cargador universal inteligente para baterías de Ion de litio y polímeros de litio con capacidad superior a 500 [mAh].
- Cuatro voltajes de selección (3.7, 7.4, 11.1, 14.8).
- Carga paquetes de uno a cuatro baterías.

- Corriente de carga constante de 500 [mAh].
- Entrada universal de 100 a 240 [V AC].
- Parada automática de carga cuando el paquete de baterías alcanza su carga total, ó cuando cada batería alcanza 4.2 [V] pico.
- Diodo emisor de luz de indicación, rojo para “en carga” y verde para “cargado” ó “circuito abierto”.
- Dimensiones en pulgadas de 1.5x1x4.

Figura 27. Baterías Li-Ion 18650 7.4 [V] 2200 [mAh] recargables.



Fuente: Sitio web de all-battery.

Figura 28. Cargador universal inteligente TLP-2000.



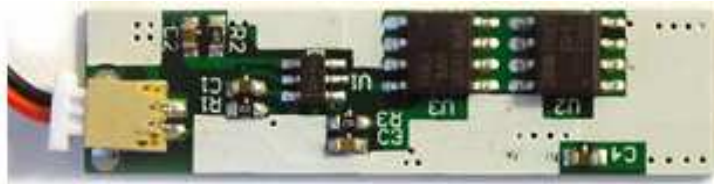
Fuente: Sitio web de all-battery.

Características de la tarjeta de protección (Figura 29):

- Diseñada para dos paquetes de baterías de 7.4 [V] ión de litio y polímeros de litio.
- Protege de sobrecarga o sobredescarga.
- Tensión de protección de sobrecarga de 4.25 ± 0.025 [V].

- Tensión de protección de sobredescarga de 2.4 ± 0.08 [V].
- Protección por sobrecorriente de 10.5 a 13.5 [A].
- Corriente de alimentación máxima de 15 [μ A].
- Protección a cortocircuitos.
- Resistencia del circuito de protección menor o igual a 30 [m Ω].

Figura 29. Tarjeta de circuito de protección para paquetes de baterías 7.4 [V] Li-ion 18650.



Fuente: Sitio web de all-battery.

2.15.2 Reguladores

El **MIEP** está equipado internamente con dos tarjetas: la primera para generación, adquisición y digitalización de señales, junto con la circuitería necesaria para la comunicación USB, y la segunda contiene el controlador, la interfaz de programación *JTAG*, los pulsadores de interrupción, la circuitería necesaria para la pantalla y el teclado, así como los conectores para control de los dispositivos de la primera tarjeta y la recepción de datos. El conector para la alimentación de 7.4 [V] proveniente de la tarjeta de protección (Figura 29) está ubicado en la primera tarjeta y es a partir de este punto que se regula la alimentación a 5 [V] con el fin de proveer este nivel de tensión a la pantalla.

Tanto en la primera como en la segunda se implementaron reguladores que a partir de la tensión de 5 [V] suministrasen el nivel de 3.3 [V] a todos los dispositivos que así lo requieren. Para abordar la exposición de los reguladores conviene seccionarla en cuatro bloques:

- Regulador de 5 [V].
- Reguladores de 3.3 [V] en la primera tarjeta.
- Reguladores de 3.3 [V] en la segunda tarjeta.
- Regulador de 3.3 [V] para comunicación USB.

a) Regulador de 5 [V]

El regulador seleccionado fue el MC33269DT-5.0G de ON Semiconductor con una caída mínima de 1 [V], corriente de salida de 800 [mA], tensión de salida positiva específicamente diseñada para aplicaciones con bajo voltaje de entrada. Este dispositivo ofrece al diseñador de circuitos una solución económica para regulación precisa de tensión, mientras minimiza las pérdidas de potencia; se implementó en la primera tarjeta básicamente por recomendación del Freescale, y porque el cálculo de consumo de potencia arrojó corrientes por debajo de 800 [mA] para la puesta en marcha de las dos tarjetas que componen el **MIEP**. El MC33269DT-5.0G es el encargado de tomar la tensión de la batería y alimentar la pantalla y los demás reguladores.

b) Reguladores de 3.3 [V] en la primera tarjeta.

Para la etapa de alimentación de los dispositivos que intervienen en la primera tarjeta se decidió trabajar con un regulador MC33269DTRK-3.3G de la familia MC33269DT de ON Semiconductor que es básicamente igual al mencionado en el literal a) pero con salida fija a 3.3 [V].

Para alimentar el conversor de datos, de acuerdo a lo observado en la literatura y en la hoja del fabricante del ADC se requirió un regulador adicional para evitar que las variaciones en potencia afectaran el rendimiento del mismo ó que se generara distorsión en la señal de entrada al dispositivo por efectos de las corrientes de alimentación. Para esta aplicación se implementó el ADP1712 de Analog Devices que proporciona una corriente de salida de 300 [mA], ruido a la salida por debajo de 40 [μ V rms], limite de corriente, protección por sobrecarga térmica y está

diseñado para aplicaciones que implican equipos portátiles ó alimentados con baterías.

c) Reguladores de 3.3 [V] en la segunda tarjeta.

Para alimentación de la segunda tarjeta y del ADC interno del controlador se utilizan dos MC33269DTRK-3.3G de acuerdo a lo recomendado por Freescale. Para las referencias del conversor interno se utilizó un regulador de 3.3 [V], el REG113 de Texas Instruments es el recomendado en la hoja de datos de la tarjeta de desarrollo, entre sus principales características se cuenta con un dropout de 250 [mV], corriente de salida de 400 [mA], protección térmica y estabilidad en la salida sin necesidad de capacitores externos.

d) Regulador de 3.3 [V] para la comunicación USB.

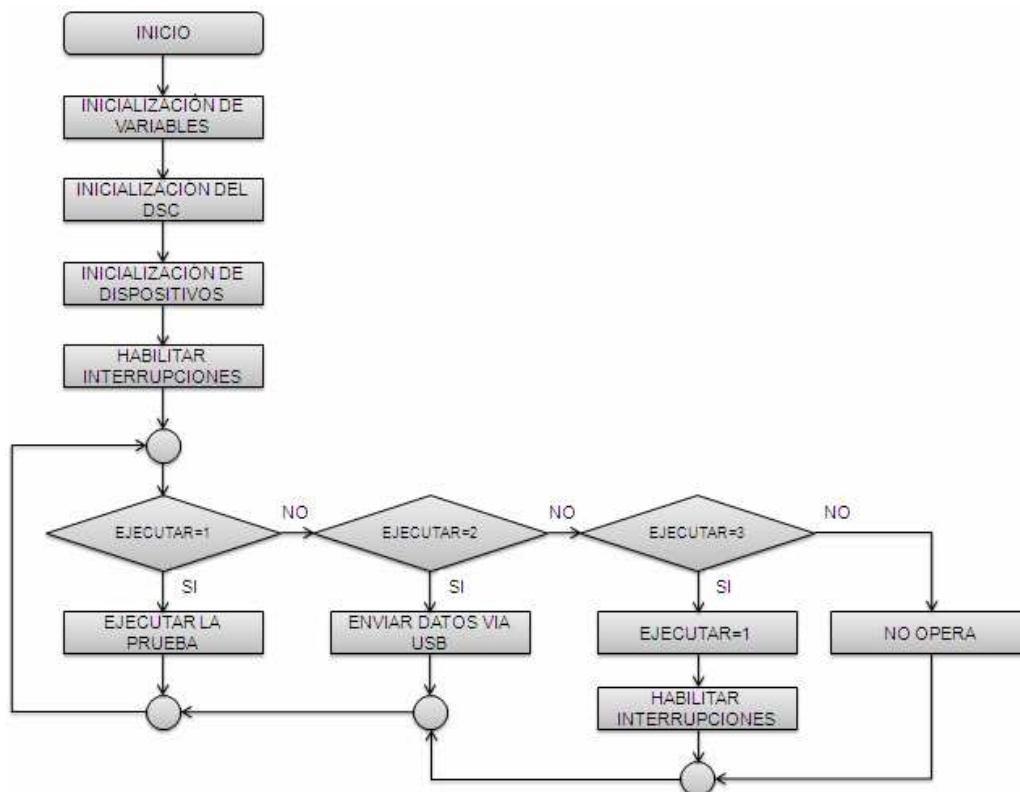
Para alimentar los dispositivos que intervienen en el protocolo de comunicación USB y determinar nivel lógico alto a utilizar, se decidió implementar el MCP1700 de Microchip, el cual es un regulador de tensión con salida fija de 3.3 [V], consumo de corriente típico de 1.6 [μA], dropout de 178 [mV], que constituye el reemplazo al regulador que recomienda el fabricante del FT232.

3. PROGRAMACIÓN

En este capítulo se expone mediante diagramas de flujo y de estado el programa que ejecuta el DSC MC56F8367 al encender el equipo. Aspectos como la inicialización de los módulos del DSC, la inicialización de la pantalla y la forma como se programan los demás dispositivos figuran en el anexo A y en las hojas de datos de los dispositivos.

El diagrama de la Figura 30 describe de forma general el funcionamiento del sistema. Aparte de lo que se visualiza en la Figura 30, al DSC se le cargan 50 variables globales entre las cuales figuran 3 matrices y 28 vectores.

Figura 30. Diagrama de flujo general del sistema.



Fuente: Autores del proyecto.

Como la ejecución del programa está ligada con la interacción del usuario con el equipo, conviene describir paso a paso la Figura 30:

- Inicialización de variables

Se definen 10 variables locales, se inicializan 4 variables globales en cero (gan_var, lo, y ejecutar) y la variable global control_teclado en 13.

- Inicialización del DSC

En este paso se configuran los puertos del DSC según la Tabla 15, el módulo SCIO se configura a 9600 [baudios], los módulos PWMA y PWMB se ajustan a 1.05 [μs] y 5 [ms] de periodo respectivamente y se inicializan los canales 0 y 1 del temporizador C.

- Inicialización de dispositivos

Se inicializan el generador AD9833 con una onda senoidal de 1 [MHz], el amplificador de ganancia programable AD8370 con ganancia de aproximadamente 0.2 [V/V], los amplificadores de instrumentación AD8231 con ganancia de 8 [V/V] y el MCP42010 con el código 255 en ambos canales. Además se inicializa la pantalla con la capa 1 en modo texto y la capa 2 en modo gráfico.

- Habilitar interrupciones

El DSC permite definir el nivel de prioridad de una interrupción entre 0 y 2 (donde 2 representa la mayor prioridad). De acuerdo a los requerimientos del equipo se habilitaron interrupciones por canal 0 del temporizador C (nivel 2), por canal 1 del temporizador C (nivel 0), por IRQA (nivel 1) e IRQB (nivel 1) para desplegar las gráficas de Nyquist y Bode respectivamente en pantalla; para la coordinación del teclado se habilitó la interrupción por GPIOB de nivel 0 y para el anuncio de nivel de tensión bajo en la batería la interrupción por GPIOF de nivel 2.

Con la ejecución por parte del DSC de los pasos anteriores, por medio de la pantalla el usuario recibe las indicaciones para iniciar la ejecución de una prueba, mientras el usuario no realice las acciones necesarias o lo haga de forma errónea el DSC continuará ejecutando instrucciones de “no opera”. Cuando el usuario realice las acciones correctamente el equipo procederá a realizar la prueba y

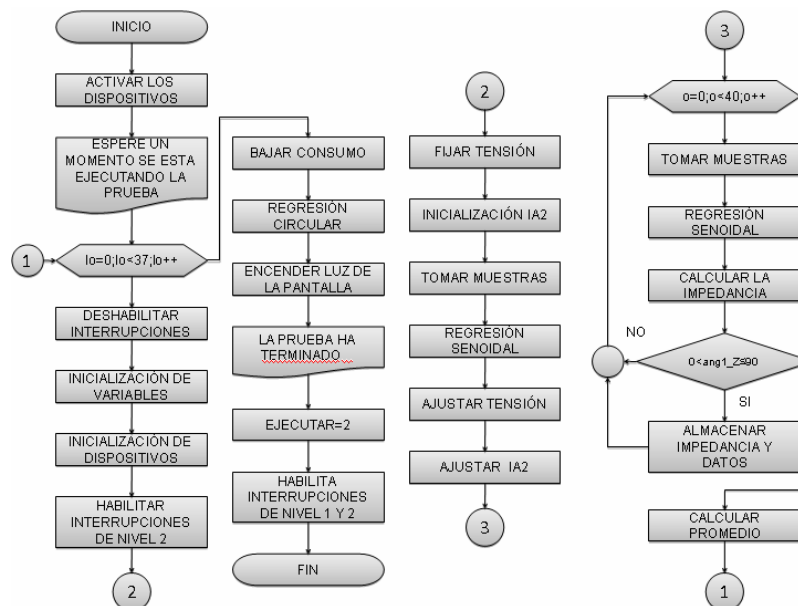
automáticamente al final de ésta transferirá los datos al PC siempre y cuando el cable USB esté conectado tanto al DSC como al PC y el puerto USB del PC esté configurado.

La pregunta “¿EJECUTAR=3?” abre la posibilidad de que el DSC ejecute una nueva prueba si el usuario lo solicita a través del teclado (ver el manual de usuario del equipo).

3.1 ALGORITMO DE EJECUCIÓN DE LA PRUEBA

El diagrama de flujo de la Figura 31 es la ampliación de la acción “EJECUTAR PRUEBA” del diagrama de flujo de la Figura 30. En él se puede apreciar como a través de un proceso iterativo se le aplican a la celda 37 frecuencias diferentes en el rango de 100 [Hz] a 1 [MHz] con una de tres tensiones diferentes en el rango de 20-44 [mVp].

Figura 31. Diagrama de flujo de la prueba



Fuente: Autores del proyecto.

La descripción paso a paso de las acciones ejecutadas por el DSC mediante el algoritmo de la Figura 31 se exponen brevemente a continuación:

- Activar los dispositivos

Como para realizar una nueva prueba no se requiere reiniciar el DSC (apagar y encender el equipo), es probable que ya se haya ejecutado la prueba con anterioridad y los dispositivos se encuentren en estado de bajo consumo, lo cual implica que el DSC debe modificar el nivel lógico de algunos terminales de propósito general (para mayor claridad consulte la Tabla 15) y enviar algunas instrucciones empleando los módulos SPI para poner en estado de funcionamiento normal las etapas de generación, atenuación, adquisición, filtrado y conversión.

- Deshabilitar interrupciones

Para reiniciar los módulos del DSC se deshabilitan las interrupciones de nivel 0, 1 y 2.

- Inicialización de variables

Igual que en la inicialización del sistema, se les asigna el valor de cero a las variables globales satura, gan_var y cuenta y a las variables locales saltar, magnitudes fases y divisor.

- Inicialización de dispositivos

Ocurre lo mismo que en la inicialización del sistema, con la única diferencia de que según el valor de la variable **lo** se asignan el periodo de la señal PWM generada por el canal A, la cuenta del canal 0 del temporizador C y la frecuencia de la onda senoidal generada por el AD9833.

- Habilitar interrupciones de nivel 2

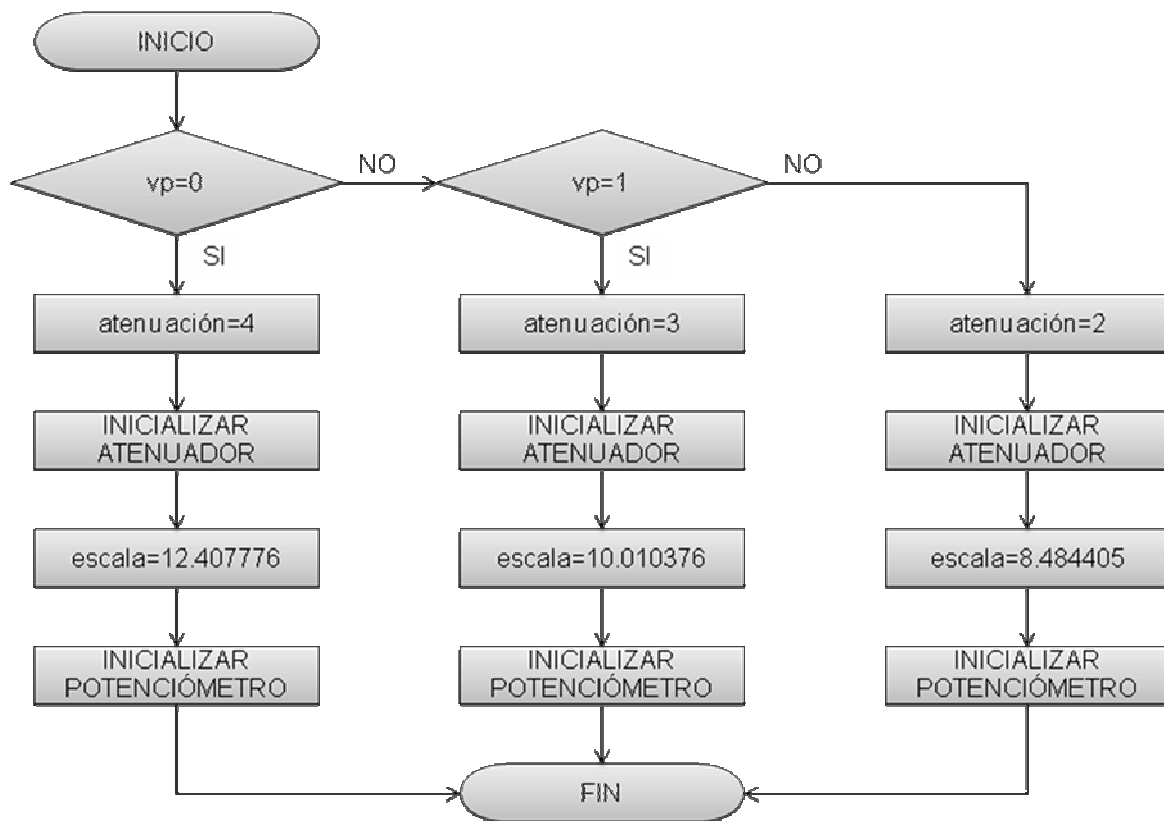
Para una correcta ejecución de la prueba sólo se habilitan las interrupciones por el canal 0 del temporizador C y por tensión baja en la batería correspondiente al bit 14 del puerto F.

- Fijar tensión

Corresponde a una función. Dicha función está representada en la Figura 32 y cumple la labor de inicializar el amplificador de ganancia programable AD8370 y el potenciómetro digital MCP42010 según el nivel de tensión al que se va a ejecutar

la prueba. Además como se fija el nivel de tensión en ambos canales del potenciómetro, ello define el rango de entrada del conversor AD9248 y por lo tanto se asigna a la variable **escala** el peso del bit menos significativo del conversor.

Figura 32. Diagrama de flujo de la función `fijar_tensión(void)`.



Fuente: Autores del proyecto.

- Inicialización IA2

Es un paso sencillo en el que se le programa una ganancia de 8 [V/V] al amplificador de instrumentación AD8231 para el sensado de corriente.

- Tomar muestras

Representa las acciones mediante las cuales se adquieren los datos del conversor. Como funciona a través de una rutina de interrupción se explicará en la sección 3.2.1, por ahora cabe afirmar que se adquieren los datos de ambos canales del conversor incluyendo los bits de fuera de rango.

- Regresión senoidal [3]

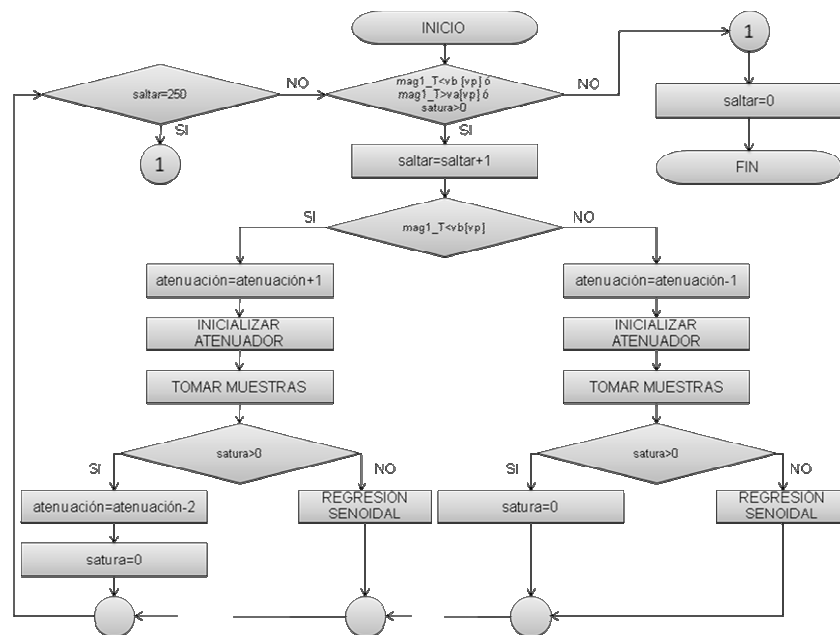
Consiste en realizar dos regresiones senoidales, una con los datos provenientes del canal A y otra con los datos del canal B del conversor. Esta función calcula las amplitudes y los ángulos de las señales de corriente y de tensión.

- Ajustar tensión

El control y ajuste de la tensión se hace mediante el algoritmo representado por el diagrama de flujo en la Figura 33. Para su comprensión vale aclarar que a la celda a cada frecuencia se le aplica una de tres tensiones diferentes que se encuentran en los rangos de 36-44 [mVp], 29-35 [mVp] y 20-28 [mVp] y que dichos rangos están registrados en el código mediante vb[vp] (valorbajo[valorpico] en el código) y va[vp] (valoralto[valorpico] en el código) que son dos vectores globales que contienen cada uno tres valores correspondientes a los niveles de tensión bajo y alto de los tres rangos.

Con este algoritmo el DSC está continuamente controlando que no se le apliquen niveles de tensión superiores a 50 [mVp] a la celda y que la prueba se realice en el rango de tensión correcto.

Figura 33. Diagrama de flujo del control y ajuste de tensión.



Fuente: Autores del proyecto.

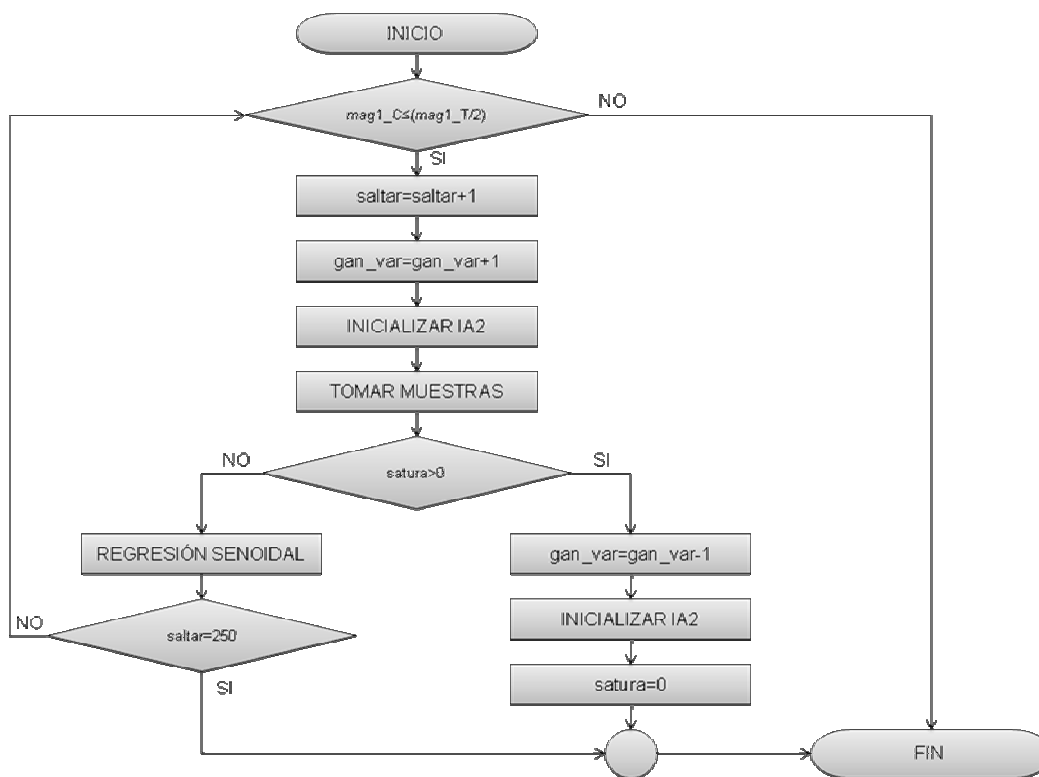
En síntesis el DSC saldrá de esta rutina mientras la tensión en la celda esté dentro del rango ó la variable **saltar** adquiera el valor de 250.

- Ajustar IA2

Con el propósito de no desperdiciar el rango dinámico de entrada del canal B del conversor, se carga al DSC con una rutina de ajuste de la ganancia en el amplificador de instrumentación AD8231 para el sensado de corriente. Como se aprecia en la Figura 34 el DSC saldrá de esta rutina si:

- La amplitud resultante de la regresión senoidal de los datos del canal B es mayor que la mitad de la amplitud producto de la regresión senoidal de los datos del canal A del conversor.
- La variable **saltar** alcance el valor de 250.
- El canal B del conversor saturó.

Figura 34. Diagrama de flujo para el ajuste de IA2



Fuente: Autores del proyecto.

Al terminar de ajustar todos los dispositivos, el DSC realiza 40 veces los procesos de tomar muestras, calcular las regresiones senoidales, calcular la impedancia y mientras la impedancia resultante esté ubicada en el cuarto cuadrante, almacena el valor de amplitud y ángulo para posteriormente promediar todos los valores válidos. Con lo cual se obtiene la impedancia promedio a dicha frecuencia (mag_pro[lo] y ang_pro[lo] variables globales en el código).

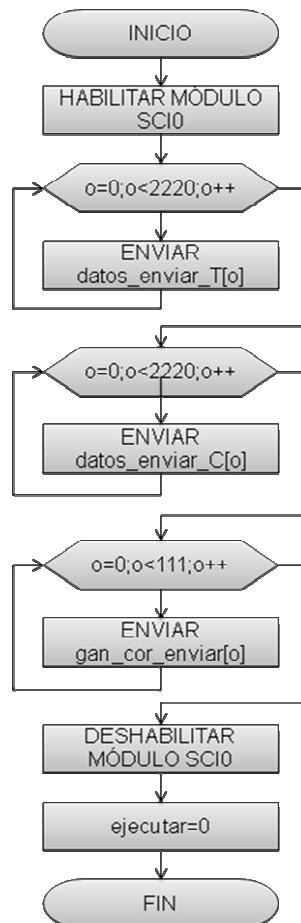
Por último el DSC:

- Pone en modo de bajo consumo las etapas de generación, atenuación, sensado, filtrado y conversión.
- Realiza la regresión circular con los datos en mag_pro[lo] y ang_pro[lo].
- Enciende la luz de la pantalla activando el canal B del módulo PWM.
- Avisa al usuario que la prueba ha terminado y que si lo desea puede observar las gráficas de Bode ó Nyquist oprimiendo los botones Bode ó Nyquist.
- Asigna a la variable **ejecutar** el valor dos para que enseguida envíe datos vía USB mientras el cable USB esté correctamente conectado y el puerto USB del PC esté configurado para recibir 8991 datos de ocho bits, sin control de paridad y a una tasa de 9600 [baudios].
- Habilita interrupciones de nivel 1 y 2, con lo cual quedan habilitadas las interrupciones por IRQA e IRQB para desplegar en la pantalla las gráficas de Bode o de Nyquist.

En la Figura 30 la acción “ENVIAR DATOS VÍA USB” se amplía en la Figura 35 (para mayor información sobre la configuración del módulo SCI consultar el Anexo A). Los 8991 datos que le llegan al concentrador del puerto USB están organizados de la siguiente forma:

-Los primeros 4440 son los datos de tensión en la celda. Cada 120 datos corresponden a una sola frecuencia y cada 40 a un nivel de tensión (los primeros 40 siempre corresponden al rango de 36-44 [Vp], los 40 siguientes al rango de 29-35 [Vp] y los 40 finales al rango de 20-28 [Vp]).

Figura 35. Algoritmo para el envío de datos vía USB.



Fuente: Autores del proyecto.

- Los siguientes 4440 son los datos de tensión en la resistencia de sensado de la corriente en la celda. Cada 120 datos corresponden a una sola frecuencia y cada 40 a un nivel de tensión (los primeros 40 siempre corresponden al rango de 36-44 [Vp], los 40 siguientes al rango de 29-35 [Vp] y los 40 finales al rango de 20-28 [Vp]).

-Los últimos 111 datos indican el valor por el cual hay que dividir los anteriores 4440 datos para obtener el valor de la corriente en la celda. Cada tres datos corresponden a una sola frecuencia y cada 1 dato a un nivel de tensión (el primero de cada tres siempre corresponde al rango de 36-44 [Vp], el siguiente al rango de 29-35 [Vp] y el último al rango de 20-28 [Vp]). Antes de hacer la

regresión senoidal con los datos de corriente en la celda, a los datos se les debe restar 8192 y multiplicar por la resolución en el conversor (variable **escala** en el código) para que dicha regresión arroje resultados razonables. Para obtener la amplitud real se debe dividir por $((2^{\text{gan_cor_enviar[]}})^4 \cdot \text{posición de la perilla})$.

3.2 FUNCIONES DE INTERRUPCIÓN

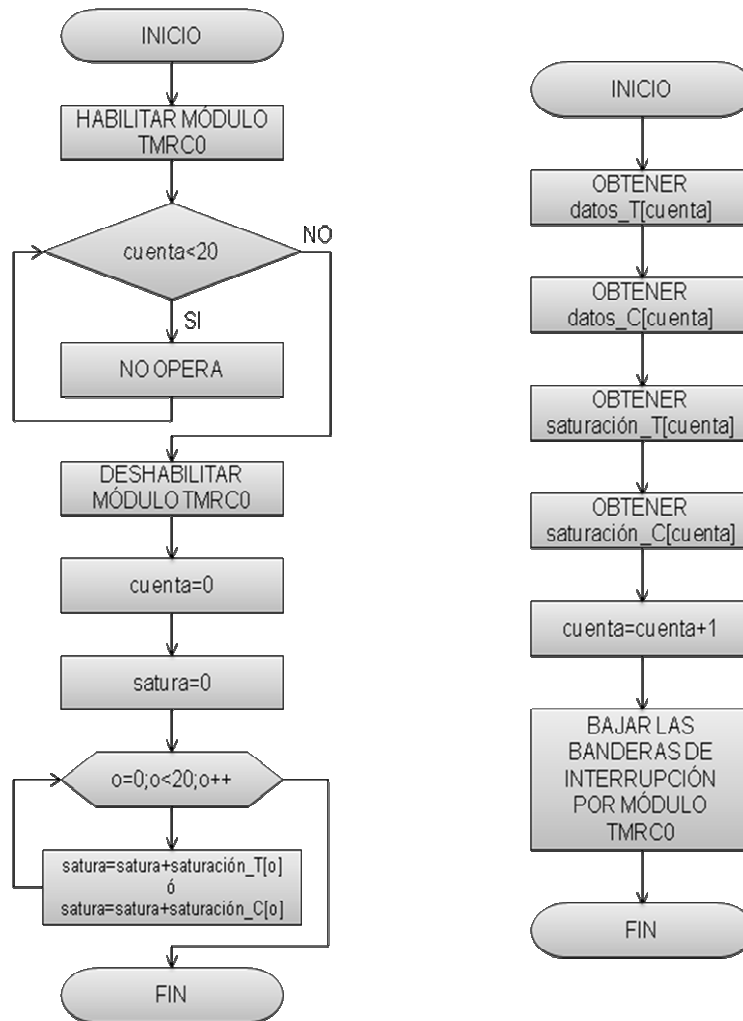
3.2.1 Interrupción por TMRC0

El canal 0 del módulo temporizador C del DSC MC56F8367 es utilizado para realizar la toma de datos del conversor. La acción “TOMAR MUESTRAS” en la Figura 31 emplea la interrupción por TMRC0 para tomar 20 datos de cada canal del conversor así como el estado de los bits de fuera de rango. El diagrama de flujo de la izquierda en la Figura 36 representa el algoritmo de espera para la toma de muestras, mientras que el diagrama de flujo de la derecha en la Figura 36. Representa las acciones llevadas a cabo por el DSC durante la función de interrupción por el canal 0 del temporizador C. La forma en que interactúan los dos algoritmos es la siguiente:

- En el programa principal durante la ejecución de la prueba se activa el módulo TMRC0, con lo cual cada cierto tiempo (según la frecuencia de la onda senoidal aplicada a la celda) se genera un requerimiento de interrupción en el DSC, dicho requerimiento conduce a la ejecución del algoritmo de la derecha de la Figura 36, mediante el cual se obtiene los datos presentes en los canales del conversor y se almacenan en los vectores globales `datos_T[cuenta]`, `datos_C[cuenta]`, `saturación_T[cuenta]` y `saturación_C[cuenta]`.
- El proceso anterior se repite 20 veces, tiempo durante el cual el DSC no continua con la ejecución del programa principal.

- Finalmente, se desactiva el módulo TMRC0 y se almacena en la variable satura en algunos casos el registro de fuera de rango del canal A y en otros el registro de fuera de rango del canal B.

Figura 36. Diagramas de flujo del proceso de muestreo.



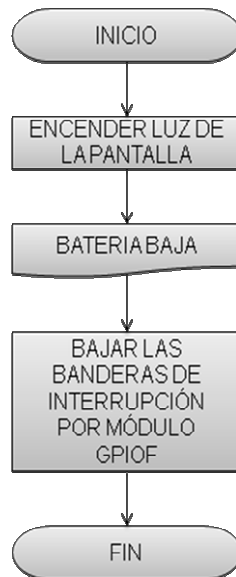
Fuente: Autores del proyecto.

3.2.2 Interrupción por nivel de tensión bajo en la batería

El bit 14 del módulo GPIOF está configurado para que cuando en él aparezca un nivel de tensión lógico bajo se genere un llamado de interrupción, mediante el cual se ejecuta el código representado por el diagrama de flujo de la Figura 37.

Básicamente la función `batería_baja(void)` activa el canal B del módulo PWM en caso de estar desactivado, con lo cual enciende la luz de la pantalla y escribe en la parte superior de la pantalla **“BATERIA BAJA”** anunciándole al usuario que debe poner a cargar la batería del equipo.

Figura 37. Diagrama de flujo de la función `batería_baja(void)`.

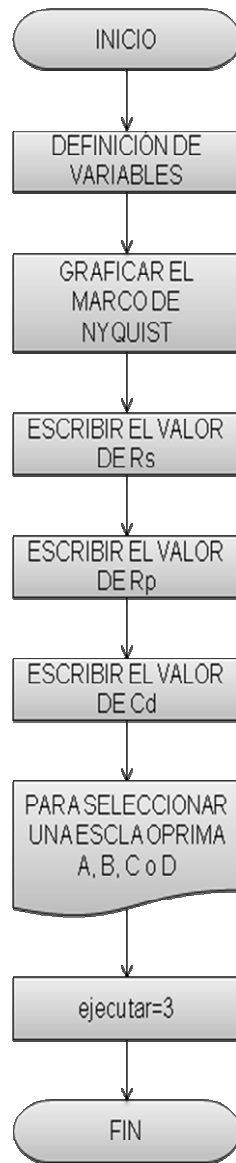


Fuente: Autores del proyecto.

3.2.3 Interrupción por IRQA

Cuando el usuario oprime el botón **“Nyquist”** se genera un llamado de interrupción por parte del módulo IRQA del DSC, con lo cual se ejecuta el código representado en el diagrama de flujo de la Figura 38. Con la ejecución de la función `NYQUIST(void)` el usuario observará en la pantalla el marco de la gráfica de Nyquist, los parámetros de la celda R_s , R_p y C_d calculados previamente en la regresión circular y una instrucción para definir mediante el teclado la escala de los ejes de la gráfica. Al final de la función se le asigna a la variable global **ejecutar** el valor de 3 para que en la función principal se habiliten interrupciones de nivel 0, con lo cual se activa el teclado (ver Figura 30).

Figura 38. Diagrama de flujo de la función NYQUIST(void).



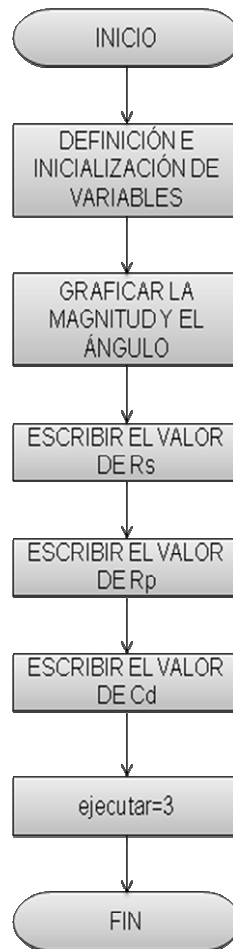
Fuente: Autores del proyecto.

3.2.4 Interrupción por IRQB

Cuando el usuario oprime el botón “**Bode**” se genera un llamado de interrupción por parte del módulo IRQB del DSC, con lo cual se ejecuta el código representado en el diagrama de flujo de la Figura 39. Con la ejecución de la función BODE(void) el usuario observará en la pantalla las gráficas de Bode correspondientes a la

magnitud y el ángulo, los parámetros de la celda R_s , R_p y C_d calculados previamente en la regresión circular. Al final de la función se le asigna a la variable global **ejecutar** el valor de 3 para que en el programa principal se habiliten interrupciones de nivel 0, con lo cual se activa el teclado (ver Figura 30).

Figura 39. Diagrama de flujo de la función BODE(void);



Fuente: Autores del proyecto.

3.2.5 Interrupción por canal 1 del temporizador C

Cuando quedan habilitadas interrupciones de nivel 0, el canal 1 del temporizador C genera un requerimiento de interrupción que automáticamente ejecuta la función `desplazar_cero(void)`, dicha función cumple la labor de rotar un cero lógico por los

cuatro bits menos significativos del puerto B del DSC, de tal modo que cuando se oprime una tecla, el cero lógico es aplicado a uno de los cuatro bits más significativos del puerto B y se genera un requerimiento de interrupción por parte del módulo GPIOB.

3.2.6 Interrupción por parte del módulo GPIOB

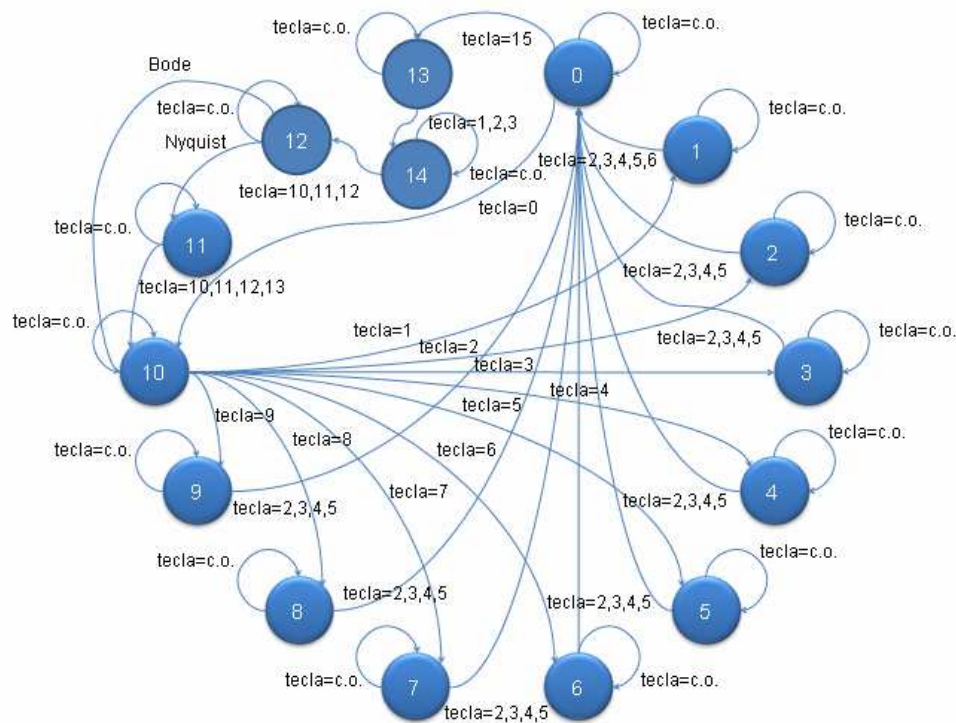
El teclado matricial del equipo tiene sus ocho terminales conectadas al puerto B del DSC (ver Tabla 15), cuando un nivel lógico bajo es aplicado a cualquiera de los cuatro bits más significativos del puerto B, se genera un requerimiento de interrupción por parte del módulo GPIOB, con lo cual el DSC procede a ejecutar la función `int_teclado(void)`. La función `int_teclado(void)` mediante una estructura **for** detecta la tecla oprimida por el usuario y según el estado de la variable global `control_teclado` y la tecla oprimida ejecuta una acción que en la mayoría de los casos es observable en pantalla. El diagrama de estados de la Figura 40 muestra los 14 estados de la variable global **control_teclado**.

El programa principal inicializa **control_teclado** en el estado 13, pasa al estado 14 siempre y cuando se oprima la tecla 1, 2 o 3, con lo cual el usuario le indica el valor de la resistencia de sensado y el programa carga el vector global `div_C[]`; en el estado 14, **control_teclado** pasa al estado 12 siempre y cuando el usuario seleccione el rango de tensión de la prueba oprimiendo A, B o C (10, 11 o 12 en la Figura 40). Estando en el estado 13, si se oprime la tecla asterisco (*) el programa asigna a la variable **ejecutar** el valor 1 y en la función principal se inicia la ejecución de la prueba (al oprimir la tecla asterisco no se cambia de estado).

Al terminar la prueba, según el usuario oprima el botón “**Bode**” o “**Nyquist**” la variable **control_teclado** pasará al estado 10 ó 11 respectivamente. Estando en el estado 11 y según se oprima la tecla 10, 11, 12 ó 13 el programa asigna una escala a la gráfica de Nyquist y pasa la variable **control_teclado** al estado 10.

Estando en el estado 10 el usuario puede elegir oprimiendo sucesivamente dos teclas correspondientes a digitos decimales la frecuencia a la que desea conocer el valor de la parte real y la parte imaginaria de la impedancia en la celda. Luego de oprimir la segunda tecla, **control_teclado** llega al estado 0 y desde allí el usuario oprimiendo la tecla 0 o la tecla numeral (tecla=15) retornará **control_teclado** al estado 10 si desea conocer el valor de la impedancia a otra frecuencia o al estado 13 si desea repetir la prueba respectivamente.

Figura 40. Diagrama de estados del teclado



Fuente: Autores del proyecto.

Cabe aclarar que aunque no se muestra en el diagrama de estados de la Figura 40, luego de terminada la prueba (ver Figura 31) oprimir los botones “**Bode**” o “**Nyquist**” conducen al estado 10 o 11 respectivamente. Además estando en el estado 10, oprimir la tecla asterisco (*) asigna a la variable global **ejecutar** el valor de 2 con lo cual se envían los datos vía USB.

3.3 EL MIEP COMO EQUIPO

Lo que hace realmente interesante al **MIEP** no es la teoría aplicada, ni el diseño, ni la programación, es la unión de estos tres componentes. Por lo tanto se han querido dedicar estas líneas a la exposición clara de la forma en que el **MIEP** los conjuga.

3.3.1 El barrido frecuencial

El **MIEP** a cada frecuencia toma 20 muestras de un periodo tanto de la tensión como de la corriente en la celda aplicando el teorema de muestreo por desfase en el rango de 10 [kHz] a 1 [MHz] y el muestreo normal en el rango de 100 [Hz] a 9 [kHz]. Para ello, mediante programación mantiene sincronizados los módulos temporizador 0 del canal C y PWM del canal A del DSC, lo cual permite minimizar el error en la medida del desfase entre la tensión y la corriente en la celda.

3.3.2 Control digital de la tensión aplicada a la celda

A diferencia de los anteriores prototipos, el **MIEP** garantiza por medio de un algoritmo de control que la tensión aplicada se encuentra en el rango lineal de la celda electroquímica. Adicionalmente, el usuario tiene la posibilidad de seleccionar por medio del teclado el nivel de tensión al que desee que se ejecute la prueba entre tres tensiones diferentes en los rangos de 20-28 [mVp], 29-35 [mVp] y 36-44 [mVp] sin desperdiciar el rango de entrada del conversor AD9248. Esto lo logra gracias a que las etapas de generación, conversión y sensado cuentan con dispositivos programables.

El atenuador de la etapa de generación es programado a través del canal 1 del módulo de comunicación SPI del DSC y permite ajustar la tensión diferencial aplicada a la celda; los amplificadores de instrumentación AD231 de las etapas de sensado cuentan con los terminales A0, A1, A2, A3 y CS para ser programados y permiten modificar la preamplificación que se hace a la tensión en la celda y la tensión en la resistencia de sensado de corriente. Adicionalmente el potenciómetro digital MCP42010 comparte el módulo de programación con el atenuador y configura al conversor en tres rangos de entrada diferentes.

3.3.3 Incidencias en la medición de la amplitud de la impedancia

A partir del diseño del MIEP, los factores relevantes que influyen en la medida de la amplitud de la impedancia son:

- La precisión en la ganancia de los amplificadores.
- La precisión de los elementos pasivos.

La similitud de las etapas de filtrado y amplificación para las señales correspondientes a la tensión y la corriente en la celda contribuyen a que las influencias de estos dos factores se minimicen sobre la medida de la amplitud en la impedancia. Tanto la señal correspondiente a la tensión como la señal correspondiente a la corriente en la celda pasan por un filtro con ganancia unitaria en la banda de paso y una etapa de amplificación con ganancia de 4.8 [V/V] idénticos desde el punto de vista de diseño.

El aspecto a evaluar y donde son relevantes estos dos factores es la etapa de sensado. A diferencia de la etapa de sensado de tensión en la celda, para sensar la corriente en la celda se emplea una resistencia serie con la celda de 10 [Ω], 100 [Ω] o 1 [k Ω] (definida a través de un selector por parte del usuario) de 1% de precisión. La otra diferencia entre las etapas de sensado de tensión y de corriente es la ganancia programada. El amplificador de instrumentación AD8231 para el

senado de tensión en la celda está configurado por programación con una ganancia fija de 8 [V/V], mientras que el amplificador de instrumentación AD8231 para el senado de corriente en la celda varía su ganancia según las circunstancias de la prueba entre 8, 16, 32, 64 y 128 [V/V]. El amplificador de instrumentación AD8231 tiene un error para el rango de ganancia descrito anteriormente del 0.8% según la hoja de datos del fabricante. Conforme a los resultados obtenidos y presentados en el capítulo 4, ninguna de estas dos diferencias afecta drásticamente la medida de la magnitud de la impedancia.

3.3.4 Incidencias en la medición del ángulo de la impedancia

Las etapas de senado, filtrado, amplificación y conversión de la tensión y la corriente en la celda están diseñadas para minimizar los efectos que el desfase propio de los dispositivos ocasiona en la medida final del ángulo de desfase entre la tensión y la corriente en la celda. El **MIEP** cuenta con etapas idénticas en materia de configuraciones y dispositivos utilizados para la adquisición y conversión de las señales de tensión y corriente en la celda.

El filtro, por ser de configuración Butterworth no tiene fase lineal (Figura 18), pero como tanto la señal de tensión como la señal de corriente realizan su paso por el filtro, se ven afectadas de igual forma y el desfase entre ellas se mantiene (la única diferencia estaría dada por el proceso de fabricación de los dispositivos). Caso similar ocurre con las etapas de senado y amplificación (ver Figura 35 de la hoja de datos del AD8231 y Figura 13 de la hoja de datos del ADA4850).

En la etapa de conversión ambos canales operan con el mismo reloj proveniente del canal A del módulo PWM del DSC, así que el muestreo de las señales correspondientes a la tensión y la corriente en la celda ocurren al mismo tiempo. A este beneficio se le suma que los datos producto de una conversión se encuentran disponibles en los buses A y B del conversor durante el periodo del reloj, lo cual permite que el hecho de adquirir los datos de los canales por parte del DSC a

diferentes tiempos durante el mismo periodo del reloj no afecte la medida del ángulo de la impedancia.

3.3.5 Control sobre el consumo de energía

Todos los dispositivos tienen la opción de ingresar en un modo de bajo consumo programado. Cuando se enciende el **MIEP**, el DSC inicializa todos los módulos y dispositivos incluyendo la pantalla y para que el usuario pueda corroborar la correcta inicialización del **MIEP** no se hizo uso de la opción de bajo consumo antes de ejecutar la primera prueba por primera vez la prueba, con lo cual el **MIEP** permanece consumiendo 570 [mA]; mientras ejecuta la prueba y a causa del apagado de la luz de la pantalla, el consumo se reduce a 500 [mA]; al terminar la primera prueba, el equipo entra en modo de bajo consumo y sólo los reguladores, los buffers, el DSC y la pantalla quedan en modo de operación normal, por lo que el consumo se reduce a 440 [mA].

3.3.6 Optimización del algoritmo para el cálculo de la regresión senoidal

Esta sección no pretende exponer la teoría para el cálculo de la regresión senoidal, pero si se desea puede consultarse el anexo C de la referencia bibliográfica [3].

Con el propósito de disminuir el tiempo en el cálculo de la regresión senoidal, se cargaron dentro del programa dos vectores globales $L[]$ y $M[]$ que contienen los valores del $\cos(wt)$ y $\sin(wt)$ respectivamente para cada uno de los 20 datos. Gracias a $L[]$ y $M[]$ y como se muestra en la Figura 1 dentro de la estructura **for** son pocos los cálculos que hay que llevar a cabo. Posteriormente con calculadora en mano se encontró que para la cantidad de muestras adquiridas el cálculo de bc_T , bs_T , bc_C y bs_C (variables locales de la función `regresión_senoidal(void)`)

sólo requería dividir a A, C, E y G (variables locales de la función `regresión_senoidal(void)`) por un factor de 10.

Figura 41. Código para el cálculo de las regresiones senoidales.

```
void regresion_senoidal(void){  
    int u;  
    double bc_T,bs_T,bc_C,bs_C,mag_T,ang_T,mag_C,ang_C,A=0,E=0,C=0,G=0,YT,YC,io1,io2;  
    for(u=0;u<20;u++){  
        YT=(datos_T[u]-8192)*escala;  
        YC=(datos_C[u]-8192)*escala;  
        A=A+YT*L[u];  
        E=E+YC*L[u];  
        C=C+YT*M[u];  
        G=G+YC*M[u];  
    }  
    bc_T=A/10;  
    bs_T=E/10;  
    bc_C=C/10;  
    bs_C=G/10;  
    mag_T=raiz((cuadrado(bc_T)+cuadrado(bs_T)));  
    io1=bs_T/bc_T;  
    ang_T=(tan_inv(io1)*5729.577951);  
    mag_C=raiz((cuadrado(bc_C)+cuadrado(bs_C)));  
    io2=bs_C/bc_C;  
    ang_C=(tan_inv(io2)*5729.577951);  
    magl_T=mag_T;  
    angl_T=ang_T;  
    magl_C=mag_C;  
    angl_C=ang_C;  
}
```

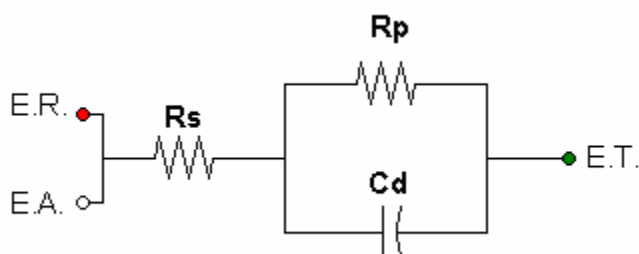
Fuente: Autores del proyecto.

4. PRUEBAS

En este capítulo se muestran los resultados obtenidos en las pruebas realizadas al MIEP para determinar el comportamiento del equipo y el error obtenido al realizar las mediciones.

Estas pruebas se realizaron utilizando una celda “Dummy” la cual es ampliamente utilizada en la calibración de elementos de medición como potencióstatos y medidores de impedancia comerciales ya que dicha celda simula el comportamiento de una celda electroquímica. La celda Dummy empleada se muestra en la Figura 42 y esta constituida por una resistencia serie (R_s) y una resistencia (R_p) en paralelo con un capacitor (C_d), de acuerdo a lo recomendado en la literatura como se explico en el capítulo 1.

Figura 42. Celda Dummy utilizada para realizar pruebas al MIEP



Fuente: Autores del proyecto.

4.1 RESULTADOS DE LAS PRUEBAS

En esta prueba se alimenta la celda mostrada en la Figura 42 con la señal senoidal de amplitud (con rangos de 36-44 [Vp], de 29-35 [Vp] y un rango de 20-28 [Vp])

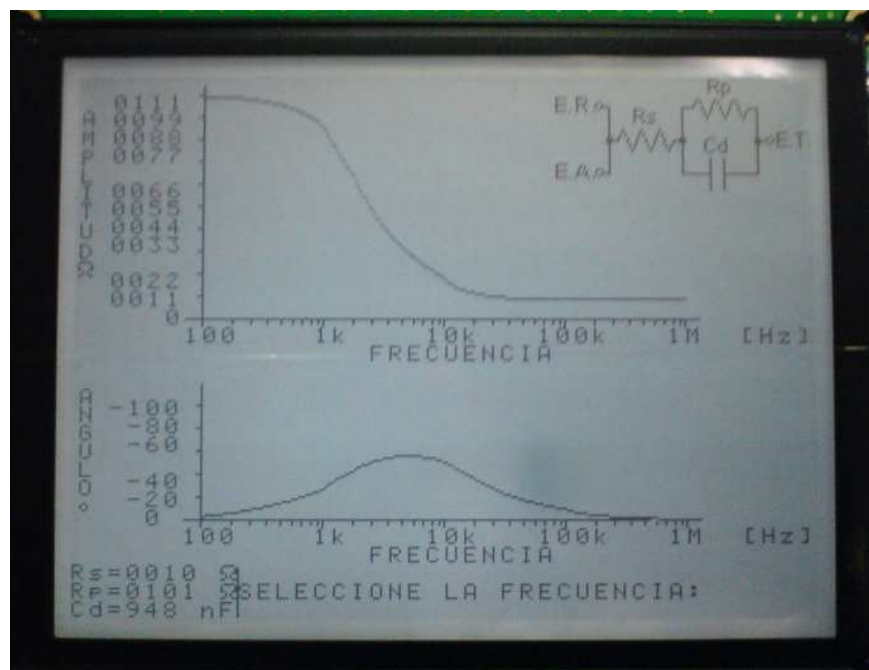
seleccionada por el usuario, con lo cual el MIEP un barrido por 37 valores de frecuencia desde 1 MHz hasta 100Hz

El MIEP después de realizar el barrido antes mencionado le permite al usuario observar en pantalla los gráficos de Bode y Nyquist obtenidos de la celda estudiada. Para objetos de observar los resultados y los estimados del error en la medición se realizaron pruebas a tres celdas de diferentes valores con el fin de utilizar las tres resistencias de sensado dependiendo del orden de la impedancia a medir. En las tablas 18 19 y 20 se muestran los valores nominales, reales y los obtenidos por el MIEP junto con el porcentaje de error para cada parámetro calculado. Adicionalmente a estos resultados en las figuras 43 a 48 se pueden observar las curvas obtenidas para cada celda en su respectiva prueba y los valores de los parámetros mostrados en pantalla por el equipo.

Tabla 18. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 10[Ω].

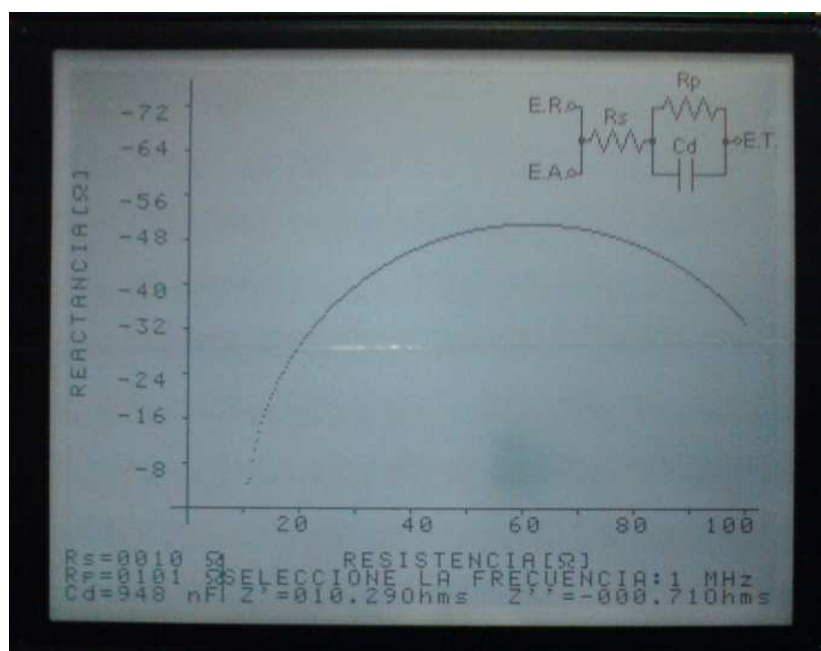
Resistencia de sensado de 10 [Ω]				
Componente	Valor nominal	Valor real	Medición del MIEP	Error %
Rs[Ω]	10	10	10	0
Cd[nF]	1000	989	948	4.14
Rp[Ω]	100	100	101	1

Figura 43. Gráfico de bode y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 10[Ω]



Fuente: Autores del proyecto.

Figura 44. Gráfico de Nyquist y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 10[Ω]

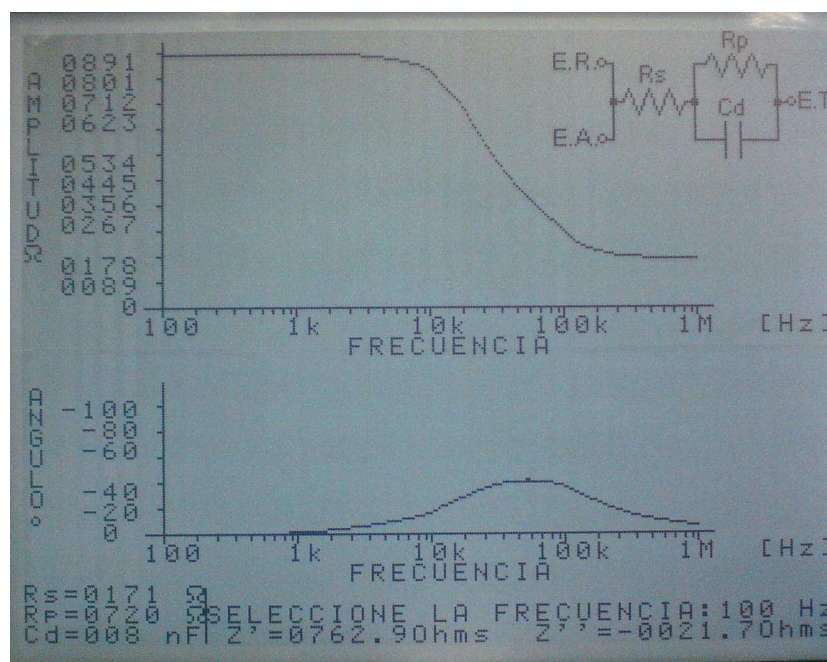


Fuente: Autores del proyecto.

Tabla 19. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 100[Ω].

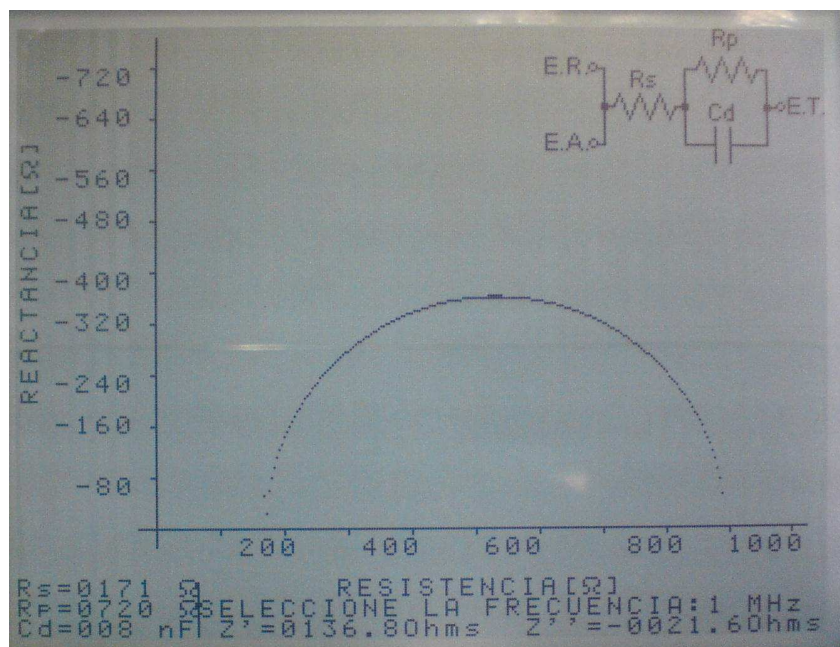
Resistencia de sensado de 100 [Ω]				
Componente	Valor nominal	Valor real	Medición del MIEP	Error %
$R_s[\Omega]$	160	159.7	171	7.07
$C_d[nF]$	8.2	8.67	8	7.72
$R_p[\Omega]$	750	748.7	720	3.83

Figura 45. Gráfico de bode y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 100[Ω].



Fuente: Autores del proyecto.

Figura 46. Gráfico de Nyquist y valores de los elementos arrojados por el MIEP en la prueba con resistencia de sensado de 100[Ω].

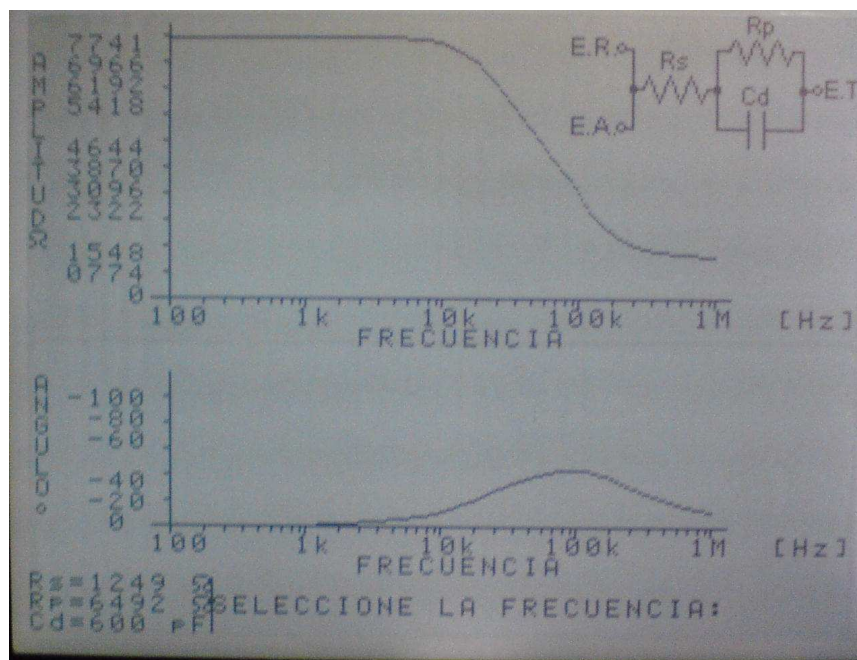


Fuente: Autores del proyecto.

Tabla 20. Resultados de la prueba a la celda dummy, valores de los elementos utilizados y error en la medición con resistencia de sensado de 100[Ω].

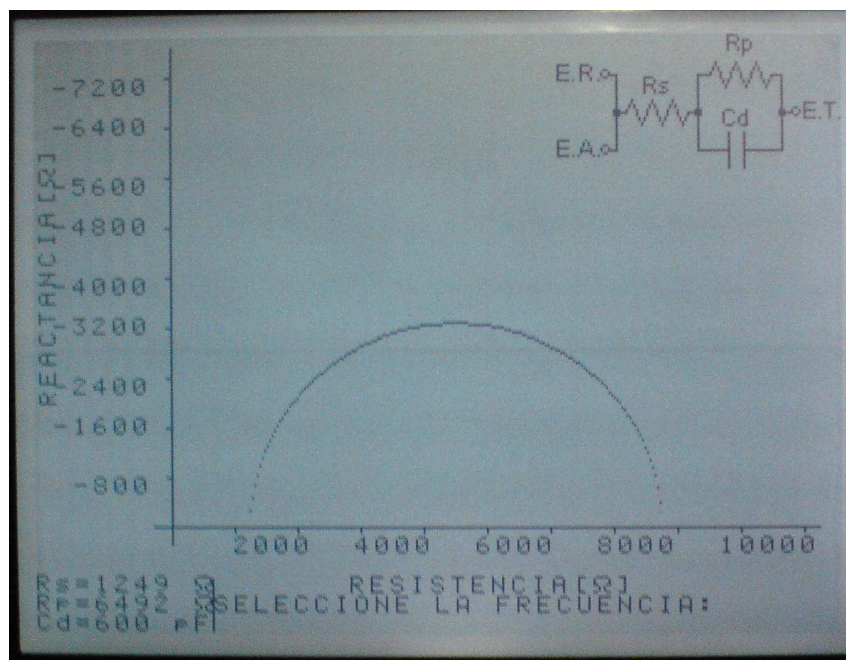
Resistencia de sensado de 1000 [Ω]				
Componente	Valor nominal	Valor real	Medición del MIEP	Error %
Rs[kΩ]	1.1	1.120	1.249	11.51
Cd[pF]	560	569.7	600	5.05
Rp[kΩ]	6.2	6.191	6.492	4.86

Figura 47. Gráfico de bode y valores de los elementos arrojados por el MIEP en la tercera prueba.



Fuente: Autores del proyecto.

Figura 48. Gráfico de bode y valores de los elementos arrojados por el MIEP en la tercera prueba.



Fuente: Autores del proyecto.

CONCLUSIONES

- Se realizó el diseño e implementación de un dispositivo medidor de impedancia electroquímica, con la capacidad de generar un barrido por 37 valores frecuencia desde 1 MHz hasta 100 Hz y tres niveles diferentes de amplitud entre 44 y 20 [mVp] teniendo en cuenta los avances realizados en este tipo de equipo en la escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones, poniendo especial atención en las recomendaciones dadas en anteriores proyectos, así como el estado del arte.
- Se logró construir un equipo portátil que proporciona al usuario una interfaz sencilla de usar y una interacción mínima con el equipo para obtener resultados confiables, así como la posibilidad de transmitir datos a un PC vía puerto USB, con el fin de permitir al usuario realizar cálculos de mayor complejidad.
- Se construyó una etapa de generación compuesta de un generador digital (AD9833), un amplificador operacional (AD8138) para convertir la señal referenciada a tierra en una diferencial y por último una amplificador diferencial de ganancia variable con control digital (AD8370). Esta etapa permite alimentar la celda electroquímica con una señal senoidal con una frecuencia y amplitud controlada digitalmente durante la ejecución de la prueba, los valores de amplitud aplicados se mantienen entre 20 y 44 [mVp] de acuerdo a lo recomendado por la normas para realización de pruebas no destructivas.
- Con el fin de aprovechar el rango dinámico del conversor analógico-digital (AD9248) se realizó un proceso de adecuación de señal con una etapa de sensado y preamplificación con ganancia variable (AD8231), una etapa de filtrado para eliminar componentes de frecuencia indeseados y por último una

etapa final de ganancia (ADA4850) que asegura niveles adecuados de señal a la entrada del conversor. El ajuste del *spam* se realizó por medio de un potenciómetro digital que determina el nivel de dc de la señal analógica y el valor máximo de amplitud que recibe el conversor a la entrada de acuerdo al rango que se está aplicando. Esta interacción del potenciómetro digital con la amplitud de la señal permite aprovechar la resolución del ADC y mejorar por tal razón los datos de la conversión.

- El MIEP está compuesto por dos tarjetas impresas, una es la tarjeta digital encargada del control de todas las etapas y periféricos que intervienen en la prueba así como de los cálculos requeridos para determinar el valor de los parámetros de la celda. La segunda tarjeta contiene todas las etapas analógicas para el sensado y adecuación de señal, el conversor analógico-digital, el puerto de comunicación USB y el hardware requerido para establecer la comunicación con pc

RECOMENDACIONES

Teniendo en cuenta los múltiples avances en diferentes versiones del medidor de impedancia electroquímica hechos en los últimos años y que el actual proyecto logra concentrar todos estos avances independientes en un equipo portátil y autónomo en la realización de las pruebas, se recomienda:

- Utilizar este prototipo como punto de partida en el desarrollo de medidores de impedancia cada vez más competitivos con los existentes en el mercado.
- Llevar el rango de frecuencia del equipo a un rango más amplio que incluya frecuencias desde el orden de los mHz hasta frecuencias del orden de decenas o centenas de MHz con el fin de ampliar el rango de medición y mejorar los resultados obtenidos.
- Realizar desarrollos en *software* que permitan al usuario utilizar los datos proporcionados por el MIEP y manipularlos para realizar cálculos adicionales sobre la celda objeto de estudio.
- Implementar la etapa de visualización por medio de pantalla LCD a color con el fin de estar a tono con la tecnología actual y hacer el equipo más estético.
- Implementar un sistema de potencia que le permita al MIEP obtener su alimentación por medio de un transformador que se pueda conectar directo a la línea de 110 V con el fin de utilizar las baterías solo en caso de ser necesario.
- Buscar baterías que proporcionen al equipo la energía necesaria para funcionar por más horas consecutivas o en su defecto buscar elementos que igualen o mejoren las características de los ya utilizados con un menor consumo de potencia, lo cual es probable teniendo en cuenta la tendencia en desarrollo de circuitos integrados (mayor funcionalidad y menor consumo).
- Disminuir la distorsión armónica de las ondas del generador.

BIBLIOGRAFÍA

- [1] CARVAJAL, Carlos y ORTIZ, Alexander. “Implementación de un sistema de adquisición y procesamiento de datos para una estructura básica de un medidor de impedancia electroquímica”, trabajo de grado, Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2004.

- [2] RODRÍGUEZ, Jorge y RUIZ, Sergio. “Medidor de impedancia electroquímica”, trabajo de grado, Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2003.

- [3] AMARIS, Jean y LÓPEZ, José. “Elaboración del software para la caracterización de una celda electroquímica usando DSP familia 56800 de Motorola”, trabajo de grado, Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2004.

- [4] MARTÍNEZ, Adriana y ARENAS, Edgar. “Generador de señales para mediciones de impedancia electroquímica basado en DSP”, trabajo de grado, Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2006.

- [5] VARGAS, Juan y GARCÍA, Cristihan. “Diseño y montaje de un sistema de adquisición de señales de voltaje para la medida de espectro de impedancia eléctrica en tejido humano”, trabajo de grado, Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2005.

- [6] Analog Devices, Mixed-signal and DSP design techniques, 2003, enlace: http://www.analog.com/en/embedded-processing-dsp/learning-and-development/content/mixed_signal_dsp_design_book/fca.html

- [7] DRAKE, José. "Instrumentación Electrónica de comunicaciones tema 3", Departamento de Electrónica y computadores Santander, Universidad de Cantabria, 2005. enlace: http://www.ctr.unican.es/asignaturas/instrumentacion_5_IT/IEC_3.pdf
- [8] NEGREIRA, Juan y VLAEMINCK, Rodrigo. "Conversores A/D por aproximaciones sucesivas", curso de medidas electricas 2004, Montevideo Uruguay, enlace: https://iie.fing.edu.uy/ense/asign/medel/archivos/monografias/2004/aproximaciones_sucesivas.PDF.
- [9] DELFINO, Adrián y MONTAÑO, Sandra. "Conversor Sigma-Delta", curso de medidas eléctricas 2003, Universidad de la República Oriental de Uruguay, enlace: https://iie.fing.edu.uy/ense/asign/medel/archivos/monografias/2003/Conversor_sigma_delta.pdf.
- [10] "Sistemas de conversión analógica a digital", enlace: http://www.volcanesdecanarias.com/interna/Educacion/download/Instrumentacion/04_SISTEMAS%20DE%20CONVERSION%20ANALOGICA%20DIGITAL.pdf
- [11] HERRERA, José. "DAC y ADC", trabajo de laboratorio, electrónica 3, Escuela de Eléctrica, Electrónica y Telecomunicaciones, Universidad Industrial de Santander, 2007.
- [12] SAMPAULO, Andrés, Explicación de las características, parámetros modelizables. De la tesis "Análisis y Diseño de un Conversor Analógico Digital de Arquitectura Pipeline", Universidad de Buenos Aires, enlace: <http://web.fi.uba.ar/~asampau/PDF/6600.T08.pdf>

- [13] Intersil, "Measuring Spurious Free Dynamic Range in a D/A Converter", 1995, enlace: www.intersil.com/data/TB/TB3/TB326/TB326.pdf
- [14] Texas Instruments, "Power Management Guide", 2008, enlace: focus.ti.com/lit/ml/slv145e/slv145e.pdf
- [15] Analog Devices, Op Amp Total Output Offset Voltage Calculations, 2008, enlace: <http://www.analog.com/static/imported-files/tutorials/MT-039.pdf>
- [16] Analog Devices, chapter 3: using opams with data converters, enlace: http://www.analog.com/library/analogdialogue/archives/39-05/Web_Ch3_final.pdf
- [17] Hojas de datos de los fabricantes de todos los dispositivos utilizados.

ANEXO A CONFIGURACIÓN DE MÓDULOS Y TERMINALES DE PROPOSITO GENERAL.

Terminales de propósito general

El DSC MC56F8367 de Freescale cuenta con seis puertos denotados por A, B, C, D, E y F, de acuerdo a la Tabla 15 65 terminales de las 76 que conforman la totalidad de los puertos fueron programados como propósito general, cada uno desempeñando una de las siguientes funciones:

- Captura de datos.
- Envío de datos.
- Habilitación de dispositivos para programación.
- Control de bajo consumo de potencia.
- Detección de interrupciones.

Para programar un terminal de propósito general en una de estas funciones se consultaron y comprendieron los 11 registros asociados a cada puerto y que se exponen brevemente a continuación:

- PUR: Registro para habilitar resistor de pull-up (Figura A1)

Base + \$0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	PU							
Write																
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Figura A1. Registro PUR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Cada número en la parte superior de la Figura A1 representa el bit del puerto al cual hace referencia el registro, de tal forma que un uno o un cero en x posición determina si se habilita o no el resistor de pull up. Si el bit del puerto es programado como salida, el resistor de pull-up no es usado.

- DR: Registro de datos (Figura A2)

Base + \$1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	D							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A2. Registro DR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro contiene la información correspondiente al nivel lógico de cada uno de los bits del puerto al cual pertenece el registro.

- DDR: Registro de dirección de datos (Figura A3)

Base + \$2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	DD							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A3. Registro DDR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

En este registro se configura como van a operar cada uno de los bits del puerto al que pertenece el registro, en 1 como salida y en 0 como entrada.

- PER: Registro de habilitación como periférico (Figura A4)

Base + \$3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	PE							
Write																
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Figura A4. Registro PER.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con este registro se dictamina si el bit del puerto al que pertenece el registro va a operar como de propósito general o va a estar asociado a un periférico, en cuyo

caso es el periférico el encargado de definir si el terminal va a operar como entrada o salida y si se activa o no la resistencia de pul-up. Escribiendo un cero en el bit, éste se programa como de propósito general.

- IAR: Registro de interrupción por programación (Figura A5)

Base + \$4	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	IA							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A5. Registro IAR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro se emplea para ocasionar interrupciones en pruebas de programación. Una interrupción es activada cuando se escribe un 1 y desactivada cuando se escribe un cero.

- IENR: Registro de habilitación de interrupción (Figura A6)

Base + \$5	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	IEN							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A6. Registro IENR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Cuando se desea registrar interrupciones en la ejecución del programa por cambios en el nivel lógico de un terminal de propósito general se recurre al IENR. Para activar la opción de interrupción en un terminal de propósito general se escribe un 1 en el bit del registro correspondiente al terminal.

- IPOLR: Registro de polaridad de la interrupción (Figura A7)

Base + \$6	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	IPOL							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A7. Registro IPOLR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Un 1 en uno de los bits del IPOLR indica que si el bit está habilitado para interrupción, ésta se ejecuta a causa de un nivel lógico bajo; por el contrario, un 0 en uno de los bits del IPOLR indica que si el bit está habilitado para interrupción, ésta se ejecuta a causa de un nivel lógico alto.

- IPR: Registro de interrupción pendiente (Figura A8)

Base + \$7	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	IP							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A8. Registro IPR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

En el registro de interrupción pendiente queda registrado el bit causante de una interrupción, ya sea ésta producto de un evento externo o de programa. En caso de que sea una interrupción externa, el valor lógico en el bit retorna a 0 escribiendo un 1 en la misma posición del registro IESR que le corresponde; en caso de que sea una interrupción para pruebas de programa, el valor lógico en el bit retorna a 0 escribiendo un 0 en la misma posición del registro IAR que le corresponde.

- IESR: Registro sensor del flanco de interrupción (Figura A9)

Base + \$8	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	IES							
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A9. Registro IESR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Cuando un bit de puerto está habilitado para activar interrupciones por cambio en el nivel lógico, el registro sensor del flanco de interrupción recuerda que una interrupción se ha ejecutado y sólo se registra que la interrupción ha sido atendida escribiendo un 1 en el bit correspondiente del IESR. Normalmente cuando se activa la interrupción, la ejecución del programa abandona la actual labor y se dirige a ejecutar una función previamente programada. Para un correcto funcionamiento se debe escribir el 1 en el bit correspondiente del IESR durante la ejecución de la función de interrupción.

- PPMODE: Registro de control del modo de salida push/pull (Figura A10)

Base + \$9	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	OEN							
Write																
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Figura A10. Registro PPMODE.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale. En este registro el usuario configura el terminal como una salida en modo push/pull o dren abierto. Escribiendo un 0 en el bit correspondiente se configura en modo de dren abierto, de lo contrario se configura en modo push/pull.

- RAWDATA: Registro de dato actual (Figura A11)

Base + \$A	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	RAW DATA							
Write																
Reset	0	0	0	0	0	0	0	0	U	U	U	U	U	U	U	U

Figura A11. Registro RAWDATA.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El RAWDATA es un registro de sólo lectura que permite acceso directo al valor lógico en los terminales del puerto incluso cuando no están programados como de propósito general. Un 0 en cualquier bit del RAWDATA representa un nivel lógico bajo en el terminal correspondiente y un 1 representa un nivel lógico alto.

Interfaz serial para periféricos

El MC56F8367 posee dos módulos SPI los cuales permiten comunicación serial full-duplex, síncrona, entre el controlador de 16 bits y dispositivos periféricos incluyendo otros controladores de 16 bits.

Para la implementación del **MIEP** se utilizaron estos módulos para comunicación serial con el generador de señal AD9833 (SPI0), el potenciómetro digital MCP42010 y el atenuador AD8370 (SPI1). La comunicación se realiza con el controlador en modo maestro para envíe los códigos e instrucciones a los dispositivos antes mencionados.

Para la configuración del módulo de comunicación serial con periféricos se deben configurar básicamente cuatro registros que son:

- SPDSR: Registro de tamaño de dato y control (Figura A12)

Base + \$1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	WOM	0	0	0	0	0	0	0	0	0	0	0	DS3	DS2	DS1	DS0
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

Figura A12. Registro SPDSR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El cual selecciona con el bit 15 (WOM) si la comunicación se realiza comunicación full-duplex con más de un dispositivo (WOM=1) o con un único dispositivo (WOM=0) y determina el tamaño de los datos a transmitir en bits [3..0].

- SPSCR: Registro de estado y control (Figura A13; **Error! No se encuentra el origen de la referencia.**)

Base + \$0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	SPR			DSO	ERRIE	MODFEN	SPRIE	SPMSTR	CPOL	CPHA	SPE	SPTIE	SPRF	OVRF	MODF	SPTIE
Write																
Reset	0	1	1	0	0	0	0	1	0	1	0	0	0	0	0	1

Figura A13. Registro SPSCR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con este registro:

- Se determina la velocidad de transmisión en modo maestro bits [15..3] al dividir el numero de ciclos por un número de acuerdo con la Tabla A1.
- Selecciona el orden de desplazamiento de datos, con cero se transmite primero el más significativo y con uno el menos significativo.
- Se habilita (bits en uno) ó no (bits en cero) la generación de interrupciones del módulo, bits [11..9].
- Se configura si el modulo opera como maestro (SPMSTR=1) ó como esclavo (SPMSTR=0).
- Define el flanco de reloj con el cual se inicia la transmisión, con flanco ascendente (CPOL= 1) ó descendente (CPOL=0).
- Decide si la transmisión se realiza completa con SS en bajo (CPHA=1) ó es necesario generar pulsos entre cada datos a transmitir (CPHA=0).
- Resuelve si el modulo está habilitado (SPE=1) ó no (SPE=0).
- Fija la generación de interrupciones cuando un datos es transferido al registro de desplazamiento (SPTIE=1) ó las mantiene deshabilitadas (SPTIE=0).
- Puede supervisar si el dato del registro ha sido transferido (SPFR=1) ó no (SPFR=0).
- Se tiene una bandera que indica si el dato transferido fue recibido en su totalidad antes de enviar el siguiente (OVFR=0) o no (OVFR=1).
- Se sensa si el nivel lógico en SS es el apropiado para la transmisión (MODF=0) ó es errado (MODF=1).
- Posee una bandera que genera interrupciones cada vez que un dato es transferido al registro de desplazamiento si el SPTIE esta habilitado, con cero se indica que el dato registro fue transmitido y con uno que no se hizo.

SPCSR [15..13]	Divisor del reloj interno
000	2
001	4
010	8
011	16
100	32
101	64
110	128
111	256

Tabla A1. Selección de la velocidad de transmisión del maestro.

- SPDTR: Registro de transmisión de datos (Figura A14; **Error! No se encuentra el origen de la referencia.**)

Base + \$3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Write	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A14. Registro de transmisión de datos.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro almacena los datos a transmitir. Cuando el STE está activo un nuevo dato debe ser escrito en el registro ó de lo contrario no se realizará la nueva transmisión mientras el modo maestro está habilitado, en modo esclavo se retransmiten los últimos datos almacenados.

- SPDRR: Registro de recepción de datos (Figura A15)

Base + \$2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	R15	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A15. Registro de recepción de datos.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Registro de solo lectura que mostrará la última palabra de datos recibida después de una transmisión completa. El bit SPFR se pone en alto cuando un nuevo dato es transferido a este registro.

Moduladores de ancho de pulso

El diagrama de bloques del PWM del DSC MC56F8367 de freescale se muestra en la Figura A16. El módulo cuenta con seis señales a la salida que se pueden configurar como tres pares complementarias, seis señales independientes o una combinación de las dos anteriores, como por ejemplo un par complementarias y cuatro independientes. Para generar las señales se deben definir parámetros como:

- Tipo de alineamiento.
- El número de ciclos de reloj a contar para el periodo.
- El número de ciclos de reloj a contar para el ancho de pulso.
- El prescalador del reloj.
- La polaridad.

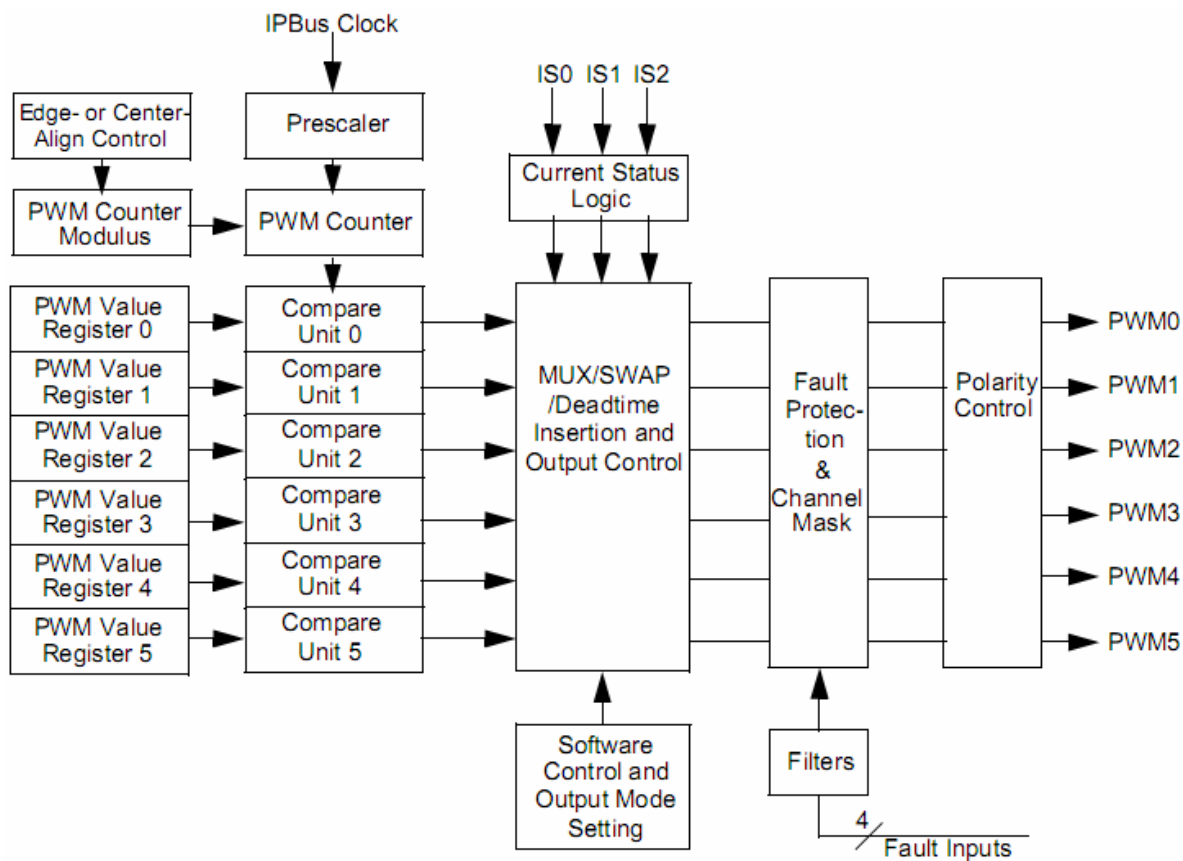


Figura A16. Diagrama de bloques PWM.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Por la existencia del modo de configuración complementario, el módulo PWM contiene características adicionales como inserción de tiempo muerto y terminales de entrada para control de fallas. Como para el funcionamiento del **MIEP** se requiere sólo de dos señales PWM a diferente frecuencia para controlar la velocidad de muestreo del conversor de datos y el backlight de la pantalla, no se hará énfasis en las opciones para configuración del modo complementario. Y cabe aclarar que a pesar de que con un módulo PWM se cuenta con seis señales, las seis se generan con el mismo contador de periodo y prácticamente lo que se puede variar entre ellas es el ancho del pulso, luego para generar dos señales PWM a diferente frecuencia necesariamente se deben programar los dos módulos PWM del controlador, tal y como se hizo.

A continuación se describen brevemente los registros que involucran el funcionamiento de un módulo PWM del MC56F8367 y se da prioridad a los aspectos que involucran la definición de los parámetros de la señal enunciados anteriormente.

- PMCTL: Registro de control PWM (Figura A17)

Base + \$0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	LDFQ				HALF	IPOL2	IPOL1	IPOL0	PRSC		PWMRIE	PWMF	ISENS		LDOK	PWMEN
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A17. Registro PMCTL.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

En este registro:

- Se configura cada cuantos periodos se recargan los parámetros mediante el grupo de bits LDFQ.
- Se habilita o no para recargar en la mitad del periodo cuando está configurado en alineamiento central por medio del bit HALF.
- Se define cual en cada una de las parejas realiza la corrección del tiempo muerto mediante los bits IPOL2, IPOL1 e IPOL0.
- Se define el factor por el cual se divide la frecuencia del reloj del bus para constituir el reloj del módulo mediante el par de bits PRSC (Tabla A2).
- Se habilita o deshabilita la bandera PWMF para generar requerimientos de interrupción por medio del PWMRIE.
- Se activa PWMF cada vez que se cargan los valores del prescalador (PRSC), valor del contador de periodo (registro PWMCM) y el valor del contador de ancho de pulso (registros PWMVAL) por escritura de un 1 en el bit LDOK.
- Se define el esquema de corrección del tiempo muerto por parte del par de bits ISENS.

- Se habilitan las salidas de señales PWM escribiendo un 1 en el bit PWMEN.

PRSC [7,6]	Frecuencia del reloj PWM
00	f_{IPBus}^{15}
01	$f_{IPBus}/2$
10	$f_{IPBus}/4$
11	$f_{IPBus}/8$

Tabla A2. Selección de la frecuencia del reloj PWM

- PMFCTL: Registro de control de fallas (Figura A18)

Base+ \$1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	FIE3	FMODE3	FIE2	FMODE2	FIE1	FMODE1	FIE0	FMODE0
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A18. Registro PMFCTL.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con el PMFCTL se habilita o deshabilita las interrupciones generadas por las terminales FAULT del módulo PWM mediante los bits FIE3, FIE2, FIE1 y FIE0. También se define por medio de los bits FMODE3, FMODE2, FMODE1 y FMODE0 si el regreso al estado normal se hace manual o automático.

- PMFSA: Registro de conocimiento y estado de fallas PWM (Figura A19; Error! No se encuentra el origen de la referencia.)

Base + \$2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	FPIN3	FFLAG3	FPIN2	FFLAG2	FPIN1	FFLAG1	FPIN0	FFLAG0	0	0	DT5	DT4	DT3	DT2	DT1	DT0
Write										FTACK3		FTACK2		FTACK1		FTACK0
Reset	U	0	U	0	U	0	U	0	0	0	0	0	0	0	0	0

Figura A19. Registro PMFSA.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

¹⁵ Frecuencia interna del bus de periféricos

El PMFSA contiene el estado de los terminales FAULT (FPIN3, FPIN2, FPIN1 y FPIN0), las banderas de interrupción que se activan ante un alto en cualquier terminal FAULT (FFLAG3, FFLAG2, FFLAG1 Y FFLAG0), los bits FTACK3, FTACK2, FTACK1 Y FTACK0 para limpiar las banderas y los bits que registran el estado de los terminales IS del módulo durante el tiempo muerto (DT5, DT4, DT3, DT2, DT1 y DT0).

- PMOUT: Registro de control de salida PWM (Figura A20)

Base + \$3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	PAD_EN	0	OUT	OUT	OUT	OUT	OUT	OUT	0	0	OUT5	OUT4	OUT3	OUT2	OUT1	OUT0
Write			CTL5	CTL4	CTL3	CTL2	CTL1	CTL0								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A20. Registro PMOUT.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

En este registro:

- Con el bit PAD_EN se selecciona si las salidas son tri-estado o no tri-estado.
- Se habilita o deshabilita el control por programación de las señales de salida por medio de los bits OUTCTL5, OUTCTL4, OUTCTL3, OUTCTL2, OUTCTL1 y OUTCTL0.
- En caso de estar habilitado el control por programación se configura el estado de las señales de salida según la Tabla A3.

Bit	Operación en modo complementario	Operación en modo independiente
OUT0	1—PWM0 activo 0—PWM0 inactivo	1—PWM0 activo 0—PWM0 inactivo
OUT1	1—PWM1 es el complemento de PWM0 0—PWM1 inactivo	1—PWM1 activo 0—PWM1 inactivo
OUT2	1—PWM2 activo 0—PWM2 inactivo	1—PWM2 activo 0—PWM2 inactivo
OUT3	1—PWM3 es el complemento de PWM2	1—PWM3 activo

	0—PWM3 inactivo	0—PWM3 inactivo
OUT4	1—PWM4 activo 0—PWM4 inactivo	1—PWM4 activo 0—PWM0 inactivo
OUT5	1—PWM5 es el complemento de PWM4 0—PWM5 inactivo	1—PWM0 activo 0—PWM0 inactivo

Tabla A3. Configuración por programación de las señales PWM.

- PMCNT: Registro contador PWM (Figura A21)

Base + \$4	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	CNT														
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A21. Registro PMCNT.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro de solo lectura refleja el valor actual del contador del módulo.

- PWMCM: Registro del módulo contador PWM (Figura A22)

Base + \$5	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	CM														
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A22. Registro PMCM.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El grupo de bits CM definen el número de ciclos de reloj PWM a contar para la determinación del periodo PWM. Se puede leer este registro como modificarlo por escritura, teniendo en cuenta que no se debe escribir cero en CM y que el valor escrito sólo es cargado cuando se escriba un 1 en el bit LDOK del registro PMCTL. Existe una fórmula para calcular el periodo según el módulo esté configurado de tipo alineado al centro o alineado al lado:

tipo alineado al centro : periodo PWM = 2 * CM * periodo del reloj PWM

tipo alineado al lado : periodo PWM = CM * periodo del reloj PWM

- PWMVAL0-5: Registros del valor PWM (Figura A23)

Base + \$6	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	VAL															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A23. Registros PWMVAL0-5.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.
Cada uno de estos seis registros define el ancho de pulso de la señal de salida del módulo asociada de la siguiente forma:

tipo alineado al centro : ancho de pulso = $2 * VAL * \text{periodo del reloj PWM}$

tipo alineado al lado : ancho de pulso = $VAL * \text{periodo del reloj PWM}$

De manera similar al valor CM, VAL se encuentra en un bufer y sólo pasa a determinar el ancho de pulso cuando se escribe un 1 en el bit LDOK del registro PMCTL y comienza un nuevo ciclo de carga.

Un valor en VAL mayor que CM genera un nivel lógico alto a la salida y un valor de VAL igual a cero genera un nivel lógico bajo a la salida.

- PMDEADTM: Registro de tiempo muerto PWM (Figura A24)

Base + \$C	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	PWMDT											
Write																
Reset	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

Figura A24. Registros PMDEADTM.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El valor en este registro junto con el valor en el prescalador definen el tiempo muerto en modo de operación complementaria:

tiempo muerto = $\text{prescalador} * PWMDT - \text{un periodo del reloj interno del bus de periféricos}$

- PMDISMAP1-2: Registros mapeados para deshabilitar PWM (Figura A25)

Base + \$D	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	DISMAP[15:0]															
Write																
Reset	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

a)

Base + \$E	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	DISMAP [23:16]							
Write																
Reset	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

b)

Figura A25. Registros a) PMDISMAP1 b) PMDISMAP2.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Los registros de la Figura A25 permiten seleccionar que terminales PWM se deshabilitan al activarse una de las entradas de protección contra fallas (FAULT). La Figura A26 detalla como por medio de los bits 8 a 11 del registro PMDISMAP se selecciona los terminales de protección contra fallas que pueden llegar a deshabilitar la señal de salida PWM2. Adicionalmente en la Tabla A4 se aclara los bits del registro PMDISMAP que están asociados con cada una de las terminales de salida PWM.

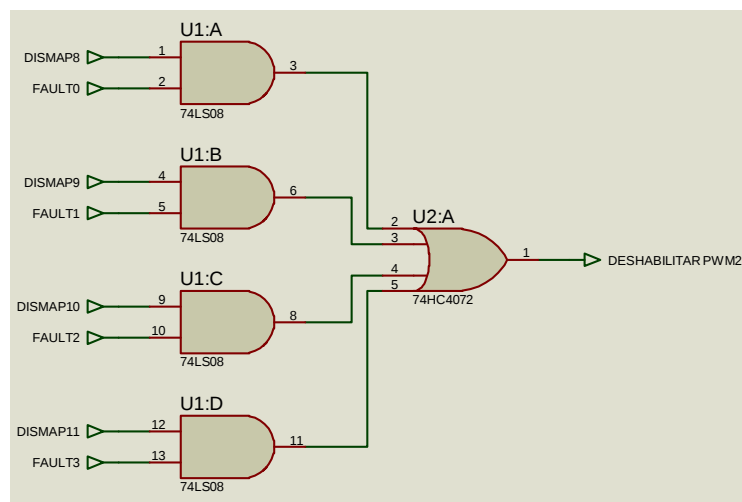


Figura A26. Esquema de operación de terminales de protección contra fallas.

Fuente: Autores del proyecto.

Terminal PWM	Bits del registro PMDISMAP
PWM0	DISMAP3—DISMAP0
PWM1	DISMAP7—DISMAP4
PWM2	DISMAP11—DISMAP8
PWM3	DISMAP15—DISMAP12
PWM4	DISMAP19—DISMAP16
PWM5	DISMAP23—DISMAP20

Tabla A4. Mapeo de protección contra fallas.

- PMCFG: Registro de configuración del PWM (Figura A27)

Base + \$F	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0				0				0							
Write		DBG_EN	WAIT_EN	EDG		TOPNEG45	TOPNEG23	TOPNEG01		BOTNEG45	BOTNEG23	BOTNEG01	INDEP45	INDEP23	INDEP01	WP
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A27. Registro PMCFG.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

En el registro de la Figura A27 el programador decide en que estados de operación del controlador el módulo PWM continúa en operación normal, el orden de generación de las señales PWM en modo complementario si se deshabilita el modo independiente. Al respecto conviene hacer una descripción detallada:

- DBG_EN: En lógica alta permite que ante un ingreso por parte del controlador a modo de operación EOnCE, el módulo PWM continúe en funcionamiento normal; de lo contrario desactiva el módulo PWM.
- WAIT_EN: En lógica alta permite que ante un ingreso por parte del controlador a modo de espera, el reloj del periférico continúa en funcionamiento mientras el reloj del núcleo no.
- EDG: Con este bit en lógica alta la generación de las señales PWM será por alineamiento a un lado (Figura A29); por el contrario, en lógica baja la generación será por alineamiento al centro (Figura A28).
- TOPNEG: Configura la polaridad del segmento superior del PWM por parejas (PWM5 con PWM4, PWM3 con PWM2 y PWM1 con PWM0).

- BOTNEG: Configura la polaridad del segmento inferior del PWM por parejas (PWM5 con PWM4, PWM3 con PWM2 y PWM1 con PWM0).
- INDEP: Define si la pareja de señales PWM van a operar en modo independiente o complementario.
- WP: En nivel lógico alto protege contra escritura los registros de este tipo (PMDISMAP1-2, PMCFG, PMCCR).

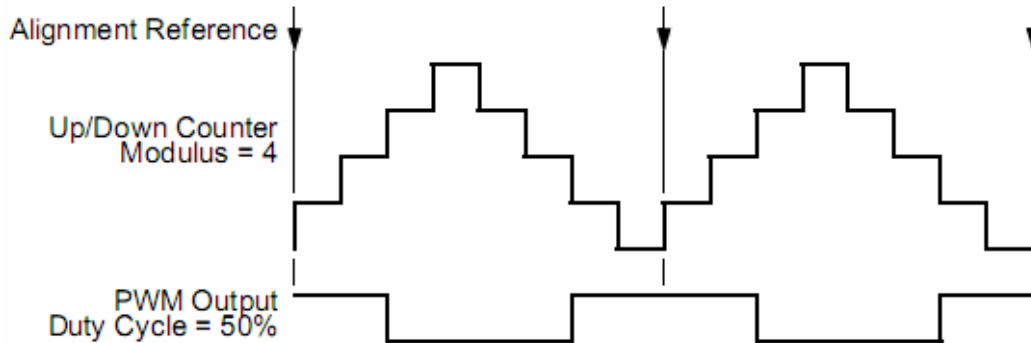


Figura A28. Generación PWM en modo alineado al centro.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

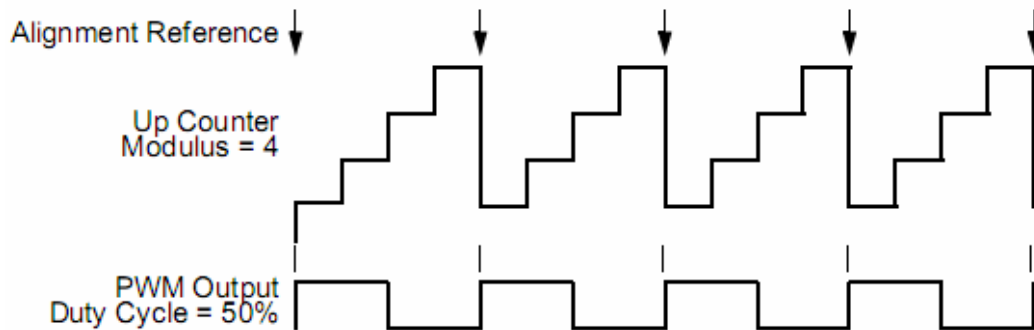


Figura A29. Generación PWM en modo alineado al lado.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

- PMCCR: Registro de control del canal PWM (Figura A30)

Base + \$10	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	ENHA	nBX	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	0	0	VLMODE		0	SWP45	SWP23	SWP01
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A30. Registro PMCFG.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con el registro de la Figura A30 es posible modificar la configuración de salidas de las señales PWM y activarlas o desactivarlas. La descripción de los bits involucrados se presenta a continuación:

- ENHA: En nivel lógico bajo desactiva cualquier posibilidad de escritura en los bits nBX, VLMODE, SWP45, SWP23 y SWP01.
- nBX: En nivel lógico alto permite cambiar la configuración de las señales PWM por medio de los bits MSK5-0, SWP45, SWP23 y SWP01.
- MSK5-0: Escribiendo un 1 en uno de estos bits deshabilita el canal correspondiente.
- VLMODE: Estos dos bits determinan el valor que va a ser cargado al contador del módulo de acuerdo a la Tabla A5.
- SWP45, SWP23 y SWP01: En nivel lógico alto intercambian por parejas el canal de salida PWM, por ejemplo: PWM4 tendría salida por el canal 5 y PWM5 por el canal 4 (Figura A31).

VLMODE	Descripción
00	Cada valor es registrado independientemente por medio de los PWMVAL0-5
01	El valor en el registro PWMVAL0 es cargado en los registros PWMVAL0-5.
10	El valor en el registro PWMVAL0 es cargado en los registros PWMVAL0-3.
11	Reservado

Tabla A5. Descripción de los bits VLMODE.

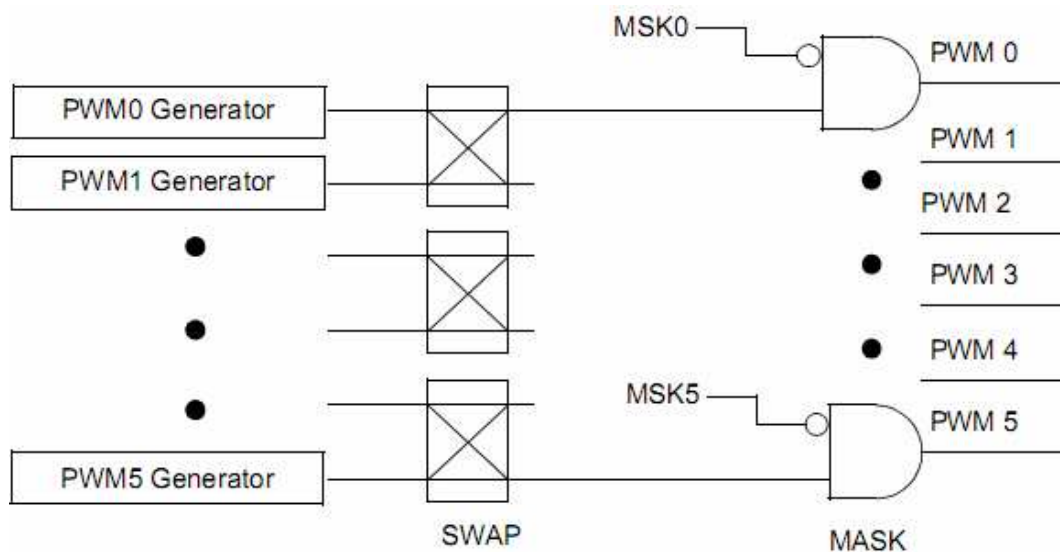


Figura A31. Forma de intercambiar canales y funcionalidad de los bits MSK0-5.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

- PMPORT: Registro de puerto PWM (Figura A32)

Base + \$11	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	0	IS2	IS1	IS0	FAULT3	FAULT2	FAULT1	FAULT0
Write																
Reset	0	0	0	0	0	0	0	0	0	U	U	U	U	U	U	U

Figura A32. Registro PMPORT.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El registro de sólo lectura de la Figura A32 permite conocer el estado de las entradas de sensado de corriente (IS2, IS1 e IS0) y de las entradas de control de fallas (FAULT3, FAULT2, FAULT1 y FAULT0) mientras el módulo esté activo.

- PMICCR: Registro de control de corrección interno PWM (Figura A33)

Base + \$12	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	0	0	0	0	0	ICC2	ICC1	ICC0
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A33. Registro PMICCR.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

El registro de la Figura A33 sólo aplica en operación con alineamiento al centro en modo complementario.

Temporizadores

Los módulos temporizadores tienen básicamente dos modos de operación:

- Cuenta de eventos internos o externos.
- Cuenta de pulsos de una fuente de reloj interna mientras se mantiene una señal de entrada externa, u ocurre un evento externo, y por lo tanto cuenta el tiempo que dura una señal de entrada externa ó el tiempo entre eventos externos.

Para esta aplicación se utilizaron dos temporizadores (TMRC0 y TMRC1) cada uno cuanta básicamente lapsos de tiempo para generar interrupciones periódicas. El TMRC0 cuenta el numero de pulsos entre cada toma de datos provenientes del ADC y el TMRC1 determina el tiempo que debe transcurrir entre saltos de la posición del cero que compara cual tecla ha sido seleccionada por el usuario.

El MC56F8367 posee un módulo temporizador compuesto por cuatro grupos de contadores/temporizadores idénticos, donde cada grupo de 16 bits contiene los siguientes registros:

- TMRCMP1-2: Registros comparadores del temporizador (Figura A34)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	COMPARISON 1															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

a)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	COMPARISON 2															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

b)

Figura A34. Registros a) comparador 1 del temporizador, b) comparador 2 del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Estos registros almacenan el valor de comparación con el valor del contador.

- TMRCAP: Registros de captura del temporizador (Figura A35)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	CAPTURE															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A35. Registros de captura del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Estos registros almacenan el valor capturado de los contadores.

- TMRLOAD: Registros de carga del temporizador (**¡Error! No se encuentra el origen de la referencia.**)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	LOAD															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A36. Registros de carga del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro almacena el valor usado para cargar el contador.

- TMRHOLD: Registro de almacenaje del temporizador (Figura A37)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	HOLD															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A37. Registro de almacenaje del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro guarda el valor del canal cuando cualquier registro contador del temporizador (TMRCNTR) es leído.

- TMRCNTR: Registro contador del temporizador (Figura A38)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	COUNTER															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A38. Registro contador del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Es el registro contador del temporizador.

- TMRCTRL: Registro de control del temporizador (Figura A39)

BASE +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	CM			PCS				SCS		ONCE	LENGTH	DIR	Co INIT	OM		
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A39. Registro de control del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con este se configuran:

- El modo de cuenta (CM), se controla el comportamiento básico de la cuenta del contador.
- La fuente primaria de cuenta (PCS), ya que algunos temporizadores tienen sus terminales externas multiplexadas con terminales de entrada de codificadores de cuadratura.
- La fuente de cuenta secundaria (SCS), estos bits identifican el terminal de entrada externo a ser usado como comando de cuenta. La entrada seleccionada puede provocar que el temporizador capture el valor actual del registro TMRCNTR, también puede ser usado para especificar la dirección de la cuenta.

- Contar una sola vez (ONCE), selecciona si la modo de cuenta es continuo o de un solo disparo. Así (ONCE=0) cuanta repetidamente y (ONCE=1) cuenta hasta el valor de comparación y se detiene.
- Longitud de la cuenta (LENGTH), este bit determina sí el contador va hasta el valor del comparador y se reinicializa al valor del registro de carga (ENGTH=1), ó continua contando después del valor del comparador hasta el último valor binario posible (ENGTH=0).
- Dirección de la cuenta (DIR), determina si la cuenta es en dirección normal (DIR=0) hacia arriba ó en dirección inversa (DIR=0) hacia abajo.
- Co-inicialización de canal (Co INIT), este bit habilita otro contador/temporizador del mismo módulo para forzar la reinicialización del mismo cuando se activa un evento de comparación. (Co INIT=0) no puede forzar la reinicialización de sus contadores, (Co INIT=1) puede forzar esta reinicialización.
- Modo de salida (OM), estos bits determinan el modo de operación de las señales de salida de OFLAG.

- TMRSCR: Registro de estado y control del temporizador (Figura A40).

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	TCF	TCFIE	TOF	TOFIE	IEF	IEFIE	IPS	INPUT	CAPTURE MODE		MSTR	EEOF	VAL	0	OPS	OEN
Write														FORCE		
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A40. Registro de estado y control del temporizador

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Con este registro de 16 bits se pueden configurar ó tener acceso a:

- La bandera de comparación del temporizador (TCF) que se activa cuando una comparación ha sido exitosa, se limpia la bandera escribiendo cero en TFC.
- La bandera de interrupción por comparación habilitada (TCFIE) que habilita con uno esta interrupción.

- La bandera de desbordamiento (TOF) que se activa cuando el contador llega a su máximo ó mínimo valor de cuenta \$FFFF ó \$0000, dependiendo de la dirección de la cuenta. Se limpia esta bandera escribiendo un cero en TOF.
- La bandera de interrupción habilitada por desbordamiento (TOFIE), que se activa cuando TOF toma un nivel lógico alto.
- La bandera de flanco de entrada (IEF) que se activa cuando una transición positiva ocurre sobre una entrada seleccionada como fuente de cuenta secundaria mientras el contador está habilitado. Se limpia escribiendo un cero en IEF.
- La bandera de interrupción por flanco de entrada habilitado (IEFIE), cuando se activa este bit se habilitan las interrupciones si el IEF está activo.
- El selector de polaridad de entrada (IPS), que al activarse invierte la polaridad de la señal de entrada.
- La señal de entrada externa (INPUT), bit de solo lectura que refleja el estado actual del terminal de entrada seleccionado por la fuente de cuenta secundaria después de la aplicación del bit IPS.
- La entrada de modo de captura (CAPTURE MODE), que especifica la operación del registro de captura y la operación de la bandera de flanco de entrada IEF de acuerdo a la Tabla A6. La fuente de entrada es la fuente de cuenta secundaria.
- Modo maestro (MSTR), cuando se activa este bit habilita la función de salida del registro comparador para ser transmitida a otro temporizador en el módulo. La señal proveniente de este bit puede reinicializar otro contador del mismo módulo si su COINIT está activo.
- Habilitar forzado externo de OFLAG (EEOF), el cual al activarse permite al registro comparador de otro contador del mismo módulo obligue al estado de OFLAG del contador.

- El valor Forzado de OFLAG (VAL), este bit determina el valor de la señal de salida OFLAG cuando se dispara el comando FORCE en programación.
- La salida forzada de OFLAG (FORCE), este bit de solo escritura fija el valor actual del bit VAL para escribirlo en la salida OFLAG. Este bit solo debe escribirse con el contador deshabilitado.
- El selector de polaridad de salida (OPS), que determina la polaridad de la señal de salida OFLAG. (OPS=1) señal con polaridad propia y (OPS=0) invierte la polaridad.
- Habilitar la salida (OEN), este bit determina la dirección del Terminal externo, (OEN=1) conduce la señal de salida OFLAG al terminal externo y (OEN=0) configura el Terminal externo como entrada.

Modo de captura	IPS	Acción
00	X	Captura deshabilitada
01	0	Carga con flanco ascendente
01	1	Carga con flanco descendente
10	0	Carga con flanco descendente
10	1	Carga con flanco ascendente
11	x	Carga con ambos flancos

Tabla A6. Como habilitar la combinación de modo de captura y estado del IPS

- TMRCMPLD1: Registro de carga 1 del comparador (Figura A41)

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	COMPARATOR LOAD 1															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A41. Registro de carga 1 del comparador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro de lectura y escritura es el valor precargado en el comparador 1 para el registro TMRCMP1 del canal correspondiente en un módulo temporizador.

- TMRCMPLD2: Registro de carga 1 del comparador (Figura A42).

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	COMPARATOR LOAD 2															
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A42. Registro de carga 2 del comparador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro de lectura y escritura es el valor precargado en el comparador 2 para el registro TMRCMP2 del canal correspondiente en un módulo temporizador.

- TMRCOMSCR: Registro comparador de estado y control del temporizador (Figura A43).

Base +	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	0	TCF2EN	TCF1EN	TCF2	TCF1	CL2		CL1	
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A43. Registro comparador de estado y control del temporizador.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro de de estado y control del comparador posee los siguientes bits:

- Reservados [15..8] los cuales no pueden ser modificados por el usuario.
- Habilitador de interrupciones del comparador 2 del temporizador (TCF2EN). Se dispone de una interrupción si éste y el bit TCF2 están activos.

- Habilitador de interrupciones del comparador 1 del temporizador (TCF1EN). Se dispone de una interrupción si éste y el bit TCF1 están activos.
- Bandera del comparador 2 (TCF2). Cuando este bit se activa indica que una comparación exitosa entre el temporizador y el TMRCMP2 ha ocurrido. Y se mantendrá activo hasta que sea limpiado por la escritura de un cero.
- Bandera del comparador 1 (TCF1). Cuando este bit se activa indica que una comparación exitosa entre el temporizador y el TMRCMP1 ha ocurrido. Y se mantendrá activo hasta que sea limpiado por la escritura de un cero.
- Control de carga del comparador 2 (CL2), estos bits controlan cuando el TMRCMP2 es precargado con el valor de TMRCMPLD2, de acuerdo con la Tabla A7.
- Control de carga del comparador 1 (CL1), estos bits controlan cuando el TMRCMP1 es precargado con el valor de TMRCMPLD1, de acuerdo con la Tabla A7.

Valor	Significado
00	Nunca ha sido precargado
01	Se ha cargado exitosamente el comprador con el valor en TMRCMP1
10	Se ha cargado exitosamente el comprador con el valor en TMRCMP2
11	Reservado

Tabla A7. Valores de control de carga para los comparadores 1 y 2.

Interfaz de comunicación serial

El controlador posee dos módulos SCI (0 y 1), los cuales permiten comunicación serial asíncrona con dispositivos periféricos y con otros controladores. En este caso particular el modulo se utiliza para establecer la comunicación con PC por protocolo USB por medio del FTDI FT232BL.

Dentro de los registros a configurar se encuentran:

- (SCIBR) Registro de Tasa de baudios del SCI (Figura A44).

Base + \$0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	SBR												
Write																
Reset	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

Figura A44. Registro de Tasa de baudios del SCI.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro permite que sus bits SBR [12..0] sean leídos o escritos en cualquier momento, pero tiene reservados sus bits [15..13]. El cálculo de la tasa de baudios se realiza como se muestra a continuación:

$$\text{Tasa de baudios del SCI} = \frac{\text{Reloj del IP} - \text{BUS}}{16 \times \text{SBR}}$$

Los bits SBR contienen el valor del registro de tasa de baudios comprendido entre 1 y 8191.

- SCICR: Registro de control del SCI (Figura A45)

Base + \$1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	LOOP	SWAI	RSRC	M	WAKE	POL	PE	PT	TEIE	TIIE	RFIE	REIE	TE	RE	RWU	SBK
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A45. Registro de control del SCI.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro puede ser leído y escrito en cualquier momento y permite configurar lo siguiente:

- El bit selector de lazo (LOOP), el cual determina si la operación se realiza en forma normal (LOOP=0), ó si se realiza en forma de lazo (LOOP=1), es decir que el terminal RXD del SCI se desconecte y la salida del transmisor se dirija al receptor.
- La parada en modo de espera (SWAI), este bit habilita el SCI en modo de espera (SWAI=0) o lo deshabilita (SWAI=1).

- La fuente del receptor (RSRC), cuando el LOOP=1 este bit determina la vía de realimentación interna para el receptor. Con RSRC=0 la entrada del receptor queda conectada internamente a la salida del transmisor, con RSRC =1 dicha entrada es conectada al Terminal del TXD.
- El modo formato de dato (M), el cual determina la longitud del dato entre ocho (M=0) o nueve (M=1) bits.
- La condición activar (WAKE) indica en que condición se activa el SCI, (WAKE=0) activa el receptor recibiendo un preámbulo antes de la dirección a la que se dirige el mensaje o (WAKE=1) que activa el receptor con un nivel lógico alto en el bit más significativo de cada mensaje que contenga dicha dirección.
- La polaridad (POL), este bit determina si se invierten (POL =1) los datos que van del transmisor al terminal TXD y del terminal RXD al receptor ó no (POL=0).
- Habilitar paridad (PE), con este bit se puede habilitar la función de paridad (PE=1) o deshabilitarla (PE=0).
- Tipo de paridad (PT), este bit determina si el SCI genera y chequea paridad par (PT=0) ó impar (PT=1) de los bits de datos.
- Habilitador de interrupción por transmisor vacío (TEIE), este bit habilita la bandera TDRE para generar requerimientos de interrupciones. (TEIE=0) deshabilita y TEIE=1 habilita dicha opción.
- Habilitación de interrupción por recepción completa (RFIE), este bit habilita (RFIE=1) la bandera RDRF o la bandera OR para generar pedidos de interrupciones o los deshabilita (RFIE).
- Habilitador de interrupción por error de recepción (REIE), este bit habilita (REIE=1) las banderas de error de recepción (NF, PF, FE y OR) para generar llamados de interrupciones o los deshabilita (REIE=0).
- Transmisor habilitado (TE), este bit habilita (TE=1) el transmisor y configura el terminal TXD como salida del transmisor del SCI, ó deshabilita dicho transmisor (TE=0).

- Receptor habilitado (RE), este bit es el encargado de habilitar (RE=1) o deshabilitar (RE=0) el receptor.
 - Activar el receptor (RWU). Con RWU=0 el receptor se activa y opera normalmente y con RWU=1 el receptor entra en estado de espera.
 - Envío a descanso (SBK), al activar este bit se envía un carácter de descanso (todo en ceros lógicos, incluyendo START, DATA, STOP). Tanto como dure activo el SBK, el transmisor enviará de forma ininterrumpida caracteres de descanso.
- SCISR: Registro de estado del SCI (Figura A46).

Base + \$3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	TDRE	TIDLE	RDRF	RIDLE	OR	NF	FE	PF	0	0	0	0	0	0	0	RAF
Write																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A46. Registro de estado del SCI.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Este registro puede ser leído en cualquier momento, pero no puede ser modificado por escritura. Básicamente este registro posee una serie de banderas que indican diferentes eventos en el SCI, dichas banderas son:

- Bandera de registro de transmisión vacío (TDRE), este bit indica cuando un carácter de SCIDR ha sido transferido (TDRE=1) al registro de desplazamiento del transmisor.
- Bandera de transmisión en vacío (TIDLE), este bit se activa (TIDLE=1) cuando la bandera TDRE está activa y no se está transmitiendo un dato, preámbulo o carácter de descanso, en estado inactivo (TIDLE=0) indica que hay una transmisión en progreso¹⁶.

¹⁶ Para mayor información sobre este bit ó los demás de este registro diríjase al manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale sección 13.6.

- Bandera de error de paridad (PF), este bit se activa (PF=1) cuando el PE esta activo y la paridad del dato recibido no coincide con su bit de paridad, en caso contrario (PF=0).
 - Bandera de receptor activo (RAF), este bit se activa cuando el receptor detecta un cero lógico durante el periodo de tiempo RT1 de búsqueda del bit de inicio. Con RAF=0 se indica que no hay recepción en progreso y con RAF=1 se indica que hay una recepción en progreso.
- Registro de datos del SCI (Figura A47).

Base + \$4	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Read	0	0	0	0	0	0	0	RECEIVE DATA								
Write								TRANSMIT DATA								
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Figura A47. Registro de datos del SCI.

Fuente: Manual de periféricos para el usuario de la familia 56F8300 de controladores Freescale.

Dato recibido ó transmitido, bits [8..0], al escribir en estos bits del registro se carga el dato para transmitir, al leerlos se accede al dato recibido. Si esta configurado para datos de 8 bits este se encuentra en los bits [7..0].

ANEXO B MANUAL DE USO DEL MEDIDOR DE IMPEDANCIA ELECTROQUÍMICA PORTÁTIL (MIEP)

B1. PRECAUCIONES

Para garantizar la confiabilidad y duración del equipo es necesario que el usuario:

- No permita que el equipo entre en contacto con el agua o con superficies húmedas.
- Mantenga el aparato alejado de radiaciones electromagnéticas y de equipos con altos grados de dicha radiación.
- Apague la unidad mientras no se encuentre en uso para conservar la vida útil de la batería y de los componentes internos.

B1.1 Fuentes de alimentación.

- La energía suministrada al equipo debe provenir de una batería que garantice entre 6.5 y 7.9 [V] durante su ciclo de descarga a una corriente de salida de mínimo 700 [mA].
- En caso de no tener a disposición dichas baterías se puede utilizar una fuente de corriente continua capaz de proveer un nivel de tensión dentro del rango mencionado en el anterior ítem y una capacidad de entregar 700 [mA] a la carga.

B2. PREPARACIÓN DEL MIEP.

Antes de encender el dispositivo asegúrese que los niveles de alimentación son los indicados.

B2.1 Conexiones

Revise que en el panel frontal se encuentre debidamente conectado el cable BNC de cuatro puntas de diferentes colores indispensable para la prueba.

Después de encender el módulo realice las conexiones de los cables a la celda objeto de estudio de acuerdo a lo indicado en la pantalla del MIEP.

B2.2 Conexiones con PC

Esta conexión se realiza por medio del cable USB que se encuentra en la parte posterior de la unidad y puede conectarse desde el inicio de la prueba o al momento de realizar la transferencia de los datos.

B2.3 Encendido/Apagado

Este paso se realiza por medio del interruptor ubicado en el panel frontal.

Para el encendido el interruptor debe estar en la posición marcada con ON en la cual se enciende un led indicador y para el apagado se recomienda permitir que termine la prueba si esta ya se inició, de lo contrario simplemente llévelo a la posición de OFF con lo cual el módulo completo se apagará.

B3. MEDICIÓN DE IMPEDANCIA

Posteriormente al encendido se despliega una pantalla con las indicaciones correspondientes a las conexiones que se deben realizar para objeto de la medición de impedancia, se solicita que se seleccione la resistencia de sensado de corriente y se indique en el teclado, después se debe indicar el rango de amplitud de la señal a aplicar y posteriormente se da inicio a la prueba con la tecla (*).

B3.1 Visualización

Durante la ejecución de la prueba la pantalla muestra un letrero de ejecutando y reduce su luminosidad.

Al terminar la prueba la pantalla lo indica aumentando su luminosidad y con el mensaje de prueba terminada al mismo tiempo. Además la pantalla solicita al usuario que determine mediante las teclas (BODE ó NYQUIST) el tipo de gráfica que desea observar.

La gráfica seleccionada se despliega en pantalla junto con los valores de R_s , R_p , C_d , correspondientes a la celda objeto de estudio y la opción de conocer el valor de las componentes real e imaginaria de la impedancia obtenidas a una frecuencia determinada, la cual es solicitada por el usuario.

Los pasos para seleccionar un valor de frecuencia al cual se desean conocer las componentes de la impedancia obtenidas en la prueba son:

- a. Teclee el primer dígito (entre 1 y 9) del valor de frecuencia que desea consultar.
- b. Digite la potencia de diez que corresponde a la frecuencia de consulta (entre 2 y 6).

Ejemplo: si la frecuencia a la cual busca conocer el valor de las componentes real e imaginaria de impedancia obtenida en la prueba es 1 KHz debe oprimir para el literal a. el uno (1) y para el literal b. el 3 que indica 10^3 , así $1 \cdot 10^3 = 1\text{KHz}$.

Para seleccionar un valor diferente de frecuencia

- c. Se utiliza la tecla cero (0) para borrar
- d. Posteriormente se digita el valor de frecuencia para el cual se desea conocer los resultados obtenidos de acuerdo a los literales a y b.

B3.2 Reinicio de una nueva prueba

Después de terminar una prueba y visualizar los resultados el usuario puede repetir la prueba o simplemente realizar una nueva oprimiendo la tecla (#), con esta acción la pantalla muestra las indicaciones previas al inicio de la prueba, es decir conexiones y selección de la resistencia de sensado, y rango de amplitud de la señal aplicada para posteriormente dar inicio con la tecla (*).

B4. TRANSMISIÓN DE DATOS POR USB

Para la transmisión de datos se tienen dos opciones, la primera es conectar desde el inicio de la prueba el cable USB al PC y abrir un puerto COM virtual que corresponda al puerto utilizado en la conexión, de esta manera al observar el

letrero de prueba terminada se puede leer después de dos segundos los datos recibidos por el puerto.

La segunda forma de transmisión de estos datos es conectar el cable al inicio o al observar el aviso de prueba terminada y abrir un puerto COM virtual que corresponda al que se esta usando y después de seleccionar un tipo de gráfica para la visualización oprimir la tecla (*), si se consultan los valores obtenidos a alguna o varias frecuencias de las componentes de la impedancia es necesario borrar con la tecla cero (0) y posteriormente oprimir (*) con lo cual los datos son colocados en el puerto previamente abierto listos para ser leídos.

ESPECIFICACIONES

Procesador	MC56F8367
Rango de frecuencia	100 – 1Mhz
Pasos de frecuencia por década	10
Plataforma de desarrollo	CodeWarrior for DSC56800E v8.2
Alimentación	Bateria de litio 7.2 V 2200mAh
Alimentación alternativa	Fuente dc 6.5 V con corriente de carga de 700mA
Rango de alimentación aceptable	6.5 V a 7.9 V dc

ANEXO C. CALCULOS CORRESPONDIENTES A LA RESOLUCIÓN DEL CONVERSOR ANALÓGICO DIGITAL.

Basado [15]:

Teniendo en cuenta que para nuestro caso y por tratarse de niveles de continua

$$R1 \approx \infty, R2=R3=3600 \text{ } [\Omega]$$

$$\text{OFFSET (RTO)}=V_{os}=4.1 \text{ } [\text{mV}]$$

$$\text{OFFSET (RTI)}=V_{os}=4.1 \text{ } [\text{mV}]$$

Basado e [16] (página 14):

RTI

NOISE=

$$\sqrt{10^5 - 100 * \sqrt{(10 * 10^{-9})^2 + 4 * 1.38 * 10^{-23} * 298 * 3600 + 4 * 1.38 * 10^{-23} * 298 * 750 * \left(\frac{3600}{3600+750}\right)^2 + (2.5 * 10^{-12})^2 * 3600^2 + (2.5 * 10^{-12})^2 * \left(\frac{750*3600}{750+3600}\right)^2 + 4 * 1.38 * 10^{-23} * 298 * 3600 * \left(\frac{750}{750+3600}\right)^2}} = 15.9 \text{ } [\mu V]$$

$$\text{RTO NOISE} = 15.9 [\mu V] * 4.8 \left[\frac{V}{V} \right] = 76.32 \text{ } [\mu V]$$

Ahora calculo del DR para 44 [mV]

$$\text{DR} = 20 \log \left(\frac{0.12448 [V_{rms}]}{11.243 [\mu V_{rms}]} \right) = 80.88 \text{ } [dB]$$

$$n = \frac{80.88 - 1.76}{6.02} = 13.14 \text{ } bits$$

Ahora calculo del DR para 20 [mV]

$$\text{DR} = 20 \log \left(\frac{0.036568 [V_{rms}]}{11.243 [\mu V_{rms}]} \right) = 74.03 \text{ } [dB]$$

$$n = \frac{74.03 - 1.76}{6.02} = 12.00 \text{ } bits$$