

**DISEÑO E IMPLEMENTACIÓN DEL SISTEMA DE ADECUACIÓN Y
ADQUISICIÓN DE SEÑALES DE TENSIÓN PARA UNA UNIDAD
CONSTRUCTIVA ESTÁNDAR 61000-4-30 CLASE A**

GERMÁN ANDRÉS GÜIZA ARGÜELLO

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE
TELECOMUNICACIONES
BUCARAMANGA**

2009

**DISEÑO E IMPLEMENTACIÓN DEL SISTEMA DE ADECUACIÓN Y
ADQUISICIÓN DE SEÑALES DE TENSIÓN PARA UNA UNIDAD
CONSTRUCTIVA ESTÁNDAR 61000-4-30 CLASE A**

GERMÁN ANDRÉS GÜIZA ARGÜELLO

Trabajo de grado para optar al título de Ingeniero Electrónico

Director

MIE. :ALFREDO ACEVEDO

Codirector

MIE. : CESAR DUARTE GUALDRÓN

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE
TELECOMUNICACIONES
BUCARAMANGA
2009**

DEDICATORIA

*A Dios porque gracias a sus bendiciones me he convertido en el hombre que soy,
A mis padres Germán y Raquel por ser la luz que guió mis pasos en el momento oportuno y que aun hoy
en día me muestra el camino,
A mis hermanos Viviana, Jairo, Daniela y Juan Pablo por ser las manos que me sostiene todos los días,
A mi novia Raquel Edith porque tu amor endulza mis días y me alienta a seguir adelante,
A mis amigos porque su amistad y cariño me hacen mejor cada día.*

Germán Andrés Güiza Argüello

AGRADECIMIENTOS

A la Universidad Industrial de Santander.

Director del proyecto, MIE Alfredo Acevedo, por su apoyo y orientación

Al Grupo de Investigación en Conectividad y Procesado de señal (CPS).

Al Ingeniero Diego Medina por su apoyo constante y el enorme aporte para la realización del proyecto.

Al Ingeniero Mauricio Erazo, por su invaluable colaboración.

A los Profesores Cesar Duarte Gualdrón y Gabriel Ordoñez Plata, por la valiosa orientación que brindaron durante las reuniones del Seminario de Investigación.

TABLA DE CONTENIDO

	Pág.
1. INTRODUCCIÓN	1
2. ANÁLISIS DE LA ETAPA DE ADECUACIÓN	2
2.1. SENSADO DE VOLTAJE	2
2.2. FUNCIONAMIENTO DE LA ETAPA DE SENSADO	4
2.3. CIRCUITO DE PROTECCIÓN	9
2.4 SOFTWARE DE CONTROL	13
2.5. NECESIDADES DEL PCB	14
3. ANALISIS DE LA ETAPA DE TRATAMIENTO Y DIGITALIZACIÓN	16
3.1. DESACOPLE DE IMPEDANCIAS	16
3.2 FILTRADO	17
3.3 CONVERTIDOR ANALÓGICO-DIGITAL	20
3.4. CONFIGURACIÓN DEL CONVERTIDOR	22
3.4.1 Entradas Analógicas	22
3.4.2 Selección Del Modo De Trabajo	24
3.4.3 POWER-DOWN	25
3.4.4. Alimentación	25
3.4.5 Protocolo De Comunicación	25
3.4.6 Sincronización De La Frecuencia De Muestreo	27
3.4.6.1 Protocolo I2C	31
4. RESULTADOS	33
4.1. DISEÑO FINAL DE LA ETAPA DE PROCESAMIENTO	33
4.2 PRUEBAS A LA ETAPA DE PROCESAMIENTO	35

4.3. ETAPA DE ADECUACIÓN	45
CONCLUSIONES Y OBSERVACIONES	49
RECOMENDACIONES	51
REFERENCIAS	52
BIBLIOGRAFÍA	53

LISTA DE FIGURAS

	Pág.
Figura 1. Voltaje de aislamiento del ISO122 contra frecuencia de la señal de entrada.	3
Figura 2. Topología completa del ISO122	4
Figura 3. Diagrama de bloques de la etapa de sensado	4
Figura 4. Topología de la nueva etapa de sensado	5
Figura 5. Configuración del AD736	6
Figura 6. Señal de entrada vs tiempo de establecimiento para diferentes valores de C_{AV}	7
Figura 7. Error vs factor de cresta	7
Figura 8. Configuración del AD210 para una ganancia unitaria.	9
Figura 9. Respuesta en magnitud y fase del AD210	10
Figura 10. Circuito de protección.	11
Figura 11. Etapa de entrada final.	12
Figura 12. Tiempo promedio del fusible Vs corriente	13
Figura 13. Seguidor de tensión	17
Figura 14. Circuito interno del UAF42	17
Figura 15. Etapa PP3	18
Figura 16. Valores de las resistencias para las diferentes etapas de un filtro BUTTERWORTH de octavo orden.	19
Figura 17. Respuesta en frecuencia del filtro de octavo orden, implementado con el LTC1563-2.	20
Figura 18. Principio de los convertidores sigma-delta	21
Figura 19. Lm336.	23
Figura 20. Referencia Lm336 con tensión de salida -2.5V	24
Figura 21. Interfaz SPI	27

Figura 22. Estructura interna del CY22150	30
Figura 23. Estructura del protocolo I2C	31
Figura 24. Condición de START.	31
Figura 25. Condición de STOP.	32
Figura 26. PCB de la etapa de procesamiento	33
Figura 27. Señal a la salida de la etapa de acople de impedancias	35
Figura 28. Señal en el sumador	35
Figura 29. Comparacion de la señal de entrada con la señal en el sumador	36
Figura 30. Señal de 4.4KHz a la salida de la etapa de desacople	36
Figura 31. Señal de 4.4KHz a la salida del filtro	37
Figura 32. Comparacion de la señal de 4.4KHz de entrada con la señal a la salida del sumador	38
Figura 33. Señal de 5.2KHz a la salida de la etapa de desacople	38
Figura 34. Salida del filtro de una señal de 5.2KHz	39
Figura35. Comparacion de la señal de 5.2KHz de entrada con la señal a la salida del sumador	39
Figura 36. Visualizacion en LABVIEW de la señal digitalizada	40
Figura 37. Señal digitalizada saturada	41
Figura 38. Contribuciones de ruido del divisor de entrada	42
Figura 39. Contribucion de ruido de la etapa de desacople	43
Figura 40. Circuito interno del filtro	44
Figura 41. Contribucion de ruido del filtro	44
Figura 42. Contribucion de ruido del sumador	45
Figura 43. Diseño final de la etapa de entrada	46
Figura 44. Comparación de la señal de 32Vpp a la entrada de la etapa de adecuación y su respectiva salida	46
Figura 45. Divisor de tensión encarga de adecuar las tensiones entre 0 y 220V	47

Figura 46. Comparación de la señal de 358Vpp a la entrada de la etapa de adecuación y su respectiva salida

LISTA DE TABLAS

Pág.

Tabla 1. Formatos de salida.

26

RESUMEN

TITULO: DISEÑO E IMPLEMENTACIÓN DEL SISTEMA DE ADECUACIÓN Y ADQUISICIÓN DE SEÑALES DE TENSIÓN PARA UNA UNIDAD CONSTRUCTIVA ESTÁNDAR 61000-4-30 CLASE A.*

AUTOR: GÜIZA ARGÜELLO GERMÁN ANDRÉS.**

PALABRAS CLAVE: Adecuación, Adquisición, Unidad constructiva, Estándar, Configuraciones.

En este documento se presenta un informe sobre los resultados y conclusiones que se han logrado dentro del seminario de calidad de potencia eléctrica en cuanto al diseño del sistema de adecuación y adquisición de las señales de tensión para una unidad constructiva estándar IEC 61000-4-30 clase A, en el cual se destacan las principales consideraciones hechas para cada una de las etapas y las repercusiones que estas tienen en la selección de la electrónica a implementar.

En el capítulo dos se presenta un análisis de la etapa de entrada y las consideraciones que se tuvieron en cuenta para el diseño, así como un recorrido por diferentes configuraciones y dispositivos posibles, mediante la comparación de las prestaciones con los requerimientos de la etapa hasta llegar al diseño final, mostrando el por qué y el cómo de las decisiones tomadas.

Al igual que en el capítulo anterior, el capítulo tres muestra el estudio de la etapa de procesamiento, los requerimientos que esta exige y el diseño que los satisface, especialmente lo referente a la sincronización de la frecuencia de muestreo.

El capítulo cuatro describe el análisis del ruido del sistema completo con el fin de analizar y cuantificar el efecto de las señales indeseadas en el ENOB (numero efectivo de bits a la salida) del convertidor analógico-digital y asegurar que se pierdan el mínimo numero de bits.

Finalmente en el capítulo cinco se presentan los resultados de las pruebas hechas al hardware ya montado y las conclusiones del trabajo.

*Trabajo de Grado. Modalidad Investigación.

**Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones. Director MIE Alfredo Acevedo. Codirector MIE Cesar Duarte Gualdrón.

ABSTRACT

TITLE: DESIGN AND IMPLEMENTATION OF SYSTEM ADEQUACY AND ACQUISITION OF VOLTAGE SIGNALS FOR A CONSTRUCTIVE UNIT STANDARD 61000-4-30 CLASS A. *

AUTHOR: GÜIZA ARGÜELLO GERMÁN ANDRÉS **

KEYWORD: Adequacy, Acquisition, Constructive unit, Standard, Configurations

This work is a report of the results and conclusions obtained in the Electric Power Quality Seminar, regarding the design of the adaptation and acquisition system of voltage signals for the standard constructive unit IEC 61000-4-30 type A. The main considerations for each of the stages are emphasized as well as their influence on the selection of the implemented circuit.

Chapter two presents the analysis of the input stage and the considerations involved in its design. Additionally, all the different configurations and possible devices were established for this stage and then compared in terms of the features of the devices and the requirements of the stage to select the final design, explaining the criteria and parameters that made possible such selection.

On the other hand, chapter three shows the analysis of the processing stage, its requirements and optimal design, emphasizing the synchronization of the sampling frequency.

In chapter four, there is a description of the analysis of the noise through the entire system to quantify the effect of undesirable signals on the ENOB (Effective Number Output Bits) of the analog-digital converter to ensure the minimum bits loss.

Finally, chapter five presents the results of the tests conducted on the hardware as well as the conclusions that were drawn from this work.

**Working Grade. Research Mode.*

***Physical-Mechanical Engineering Faculty. School of Electrical, Electronics and Telecommunications Engineering. Director: MIE Alfredo Acevedo. Co director: MIE Cesar Duarte Gualdrón.*

1. INTRODUCCIÓN

Una unidad constructiva es un sistema que se encarga de analizar y cuantificar el impacto de los diferentes fenómenos relacionados con una red de distribución que disminuyen la calidad del servicio.

Esta unidad está compuesta por varios subsistemas y uno de ellos es el de adecuación y adquisición de las señales de tensión, el cual es el objeto de este proyecto. El objetivo es diseñar un sistema de adquisición de datos que entregue una señal digital que tenga en cuenta los requerimientos de la etapa de procesamiento y que cumpla con las exigencias de la norma UNE-EN_61000-4-7.

Uno de los requisitos que debe cumplir este sistema, es la continua sincronización de la frecuencia de muestreo con la frecuencia de la red, para garantizar que al momento de procesar los datos de tensión, el valor r.m.s sea el correcto. En Colombia y por exigencias de la CREG (Comisión Reguladora de Energía y Gas), la tarjeta de adquisición debe sincronizarse en un rango de frecuencias de la red de 58Hz a 62 Hz, el cual abarca las posibles variaciones de frecuencia de nuestro sistema interconectado. Sin embargo para que la unidad sea de clase A, como lo exige la norma UNE-EN_61000-4-7, la tarjeta debe sincronizarse para variaciones entre 50 y 69Hz, siendo éste el rango de operación de nuestro sistema ya que cumple con ambas exigencias. Adicionalmente la norma exige que el diseño tenga un consumo máximo de 0.5VA en su etapa de entrada, soporte un pico de 1.2 veces la tensión nominal y procese un factor de cresta de 1,5.

Teniendo en cuenta todo lo anterior, se seleccionaron los diferentes dispositivos de la tarjeta comparando las necesidades con las prestaciones que estos ofrecen.

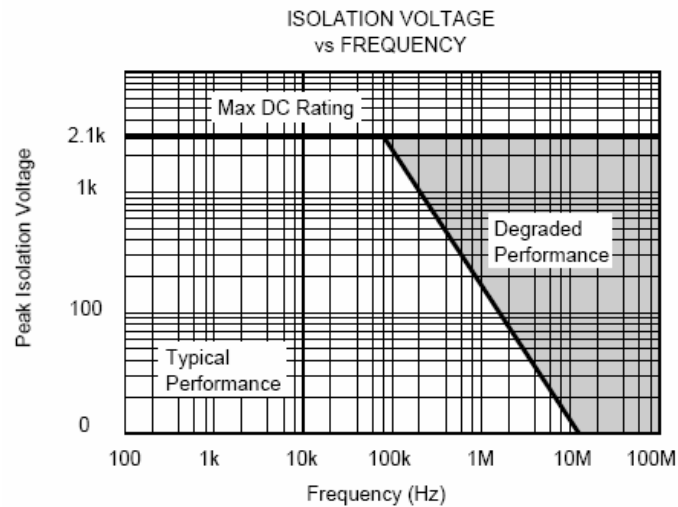
2. ANÁLISIS DE LA ETAPA DE ADECUACIÓN

A continuación se expondrán los resultados de las discusiones que se dieron dentro del seminario de investigación con relación a la etapa de entrada.

2.1. SENSADO DE VOLTAJE

En un principio la unidad constructiva iba a estar conectada a un transformador de potencia con 220V de tensión nominal. Para poder captar estas señales se diseñó una etapa de sensado de voltaje que constaba de un divisor de tensión para reducir el voltaje a niveles adecuados para el procesamiento, acompañado de un ISO122 que es un amplificador de ganancia unitaria que proporciona un aislamiento de 1500Vrms, lo cual aseguraba la protección de la unidad constructiva en caso de algún desperfecto en la red. Esta etapa se diseñó teniendo en cuenta la linealidad que ofrece el divisor de tensión combinado con las características del ISO, dentro de las cuales pueden mencionarse: su aislamiento, ancho de banda de 50KHz, porcentaje máximo de no linealidad de 0.002%, ruido a la entrada de 4nV, la ausencia de elementos externos para lograr la barrera de protección y bajo costo. Al analizar el comportamiento del ISO, se determinó que al aumentar la frecuencia el aislamiento se mantiene si la frecuencia de la señal de entrada no sobrepasa los 100KHz, lo cual nos asegura la protección para el dispositivo en el ancho de banda de interés (ver figura 1).

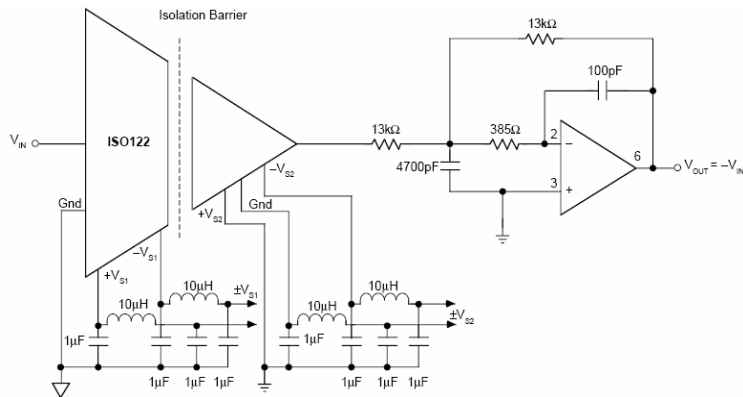
Figura 1. Voltaje de aislamiento del ISO122 contra frecuencia de la señal de entrada.



Fuente: ISO122 datasheet

El modo de operación del ISO consiste en tomar la señal de entrada y llevarla por medio de un modulador a una frecuencia portadora de 500KHz, para ser demodulada al otro lado de la barrera de aislamiento y entregarla en el terminal de salida. Para señales de entrada con frecuencias inferiores a 250KHz el ISO122 se comporta como un amplificador lineal. El único defecto que se encontró en la operación del ISO122 fue la necesidad de implementar un filtro de orden 2 a la salida de amplificador debido a la presencia de un voltaje de rizado de 20mV en la salida, generado por la acción de modulación/demodulación interna del dispositivo [1]. Teniendo en cuenta las anteriores consideraciones y acompañando el amplificador de la electrónica necesaria para disminuir los efectos de posibles interferencias de la red, la anterior etapa podría ser la respuesta a las necesidades planteadas.

Figura 2. Topología completa del ISO122



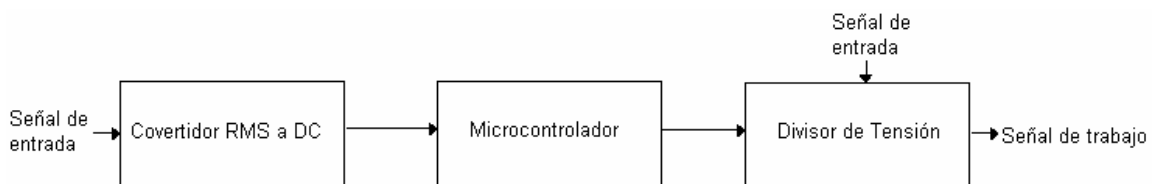
Fuente: ISO122 datasheet

Sin embargo, en una posterior reunión del grupo de trabajo se vió la necesidad de que la unidad constructiva pudiera ser conectada a diferentes transformadores con tensiones nominales de 220V, 440V o 660V, lo anterior para lograr que el hardware que se estaba construyendo cumpliera con las especificaciones de los que actualmente se producen en el mercado. Debido a esto fue necesario rediseñar la etapa de sensado.

2.2. FUNCIONAMIENTO DE LA ETAPA DE SENSADO

Con base en los planteamientos expuestos anteriormente, se rediseñó la etapa de sensado, descrita en la figura 3:

Figura 3. Diagrama de bloques de la etapa de sensado



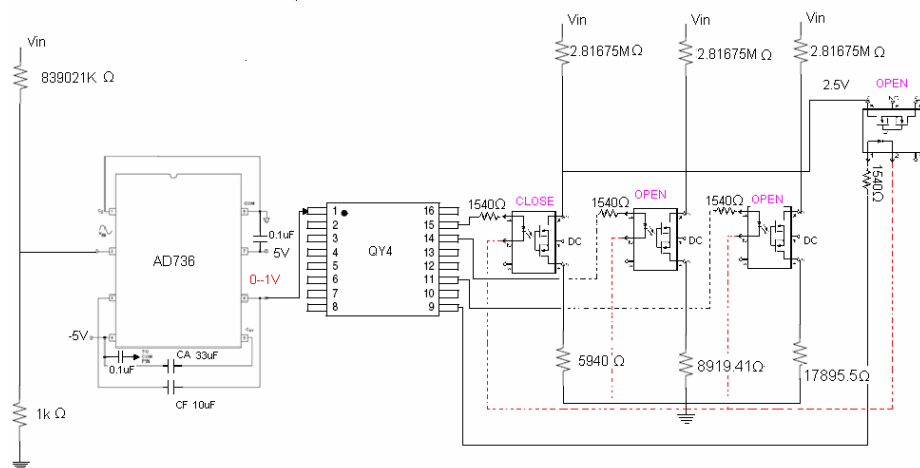
Fuente: Autor

El nuevo diseño de la etapa de sensado consta principalmente de 3 partes. La primera de ellas es la etapa de conversión de RMS a DC. Aquí se toma la señal de

entrada y se procesa para obtener el nivel de RMS de la misma y así poder determinar el nivel de tensión al que se está trabajando. Después sigue el microcontrolador, el cual, basado en la información obtenida, determina el modo de trabajo del divisor de tensión. Cuando se habla del modo del divisor de tensión se hace referencia a los diferentes juegos de resistencias que éste posee para adecuar las posibles tensiones de entrada.

Finalmente, se aplica la señal de entrada al divisor ya seleccionado para obtener la señal de trabajo. En resumen, lo que hace la etapa de sensado es obtener el valor RMS de la señal de entrada, para así seleccionar dentro de un juego de divisores de tensión aquel que proporcione la señal de trabajo, como se observa en la figura 4.

Figura 4. Topología de la nueva etapa de sensado

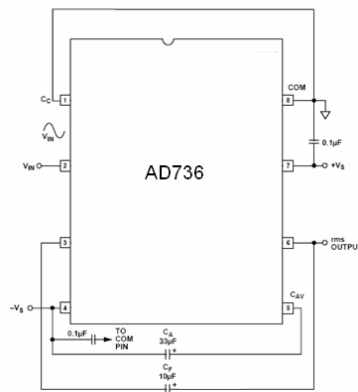


Fuente: Autor.

Esta nueva etapa de sensado está compuesta por un convertidor de RMS a DC (AD736), un microcontrolador, tres contactores de estado sólido (Solid State Relay, SSR) normalmente abiertos (LH1500AAB), un SSR normalmente cerrado (LH1511BAB) y tres juegos de divisores de tensión para reducir los niveles de tensión.

La configuración del AD736 y la electrónica que lo acompaña se observa en la figura 5.

Figura 5. Configuración del AD736

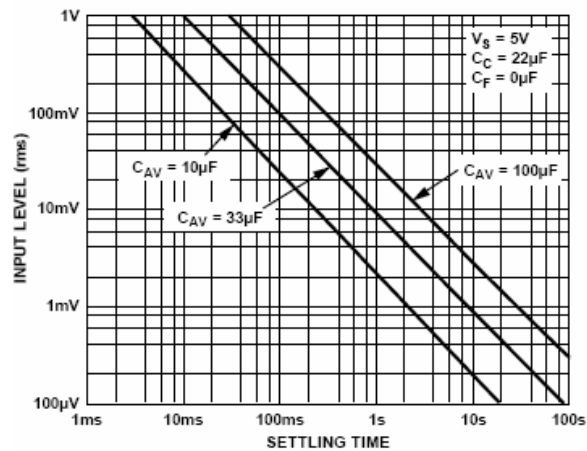


Fuente: AD736 datasheet

El principio de trabajo del AD736 es el siguiente: la señal de entrada se aplica al terminal 2, el cual es de alta impedancia y adecuado para señales que provienen de arreglos resistivos como el de este proyecto. Dicho terminal está conectado a un amplificador que lleva la señal amplificada al núcleo RMS donde se obtiene el valor de DC correspondiente. Para que este núcleo trabaje correctamente es necesario conectar un condensador C_{AV} entre el terminal 5 y alimentación negativa. Este condensador es el encargado de mantener la señal mientras dura el proceso de cómputo del RMS. De la selección de este capacitor depende el tiempo de procesamiento, a medida que el nivel de señal aumenta, el error disminuye pero el tiempo de procesamiento aumenta [2]. La selección del valor de este capacitor es un compromiso entre velocidad de procesamiento y precisión.

Según la figura 6, con valores pequeños de C_{AV} se logran tiempos de establecimiento o de procesamiento pequeños [2], sin embargo hay que tener en cuenta que según la norma 61000-4-7, el circuito de entrada debe estar capacitado para trabajar con un factor de cresta de al menos 1,5.

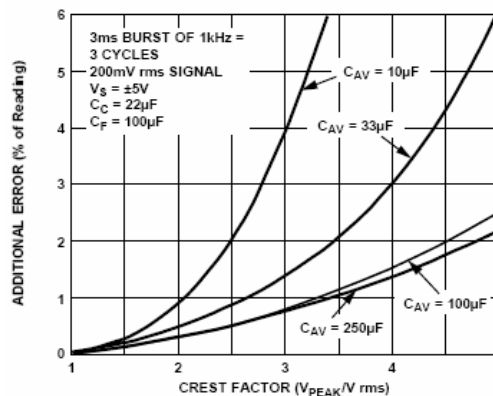
Figura 6. Señal de entrada vs tiempo de establecimiento para diferentes valores de C_{AV}



Fuente: AD736 datasheet

En la figura 7 se hace claro que entre mayor sea el valor de C_{AV} menor será el error, introducido en el procesamiento [2]. De estas dos gráficas 6 y 7 se puede decir que el valor que ofrece el mejor desempeño es el de 33μ F, el cual brinda la mejor alternativa para lograr un menor error, en un tiempo de procesamiento razonable.

Figura 7. Error vs factor de cresta



Fuente: AD736 datasheet

Una medida alternativa para disminuir el error en el cómputo es la conexión del condensador C_F , el cual ayuda a reducir los errores en el nivel de DC a la salida. Este convertidor RMS a DC fue seleccionado además porque ofrece una precisión de 0.3mV, trabaja con un error del 1% para un ancho de 10KHz y

consume 200mW de potencia, características que, lo convierten en una buena opción de trabajo [2]. Por otra parte, los SSR (Relay de estado sólido) utilizados en este diseño se seleccionaron porque manejan niveles adecuados de tensión y corriente en el lado de la carga y ofrecen una protección para el micro controlador de 5300Vrms, ya que trabajan de acuerdo con el principio de aislamiento óptico. El LH1500AAB maneja una corriente de 120mA y una tensión de 350V, mientras que el LH1511BAB soporta 150mA y 350V, manteniendo en cada uno de ellos un consumo de potencia inferior a 500mW [3,4].

El principio de operación de esta configuración es el siguiente: La señal de entrada se aplica al mismo tiempo en dos puntos. En el primero de ellos, cuando la tensión es de 660Vp, se impone un voltaje de 1Vrms (a la entrada del AD736) donde la señal se convierte en una tensión continua. Si la tensión de entrada cambia a 440V, la entrada del AD736 será menor, lo que resultará en una salida de DC entre 0 y 1V. La salida del AD736 es la entrada al microcontrolador, el cual, de acuerdo al nivel de DC, decidirá cual SSR activar.

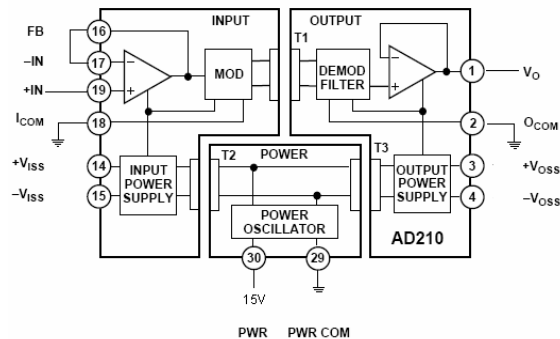
Uno de los factores más importantes que se tuvieron en cuenta para el diseño de ésta etapa fue el consumo de potencia. La norma 61000-4-7 cita que el circuito de entrada no debe producir una carga superior a 0.5W. El otro aspecto que se consideró fue el rango de excursión que debe soportar el circuito de entrada. La norma exige que el circuito maneje un factor de cresta de 1,5 y que debe estar en capacidad de medir una sobretensión de 1,2 veces la tensión nominal. Por ejemplo, cuando la unidad está conectada a una tensión de 660V ésta debe medir una tensión de 1188V ($660 \cdot 1.2 \cdot 1.5$). Además se necesita que la salida de la etapa no supere los 2.5V pico, esto para aprovechar el máximo rango de entrada del convertidor analógico-digital.

2.3. CIRCUITO DE PROTECCIÓN

Aunque cumple con los requisitos de precisión y nivel de tensión, la etapa de sensado de voltaje carece de un factor importante: el circuito de protección. Es necesario que el circuito de entrada proteja la etapa de procesamiento de una eventual anomalía de la red. En primera instancia, se pensó en un dispositivo que brindara aislamiento galvánico entre la etapa de entrada y la de procesamiento, lo que llevó a la selección del AD210.

El AD210 es un amplificador aislado que ofrece una protección de 3500V pico [5]. Como se ve en la figura 8, este amplificador se configura para que tenga una ganancia unitaria, pues lo que se busca es aislar la señal de trabajo, no amplificarla.

Figura 8. Configuración del AD210 para una ganancia unitaria.

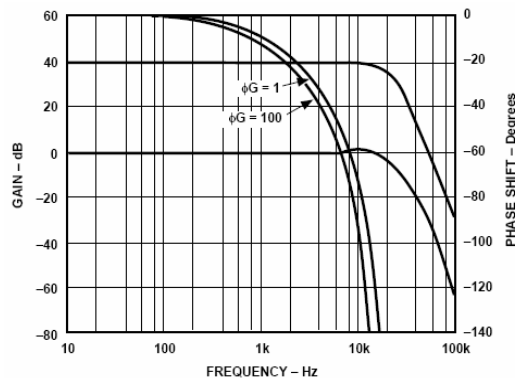


Fuente: AD210 datasheet

Una de la ventajas de este dispositivo es que no necesita elementos pasivos adicionales para trabajar con ganancia unitaria ni para reducir los efectos de las interferencias causadas por la fuente de alimentación. Lo que este elemento hace internamente es tomar la señal de entrada y modularla a una frecuencia de portadora igual a 20KHz para después entregarla al transformador, el cual induce la señal en el lado del secundario, y allí con la ayuda de un demodulador, la señal

se recupera. Otra ventaja de este elemento se muestra en la figura 9, donde se observa que la ganancia unitaria se mantiene constante y sin errores para un ancho de banda de 10KHz, lo cual asegura que las señales en el espectro de interés (4.416KHz), llegarán a los puertos de salida sin errores.

Figura 9. Respuesta en magnitud y fase del AD210



Fuente: AD210 datasheet

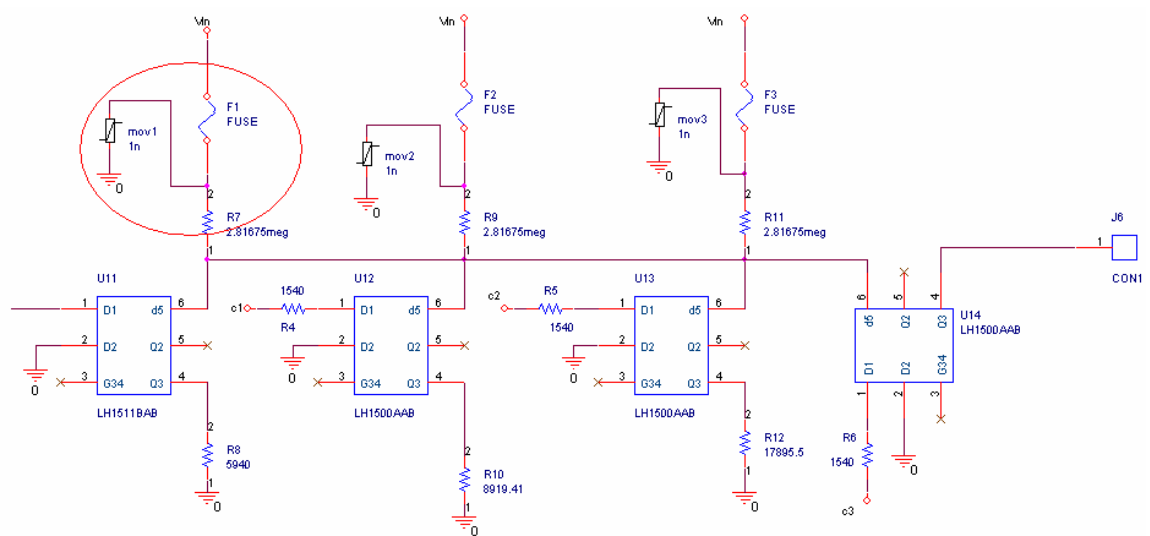
Otra ventaja de este dispositivo es la distribución del ruido referido a la entrada. El valor máximo que alcanza este parámetro es 45nV y se obtiene a frecuencias menores de 100Hz, pero conforme la frecuencia aumenta este ruido disminuye estabilizándose en 18nV. Adicionalmente, el AD210 posee una figura de PSRR alto debido a que sus terminales de alimentación están aislados [5].

Uno de los objetivos de la unidad constructiva, es registrar los instantes en los cuales se presentan los fenómenos que afectan el fluido eléctrico y entregar un reporte de los mismos. Por esta razón, la integridad de la señal de la red debe mantenerse hasta llegar al muestreo para garantizar que los datos que se toman son los correctos.

Analizando las características del AD210 se descubrió que para frecuencias de 4KHz este dispositivo desfasa la señal en 40 grados, lo cual afecta los objetivos del sistema. Si la señal que llega al convertidor analógico-digital está desfasada, las muestras que éste toma no corresponden en el tiempo a la señal de la red, lo

que produce mediciones incorrectas de los fenómenos en estudio. Debido a este defecto, se replanteó el sistema de protección y se implementó un circuito de protección compuesto por un fusible conectado directamente al terminal de entrada, seguido por un varistor de óxidos metálicos a tierra, como lo indica la figura 10.

Figura 10. Circuito de protección.



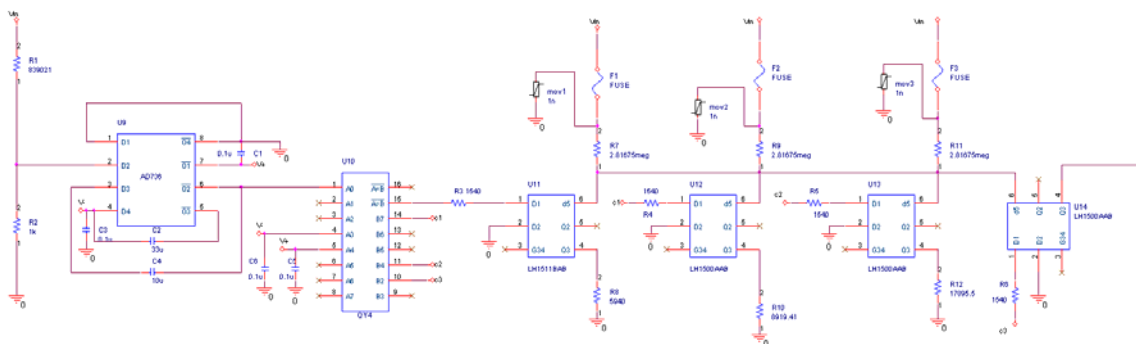
Fuente: Autor

El circuito de protección funciona como sigue: cuando el varistor alcanza su tensión máxima, este se cortocircuita, permitiendo que toda la corriente fluya a través del fusible, el cual se destruye y desconecta la entrada del sistema. Debido a las exigencias de la norma con respecto a la potencia que puede consumir el circuito de entrada, la corriente que circula a través de los divisores de tensión es de apenas 0.000421 A (en el caso de 660V a la entrada); lo que obligó a implementar el circuito con fusibles extra rápidos, es decir con una corriente de ruptura muy pequeña. Para este caso, dicha corriente es de apenas 1/16 de amperio, haciendo que el sistema sea muy sensible a cualquier cambio brusco que se produzca en la red.

Un varistor de óxidos metálicos es un elemento electrónico diseñado para trabajar

en dos estados, alta impedancia e impedancia cero. El estado en el que se encuentre depende de la tensión que se le aplique, ya que cuando ésta supera determinado valor el varistor se pone en corto. A dicho valor de voltaje se le conoce como voltaje de clamping. Para la rama encargada de atender tensiones de 1188V se seleccionó un varistor cuyo voltaje de clamping (o de puesta en corto) es de 1240V, para así obtener del divisor una tensión de 2.609943V que supera tan solo por 0.1V a la tensión de trabajo (2.5V). De la misma forma, se seleccionaron los voltajes de clamping para los dos divisores restantes: para el encargado de acondicionar tensiones de 792V se le asignó 820V y para el último se le asignó un voltaje de clamping de 400V. Con estas condiciones se alcanzan tensiones de 2.588V y 2.525V a la salida respectivamente. Así se asegura que en caso de una sobretensión la etapa de procesamiento no estará a expuesta a tensiones peligrosas. En la figura 11 se presenta un esquema de la etapa de entrada.

Figura 11. Etapa de entrada final.



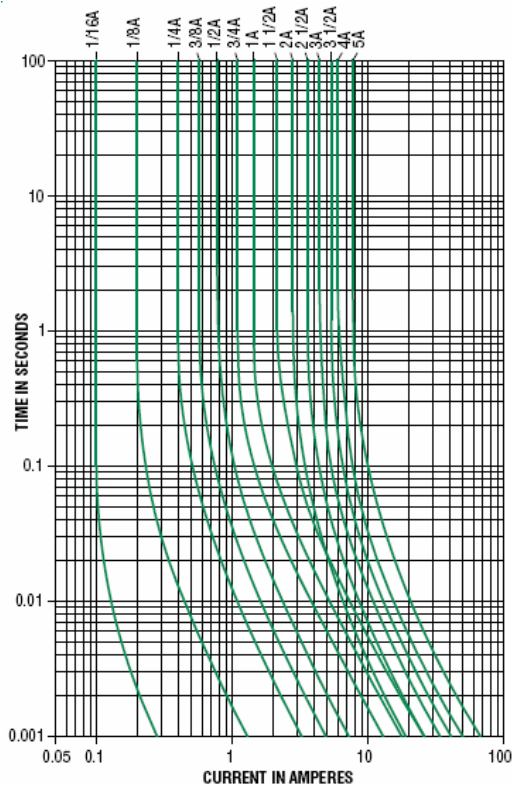
Fuente: Autor

La norma 61000-4-7 especifica que si se aplica una tensión 4 veces mayor que la tensión nominal de trabajo durante un segundo, el circuito de entrada no debería sufrir ningún daño. Esto quiere decir que la etapa de sensado debe soportar una tensión de 4752V (en el caso de 660V a la entrada) sin que se dañe. En este caso, la corriente que circularía por el divisor sería de 9.9 A, la cual fundiría el fusible,

activando el circuito de protección.

La figura 12 representa el tiempo promedio que funciona el fusible acuerdo con el incremento de la corriente que circula por él. Como puede observarse, este tiempo es muy pequeño y el dispositivo apenas resiste una corriente del doble de la nominal durante 0.002 segundos. Si esta gráfica se extrapolara, es claro que a medida que la corriente aumenta el tiempo de funcionamiento del fusible es menor [6].

Figura 12. Tiempo promedio del fusible Vs corriente



Fuente: 459 series datasheet

2.4 SOFTWARE DE CONTROL

Para que el microcontrolador MC68HC908QY4 pueda seleccionar el divisor de tensión adecuado para cada caso, es necesario programarlo de la manera

correcta. Con este fin, se activaron o desactivaron las salidas del microcontrolador dependiendo de la señal de continua a la entrada. Por ejemplo si la señal de entrada es de 0.66V, la cual es propia de una tensión nominal en la red de 440V, se requiere activar el divisor central. En este caso el microcontrolador debe primero activar su terminal de salida número 14, luego activar el número 15 y finalmente el pin número 10. De esta manera se asegura que la tensión a la salida esté en el rango de 2.5V. Esta secuencia de activación obedece a la disposición de los SSR. Como se explico anteriormente, hay un SSR normalmente cerrado (el primero), y los tres restantes están normalmente abiertos. La razón por la cual se escogieron relay normalmente cerrados está relacionada con la tensión de circuito abierto, ya que si éstos fueran normalmente abiertos, el nivel de la tensión de entrada (220V a 660V) excedería la capacidad de los pines de los relay. Por eso, este SSR está siempre cerrado para crear un camino cerrado para la tensión de entrada y permitir que los niveles estén dentro del rango que los dispositivos pueden manejar., Habiendo aclarado esto, es fácil entender la secuencia. Primero se activa la rama adecuada, luego se abre el relay normalmente cerrado para que la tensión se ajuste, y por último, se le ordena al último relay que se cierre para permitir el paso de la tensión de trabajo ya lograda. Sólo cuando la tensión de entrada es de 660V, lo que hace el microcontrolador es indicarle al último relay que se cierre para que la tensión pueda llegar a la siguiente etapa, ya que para esta tensión el divisor siempre activo es el adecuado

2.5. NECESIDADES DEL PCB

Teniendo en cuenta los niveles de tensión que debe manejar el PCB donde estará montado el circuito de entrada, es necesario considerar varios aspectos. En primer lugar, el PCB no debe tener plano de tierra ya que es posible que las tensiones de entrada tengan un efecto capacitivo entre la capa superior e inferior, lo cual puede conducir al daño permanente del dispositivo. Además, dicho efecto también puede

presentarse entre las diferentes pistas del PCB. Los caminos a los cuales se conectará la tensión de entrada deben estar alejados por lo menos 1cm del resto de los caminos para prevenir su destrucción. Por otro lado, estos caminos deben ser más anchos que los demás, ya que en caso de cualquier irregularidad de la red de distribución, el flujo de corriente por ellos puede aumentar peligrosamente, en cuyo caso es deseable que actúe la protección del sistema y evitar así que el PCB sufra daños.

Al igual que los que reciben la tensión de entrada, los caminos de conexión a tierra en el circuito de protección deben ser más anchos para permitir el libre paso de los picos de corriente que se pueden presentar en los casos extremos.

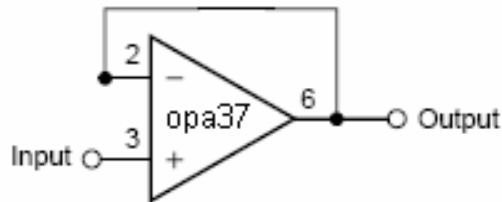
Otra consideración importante está relacionada con las borneras de acople entre la tensión de entrada y el PCB. Dichas borneras deben soportar altas tensiones y tener dimensiones coherentes con el tamaño de la tarjeta [7].

3. ANALISIS DE LA ETAPA DE TRATAMIENTO Y DIGITALIZACIÓN

3.1. DESACOPLE DE IMPEDANCIAS

Una vez que la señal de entrada ha sido llevada a los niveles de trabajo, es necesario comenzar con la etapa de procesamiento. El primer paso es filtrar dicha señal para atenuar al máximo todas las componentes que están por fuera del ancho de banda de interés (4.416KHz). Sin embargo, el LTC1563-2 es un dispositivo con una muy baja resistencia de entrada. Si se le conecta la tensión de 2.5V directamente desde la etapa de entrada, dicha tensión se dividirá entre la resistencia de salida de la etapa y la resistencia de entrada del filtro, provocando un cambio en el nivel de tensión de trabajo, y por ende, la pérdida del rango de entrada en el convertidor analógico-digital. Por esta razón fue necesario implementar un circuito de desacople, para separar los efectos resistivos que perjudican la señal. Este circuito está compuesto por un simple seguidor de tensión como el que se observa en la figura 13, implementado con el amplificador operacional OPA37. Éste amplificador de precisión presenta unas características que lo hacen idóneo para la aplicación. En primer lugar, es un dispositivo de muy bajo ruido, pues la tensión de ruido a la entrada apenas alcanza los 4,5nV. Por otro lado, este elemento tiene una velocidad de respuesta que alcanza los 11V/ μ s, slew rate suficientemente buena para la velocidad de la señal de interés [8].

Figura 13. Seguidor de tensión

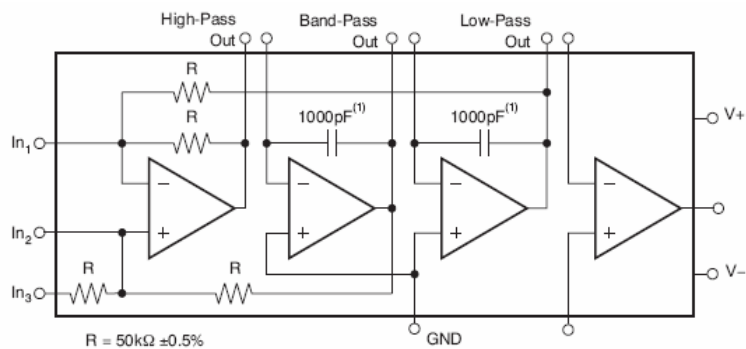


Fuente: Autor.

3.2 FILTRADO

Una vez que las señales han sido tomadas, es necesario filtrarlas para asegurar que solo se trabajará con el espectro de 4.416KHz. Para lograr este propósito se requiere un filtro BUTTERWORTH, ya que éste ofrece la respuesta mas plana entre los esquemas de filtros activos. El UAF42 es un dispositivo muy flexible con el que se pueden implementar filtros de cualquier naturaleza pasa – bajos, pasa-alto o banda pasante, como se muestra en la figura 14.

Figura 14. Circuito interno del UAF42

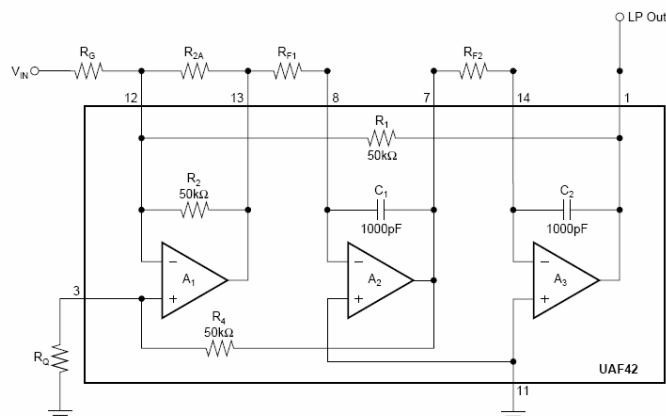


Fuente: UAF42 datsheet

Este integrado trabaja con un amplificador a la entrada y dos integradores, los cuales al ser combinados resultan en diferentes configuraciones, y debido a que no se trabaja con condensadores conmutados, el dispositivo es libre de ruido. Adicionalmente, éste integrado tiene una densidad de ruido en el ancho de 10KHz de $10 \frac{nV}{\sqrt{Hz}}$ y una precisión en su rango de trabajo del 1%, sabiendo que la frecuencia máxima con la que trabaja es de 100KHz.

Para diseñar los diferentes tipos de filtros, TEXAS INSTRUMENTS ofrece una herramienta de diseño llamada FILETR42 [9]. Este software le permite al usuario simular diferentes filtros y obtener el número de etapas y el orden en que se deben interconectar, así como el valor de las resistencias y condensadores que los deben acompañar. Esta simulación nos muestra la respuesta en magnitud y en fase del circuito implementado junto con los elementos pasivos necesarios. Para este primer circuito de la etapa de filtrado se diseñó un filtro butterworth de orden 8 con frecuencia de corte de 4.416KHz, para el cual el programa indicó que era necesario implementar 4 etapas de segundo orden PP3. La figura 15 muestra un esquema de una etapa PP3.

Figura 15. Etapa PP3



Fuente: FILTER DESIGN PROGRAM FOR THE UAF42 UNIVERSAL ACTIVE FILTER

En la figura anterior 16 se observa el factor de calidad de cada etapa así como la frecuencia de corte respectiva, además de las resistencias externas que deben acompañar al UAF42.

Figura 16. Valores de las resistencias para las diferentes etapas de un filtro BUTTERWORTH de octavo orden.

Subckt	C ext	fo	Rp	Q	Cp	fz	Rz1	RF1,2	RZ2	RQ	RZ3	RG	Ckt-gain	R2A
Sub Ckt 1	PP3	3.959kHz	509.8m	---	---	---	---	40.20k0	95.30k0	50.00k0	1.000	---	---	
Sub Ckt 2	PP3	3.959kHz	601.3m	---	---	---	---	40.20k0	61.90k0	50.00k0	1.000	---	---	
Sub Ckt 3	PP3	3.959kHz	900.0m	---	---	---	---	40.20k0	29.40k0	50.00k0	1.000	---	---	
Sub Ckt 4	PP3	3.959kHz	2.563	---	---	---	---	40.20k0	7.500k0	50.00k0	1.000	---	---	

Gain, Max Uin: 1.00U/V , 10.00
<Space> to exit

Fuente: Simulador FILTER42

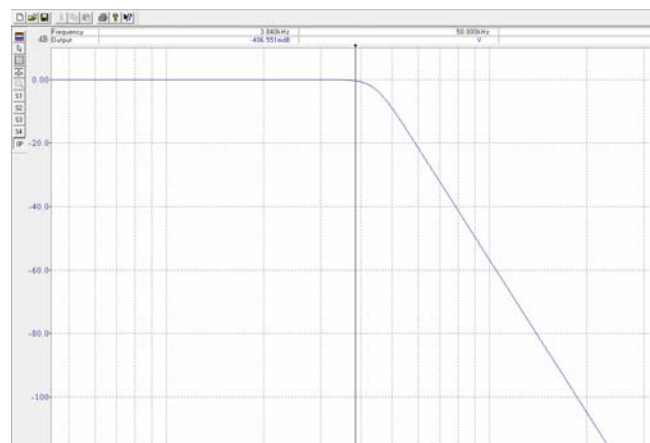
Aunque el UAF42 es un buen dispositivo, se discutió su papel dentro del proyecto, ya que para implementar el filtro de octavo orden que se deseaba era necesarias cuatro etapas, donde el ruido propio del UAF42 y de los elementos pasivos que lo acompañan limitaban el número efectivo de bits a la salida del convertidor a 12 bits, resultado que no era favorable. Como consecuencia, se buscó un dispositivo que permitiera con un solo chip implementar un filtro de orden mayor de dos para ocupar menos espacio, disminuir el número de conexiones, y la implementación de elementos pasivos que aumentan el ruido, el consumo de potencia y los posibles errores por conexión. Teniendo en cuenta lo anterior, se seleccionó el LTC1563-2 de LINEAR, dispositivo que permite implementar un filtro de orden cuatro con un solo encapsulado y posee excelentes características, tales como precisión del 2%, máxima frecuencia de trabajo de 256KHz, salida rail to rail, el ruido propio del filtro ya implementado permite tener 16 bits efectivos a la

salida y soporta temperaturas de hasta 85 °C. Además, tiene un software de apoyo FILTERCAD para el diseño del filtro. Con ayuda de esta herramienta se puede determinar el valor de las resistencias necesaria para obtener el filtro que se desea.

La norma 61000-4-7 exige que se analicen los primeros 64 armónicos de la señal de entrada, y por esto la frecuencia de corte es 4416Hz, ya que cuando la señal de la red tenga una frecuencia de 69Hz, el armónico 64 quedará justamente ubicado a esta frecuencia.

La frecuencia de inicio de la banda de rechazo es de 50KHz, valor en el cual se presenta una caída de 150db, asegurando que para este punto las señales indeseadas serán casi nulas.

Figura 17. Respuesta en frecuencia del filtro de octavo orden, implementado con el LTC1563-2.



Fuente: Simulador FILTERCAD

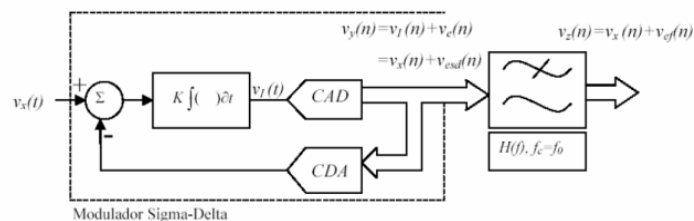
3.3 CONVERTIDOR ANALÓGICO-DIGITAL

Entre las diferentes tecnologías disponibles para convertidores, se seleccionó la sigma delta, debido a que sobremuestra la señal a digitalizar, y además ofrecen

una mayor cantidad de bits efectivos a la salida, características que le confieren su alta precisión. Dicha cantidad de bits a la salida es esencial para esta aplicación, ya que para que la unidad constructiva sea clase A, debe trabajar mínimo con 16 bits.

En la figura 18 se muestra el principio de funcionamiento de un convertidor sigma-delta.

Figura 18. Principio de los convertidores sigma-delta



Fuente: Revista Digital “Investigación y Educación ” número 18, Septiembre del 2005, ISSN 1696-7208.

Los convertidores sigma-delta son convertidores sobremuestreados, es decir, su frecuencia de muestreo es mucho mayor que la componente más alta del espectro que se desea digitalizar. Gracias a esto, es posible tomar un alto número de muestras y, de esta manera, obtener una digitalización de la señal deseada más fiel, haciendo más fácil la eliminación de espectros y señales indeseados.

La señal de entrada es procesada por un filtro pasa bajas para disminuir los efectos del ruido de baja frecuencia. Después, esta señal se realimenta convirtiéndola nuevamente en una señal analógica para ser restada de la señal original. Este proceso hace que el ruido de baja frecuencia sea eliminado casi por completo y que el grado de semejanza entre la señal digitalizada y la señal con la que se desea trabajar sea alto. Luego, la señal digitalizada pasa por un filtro digital que desprecia las altas frecuencias donde el ruido puede estar presente.

Con base en las ventajas que posee la tecnología sigma-delta, y las necesidades de esta aplicación, se seleccionó el convertidor ADS1274 de Texas instruments, el

cual es un convertidor sigma-delta de 24 bits. En primera instancia, se consideraría innecesario utilizar un dispositivo que ofrece 8 bits más de lo deseado; sin embargo, este dispositivo sólo ofrece 16 bits efectivos, es decir, los 8 bits restantes pueden ser afectados por el ruido del convertidor. Si se escogiera un chip con menos bits a la salida, el número de bits efectivos que asegura el dispositivo se reduciría.

Además de la cantidad de bits efectivos, es de vital importancia que la frecuencia con la que muestrea el convertidor pueda variar. Si la frecuencia de muestreo es siempre la misma y no se ajusta a los cambios de la frecuencia de red, el valor R.M.S tomado de la tensión de entrada sería incorrecto y, como resultado, el análisis de los fenómenos como el flicker, los armónicos e inter armónicos estaría mal hecho. El ADS1274 permite variar dicha frecuencia si se varía la frecuencia del reloj maestro o CLK. La relación entre estas dos frecuencias (F_{clk}/F_{data}) es de 256, lo que significa que para que el convertidor tenga una muestra de 24 bits (16 efectivos), requiere que transcurran 256 pulsos del CLK. De esta manera, si la frecuencia de CLK aumenta, la de muestreo también lo hace y viceversa.

Además de satisfacer las necesidades de la aplicación, el convertidor ADS1274 posee una serie de características que lo hacen ideal para el trabajo. Una de ellas es su distorsión armónica total (THD) de -108dB, su relación de señal a ruido de 106dB, su rango libre de espurios de 109db y su consumo de potencia que no supera los 0,725W.

3.4. CONFIGURACIÓN DEL CONVERTIDOR

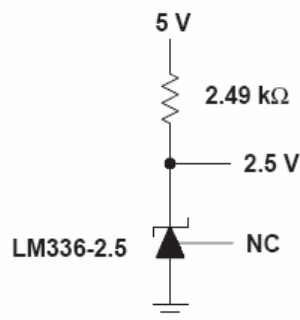
3.4.1 Entradas Analógicas

El ADS1274 tiene dos pines de entradas analógicas, AINP y AINN. La señal que el chip procesa es la resultante de la resta entre ellas, es decir, $V_{in}=(AINP-AINN)$. Asimismo, esta señal V_{in} se compara con la tensión de referencia V_{ref} . V_{ref} se

obtiene de la resta de V_{refP} y V_{refN} ; el máximo valor que V_{in} puede alcanzar es $(+V_{ref})$ y el mínimo $(-V_{ref})$. La tensión máxima que admite el convertidor es 5V y la mínima 0V [12]. Con el fin de aprovechar todo el rango de excursión, la tensión de entrada se redujo a 2.5V, además de introducirle un nivel de DC de 2.5V que es el que corresponde al nivel común con que trabaja el convertidor. De esta manera cuando la señal de entrada alcanza 2.5V el dispositivo recibe 5V, y cuando la señal alcanza -2.5V el elemento recibe 0V [12].

Es de suma importancia que las tensiones en los pines AINN y V_{refP} sean estables, pues ellas son las que aseguran la estabilidad del convertidor, para la señal V_{in} . Si el valor de alguna de ellas cambia drásticamente, la lectura del convertidor será totalmente errónea. Por esta razón, se utilizó la referencia de tensión Lm336, la cual está conformada por un diodo zener que posee un $V_z=2.5V$. De esta forma, cuando es polarizado en su cátodo se obtienen los 2.5V que se requieren. En la figura 19 se observa la configuración del LM336.

Figura 19. Lm336.

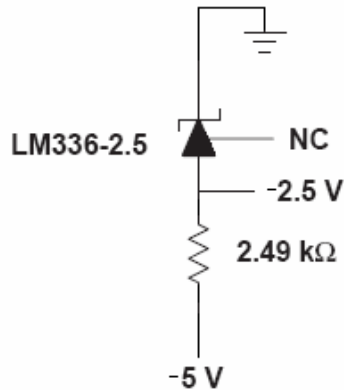


Fuente: LM336 datasheet

El principio de funcionamiento de esta fuente ofrece una gran estabilidad en la tensión de salida; por el contrario, la corriente de alimentación varía en un margen amplio. Para el caso específico, la corriente puede variar desde 400 μ A hasta 10mA mientras que la tensión a la salida variaría 9mV como máximo. Adicionalmente, el dispositivo posee un amplio margen de trabajo estable conforme pasa el tiempo, pues la tensión a la salida solo variaría 20ppm/Khr.

Para obtener la tensión de -2.5V se requiere realizar el proceso inverso, tal como lo ilustra la figura 20.

Figura 20. Referencia Lm336 con tensión de salida -2.5V



Fuente: Autor.

3.4.2 Selección Del Modo De Trabajo

El ADS1274 tiene cuatro modos de operación: alta velocidad, alta precisión, baja velocidad y bajo consumo de potencia. Los diferentes modos ofrecen diferentes características y requieren diferentes condiciones de trabajo. El modo que se seleccionó para este caso fue el de alta velocidad, ya que éste es la relación entre el reloj maestro CLK y la frecuencia de los datos Fdata.. En este modo dicha relación equivale a 256, mientras que en los demás su valor aumenta a 512 como mínimo [12]. A mayores valores de esta relación, mayores serán las frecuencias que deben suministrarse al CLK para lograr que la frecuencia de muestreo varíe a los valores que se desean. En la práctica es complicado generar señales de reloj de altas frecuencias y gran estabilidad, como las que se necesitan, a un costo razonable.

Para que el convertidor trabaje en el modo de alta velocidad, ambos pines MODE deben estar en bajo mientras que el pin CLKDIV debe estar en alto. En este caso, la tensión de alto es equivalente a 3.3V y es la misma que llega al pin IOVDD, el cual es el encargado de determinar la tensión de alto del convertidor. Es decir, si a

este pin llegan 3.3V es porque para el convertidor un alto equivale a 3.3V. Para la tensión de bajo basta con poner los pines de MODE a la tierra digital.

3.4.3 POWER-DOWN

El ADS1274 es un convertidor de cuatro canales y cada canal está compuesto por los pines AINP y AINN. El dispositivo posee la opción de mantener apagados o encendidos los canales de entrada. Para este caso específico, es necesario mantener los cuatro canales activos, ya que todos va a ser usados, de manera que los pines PWND del chip deben ponerse en alto.

3.4.4. Alimentación

El ADS1274 necesita tres fuentes de alimentación: la primera alimentación analógica AVDD, la alimentación digital DVDD y por último, la referencia de la tensión que equivale a un alto IOVDD [12]. La alimentación AVDD está conectada a una fuente de 5V, la cual se encarga de alimentar el sistema en general. La alimentación DVDD está conectada a un regulador de tensión de 1.8V y la referencia IOVDD a uno de 3.3V. El regulador encargado de suministrar los 1.8V es el LT1761-1.8 de LINEAR, que tiene una regulación de línea típica de 1mV para una variación de 2.3 a 20V a la entrada.. Por otro lado, este regulador es capaz de brindar a la salida una corriente de hasta 100mA, y tiene un ruido propio de 20uV para el ancho de 10Hz a 100KHz [10]. El regulador LM117-3.3 proporciona la tensión de 3.3V, este dispositivo de NATIONAL SEMICONDUCTOR posee una regulación de línea de 0.2%, ofrece una corriente de 800mA a la salida y tiene una regulación de carga de 0.4% [11]. Este dispositivo además de alimentar el pin de IOVDD también es el encargado de alimentar al PLL.

3.4.5 Protocolo De Comunicación

El convertidor ADS1274 utiliza dos protocolos de comunicación, SPI serial y FRAME-SYNC, y puede entregar los datos de dos maneras diferentes: cada trama de datos por su respectivo pin de salida o todas las tramas por un solo pin, el DOUT1. Cuando utiliza el protocolo SPI, el chip genera la señal de DRY, la cual

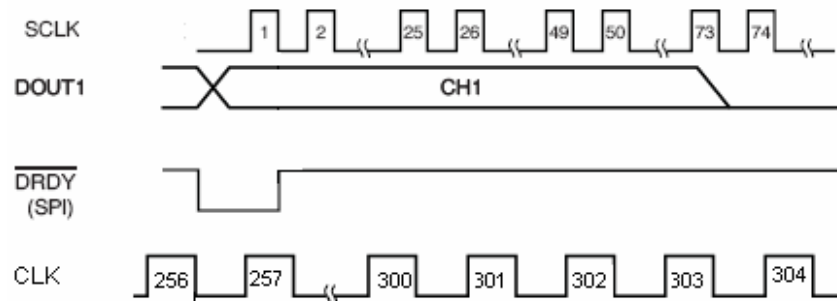
está presente en el pin que lleva el mismo nombre, mientras que si trabaja con el Protocolo FRAME-SYNC, dicha señal debe ser generada por el usuario y debe estar sincronizada con los tiempos y frecuencias de trabajo del dispositivo. Para evitar esta complicación se utilizó el formato SPI. Existen diferentes formas para la entrega de datos según cada protocolo, como lo muestra la tabla 1 .[13.]

FORMAT [2:0]	PROTOCOLO INTERFACE	MODO DOUT	POSICION DE DATOS
000	SPI	TDM	DYNAMIC
001	SPI	TDM	FIXED
010	SPI	DISCRETE	---
011	FRAME-SYNC	TDM	DYNAMIC
100	FRAME-SYNC	TDM	FIXED
101	FRAME-SYNC	DISCRETE	---
110	MODO MODULADOR	---	---

Tabla 1. Formatos de salida.

Con el modo TDM, los datos se entregan a través de un único pin, mientras que en DISCRETE las tramas pertenecientes a cada canal de entrada salen por su respectivo pin de salida. Si se selecciona la posición de los datos FIXED, en caso de que algún canal resulte apagado o deshabilitado, su trama a la salida será reemplazada con ceros. Por su parte, en modo DYNAMIC, el espacio de la trama perteneciente al canal inactivo será ocupado por la trama del canal siguiente. En este caso se seleccionó TDM-DYNAMIC con el fin de obtener los datos por un solo pin y disminuir el número de conexiones, reduciendo el riesgo de error. La interfaz SPI se comporta como se muestra en la figura 21.

Figura 21. Interfaz SPI



Fuente: Autor.

Para que una trama de 24 bits esté lista, se necesitan 256 pulsos del CLK, y cuando esto sucede, el pin DRDY (data ready) se pone bajo y al siguiente pulso de SCLK retorna a alto. El SCLK es el reloj encargado de la velocidad de transferencia; por cada pulso de reloj de SCLK, el convertidor transfiere un bit perteneciente a la muestra al pin de salida. El SCLK gobierna la velocidad de transferencia: entre mayor sea esta frecuencia, menor será el tiempo de transmisión. Con el fin de evitar errores, es necesario que el convertidor y el microcontrolador, al cual llegarán los datos, tengan la misma velocidad de transferencia.

3.4.6 Sincronización De La Frecuencia De Muestreo

Como se mencionó anteriormente, para que los datos de la señal de entrada sean correctamente analizados, es necesario que la frecuencia de muestreo esté sincronizada con la frecuencia de la red. El convertidor permite variar su frecuencia de muestreo si se varía la frecuencia del CLK. En consecuencia, se requiere conocer las frecuencias de la etapa de procesamiento entregadas a las muestras. Existen diferentes fenómenos bajo análisis: el primero de ellos es el de huecos y picos de tensión, el segundo, el de armónicos e inter armónicos, y el último, el de flicker. Para el análisis de los huecos de tensión es necesario que la frecuencia a la que se entregan las muestras cumpla con la siguiente ecuación:

Ecuación 1. Frecuencia de datos requerida para el análisis del fenómeno de huecos de tensión.

$$F_{data} = \frac{1}{\left[\frac{1}{\left[\frac{F_{sistema}}{128} \right]} \right]}$$

Por otro lado, la frecuencia que requiere el análisis de los armónicos e inter armónico está dada por la siguiente fórmula:

Ecuación 2. Frecuencia de datos requerida para el análisis del fenómeno de armónicos.

$$F_{data} = \frac{1}{\left[\frac{[F_{sistema}] * 12}{2048} \right]}$$

Y por último, para el análisis del flicker, cualquiera de estas frecuencias está permitida. Es claro que nuestro sistema de conversión solo tiene un convertidor y los datos son entregados por un único canal de salida a una única frecuencia. Por eso fue necesario escalar por un número entero las anteriores ecuaciones con el fin de igualarlas, y así lograr satisfacer los requisitos de ambos análisis. La ecuación 3 muestra la igualdad a la cual se llega.

Ecuación 3. Igualación de las frecuencias requeridas.

$$F_{data} = \left[\frac{1}{\left[\frac{[F_{sistema}] * 12}{2048} \right]} \right] * 3 = 4 * \left[\frac{1}{\left[\frac{F_{sistema}}{128} \right]} \right]$$

De esta manera, la frecuencia de salida de los datos cumple con ambos requisitos; lo único que resta hacer es realizar un diezmado al momento en que las muestras a las diferentes etapas de estudio de los diferentes fenómenos, es decir para poder realizar el análisis de huecos de tensión es necesario diezmar la

frecuencia F_{data} en 4, mientras que para el análisis de los armónicos debe diezarse en 3.

Con base en las frecuencias a las que son requeridas las muestras, se puede calcular la frecuencia del CLK mediante la ecuación 4.

Ecuación 4. Frecuencia del CLK.

$$F_{CLK} = 4 * 256 * \left[\frac{1}{\frac{F_{sistema}}{128}} \right]$$

Con la frecuencia del CLK ya establecida se puede obtener una idea del rango en el cual variará dicha frecuencia, teniendo en cuenta que la norma exige que la unidad constructiva permita ajustes de frecuencias para una posible variación entre 50Hz y 69Hz de la frecuencia de la red. Al hacer el cálculo se encuentra que para 50Hz la frecuencia del CLK es de $6.5536 * 10^6$ Hz, mientras que para 69Hz es de $9.04397 * 10^6$ HZ. Encontrar un dispositivo de valor razonable que generara señales de reloj a estas frecuencias, representó una dificultad para la continuación del proyecto. Finalmente, después de analizar las diferentes opciones que el mercado ofrecía, se encontró el CY22150 de CYPRESS, el cual es un PLL programable que permite obtener señales de reloj que varían entre los 80KHz y 200MHz [13].

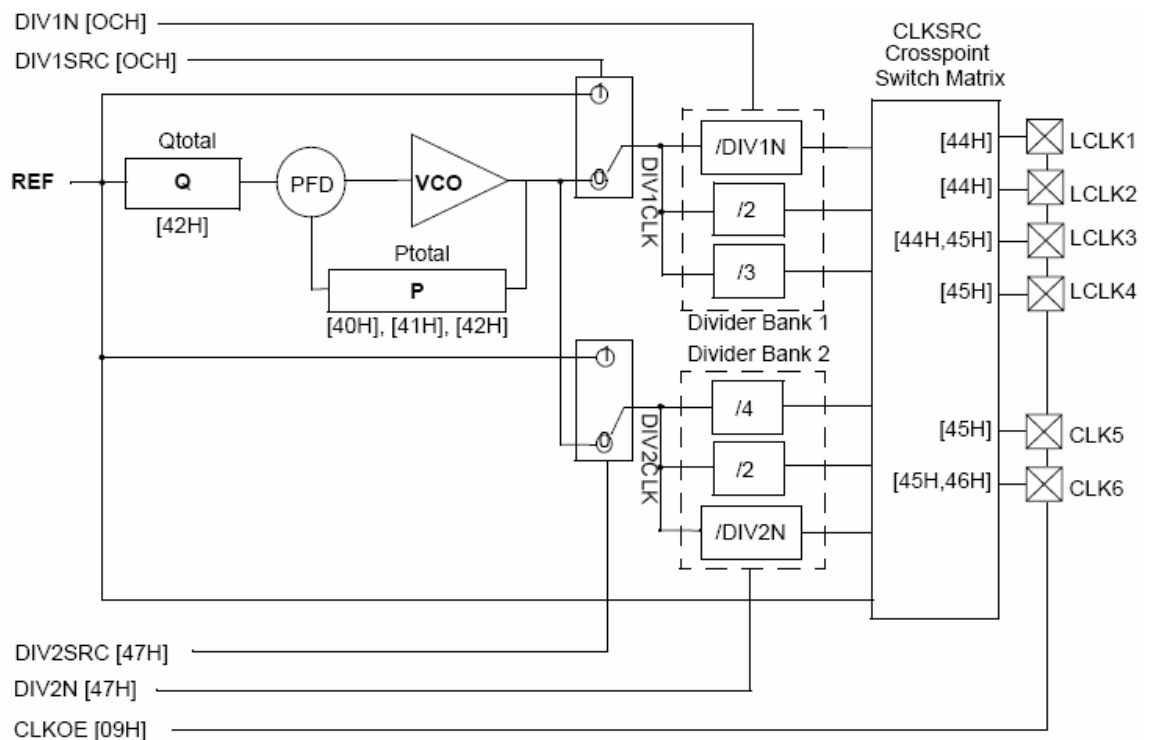
El principio de operación del dispositivo es el siguiente: el CY22150 necesita una frecuencia de referencia (REF), que en este caso será proporcionada por un cristal de 8MHz. Internamente existen dos etapas esenciales: el oscilador controlado por voltaje (VCO) y los post divisores. El VCO posee una serie de registros que permiten alterar el valor de la frecuencia de referencia. Dichos registros son llamados P y Q. P puede tomar valores entre 2 y 2055 y es el encargado de multiplicar la señal REF, mientras que Q puede variar entre 2 y 129 y es el registro que divide la señal. Después de eso la frecuencia que sale del oscilador puede ser nuevamente dividida por cualquiera de los bloques de post división. Existen

bloques ya definidos que permiten dividir la señal en 2, 3 o 4. Pero también hay bloques que realizan divisiones diferentes, por ejemplo, DIV1N y DIV2N pueden tomar valores entre 2 y 127. De esta manera, la ecuación 5 define la frecuencia de la señal de salida [13].

Ecuación 5. Frecuencia de salida del CY22150

$$CLK = \frac{\left[\frac{[REF * P]}{Q} \right]}{POST\ DIVIDER}$$

Figura 22. Estructura interna del CY22150



Fuente: CY22150 datasheet

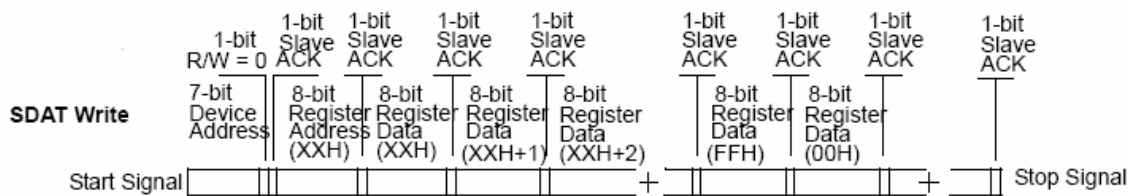
Estos registros pueden ser modificados en cualquier momento, ya que el dispositivo ofrece la posibilidad de puertos de comunicación con el protocolo I²C. Lo que se busca mediante este protocolo es programar el PLL, y, en el caso que la

etapa de procesamiento detecte variaciones en la frecuencia de la red, ésta envíe las órdenes respectivas para que el dispositivo realice los ajustes necesarios.

3.4.6.1 Protocolo I2C

Este protocolo es un estándar que facilita la comunicación entre microcontroladores, memorias y otros dispositivos. Sólo requiere de dos vías de comunicación, SDAT y SCLK. SDAT es el camino encargado de llevar los datos entre los involucrados, mientras que SCLK es el reloj encargado de la velocidad de transmisión. En la figura 23 se presenta la estructura de este protocolo [13].

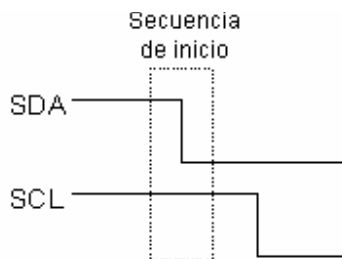
Figura 23. Estructura del protocolo I2C



Fuente: CY22150 datasheet

En primer lugar ambos canales se establecen en alto, la condición de star se cumple cuando el canal SDAT se hace bajo mientras SCLK aun permanece en alto.

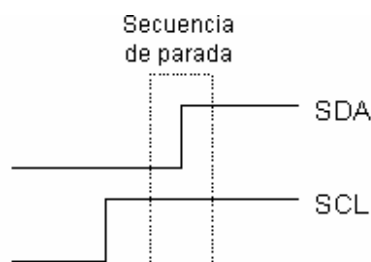
Figura 24. Condición de START.



Fuente: Comunicación - Bus I2C - Robots Argentina.mht

Después hay que enviar un byte que contiene la dirección del dispositivo esclavo (en este caso el PLL), que para esta aplicación es 69H junto con el bit de escritura. Una vez hecho esto, se recibe del esclavo el bit ACK (**Acknowledge**), el cual indica cuando el esclavo ha recibido el mensaje. Posteriormente se envía otro byte que contiene la dirección del registro que se desea modificar, se recibe el ACK, se envía el byte que contiene el dato que se desea poner en el registro, se recibe el ACK, se envía el dato que se quiere establecer en el registro cuya dirección es inmediatamente siguiente a la que se envió inicialmente, se recibe el ACK, se envía el dato que irá en el registro cuya dirección es la siguiente al dato antes enviado, se recibe el ACK. Así sucesivamente se envían los datos que se deseen teniendo en cuenta que las direcciones de sus respectivos registros sean consecutivas. Al final se ordena la señal de STOP, la cual consiste en hacer alto el canal SDA mientras el SCLK está en alto.

Figura 25. Condición de STOP.



Fuente: Comunicación - Bus I2C - Robots Argentina.mht

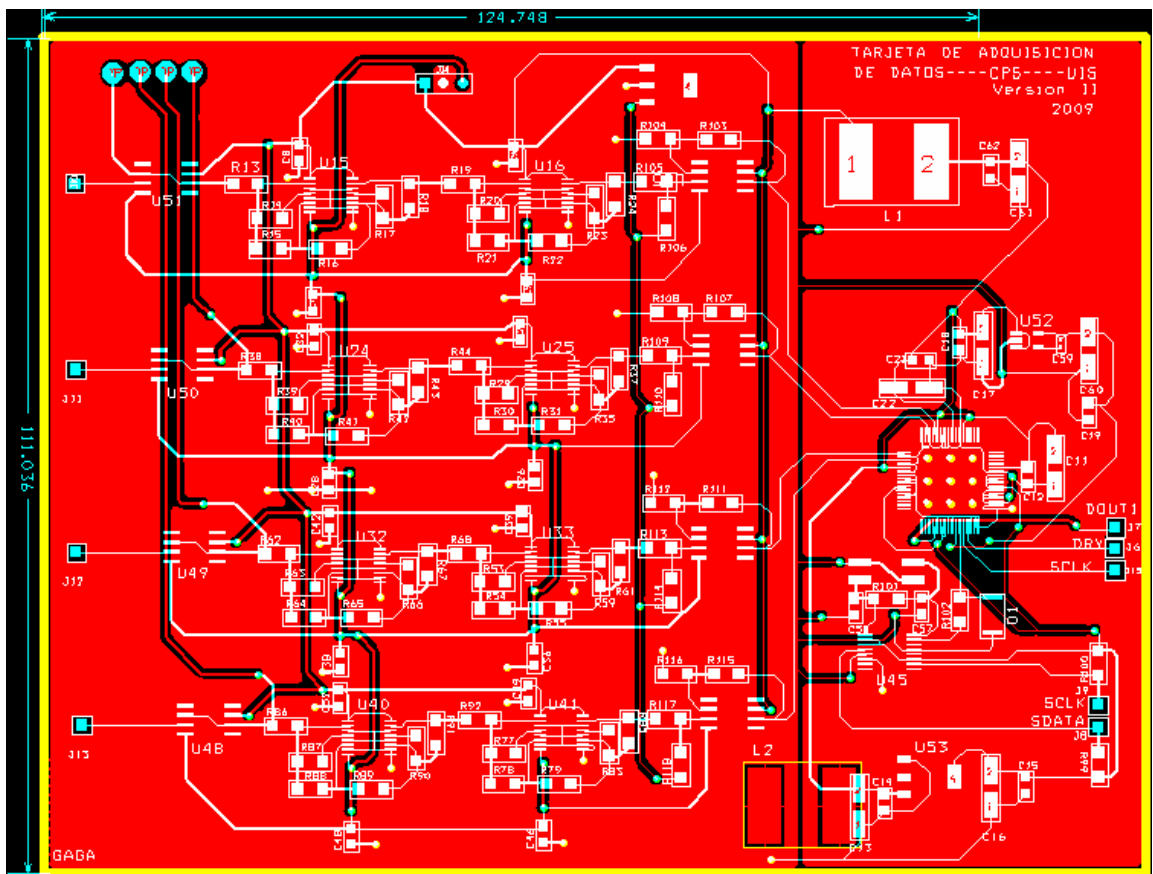
De esta manera se puede ajustar la frecuencia de salida del PLL constantemente, y por ende, variar la frecuencia del CLK. La única desventaja de este método es que dichos registros del PLL están alojados en la memoria volátil, de modo que cada vez que se apague el aparato los datos programados se perderán, obligando a reiniciar el proceso al momento de encenderlo.

4. RESULTADOS

4.1. DISEÑO FINAL DE LA ETAPA DE PROCESAMIENTO

La etapa de procesamiento es como se observa en la figura 26.

Figura 26. PCB de la etapa de procesamiento



Fuente: Autor

En ella se puede identificar claramente los diferentes circuitos que hacen parte de la etapa de procesamiento. De izquierda a derecha aparece el desacople de impedancias, el filtro, el sumador y por último el convertidor analógico-digital con sus respectivas referencias de tensión y el PLL encargado de suministrarle el reloj

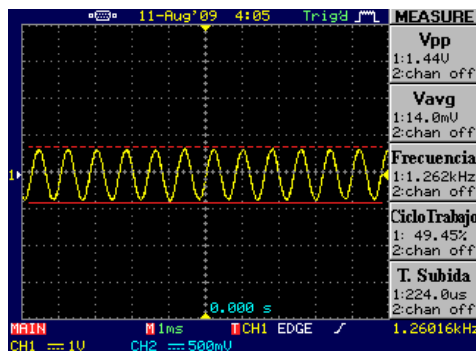
maestro. Este PCB (Printed Circuit Board) fue diseñado teniendo en cuenta la naturaleza digital y analógica de la tarjeta. Una señal digital, como por ejemplo una trama de datos, no es más que la continua conmutación entre alto y bajo, los cuales en determinada secuencia llevan un mensaje. El alto es representado en este caso por 3.3V y el bajo por 0V. De esta manera los arreglos de bits que entrega el convertidor no es otra cosa que una señal que varía constantemente entre 3.3 y 0V; de igual forma el reloj que entrega el PLL es un tren de pulsos cuyo máximo es 3.3V. Esta continua variación genera ruido, el cual se propaga al resto del circuito por el plano de tierra e introduce inestabilidad a los dispositivos de polarización. Teniendo en cuenta este problema se hizo necesario aislar el bloque analógico del digital. Para esto se diseñaron dos planos de tierra, uno para cada parte unidos solo en un punto y por una bobina encargada de disminuir el rizo de las señales allí presentes. También se aisló la polarización a través de otra bobina, para disminuir el efecto sobre la señal de alimentación. Otra consideración que se tuvo en cuenta fue los condensadores de bypass, encargados de disminuir el efecto del ruido introducido por la fuente de polarización. Dichos condensadores fueron puestos según las necesidades de los diferentes dispositivos. Para los filtros solo es necesario un condensador cerámico de 0.1 μ F, mientras que para el convertidor y los reguladores que lo alimentan se incluyó un condensador de 10 μ F electrolítico, el condensador cerámico es el encargado de disminuir el ruido de alta frecuencia, mientras que el electrolítico atenúa el rizo propio de la señal de polarización.. De esta manera se hace un buen manejo de las principales fuentes de ruido del sistema.

El ADS1274 trabaja con una referencia de 2.5V, es decir, reconoce valores de tensión positivos aquellos que están por encima de 2.5V y como negativos los que están por debajo. Por esto se hizo necesario la implementación de un sumador, etapa que se encarga de darle a la señal que viene del filtro el nivel de DC respectivo. El sumador fue implementado con el SN10501 de TEXAS INSTRUMENTS. Este amplificador operacional se caracteriza por ser rail to rail a la entrada y salida y se puede polarizar desde 1.5V a 20V. Para esta aplicación estas dos características son muy importantes, primero el rango de polarización, garantiza que se puede alimentar a la tensión de 5V sin problemas, y segundo el que el amplificador sea rail to rail nos garantiza que la señal a la salida no se va a saturar, ya que se dispone de un rango de 0 a 5V. De esta manera se asegura que el valor máximo digitalizable llegue a los pines de entrada del convertidor. Otra característica importante es el ruido propio del dispositivo a la entrada, el SN10501 posee 13nV magnitud bastante pequeña y que asegura no introducir distorsión que a nos disminuya el número de bits efectivo.

4.2 PRUEBAS A LA ETAPA DE PROCESAMIENTO

Las pruebas a las que se sometió el hardware estuvieron encaminadas a identificar el comportamiento de cada etapa y verificar si dicho comportamiento era el adecuado. En primer lugar se introdujo una señal de 1.4Vpp cuya frecuencia era de 1.2KHz, la señal que se ve a la salida del acople de impedancias se observa en la figura 27.

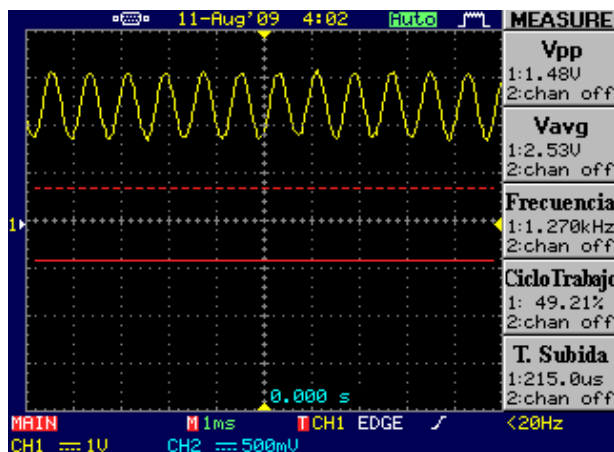
Figura 27. Señal a la salida de la etapa de acople de impedancias



Fuente: Autor.

Como se aprecia en la figura 27 la señal de entrada no sufre ninguna distorsión, mostrando un excelente comportamiento. Como la señal tiene una frecuencia inferior a los 4.416KHz, esta no se ve afectada por el filtro, de modo que si se observa la señal en el sumador y esta está bien, implícitamente el filtro también está operando bien, tal y como se aprecia en la figura 28.

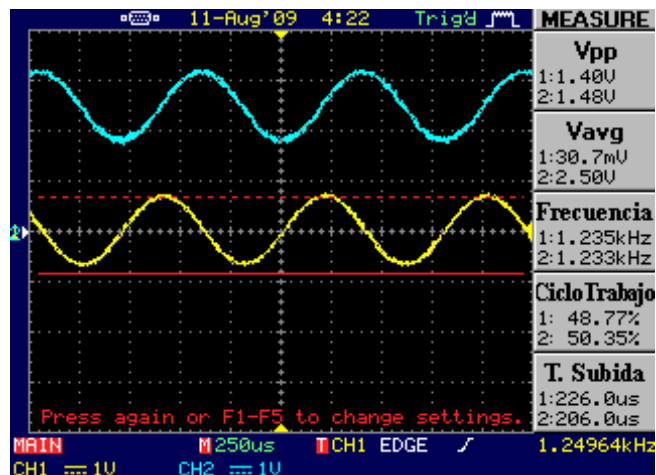
Figura 28. Señal en el sumador



Fuente: Autor.

Lo que queda por observar es esta señal en el sumador comparada con la señal de entrada, como se ve en la figura 29.

Figura 29. Comparacion de la señal de entrada con la señal en el sumador

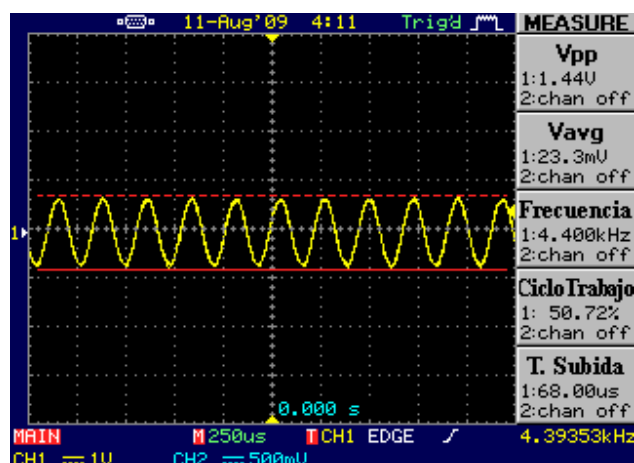


Fuente: Autor

Como se observa la señal en el sumador no sufre ninguna deformación, tan solo se tiene un pequeño corrimiento en fase propio del procesamiento.

La siguiente prueba fue introducir una señal de mayor frecuencia, que para este caso fue de 4.4KHz, muy cerca de la frecuencia de 3dB del filtro, y observar nuevamente el comportamiento en cada una de las fases. En la grafica 30 se observa la señal a la salida de la etapa de desacople de impedancias.

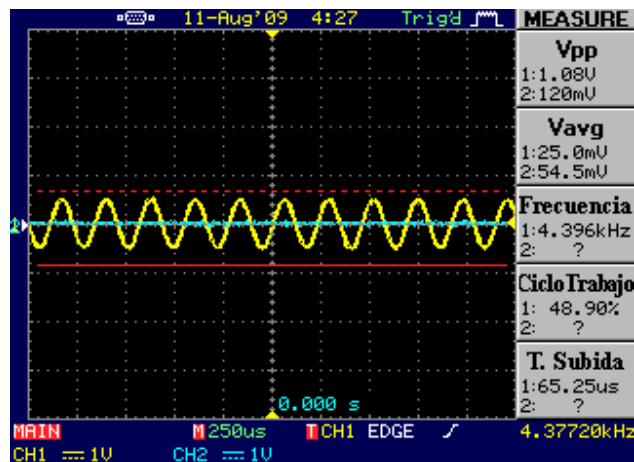
Figura 30. Señal de 4.4KHz a la salida de la etapa de desacople



Fuente: Autor

Nuevamente y como se esperaba la señal no presenta ninguna distorsión, a continuación en la figura 31 se observará la señal a la salida del filtro.

Figura 31. Señal de 4.4KHz a la salida del filtro

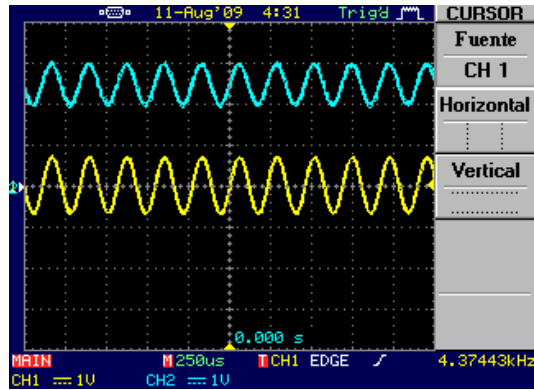


Fuente: Autor.

Se espera que para esta frecuencia la amplitud de la señal se vea afectada en un factor de 0.707106, ya que esta es la frecuencia de 3dB del filtro. La tensión pico de la señal de entrada es 0.72V que multiplicada por 0.707106 nos da una amplitud pico de 0.509V, lo que nos indica que la tensión pico-pico de la señal a la salida del filtro es de 1.018V, muy similar a la amplitud que se observa en la figura 31. Esta sencilla prueba nos garantiza el buen funcionamiento del filtro.

Ahora en la figura 32 se aprecia la señal de entrada comparada con la del sumador.

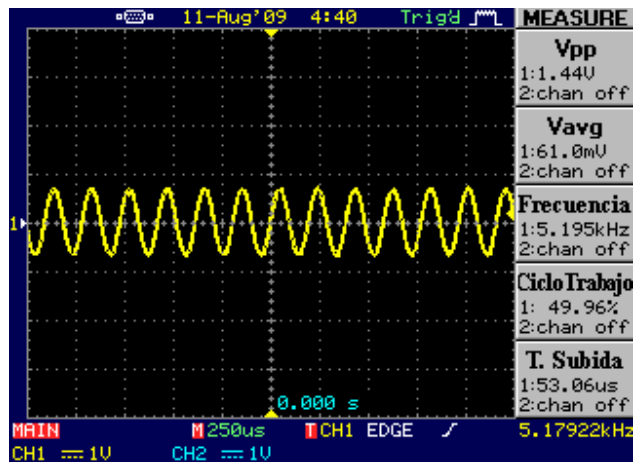
Figura 32. Comparacion de la señal de 4.4KHz de entrada con la señal a la salida del sumador



Fuente: Autor

La ultima prueba consistió en introducir una señal de 5.2KHz y observar el comportamiento de cada etapa. En la figura 33 se aprecia la señal a la salida de la etapa de desacople.

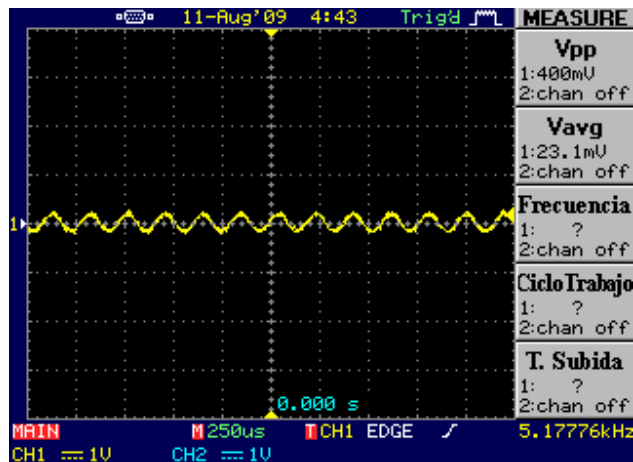
Figura 33. Señal de 5.2KHz a la salida de la etapa de desacople



Fuente: Autor.

A continuación en la figura 34 se tiene la salida del filtro.

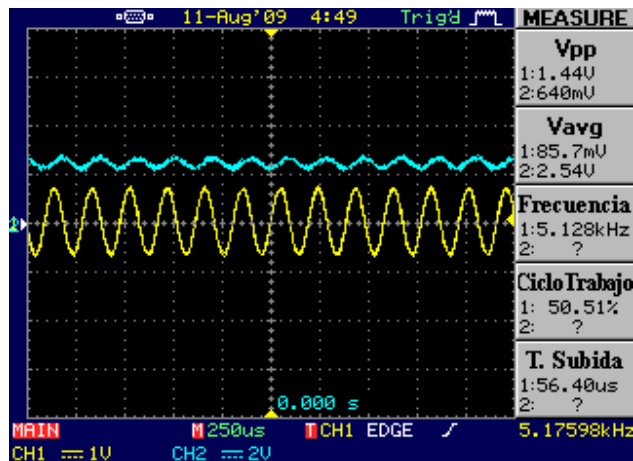
Figura 34. Salida del filtro de una señal de 5.2KHz



Fuente: Autor

Como se observa para esta frecuencia la atenuación es mucho mayor, tal como era esperado. Y por ultimo puede apreciarse en la figura 35 la comparación entre la señal de entrada y la señal a la salida del sumador.

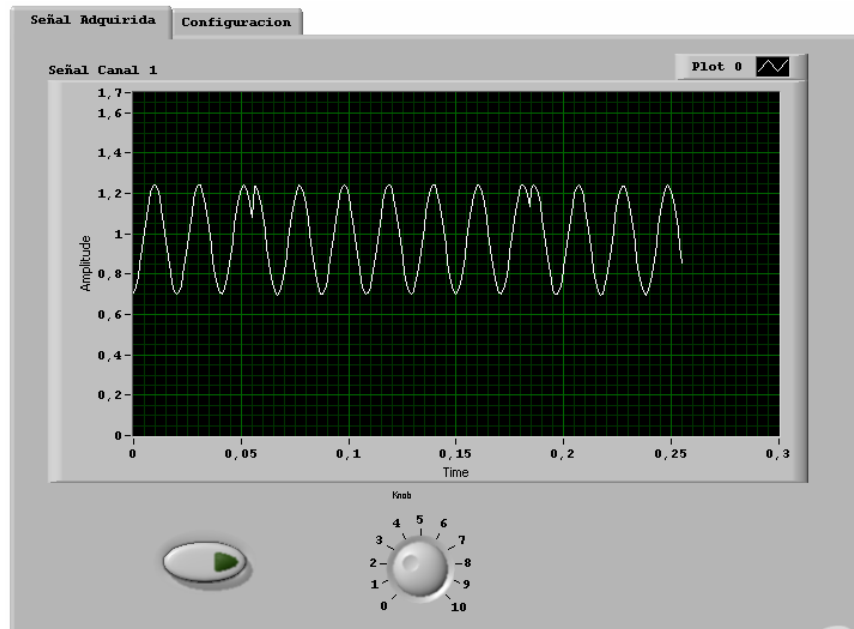
Figura35. Comparacion de la señal de 5.2KHz de entrada con la señal a la salida del sumador



Fuente: Autor

Para probar que los datos que se obtuvieron de las pruebas fueran correctos, se capturaron con la tarjeta de desarrollo del microprocesador MCF5213 (COLD FIRE2) de FREESCALE, y luego los valores obtenidos son visualizados en LABVIEW, que nos permite observar casi que en tiempo real la señal que representan las muestras obtenidas, tal como se observa en la figura 36.

Figura 36. Visualización en LABVIEW de la señal digitalizada

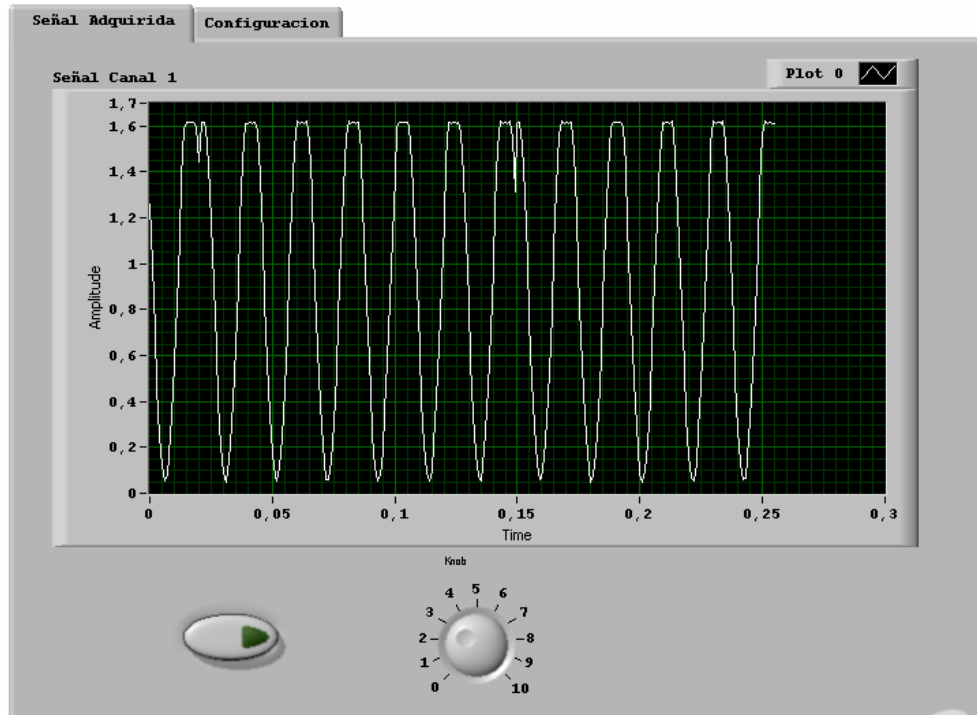


Fuente: Autor

En este caso se observa que los datos capturados efectivamente representan una señal senoidal como la que se tiene a la entrada, aunque en la figura no se puede apreciar una medida de la magnitud ni de la frecuencia de la onda, esta señal representa la señal entrada de la primera prueba, es decir una señal seno de 1.2KHz de frecuencia y 1.4Vpp de amplitud.

El ads1274 tiene un rango de entrada de 0 a 5V, lo que nos indica que señales que estén por encima de los 5V se verán saturadas. Un ejemplo de este fenómeno se aprecia en la figura 37.

Figura 37. Señal digitalizada saturada



Fuente: Autor.

Debido a esto, el valor máximo de tensión que llega a la tarjeta de procesamiento es 2.5V, el cual representa la tensión máxima a la entrada de la tarjeta de adecuación es decir, por ejemplo, para la rama de 0 a 220V la tensión máxima medible es 396Vp ($1.2 \cdot 1.5 \cdot 220$), y dicho valor de tensión es reducido a 2.5V, de tal modo que se garantiza que el máximo valor que exige la norma UNE 61000-4-7 sea digitalizado.

El otro aspecto a verificar en cuanto a digitalización se refiere es el ENOB. El ENOB es el número de bits efectivos que se pueden obtener del convertidor, teniendo en cuenta la influencia del ruido del sistema. Para calcularlo basta con seguir la ecuación 6.

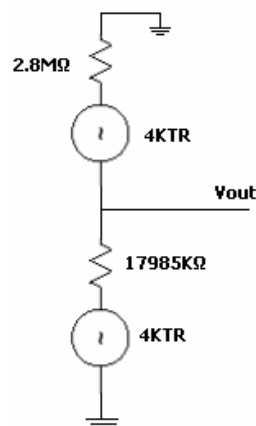
Ecuación 6. ENOB

$$DR = 20 \log_{10} \frac{\text{máximo nivel rms de entrada}}{\text{nivel de ruido rms}} \quad [dB]$$

$$n = \frac{DR - 1,76}{6,02} \quad [bits]$$

Donde el DR es la relación entre el valor R.M.S de la señal a la entrada del convertidor con el valor R.M.S del ruido a la entrada del dispositivo en decibeles. Para tener una medida del valor R.M.S del ruido hay que hacer un análisis de las contribuciones de ruido de todo el sistema. Para empezar se calculará el ruido en el divisor de tensión, el encargado de las tensiones de 0 a 220Vp, de la etapa de adecuación. En la figura 38 se aprecia el circuito y las contribuciones de ruido.

Figura 38. Contribuciones de ruido del divisor de entrada



Fuente. Autor

De la figura 38 se puede deducir la expresión para esta contribución de ruido, la cual se tiene en la ecuación 7.

Ecuación 7. Ruido de la divisor de la etapa de entrada.

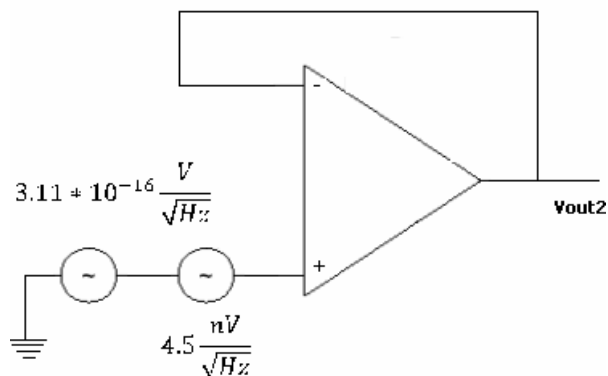
$$V_{N1}^2 = \frac{4 * K * T * 17895 * (2.8^6)^2 + 4 * K * T * 2.8^6 * (17895)^2}{(17895)^2 + (2.8^6)^2}$$

Fuente: Autor

Donde K es la constante de Boltzman y T la temperatura en grados kelvin, de modo que la contribucion de ruido del divisor de tensión es de $3.11 \cdot 10^{-16} \text{V}$.

Ahora el ruido antes calculado es el ruido de entrada de la siguiente etapa, que es el desacople de impedancias, más el ruido propio del dispositivo. En la figura 39 se aprecia el circuito que lo describe.

Figura 39. Contribucion de ruido de la etapa de desacople

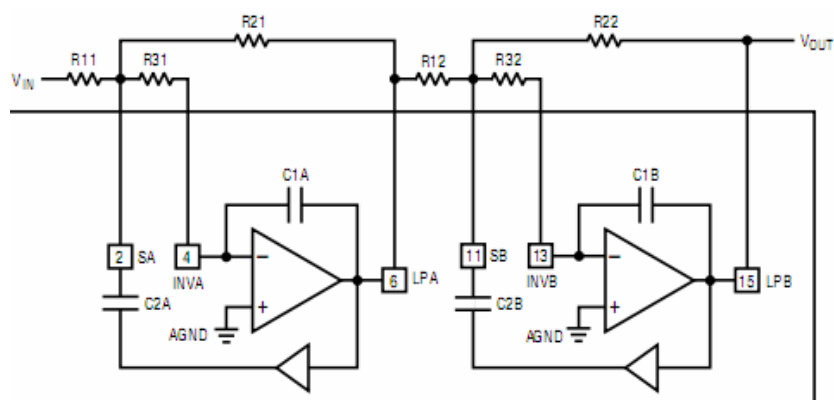


Fuente: Autor

Esta configuración es conocida también como seguidor de tensión de modo que la tensión que se ve a la entrada se refleja en la salida, del mismo modo la tensión de ruido, de esta manera la tensión de ruido a la salida de esta etapa es 4.5nV .

De la misma forma este ruido se dirige hacia la entrada de la siguiente etapa, es decir el filtro, y debe sumarse con las contribuciones propias del filtro y de los elementos pasivos que lo acompañan. En la figura 40 se tiene un modelo del circuito interno del filtro.

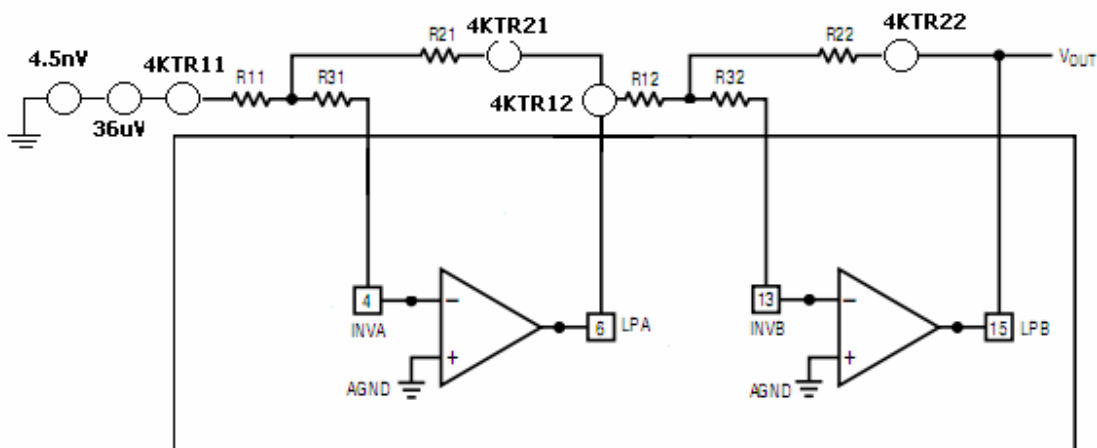
Figura 40. Circuito interno del filtro



Fuente: Hoja de datos del LTC1563-2

Para el análisis de ruido podemos prescindir de los condensadores ya que la contribución de ruido de estos es despreciable, de modo que el circuito a analizar es el que se ve en la figura 41.

Figura 41. Contribucion de ruido del filtro



Fuente: Autor

En este esquema se ve la contribucion de ruido de cada uno de los elementos pasivos que acompañan al filtro, más el ruido propio del dispositivo más el ruido de las etapas anteriores. Al desaparecer los condensadores R32 y R31 no tienen aporte de ruido ya que por ellos no circula corriente; de modo que la relación que describe el ruido a la salida del filtro se ve en la ecuación 8.

Ecuacion 8. Aporte de ruido del filtro

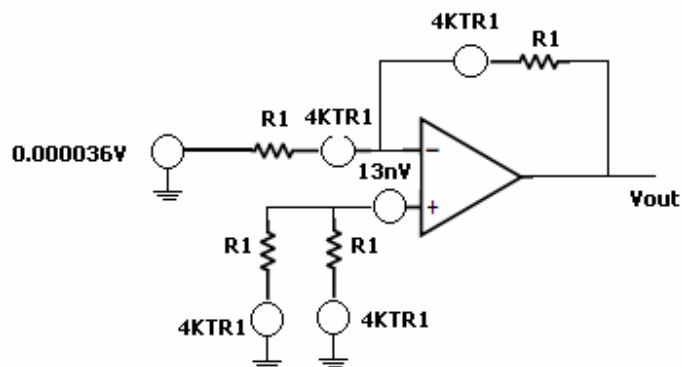
$$V_{N3}^2 = \left(36\mu V + 4.5nV + \frac{R21^2}{R11^2} * 4KTR11^2 + 4KTR21^2 \right) * \frac{R22^2}{R12^2} + 4KTR22^2 + \frac{R22^2}{R12^2} * 4KTR12$$

Fuente: Autor

Así si reemplazamos con los valores de las respectivas resistencias el valor de la contribucion de ruido de el sistema hasta aqui a la señal tratada es de 0.000036V.

Por ultimo hay que sumar el ruido hasta ahora calculado más el ruido de el sumador. En la figura 42 se aprecia el circuito a analizar.

Figura 42. Contribucion de ruido del sumador



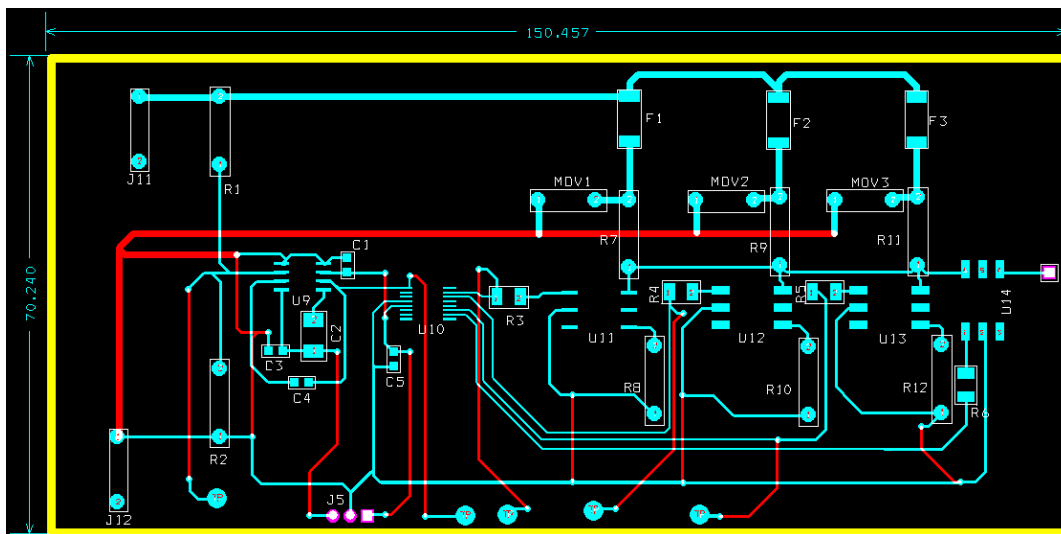
Fuente: Autor

Como todas las resistencias son iguales la contribucion de ruido de esta etapa es la suma de la contribucion de ruido del resto del sistema, más el ruido propio de SN10501, más 4 veces la contribucion de ruido de las resistencias, de modo que la tensión de ruido R.M.S a la entrada del convertidor es 0.0003601V. Con este valor de tensión de ruido y sabiendo que 3.55V es el valor R.M.S de señal máxima a la entrada del convertidor podemos reemplazar en la ecuacion 6 y obtener que el numero de bits efectivo a la salida es 16.

4.3. ETAPA DE ADECUACIÓN

El diseño final de la etapa de entrada se observa en la figura 43.

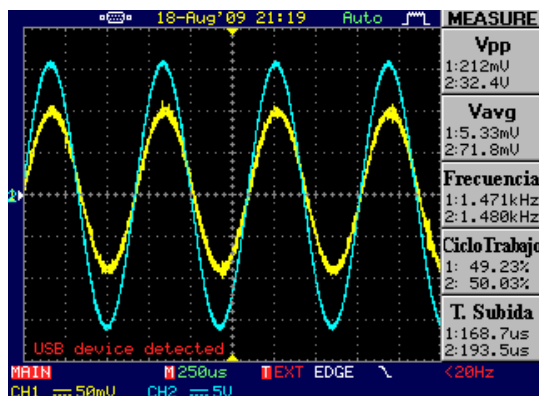
Figura 43. Diseño final de la etapa de entrada



Fuente: Autor

Como se puede observar este PCB no tiene plano de tierra, para evitar que las altas tensiones que se conectarán a la entrada creen un efecto capacitivo entre la bornera y el plano, lo cual provocaría un daño permanente en la tarjeta. Las pruebas a las que se sometió esta tarjeta fueron 2; la primera de ellas fue conectar a la entrada una señal de 32Vpp, como se aprecia en la figura 44 y verificar que la señal de salida de la tarjeta no estuviera distorsionada y que su amplitud fuera la correcta.

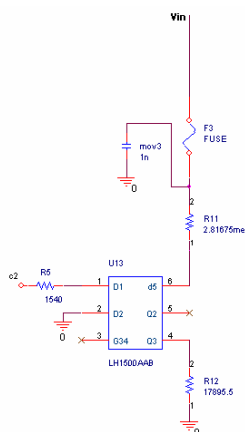
Figura 44. Comparación de la señal de 32Vpp a la entrada de la etapa de adecuación y su respectiva salida



Fuente: Autor

El divisor que se debe activar para este caso es el que se ve la figura 38 y está compuesto por una resistencia de $2.816\text{M}\Omega$ y una resistencia de $17.89\text{K}\Omega$. Para una tensión de entrada de 32Vpp y con este divisor se espera a la salida una tensión de 204mVpp , tensión que se puede verificar en la figura 45. La diferencia entre el valor teórico y que resulta de la prueba se debe a la falta de precisión de las resistencias.

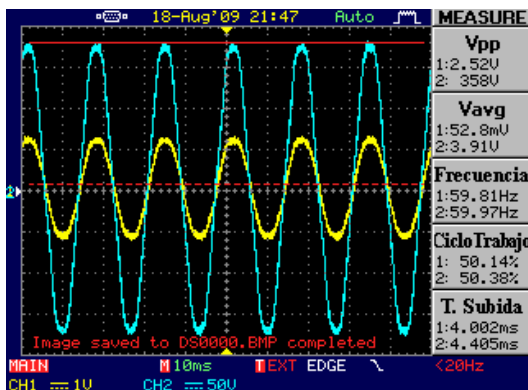
Figura 45. Divisor de tensión encarga de adecuar las tensiones entre 0 y 220V



Fuente: Autor

La segunda prueba consistió en conectar a la entrada una señal cuya amplitud fue esta vez de 182Vp . Al igual que en caso anterior el divisor a activar es el encargado de las tensiones entre 0 y 220V . En la figura 46 se observa la comparación entre la señal de entrada y salida de la tarjeta.

Figura 46. Comparación de la señal de 358Vpp a la entrada de la etapa de adecuación y su respectiva salida



Fuente: Autor

Para esta tensión de entrada se espera a la salida del divisor una señal con una magnitud de 2.3Vpp.

Como se puede apreciar a través de las pruebas esta tarjeta ha sido diseñada para trabajar con tensiones pico, es decir el primer canal está diseñado para adecuar tensiones de 0 a 220Vp, el segundo para tensiones entre 220Vp y 440Vp y el ultimo para tensiones entre 440Vp y 660Vp. La norma UNE 61000-4-7 exige que la etapa de entrada soporte una sobretensión de 1.2 veces la tensión a la entrada y que pueda manejar un factor de cresta de 1.5. Esta etapa de adecuación cumple estos requerimientos pero calculados sobre tensiones pico, es decir si esta tarjeta se conecta a un transformador cuya tensión nominal es de 220V R.M.S hay que tener en cuenta que la tensión pico es de 310V, y que el valor de tensión más alto que se puede aplicar es 396Vp ($220 \cdot 1.2 \cdot 1.5$), que corresponde a una tensión de 280,5V R.M.S. Esto último nos revela que el máximo valor de sobretensión que puede medir esta tarjeta es de 60.5V R.M.S, para el primer canal. Para el canal de 440Vp la máxima tensión medible que se le puede aplicar es 792Vp ($440 \cdot 1.2 \cdot 1.5$), lo que nos indica que el máximo valor R.M.S medible a la entrada es de 561.7V; lo que nos da una sobretensión medible de 121,7V R.M.S. De la misma manera el último canal permite una máxima tensión pico medible de 1188Vp ($660 \cdot 1.2 \cdot 1.5$), lo que nos indica que para una entrada de 660V R.M.S, la máxima sobretensión medible es de 182,5V R.M.S.

CONCLUSIONES Y OBSERVACIONES

- Se diseñó una tarjeta de adecuación capaz de manejar tensiones que pueden variar entre 0 y 1188Vp, divididos en tres ramas; la primera adecua tensiones entre 0 y 396Vp, la segunda entre 396Vp y 792Vp y la última para tensiones entre 792Vp y 1188Vp.
- Los rangos dentro de los cuales trabaja la etapa de adecuación cumplen con los requerimientos de la norma UNE 61000-4-7, para etapas de entrada.
- La tarjeta de adecuación tiene un retardo de aproximadamente 35s, programado para permitir el establecimiento de la señal que se va a digitalizar.
- El diseño final de la etapa de adecuación no permite implementar los circuitos de protección para cada una de las ramas al mismo tiempo; solo uno y debe ser seleccionado teniendo en cuenta la tensión del transformador al que se va a conectar.
- El sistema de protección funciona correctamente para las pruebas realizadas.
- Se diseñó una tarjeta de tratamiento y digitalización de datos capaz de digitalizar cuatro canales de tensión y ajustar según las necesidades, la frecuencia de muestreo de la misma.
- Las señales de reloj que genera el CY22150 son lo suficientemente precisas para lograr variaciones de frecuencia en el convertidor con pasos de 0.1Hz.
- La polarización del convertidor ADS1274 debe ser muy estable y precisa, ya que no permite variaciones mayores del 9% en la polarización del núcleo digital y del 0,05% en la polarización analógica del convertidor..
- Para lograr aprovechar la totalidad del rango de entrada es necesario polarizar el pin VREFP con 5V y no con 2.5V como se había planteado al principio.
- En la transmisión de datos entre la tarjeta de tratamiento y la tarjeta de desarrollo del microprocesador MCF5249 se inducía mucho ruido por efecto de los cables, por lo que fue necesario utilizar cable de par trenzado para tratar de disminuir este efecto.

- La señal adquirida, fue observada utilizando las herramientas computacionales LABVIEW y MATLAB, comprobando el buen funcionamiento del sistema implementado.
- El número de bits efectivos que asegura el sistema implementado es de 16.
- Los 8 bits que se pierden se deben a la alta contribución al ruido que hace el filtro.

RECOMENDACIONES

- Cuando se realicen pruebas con las tarjetas hay que procurar no dejar los pines de entrada al aire para prevenir problemas de inducción de tensión por efecto antena.
- Para futuros trabajos sería recomendable trabajar con un convertidor cuya configuración para un trabajo óptimo sea menos compleja, además el ADS1274 es un dispositivo muy sensible a los cambios de tensión de polarización.
- Si es necesario mantener una alta cantidad de bits efectivos a la salida, es recomendable no implementar filtros con dispositivos integrados que vengan diseñados para ello, si no mejor construirlos con amplificadores operacionales.

REFERENCIAS

- [1] Texas Instruments, Hoja de datos ISO122.
- [2] National Semiconductor, Hoja de datos AD736.
- [3] Vishay, Hoja de datos LH1500AAB.
- [4] Vishay, Hoja de datos LH1511BAB.
- [5] National semiconductor, Hoja de datos AD210.
- [6] Littelfuse, Hoja de datos 459 series PICO.
- [7] Phoenix Contact, Datasheet MKDS 5/ 2-9.
- [8] Texas Instruments, Hoja de datos OPA37.
- [9] Texas Instruments, "FILTER DESIGN FOR THE UAF42 UNIVERSAL ACTIVE FILTER", 2000
- [10] Linear, Hoja de datos LT1761-1.8,
- [11] National semiconductor, Hoja de datos Lm1117-3.3
- [12] Texas instruments, Hoja de datos ADS1274
- [13] Cypress, Hoja de datos CY22150

BIBLIOGRAFÍA

- HALL EFFECT SENSING AND APPLICATION ,
WWW.HONEYWELL.COM/SENSING, consultado el 16 de junio de 2008
- ¿QUÉ ES “FACTOR CRESTA” Y “POR QUE SE USA”?,
Autor: FRIEDMAN Alan , www.DLlengineering.com , consultado el 16
De junio de 2008
- ANALOG INTEGRATED CIRCUIT DESING, Autor: John & Martin, 2003
- OP AMPS FOR EVERYONE, Ron Mancini, 2002
- Microelectronic circuits by Sedra Smith 5 edición, Autor: Sedra Smith, 2004
- Quad/Octal, Simultaneous Sampling, 24-Bit Analog-to-Digital Converters,
ADS1274 datasheet, TEXAS INSTRUMENTS.
- Ultra-Low Noise, Precision OPERATIONAL AMPLIFIERS, OPA37 datsheet,
TEXAS INSTRUMENTS
- 1 Form A High-Voltage Solid State Relay, LH150ABB1 hoja de datos, VISHAY
SEMICONDUCTORS
- MC68HC908QY4 hoja de datos, FREESCALE SEMICONDUCTOR
- ONE PLL GENERAL- PURPOSE ,FLASH PROGRAMMABLE AND TWO WIRE
SERIALLY PROGRAMMABLE CLOCK GENERATOR, CY22150 hoja de
datos, CYPRESS
- ACTIVE RC, 4TH ORDER LOWPASS FILTER FAMILY, LTC1563-2 hoja de
datos, LINEAR TECHNOLOGY
- COMUNICACIÓN -BUS I2C, Descripción y funcionamiento, Eduardo J Carletti
- DISEÑO Y CONSTRUCCIÓN DE UN SISTEMA DE ADQUISICIÓN DE
DATOS MICROSÍSMICOS, Jairo Augusto Cala, Omar Leonardo Peña
- CAD SOBREMUESTREADOS, EL CONVERTIDOR SIGMA-DELTA,Ricardo
Valerio Bautista Cuéllar.

- NORMA UNE EN 6100-4-7, Guía general relativa a las medidas de armónicos e interarmónicos, así como a los aparatos de medida, aplicable a las redes de suministro y a los aparatos conectados a éstas.