

***DISEÑO DE UN SINTETIZADOR DE FRECUENCIA PARA UN
TRANSCEIVER INTEGRADO EN TECNOLOGÍA CMOS.***

Fabián Leonardo Cabrera Riaño

*Universidad Industrial de Santander
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga, Agosto del 2006*

*DISEÑO DE UN SINTETIZADOR DE FRECUENCIA PARA UN
TRANSCIVER INTEGRADO EN TECNOLOGÍA CMOS.*

AUTOR

Fabián Leonardo Cabrera Riaño

DIRECTOR

MSc. Elkim Felipe Roa Fuentes

CO-DIRECTOR

Ing. Alfredo Rafael Acevedo Picón

*Universidad Industrial de Santander
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga, Agosto del 2006*

Contenido

1. INTRODUCCIÓN	11
1.1. Especificaciones Generales	12
1.2. Arquitecturas de Síntesis	16
1.2.1. Síntesis Directa Analógica	16
1.2.2. Síntesis Indirecta Analógica	16
1.2.3. Síntesis Directa Digital	22
1.3. Estado del Arte en Sintetizadores de RF	23
1.4. Organización del Documento	24
2. CONSIDERACIONES DE DISEÑO	25
2.1. Esquemas de División	25
2.2. Estabilidad	29
2.3. Tiempo de Establecimiento	32
2.4. Ruido	35
2.5. Estándares de Comunicación Inalámbrica	38
2.6. Consumo de Potencia	41
3. DISEÑO	43
3.1. Estrategia de Frecuencias	43
3.2. Diseño de Componentes	46
3.2.1. Divisores de Frecuencia	46
3.2.2. Modulador Σ - Δ	54
3.2.3. Detector de Fase y Frecuencia	55
3.2.4. Bomba de carga	60
3.3. Diseño del Filtro	64
4. RESULTADOS	71
4.1. Layout	71
4.2. Simulaciones en el Dominio del Tiempo	75
4.2.1. Lazo Directo	75
4.2.2. Lazo Cerrado	79
4.3. Análisis de Ruido	82
4.3.1. PFD y bomba de Carga	82

4.3.2. Modulador Σ - Δ	82
4.3.3. Ruido de fase en la salida del <i>PLL</i>	83
4.4. Resumen de Desempeño del PLL	84
4.5. Observaciones y Conclusiones	86
4.6. Recomendaciones para trabajos futuros	87
Apéndices	91
A. Deducción matemática de fórmulas que involucran las variables de diseño	91
A.1. Función de transferencia de lazo abierto y de lazo cerrado	91
A.2. Componentes del filtro	91
A.3. Coeficientes de la respuesta transitoria	92
B. Formas de Onda del Divisor Dual	93

Dedicado a mi madre Carmen Rosa Riaño, cuyo esfuerzo continuo ha hecho posible cada uno de mis logros. A mis hermanos Karina y Yesid por su apoyo incondicional.

Agradecimientos

El autor expresa sus agradecimientos a las personas e instituciones que han contribuido directa o indirectamente a la realización de este trabajo.

A mi familia y amigos, por acompañarme en todo momento y por brindarme la fortaleza necesaria para superar mis metas. De la misma forma, agradezco a las familias que me hospedaron durante mi permanencia en la universidad.

A la Universidad Industrial de Santander, por haberme formado integralmente como profesional. Al director de proyecto profesor Elkim Felipe Roa Fuentes, por compartir conmigo sus experiencias académicas y orientar mi futuro profesional. Al codirector profesor Alfredo Acevedo, por su colaboración durante la ejecución de este trabajo. Igualmente, a los integrantes del grupo CIDIC por el respaldo que me han dado.

A los miembros del Club Rotario, en especial al señor Rafael Granados y señora Leonor de Granados, por el apoyo económico y moral que me han ofrecido en estos últimos años.

RESUMEN

TÍTULO: DISEÑO DE UN SINTETIZADOR DE FRECUENCIA PARA UN TRANSCEIVER INTEGRADO EN TECNOLOGÍA CMOS¹

AUTOR: FABIÁN LEONARDO CABRERA RIAÑO²

PALABRAS CLAVES: Sintetizador de frecuencia, *PLL*, *CMOS*, radiofrecuencia, circuito integrado, multi-estándar, bomba de carga.

DESCRIPCIÓN

Los Lazos de Control de Fase (*PLLs*) han sido ampliamente usados en aplicaciones tales como recuperación de reloj, demodulación *FM* y síntesis de frecuencia. En este trabajo, un *PLL* N-fraccionario con modulador Sigma-Delta es diseñado para sintetizar la señal portadora en un transceiver CMOS inalámbrico, el cual opera en los estándares de comunicación *GSM* y *Bluetooth*.

La metodología de diseño empleada traslada las especificaciones de ruido, tiempo de establecimiento y estabilidad del *PLL* a un espacio bidimensional, donde las dos variables representan la ubicación de los polos de lazo cerrado. De esta forma el problema se reduce a seleccionar esas dos variables mediante un método gráfico. Se ha deducido matemáticamente expresiones para cada uno de los límites (ruido, tiempo de establecimiento y estabilidad).

Se utilizó una configuración típica para el detector de fase-frecuencia (PFD) que incluye *flip-flops* de lógica dinámica. No obstante, se adicionó un circuito que duplica el rango de detección de fase. El detector de rango extendido permite atacar el problema de *cycles slip* en la respuesta transitoria, sin alterar las características de estabilidad del *PLL*.

¹Modalidad: Trabajo de grado.

²Facultad de Ingenierías Físico-mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: Ing. Alfredo Rafael Acevedo Picón

SUMMARY

TITLE: FREQUENCY SYNTHESIZER DESIGN FOR A TRANSCEIVER INTEGRATED ON CMOS TECHNOLOGY.³

AUTHOR: FABIÁN LEONARDO CABRERA RIAÑO⁴

KEY WORDS: Frequency synthesizer, *PLL*, *CMOS*, radio frequency, integrated circuit, multi-standard, charge pump.

DESCRIPTION

The Phase Locked Loops (PLLs) has been widely used in applications such as clock recovering, FM demodulation and frequency synthesis. In this work, a PLL N-fractional with Sigma-Delta modulator is designed for synthesize the carrier in a CMOS wireless transceiver, it operates under the communication standards GSM and Bluetooth.

The design methodology used, translate the specifications of noise, lock time and stability of the PLL to a bi-dimensional space, where the two variables represent the location of the closed loop poles. In this way the problem is reduced to select these variables trough a graphic method. Mathematical expressions has been deduced for each limit (noise, lock time and stability).

The phase-frequency detector use a typical configuration, that includes *flip-flops* of dynamic logic. Additionally, it was proposed a circuit that duplicates the phase detection range. The extended range detector solve the problem of *cycles slip* in the transient response, without alter the stability characteristics of the PLL.

The layout of the PLL accomplish with actual rules for its fabrication in the $0.35\mu\text{m}$ C35B4 CMOS process of *Austria Micro Systems (AMS)*. The area of the die is $0,027\text{mm}^2$ considering that the filter wasn't integrated. The power consumption is $5,93\text{mW}$ for *GSM* and $9,04\text{mW}$ for *bluetooth*.

³Degree Project.

⁴Faculty of Physics-Mechanical Engineering. Electric, Electronic and Telecommunications School. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: Ing. Alfredo Rafael Acevedo Picón

Capítulo 1

INTRODUCCIÓN

La necesidad de implementar circuitos electrónicos cada vez más complejos dentro de dispositivos de tamaño reducido, ha dado lugar al creciente desarrollo de los circuitos integrados. En la actualidad, la tendencia es que todos los componentes de un sistema electrónico sean integrados en el mismo chip, en ese sentido, uno de los retos que enfrentan los diseñadores de equipos de comunicación inalámbricos es integrar los bloques de Radio Frecuencia (RF) con los de procesamiento digital de datos. Los circuitos RF fueron fabricados inicialmente en tecnologías de buen desempeño a altas frecuencias (Bipolar, GaAs y BiCMOS), mientras la tecnología CMOS ha sido preferida para la parte de procesamiento digital debido al bajo consumo de potencia, bajo costo y alta capacidad de integración. Sin embargo, gracias al continuo aumento en su frecuencia de operación, la tecnología CMOS se ha convertido en una solución para integrar la parte de RF con los bloques digitales.

En comunicaciones inalámbricas se usan sistemas de transmisión y recepción (*transceivers*¹) que sirven como interfaz entre el usuario y el medio de comunicación. En un *transceiver* inalámbrico se pueden distinguir dos partes: el *front-end* y el *back-end*. El *front-end* se encarga de convertir la señal RF en una señal banda-base y viceversa. Por otra parte, el *back-end* modula y demodula la señal entre los dominios analógico-digital. En la figura 1.1 se pueden observar los principales componentes de un *transceiver* genérico.

En el receptor, la señal captada por la antena atraviesa el filtro multiplexor y luego es acondicionada por el amplificador de bajo ruido (LNA). La función del LNA es brindar ganancia a las señales de bajo nivel de potencia procedentes de la antena sin degradar su relación señal a ruido. Después, la señal RF amplificada se combina mediante el *mixer* con la señal del oscilador local (LO) y se filtra dando lugar a la señal en banda-base, la cual se convierte luego al dominio digital para permitir su posterior procesamiento. En el transmisor, la señal proveniente del procesador se convierte a analógica y luego se mezcla con la portadora sintetizada localmente, como resultado se tiene una señal a la frecuencia de transmisión, que finalmente es transferida a la antena a través del amplificador de potencia.

El oscilador local debe proveer un tono de alta pureza con una exactitud en frecuencia dada en partes por millón (*ppm*), dicha frecuencia debe ser variada en pequeños pasos para seleccionar el canal de comunicación. Para satisfacer estas necesidades que son críticas en el desempeño del *transceiver*, debe existir un bloque que controle la señal generada por el oscilador local, a este bloque comúnmente

¹*Transceiver* es una conjunción de las palabras en inglés *transmitter* y *receiver*.

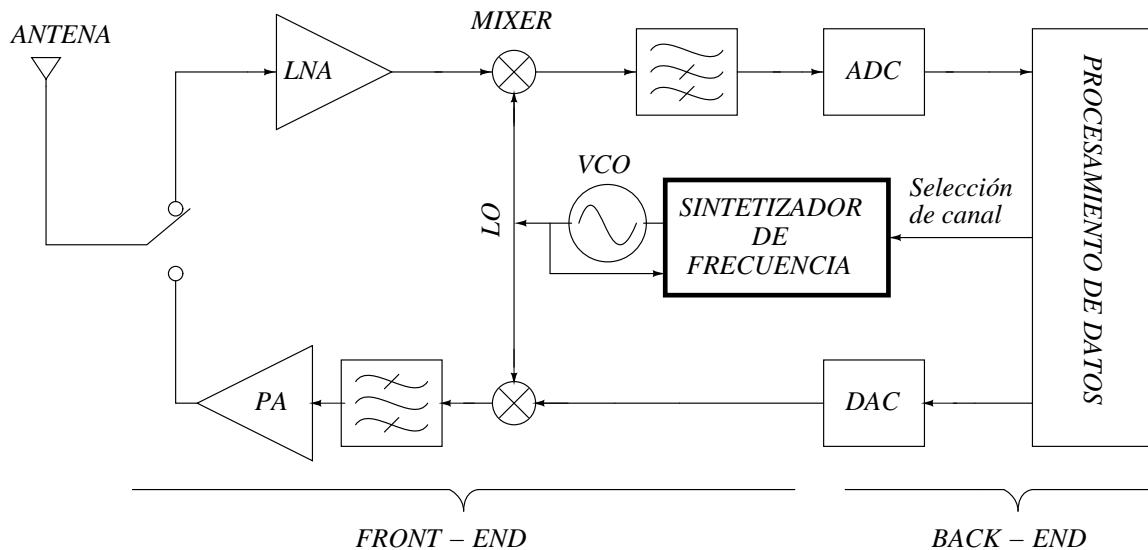


Figura 1.1: Transceiver de arquitectura genérica.

se le llama sintetizador de frecuencia.

En este trabajo se expone el diseño de un sintetizador de frecuencia integrado en tecnología CMOS, fundamentado en la revisión de publicaciones internacionales que incluye libros, tesis de doctorado y artículos entre otros. De la documentación mencionada se recopilieron diferentes topologías y estrategias que han sido adaptadas de acuerdo a las especificaciones de diseño.

El sintetizador de frecuencia diseñado basa su funcionamiento en un lazo de control de fase (PLL^2) que usa un modulador Σ - Δ para variar su frecuencia en pasos N-fraccionarios. El sintetizador es verificado mediante simulación y cumple con las características mínimas requeridas por los estándares de comunicación inalámbrica *GSM* y *Bluetooth*.

Esta experiencia de diseño ejerce un soporte para la futura implementación de circuitos integrados en la Universidad Industrial de Santander, reforzando la idea de que es posible participar de los conocimientos sobre diseño de circuitos integrados adelantados a nivel mundial, a pesar de no estar desarrollada la industria microelectrónica en Colombia.

A lo largo de este capítulo introductorio se presenta un marco contextual para el PLL diseñado. En primer lugar se mencionan las características de desempeño de un sintetizador de frecuencia. Luego, se hace un repaso de las diferentes arquitecturas usadas en sintetizadores con el fin de justificar la arquitectura seleccionada. Finalmente, se muestran los aspectos más relevantes en el estado del arte, con el objetivo de cuantificar el desempeño alcanzado por sintetizadores de trabajos recientes.

1.1. Especificaciones Generales

Usualmente el desempeño de un sintetizador de frecuencia se mide en relación a las siguientes especificaciones: la pureza espectral del tono sintetizado, el tiempo de establecimiento, el consumo de potencia,

² PLL son las iniciales de su nombre en inglés *Phase Locked Loop*.

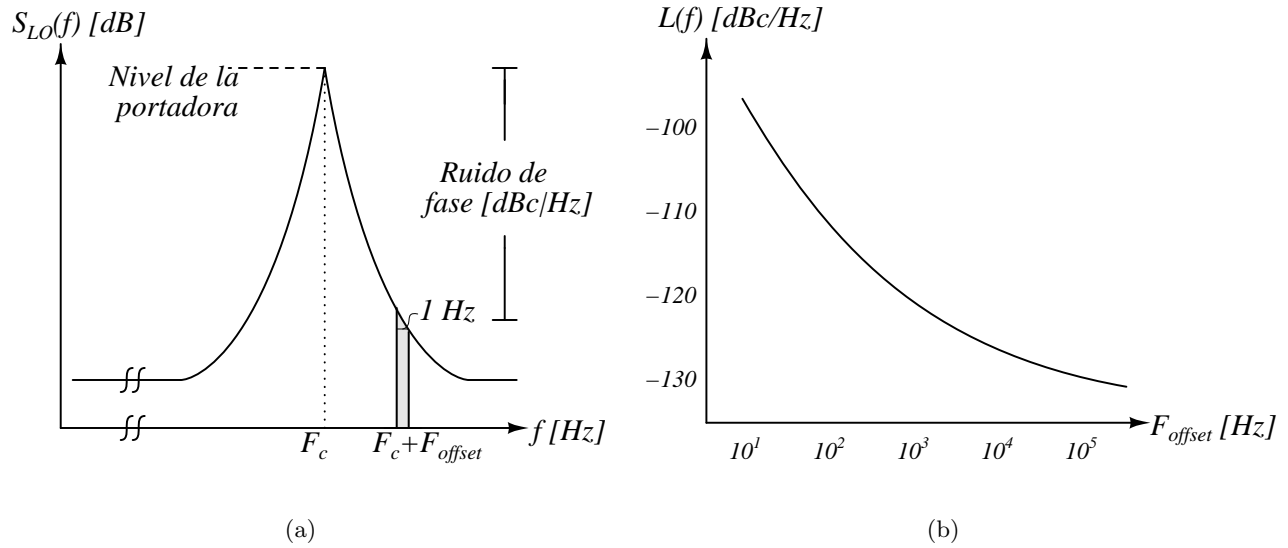


Figura 1.2: (a) Espectro a la salida de un oscilador. (b) Densidad espectral del ruido de fase.

la flexibilidad para operar en varios estándares y el área ocupada dentro del integrado. A continuación se hace una breve descripción de estas características.

Pureza de la Señal Sintetizada

Idealmente toda la potencia de la portadora está concentrada en sólo una frecuencia, sin embargo, en el espectro de la señal de oscilador local suelen encontrarse dos tipos de componentes de frecuencia no deseados. Por una parte está el ruido de fase que se manifiesta en un rango continuo de frecuencias cercanas a la portadora, normalmente el ruido de fase se caracteriza por su densidad espectral. Por otro lado, existen componentes de frecuencias fijas que modulan la salida del oscilador, estas son causadas por la conmutación de circuitos dentro del sintetizador y aparecen en el espectro de la señal de salida como falsos tonos a ambos lados de la frecuencia de la portadora.

El ruido generado por las resistencias y los transistores del oscilador hace que la frecuencia y la fase de la señal sintetizada fluctúen, formando el llamado ruido de fase. Una forma de observar el ruido de fase es midiendo el tiempo que transcurre entre los cruces por cero en cada periodo de la señal, de esta forma el valor obtenido en cada medición es $T + \Delta\tau$ donde T es el periodo de la señal y $\Delta\tau$ es la variación de la señal debida al ruido de fase, esta variación instantánea se puede traducir en una alteración en la fase $\Delta\phi = 2\pi\Delta\tau/T$.

El valor RMS de $\Delta\phi$ representa una medida común de ruido de fase, sin embargo, es de mayor importancia ubicar el ruido de fase como una función de densidad espectral como la mostrada en la figura 1.2b. El ruido de fase se mide en dBc/Hz donde un dBc es un dB referenciado al nivel de potencia de la portadora. En la figura 1.2a se muestra el espectro de una señal de oscilador con frecuencia F_c , para hallar la densidad espectral de ruido a cierta distancia F_{offset} de la frecuencia de oscilación hay que medir la potencia del ruido en dB sobre un ancho de banda de $1 Hz$ alrededor de la frecuencia $F_c + F_{offset}$, luego restarle la potencia en dB de la portadora.

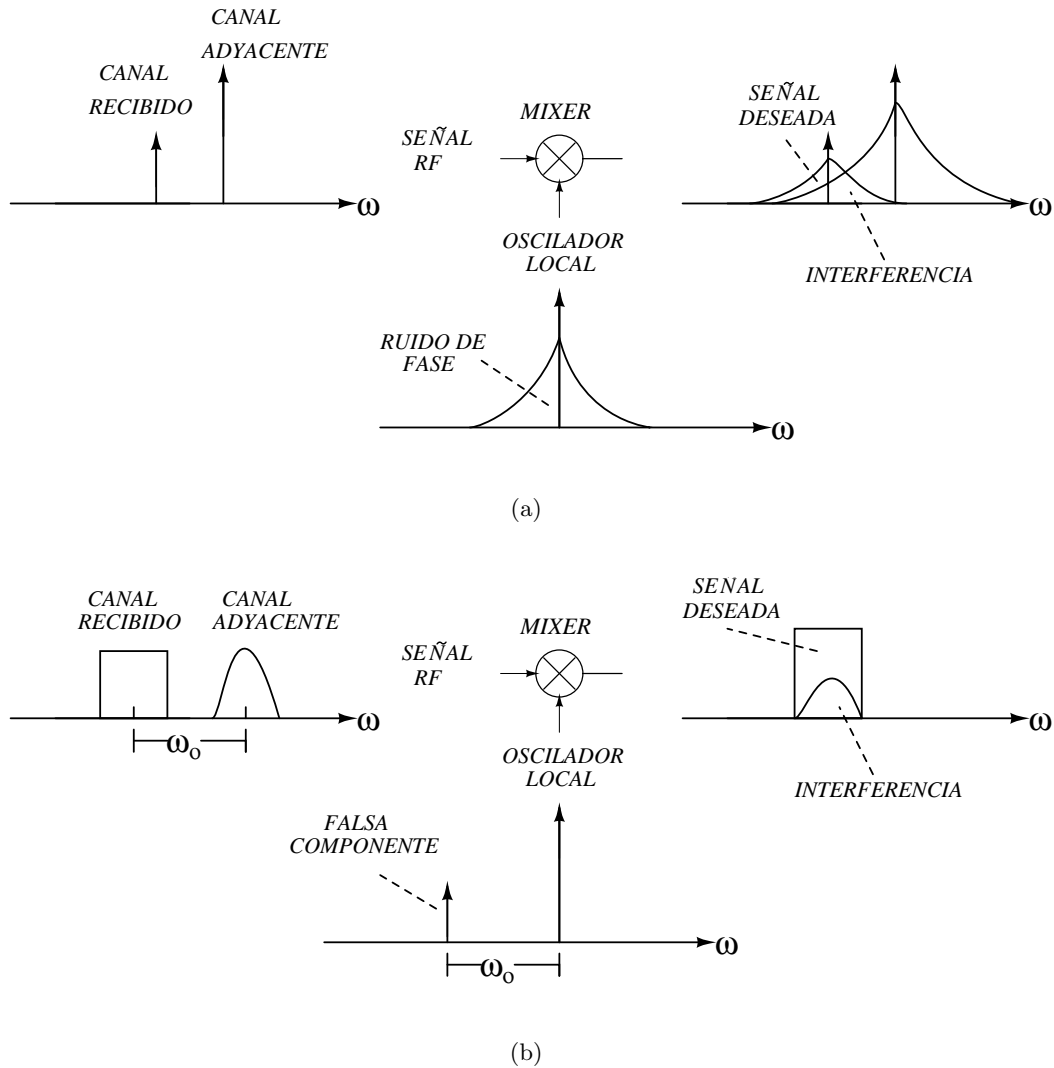


Figura 1.3: Interferencia causada por: (a) El ruido de fase; (b) las falsas componentes.

Para comprender el efecto del ruido de fase sobre el funcionamiento del *transceiver*, se puede considerar la situación ilustrada en la figura 1.3a; en este caso una señal RF es recibida junto con la de un canal adyacente, al ser trasladada a banda-base, el canal adyacente interfiere con la señal deseada debido al ruido de fase del oscilador local, esto se traduce en una degradación de la relación señal a ruido de la información recibida. Por otro lado, la figura 1.3b muestra un ejemplo de cómo las falsas componentes causan interferencias dentro del *transceiver*.

Tiempo de Establecimiento

El tiempo de establecimiento está definido como la rapidez con que el sintetizador es capaz de cambiar de un canal a otro. En este sentido, se considera que el *PLL* se ha ajustado al canal cuando su frecuencia alcanza un valor de $F_c \pm tol$, donde F_c es la frecuencia nominal del canal y tol es la tolerancia en *Hz*, ambos parámetros (F_c y tol) generalmente son especificados por los estándares de comunicación inalámbrica.

La rapidez del *PLL* es importante en sistemas donde el acceso múltiple se da por división de tiempo

Tabla 1.1: Características de algunos estándares de comunicación inalámbrica relacionadas con el sintetizador de frecuencia.[†]

Estándar	Estación Base	Estación Móvil	Ancho del canal	Nº de canales	Tiempo de establecimiento	Precisión
<i>GSM</i>	935-960 MHz	890-915 MHz	200 kHz	124	865 μ s	90 Hz
IS-54	869-894 MHz	824-849 MHz	30 kHz	832		200 Hz
IS-95	869-894 MHz	824-849 MHz	1.25 MHz	20	500 μ s	
DECT	1.88-1.9GHz		1.728 MHz	120	450 μ s	50 kHz
PCS	1.93-1.99 GHz	1.85-1.91 GHz	200 kHz		800 μ S	90 Hz
BLUETOOTH	2.4-2.48 GHz		1 MHz	79	254 μ S	75 kHz
801.11a	5.15-5.35 GHz	5.725-5.825 GHz	20 MHz	12		

[†] Estos datos fueron recopilados de varios trabajos, en algunos casos fueron extraídos del documento original del estándar [1-3].

(TDMA) tal como en *GSM*, y se vuelve más relevante aún cuando se usa modulación de espectro esparcido por saltos de frecuencia (FHSS) como en las aplicaciones *Bluetooth*. Por otro lado, la demora en el cambio de canales influye en el tiempo que un receptor esté activo, afectando el consumo de potencia no útil.

En el diseño del *PLL* es habitual encontrar un fuerte compromiso entre el tiempo de establecimiento y el ruido de fase. Un lazo con respuesta rápida generalmente está asociado a un ancho de banda amplio, mientras que un lazo con bajo ruido de fase posiblemente cuenta con un ancho de banda angosto. El reto a simple vista reside en encontrar un ancho de banda que satisfaga las dos especificaciones, aunque más allá está la búsqueda de topologías que permitan romper al menos, parcialmente este compromiso.

Capacidad Multi-estándar

Las características bajo las cuales es transmitida la información, tales como la frecuencia y la distancia entre canales, son estandarizadas para permitir la compatibilidad entre los diferentes dispositivos de comunicación y para aprovechar al máximo las bondades de cada tecnología. En la tabla 1.1 se relacionan las especificaciones concernientes al sintetizador de frecuencia para varios estándares de comunicación inalámbrica.

En un sintetizador se aprecia la capacidad de ser adaptado a varios estándares de comunicación inalámbrica en lo que se denominan aplicaciones multi-estándar. Un ejemplo de ello es que para un dispositivo que funciona bajo *GSM* u otro sistema celular es bastante útil poder intercambiar información con el computador mediante un estándar para comunicación de corto alcance como *Bluetooth*. Cuando se diseña un sintetizador de frecuencia multi-estándar uno de los principales objetivos es que la mayoría de los bloques implementados sean compartidos por todos los estándares, para un mejor aprovechamiento de los recursos en el integrado.

1.2. Arquitecturas de Síntesis

Con el propósito de contextualizar el sintetizador diseñado, en esta sección se hace una corta revisión de los métodos usados en síntesis de frecuencia analizando sus principales ventajas y desventajas. Dependiendo del dominio en que es generada la señal, la síntesis de frecuencia es digital o analógica, la cual a su vez puede ser directa o indirecta. Los métodos de síntesis analógica directa comprenden la manipulación de la señal proveniente de uno o más osciladores, comúnmente de cristal, mediante la conmutación, multiplicación, división o mezcla de frecuencias. En la síntesis indirecta, un *PLL* ajusta la frecuencia de salida de un oscilador controlado por voltaje (VCO). Por otro lado, la síntesis digital consiste en construir la señal en el dominio digital y luego convertirla en analógica.

1.2.1. Síntesis Directa Analógica

Las arquitecturas que usan síntesis directa analógica parten de osciladores de frecuencias fijas, generalmente se usan osciladores de cristal ya que tienen la alta precisión requerida por los sistemas de comunicación. A pesar de ello, la frecuencia de un oscilador de cristal usualmente no sobrepasa los 300MHz, lo cual significa una limitante para su uso directo en aplicaciones inalámbricas, donde las frecuencias están dadas en el orden de los *GHz*. En la figura 1.4 se ilustran los métodos de síntesis directa analógica.

En el método de conmutación se tiene un cristal para cada frecuencia requerida, el precio por la gran pureza y estabilidad obtenida es el alto costo y la baja integrabilidad. Una manera de seleccionar el canal sin tener que usar varios cristales es dividir la frecuencia del oscilador, de tal forma que al variar el módulo de división cambie la frecuencia de salida. De otra parte, la síntesis por multiplicación de frecuencia consiste en hacer pasar la señal del cristal por un elemento altamente no-lineal, de esta forma se crean armónicos que son filtrados posteriormente para seleccionar el armónico deseado (similar al procedimiento indirecto que se usa en modulación FM de banda ancha). Por último, la mezcla de frecuencias con un *mixer* permite seleccionar entre la suma o la resta de las frecuencias de entrada. Los dos primeros métodos enfrentan la desventaja causada por la limitación en frecuencia de los osciladores de cristal. En el tercero y cuarto, a pesar de poder alcanzar mayores frecuencias, su implementación es compleja debido al uso de filtros selectivos operando a tales frecuencias.

1.2.2. Síntesis Indirecta Analógica

La síntesis indirecta se refiere al uso de osciladores controlados por un sistema realimentado, en este grupo se tienen el *PLL*, *DLL* (*Delay Locked Loop*) y *FLL* (*Frequency Locked Loop*) donde las variables manipuladas son la fase, retraso y frecuencia respectivamente. El más utilizado es el *PLL* debido a la facilidad relativa para la detección de fase.

La utilización de lazos de control de fase como sintetizadores de frecuencia surge de la necesidad de combinar la gran precisión de los osciladores de cristal con las altas frecuencias alcanzadas por los osciladores LC. Un *PLL* es un sistema realimentado negativamente donde la variable controlada es la fase, cabe notar que al tener dominio sobre la fase se ajusta también la frecuencia. En la figura 1.5 se muestra el esquema básico de un *PLL*, el exceso de fase a la salida del VCO es comparado con el del

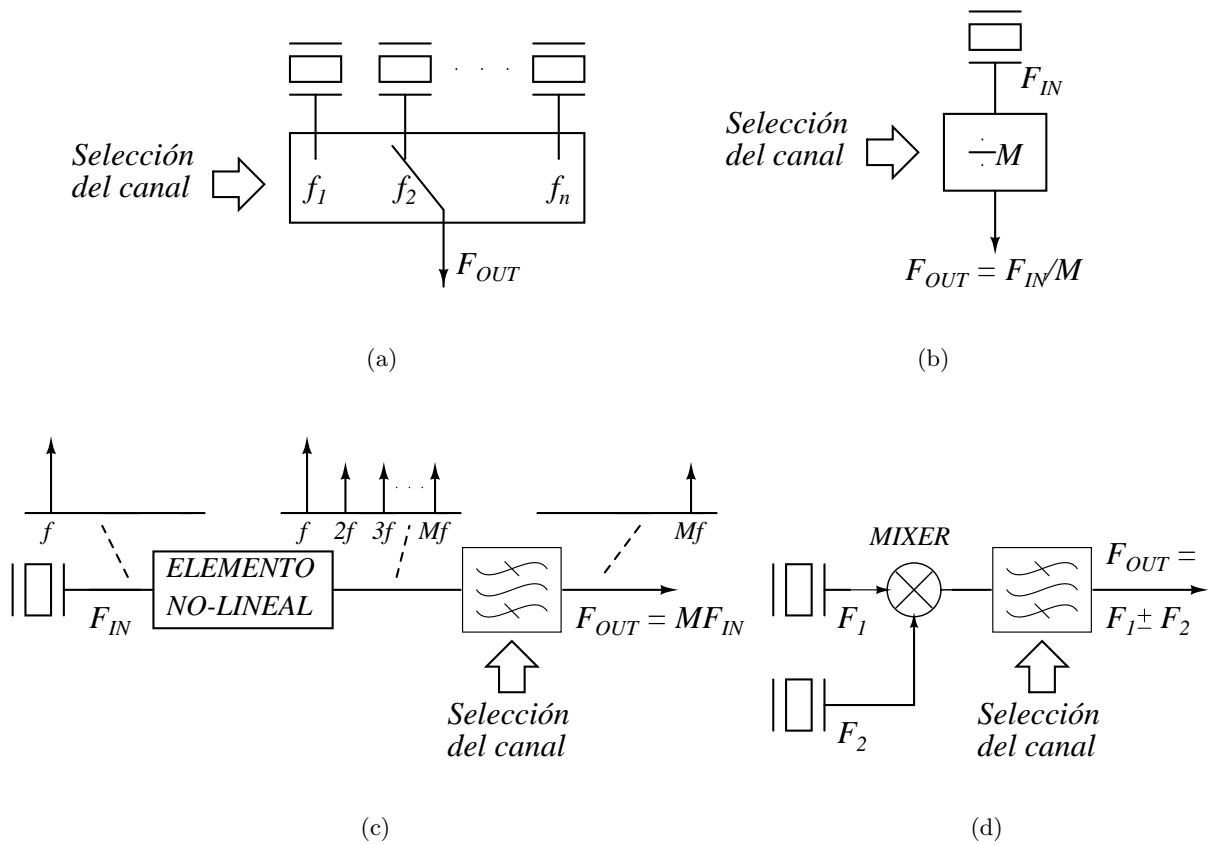


Figura 1.4: Síntesis por: (a) Conmutación, (b) división, (c) multiplicación y (d) mezcla de frecuencias.

crystal de referencia, como resultado de la comparación se tiene la señal de error que luego se filtra para generar la tensión necesaria para el funcionamiento del VCO. Tal como se ha expuesto, la frecuencia de salida es ajustada a la de entrada, teniendo entonces la misma limitación en frecuencia que el cristal.

Una de las verdaderas utilidades del *PLL* es que permite la multiplicación de frecuencia al agregar un divisor en el lazo de realimentación como en la figura 1.6, desde que el *PLL* busca que $f_{in} = f_{out}/N$ el resultado que se obtiene es $f_{out} = Nf_{in}$. No obstante, multiplicar la frecuencia significa que el ruido también es multiplicado, por esta razón el factor de división N debe ser preferiblemente pequeño. La ubicación del divisor de frecuencia además permite seleccionar el canal deseado variando el módulo de división N .

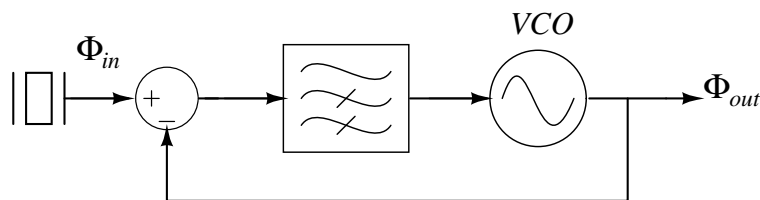


Figura 1.5: Esquema básico de un PLL.

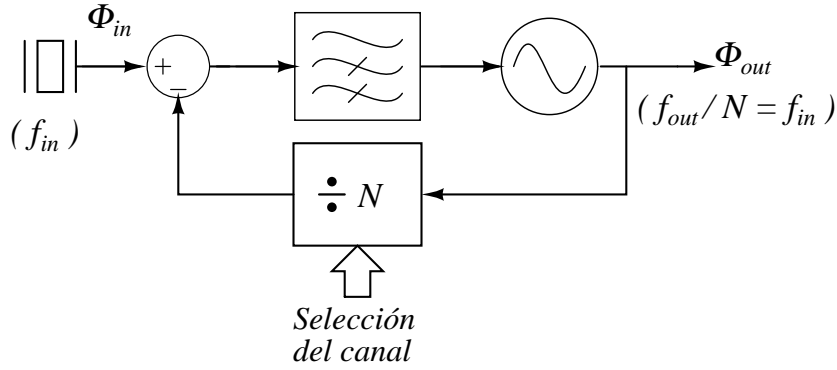


Figura 1.6: División de frecuencia en lazo de realimentación.

La forma como varía N otorga al *PLL* una clasificación según la cual puede ser N -entero o N -fraccionario. En un *PLL* N -entero la distancia entre canales es múltiplo entero de la frecuencia de referencia, esto representa una limitante en el diseño, ya que la referencia debe ser lo mas alta posible para que N sea bajo. Por otro lado, en los *PLL* N -fraccionario no existe el mismo compromiso entre la frecuencia de referencia y la distancia entre canales porque el valor de N puede cambiar en pasos fraccionarios.

Respecto a la implementación del comparador de fase se diferencian dos grupos de *PLL*, el primero usa un detector de fase y el otro una combinación PFD (detector de fase y frecuencia) y bomba de carga, el filtro para cada uno es diferente, lo que les da características en tiempo y frecuencia muy distintas. A continuación se detallan dichas características para cada clase de *PLL*.

PLL con Detector de Fase

Detector de Fase El detector de fase es comúnmente implementado con un mezclador de señal, de cuya salida se extrae la diferencia de fase entre las dos entradas. Para dos señales $x_1(t) = A_1 \cos(\omega_1 t)$ y $x_2(t) = A_2 \cos(\omega_2 t + \Delta\phi)$, donde A_1 y A_2 son las amplitudes, ω_1 y ω_2 son las frecuencias respectivas y $\Delta\phi$ es la diferencia de fase entre las dos señales; la salida del multiplicador está dada por la ecuación 1.1 donde se pueden observar dos componentes: la primera está a altas frecuencias ya que corresponde a la suma de las dos frecuencias de entrada y la segunda está ubicada sobre la resta de las dos frecuencias de entrada, que corresponde a bajas frecuencias si se supone que las frecuencias de entrada son cercanas. En particular, si $\omega_1 = \omega_2$, el promedio de $y(t)$ es $(A_1 A_2 \cos \Delta\phi)/2$; para valores de $\Delta\phi$ cercanos a $-\pi/2$ la función $\cos \Delta\phi \approx \Delta\phi$, entonces $\bar{y}(t) \approx K_{PD} \Delta\phi$ donde $K_{PD} = A_1 A_2 / 2$ es la ganancia del detector de fase dada en V/rad. En la figura 1.7a se muestra el promedio de $y(t)$ cuando $\omega_1 = \omega_2$ a medida que varía³ $(\Delta\phi + \pi/2)$ que puede ser contrastada con la situación ideal de la figura 1.7b; se puede observar que para errores de fase pequeños, la salida del multiplicador es proporcional a la diferencia de fase, de manera similar al detector ideal de la figura 1.7b. En la figura 1.7c se ilustran las formas de onda de un detector típico donde las entradas son señales cuadradas.

³Se desplazó horizontalmente la gráfica, para ser comparada con la situación ideal, ya que lo importante es observar que el promedio de $y(t)$ varía casi linealmente con la diferencia de fase, para un intervalo dado.

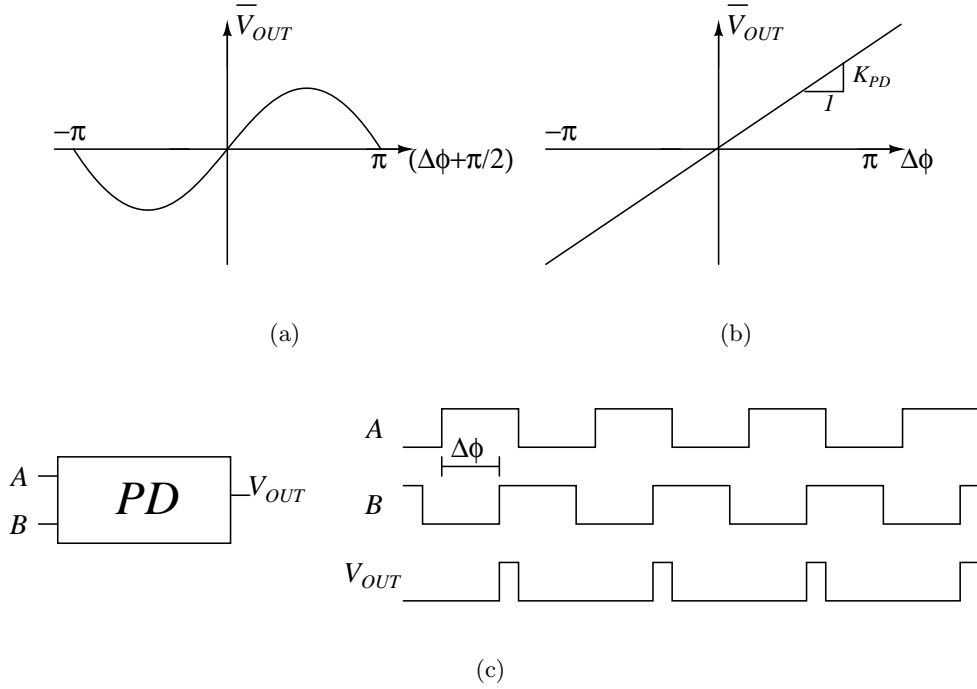


Figura 1.7: Detector de fase: (a) Senoidal, (b) ideal. (c) Formas de onda para PD típico.

$$\begin{aligned}
 y(t) &= A_1 \cos(\omega_1 t) \cdot A_2 \cos(\omega_2 t + \Delta\phi) \\
 &= \frac{A_1 A_2}{2} \cos[(\omega_1 + \omega_2)t + \Delta\phi] + \frac{A_1 A_2}{2} \cos[(\omega_1 - \omega_2)t - \Delta\phi]
 \end{aligned} \tag{1.1}$$

Filtro Pasabajos Como se explicó en el párrafo anterior, la información en la salida del detector de fase está a bajas frecuencias. Entonces el filtro se encarga de eliminar las componentes de alta frecuencia generadas por el detector, manteniendo la tensión DC necesaria para sostener el funcionamiento del VCO. Sin embargo, si la diferencia entre las frecuencias de entrada al detector es muy grande comparada con el ancho de banda del filtro, la señal que representa la diferencia de fase se atenúa también, por tanto se dice que el rango de captura del *PLL* está limitado por el ancho de banda del filtro.

VCO Un VCO ideal está caracterizado por la ecuación $w_{VCO} = w_0 + K_{VCO}V_{ctrl}$, donde w_0 es la frecuencia de oscilación del VCO cuando la tensión de control es cero, K_{VCO} la ganancia del VCO dada en Hz/V y V_{ctrl} la tensión de control. El VCO puede ser visto como un sistema lineal invariante en el tiempo donde el exceso de fase es la salida y la tensión de control es la entrada. El exceso de fase está dado por $\phi_{OUT} = K_{VCO} \int V_{ctrl} dt$, por tanto la función de transferencia es: $\Phi_{OUT}(s)/V_{ctrl}(s) = K_{VCO}/s$.

Dinámica del Lazo A pesar de que el *PLL* es un sistema altamente no-lineal, su comportamiento puede ser linealizado para cambios pequeños de señal. En la figura 1.8a se muestra el modelo linealizado del *PLL*, donde se ha supuesto el filtro típico mostrado en la figura 1.8b; la función de transferencia total obtenida a partir de este modelo es

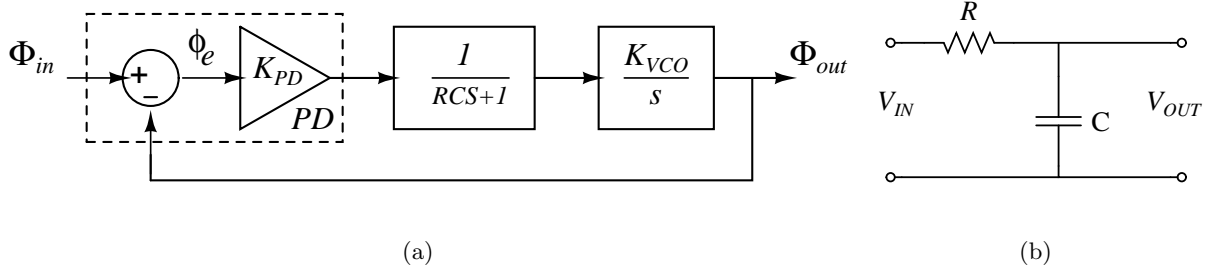


Figura 1.8: (a) Modelo linealizado del PLL. (b) Implementación del filtro usado en el modelo.

$$\frac{\Phi_{OUT}(s)}{\Phi_{IN}(s)} = \frac{K_{PD}K_{VCO}}{RCs^2 + s + K_{PD}K_{VCO}} \quad (1.2)$$

que corresponde a la función de transferencia de un sistema de segundo orden. Cuando la frecuencia de entrada varía instantáneamente una cantidad igual a $\Delta\omega$, es decir en forma de escalón y la fase en forma de rampa $\Delta\omega/s^2$, se puede hallar la función de error en el dominio de s mediante la ecuación 1.3. Según el teorema del valor final se puede calcular el error de fase en estado estable como el límite de $s\phi_e(s)$ cuando s tiende a 0, el resultado se expresa en la ecuación 1.4 [4].

$$\phi_e(s) = \left(1 - \frac{\Phi_{OUT}(s)}{\Phi_{IN}(s)}\right) \Phi_{IN}(s) = \left(\frac{s(RCs + 1)}{RCs^2 + s + K_{PD}K_{VCO}}\right) \frac{\Delta\omega}{s^2} = \frac{\Delta\omega(RCs + 1)}{s(RCs^2 + s + K_{PD}K_{VCO})} \quad (1.3)$$

$$\phi_e(t)|_{t \rightarrow \infty} = \lim_{s \rightarrow 0} s\phi_e(s) = \frac{\Delta\omega}{K}, \quad \text{donde } K = K_{PD}K_{VCO} \quad (1.4)$$

De acuerdo a la ecuación 1.4 el error de fase cuando la respuesta al escalón del PLL se ha estabilizado en su valor final es $\Delta\omega/K$ donde K es la ganancia de lazo. Tener un error en estado estable diferente de cero es una característica no deseable en un sistema de control. Además del error en estado estable, un PLL con detector de fase presenta otros inconvenientes, uno de ellos es que se puede enganchar a uno de los armónicos de la señal de referencia, lo que se conoce como *falso enganche*. También se mencionó cuando se mostró el funcionamiento del filtro que el rango de captura está limitado por el ancho de banda del mismo. Una modificación al PLL que soluciona en gran parte estos problemas es el uso de PFD (detector de fase y frecuencia) y bomba de carga en lugar del detector de fase.

PLL con Bomba de Carga y PFD

La utilización de PFD y bomba de carga permite un aumento considerable en el rango de excursión del PLL, ya que el rango de captura no depende del ancho de banda. Un PFD es un sistema triestado con lógica secuencial que detecta la diferencia de fase entre sus dos entradas, también actúa como discriminador de frecuencia cuando el PLL no está enganchado. El PFD genera dos salidas (INC y DEC) como resultado a la comparación de las dos señales de entrada. En la figura 1.9 se muestra el esquema general de un PFD y bomba de carga junto con las formas de onda correspondientes. Las dos salidas del PFD normalmente están en '0'; cuando un flanco de subida ocurre primero en la señal A, la salida INC cambia a un nivel lógico '1' y se mantiene mientras las señales sean diferentes. Cuando sucede

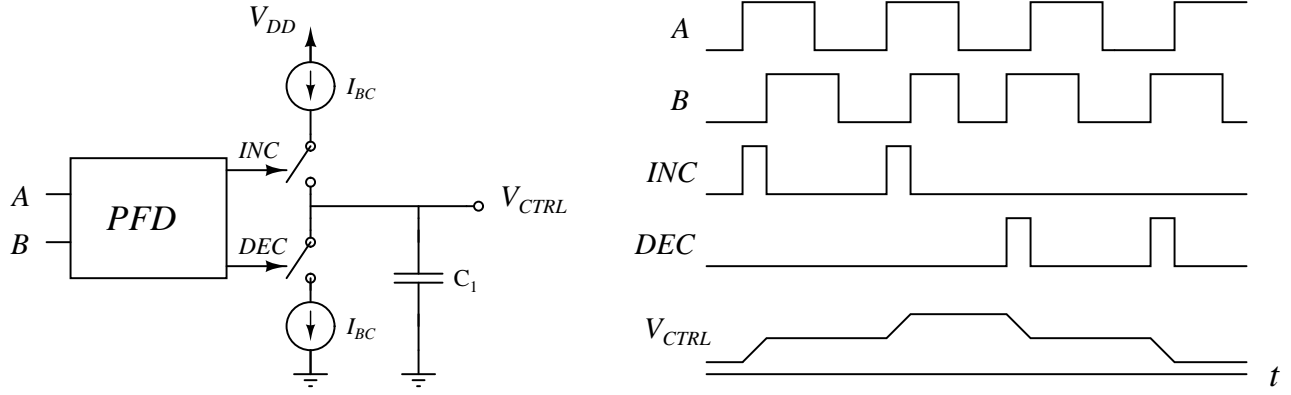


Figura 1.9: PFD y bomba de carga.

lo contrario, es decir, B cambia a '1' antes que A, la salida DEC se vuelve '1' permaneciendo en este valor mientras A y B sean diferentes. Idealmente las dos señales de salida no valen '1' simultáneamente. Como resultado, en cada una de las señales de salida el tiempo activo del pulso es proporcional a la diferencia de fase instantánea entre A y B.

La estructura básica de la bomba de carga son dos fuentes de corriente conmutadas que inyectan, extraen o mantienen carga en un condensador (C_1) tal como se muestra en la figura 1.9. Cuando las dos señales de entrada están en '0' idealmente no circula corriente por (C_1) y la tensión de salida es constante. Si la señal INC cambia a '1' se activa el interruptor superior haciendo que la corriente I_{BC} pase a C_1 , inyectando una cantidad de carga proporcional al tiempo que la señal esté activa, lo que supone un aumento proporcional en el voltaje de C_1 , en este caso el incremento de tensión en el condensador estaría dado por la ecuación 1.5, donde ΔQ_{c1} es el incremento de carga en C_1 . Si al contrario la señal activa es DEC se cierra el interruptor inferior, sustrayendo carga de C_1 , ocasionando una disminución en tensión proporcional al tiempo que la señal permanece activa.

$$\Delta V_{CTRL} = \frac{\Delta Q_{c1}}{C_1} = \frac{I_{BC} \Delta t}{C_1} \quad (1.5)$$

El PFD, la bomba de carga y el condensador se pueden modelar mediante la función de transferencia $V_{c1}(s)/\Phi_e(s) = K_{PFD}/s$ donde $K_{PFD} = I_{BC}/2\pi C_1$. La función de transferencia de lazo cerrado del PLL se puede escribir como

$$\frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{PFD}/s \cdot K_{VCO}/s}{1 + K_{PFD}/s \cdot K_{VCO}/s} = \frac{K_{PFD} K_{VCO}}{s^2 + K_{PFD} K_{VCO}} \quad (1.6)$$

La ecuación 1.6 exhibe dos polos imaginarios en $w = \pm j\sqrt{K_{PFD} K_{VCO}}$ que hacen al PLL inestable, por tanto se debe añadir un cero a la función de transferencia de lazo directo; la forma mas común es colocar una resistencia en serie con C_1 como se muestra en la figura 1.10a. El efecto del cero sobre la estabilidad del PLL se observa en el lugar de las raíces de la figura 1.10b. El polo en el origen debido a la bomba de carga, sumado con el del VCO hace que el error de fase en estado estable sea cero, este es calculado de forma similar a la ecuación 1.4.

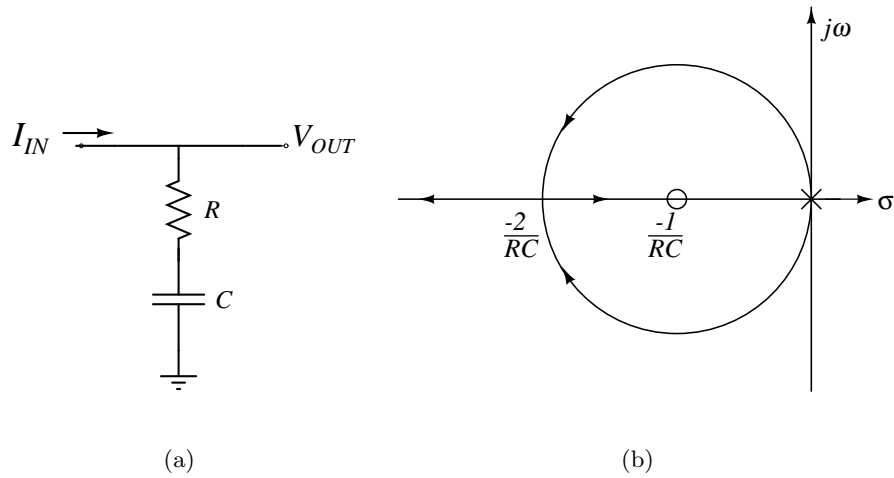


Figura 1.10: (a) Implementación típica del cero estabilizador. (b) Efecto del cero en el lugar de las raíces del PLL.

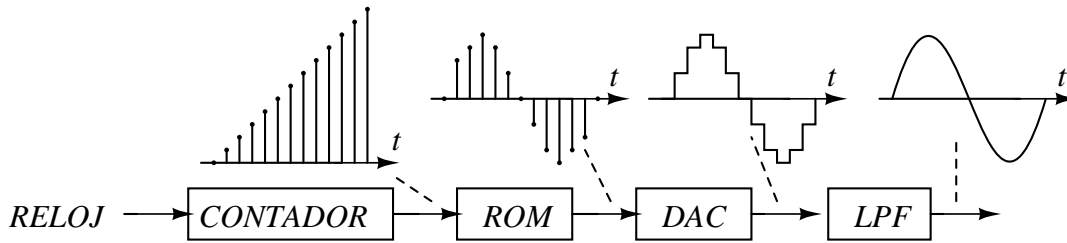


Figura 1.11: Síntesis Directa Digital (DDS).

1.2.3. Síntesis Directa Digital

Esta forma de síntesis consiste en generar la señal en el dominio digital y luego reconstruirla en el analógico mediante un convertor D/A y un filtro, esto es ilustrado en la figura 1.11. Un contador produce una señal de rampa digital, cada número es usado para seleccionar un valor de una ROM que corresponde a una muestra de la señal sinusoidal. El resultado es convertido a analógico y filtrado para eliminar las componentes de alta frecuencia.

La síntesis directa digital ofrece varias ventajas con respecto a otros métodos de síntesis: (i) Se puede obtener alta resolución en frecuencia dependiendo del módulo del contador. (ii) El cambio de canales es muy rápido debido a que no existe lazo de realimentación. (iii) Permite modulación directa en el dominio digital.

A pesar de estas características, existe limitación en la frecuencia de operación que debe ser varias veces menor que la del reloj. Por esta razón este método no es usado directamente en aplicaciones RF, sin embargo es muy atractivo en arquitecturas duales como la mostrada en la figura 1.12, donde se obtiene la frecuencia inferior de la banda (f_0) con un PLL y se usa un sintetizador digital para ubicar la frecuencia en uno de los N canales [4].

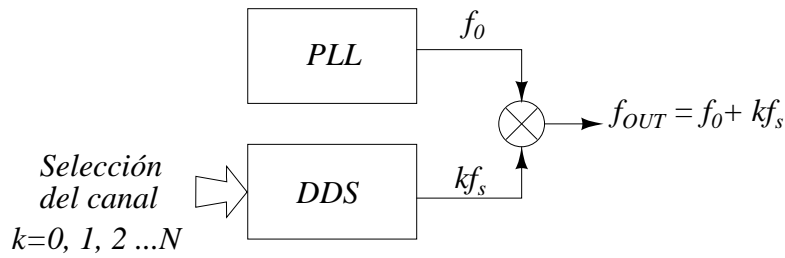


Figura 1.12: Sintetizador de arquitectura dual.

1.3. Estado del Arte en Sintetizadores de RF

En la tabla 1.2 se muestran las características de algunos trabajos representativos sobre sintetizadores operando en RF. La información recopilada comprende sintetizadores para bandas de frecuencia relativamente cercanas a las bandas de interés, *Bluetooth* (2.4GHz) y *GSM* (0.9GHz). A frecuencias con magnitudes del orden de los GHz, la tendencia en cuanto a la arquitectura de los sintetizadores es bien definida hacia el uso del *PLL*, que en ocasiones es combinado con otros métodos de síntesis para obtener mayor funcionalidad [5].

En relación a la manera como se hace la división de frecuencia en el lazo de realimentación, se puede decir que la división N-entera normalmente se usa en sintetizadores que operan bajo un sólo estándar y con separación de canales amplia [6–8]. Cuando se requiere tener diferentes pasos en frecuencia, que es el caso de aplicaciones multiestándar, se prefiere la arquitectura N-fraccionario [9–11], ya que la frecuencia de salida y el ancho del canal no están limitados a múltiplos enteros de la frecuencia de entrada sino a racionales.

Una de las principales preocupaciones en el diseño de sintetizadores de frecuencia es el consumo de potencia, que en el *PLL* es dominado por el VCO y el divisor de frecuencia. El sintetizador diseñado por Rategh usa un divisor de frecuencia analógico *ILFD* (*Injection Locked Frequency Divider*) [6], con el que se obtuvo menor consumo de potencia que en trabajos similares anteriores. Sin embargo, los circuitos digitales de alta velocidad han reemplazado a los divisores de frecuencia analógicos, ofreciendo considerable disminución en el consumo de potencia. Un trabajo reciente es el de Pellerano [7], en el que se obtuvo un bajo consumo de potencia usando divisores digitales con lógica dinámica. Esta lógica se implementa actualmente en la mayoría de divisores que operan a frecuencias del orden de los GHz.

En la tabla 1.2 se pueden observar anchos de banda entre 10kHz y 320kHz aunque hay *PLL* con ancho de banda de hasta 5MHz [12], en cualquiera de los casos la implementación de los polos y ceros correspondientes da lugar a componentes pasivos (resistencias y capacitores) de valores elevados. En la mayoría de los casos esta situación conduce a que dichos componentes sean externos al *chip*. No obstante, algunos autores han propuesto métodos para incluir los componentes del filtro dentro del integrado, algunas de esas técnicas consisten en la implementación de filtros que operan en tiempo discreto [13]. Por otro lado en [9], se usa un multiplicador de capacitancia permitiendo la implementación del filtro en un área reducida, en este diseño la mayoría del área (0.5mm²) la ocupa el modulador Σ - Δ .

Los moduladores Σ - Δ se utilizan en sintetizadores de arquitectura N-fraccionario para alcanzar reso-

Tabla 1.2: Trabajos representativos en sintetizadores de frecuencia CMOS.

trab. ref.	FREC. [GHz]	REF [MHz]	PASO [MHz]	CONSUMO[mW]		AREA [mm ²]	VDD [V]	Ruido@1MHz [dBc/Hz]	BW LAZO	AÑO
				con VCO	sin VCO					
[6]	5.0	11	22	25	22	1.6	1.5/2.0	-101	280kHz	2000
[7]	5.4	10	20	13.5	7.25	0.495	2.5	-116/-110	10/100kHz	2004
[8]	2.4	1	1	20	7	0.2925	2.5	-112	80kHz	2003
[9]	2.4	40/50		16	7	0.85	1.5/2.0	-105	250kHz	2003
[10]	0.9/1.9	80	0.2/5		11.6	1.6	3.3	-117/-112	320kHz	2001
[11]	0.4-4	16	15e-6	22.7			2.7-3.6	-115	300kHz	2003

luciones mayores dependiendo del número de bits, por ejemplo en [11] se obtiene un paso en frecuencia dado por $F_{ref}/2^{20}$ con un modulador Σ - Δ de 20 bits, debido a su alta resolución este sintetizador puede aplicarse a cualquier estándar entre 400MHz y 4GHz. Otro sintetizador multiestándar que usa modulador se realizó en [10], el cual opera en *GSM* y *WCDMA*.

1.4. Organización del Documento

El libro está dividido en cuatro capítulos, en el segundo capítulo se presentan las consideraciones que se deben tener en cuenta para el diseño de un *PLL* con *PFD* y bomba de carga, que son analizadas con el propósito de tener referentes teóricos que permitan comprometer posteriormente todas las variables de diseño.

En el capítulo 3 se plantean y desarrollan los pasos seguidos durante el diseño del sintetizador incluyendo la implementación a nivel de circuito de cada uno de sus componentes.

En el capítulo 4 se muestra el *layout* del integrado diseñado y los resultados mas representativos obtenidos mediante simulación. Además de medir el desempeño del sistema en general, también se pueden ver algunas simulaciones por bloques, necesarias para verificar el diseño realizado. Por último, se expresan las conclusiones obtenidas a lo largo del proceso de diseño y del análisis de los resultados, también se hacen recomendaciones para que este trabajo sea complementado con trabajos futuros.

Capítulo 2

CONSIDERACIONES DE DISEÑO

En este capítulo se analizan los diferentes factores que se deben tener en cuenta para diseñar el sintetizador de frecuencia. La revisión de dichos factores contribuye a establecer relaciones directas entre las especificaciones mencionadas en el primer capítulo y las variables involucradas en el diseño de un *PLL* con PFD, la bomba de carga y un filtro de segundo orden.

2.1. Esquemas de División

La forma como se realiza la división de frecuencia en el lazo de realimentación influye en el desempeño del sintetizador de frecuencia, causando efectos principalmente en el ruido a la salida, la ocupación de área y el consumo de potencia. De lo anterior se deriva la importancia de analizar los esquemas de división en esta sección.

Las frecuencias usadas en los sistemas de comunicación inalámbrica típicos se encuentran agrupadas en bandas. La función del divisor de frecuencia, además de seleccionar el canal dentro de esas bandas, es multiplicar la frecuencia de referencia F_{REF} . Por esta razón es común encontrar que F_{REF} es considerablemente menor a las frecuencias de salida. En el caso de división con módulos enteros, las frecuencias disponibles a la salida del sintetizador son múltiplos enteros de F_{REF} , como se muestra en la figura 2.1a. No obstante, sólo se utilizan las que pertenecen a la banda dada por el estándar.

De otra parte, cuando existen canales ubicados en los intermedios de múltiplos de la frecuencia de

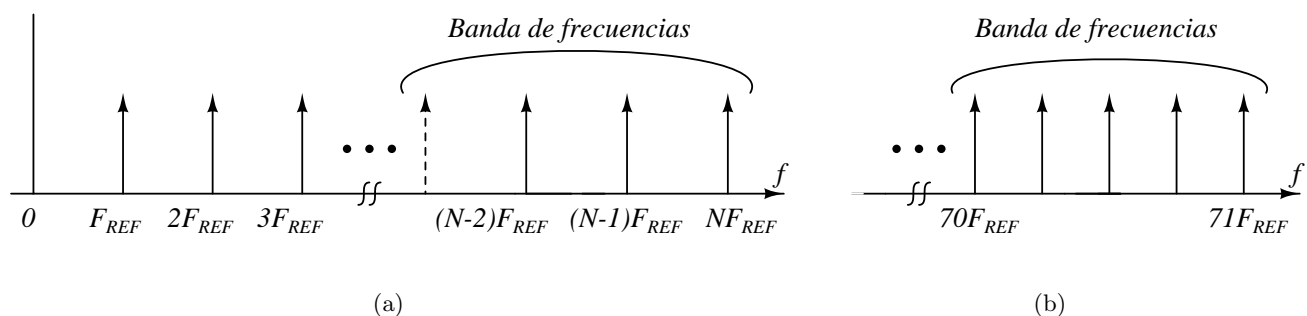


Figura 2.1: Bandas de frecuencia: (a) Múltiplos enteros de la referencia. (b) Fracciones de la referencia.

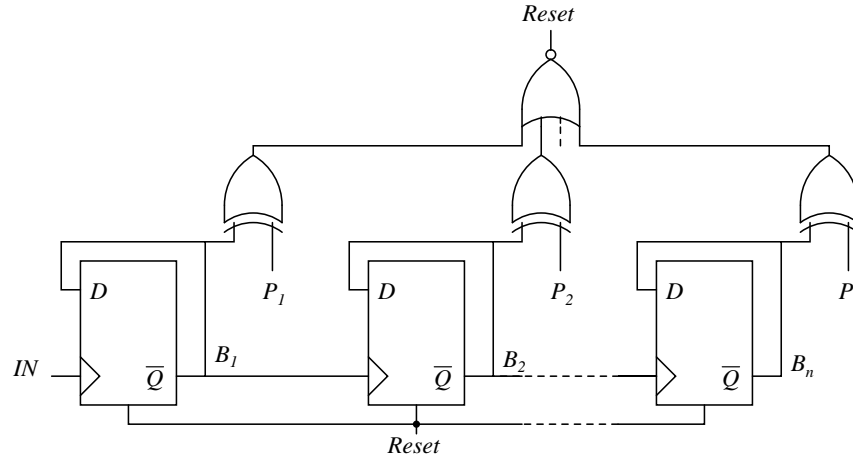


Figura 2.2: Contador programable de n bits.

referencia, es necesario implementar esquemas de división fraccionaria. Por ejemplo, en la figura 2.1b se tienen canales en $70F_{REF}$, $(70 + 1/4)F_{REF}$, ..., $71F_{REF}$, lo que significa que el módulo de división N debe tomar valores fraccionarios. A continuación se describen en detalle la división N-entero y la división N-fraccionario.

División N-entero

Una primera aproximación para implementar el divisor de módulo variable es mediante el contador programable de la figura 2.2. En este divisor de frecuencia el conteo se realiza desde 0 hasta N, donde N es el módulo seleccionado por los bits $P_n \dots P_1$. Cuando el contador alcanza el valor de N, todas las salidas de las compuertas XOR se vuelven 0 activando la señal de Reset para que el contador se reinicie. Este proceso debe efectuarse por completo antes de que ocurra el siguiente flanco en la señal de entrada, de lo contrario el divisor funciona erróneamente.

De acuerdo a lo anterior, el retraso en la señal de Reset impone una limitante en la frecuencia de operación del divisor. A medida que aumenta el número de bits que selecciona el módulo, el retraso de la compuerta NOR se incrementa debido al mayor número de entradas y a la carga que representan los *flip-flop* adicionales. Teniendo en cuenta que la frecuencia de entrada al divisor es alta (0.8~2.4GHz), se debe procurar que el número de bits de selección del divisor programable no supere al necesario para obtener los canales de frecuencia de la banda.

Una solución para disminuir el número de bits del contador programable, consiste en incluir el divisor de módulo dual, utilizando la configuración de la figura 2.3, donde se tienen tres divisores: uno de módulo dual $M/M+1$, uno de módulo fijo P y uno de módulo programable S . La función del divisor programable es seleccionar cuantas veces el dual divide por M y cuantas divide por $M+1$, esto lo hace mediante la señal MC . La salida del divisor completo DIV es la misma salida del divisor de módulo fijo. La señal DIV es realimentada hacia el divisor programable, de tal manera que con cada ciclo de DIV se reinicia el contador de módulo programable. El resultado es que de cada P ciclos, en S de ellos se divide por $M+1$ y en los restantes por M . De acuerdo a lo anterior, el módulo de división total es

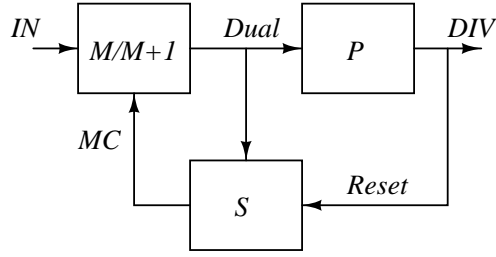


Figura 2.3: Esquema de división con módulo dual.

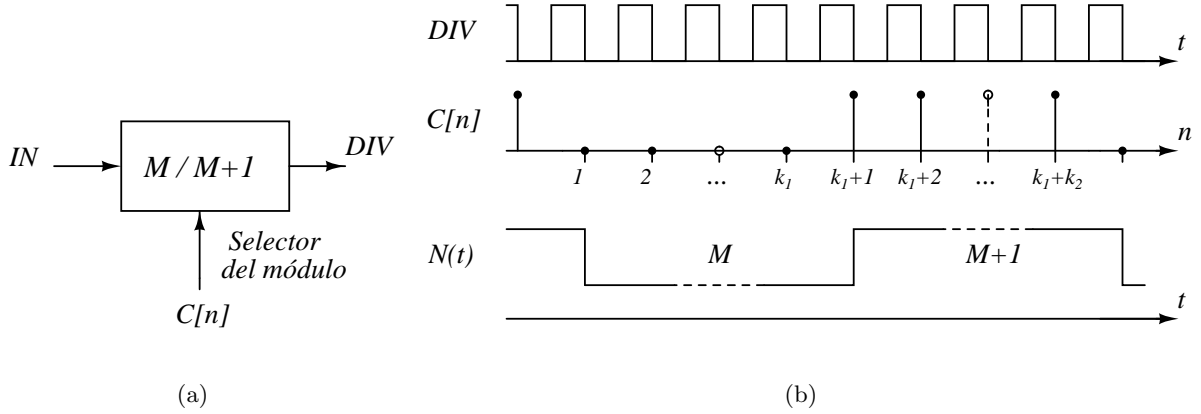


Figura 2.4: División fraccionaria: (a) diagrama de bloques y (b) formas de onda.

$$N = S(M + 1) + (P - S)M = MP + S.$$

División N-Fraccionario

En el fraccionamiento del módulo de división, se aprovecha que el ancho de banda del *PLL* es lo suficientemente menor que la frecuencia de referencia. De esta manera las variaciones que se hacen en N de un periodo al otro no afectan directamente la salida, sino que son promediadas [4]. La idea consiste en controlar el factor de división, de un divisor de módulo dual $M/M + 1$, como se muestra en la figura 2.4a. Para un determinado número de ciclos k_1 , la división se hace por M y para los otros k_2 ciclos se divide por $M + 1$.

$$\bar{N} = \frac{1}{T} \int_0^T N(t) dt = \frac{1}{k_1 + k_2} [k_1 M + k_2 (M + 1)] = M + \frac{k_2}{k_1 + k_2} \quad (2.1)$$

La forma de onda de $N(t)$ en la figura 2.4b, corresponde a la situación planteada anteriormente. $N(t)$ se puede descomponer en una serie de Fourier. La componente de continua esta dada por la expresión 2.1 donde T es el periodo de variación de N que para el caso es $(k_1 + k_2)/F_{DIV}$, F_{DIV} es la frecuencia de salida del divisor que en estado estable es igual a la referencia F_{REF} . En el valor de \bar{N} se pueden observar dos términos: M que es la parte entera del módulo de división y $k_2/(k_1 + k_2)$ que es la parte fraccionaria.

La parte útil de la variación de N es su promedio. Sin embargo, existen componentes a la frecuencia

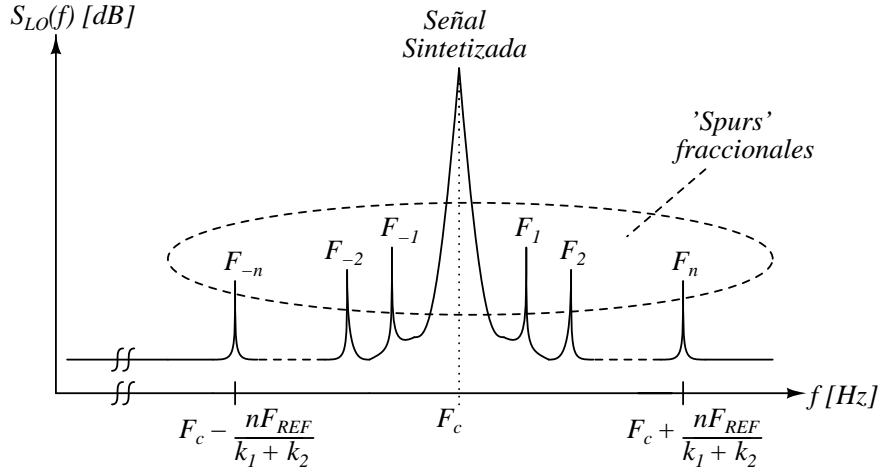


Figura 2.5: *Spurs* fraccionarios en el espectro de la señal sintetizada.

principal $F_{REF}/(k_1 + k_2)$ y sus respectivos armónicos. A pesar de ser atenuadas por la naturaleza pasabajas del lazo, estas componentes se ven reflejadas en el espectro de salida como falsos tonos alrededor de la portadora, formando los llamados *spurs*¹ fraccionarios. La figura 2.5 muestra el espectro de la señal sintetizada cuando existen los *spurs*.

Las falsas componentes fraccionarios constituyen un tema de atención en los *PLL* de tipo N-fraccionario. Con el propósito de disminuir su efecto sobre el desempeño del sintetizador, una de las estrategias mas aceptadas es el uso de un modulador Σ - Δ digital. La función del modulador es generar la señal $C[n]$ de la figura 2.4a siguiendo secuencias pseudo-aleatorias. Con la aleatorización de N el promedio se mantiene igual. No obstante, se desplaza la potencia de la señal hacia los armónicos de frecuencias más altas para que sean atenuados por el lazo.

Un modulador $\Sigma - \Delta$ consta básicamente de un sumador y un registro, como se muestra en la figura 2.6a. La señal de entrada $F[n]$ de B_m bits, se suma con el contenido del registro de B_m bits y como resultado se obtiene una palabra digital de $(B_m + 1)$ bits, donde el bit mas significativo $C[n]$ es usado por el sintetizador para variar el valor de división en pasos fraccionarios. Los otros B_m bits representan el error de cuantización y son almacenados en el registro para ser sumados en el siguiente ciclo de reloj. El bit de acarreo resultante de la suma está activo una cantidad de ciclos de reloj que depende de la palabra digital $F[n]$. Por ejemplo, si B_m es 2 bits y $F[n]$ es igual a 1, entonces el bit de acarreo está activo uno de cada cuatro ciclos de reloj, en general, el bit de acarreo está activo F de cada 2^{B_m} ciclos de reloj. Si el bit de acarreo controla un divisor de módulo $N/N+1$, entonces cada 2^{B_m} ciclos de la señal de referencia el factor de división es F veces $N+1$ y las otras $(2^{B_m} - F)$ veces vale N , en promedio, se puede expresar el módulo de división mediante la ecuación 2.2.

$$N_{eq} = \frac{(N + 1)F + N(2^{B_m} - F)}{2^{B_m}} = N + \frac{F}{2^{B_m}} \quad (2.2)$$

¹La traducción del término en inglés *spur*, no representa completamente el efecto al que se hace referencia. En sintetizadores de frecuencia se define *spur* como un falso tono ubicado en el espectro de la señal sintetizada.

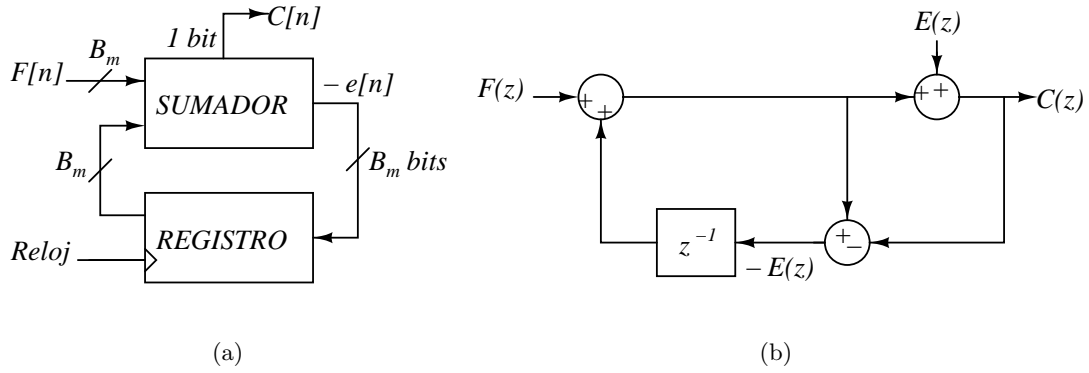


Figura 2.6: (a) Implementación digital del modulador Σ - Δ . (b) Diagrama de flujo de señal.

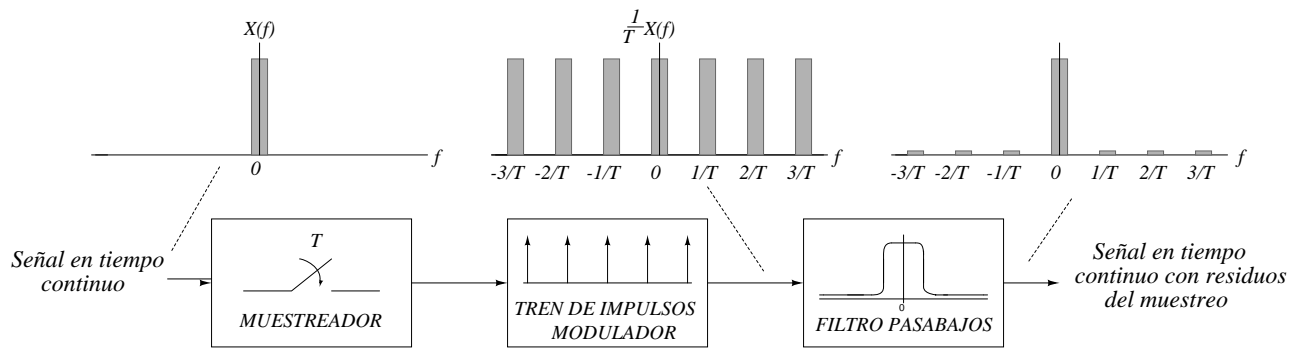


Figura 2.7: Atenuación de las componentes de alta frecuencia a causa de la dinámica del PLL permite una aproximación pseudo continua de la señal muestreada [15].

2.2. Estabilidad

Hay tres situaciones que afectan la estabilidad del PLL , las cuales serán descritas en esta sección. Por un lado está la operación en tiempo discreto del PFD que causa el llamado efecto de *granularidad*, de otra parte la ubicación de un polo adicional al filtro de primer orden y finalmente las consecuencias de que la parte imaginaria de los polos dominantes sea mayor que su parte real.

Granularidad

Dado que la diferencia de fase es evaluada únicamente cada periodo de la señal de referencia, el funcionamiento del PFD es similar a un muestreador cuya salida está en tiempo discreto. Sin embargo, existe una aproximación continua de la señal de salida, que se basa en el hecho de que el PLL se comporta como filtro pasabajos, por lo tanto atenúa las componentes de alta frecuencia resultantes de la operación del PFD. Este caso se ilustra en la figura 2.7 donde una señal continua es discretizada, como resultado aparecen copias del espectro de la señal ubicadas en las frecuencias múltiplos de la frecuencia de muestreo que luego son atenuadas por el filtro. En efecto, se ha establecido en la literatura de forma empírica que se puede usar la aproximación continua si el ancho de banda del PLL es menor a la décima parte de la frecuencia de muestreo del PFD, es decir, la frecuencia de referencia [14].

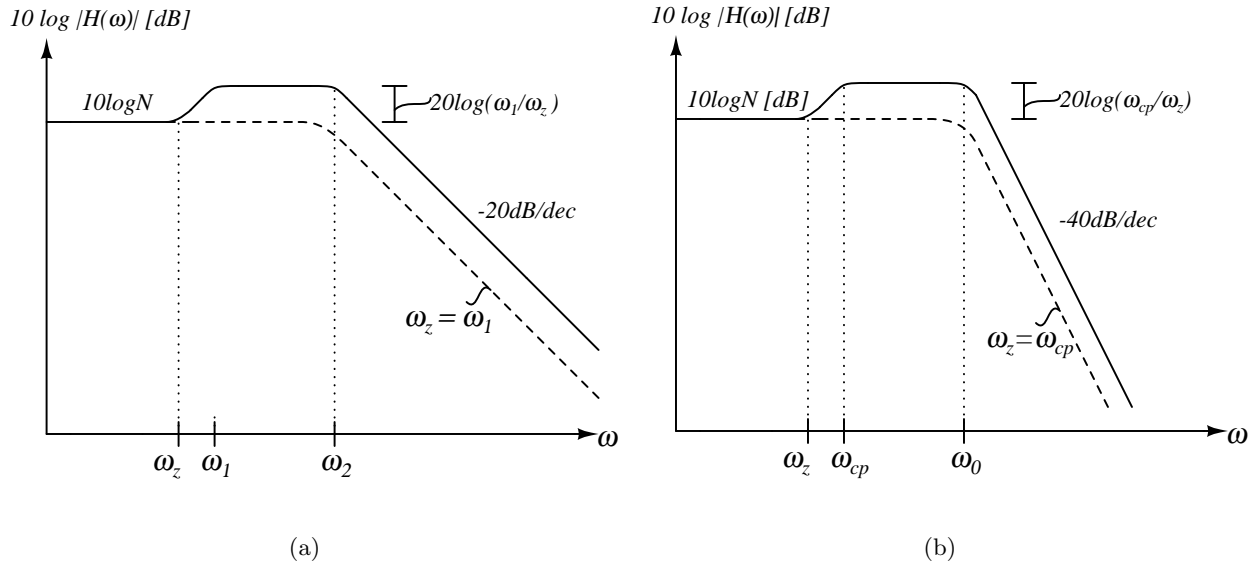


Figura 2.8: Función de transferencia para un *PLL* con bomba de carga (a) de orden 2 y (b) de orden 3.

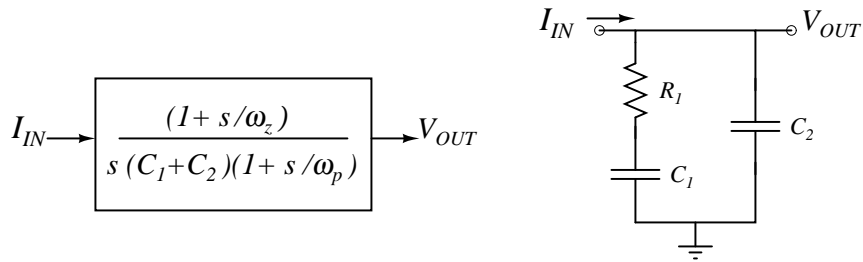


Figura 2.9: Filtro pasabajos de segundo orden.

Efectos del Polo Adicional

Un *PLL* con bomba de carga que usa el filtro de primer orden de la figura 1.10a, tiene en lazo cerrado dos polos y un cero, su función de transferencia es de la forma:

$$H(s) = \frac{\Phi_{OUT}(s)}{\Phi_{IN}(s)} = \frac{N(1 + s/w_z)}{(1 + s/w_1)(1 + s/w_2)} \quad (2.3)$$

Para altas ganancias, uno de los polos tiende a cancelar el cero y el otro se aleja sobre el eje real en dirección negativa como se muestra en el lugar de las raíces de la figura 1.10b. La función de transferencia del *PLL* (figura 2.8a) evidencia el comportamiento pasabajos del lazo, donde el ancho de banda está dado por el polo ubicado en $s = -w_1$, resultando que para frecuencias mayores a w_1 la función decae a razón de 20 dB/década. En la mayoría de los casos la caída de 20 dB/década que ofrece un *PLL* de orden 2 no es suficiente para atenuar el ruido de fase y las componentes de frecuencia resultantes del muestreo. Por esta razón, es necesario agregar otro polo al filtro. Este cambio en el filtro consiste en un condensador en paralelo a la resistencia y condensador que forman el cero según se muestra en la figura 2.9. El polo adicional hace que la función de transferencia de lazo cerrado del *PLL* tome la forma de la ecuación 2.4.

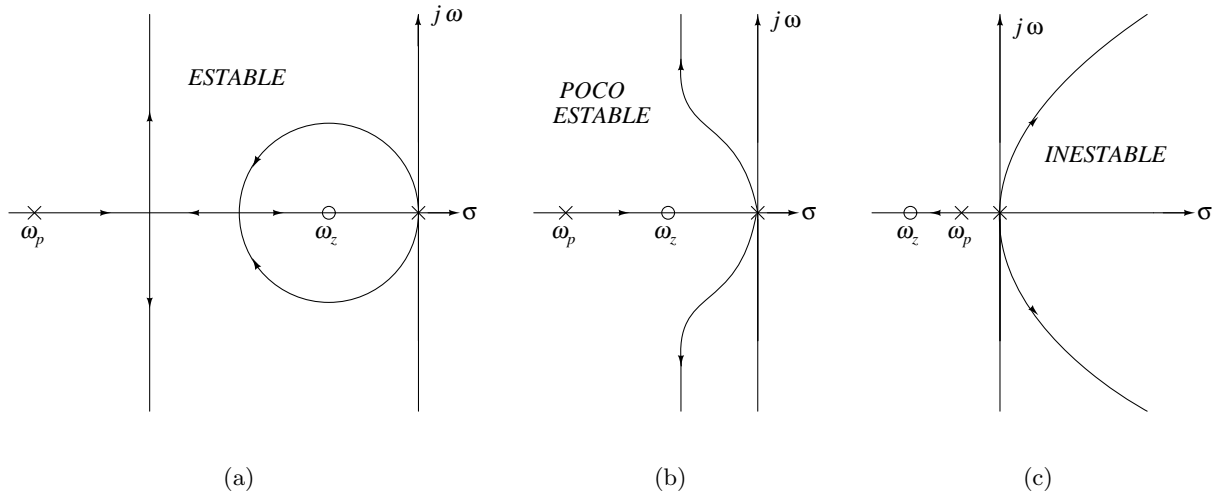


Figura 2.10: Lugar de las raíces del *PLL* cuando: (a) $w_p \ll w_z$, (b) $w_p < w_z$, (c) $w_p > w_z$.

$$H(s) = \frac{N(1 + s/w_z)}{(1 + s/w_{cp})(1 + s/(w_0Q) + s^2/w_0^2)} \quad (2.4)$$

El valor de Q en la expresión 2.4 representa la relación entre las partes real e imaginaria de los polos complejos. Para altas ganancias en lazo cerrado, el *PLL* presenta un par de polos complejos de magnitud w_o y un tercer polo real en $s = -w_{cp}$ que se acerca al cero ubicado en $s = w_z$, dando lugar a la función de transferencia de la figura 2.8b donde se puede observar que para frecuencias mayores al ancho de banda w_o , la función decae a razón de -40 dB/década.

Los efectos del tercer polo sobre la estabilidad del lazo se pueden observar en la figura 2.10, donde se muestra el lugar de las raíces del *PLL* para tres situaciones diferentes. En la figura 2.10a el polo de lazo abierto es ubicado muy a la izquierda del cero, lo cual se traduce en una configuración estable. En la figura 2.10b el polo es ubicado cerca al cero, lo que ocasiona que aún para bajas ganancias la parte imaginaria de los polos complejos sea alta, por tanto el sistema exhibe una respuesta natural oscilatoria. Cuando el polo está ubicado a la derecha del cero, el sistema es completamente inestable debido a que los polos complejos se posicionan en el semiplano derecho de s . Por otro lado, en la figura 2.10c se ilustra una configuración estable, que ocurre cuando la magnitud del polo w_p es considerablemente mayor que la magnitud del cero.

Oscilaciones en la Respuesta Transitoria

Una ganancia de lazo alta generalmente está relacionada con cambios rápidos en el lazo, además de permitir mayores rangos de operación. Sin embargo, la ganancia del lazo está limitada por las características de estabilidad del lazo.

En el caso del *PLL* cuyo lugar de las raíces es mostrado en la figura 2.10a y su función de transferencia es la de la figura 2.8b, para ganancias altas uno de los polos tiende a cancelarse con el cero mientras los polos complejos aumentan su parte imaginaria. Debido a esa cancelación polo-cero, el *PLL* puede ser aproximado a un sistema de segundo orden donde los polos dominantes son complejos. La magnitud de

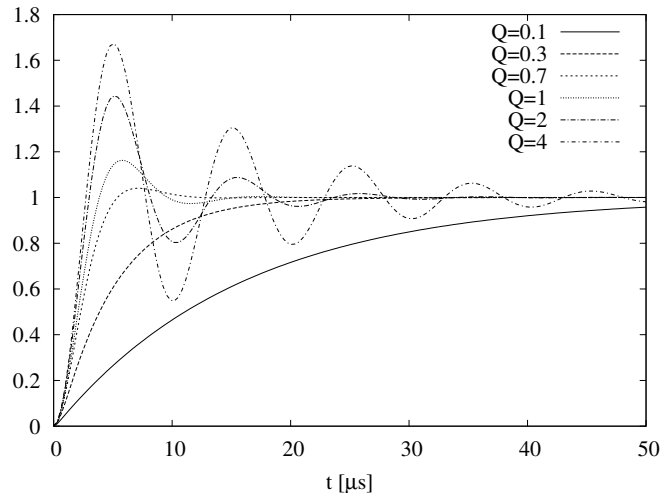


Figura 2.11: Respuesta al escalón del PLL para varios valores de Q .

estos polos (w_o) está directamente relacionada con el ancho de banda del lazo, mientras Q representa su ángulo respecto al eje real. A medida que se incrementa la ganancia de lazo, aumenta el valor de Q haciendo que la respuesta natural del sistema sea más oscilatoria. En la figura 2.11 se muestra la respuesta del PLL al escalón para varios valores de Q .

La amplitud de las oscilaciones en la señal de control puede llevar al VCO a una región de operación de menor ganancia haciendo lento al PLL . Una oscilación amplia también puede hacer que el error de fase esté por fuera del rango de detección del PFD, luego se debe buscar un valor adecuado para la ganancia de lazo.

2.3. Tiempo de Establecimiento

La rapidez del lazo para cambiar de un canal a otro depende en primer lugar de la magnitud del salto en frecuencia. Para saltos relativamente cortos aplica el modelo lineal presentado anteriormente, donde la ubicación de los polos, ceros y la ganancia de lazo son los únicos factores determinantes en el tiempo de establecimiento. En el caso de cambios en frecuencia amplios, aparecen los efectos no-lineales del PLL tales como la variación de la ganancia en el VCO para diferentes puntos de operación o el limitado rango de detección del PFD.

Rapidez del lazo a pequeña señal

Para el análisis del tiempo de establecimiento en pequeña señal se usa la función de transferencia de la ecuación 2.4. Teniendo en cuenta que la fase está directamente relacionada con la frecuencia, entonces $F_{OUT}(s)/F_{REF}(s) = \Phi_{OUT}(s)/\Phi_{IN}(s)$, luego la misma función de transferencia 2.4 puede ser utilizada para analizar la respuesta del sistema ante un cambio en la frecuencia de entrada.

La selección de canal en el sintetizador se hace mediante la manipulación del módulo de división N , a pesar de ello es usual calcular el tiempo de establecimiento suponiendo que el cambio se hace en la

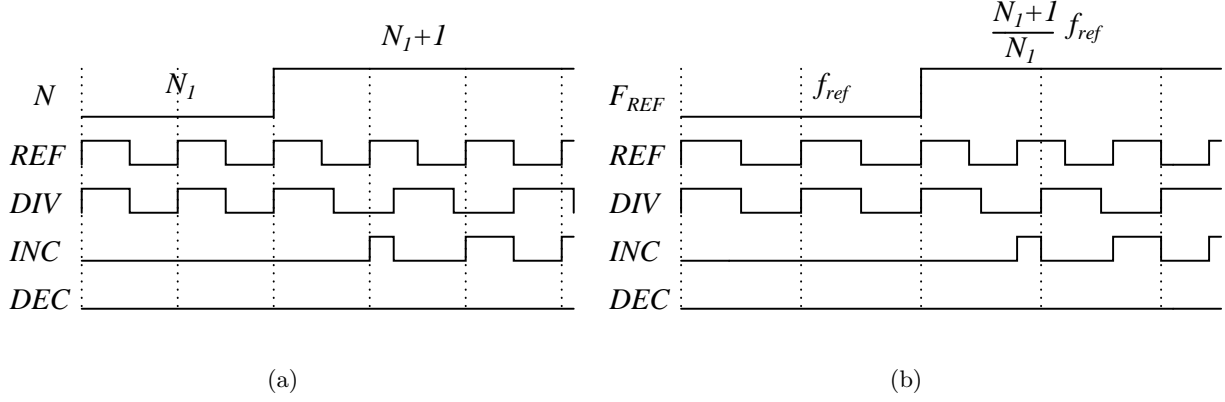


Figura 2.12: Salidas del PFD ante un cambio en: (a) El módulo de división N , (b) la frecuencia de referencia F_{REF} .

frecuencia de referencia F_{REF} . La justificación para calcularlo de esta manera, es que los cambios en N afectan la salida de la misma forma que las variaciones en la frecuencia de referencia. Por ejemplo en la figura 2.12a N cambia desde N_1 hasta $N_1 + 1$ lo que ocasiona pulsos en la salida INC del PFD, esta salida del PFD es la misma ante una variación de F_{REF} de F_i a $(N_1 + 1)F_i/N_1$ como se muestra en la figura 2.12b.

Si la frecuencia de referencia es un escalón de altura $\Delta F/N$, entonces la frecuencia de salida F_{OUT} en el dominio de s está dada por la expresión 2.5, donde las constantes A, B, C y D resultan de la descomposición en fracciones parciales y son calculadas en el apéndice A. La transformada inversa de Laplace de $F_{OUT}(s)$ mostrada en la ecuación 2.6 corresponde a la respuesta del sistema en el dominio del tiempo.

$$\begin{aligned}
 F_{OUT}(s) = H(s)F_{IN}(s) &= \frac{N(1 + s/w_z)}{(1 + s/w_{cp})(1 + s/(w_0Q) + s^2/w_0^2)} \cdot \frac{\Delta F}{Ns} \\
 &= \Delta F \left(\frac{A}{s} + \frac{Bs + C}{1 + s/(w_0Q) + s^2/w_0^2} + \frac{D}{1 + s/w_{cp}} \right) \quad (2.5)
 \end{aligned}$$

$$\begin{aligned}
 f_{out}(t) = \mathcal{L}^{-1}\{F_{OUT}(s)\} &= \Delta F(A + \\
 e^{-w_0t/2Q} \left[w_0^2 B \cos \left(\sqrt{1 - \frac{1}{4Q^2}} w_0 t \right) + \frac{2Qw_0C - w_0^2 B}{\sqrt{4Q^2 - 1}} \text{sen} \left(\sqrt{1 - \frac{1}{4Q^2}} w_0 t \right) \right] &+ w_{cp} D e^{-w_{cp}t}) \quad (2.6)
 \end{aligned}$$

La ecuación 2.6 es graficada en la figura 2.13a, en su parte transitoria se distinguen dos términos que son dibujados en la misma figura: uno oscilatorio con envolvente exponencial causado por los dos polos complejos de lazo cerrado y otro con forma exponencial decreciente debida al polo real. A menudo se desprecia el efecto del tercer polo por su tendencia a cancelarse con el cero.

Cuando el valor de $\Delta F w_{cp} D$ es pequeño comparado con la tolerancia en frecuencia tol , el último término de la ecuación 2.6 se puede despreciar, en cuyo caso el tiempo de establecimiento se obtiene al igualar la cantidad tol a la parte transitoria correspondiente a los polos complejos. Como resultado

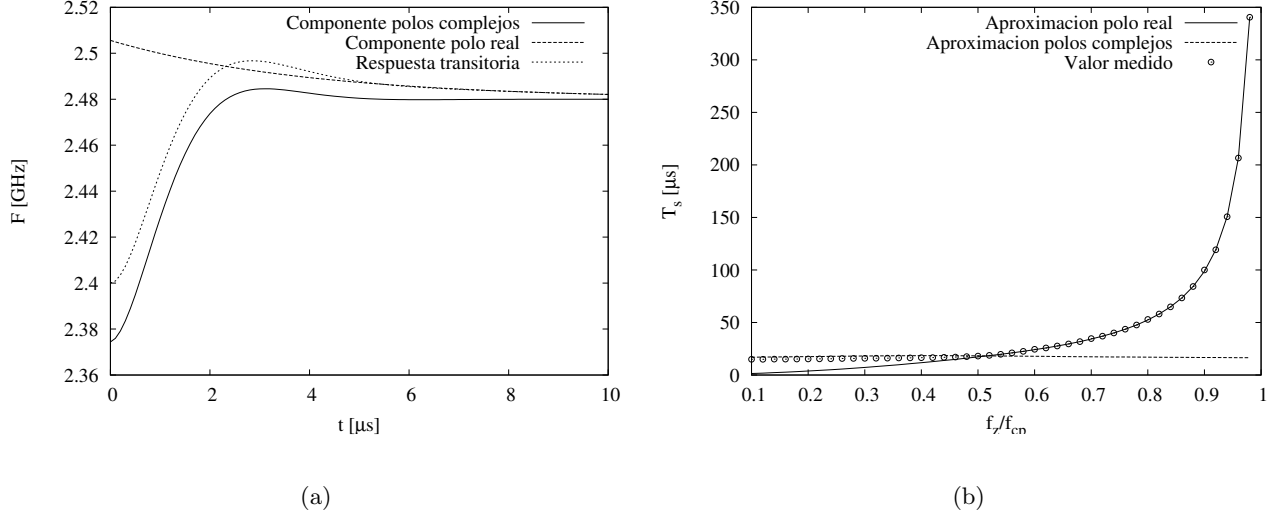


Figura 2.13: Efectos del tercer polo (línea sólida) y los dos polos complejos (línea punteada): (a) En la respuesta al escalón. (b) En el tiempo de establecimiento.

se tiene el tiempo de establecimiento T_s de la expresión 2.7, donde R es el máximo valor que toma la expresión entre corchetes de la ecuación 2.6.

$$T_s \approx -\frac{2Q}{w_o} \ln \left(\frac{tol}{R\Delta F} \right) \quad (2.7)$$

Según esta aproximación de segundo orden, el tiempo de establecimiento es inversamente proporcional a la parte real de los polos complejos $w_o/(2Q)$. La presencia de ΔF en la expresión 2.7 muestra una clara dependencia entre T_s y la magnitud del salto en frecuencia. Para caracterizar al *PLL* debe medirse el peor caso, que ocurre cuando ΔF toma su mayor valor, es decir, el sintetizador cambia del primer al último canal.

De otra parte, para observar el aporte del polo real al valor de T_s se puede despreciar la parte transitoria debida a los polos complejos, de esta forma el transitorio se reduce a una exponencial cuyo coeficiente es $w_{cp}D$ y su constante de tiempo es $1/w_{cp}$. La cantidad $w_{cp}D$ está dada por la ecuación 2.8, su deducción matemática puede ser vista en el apéndice A.

$$w_{cp}D = \frac{w_{cp}/w_z - 1}{1 - w_{cp}/(w_0Q) + w_{cp}^2/w_0^2} = \frac{w_{cp}/w_z - 1}{1 - (w_{cp}/w_z - 1) + (w_{cp}/w_z - 1)^2Q^2} \quad (2.8)$$

De acuerdo a la ecuación 2.8 el término $w_{cp}D$ es dependiente de la distancia entre el cero que está en $s = -w_z$ y el polo ubicado en $s = -w_{cp}$. A medida que w_{cp}/w_z tiende a 1, el polo se acerca al cero y $w_{cp}D$ disminuye, pero el tiempo de establecimiento (T_s) se incrementa debido a que la constante de tiempo $1/w_{cp}$ aumenta. La aproximación de T_s cuando no se tienen en cuenta los polos complejos se puede calcular como:

$$T_s \approx -\frac{1}{w_{cp}} \ln \left(\frac{tol}{\Delta F w_{cp} D} \right) \quad (2.9)$$

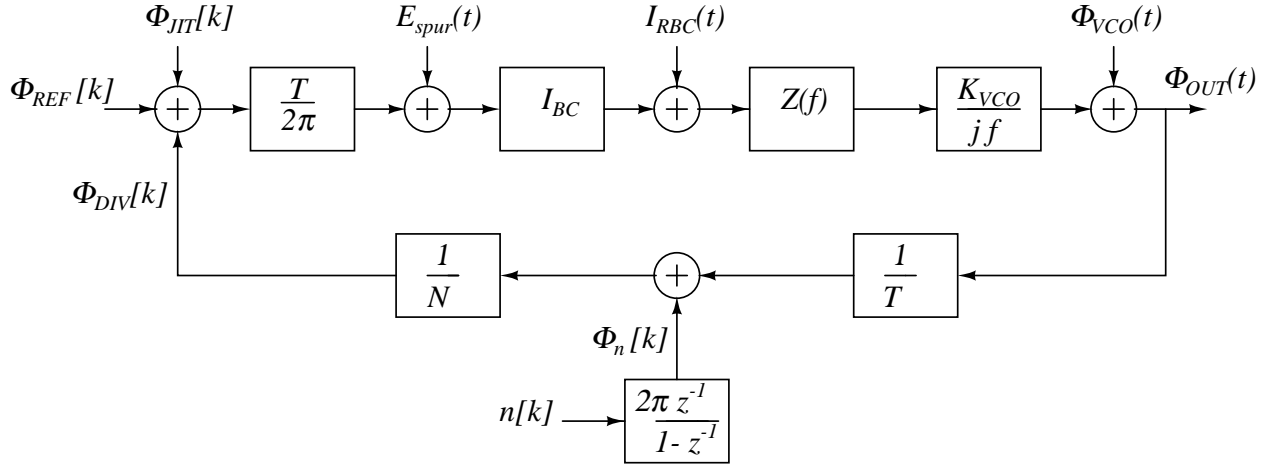


Figura 2.14: Esquema de adición de ruido en el *PLL* [15].

donde w_{cp} puede ser expresado en función de w_{cp}/w_z como $w_{cp} = w_o Q(w_{cp}/w_z - 1)$. En la figura 2.13b se grafican las aproximaciones 2.7 y 2.9, también se dibuja el valor exacto de T_s . De la figura 2.13b se puede concluir que para valores bajos de w_z/w_{cp} el valor de T_s es dominado por los polos complejos, en cambio para valores de w_z/w_{cp} cercanos a 1 resulta crítica la ubicación del polo real.

Adquisición

Existe un rango de frecuencias de salida para las cuáles el *PLL* se comporta linealmente, por fuera de este intervalo pueden ocurrir dos situaciones: (i) La frecuencia de salida está muy alejada del valor al que se debe ajustar y el *PLL* nunca logra alcanzarla, esto no ocurre en el *PLL* con PFD porque este es capaz de detectar cualquier diferencia en frecuencias. (ii) La frecuencia de salida se ajusta al valor deseado después de una serie de oscilaciones en la señal de control del VCO, a este efecto comúnmente se le llama *Cycles slip* [16]. Este proceso de adquisición ocurre en el *PLL* con PFD, porque a pesar de que el rango de frecuencias que detecta es virtualmente ilimitado, sólo percibe diferencias de fase entre -2π y 2π debido a la misma naturaleza periódica de la fase.

2.4. Ruido

El ruido de fase es una de las características mas importantes en el desempeño del sintetizador, por esta razón se debe considerar el efecto de cada bloque sobre el ruido de fase a la salida del *PLL*. Gran parte de las expresiones matemáticas de esta sección son tomadas del modelo expuesto en [15], donde se hace una aproximación al comportamiento de un *PLL* con bomba de carga y modulador Σ - Δ . El uso de este modelo permite establecer el compromiso entre el ruido resultante y las variables de diseño del lazo.

En la figura 2.14 se muestra la adición de ruido al *PLL* desde las diferentes fuentes. Las funciones de transferencia para cada fuente de ruido se describen en la tabla 2.1, donde $G(f)$ es la función base para el análisis de ruido y está dada por la expresión 2.10. El término $A(f)$ representa la ganancia de

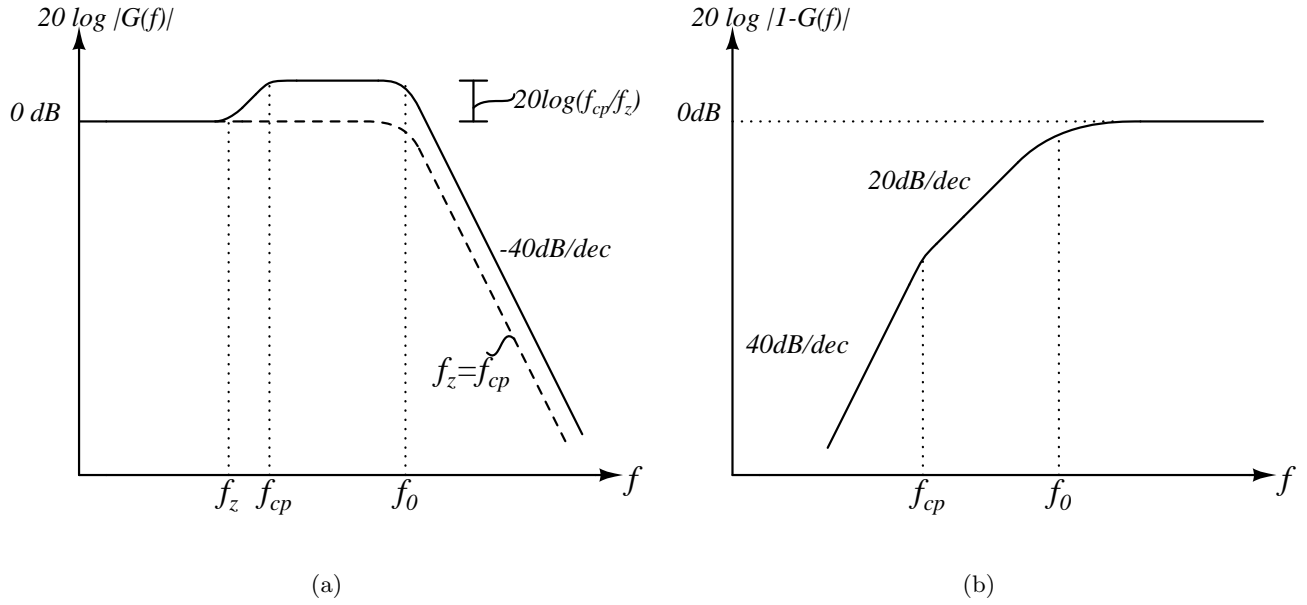


Figura 2.15: Función de transferencia para el ruido: (a) De todas las fuentes menos el VCO, (b) del VCO.

lazo directo que depende de la corriente de la bomba de carga I_{BC} , la función de transferencia del filtro $Z(f)$, k_{VCO} que es la ganancia del VCO y el módulo de división N .

$$G(f) = \frac{A(f)}{1 + A(f)}, \quad \text{donde} \quad A(f) = \frac{I_{BC}Z(f)k_{VCO}}{N2\pi jf} \quad (2.10)$$

Tabla 2.1: Funciones de transferencia para las fuentes de ruido mas relevantes del PLL.

	FUENTE	FUNCIÓN DE TRANSFERENCIA
$\Phi_{VCO}(t)$	VCO	$1 - G(f)$
$\Phi_{JIT}[k]$	Divisor/Referencia	$TNG(f)$
$E_{spur}(t)$	Muestreo en el PFD	$2\pi NG(f)$
$I_{RBC}(t)$	Bomba de carga	$2\pi NG(f)/I_{BC}$
$\Phi_n[k]$	Modulador	$TG(f)$

En la tabla 2.1 se puede ver que para todas las fuentes de ruido menos en el VCO, el ruido es multiplicado por $G(f)$ que tiene el comportamiento pasa-bajos del lazo, mientras que el ruido del VCO es multiplicado por $1 - G(f)$ que tiene un comportamiento pasa-altos. En la figura 2.15 están graficadas en escala logarítmica $|G(f)|$ y $|1 - G(f)|$. A continuación se hace una breve descripción de las fuentes mas relevantes de ruido.

VCO

El ruido de fase propio del VCO exhibe una densidad espectral como la mostrada en la figura 2.16a, la cual tiene una pendiente de aproximadamente -20 dB/dec en la región de interés. En la figura 2.16b

se puede ver como el ruido del VCO es disminuido por la dinámica del *PLL*, a mayor ancho de banda f_0 mayor es la atenuación del ruido.

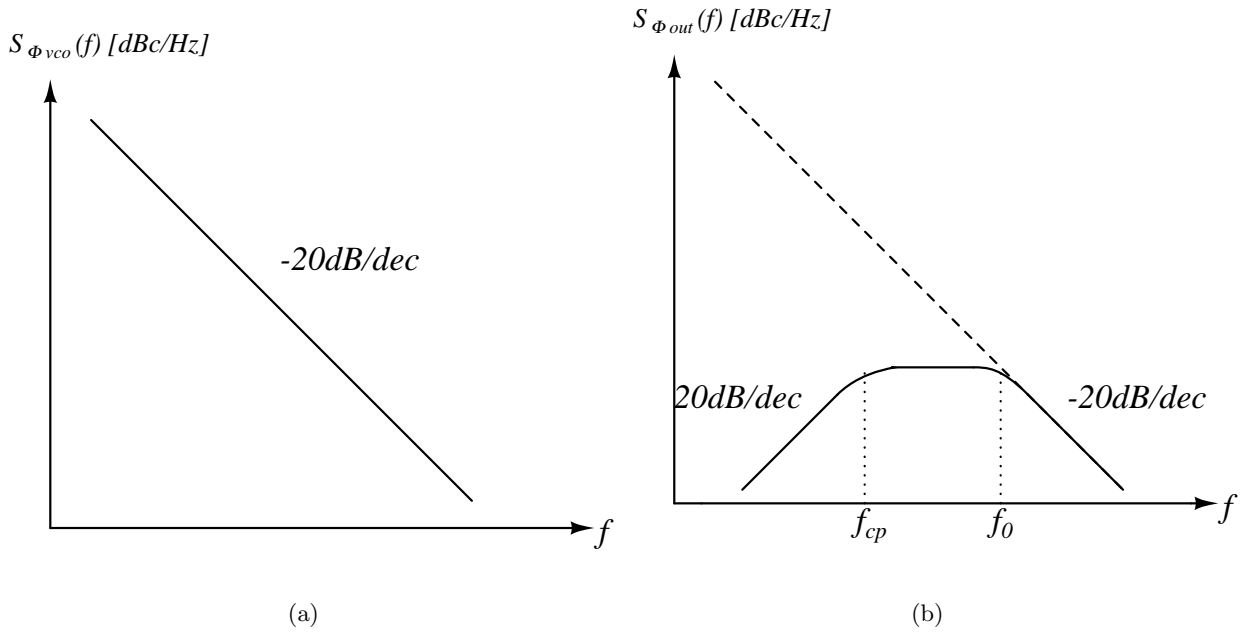


Figura 2.16: (a) Ruido en el VCO. (b) Ruido del VCO después de ser atenuado por la dinámica del PLL.

Modulador Σ - Δ

Existen dos formas de calcular la densidad espectral del denominado ruido de cuantización. Por un lado se puede medir la señal de error en el dominio del tiempo y luego hallar su transformada de Fourier. De otra parte se puede usar un modelo estadístico que parte de suponer que el ruido de cuantización es blanco. Para cualquiera de los dos casos, el ruido de fase a la salida del *PLL* debido al modulador está dado por la ecuación 2.11, donde T es el periodo de muestreo en el PFD, m es el orden del modulador y $S_r(f)$ es la densidad espectral del ruido de cuantización [15].

$$S_{\Phi_{OUT}}(f) = |TG(f)|^2 S_{\Phi_q}(f) = \frac{1}{T} |TG(f)|^2 \left((2\pi)^2 (2\text{sen}(\pi fT))^{2(m-1)} \right) S_r(f) \quad (2.11)$$

Para el caso en que el ruido de cuantización es blanco $S_r(f) = 1/12$ [17], la densidad espectral de ruido del modulador $S_{\Phi_q}(f)$ es graficada en la figura 2.17a para varios valores de m y su equivalencia a la salida del VCO dada por la ecuación 2.11 es graficada en 2.17b.

OTRAS FUENTES DE RUIDO El ruido de las demás fuentes puede ser referido a la salida del PFD, en este nodo la función de transferencia del ruido es $NG(f)$. La densidad espectral de ruido a la salida debida a estas fuentes es mostrada en la figura 2.18b. Adicionalmente al ruido blanco proveniente de la bomba de carga, filtro, divisores y referencia se suman los tonos que aparecen a las frecuencias múltiplos de la de referencia resultantes de la operación conmutativa del PFD y bomba de carga.

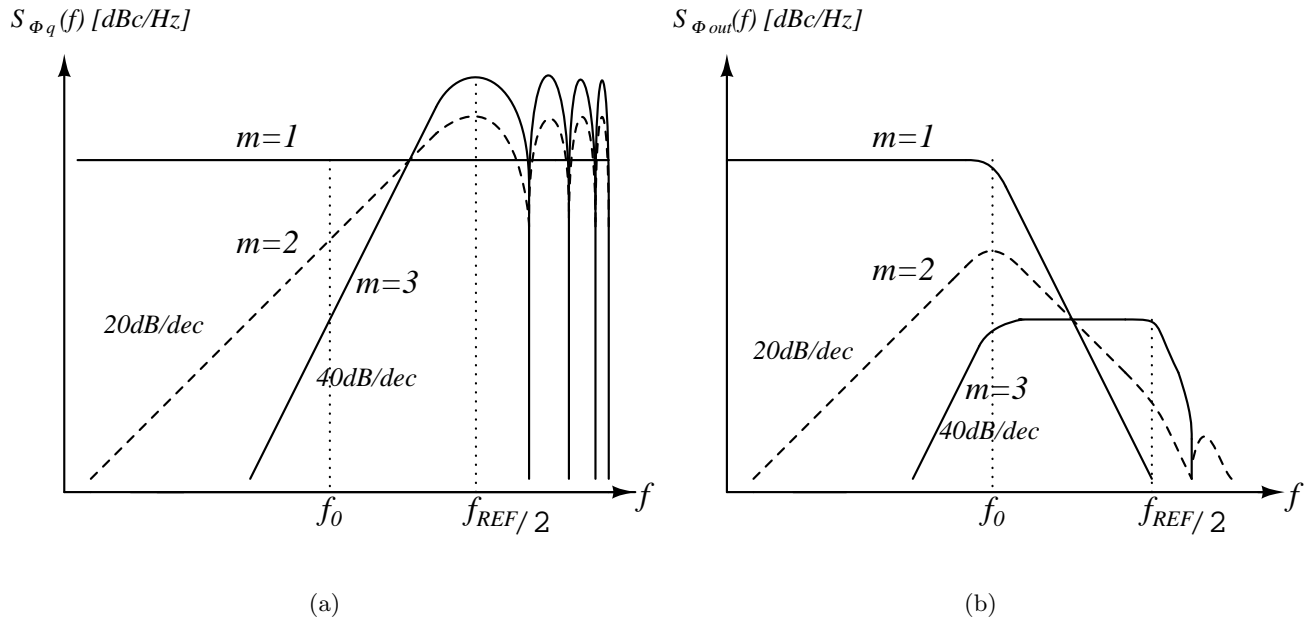


Figura 2.17: (a) Ruido en el modulador. (b) Ruido del modulador después de ser atenuado por la dinámica del PLL.

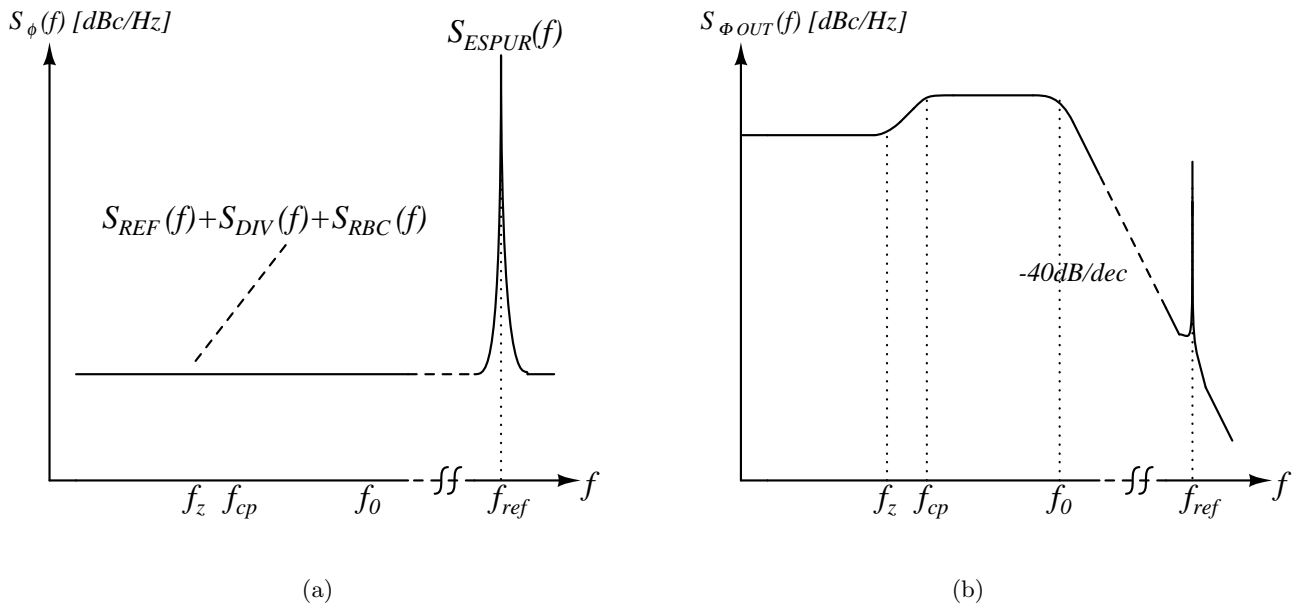


Figura 2.18: Ruido del filtro, bomba de carga, divisores y referencia, (a) referido a la salida del PFD; (b) referido a la salida del PLL.

2.5. Estándares de Comunicación Inalámbrica

En el primer capítulo se mostraron algunas especificaciones concernientes al sintetizador para diferentes estándares de comunicación inalámbrica, en esta sección se profundizará en *GSM* y *Bluetooth* dado que son los estándares bajo los que opera el sintetizador de frecuencia objeto de este trabajo.

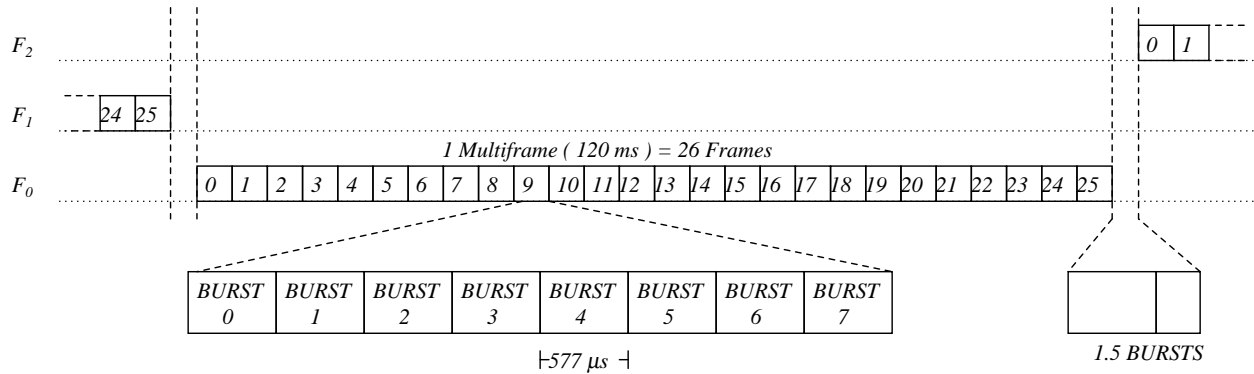


Figura 2.19: Esquema de transmisión de paquetes en *GSM*.

GSM

El Sistema Global para comunicaciones Móviles *GSM* es un sistema de comunicaciones celular digital, fue desarrollado en Europa en la década de los 80 para corregir algunos problemas que presentaba la telefonía celular del momento. A partir de 1989, *GSM* es regulado por el Instituto Europeo de Estándares en Telecomunicaciones (ETSI). *GSM* opera en los 900 MHz donde se han destinado dos bandas de 25 MHz, una para la transmisión de datos desde la estación base hasta la estación móvil (890-915 MHz) y otra para el proceso inverso (935-960 MHz). Para el acceso múltiple se usa TDMA dentro de una estructura FDMA, en lo concerniente a FDMA cada una de las bandas se divide en 124 canales separados 200kHz entre sí [1]. La utilización de TDMA consiste en la transferencia de paquetes de 120ms llamados *multiframes* ya que cada paquete contiene 26 *frames*, a su vez cada *frame* contiene 8 unidades de tiempo llamadas *bursts* de 577 μ s de duración y en un *burst* normalmente se transmiten 156 bits, lo anterior es ilustrado en la figura 2.19.

La rapidez con que el sintetizador debe cambiar de un canal a otro y la precisión en frecuencia se deducen de la especificación *GSM* 05.10 [2], la precisión en frecuencia según esta especificación es de 0.1 ppm. El cambio de frecuencia se da entre *multiframes* consecutivos, los *multiframes* son transmitidos con una separación en tiempo equivalente a 1.5 *bursts*, es decir $1,5(577\mu S) = 865\mu S$.

La máscara de ruido que debe cumplir la señal sintetizada está dada por la especificación *GSM* 05.05 [1], donde se establece un valor máximo de ruido en (dBc/BW) para varias frecuencias cercanas a la portadora, para convertir el ruido a unidades de dBc/Hz es necesario restarle a estos valores la cantidad $10\log(BW)$, donde BW es el ancho de banda con el que se hacen las mediciones. El resultado indica que la densidad espectral de ruido del sintetizador no debe superar en ningún punto la máscara mostrada en la figura 2.20.

Bluetooth

Por otro lado *Bluetooth* es un estándar para comunicaciones inalámbricas de corto alcance creado por el grupo SIG [3]. *Bluetooth* se sitúa en la banda no licenciada *ISM* (*Industrial, Scientific and Medical*) desde los 2.4GHz hasta 2.48GHz, usa la técnica llamada espectro esparcido por saltos de frecuencia (FHSS), la cual consiste en cambiar de canal cada vez que se transmite un paquete. El tiempo

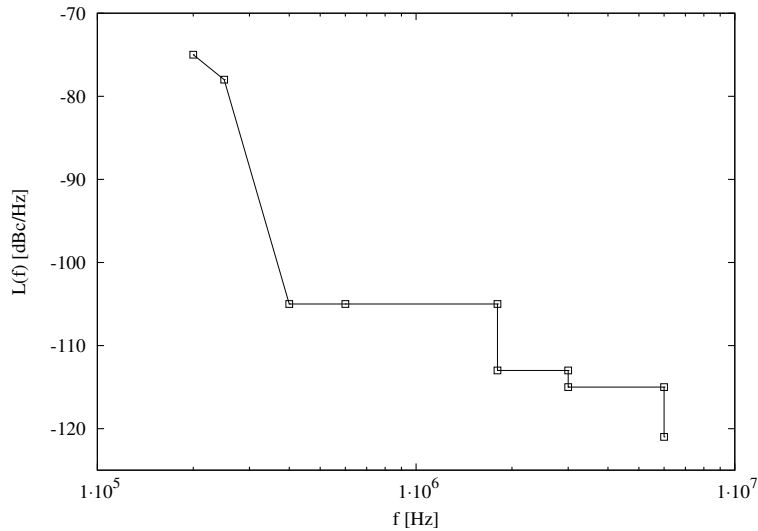


Figura 2.20: Máscara de ruido para la señal portadora en *GSM*.

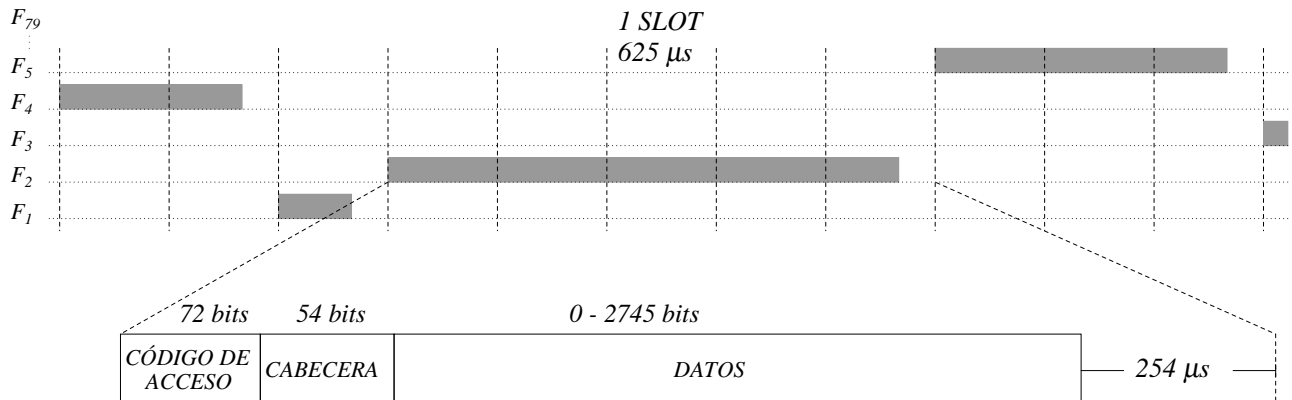


Figura 2.21: Esquema de transmisión de paquetes en *Bluetooth*.

de transmisión es dividido en intervalos de $625\mu s$ llamados *slots*, un paquete puede ocupar de 1 a 5 *slots*. En el caso máximo de 5 *slots*, se pueden transmitir 2871 bits (72 bits de código de acceso, 54 bits de cabecera y 2745 bits de datos) donde cada bit tiene una duración de $1\mu s$ dado que la tasa de símbolos es 1Mbps. Entonces el sintetizador tiene $5(625\mu s) - 2871(1\mu s)$ para cambiar de un canal a otro, por consiguiente el tiempo de establecimiento del sintetizador deber ser menor que $254\mu s$. El formato de transmisión de los paquetes en *Bluetooth* es ilustrado en la figura 2.21 y la máscara de ruido calculada a partir de las especificaciones *Bluetooth* se muestra en la figura 2.22.

De esa forma el diseño final debe alcanzar las especificaciones de ruido y rapidez propuestas por los estándares *GSM* y *Bluetooth*.

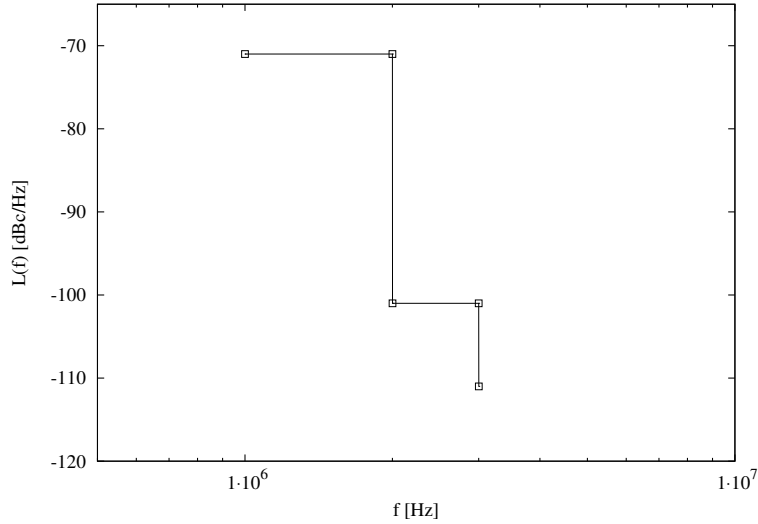


Figura 2.22: Máscara de ruido para *Bluetooth*.

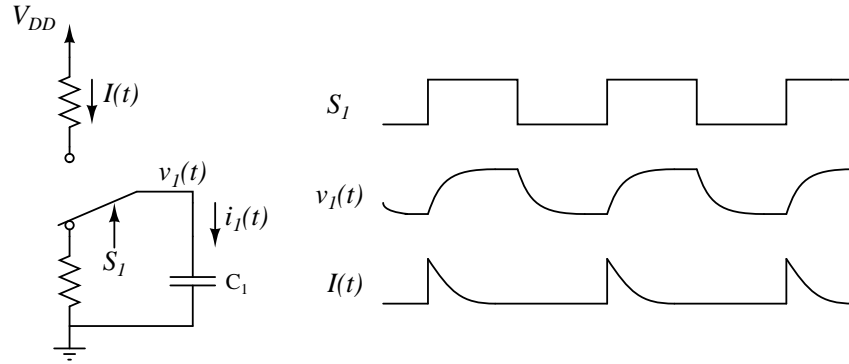


Figura 2.23: Consumo de potencia dinámica en circuitos conmutados.

2.6. Consumo de Potencia

En el *PLL* hay dos bloques críticos en consumo de potencia: el VCO y el divisor de frecuencia, debido a que ambos operan a las altas frecuencias de salida del sintetizador. La relación entre la frecuencia de operación y el consumo de potencia dinámica puede ser deducida si se considera la potencia necesaria para cargar y descargar un condensador C_1 a una frecuencia f como se muestra en la figura 2.23, suponiendo que el periodo de cambio es suficiente para que el condensador se cargue y descargue. El consumo de potencia se da únicamente durante el ciclo de carga, en el que la fuente inyecta la corriente $I(t)$ al condensador. La corriente $I(t)$ que se entrega al condensador es igual a $C_1 dv_1(t)/dt$ donde $v_1(t)$ es la tensión en los terminales del condensador, como el proceso de carga del condensador se da periódicamente, la potencia entregada se puede escribir mediante la ecuación 2.12.

$$P = \frac{1}{T} \int_0^T I(t) \cdot V_{DD} dt = f \int_0^{T/2} C_1 \frac{dv_1(t)}{dt} \cdot V_{DD} dt = f C_1 V_{DD} \int_0^{V_{DD}} dv_1 = f C_1 V_{DD}^2 \quad (2.12)$$

La expresión obtenida en 2.12 deja ver la dependencia directa del consumo de potencia con la frecuencia a la que se cargan y descargan las capacitancias internas. Es importante notar que para calcular la potencia entregada por la fuente no es necesario conocer el valor de las resistencias mostradas en la figura 2.23. De lo anterior se puede concluir que el consumo de potencia es independiente de la máxima corriente y de la constante de tiempo del circuito, en cambio, hay una fuerte dependencia con V_{DD} y el valor de la capacitancia.

En las compuertas digitales hay carga y descarga de capacitancias internas, por lo cual se aplica la ecuación 2.12 para el consumo de potencia. La tensión de alimentación y la frecuencia de operación del divisor son fijas, luego el consumo de los divisores de frecuencia está supeditado a las capacitancias asociadas a cada compuerta. Este factor se debe considerar para la selección de la topología de los divisores y la elaboración del *layout*.

Capítulo 3

DISEÑO

En este capítulo se presenta el proceso de diseño del sintetizador de frecuencia. La metodología de diseño empleada parte de las especificaciones dadas por los estándares *GSM-900* y *Bluetooth* para encontrar el valor apropiado de las variables involucradas. El diseño del *PLL* se ha desarrollado en tres etapas, la primera etapa es el plan de frecuencias que consiste en definir valores adecuados para los divisores de frecuencia, de tal forma que se puedan sintetizar todos los canales especificados por el estándar. En seguida se expone el diseño de cada uno de los bloques funcionales del *PLL*, de acuerdo al plan de frecuencias realizado en la primera etapa. Por último, la selección de los componentes del filtro define las características del lazo: ruido de fase, tiempo de establecimiento y estabilidad del *PLL*.

3.1. Estrategia de Frecuencias

La estrategia de frecuencias consiste en plantear la forma como se van a obtener las frecuencias de cada canal, de este primer paso depende el desempeño del sintetizador pues desde aquí se debe proyectar la ocupación de área, el consumo de potencia, la velocidad del *PLL* y el ruido de fase entre otros.

En la figura 3.1 se muestran los pasos seguidos para la elaboración del plan de frecuencias. En el diagrama, B_P es el número de bits del divisor programable, B_C es el número de bits que representa la cantidad de canales x , R_0 es la distancia entre canales adyacentes dada por el estándar, C_1 y C_x son las frecuencias del primer y último canal de la banda respectivamente. El plan de frecuencias como etapa obligatoria en el diseño de un sintetizador, es un proceso iterativo en el que se calculan los valores de división que hacen posibles obtener cada canal de frecuencia, luego estos valores deben ser comparados de tal forma que los módulos de división y la frecuencia de referencia sean compatibles para todas las bandas en las que opera el sintetizador.

Los aspectos a tener en cuenta para el plan de frecuencias se enuncian a continuación, estos enunciados están justificados por las consideraciones expuestas en el capítulo 2:

- I. El número de estados posibles en el sintetizador debe ser aproximadamente el mismo número de canales a usar, porque los estados no utilizados representan complejidad innecesaria.
- II. Frecuencias de referencia pequeñas implican tres situaciones: (i) un ancho de banda reducido, ya que el ancho de banda debe ser al menos la décima parte de la frecuencia de referencia. (ii) Tiempos de

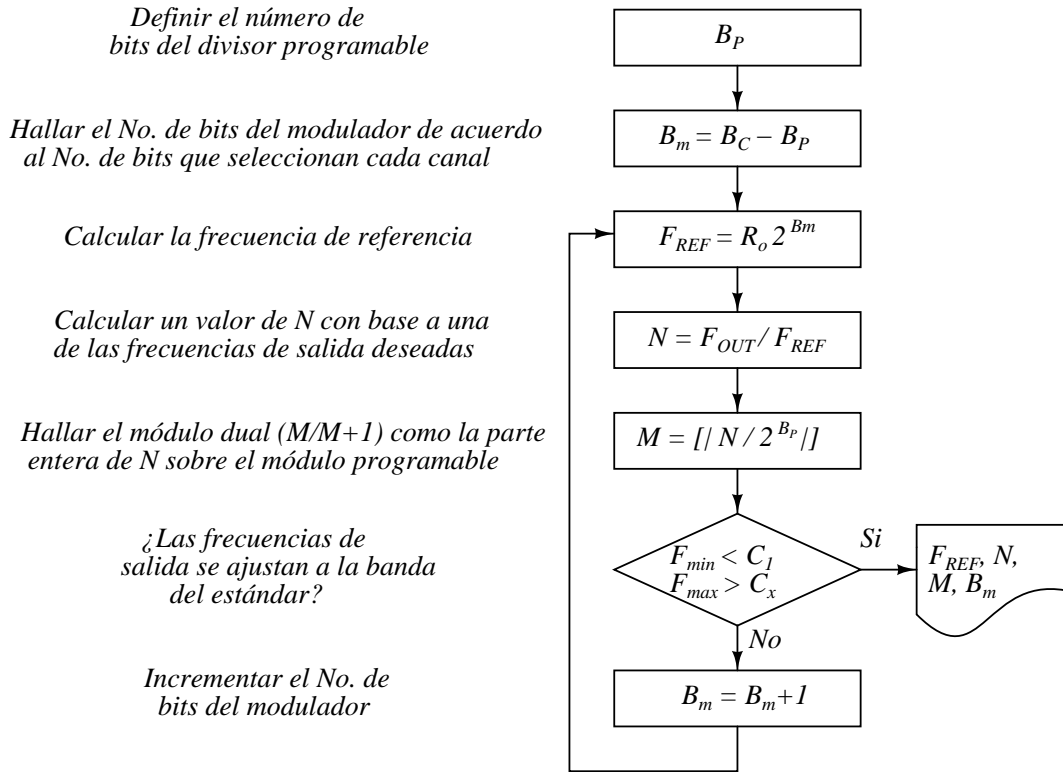


Figura 3.1: Diagrama de flujo para la elaboración del plan de frecuencias.

establecimiento largos como consecuencia del ancho de banda angosto. (iii) $F_{out} = F_{ref}N$ entonces si F_{ref} disminuye, N debe aumentar y el ruido de fase se incrementa en una cantidad igual a $20\log(N)$, es decir, si N se duplica el ruido de fase sube $20\log(2) = 6dB$.

- III. Para los sintetizadores que usan modulador Σ - Δ , es típico encontrar que el modulador ocupa un área considerable dentro del *layout* total. En este sentido se debe tener en cuenta que el área ocupada por el modulador es directamente proporcional a su número de bits B_m .
- IV. Cuando el sintetizador de frecuencia es multiestándar, uno de los principales objetivos del plan de frecuencias es que los estándares aplicados compartan el mayor número de bloques posibles e inclusive que usen el mismo oscilador de cristal.
- V. La frecuencia de referencia no puede ser aumentada en grandes proporciones, debido a la limitación en la frecuencia de los osciladores de cristal comerciales.

Se implementó el algoritmo presentado en la figura 3.1 mediante un programa de *Octave*, el resultado se puede ver en la figura 3.2 para varios valores de B_p . El valor de B_C es calculado como $\log_2(x)$ aproximado al entero mayor mas cercano. Para el caso de *GSM* y *Bluetooth* $B_C = 7$ ya que tanto los 124 canales de *GSM* como los 79 canales de *Bluetooth* pueden ser representados con 7 bits.

En la gráfica 3.2a, la frecuencia de referencia para GSM siempre es la quinta parte de la referencia para Bluetooth, debido a la relación que existe entre los pasos de frecuencia en los respectivos estándares (200kHz/1MHz). Esto indica que para compartir el mismo cristal es necesario ubicar un divisor de

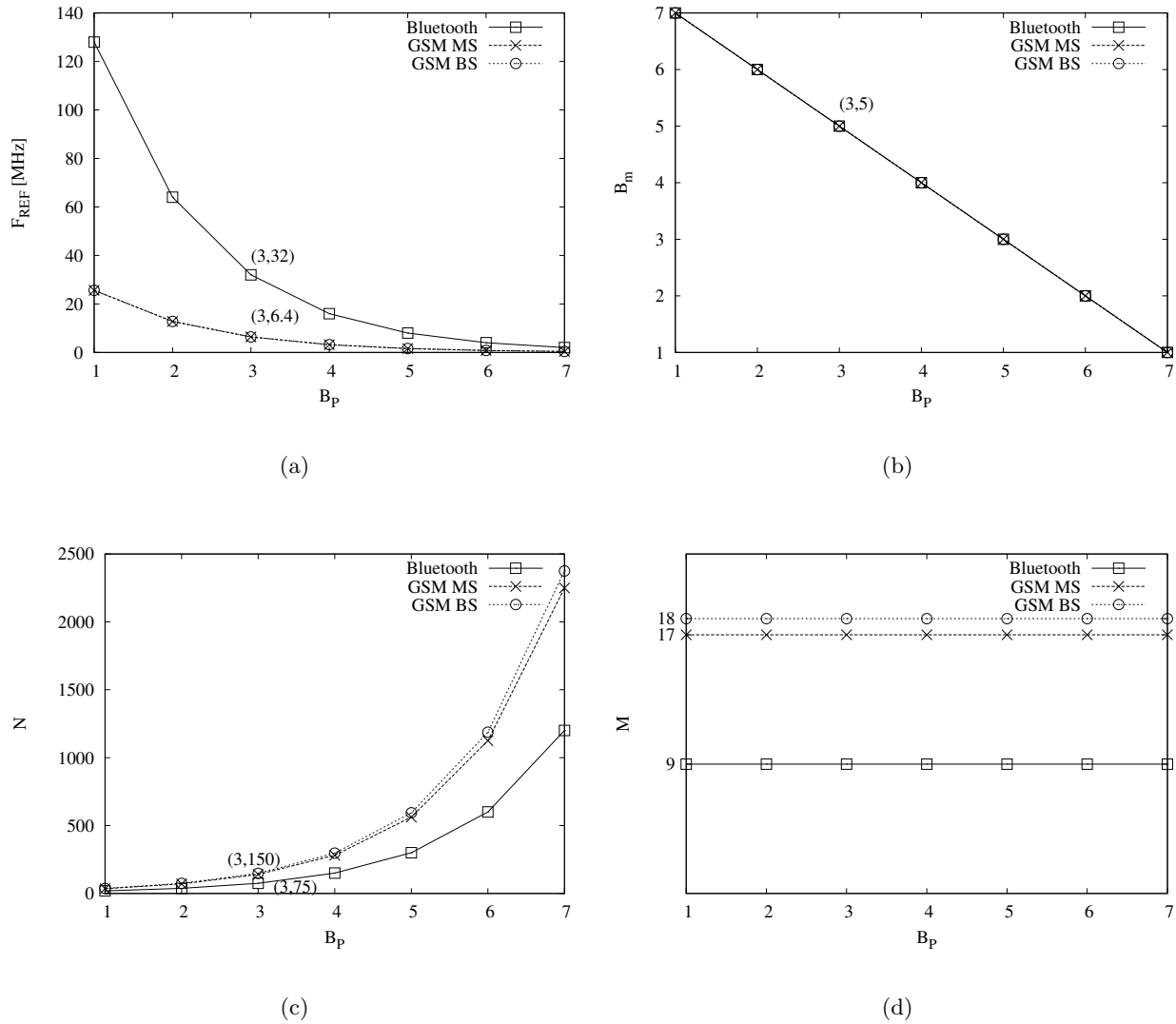


Figura 3.2: Resultados de la variación del parámetro B_P en: (a) la frecuencia de referencia, (b) número de bits del modulador, (c) módulo de división total, (d) módulo del divisor dual.

frecuencia a la entrada. De esta forma la referencia se selecciona entre la frecuencia del cristal o su quinta parte según el estándar utilizado.

La figura 3.2d revela que sin importar el valor de B_P , los valores de M permanecen constantes para todas las bandas. Entonces el divisor dual en el caso de *Bluetooth* debe tener como módulo 9/10, mientras en la estación móvil de *GSM* debe ser 17/18 y en la estación base 18/19. Lo anterior se explica por la dependencia directa de N con la potencia de B_P en base 2.

En lo concerniente a la frecuencia del cristal se ha seleccionado el valor de 32MHz debido a que es comercialmente asequible, mientras permite bajos niveles de ruido puesto que el valor resultante de N es aproximadamente 75 para *Bluetooth* y 150 para *GSM*. Esta observación junto con mediciones de tiempo de establecimiento fueron obtenidas mediante simulaciones a nivel comportamental usando la herramienta *PLLDesign* [18]. Esta elección conlleva a que el módulo de divisor programable sea 1~8,

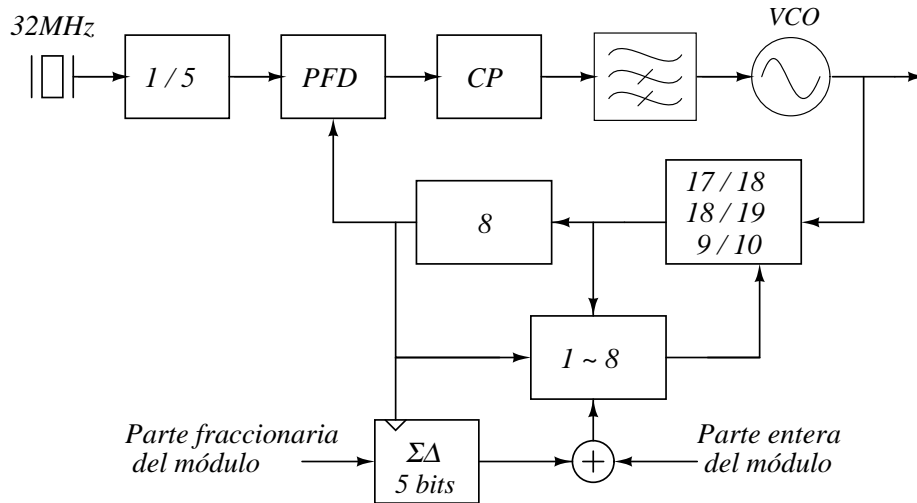


Figura 3.3: Plan de frecuencias.

el divisor fijo deba tener módulo 8 y el modulador $\Sigma\Delta$ sea de 5 bits. En definitiva la estrategia de frecuencias es mostrada en la figura 3.3.

3.2. Diseño de Componentes

De la figura 3.3 se pueden extraer las principales características funcionales de cada bloque en el PLL. Entre estas características cabe resaltar la frecuencia de operación. Este factor es muy influyente para la selección de la topología de los divisores de frecuencia, ya que algunos de ellos están sometidos a las altas frecuencias de salida del VCO, mientras otros trabajan a la frecuencia de referencia. A continuación se describe en detalle el diseño de los divisores de frecuencia, modulador $\Sigma\Delta$, PFD y bomba de carga. En cada caso se exponen las topologías existentes y la implementación de los circuitos.

3.2.1. Divisores de Frecuencia

Topologías

Existe una gran variedad de divisores de frecuencia. Uno de los criterios más importantes para seleccionar la topología adecuada es el rango de frecuencias a las que opera el divisor. En la figura 3.4 se muestra una clasificación general de los divisores de frecuencia, en la gráfica se han ordenado los diferentes tipos de divisores de izquierda a derecha de acuerdo a las frecuencias en las que son utilizados.

Es común encontrar que los divisores analógicos son diseñados para operar a frecuencias altas dadas en decenas de GHz, estos divisores usualmente se denominan *ILFD (Injection Locked Frequency Dividers)* [6,19]. Un divisor analógico de módulo 2, por ejemplo, es un oscilador que ajusta su frecuencia de salida mediante un lazo realimentado a la mitad de la frecuencia de entrada. El rango de frecuencias de operación es muy limitado debido a la naturaleza de su arquitectura. Por lo general ocupan un área considerable dentro del integrado debido a que usan inductores.

Para frecuencias con magnitudes inferiores a unos pocos GHz, se prefiere el uso de divisores digitales

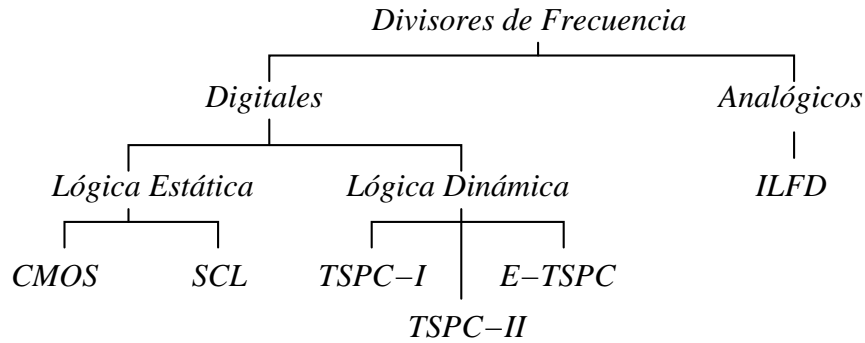


Figura 3.4: Clasificación General de los divisores de frecuencia.

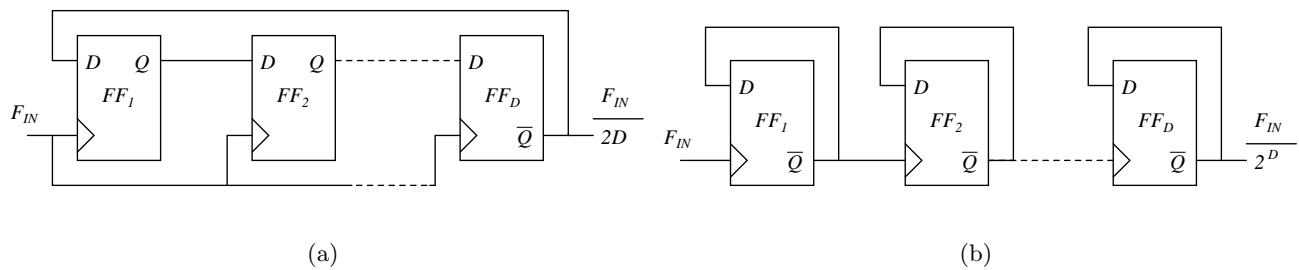


Figura 3.5: Contador Digital: (a) Síncrono. (b) Asíncrono.

ya que ocupan menos área que los analógicos y presentan menor consumo de potencia. Los divisores de frecuencia digitales usan *flip-flops* tipo D para formar contadores, que pueden ser síncronos o asíncronos. En los contadores síncronos como el de la figura 3.5a todos los *flip-flops* tienen la misma señal de reloj, presentan menos ruido de fase que los contadores asíncronos ya que el ruido no se acumula de una etapa a la otra. A pesar de esto los contadores síncronos exhiben dos desventajas: la primera es la carga capacitiva que representan todos los *flip-flops* para la señal de reloj y la segunda, que se necesita usar mas *flip-flops* para alcanzar el mismo factor de división que el contador asíncrono. Mientras en el contador síncrono se divide por $2D$, en el asíncrono se hace por 2^D tal como se ilustra en la figura 3.5, donde D es el número de *flip-flops* puestos en cascada. A continuación se describen las diferencias entre la lógica estática y la dinámica, a las que se hace referencia en la figura 3.4.

Lógica Estática Las celdas de memoria de tipo estáticas, retienen los estados lógicos gracias a sus circuitos biestables. Por esta razón la información es almacenada durante un tiempo virtualmente indefinido, lo que significa que los divisores de frecuencia implementados en lógica estática pueden operar a bajas frecuencias. Sin embargo, las celdas estáticas cuentan con severas restricciones para trabajar en altas frecuencias. En la figura 3.6a se muestra el diagrama esquemático de un *flip-flop* de lógica C^2MOS (*Complementary CMOS*), mientras que en la figura 3.6b está un *flip-flop* de lógica *SCL* (*Source Coupled Logic*). Ambos constituyen ejemplos representativos de la lógica estática.

Para el divisor de lógica C^2MOS el número de transistores es 16, de manera similar el *flip-flop* tipo *SCL* tiene 18 transistores. El número de transistores por divisor afecta en primer lugar la ocupación de

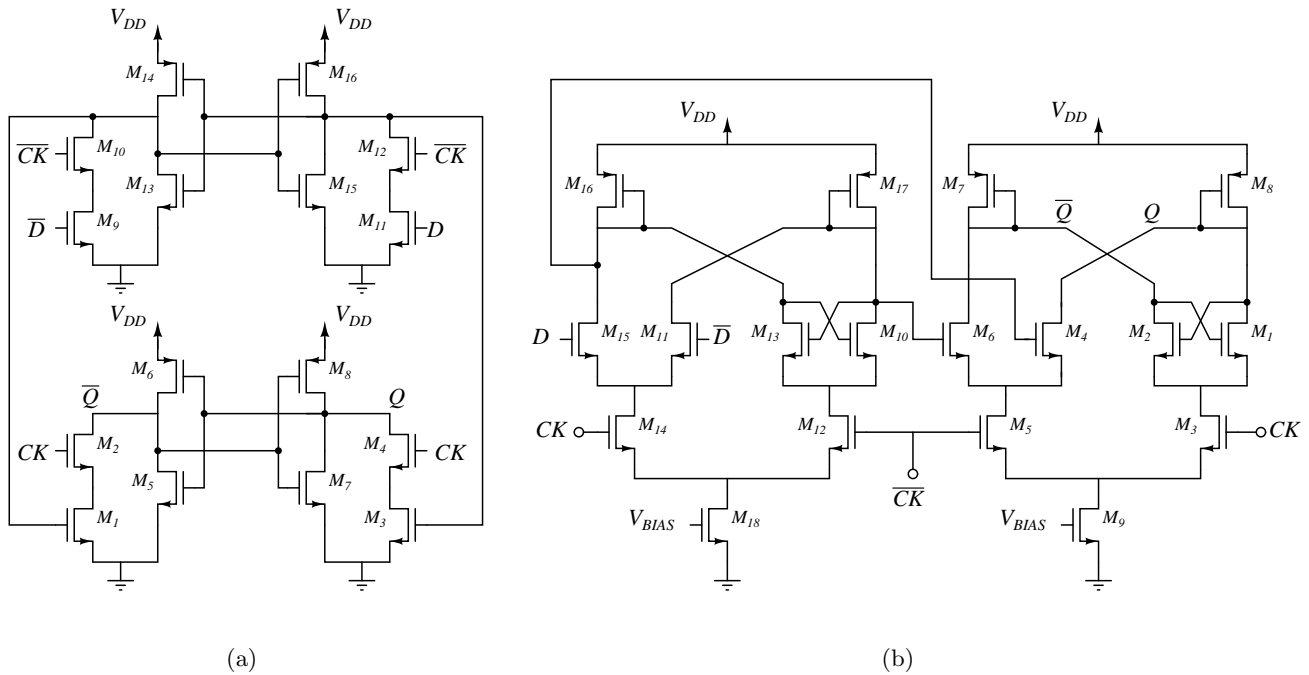


Figura 3.6: *Flip-flops* de lógica estática: (a) C²MOS, (b) SCL.

área en el integrado, adicionalmente, cada transistor representa capacitancias intrínsecas y extrínsecas que terminan por limitar la máxima frecuencia de trabajo del divisor.

Lógica Dinámica En esta categoría se ubican diferentes tipos de compuertas, a pesar de ello se enfatiza en las relacionadas con la lógica *TSPC* (*True Single Phase Clock*). Hoy en día, la lógica *TSPC* es una opción muy popular para la implementación de divisores de frecuencia digitales. La ventaja más importante tiene que ver con su principio de funcionamiento, ya que sólo usa una fase de reloj, lo cual evita los problemas debidos al retraso entre la señal de reloj *CK* y su complemento \overline{CK} . Esta característica se suma al hecho de que los divisores dinámicos tienen un menor número de transistores que los de lógica estática. Para verificarlo se puede observar la figura 3.7a, donde se muestra el *flip-flop* de lógica *TSPC-I* de tan sólo 9 transistores presentado por *Yuang y Svensson* [20].

Una modificación al *flip-flop* de lógica *TSPC-I* fue propuesta por *Huang* [21]. Los cambios realizados se pueden ver en la figura 3.7b. Lo que se logra es un aumento considerable en la frecuencia máxima de trabajo, no obstante, el precio es un incremento en la frecuencia mínima de operación.

A diferencia de la lógica estática, las celdas de memoria dinámicas almacenan valores lógicos mediante sus capacitancias internas. Esas capacitancias internas pueden descargarse perdiendo la información almacenada, por esta razón los divisores de frecuencia dinámicos tienen una frecuencia mínima de operación.

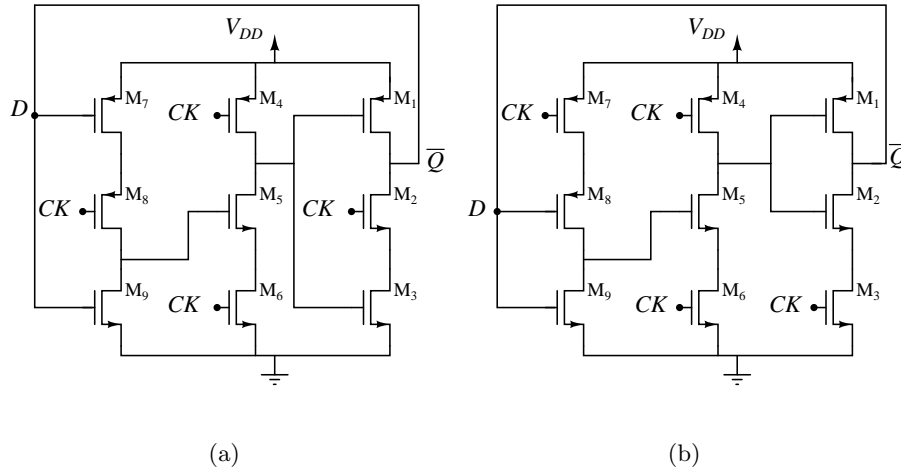


Figura 3.7: *Flip-flop* de lógica dinámica: (a) *TSPC-I*, (b) *TSPC-II*.

Tabla 3.1: Configuración del divisor de módulo dual.

S_A	S_B	BANDA DE FRECUENCIAS	MÓDULO	
			MC=0	MC=1
0	0	ESTACIÓN BASE <i>GSM</i>	17	18
0	1	ESTACIÓN MÓVIL <i>GSM</i>	18	19
1	1	BLUETOOTH	9	10

Divisor Dual

Según la estrategia de frecuencias planteada en la figura 3.3, el divisor de módulo dual puede ser configurado en 3 estados, los dos primeros para las bandas de las estaciones base y móviles de *GSM* y el tercero para *Bluetooth*. A esta configuración se le ha asignado 2 bits selectores de tal forma que los módulos de división están expresados en la tabla 3.1. El diagrama del divisor dual implementado es mostrado en la figura 3.8.

El primer divisor de frecuencia que recibe la señal del VCO es el de módulo 2/3. Este divisor puede cambiar su módulo entre 2 y 3 mediante dos señales de control llamadas MC_1 y MC_2 . Este divisor

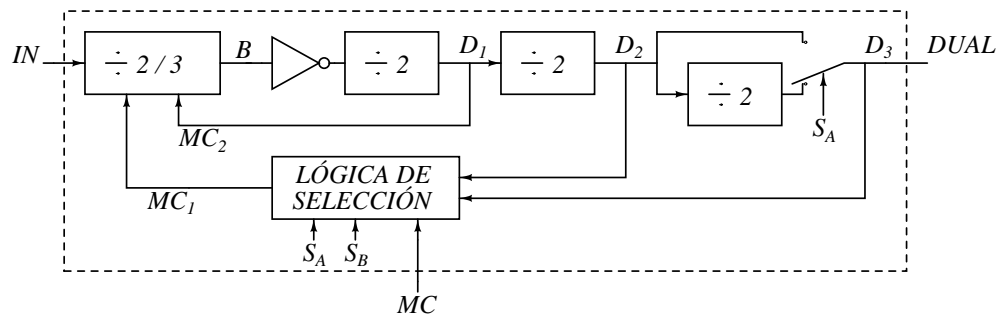


Figura 3.8: Divisor de módulo dual de tres configuraciones: 9/10, 17/18 y 18/19.

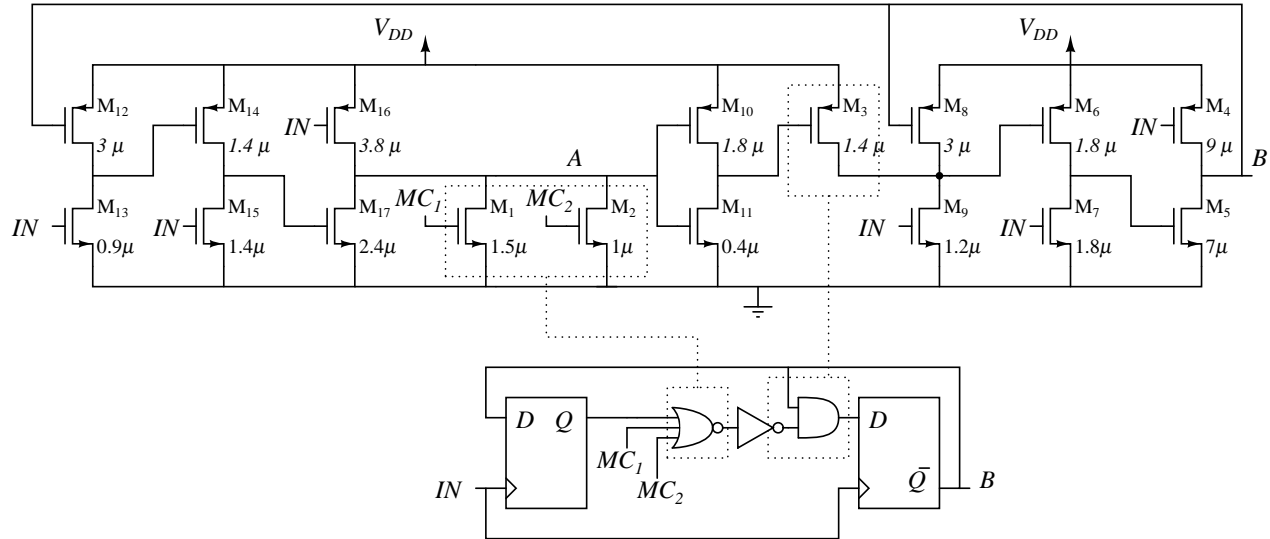


Figura 3.9: Divisor de módulo dual 2/3.

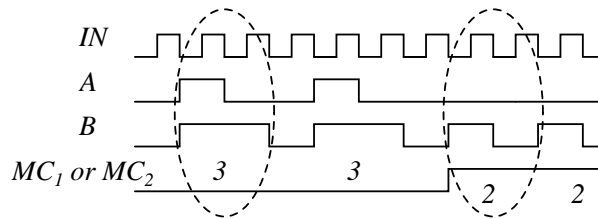


Figura 3.10: Formas de onda del divisor de módulo dual 2/3

adopta la configuración mostrada en la figura 3.9, donde también se muestra el circuito correspondiente. La lógica digital utilizada en este caso se denomina *E-TSPC* (*Extended TSPC*) [7,22].

E-TSPC es una modificación de la lógica *TSPC* donde se ubica sólo un transistor NMOS y uno PMOS por cada rama de corriente, esto disminuye las capacitancias internas permitiendo frecuencias de operación más altas que en los divisores *TSPC*. Para compensar la falta de los transistores intermedios, cada rama debe ser diseñada para que uno de los dos transistores (NMOS o PMOS) domine. Por ejemplo, en la primera rama a la izquierda de la figura 3.9 están los transistores M_{12} y M_{13} . Si en la puerta de M_{12} hay un '0' lógico y en la puerta de M_{13} hay '1' lógico, en el drenador de ambos habrá un '1' lógico ya que el ancho del transistor P es lo suficientemente mayor que el del transistor N. En las dos ramas siguientes el transistor que domina es el tipo N.

Para cumplir los requerimientos de tiempo en cada una de las señales del divisor 2/3, es preciso identificar el momento en el que se decide si el módulo es 2 o 3, para lo cual se pueden considerar las formas de onda de la figura 3.10. Las diferencias entre las dos situaciones están encerradas en óvalos. En

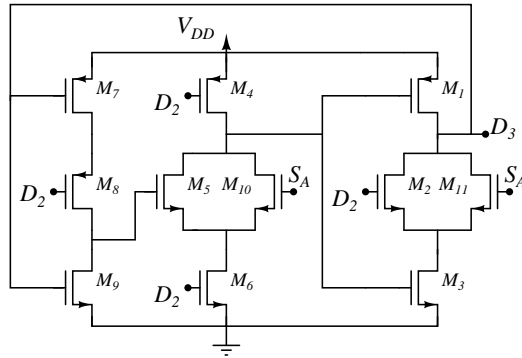


Figura 3.11: Divisor de módulo 2 *TSPC*, con interruptor incluido.

el caso de división por 3, la señal A cambia a nivel alto al mismo tiempo que B; al siguiente flanco de bajada del reloj, A cae a nivel bajo pero B se mantiene debido a que A estaba en alto y en el otro ciclo de reloj, B cae a 0. Cuando cualquiera de las dos señales MC_1 o MC_2 está en alto, A permanece en '0' todo momento, lo que hace que el divisor se comporte como un divisor común de módulo 2.

Del análisis hecho en el párrafo anterior, se puede concluir que el valor de MC_1 y MC_2 es evaluado únicamente en el flanco de subida de la señal B. De otra parte, en la figura 3.8 se puede ver que MC_1 y MC_2 dependen de los cambios sucedidos en la señal de salida del divisor 2/3. Teniendo en cuenta las situaciones mencionadas, es necesario que el *flip-flop* ubicado en seguida del divisor de módulo 2/3 sea activado con el flanco de bajada de B, para dar tiempo suficiente a que las señales MC_1 y MC_2 se establezcan.

Para los tres divisores de módulo 2 mostrados en la figura 3.8, cuya frecuencia de trabajo está entre 51.2MHz y 1.2GHz, resulta apropiado y suficiente usar el *flip-flop* de lógica *TSPC* de la figura 3.7a. En el caso del divisor ubicado en seguida del divisor 2/3, se ha antepuesto el inversor mostrado en la figura 3.8 para que sea activado por flanco de bajada.

El interruptor de la figura 3.8 que selecciona entre D_2 y $D_2/2$ es implementado sobre el mismo divisor de módulo 2, tal como se muestra en el circuito de la figura 3.11. Se agregaron los transistores M_{10} y M_{11} controlados por S_A . Cuando éstos conducen, el circuito se comporta como dos inversores en cascada, de lo contrario divide la frecuencia de la entrada por dos.

El bloque denominado lógica de selección que aparece en la figura 3.8 consiste en un arreglo de compuertas cuya salida es la señal MC_1 . De esta forma, decide cuantas veces el módulo del divisor 2/3 es 2 o cuantas veces es 3. En la figura 3.12 se muestra la salida MC_1 de la lógica de selección para las ocho posibles combinaciones de D_1 , D_2 y D_3 , dependiendo del módulo del divisor dual deseado.

Divisor programable

El divisor programable es visto como un contador que cuando alcanza el módulo programado se reinicia. Para generar la señal que hace que el contador se reinicie, *Reset*, usualmente se utiliza el circuito expuesto en la figura 2.2. El contador tiene como salidas B_1 , B_2 y B_3 , sin embargo, en su aplicación como divisor de frecuencia se necesita sólo un bit de salida. Este bit debe ser 0 una cantidad

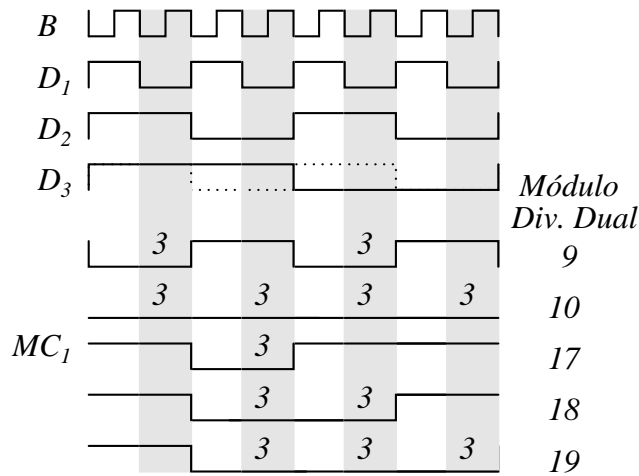


Figura 3.12: Resultado de la lógica de selección para las posibles combinaciones de entradas.

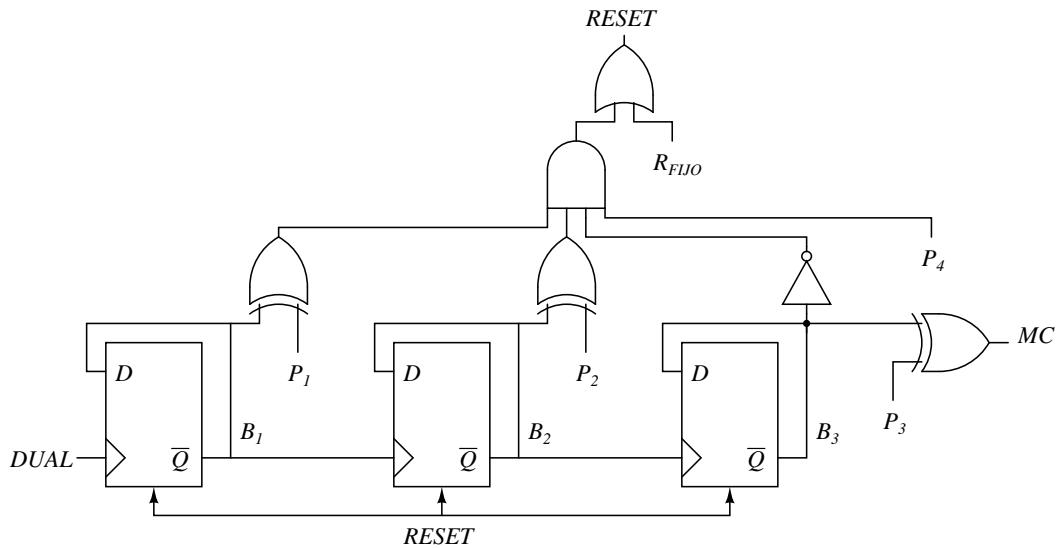


Figura 3.13: Divisor de módulo programable

determinada de flancos y 1 el resto del tiempo. Para obtener este bit llamado MC el circuito se ha modificado y el esquema resultante se muestra en la figura 3.13.

En el circuito de la figura 3.13, la señal de *Reset* no es afectada por la salida de la tercera compuerta *XOR*, en cambio depende de la salida del inversor. Como consecuencia de lo anterior, la señal de *Reset* no se activa mientras B_3 vale 1. Normalmente, B_3 se mantiene en 1 los primeros cuatro ciclos de la señal proveniente del divisor dual, luego cambia a 0 y permanece así hasta que $B_1 = P_1$ y $B_2 = P_2$ en ese momento se activa el *Reset* lo que hace que B_3 vuelva a 1. Así se obtiene la mitad de los módulos de división, la otra mitad es posible invirtiendo a B_3 mediante la compuerta *XOR* controlada por P_3 . Las formas de onda resultantes se pueden observar en la figura 3.14

Al circuito de *Reset* se agregaron dos señales, la primera es P_4 que cuando es igual a cero impide que el contador se reinicie. La segunda es $RFIJO$, que es un pulso que emite el divisor de módulo fijo cada vez que este completa un ciclo, reiniciando el contador.

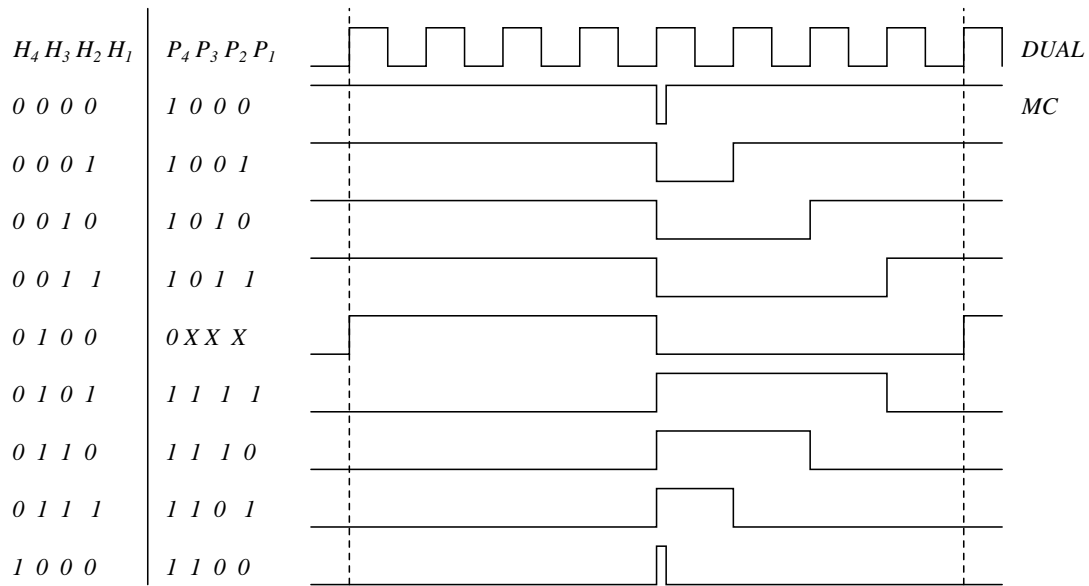


Figura 3.14: Módulos del divisor programable

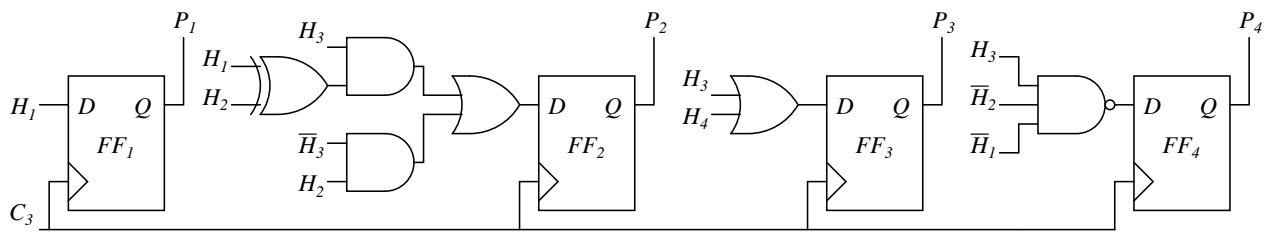


Figura 3.15: Registro sincronizador y lógica de selección

En la figura 3.14 se muestran las formas de onda correspondientes a los 9 estados posibles del divisor programable que son representados con los bits $H_4 \dots H_1$. Para establecer una equivalencia numérica entre los bits de selección y el módulo programable fue necesario usar la lógica expresada en la gráfica 3.15. Para formar cada módulo de división se requiere un periodo completo de la señal de referencia, por esta razón se usan los *flip-flops* de la figura 3.15 como sincronizadores, evitando que ocurran cambios en el módulo de división en cualquier parte del ciclo. Estos *flip-flops* operan a baja frecuencia por lo que son implementados con lógica estática.

Divisor de módulo fijo

El divisor fijo de módulo 8 es implementado mediante tres *flip-flops* dispuestos en forma asíncrona. La frecuencia a la que trabajan varía entre $6,4\text{MHz}$ y 256MHz , a estas frecuencias se puede usar el *flip-flop* de lógica *TSPC* mostrado en la figura 3.7a. Los tamaños de los transistores en su mayoría son los mínimos debido a la baja frecuencia de operación y a que no tienen carga significativa, a excepción del *flip-flop* que maneja la salida del divisor fijo. La salida del divisor de módulo fijo debe cargar los transistores del PFD y los registros del modulador.

3.2.2. Modulador Σ - Δ

En el capítulo 2 se mostró la importancia de usar modulador Σ - Δ en un sintetizador de frecuencia, también se introdujo el concepto de ruido de cuantización como efecto no deseado del modulador sobre el desempeño del *PLL*. El diseño del modulador está dividido en dos partes. En primer lugar se debe seleccionar el orden o número de etapas del modulador de acuerdo a las especificaciones de ruido de fase. De otra parte está la implementación de los sumadores y registros de 5 bits, cuya arquitectura depende de los requerimientos de tiempo del divisor.

Número de Etapas del Modulador

Según el modelo empleado para el análisis de ruido de cuantización expresado en la ecuación 2.11, la densidad espectral de ruido a la salida del *PLL* depende del siguiente término:

$$(2\text{sen}(\pi fT))^{2(m-1)} \quad (3.1)$$

donde m es el número de etapas del modulador y T es el periodo de la señal de referencia. De esta expresión se puede observar que cuando la frecuencia f es igual a $1/(6T)$, es decir la sexta parte de la frecuencia de referencia, el ruido de cuantización es independiente de m . Este valor de frecuencia divide el plano en dos partes, para frecuencias menores el ruido disminuye a medida que aumenta m , mientras que para frecuencias mayores el ruido se incrementa cada vez que aumenta m .

En este trabajo se utiliza un modulador de orden 2, debido a que el ruido de cuantización es moderado tanto para bajas frecuencias como para altas. El número de etapas del modulador no fue incrementado ya que cada etapa representa ocupación de área adicional.

Implementación Digital

La configuración del modulador implementado se puede observar en la figura 3.16. La señal de reloj referenciada es la salida de todo el divisor de frecuencia, es decir, la misma señal que es comparada con la frecuencia de referencia. Los registros de 5 bits y el *flip-flop* que forma parte de la cancelación del error son realizados con la lógica estática de la figura 3.6, debido a que la frecuencia a la que trabajan es la de referencia.

El modulador no tiene requerimientos muy estrictos en cuanto a rapidez de respuesta, ya que cuando se induce un cambio en el modulador mediante la señal de reloj, el módulo resultante tiene un tiempo igual al periodo del reloj para establecerse. Lo anterior se debe a que el registro sincronizador de la figura 3.15 sólo permite cambios en el valor de división cada ciclo de la salida del divisor.

El retraso en un sumador de 5 bits es considerablemente menor comparado con el periodo de la señal de referencia. Como no se necesita reducir los tiempos de respuesta, se prefiere usar componentes sencillos con baja ocupación de área, por esta razón cada sumador de 5 bits es implementado mediante sumadores completos de lógica estática con acarreo propagado.

La lógica de cancelación del error resaltada en el recuadro punteado de la figura 3.16, tiene como función integrar las dos etapas realizando la siguiente operación sobre el acarreo de los dos sumadores:

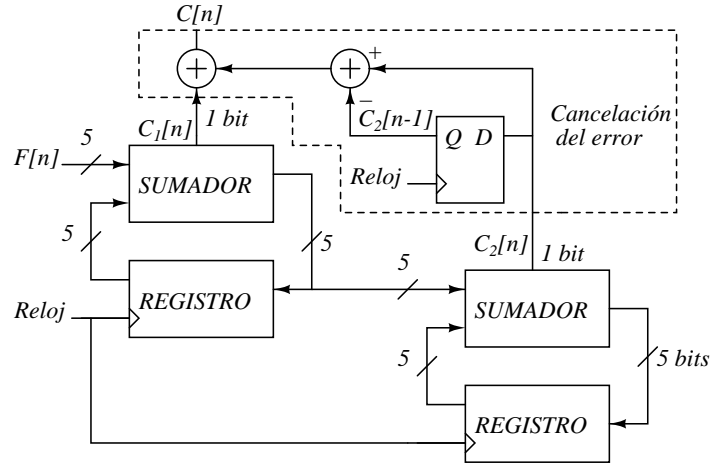


Figura 3.16: Modulador Sigma-Delta de orden 2.

$$C[n] = C_1[n] + (C_2[n] - C_2[n - 1]) \quad (3.2)$$

Cabe notar que el promedio de $C_2[n] - C_2[n - 1]$ es siempre 0, esto significa que el promedio de $C[n]$ es igual al de $C_1[n]$. Como resultado se tiene un valor de $C[n]$ de dos bits que varía entre -1 y 2 que luego son sumados a los tres bits que forman la parte entera del módulo de división.

3.2.3. Detector de Fase y Frecuencia

En esta sección se discuten algunas topologías para la implementación de los detectores de fase (PD) y los detectores de fase-frecuencia (PFD). Una arquitectura típica es adoptada para el diseño del PFD. Finalmente, se propone una forma de aumentar el rango de detección de fase mediante un circuito LD (*Lock Detector*) conocido.

Topologías

Como se mencionó anteriormente, los PD (*Phase Detectors*) producen una salida proporcional a la diferencia de fase entre sus dos entradas. El PFD además de detectar fase, también discrimina la diferencia entre las frecuencias de las dos señales de entrada. Este concepto puede ser ampliado al observar la figura 3.17 adaptada de [16], donde se ilustran las curvas de transferencia entre la diferencia de fase y la salida de algunos detectores típicos.

El funcionamiento del mezclador de señal como detector de fase fue explicado en el capítulo 1, en la figura 3.17a se puede ver que su rango de detección está entre $-\pi/2$ y $\pi/2$. El uso de la compuerta *XOR* tiene el mismo rango de detección, en ambos casos se requiere que el ciclo útil de las señales de entrada sea del 50% para obtener la diferencia de fase correcta. Esta situación no se presenta en el *FF-JK*, ya que sólo es sensible a los flancos de las señales de entrada. El *FF-JK* reconoce diferencias de fase linealmente entre $-\pi$ y π , sin embargo, para valores por fuera de este rango no proporciona información útil para que el *PLL* se enganche. De otra parte, el PFD detecta diferencias de fase entre -2π y 2π , además de discriminar si la frecuencia de la señal realimentada es mayor o menor que la frecuencia de referencia. Una forma común de implementar el PFD se muestra en la figura 3.18.

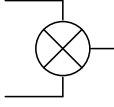
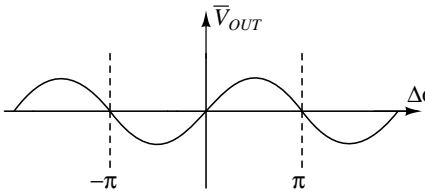
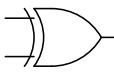
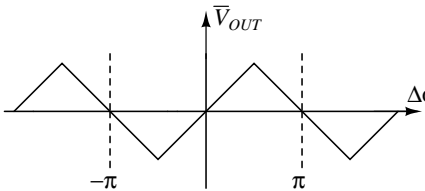
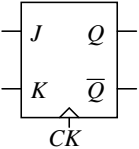
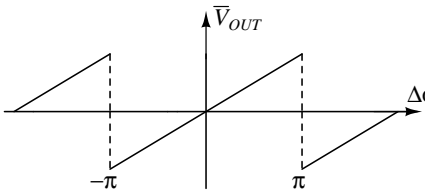
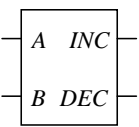
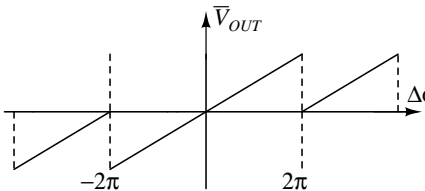
Detector de Fase	Curva de Transferencia	Rango Lineal
<p>Mezclador</p> 		$-\pi/2, \pi/2$
<p>XOR</p> 		$-\pi/2, \pi/2$
<p>flip flop JK</p> 		$-\pi, \pi$
<p>PFD</p> 		$-2\pi, 2\pi$

Figura 3.17: Características de algunos detectores de fase.

Un problema frecuente que sufre el PFD es la llamada *zona muerta*, la cual aparece en la función de transferencia de algunos PFD como se muestra en la figura 3.19. Este efecto se traduce en una sensibilidad baja o nula por parte del PFD ante diferencias de fase cercanas a 0. La solución a la *zona muerta* consiste en llevar a que las dos señales de salida *INC* y *DEC* se activen simultáneamente durante un corto lapso de tiempo cada periodo de la señal de referencia. De acuerdo a lo anterior, en todo momento existen pequeños pulsos en las señales *INC* y *DEC*, aún cuando las dos señales de entrada al PFD sean iguales.

Implementación de circuito

El circuito implementado para el PFD se muestra en la figura 3.20, este corresponde al diagrama esquemático de la figura 3.18, donde el *flip-flop* tipo D se realizó con lógica *TSPC* modificada para la operación del PFD [23].

Las dimensiones de los transistores fueron seleccionadas para la correcta operación del PFD a las frecuencias cercanas a la referencia, $6,4\text{MHz}$ para GSM y 32MHz para Bluetooth. La duración del *reset* medida a través de simulación es aproximadamente 450ps , lo que suma el retardo de la compuerta NOR y de los transistores M_{19} , M_{14} , M_{13} y M_8 , que son los que hacen que \overline{INC} y \overline{DEC} retornen a '1'.

Este retraso en la señal de *reset* significa que en estado estable, ambas salidas del PFD están activas durante 450ps . Por un lado, este retraso elimina la denominada *zona muerta*, pero en esos 450ps se

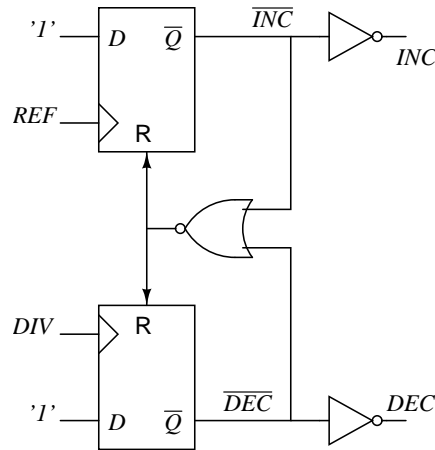


Figura 3.18: Diagrama esquemático de un detector de fase y frecuencia.

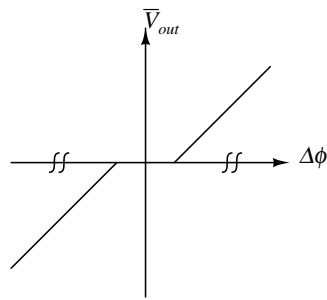


Figura 3.19: Zona muerta en un detector de fase.

activan las corrientes de carga y descarga de la bomba. Si las dos corrientes no son exactamente iguales, se produce un flujo neto de carga hacia el filtro causando cambios erróneos en la tensión de control del VCO. Por lo tanto, esta situación requiere ser considerada en el diseño de la bomba de carga.

Aumento en el Rango de Detección

Como se observó en la figura 3.17, el PFD sigue linealmente el error de fase únicamente entre -2π y 2π . Cuando hay un cambio de frecuencias relativamente amplio la diferencia de fases puede ser superior a 2π , en ese caso la frecuencia del PLL alcanza su valor deseado después de varias oscilaciones en la señal de control llamadas *cycles-slip*. Este efecto no-lineal del PFD causa tiempos de establecimiento considerablemente largos.

Una manera de compensar el limitado rango de detección del PFD, es aumentar la corriente de la bomba de carga cuando el error de fase está cerca de 2π [24]. Esta solución propone el uso de un PFD adicional con una *zona muerta* amplia, que controla una bomba de carga con más corriente que la de operación normal. A pesar de que esta técnica disminuye el tiempo de establecimiento, también altera la estabilidad del PLL.

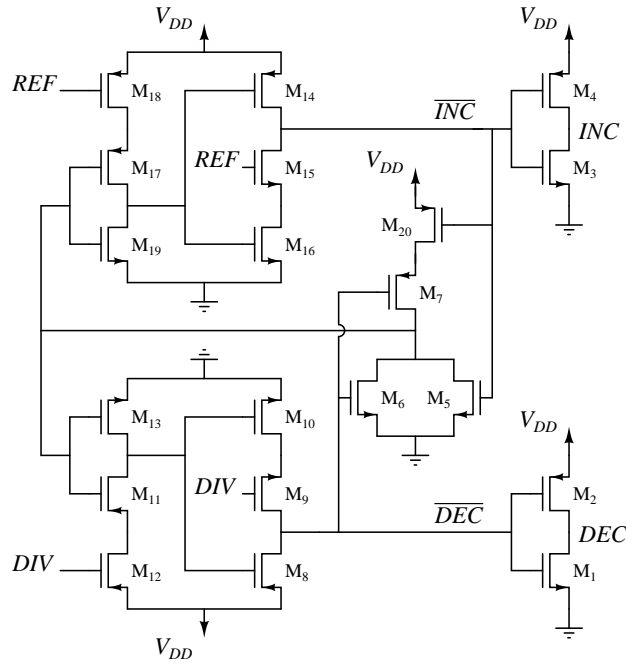


Figura 3.20: Implementación de circuito del PFD.

Es importante recordar que la situación ideal del detector de fase planteada en la figura 1.7b, se obtiene cuando el rango de detección es ilimitado. Una aproximación al PFD ideal se logra aumentando su región de operación lineal, de tal forma que detecte fase ante cualquier cambio de canal dentro de la misma banda. El esquema propuesto en la figura 3.21a permite aumentar el rango de detección del PFD.

En la figura 3.21b se evidencia el principio de funcionamiento del esquema propuesto para la detección de fase. La situación mostrada corresponde a la respuesta transitoria de la diferencia de fase $\Delta\phi$ entre la señal de referencia y la señal realimentada, cuando hay un cambio de tipo escalón en la frecuencia de entrada al *PLL*. La forma de onda de la figura 3.21b refleja el comportamiento típico del error de fase para un cambio de canal del sintetizador, la diferencia de fase se incrementa hasta su valor máximo y luego decae asintóticamente hasta 0. El promedio de I_1 resulta del PFD y la bomba de carga utilizados normalmente. Cuando el error de fase sobrepasa 2π , el valor detectado vuelve a empezar desde 0 por la misma naturaleza periódica de la fase. La corriente de la segunda bomba de carga I_2 está activa mientras la diferencia de fase supere el valor de 2π y se desactiva para valores de $\Delta\phi$ menores a 2π . Al sumar las corrientes I_1 e I_2 se obtiene la salida del comparador de fase con un rango de detección desde -4π hasta 4π .

El Detector de Rango Extendido (*DRE*) se implementa mediante el circuito mostrado en la figura 3.22. El esquema del *DRE* es simétrico, es decir, cada bloque o función utilizada para detectar diferencias positivas de fase es duplicado para hacerlo con las diferencias negativas. La base del funcionamiento del *DRE* es un circuito denominado *Lock Detector (LD)* [25], en la figura 3.22 se resalta el *LD* dentro del cuadro punteado.

El *LD* está conformado por dos *flip-flops* tipo D marcados como FF_1 y FF_2 , los cuales generan

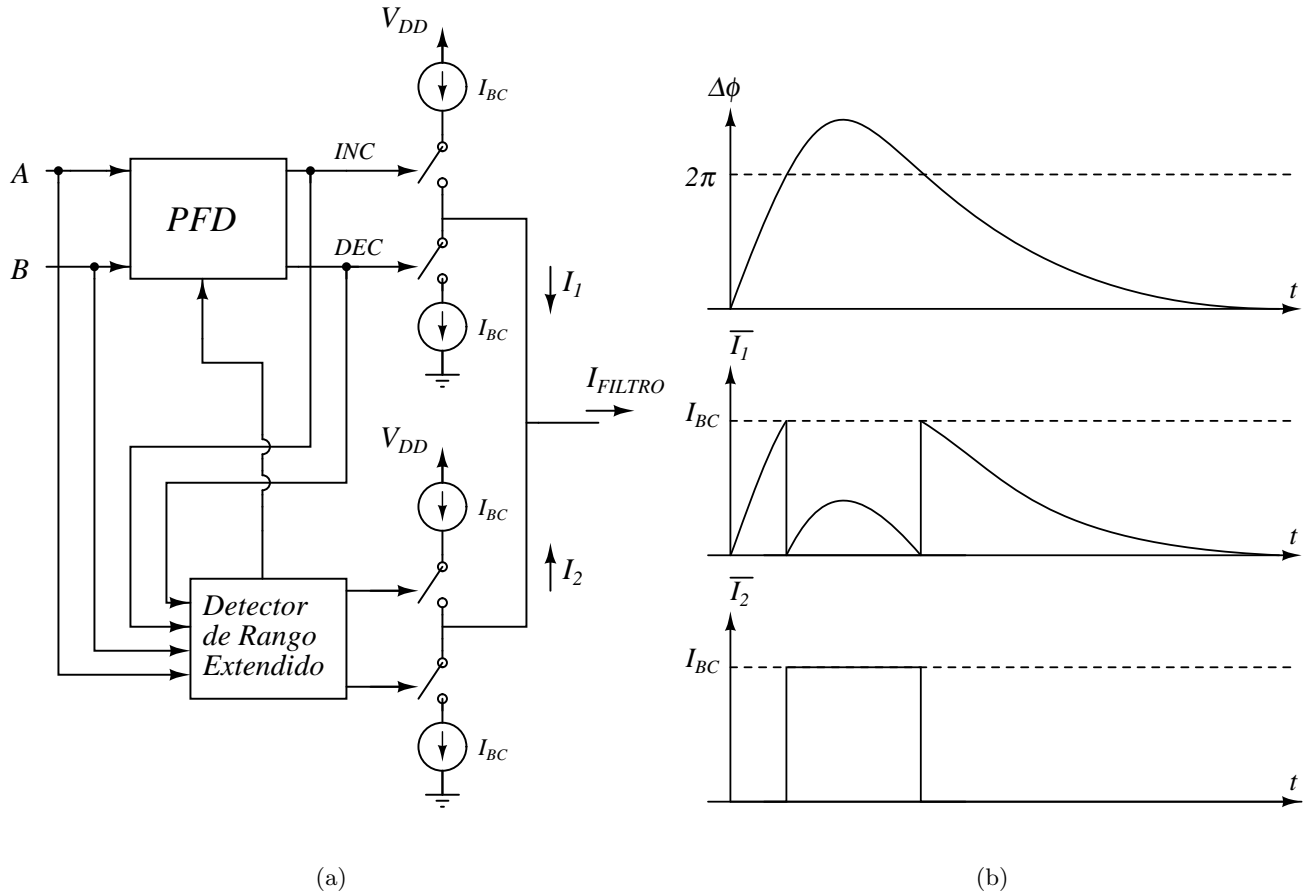


Figura 3.21: (a) Esquema de comparación para aumentar el rango de detección de fase del PFD. (b) Respuesta transitoria de la fase ante un cambio de canal en el *PLL*.

un pulso cada vez que la diferencia de fase alcanza un valor de 2π o -2π . En ese momento el PFD se desborda, conduciendo al efecto de *cycles slip* mencionado anteriormente. No obstante, los pulsos a la salida de FF_1 y FF_2 activan las señales $+E$ y $-E$ que controlan la bomba de carga adicional, la corriente de esta bomba es la que evita los denominados *cycles slip*.

Después de activada la corriente adicional, la magnitud de la diferencia de fase sigue aumentando hasta su valor máximo, luego retorna a 0. Según la figura 3.21b, esta corriente debe ser interrumpida una vez que $\Delta\phi$ vuelve a 2π , pero este cruce por 2π ya no es detectado por FF_1 , de eso se encarga el *flip-flop* FF_3 .

Cuando $\Delta\phi$ cruza por 2π al retornar, el valor detectado por el PFD es 0. El *flip-flop* FF_7 de la figura 3.22 genera un pulso que obliga a la salida del PFD a tener el valor correspondiente a 2π .

La estrategia planteada para el aumento del rango de detección en el PFD, puede evitar la presencia de *cycles slip* que son causantes de largos tiempos de establecimiento. Lo anterior se logra sin cambiar la ganancia de lazo ni el ancho de banda del *PLL*, por lo cual se mantienen las características de estabilidad calculadas con el modelo lineal.

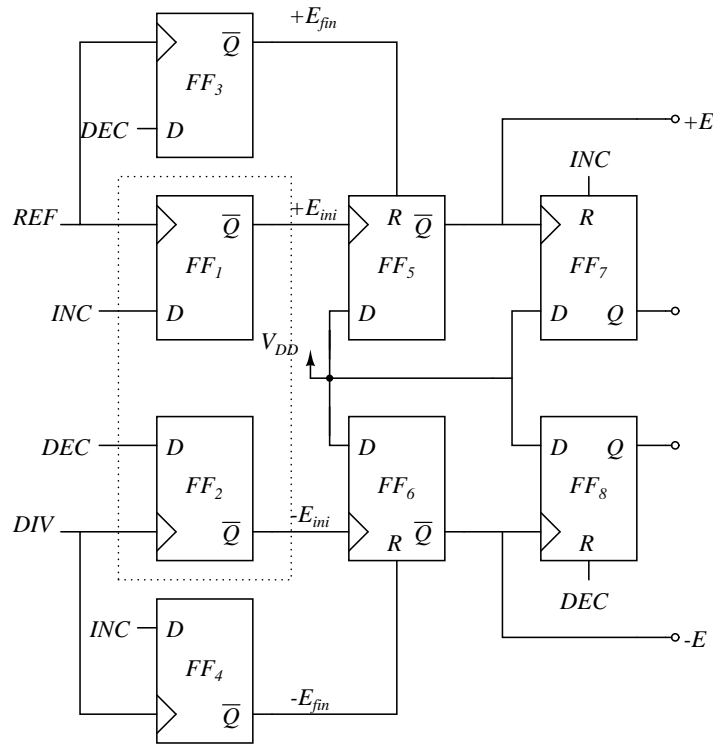


Figura 3.22: Implementación del detector de rango extendido.

3.2.4. Bomba de carga

Según lo planteado en el primer capítulo, una bomba de carga puede ser descrita como dos fuentes de corriente conmutadas. En una situación ideal, las dos fuentes tienen exactamente la misma corriente y la conmutación es inmediata, sin embargo, estas condiciones no existen en una bomba de carga real [26]. La diferencia en las corrientes de la bomba, ocasiona un flujo erróneo de carga hacia el filtro, causando alteraciones en la tensión de control del VCO.

Efectos No-Ideales en la Bomba de Carga

Desajuste de Corrientes Usualmente la fuente de corriente superior está formada por un transistor PMOS, mientras que en la fuente inferior hay uno NMOS, como se muestra en la figura 3.23. La igualdad en las corrientes de estos dos transistores requiere estrictas condiciones de polarización. En la mayoría de los casos, los voltajes de polarización son proveídos por espejos de corriente. No obstante, el correcto funcionamiento de un espejo de corriente está sujeto a dos factores. Por un lado, las dimensiones de los transistores que forman el espejo deben ser iguales, lo cual no se cumple en su totalidad debido a que el tamaño de los transistores varía en el proceso de fabricación. De otra parte, la corriente del transistor depende de la tensión drenador-fuente, en este sentido se busca una alta resistencia de salida. Para este último problema existen diferentes configuraciones, como la adición de un transistor en cascodo o la técnica llamada *gain boosting*.

- **Desajuste Temporal** En la figura 3.23 los transistores M_3 y M_4 actúan como interruptores. El transistor N es activado con un nivel lógico alto, mientras que el transistor P se activa mediante

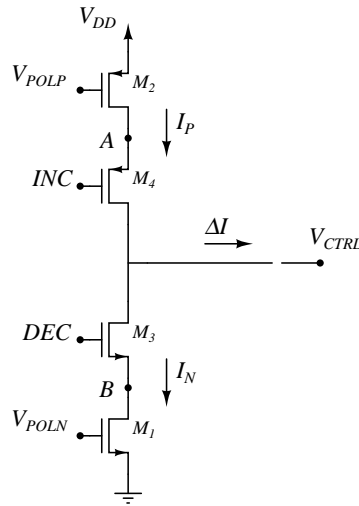


Figura 3.23: Implementación sencilla de la bomba de carga.

niveles lógicos bajos. Esta diferencia hace necesario el uso de un inversor en una de las señales de control de la bomba, causando un retraso entre las corrientes de carga y descarga.

- **Inyección de Carga** Los transistores de la figura 3.23 que actúan como interruptores, en su estado activo mantienen una cantidad de carga en su canal. Cuando las señales que controlan los transistores los hace operar en corte, esa carga tiene que distribuirse entre el nodo de salida y los nodos intermedios A y B. Si el transistor estaba operando en saturación, la mayoría de la carga está agrupada hacia el lado de la fuente, por lo tanto al desactivarse el transistor esa carga fluye hacia la fuente sin afectar la salida de la bomba de carga.
- **Realimentación de Reloj** Este efecto lo sufren los circuitos no sólo con señales de reloj, sino con cualquier señal digital que activa o desactiva un transistor. Cuando la señal digital que controla el transistor cambia, inyecta o extrae carga de las capacitancias C_{gs} y C_{gd} ; por consiguiente, la activación o desactivación de los interruptores de la figura 3.23 causa corrientes adicionales sobre la salida de la bomba de carga.
- **Compartimiento de Cargas** Ocurre cuando uno de los interruptores de la figura 3.23 cambia de desactivado a activo. Mientras los transistores M_3 y M_4 están en corte, la tensión en los nodos A y B es V_{DD} y $0V$ respectivamente. Después de activarse los transistores, la tensión de A decrece y la tensión de B aumenta, resultando en la transferencia de carga entre las capacitancias de los nodos A, B y el capacitor a la salida de la bomba de carga.

Topologías

Las formas de implementar una bomba de carga difieren básicamente de la ubicación de los interruptores. A continuación se mencionan las ventajas y desventajas de cada topología.

- **Interruptor en el Drenador** La configuración de drenador se muestra en la figura 3.24a, la respuesta de este circuito ante los cambios en las señales de control es rápida. El precio por

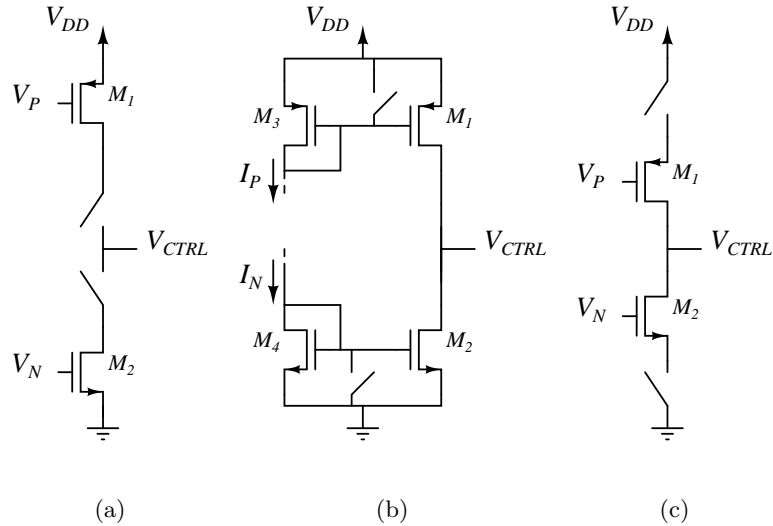


Figura 3.24: Bomba de carga con interruptores en: (a) drenador, (b) puerta y (c) Fuente.

la rapidez, son los altos picos de corriente debidos principalmente al compartimiento de cargas. También sufre de inyección de carga y realimentación de reloj.

- **Interruptor en la Puerta** Al ubicar los interruptores como se indica en la figura 3.24b, se evita en gran parte los picos de corriente producidos en el circuito de la figura 3.24a. No obstante, los cambios en la corriente de salida de la bomba de carga son lentos. El consumo de potencia es mayor debido a que las fuentes de corriente que polarizan a los transistores N_1 y P_2 deben ser independientes, además, su corriente debe ser de magnitud considerable para conservar la velocidad de conmutación de los interruptores.
- **Interruptor en la Fuente** En el caso de la figura 3.24c los interruptores son conectados en la fuente de los transistores principales. Este arreglo presenta menos consumo de potencia que el de la figura 3.24b sin comprometer la velocidad de conmutación. Se mantienen los problemas de compartimiento de cargas y realimentación de reloj aunque en menor grado que en la configuración de drenador.
- **Current Steering** Esta topología aparece como una modificación que mejora el desempeño de la configuración de drenador. En la figura 3.25a se muestra la bomba de carga basada en el concepto de *current steering*. Las fuentes de corriente siempre conducen, lo que se hace en la conmutación es redireccionar esa corriente hacia el filtro. Como hay corriente en todo momento, el cambio es rápido. El efecto de inyección de carga es mínimo debido a que la tensión en los nodos A y B se mantiene casi constante en los momentos en que los interruptores están cerrados o abiertos. Se conservan los problemas de realimentación de reloj y retraso entre la activación de los interruptores PMOS y NMOS, aunque para este último inconveniente se han propuesto diferentes esquemas.
- **Bomba de Carga Diferencial** La configuración diferencial es mostrada en la figura 3.25b, su uso elimina casi totalmente los problemas concernientes a la simetría entre las corrientes. Sin embargo, el mayor obstáculo para su implementación es que el filtro debe ser doble. Si el filtro es integrado,

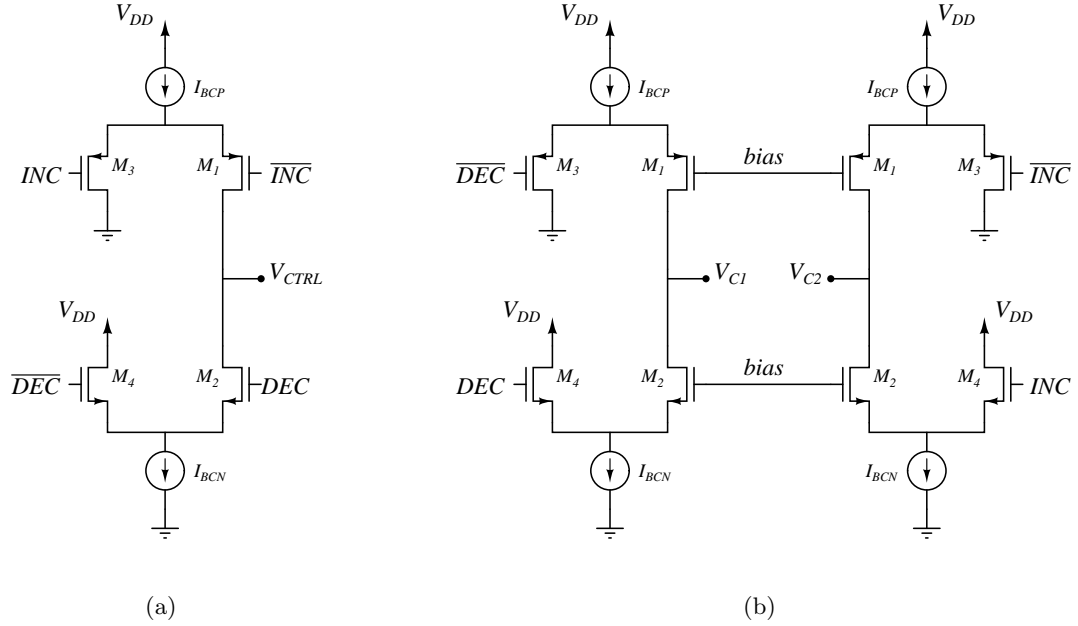


Figura 3.25: Bomba de carga, configuración: (a) *current steering* y (b) diferencial.

esto duplicaría el área ocupada, si no, aumentaría el número de componentes externos y el número de pines del integrado.

Implementación de circuito

La topología implementada en este trabajo para la bomba de carga es la de *current steering*, con algunas modificaciones. Los transistores que actúan como interruptores en la figura 3.25a operan en la región de triodo. Por tanto, para que exista la misma corriente en ambas ramas, la tensión drenador-fuente debe ser igual. Esto significa que el drenador de los transistores M_3 y M_4 no deben conectarse a $0V$ ni a V_{DD} . En la figura 3.26a estos nodos se han conectado a V_{C2} y V_{C1} respectivamente.

En la figura 3.26b se han agregado los transistores M_7 - M_{12} , cuya función es hacer que las tensiones V_{C2} y V_{C1} sean iguales a la tensión en el nodo de salida de la bomba de carga. En esta figura también se han reemplazado las fuentes de corriente por sus circuitos equivalentes. Es importante notar que el transistor M_{13} tiene las mismas dimensiones y corriente que M_5 , de forma similar M_{14} y M_6 . Lo anterior significa un mayor consumo de potencia, pero garantiza que las dos corrientes sean simétricas sin importar el valor de la corriente de polarización I_{POL} . Dado que la simetría de las corrientes ni la rapidez de conmutación dependen de I_{POL} , esta corriente puede ser menor que la corriente de salida.

En lo concerniente a la resistencia de salida, las dimensiones de los transistores M_5 y M_6 fueron diseñadas para obtener una alta resistencia de salida, aunque ésta depende de la corriente de operación de la bomba de carga. No se utilizaron esquemas adicionales para aumentar la resistencia debido a que reducen el rango de excursión a la vez que aumentan la complejidad del circuito. Además, se concluyó mediante simulaciones que las diferencias dinámicas entre las corrientes son más representativas que las estáticas, siendo las primeras aquellas que están relacionadas con la conmutación.

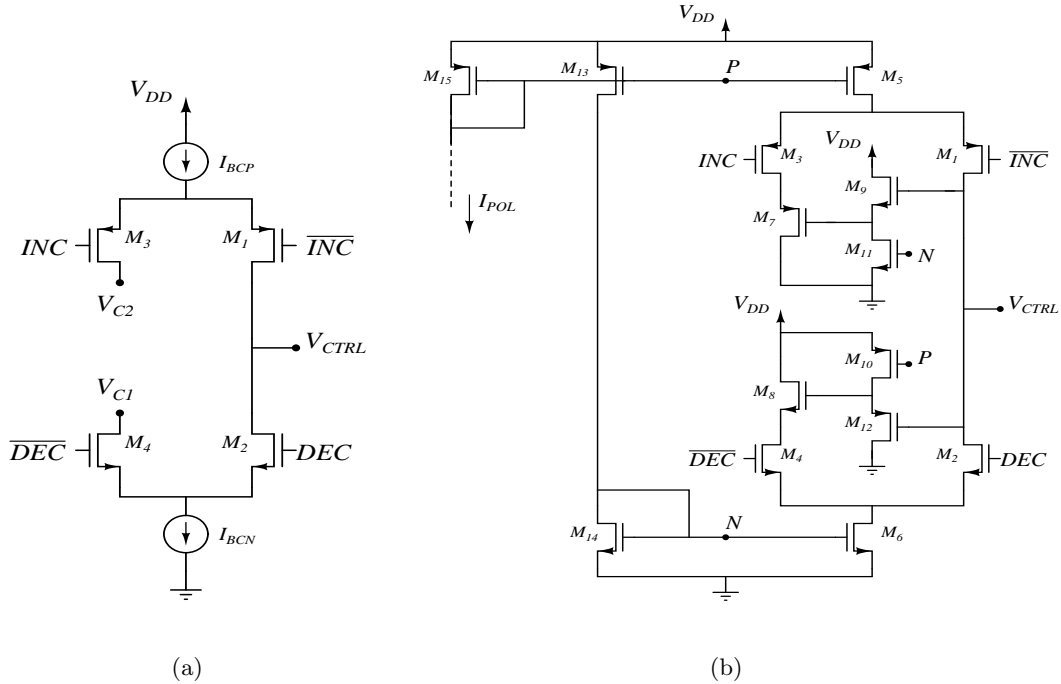


Figura 3.26: Bomba de carga: (a) Esquema general. (b) Circuito implementado.

Bomba de Carga para Aumentar el Rango de Detección de Fase

La conmutación de esta bomba de carga es de baja frecuencia y sólo se activa en el proceso de adquisición, luego no existen las mismas exigencias de diseño que en la bomba de carga principal. El circuito empleado es el de la figura 3.23. La polarización y las dimensiones de los transistores que conforman la fuente de corriente son iguales a los de la bomba de carga principal, los tamaños de los interruptores también son los mismos.

3.3. Diseño del Filtro

Así como el plan de frecuencias encamina las medidas de desempeño hacia las especificaciones, el filtro es quien finalmente define las características de ruido, rapidez y estabilidad del PLL. De allí la importancia de su diseño.

En este trabajo se utiliza un filtro pasivo de segundo orden como el de la figura 2.9, para el cual se deben seleccionar los valores de R_1 , C_1 y C_2 . Estos valores a su vez están relacionados con la ubicación de los polos y ceros de lazo cerrado.

Para el diseño del filtro se han seguido los pasos indicados en la figura 3.27. Generalmente, la selección de componentes del filtro empieza por definir el grado de estabilidad esperado en el PLL, que para este caso está en función de las variables Q y w_z/w_{cp} .

El primer paso planteado en la figura 3.27 es seleccionar el valor de Q , de esta manera se fija un rango para la estabilidad del PLL. En base al valor de Q y las especificaciones dadas por los estándares de comunicación inalámbrica, se establecen los límites en el ancho de banda y la ubicación de los polos

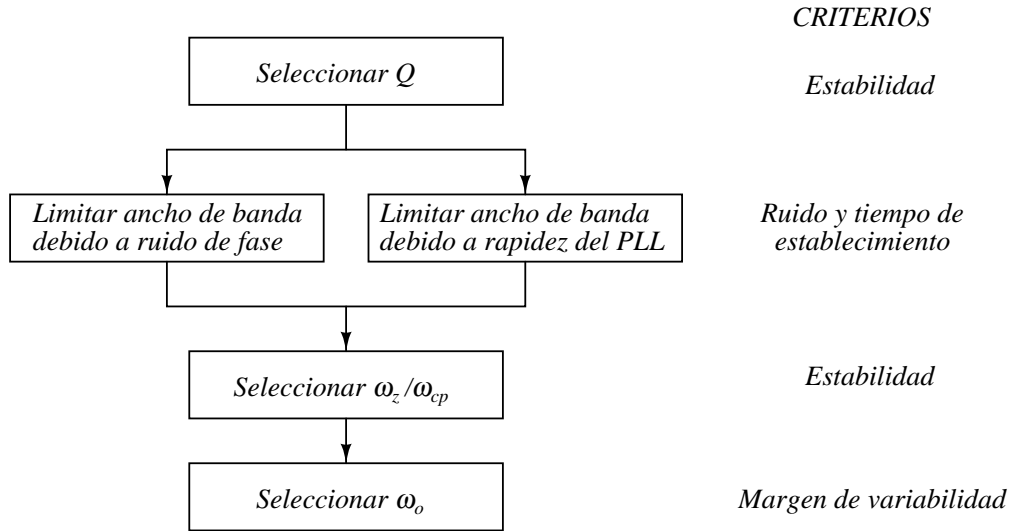


Figura 3.27: Estrategia de diseño del filtro.

de lazo cerrado. Posteriormente, teniendo en cuenta las características de estabilidad de lazo y los límites impuestos por las especificaciones, se escoge el valor de w_z/w_{cp} . Finalmente, con la elección del ancho de banda w_o , quedan establecidas todas las variables de diseño.

Selección del factor de calidad Q

La variable Q representa la relación entre la parte imaginaria y la parte real de los polos complejos, sus efectos sobre la estabilidad del PLL fueron dilucidados en la sección 2.2. Allí se vinculó la estabilidad con la amplitud de las oscilaciones en la respuesta transitoria. Una medida frecuente de estabilidad en un sistema realimentado es el margen de fase; en el diseño del lazo normalmente se busca un margen de fase alrededor de 60° .

$$KG(s)H(s) = \frac{K(s/w_z + 1)}{Ns^2(s/w_p + 1)} = \frac{K_n(s/w_z + 1)}{s^2(s/w_p + 1)} \quad (3.3)$$

La función de transferencia de lazo abierto del PLL está dada por la ecuación 3.3, cuya magnitud y fase se muestran en la figura 3.28. Según esta figura el margen de fase del sistema se puede calcular como:

$$MF = \tan^{-1} \left[\frac{w_u}{w_z} \right] - \tan^{-1} \left[\frac{w_u}{w_p} \right] \quad (3.4)$$

donde w_u es la frecuencia de ganancia unitaria y tiene un valor de K_n/w_z . Utilizando las equivalencias matemáticas desarrolladas en el apéndice A y reemplazando en la ecuación 3.4 se obtiene el valor del margen de fase de la expresión 3.5, donde se observa la dependencia de MF con las variables Q y w_z/w_{cp} . Esta dependencia también se puede notar en la figura 3.29, en la cual se grafica el margen de fase para varios valores de Q. Para valores bajos de Q el margen de fase se acerca a los 90° , mientras que para los valores altos resulta un margen de fase de pocos grados.

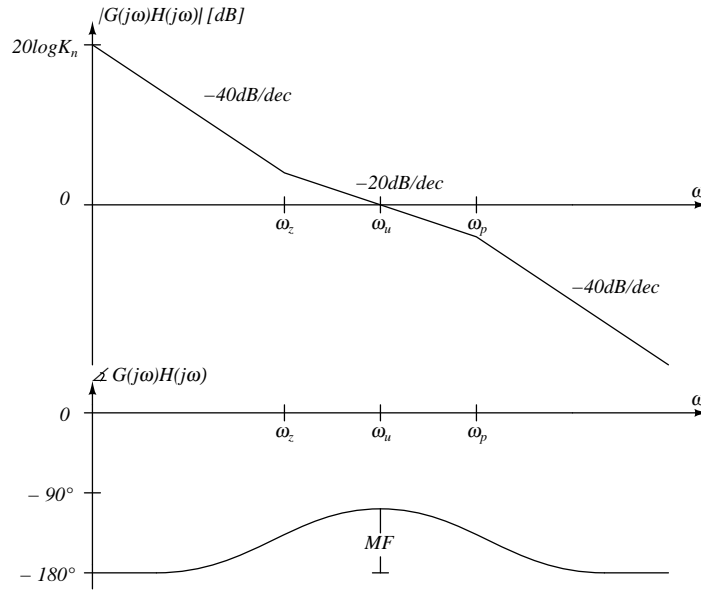


Figura 3.28: Diagrama de Bode para el *PLL* con filtro de segundo orden.

$$MF = \tan^{-1} \left[\frac{w_{cp}/w_z}{(1 - w_z/w_{cp})(1 + Q^2(w_{cp}/w_z - 1))} \right] - \tan^{-1} \left[\frac{Q^2 w_{cp}/w_z}{(1 + Q^2(w_{cp}/w_z - 1))^2} \right] \quad (3.5)$$

En la función de transferencia de lazo cerrado, el efecto de una cantidad elevada de Q se refleja en un pico a la frecuencia w_o tal como lo indica la figura 3.29b. El pico sólo aparece cuando $Q > 1/\sqrt{2}$ y su amplitud depende directamente del valor de Q . Por esta razón, $Q = 1/\sqrt{2}$ es una solución adecuada, esta elección además de prevenir el pico en la magnitud de la función de transferencia de lazo cerrado, también da un rango de variación al margen de fase entre 45° y 63° .

Límite en el ancho de banda debido al ruido de fase

Tal como se mencionó anteriormente, el ruido de fase está especificado por los estándares de comunicación inalámbrica mediante una máscara de ruido. En esta sección del diseño del filtro se busca establecer el máximo ancho de banda, que hace posible que el ruido de fase esté bajo la máscara. Para ello se ha tomado como referencia un punto de la máscara denominado el punto crítico.

Punto crítico de ruido Según lo expuesto en la sección 2.4, para frecuencias de *offset* menores al ancho de banda, el ruido de fase del *PLL* es aproximadamente plano. A frecuencias mayores al ancho de banda el ruido del VCO tiene una caída de -20dB/dec , mientras el ruido proveniente de los demás componentes del *PLL* es atenuado a razón de -40dB/dec .

Si se trazan líneas con pendiente de -20dB/dec sobre la máscara de ruido de *GSM*, se puede observar que la línea mas alta ubicada bajo la máscara cruza por el punto $(400\text{kHz}, -105\text{dBc/Hz})$, esta línea es graficada en la figura 3.30a. En la misma figura se ha trazado la línea mas alta con pendiente -40dB/dec , coincidencialmente esta línea también pasa por el punto $(400\text{kHz}, -105\text{dBc/Hz})$. Lo anterior indica que

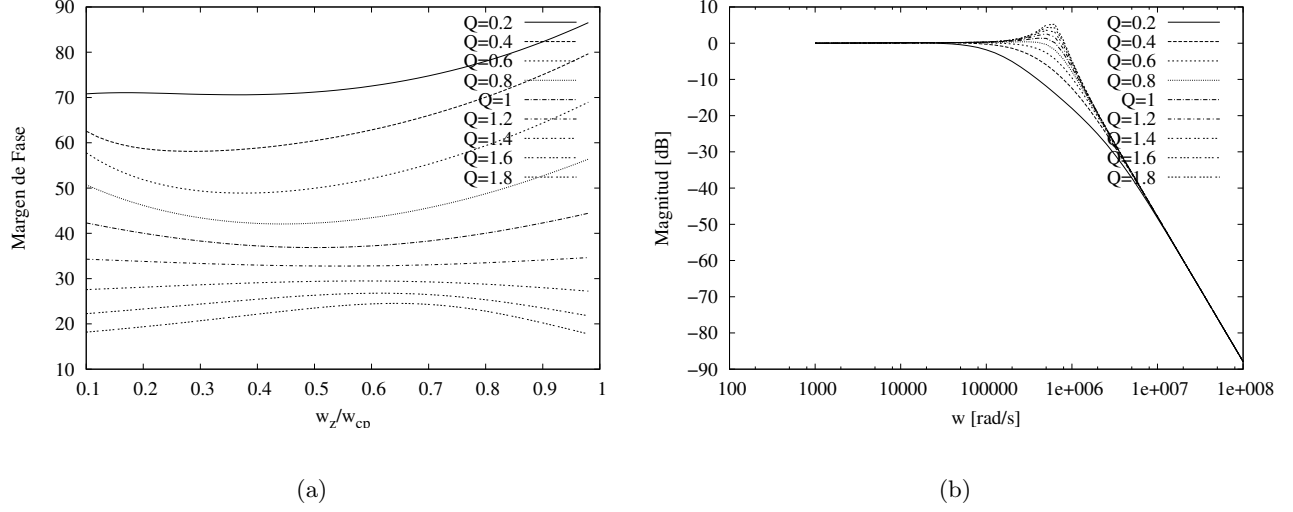


Figura 3.29: Estabilidad del PLL en función de Q . (a) Margen de fase. (b) Función de transferencia del PLL .

este punto es crítico para que el PLL cumpla los requerimientos de ruido. Por tanto el diseño del filtro en GSM se hace en función de que el ruido de fase medido a 400kHz sea inferior a -105dBc/Hz.

El mismo análisis hecho para GSM en los párrafos anteriores se realiza para el estándar $Bluetooth$. En la gráfica 3.30b se muestran las líneas mas altas con pendientes de -20dB/dec y -40dB/dec que están bajo la máscara de ruido de $Bluetooth$, allí se puede observar que el punto crítico de ruido en $Bluetooth$ es (3MHz,-111dBc/Hz).

Cálculo del máximo ancho de banda Las ecuaciones que representan las tres principales componentes de ruido de fase en el PLL son:

$$S_{BF}(f) = 20 \log \left(2\pi N \frac{i_{ruido}}{I_{BC}} \right) \quad (3.6)$$

$$S_{MOD}(f) = 10 \log \left[\frac{1}{12} \frac{1}{F_{ref}} (2\pi)^2 \left(2 \text{sen} \left(\frac{\pi f}{f_{ref}} \right) \right)^{2m-2} \right] \quad (3.7)$$

$$S_{VCO}(f) = R_{VCO} - 20 \log(f/f_{VCO}) \quad (3.8)$$

donde $S_{BF}(f)$, $S_{MOD}(f)$, $S_{VCO}(f)$ son las densidades espectrales de ruido, referidas a la bomba de carga, modulador y VCO respectivamente. En la corriente de ruido i_{ruido} de la bomba de carga también se incluye el ruido proveniente del PFD, divisores y del oscilador de referencia. En la ecuación 3.8 R_{VCO} es el ruido de fase del VCO medido a la frecuencia f_{VCO} .

Según lo expresado en el capítulo 2, la función de transferencia para el ruido proveniente del modulador y la bomba de carga es $H_1(f)$ dado por la ecuación 3.9. De otra parte, la función de transferencia del ruido del VCO es $H_2(f)$.

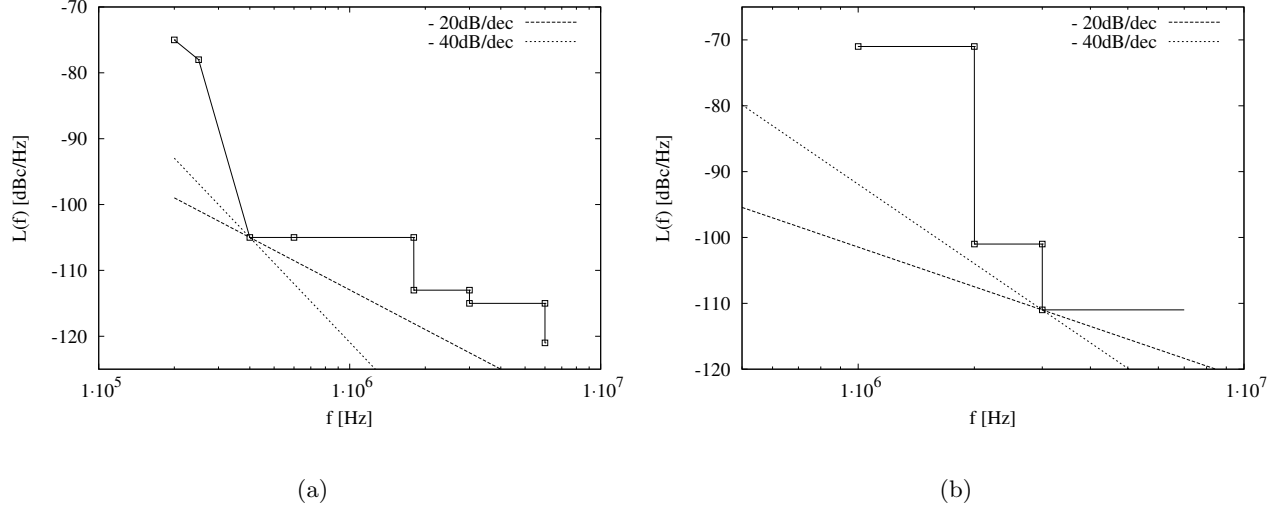


Figura 3.30: Punto crítico de ruido: (a) en *GSM*, (b) en *Bluetooth*.

$$H_1(f) = \begin{cases} 0 & \text{Si } f < f_z \\ 20\log(f/f_z) & \text{Si } f_z < f < f_{cp} \\ 20\log(f_{cp}/f_z) & \text{Si } f_{cp} < f < f_o \\ 20\log(f_{cp}/f_z) - 40\log(f/f_o) = 20\log\left(\frac{f_{cp}f_o^2}{f_z f^2}\right) & \text{Si } f > f_o \end{cases} \quad (3.9)$$

$$H_2(f) = \begin{cases} 20\log(f_{cp}/f_o) + 40\log(f/f_{cp}) & \text{Si } f < f_{cp} \\ 20\log(f/f_o) & \text{Si } f_{cp} < f < f_o \\ 0 & \text{Si } f > f_o \end{cases} \quad (3.10)$$

Suponiendo que f_o es menor que la frecuencia a la que se va a medir el ruido de fase, la densidad espectral de ruido a la salida del *PLL* está dada por la ecuación 3.11.

$$\begin{aligned} S_{PLL} &= 20\log\left(10^{(S_{BF}+H_1(f))/20} + 10^{(S_{MOD}+H_1(f))/20} + 10^{(S_{VCO}+H_2(f))/20}\right) \\ &= 20\log\left(\frac{f_{cp}f_o^2}{f_z f^2}(10^{S_{BF}/20} + 10^{S_{MOD}/20}) + 10^{S_{VCO}/20}\right) \end{aligned} \quad (3.11)$$

El ruido de fase $S_{PLL}(f)$ en el caso límite cruza por el punto crítico (x_o, y_o) , donde x_o es la frecuencia a la que se mide el ruido de fase y_o . A partir de la ecuación 3.11 se puede calcular el ancho de banda límite f_{o1} como:

$$f_{o1} = \sqrt{x_o^2 \left(\frac{10^{y_o/20} - 10^{S_{VCO}(x_o)/20}}{10^{S_{BF}/20} - 10^{S_{MOD}(x_o)/20}} \right) \frac{f_z}{f_{cp}}} \quad (3.12)$$

El valor obtenido de f_{o1} es graficado en la figura 3.31a para *GSM* y en la figura 3.31b para *Bluetooth*. En la gráfica se pueden observar las principales variables del diseño: ancho de banda f_o y la relación cero-polo f_z/f_{cp} .

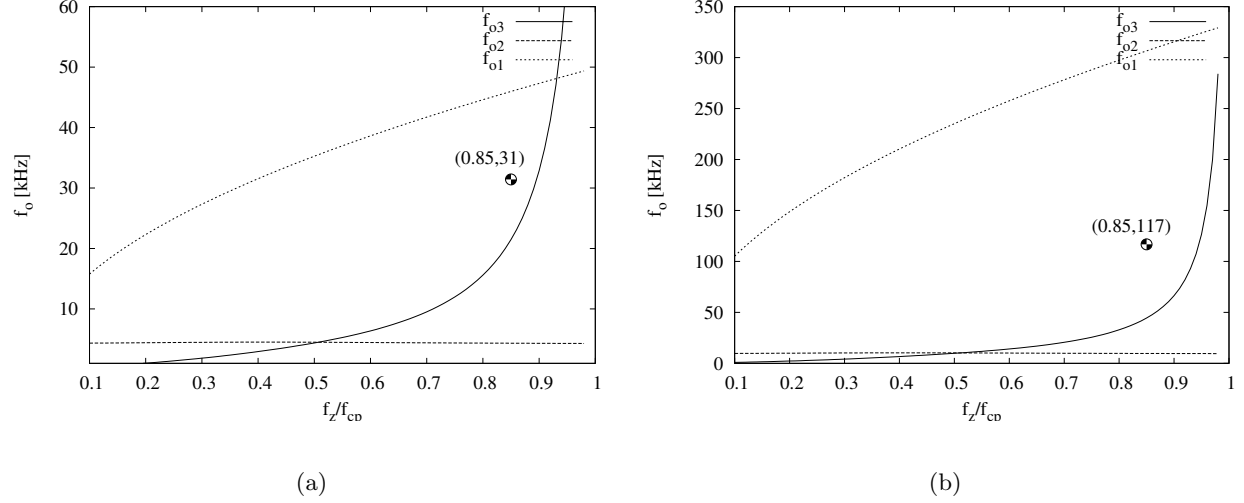


Figura 3.31: Límites en el ancho de banda debido a ruido y rapidez para: (a) *GSM*. (b) *Bluetooth*.

Límite en el Ancho de Banda Debido al Tiempo de Establecimiento

En la sección 2.3 se hicieron dos aproximaciones para calcular el tiempo de establecimiento T_s . Una de ellas considera sólo los efectos de los dos polos complejos de lazo cerrado. Al reemplazar T_s en la ecuación 2.7 por el tiempo de establecimiento límite L_T definido por cada estándar, se puede hallar el menor ancho de banda posible para que se cumpla el requisito de tiempo de establecimiento. El resultado es la ecuación 3.13 que es graficada en la figura 3.31a para *GSM* y en la figura 3.31b para *Bluetooth*.

$$f_{o2} = -\frac{Q}{\pi L_T} \ln \left(\frac{tol}{R\Delta F} \right) \quad (3.13)$$

La segunda aproximación, que considera los efectos del polo real de lazo cerrado en lugar de los polos complejos, da lugar al límite en el ancho de banda f_{o3} expresado por la ecuación 3.14. Este límite también se muestra en las figuras 3.31a y 3.31b para cada estándar.

$$f_{o3} = -\frac{1}{2\pi Q(f_{cp}/f_z - 1)L_T} \ln \left(\frac{(1 - (f_{cp}/f_z - 1) + (f_{cp}/f_z - 1)^2 Q^2) tol}{(f_{cp}/f_z - 1)\Delta F} \right) \quad (3.14)$$

En las figuras 3.31a y 3.31b se confirma lo discutido en la sección 2.3. Para valores de f_z/f_{cp} cercanos a 1, predominan los efectos del polo real sobre el tiempo de establecimiento. Mientras que para valores cercanos a cero, prevalecen los efectos de los polos complejos.

Selección de f_z/f_{cp}

La elección de f_z/f_{cp} obedece a los mismos motivos que la selección de Q . Sin embargo, al establecer los límites en f_o también se imponen restricciones en los valores que puede tomar f_z/f_{cp} . En la figura 3.31a se puede observar que para valores de f_z/f_{cp} mayores a 0.9, es difícil que el *PLL* cumpla con las especificaciones de ruido y rapidez simultáneamente.

De otra parte, al disminuir f_z/f_{cp} aumenta la parte oscilatoria de la respuesta transitoria y se decrementa el margen de fase, como se muestra en la figura 3.29a. Otra consideración importante en

esta etapa de diseño, es que los componentes del filtro sean iguales para ambos estándares.

En concordancia con las consideraciones expuestas en los párrafos anteriores, se ha seleccionado un valor de 0.85 para f_z/f_{cp} en *GSM* y *Bluetooth*. Este valor de f_z/f_{cp} junto con el valor seleccionado para Q hacen que el margen de fase sea 55.7° .

Selección de f_o

Una vez establecido el valor de f_z/f_{cp} , se debe seleccionar f_o . Uno de los criterios tenidos en cuenta para este paso es que f_o debe estar dentro de los límites impuestos por las ecuaciones 3.12, 3.13 y 3.14. También se debe dar un margen de variación hacia ambos límites. Los valores seleccionados para f_o son mostrados en la tabla 3.2, donde se encuentran los componentes del filtro calculados a partir de las variables seleccionadas. La constante del *VCO* usada para calcular los valores de la tabla 3.2 es 30MHz/V. Se pueden utilizar *VCO* de otras constantes sin alterar las características del lazo, ajustando la corriente de la bomba de carga.

Tabla 3.2: Componentes del filtro.

Estándar	f_o	f_z/f_{cp}	R_1	C_1	C_2	I_{BC}
<i>GSM</i>	31kHz	0.85	140k Ω	340pF	25pF	5.7 μ A
<i>Bluetooth</i>	117kHz	0.85	38k Ω	340pF	25pF	40 μ A

Capítulo 4

RESULTADOS

En este capítulo se exponen los resultados obtenidos en el proceso de diseño. En primer lugar, se muestra el layout diseñado para ser fabricado en el proceso CMOS C35B4 $0.35\mu\text{m}$ de AMS. Posteriormente, se grafican las formas de onda obtenidas mediante simulación. Las simulaciones se dividieron en dos partes: las simulaciones en el dominio del tiempo y las simulaciones de ruido que son hechas en el dominio de la frecuencia. Las herramientas utilizadas para predecir el comportamiento del *PLL* diseñado son básicamente dos: Eldo RF¹ de la compañía *Mentor Graphics* y *Octave*. Eldo RF se usó para verificar el funcionamiento de los bloques a nivel de circuito, los modelos de transistores empleados son de nivel 53 entregados por *AMS* para el proceso C35B4. De otra parte las simulaciones a nivel de sistema son realizadas mediante programas ejecutados en *Octave*.

4.1. Layout

El *layout* del sintetizador de frecuencia se muestra en la figura 4.1. El área ocupada por el sintetizador sin incluir los *pads* es $215\mu\text{m} \times 125\mu\text{m} = 0.027\text{mm}^2$, teniendo en cuenta que los componentes del filtro no fueron integrados debido al elevado valor de las capacitancias (25pF y 340pF), comparado con la capacitancia de 0.86fF por μm^2 con que cuenta el capacitor CPOLY disponible en el proceso de fabricación C35B4. En la figura 4.1 se resalta cada uno de los bloques del *PLL*. En la parte superior se encuentra el divisor de frecuencia, a la derecha están el PFD y bomba de carga. En la parte inferior se sitúa el modulador $\Sigma\text{-}\Delta$. Es importante notar que el modulador ocupa aproximadamente la mitad del área.

¹Licencia prestada por la Universidad de Sao Paulo.

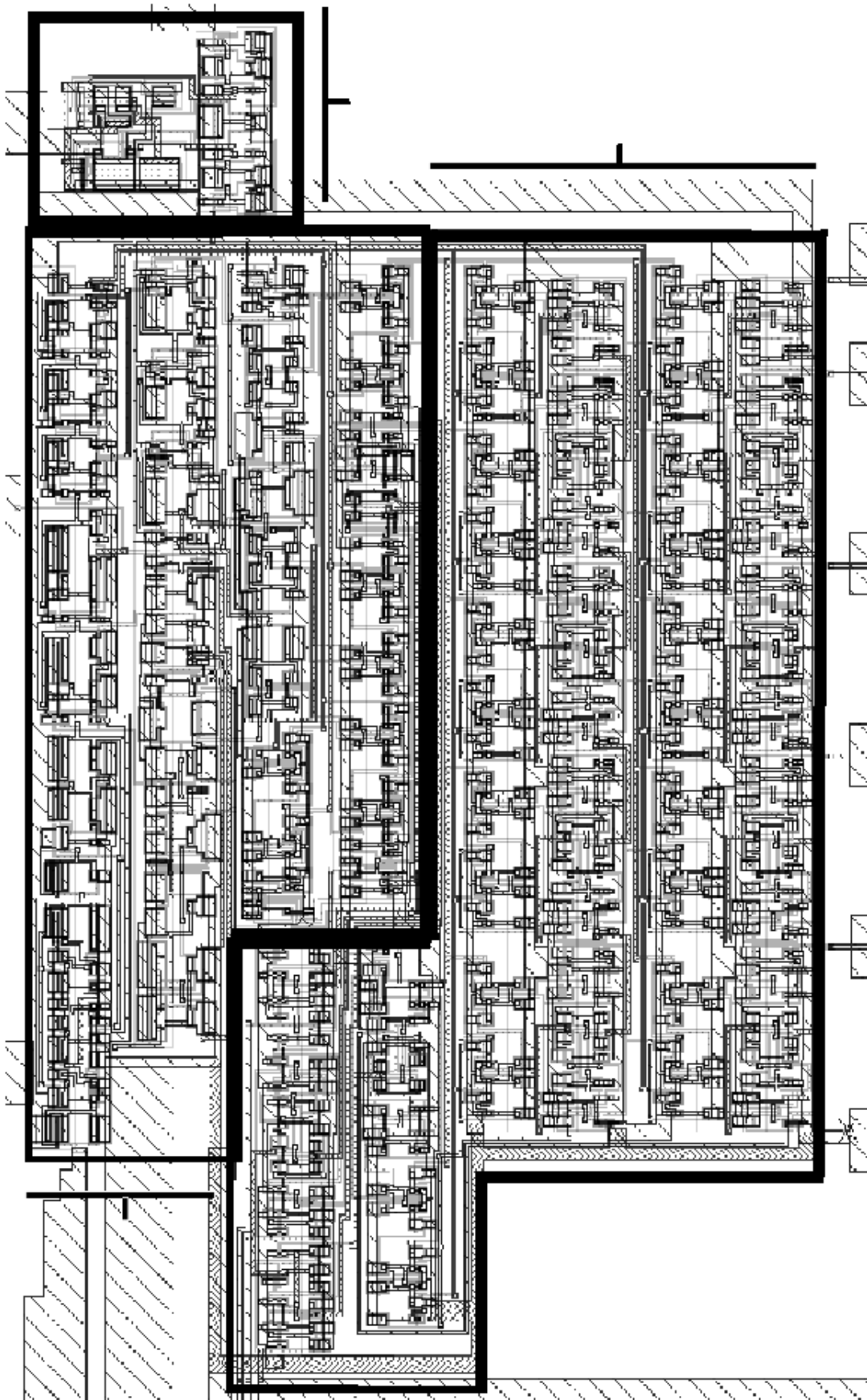


Figura 4.1: *Layout* del Sintetizador de frecuencia.

Detector de Fase y Frecuencia En la figura 4.1 se muestra la porción de *layout* correspondiente al PFD, sus dimensiones son $30\mu\text{m} \times 13\mu\text{m}$. Los principales aspectos tenidos en cuenta para la realización de este *layout* están relacionados con la disminución de capacitancias parásitas y mantener la simetría del circuito. La figura 4.2 presenta el *layout* del PFD en detalle, destacando la disposición simétrica del circuito, desde las entradas hasta las salidas.

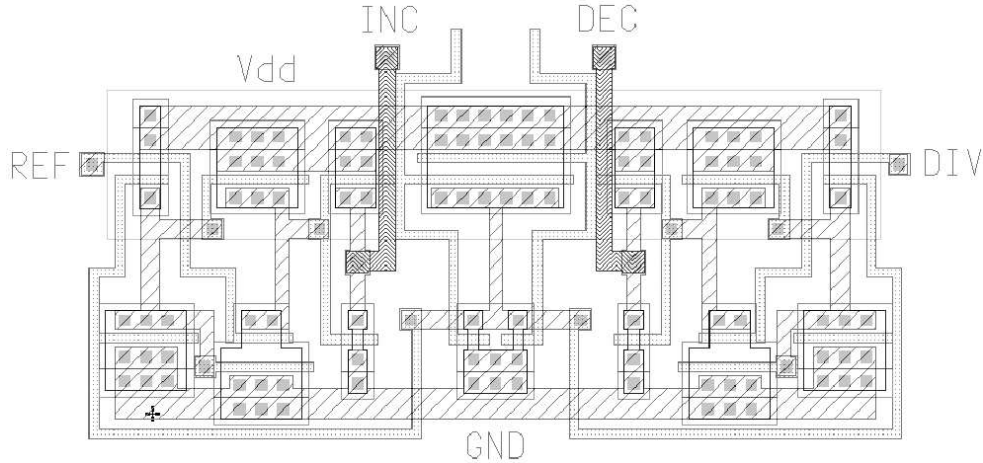


Figura 4.2: *Layout* del PFD.

Bomba de carga El *layout* de la bomba de carga implementada se muestra en la figura 4.3, sus dimensiones son $20\mu\text{m} \times 20\mu\text{m}$. Las capacitancias parásitas en el nodo de salida no representan inconvenientes en el funcionamiento de la bomba de carga, ya que estas se suman al capacitor C_2 del filtro. En cambio, se buscó reducir las capacitancias parásitas asociadas con las señales *INC* y *DEC*, con el propósito de que su ancho de pulso en estado estable sea mínimo, disminuyendo el efecto del desequilibrio en las corrientes de la bomba de carga.

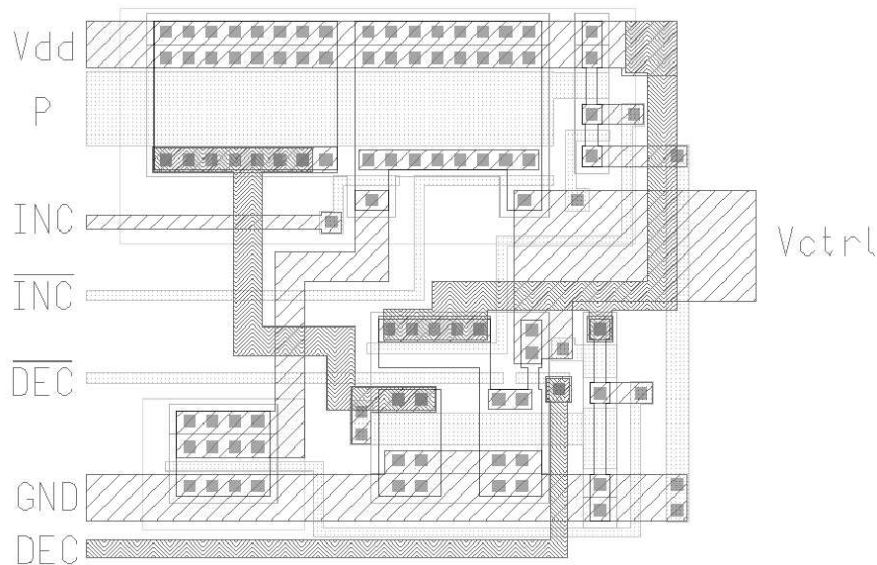


Figura 4.3: *Layout* de la bomba de carga.

Divisor de Frecuencia En la figura 4.4 se muestra el *layout* del divisor de frecuencia, allí se resaltan los diferentes divisores: el de módulo dual, módulo fijo y módulo programable. La entrada del divisor dual se debe conectar cerca de los *pads* para que el metal de conexión sea corto, ya que al aumentar la longitud del metal se incrementa la resistencia y la capacitancia con el sustrato, debilitando la señal proveniente del VCO. Este es un factor crítico debido a que la frecuencia de esta señal está entre 900MHz y 2.4GHz.

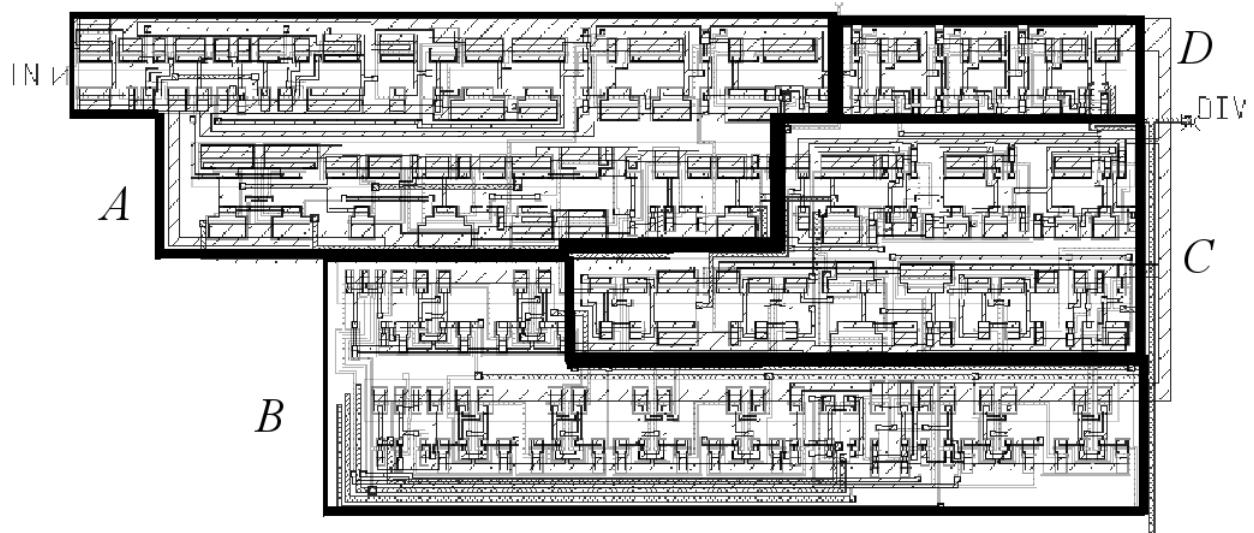


Figura 4.4: *Layout* del divisor de frecuencia. (A) Divisor dual. (B) Lógica de selección y registro sincronizador (C) Divisor programable (D) Divisor de módulo fijo.

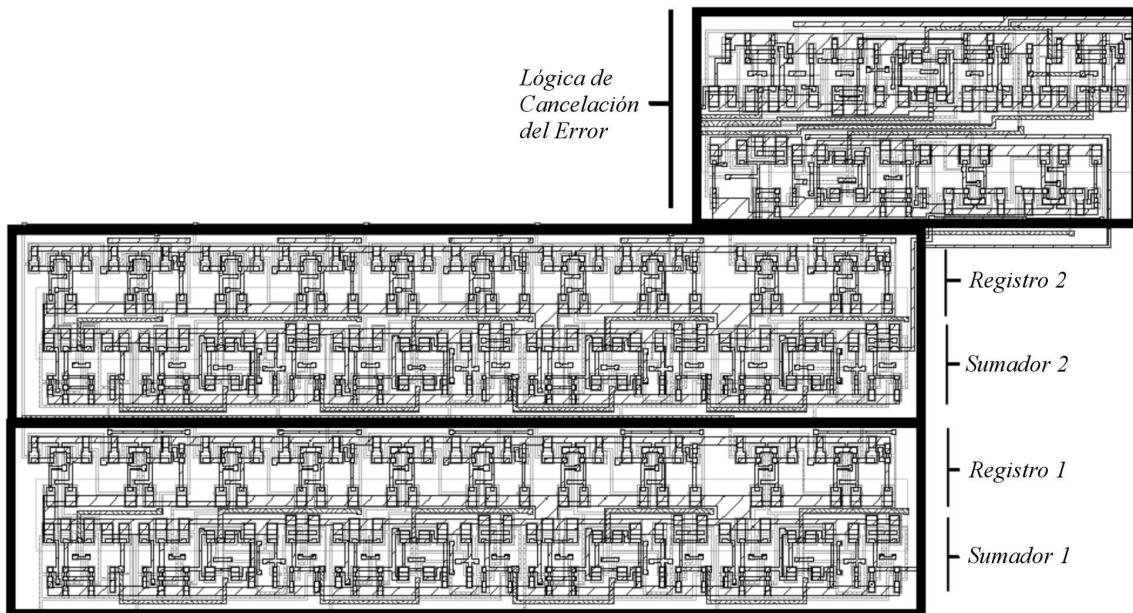


Figura 4.5: *Layout* del modulador Σ - Δ .

Modulador $\Sigma \Delta$ El *layout* del modulador es presentado en la figura 4.5, en él se destacan las dos etapas del modulador y el canal de cancelación del error. Cada etapa del modulador consta de un sumador y un registro de 5 bits.

4.2. Simulaciones en el Dominio del Tiempo

4.2.1. Lazo Directo

En esta sección se muestran las características del PFD, bomba de carga y filtro operando en lazo abierto. En primer lugar se analizan las formas de onda correspondientes a cada bloque cuando las dos señales de entrada al PFD tienen frecuencias diferentes. También se revisa la variación en la tensión de control cuando la señal proveniente del divisor es igual a la señal de referencia. Finalmente, se miden los efectos de la resistencia finita a la salida de la bomba de carga para diferentes valores de la tensión de control.

En la figura 4.6 se muestra la respuesta del PFD cuando la señal de referencia REF está adelantada en fase respecto a la señal proveniente del divisor de frecuencia DIV , en este caso \overline{DEC} permanece en 1 excepto un corto intervalo de tiempo cada periodo de la señal de referencia e \overline{INC} se activa un tiempo proporcional a la diferencia de fase entre las dos entradas. Cada vez que \overline{INC} está en 0, una corriente de magnitud constante es inyectada al filtro haciendo que la tensión de control del VCO aumente, en los demás intervalos la tensión de control disminuye un poco debido a la diferencia de tensión en los dos condensadores del filtro. La situación opuesta es ilustrada en la figura 4.7.

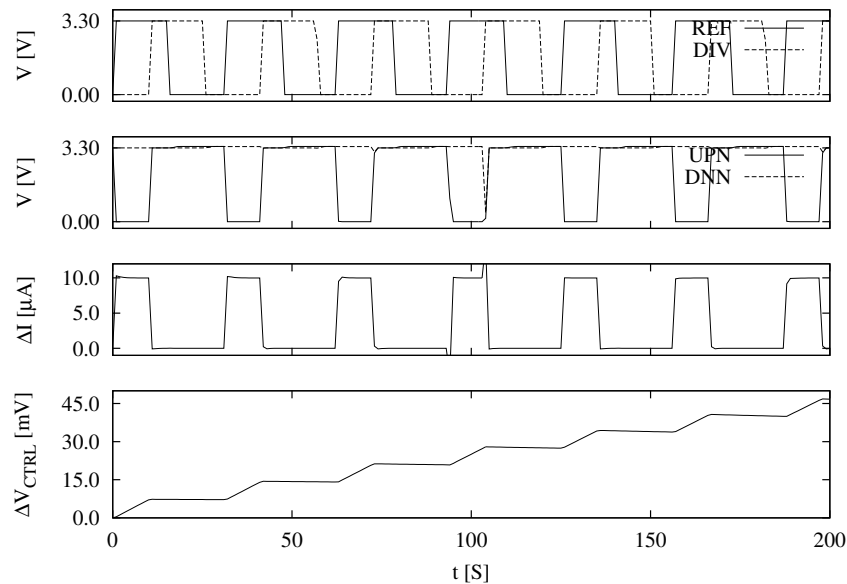


Figura 4.6: Señales relacionadas con la bomba de carga cuando la señal de referencia está adelantada en fase respecto a la señal proveniente del divisor

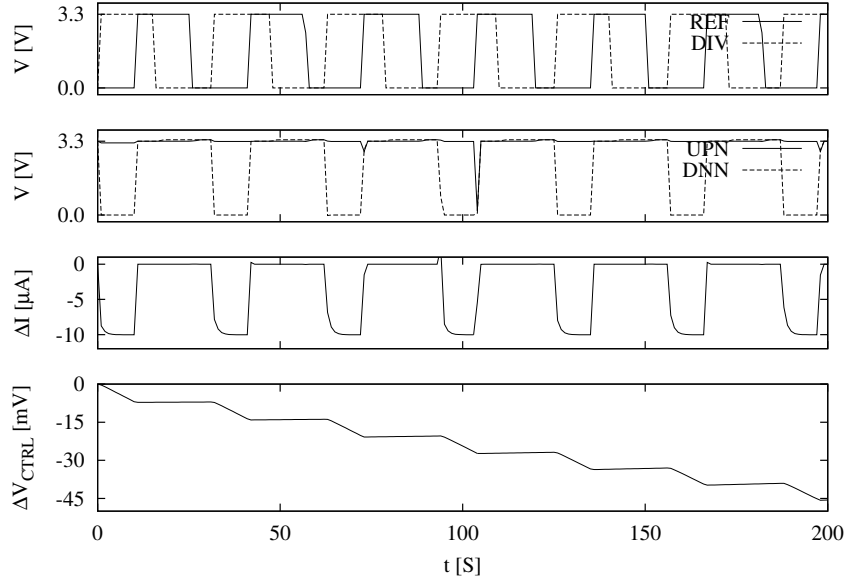


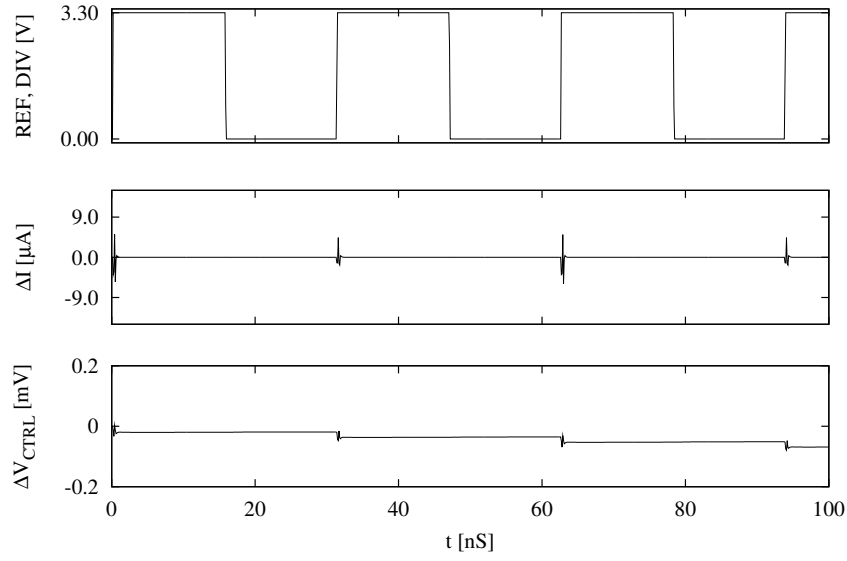
Figura 4.7: Señales relacionadas con la bomba de carga cuando la señal de salida del divisor está adelantada respecto a la referencia.

El proceso de carga y descarga del filtro ocurre cuando el *PLL* se está ajustando a una frecuencia determinada. Cuando el *PLL* alcanza el estado estable, la señal de salida del divisor es igual a la señal de referencia, por tanto el error de fase es 0. Idealmente, el voltaje de control del VCO debe permanecer constante, sin embargo, las diferencias entre la corriente positiva y negativa de la bomba de carga hacen que este cambie. Las diferencias mencionadas son causadas por el *mismatch* de los transistores, la resistencia de salida finita en las fuentes de corriente y las diferencias de operación dinámica en los transistores NMOS y PMOS.

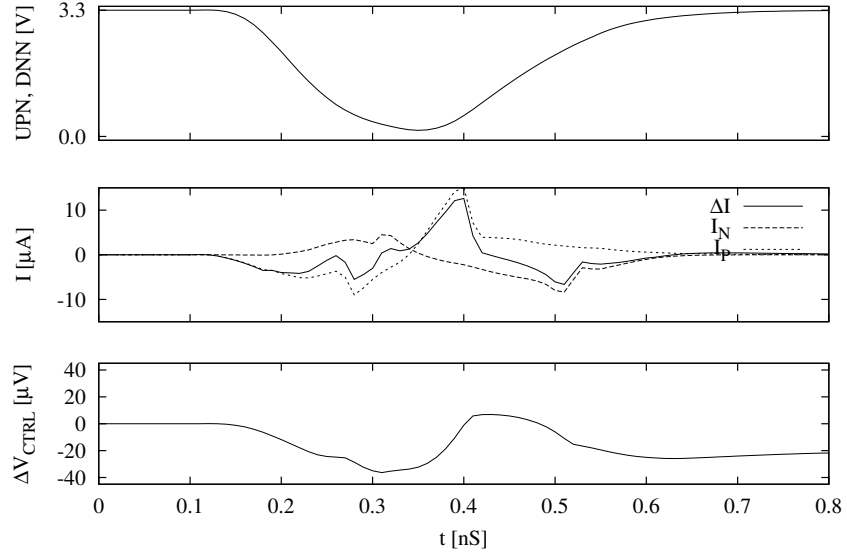
En la figura 4.8a se muestra el comportamiento de la tensión en filtro para el caso en el que las entradas al PFD son iguales. Se puede observar que cada periodo de la señal de referencia, ocurre una variación en la tensión de control debido al desajuste en las corrientes superior e inferior de la bomba de carga. En la figura 4.8b se muestra en detalle el momento en que se activan simultáneamente las señales *INC* y *DEC*. Las figuras 4.8a y 4.8b son extraídas para una corriente en la bomba de $5\mu A$.

Según la figura 4.8b, el cambio en la tensión de control ΔV_{CTRL} es de $-20\mu V$, esto ocasiona que el VCO disminuya su frecuencia una cantidad proporcional a este cambio. En lazo cerrado, esta disminución en frecuencia es compensada en el siguiente flanco de subida de la señal de referencia. De esa forma lo que se tiene es una señal cuadrada modulando en FM la salida del VCO, cuya amplitud en este caso es de $20\mu V$. De acuerdo a la teoría de FM (banda angosta), si una señal sinusoidal de frecuencia f_m modula una portadora, haciendo que la frecuencia de la portadora sufra una desviación máxima de Δf , entonces el espectro de la señal resultante está dado por las funciones de *Bessel*:

$$J_n(\beta) = \begin{cases} J_0(\beta) \approx 1 & \text{Frecuencia de la portadora} \\ J_1(\beta) \approx \beta/2 & \\ J_2(\beta) \approx 0 & \text{para } n \geq 2 \end{cases} \quad (4.1)$$



(a)



(b)

Figura 4.8: Señales relacionadas con la bomba de carga para entradas iguales al PFD. (a) Varios periodos de la señal de referencia. (b) Detalle del tiempo en que está activa la bomba de carga.

donde β es el índice de modulación y es igual a $\Delta f/f_m$. La señal cuadrada en la tensión de control se puede descomponer en una señal sinusoidal y sus respectivos armónicos, para el cálculo del *spur* de referencia ($J_0(\beta)$) es suficiente considerar únicamente su componente de frecuencia principal que está precisamente a la frecuencia de referencia. La amplitud de esta componente A_m es igual a la amplitud

de la señal cuadrada multiplicada por $4/\pi$, en este caso $20\mu V(4/\pi) \approx 25\mu V$. La máxima desviación en frecuencia se puede calcular como $\Delta f = A_m K_{VCO}$, si $K_{VCO} = 30MHz/V$ entonces $\Delta f = 750Hz$.

$$20\log\left(\frac{J_1(\beta)}{J_0(\beta)}\right) = 20\log(\beta/2) = 20\log\left(\frac{A_m K_{VCO}}{2F_{ref}}\right) \quad (4.2)$$

La potencia del *spur* de referencia referida a la potencia de la portadora se calcula mediante la ecuación 4.2. De acuerdo a lo anterior, en el caso mostrado en la figura 4.8 hace que el nivel del *spur* de referencia sea -98.6 dBc.

Una de las razones para el desequilibrio entre las corrientes superior e inferior de la bomba de carga es la resistencia de salida finita de las fuentes de corriente. En la figura 4.9 se puede ver la característica de corriente de la bomba de carga a medida que se varía V_{CTRL} , para la simulación se activaron las fuentes de corriente superior e inferior. Idealmente, la corriente entregada al filtro ΔI no depende de esta tensión, sin embargo, la resistencia de salida de los transistores que entregan la corriente causa que ΔI sea diferente de cero. Para voltajes cercanos a las fuentes de alimentación, la diferencia entre corrientes es grande debido a que el transistor que supe de corriente una de las ramas entra en triodo. No se hicieron esfuerzos para aumentar la resistencia de salida, ya que en este caso la diferencia entre corrientes es dominada por los efectos de la conmutación de los transistores P y N que actúan como interruptores. No obstante, es necesario establecer límites en la tensión de control. Estos límites son graficados en la figura 4.10 para diferentes valores nominales de corriente I_{BC} , el criterio tenido en cuenta para estos límites es que $|\Delta I|$ sea menor al 5% de I_{BC} .

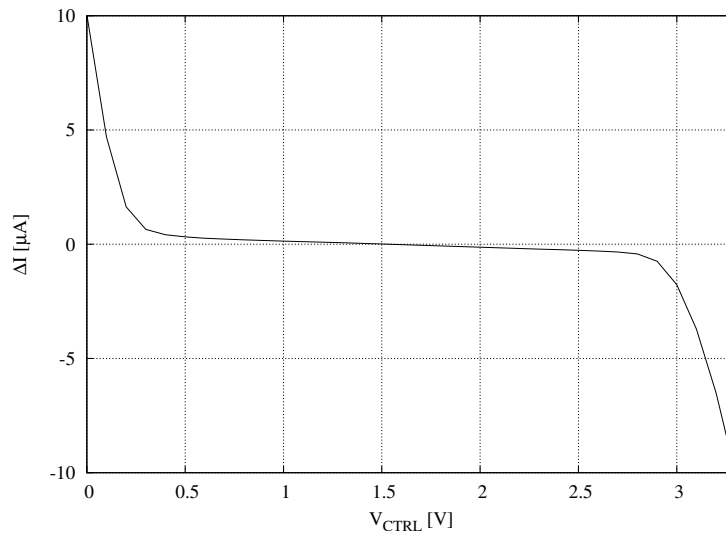


Figura 4.9: Resistencia de salida de la bomba de carga.

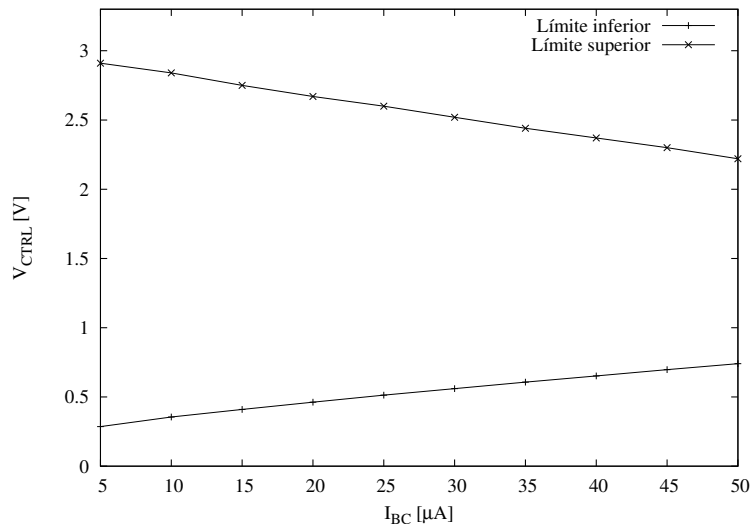
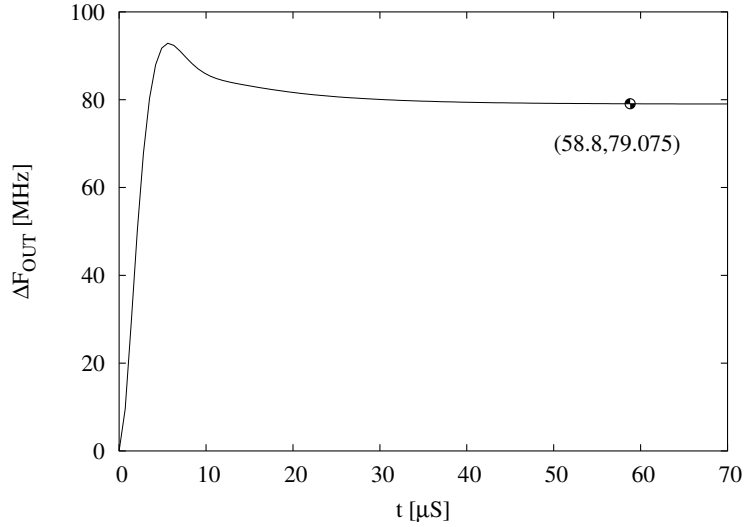


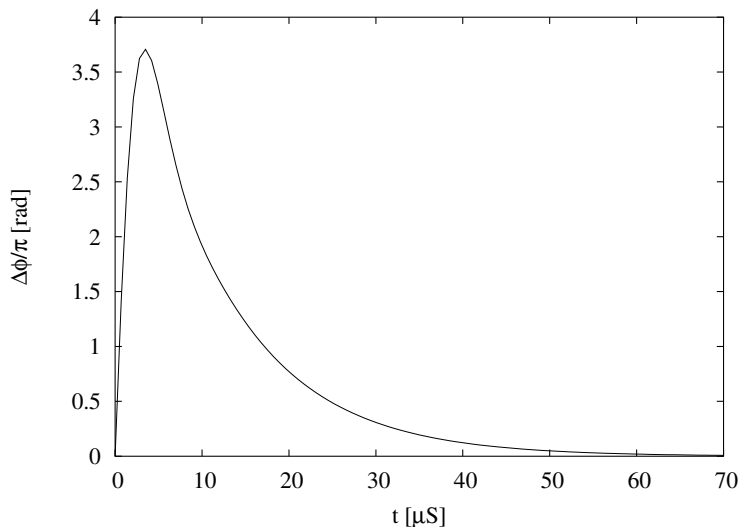
Figura 4.10: Rango de excursión de señal de control del VCO.

4.2.2. Lazo Cerrado

Respuesta Transitoria La simulación de la respuesta del sistema ante una entrada escalón, se hace para medir el tiempo de establecimiento y las características de estabilidad del *PLL*. En la figura 4.11a se muestra la respuesta transitoria de la frecuencia cuando el *PLL* opera en *Bluetooth* y en la figura 4.11b la respuesta de la fase. El salto en la frecuencia es inducido por un cambio en el módulo de división, las figuras 4.11a y 4.11b corresponden al peor caso, que ocurre cuando se cambia del primer al último canal de la banda. En el caso de *Bluetooth*, la distancia entre el primer y último canal es 79MHz. En la figura 4.11a se indica el punto en que el *PLL* se considera ajustado de acuerdo a la tolerancia (75 kHz), según la gráfica el tiempo de establecimiento en el peor caso de *Bluetooth* es $58.8\mu s$.



(a)



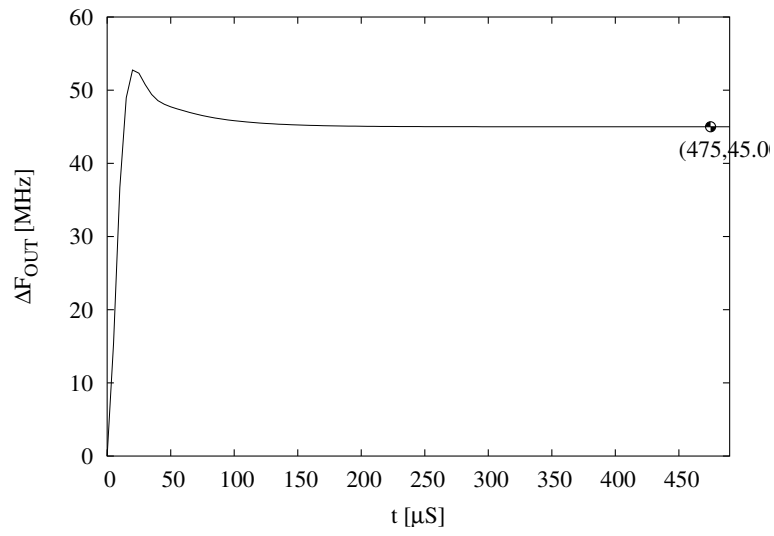
(b)

Figura 4.11: Cambio desde el primer al último canal de *Bluetooth*. (a) Respuesta de la frecuencia. (b) Respuesta de la fase.

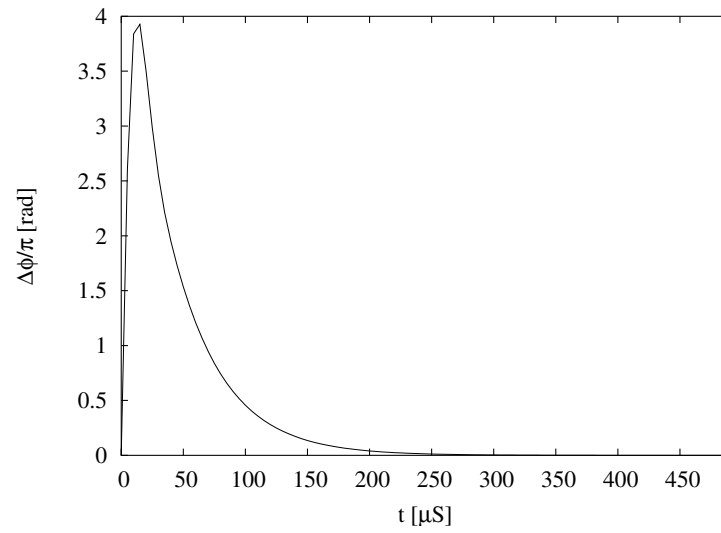
Por otra parte, la respuesta del *PLL* ante un cambio desde el primer canal de la estación móvil (890MHz) hasta el último canal de la estación base (960MHz) de *GSM* se muestra en las figuras 4.12a y 4.12b. En la figura 4.12a se indica el tiempo de establecimiento $475\mu s$ medido con una tolerancia de 90 Hz.

En las figuras 4.11b y 4.12b se puede observar que la máxima oscilación en $\Delta\phi$ para los peores casos de *Bluetooth* y *GSM*, no supera el valor de 4π . Esto verifica que en el rango de operación del *PLL*, el *PFD* detecta fase linealmente, es decir, que no ocurre *cycles slip* para los cambios entre canales de la

banda.



(a)



(b)

Figura 4.12: Cambio desde el primer al último canal de *GSM*. (a) Respuesta de la frecuencia. (b) Respuesta de la fase.

4.3. Análisis de Ruido

4.3.1. PFD y bomba de Carga

La contribución de ruido por parte del PFD y la Bomba de carga generalmente predomina a bajas frecuencias de *offset*. El ruido simulado se muestra en la figura 4.13. En la figura se puede notar que la componente de ruido *flicker* afecta hasta los kHz, de ahí en adelante predomina el ruido térmico cuya densidad espectral es plana.

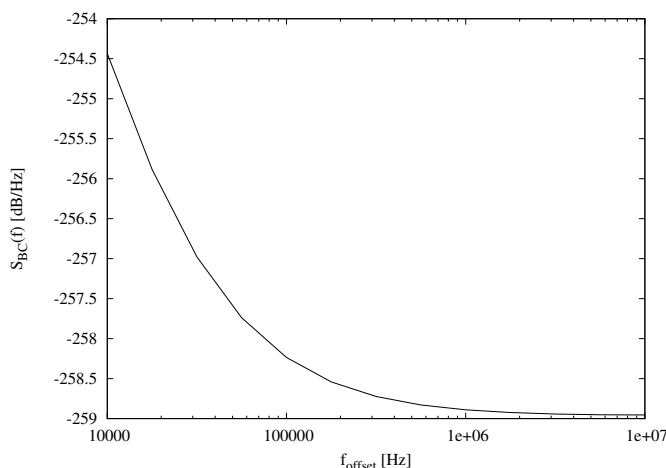


Figura 4.13: Densidad espectral de ruido a la salida de la bomba de carga.

4.3.2. Modulador $\Sigma\text{-}\Delta$

El ruido de cuantización se simuló mediante un programa de *Octave*, que halla la transformada rápida de Fourier de la secuencia de valores generados por el modulador $\Sigma\text{-}\Delta$ de segundo orden. Las curvas mostradas en la figura 4.14 corresponden a la *FFT* de la salida del modulador $C[n]$ para todas las 32 posibles entradas.

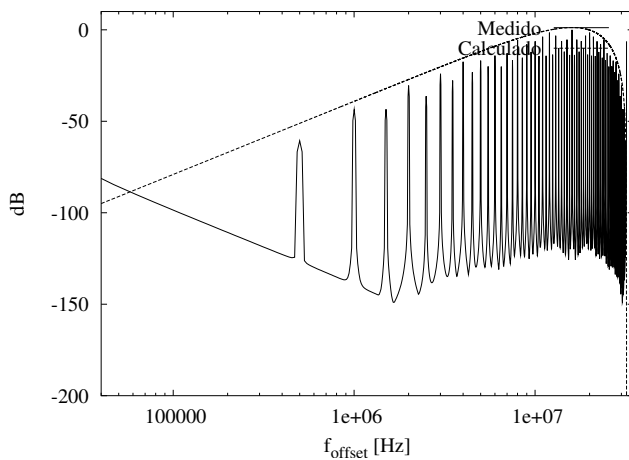
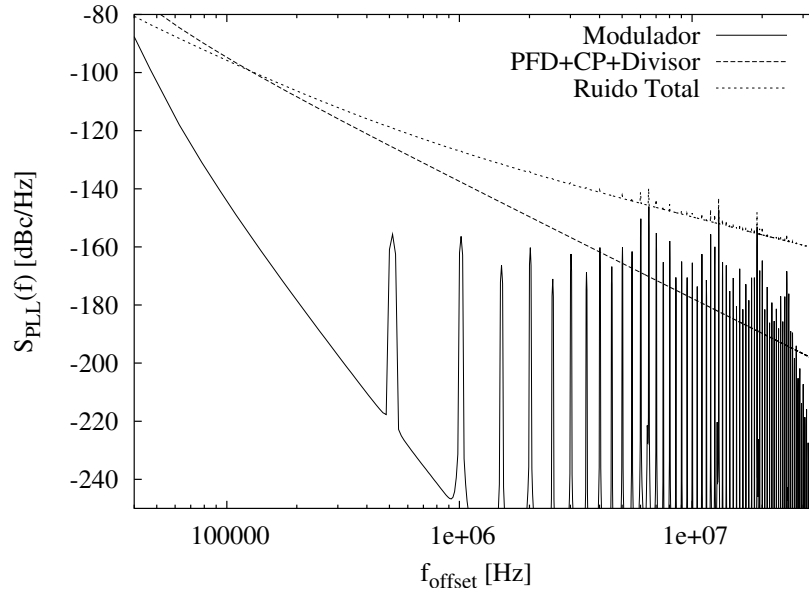


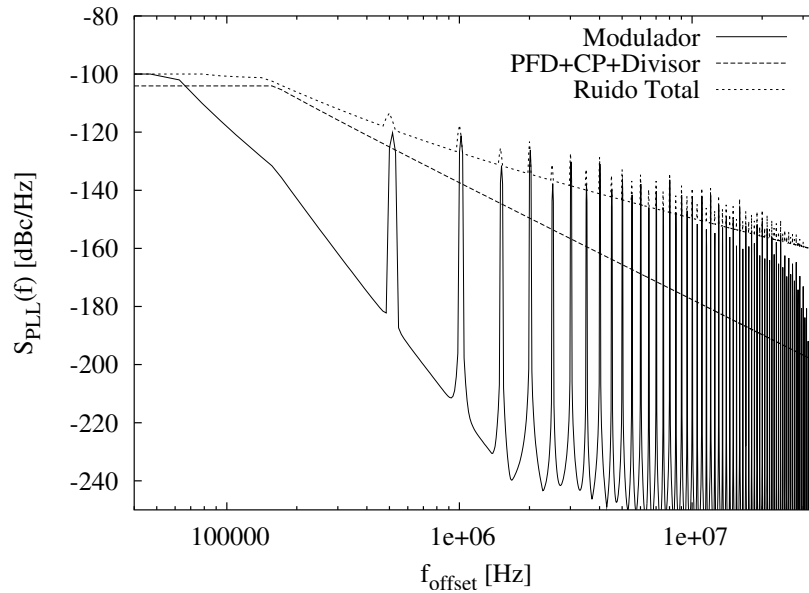
Figura 4.14: Ruido de cuantización.

4.3.3. Ruido de fase en la salida del PLL

La densidad espectral de ruido a la salida del PLL puede ser calculada como la suma del ruido en las diferentes fuentes, multiplicados por sus respectivas funciones de transferencia. De acuerdo a lo anterior, en la figura 4.15a se muestra el ruido de fase cuando el sintetizador opera en GSM y en la figura 4.15b se muestra el caso de operación en $bluetooth$.



(a)



(b)

Figura 4.15: Ruido de fase: (a) GSM . (b) $Bluetooth$.

4.4. Resumen de Desempeño del PLL

Tabla 4.1: Resumen de características del *PLL*.

Especificación		GSM	Bluetooth
Tecnología		0.35 μm -CMOS	0.35 μm -CMOS
Voltaje de alimentación		3.3V	3.3V
Frecuencia de referencia ^a		6.4MHz	32MHz
Frecuencia de salida ^b	MS	890-915MHz	2.4-2.48GHz
	BS	935-960MHz	
Ancho de banda		31kHz	117kHz
Distancia entre canales		200kHz	1MHz
Consumo de potencia ^c	Divisor	5.4mW	7.77mW
	PFD+BC	0.33mW	0.37mW
	Modulador	0.2mW	0.9mW
	Total	5.93mW	9.04mW
Ruido de fase @ 1MHz ^d		-120 dBc/Hz	-117.6 dBc/Hz
Tiempo de establecimiento ^e		494 μs	59 μs
Área	Divisor	0.009mm ²	
	PFD+BC	0.004mm ²	
	Modulador	0.014mm ²	
	Total	0.027mm ²	

^a Se usa un oscilador de cristal de 32MHz, en el caso de GSM esta frecuencia es dividida por 5.

^b La operación del *PLL* se verificó únicamente para las bandas de frecuencias de cada estándar. El funcionamiento a otras frecuencias queda supeditado a las siguientes condiciones: (i) El PFD detecta diferencias de fase entre -4π y 4π , por fuera de este rango el *PLL* puede ajustar su frecuencia, pero lo hace después de varios *cycles slip*. (ii) El rango de frecuencias de entrada para la correcta operación del divisor está entre 0.7GHz-2.8GHz. (iii) Las frecuencias a las que se puede ajustar el *PLL* están limitadas por el rango de trabajo del VCO.

^c Se extrajo de simulación el promedio de la corriente entregada por la fuente de alimentación (3.3V), teniendo en cuenta las condiciones de estado estable del lazo.

^d Medido de las gráficas 4.15a y 4.15b.

^e Se halló el tiempo de establecimiento de acuerdo a la tolerancia de cada estándar, se utilizó el peor caso, ocurrido cuando hay un salto desde el primer al último canal de la banda de frecuencias.

Tabla 4.2: Cuadro comparativo entre los resultados obtenidos en este trabajo y diferentes sintetizadores de frecuencia CMOS reportados en la literatura.

trab. ref.	FREC. [GHz]	REF [MHz]	PASO [MHz]	CONSUMO[mW]		AREA [mm ²]	VDD [V]	Ruido@1MHz [dBc/Hz]	BW LAZO	AÑO	Tec μm
				con VCO	sin VCO						
[6]	5.0	11	22	25	22	1.6	1.5/2.0	-101	280kHz	2000	0.24
[7]	5.4	10	20	13.5	7.25	0.495	2.5	-116/-110	10/100kHz	2004	0.25
[8]	2.4	1	1	20	7	0.2925	2.5	-112	80kHz	2003	0.25
[9]	2.4	40/50		16	7	0.85	1.5/2.0	-105	250kHz	2003	0.35
[10]	0.9/1.9	80	0.2/5		11.6	1.6	3.3	-117/-112	320kHz	2001	0.5
[11]	0.4-4	16	15e-6	22.7			2.7-3.6	-115	300kHz	2003	0.35 ^{††}
Este <i>PLL</i>	0.9/2.4	32	0.2/1		5.93/9.04	0.027 [†]	3.3	-120/-117.6	31/117kHz	2006	0.35

[†] Esta área no integra el filtro ni el VCO.

^{††} Tecnología BiCMOS.

Las principales características del sintetizador de frecuencia diseñado se resumen en la tabla 4.1. Algunos de esos valores son llevados a la tabla 4.2, donde se comparan con los resultados obtenidos en sintetizadores de frecuencia CMOS reportados en la literatura. En este trabajo no se implementó el VCO ni el filtro, por esta razón el área reportada es considerablemente menor que en los demás trabajos. Todos los trabajos implementaron el VCO, algunos implementaron el filtro completo y otros lo integraron parcialmente. A su vez no es posible concluir sobre la comparación de área debido a que no hay certeza de que las incluyan los *pads*.

De otra parte, el consumo de potencia depende básicamente de tres factores: (i) la frecuencia de salida, a mayor frecuencia aumenta el consumo de potencia de acuerdo a lo explicado en la sección 2.6; (ii) la mínima longitud del canal permitida en el proceso de fabricación, a menor longitud del canal disminuye el consumo de potencia debido a que hay menos capacitancias internas; (iii) la topología seleccionada, por ejemplo el trabajo [6] tiene mayor consumo de potencia que el trabajo [7], a pesar de que operan a las mismas frecuencias y son integrados en tecnologías similares.

En cuanto al ruido de fase es una variable difícil de comparar, debido a que depende de una gran cantidad de parámetros (frecuencia de referencia, ancho de banda, corriente de la bomba de carga, etc.), los cuales son características funcionales y no de desempeño.

4.5. Observaciones y Conclusiones

Los lazos de control de fase (*PLLs*) han sido ampliamente usados en aplicaciones tales como recuperación de reloj, demodulación FM y síntesis de frecuencia. En este trabajo, se diseñó un *PLL* N-fraccionario con modulador Σ - Δ para sintetizar la señal portadora en un *transceiver* CMOS inalámbrico.

La fortaleza del trabajo realizado se centra en la documentación recopilada, que permitió al autor tener un punto de vista crítico ante los diferentes problemas y soluciones involucrados en el diseño de un sintetizador de frecuencia. Lo anterior condujo a la elaboración de una estrategia de diseño, basada en los conocimientos y procedimientos desarrollados en la literatura.

El plan de frecuencias como primera parte de la estrategia de diseño, tuvo soporte en un algoritmo propuesto, donde cada variable fué seleccionada de acuerdo a las consideraciones pertinentes. De esta manera se dió relevancia a este paso, que es obligatorio en el diseño de un sintetizador de frecuencia y punto clave para el desempeño del mismo.

Los divisores de frecuencia fueron implementados digitalmente, para lo cual se revisaron las topologías comunmente usadas en esta aplicación. Cada etapa del divisor fué diseñada por aparte, considerando la frecuencia de operación y los requerimientos de tiempo. En los lugares donde es posible utilizar lógica dinámica y estática, se prefirió usar la lógica dinámica por su considerablemente menor ocupación de área. Debido a lo anterior, casi la totalidad del divisor utiliza lógica dinámica.

El modulador Σ - Δ utilizado para el fraccionamiento del módulo de división, es de 5 bits y de 2 etapas. A pesar de que el número de bits es relativamente bajo [11], la ocupación de área del modulador es aproximadamente la mitad del área total. De otra parte, se observó que la forma del ruido de cuantización depende del número de bits. Cuando el número de bits es alto, el espectro del ruido de cuantización está aparentemente distribuido sobre todo el rango de frecuencias en que es analizado, mientras que en el modulador de 5 bits se notaron los *spurs* fraccionarios. Esta observación no está claramente reportada en la literatura.

Para el PFD se adoptó una configuración típica que incluye *flip-flops* de lógica dinámica. No obstante, se adicionó un circuito que permite duplicar el rango de detección de fase del PFD. El detector de rango extendido permite atacar el problema de *cycles slip* en la respuesta transitoria, sin alterar las características de estabilidad del *PLL*.

La bomba de carga se diseñó de tal forma que su corriente puede ser variada entre $3\mu\text{A}$ y $40\mu\text{A}$. Lo anterior permite compensar variaciones en la constante del VCO y en los componentes del filtro. La topología utilizada para la bomba de carga provee tiempos cortos de respuestas, mientras los picos de corriente debidos a la conmutación son moderados.

La metodología propuesta para el diseño del filtro traslada las especificaciones de ruido, tiempo de establecimiento y estabilidad del *PLL* a un espacio bidimensional donde las dos variables representan la ubicación de los polos de lazo cerrado. De esta forma el problema se reduce a seleccionar esas dos variables mediante un método gráfico. Se ha deducido matemáticamente expresiones para cada uno de los límites (ruido, tiempo de establecimiento y estabilidad). Es de resaltar, que la estrategia propuesta disminuye el tiempo de diseño de un *PLL* a partir de especificaciones.

El sintetizador de frecuencia diseñado cumple con las especificaciones de los estándares de comunicación inalámbrica *GSM* y *Bluetooth*. En este sentido, cabe resaltar que la mayor parte de los bloques implementados son compartidos por ambos estándares, dado que éste es uno de los principales objetivos en el diseño de aplicaciones multi-estándar.

Finalmente, se realizó el *layout* del sintetizador de frecuencia, cumpliendo con las normas de fabricación dadas por *AMS* para el proceso C35B4 CMOS $0.35\mu m$. El funcionamiento del circuito fue verificado mediante simulaciones. A nivel de sistema se usó *Octave*, mientras que a nivel de circuito se usó *Eldo RF* de la compañía *Mentor Graphics*.

4.6. Recomendaciones para trabajos futuros

Es importante que se exploren las ventajas adicionales con que cuenta un *PLL*. Además de funcionar como sintetizador de frecuencia, el *PLL* puede ser adaptado para realizar modulación de datos digitales, sustituyendo bloques como el mixer y el conversor digital-analógico, bajo limitaciones impuestas por las especificaciones.

Es necesario reconocer las ventajas de diseñar *transceivers* operando sobre múltiples estándares, como parte de la tendencia de las comunicaciones hacia el uso de dispositivos que integran varias funciones. El reto está en que todos los estándares implementados compartan la mayor cantidad de bloques, de esta manera se obtienen dispositivos electrónicos eficientes en tamaño, costo y consumo de potencia.

Se esperan trabajos futuros en los que se automatice el proceso de diseño de un sintetizador de frecuencia, con base a la estrategia planteada en este trabajo. Dado las características de esta estrategia, es posible modelar las consideraciones sobre las variaciones que se pueden presentar al implementar el sintetizador, de tal forma que el diseño sea más robusto.

Con el fin de aprovechar esta experiencia de diseño, es pertinente que el sintetizador de frecuencia sea fabricado. Para ello, es necesario considerar los efectos capacitivos e inductivos de los *pads*, especialmente en la salida de la bomba de carga, donde la inductancia de las vías que conducen hacia los *pads*, puede alterar las características de estabilidad del lazo.

La bomba de carga es programable de tal manera que su corriente puede cambiar digitalmente desde $3\mu A$ hasta $40\mu A$. Es conveniente diseñar un circuito digital que controle de forma automática dicha corriente, para compensar las variaciones en la ganancia de lazo cerrado.

En este trabajo no se ubicaron los componentes del filtro dentro del integrado, debido a que sus valores son muy elevados y su implementación representa gran cantidad de área. No obstante, se recomienda estudiar posibilidades para integrar estos componentes, tales como la multiplicación de capacitancia [9].

Aunque el *PLL* es un bloque de señal mixta (Analógica-Digital), en este trabajo se diseñó todo el *PLL* a nivel de transistores. Se recomienda que para trabajos futuros, la parte digital de baja velocidad sea diseñada en un nivel de abstracción superior, con el fin de disminuir el tiempo de diseño.

El tiempo que demora la simulación del *PLL* completo es bastante extenso, debido a que unos circuitos del *PLL* operan a frecuencias altas dadas en *GHz*, mientras que otros operan a la frecuencia de referencia. Incluso la cantidad de transistores, en ocasiones causa problemas de convergencia. Se

recomienda hacer un estudio sobre las técnicas de convergencia de dichas simulaciones.

Para terminar, es importante que se sigan desarrollando trabajos de investigación en el área de diseño de circuitos integrados. De esa forma, se puede participar de los conocimientos sobre microelectrónica desarrollados a nivel mundial.

Apéndices

Apéndice A

Deducción matemática de fórmulas que involucran las variables de diseño

En este trabajo se ha propuesto el análisis del sistema sobre un plano de w_o vs. w_z/w_{cp} , por lo que, se hace necesario hallar la dependencia de todas las variables en función de estas dos cantidades.

A.1. Función de transferencia de lazo abierto y de lazo cerrado

Las funciones de transferencia de lazo directo $G(s)$ y de realimentación $H(s)$ del *PLL* son respectivamente:

$$G(s) = \frac{K(s/w_z + 1)}{s^2(s/w_p + 1)} \quad y \quad H(s) = \frac{1}{N} \quad (\text{A.1})$$

donde $K = I_{BC}K_{VCO}/(2\pi(C_1 + C_2))$. Por otro lado, la función de transferencia de lazo cerrado es:

$$\frac{G(s)}{1 + G(s)H(s)} = \frac{N(s/w_z + 1)}{s^3/(K_n w_p) + s^2/K_n + s w_z + 1} \quad \text{con} \quad K_n = \frac{K}{N} \quad (\text{A.2})$$

En lazo cerrado se espera que el *PLL* tenga dos polos complejos y un polo real, de tal forma que el denominador de la ecuación A.2 debe convertirse en

$$\left(\frac{s}{w_{cp}} + 1\right) \left(1 + \frac{s}{w_o Q} + \frac{s^2}{w_o^2}\right) = \frac{s^3}{w_{cp} w_o^2} + s^2 \left(\frac{1}{w_{cp} w_o Q} + \frac{1}{w_o^2}\right) + s \left(\frac{1}{w_{cp}} + \frac{1}{w_o Q}\right) + 1 \quad (\text{A.3})$$

Al igualar cada coeficiente del polinomio A.3 con su correspondiente término en el denominador de A.2 se obtienen los valores de w_{cp} , K_n y w_p en función de w_o , w_z/w_{cp} y Q

$$w_{cp} = w_o Q \left(\frac{w_{cp}}{w_z} - 1\right) \quad K_n = \frac{w_o^2 w_{cp} Q}{w_o + w_{cp} Q} \quad w_p = \frac{w_{cp} w_o^2}{K_n} \quad (\text{A.4})$$

A.2. Componentes del filtro

Los elementos que componen el filtro están directamente relacionados con las magnitudes de los polos, ceros y ganancia de lazo:

$$C_2 = \frac{w_z I_{BC} K_{VCO}}{2\pi w_p N K_n} \quad C_1 = \frac{w_p C_2}{w_z} - C_2 \quad R_1 = \frac{1}{w_z C_1} \quad (\text{A.5})$$

A.3. Coeficientes de la respuesta transitoria

En el capítulo 3 se expresó la respuesta al escalón en el dominio de la frecuencia compleja como:

$$F_{OUT}(s) = \frac{1 + s/w_z}{s(1 + s/w_{cp})(1 + s/(w_0 Q) + s^2/w_0^2)} = \frac{A}{s} + \frac{Bs + C}{1 + s/(w_0 Q) + s^2/w_0^2} + \frac{D}{1 + s/w_{cp}} \quad (\text{A.6})$$

Igualando los numeradores para resolver la ecuación y hallar las constantes A, B, C y D se tiene:

$$1 + \frac{s}{w_z} = A \left(1 + \frac{s}{w_{cp}}\right) \left(1 + \frac{s}{w_0 Q} + \frac{s^2}{w_0^2}\right) + (Bs + C)s \left(1 + \frac{s}{w_{cp}}\right) + Ds \left(1 + \frac{s}{w_0 Q} + \frac{s^2}{w_0^2}\right) \quad (\text{A.7})$$

Agrupando,

$$A + s \left(\frac{A}{w_0 Q} + \frac{A}{w_{cp}} + C + D\right) + s^2 \left(\frac{A}{w_0^2} + \frac{A}{w_0 w_{cp} Q} + B + \frac{C}{w_{cp}} + \frac{D}{w_0 Q}\right) + s^3 \left(\frac{A}{w_{cp} w_0^2} + \frac{B}{w_{cp}} + \frac{D}{w_0^2}\right)$$

Resolviendo la ecuación A.7 se pueden despejar los coeficientes que aparecen en la respuesta transitoria de la expresión 2.6.

$$A = 1$$

$$Dw_{cp} = \frac{(w_{cp}/w_z - 1)}{1 - w_{cp}/(w_0 Q) + w_{cp}^2/w_0^2}$$

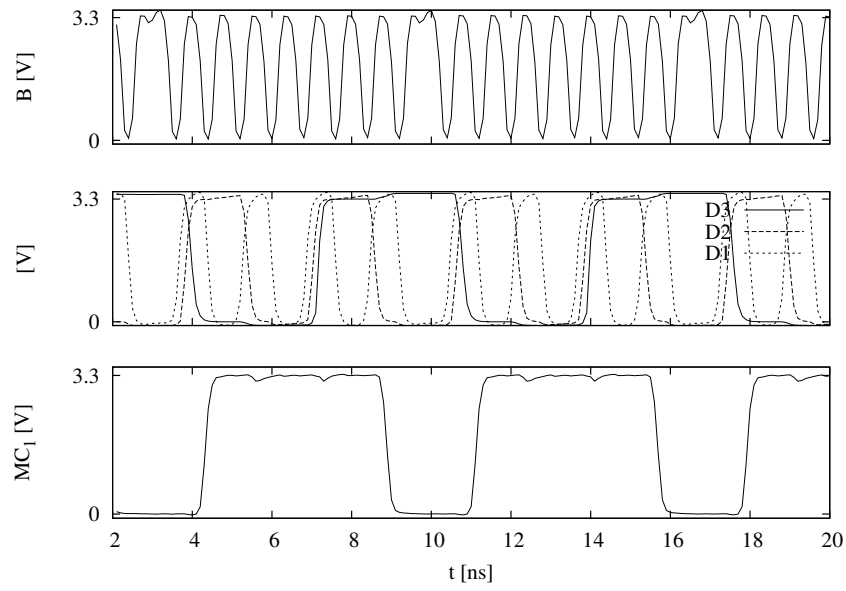
$$w_0^2 B = -(Dw_{cp} + 1)$$

$$2Qw_0 C - w_0^2 B = Dw_{cp} \left(\frac{2Qw_{cp}}{w_0} - 1\right) - 1$$

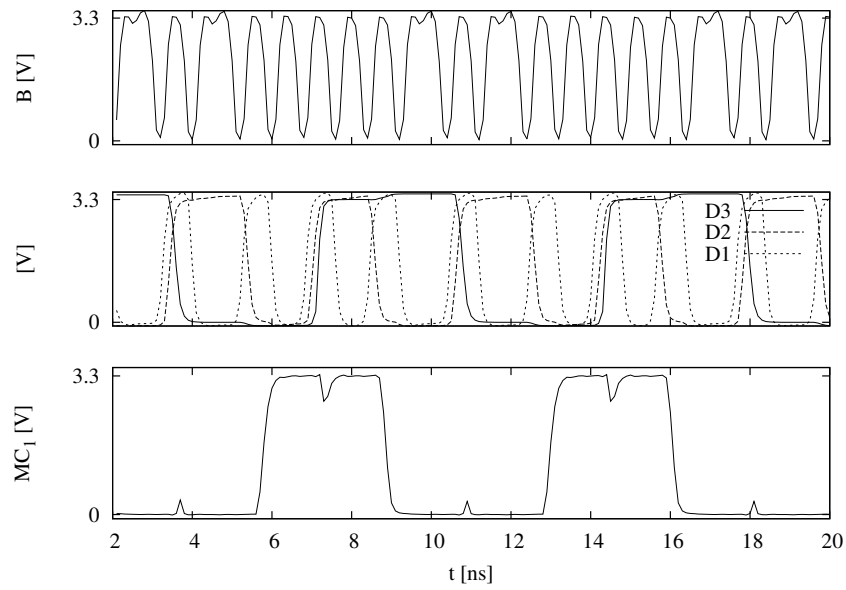
Apéndice B

Formas de Onda del Divisor Dual

En las figuras B.1 a B.3 se muestran las formas de onda correspondientes al divisor de módulo dual. Cuando D_1 y MC_1 son 0 simultáneamente el módulo del primer divisor es 3, de lo contrario el módulo es 2.

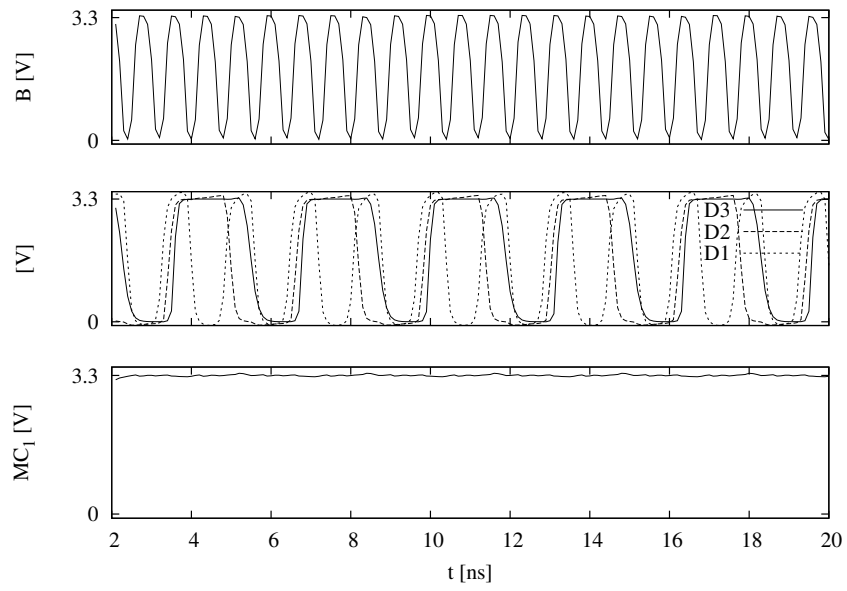


(a)

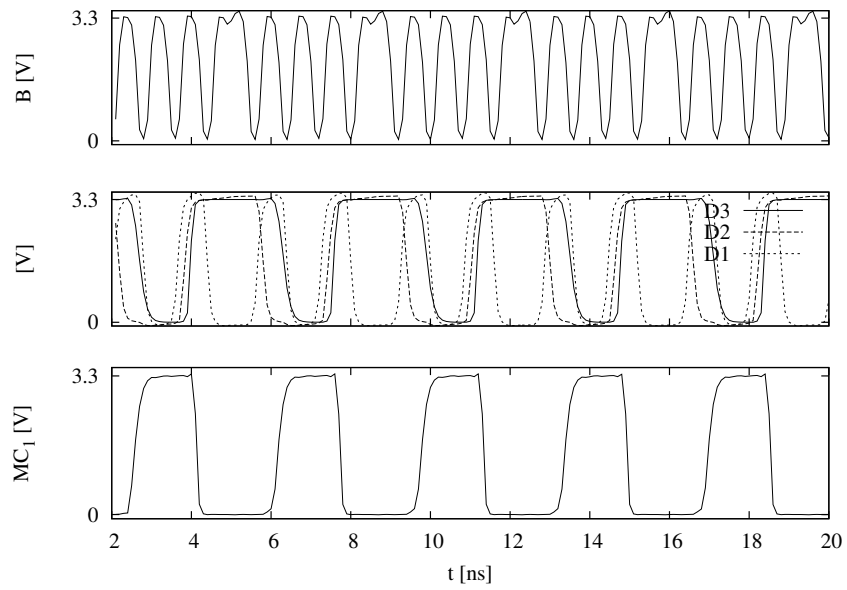


(b)

Figura B.1: Salida del divisor de módulo dual cuando: (a) $M=17$. (b) $M=18$.

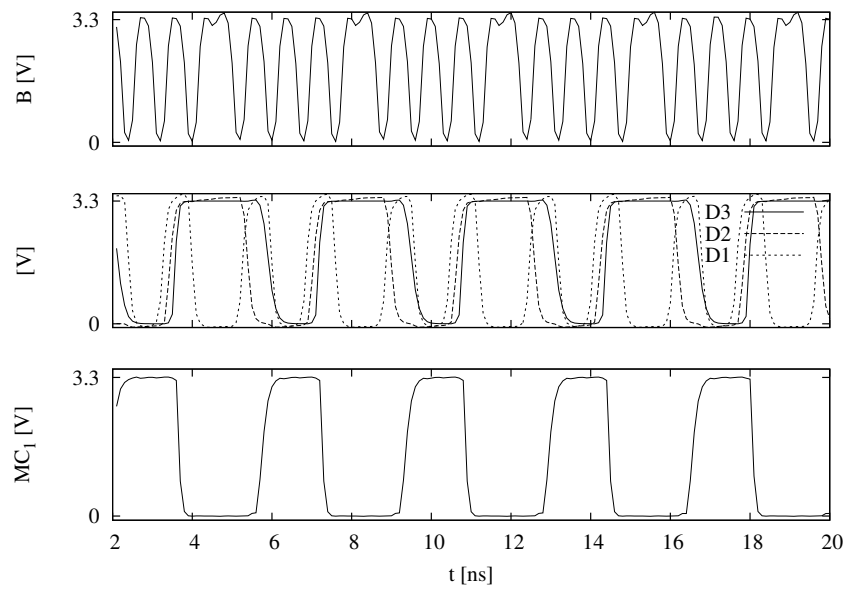


(a)

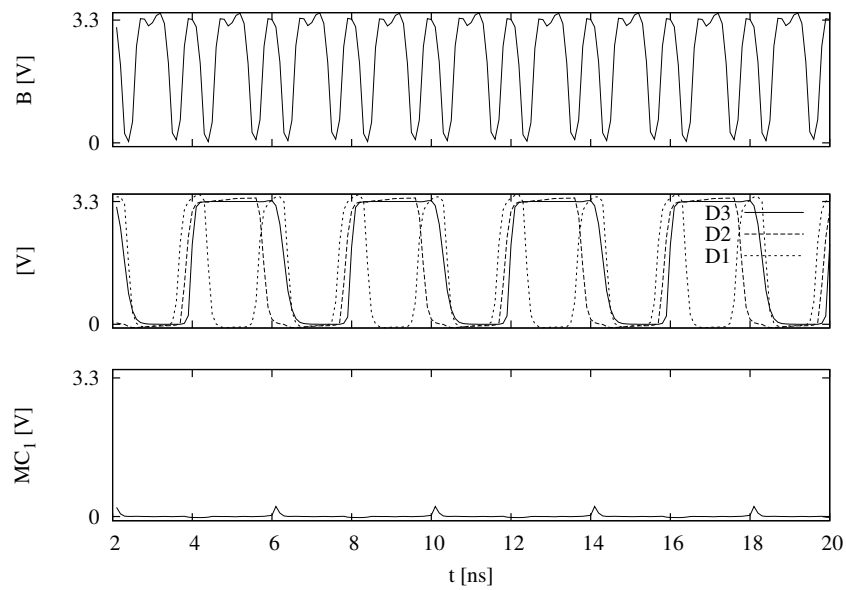


(b)

Figura B.2: Salida del divisor de módulo dual cuando: (a) $M=8$. (b) $M=9$.



(a)



(b)

Figura B.3: Salida del divisor de módulo dual cuando: (a) $M=9$. (b) $M=10$.

Bibliografía

- [1] European Telecommunications Standards Institute, *European digital cellular telecommunications system (Phase 2); Radio transmission and reception (GSM 05.05)*, second ed., July 1995.
- [2] European Telecommunications Standards Institute, *European digital cellular telecommunications system (Phase 2); Radio subsystem synchronisation (GSM 05.10)*, second ed., July 1995.
- [3] Bluetooth SIG, *Specification of the Bluetooth System*, November 2004. Version 2.0.
- [4] B. Razavi, *RF Microelectronics*. Prentice Hall, first ed., 1998.
- [5] J. J. Rael, “A 915 MHz CMOS frequency synthesizer,” Master’s thesis, UCLA, 1995.
- [6] T. Lee *et al.*, “A CMOS frequency synthesizer with an injection-locked frequency divider for a 5GHz wireless LAN receiver,” *IEEE J. Solid-State Circuits*, May 2000.
- [7] S. Pellerano *et al.*, “A 13.5mW 5GHz frequency synthesizer with dynamic-logic frequency divider,” *IEEE J. Solid-State Circuits*, February 2004.
- [8] T. Lee and B. Razavi, “A stabilization technique for phase-locked frequency synthesizers,” *IEEE J. Solid-State Circuits*, June 2003.
- [9] K. Shu *et al.*, “A 2.4-GHz monolithic fractional- N frequency synthesizer with robust phase-switching prescaler and loop capacitance multiplier,” *IEEE J. Solid-State Circuits*, June 2003.
- [10] Y. Tang *et al.*, “A fully integrated dual-mode frequency synthesizer for GSM and wideband CDMA in 0.5 μ m CMOS,” *IEEE J. Solid-State Circuits*, 2001.
- [11] “A 4GHz fractional- N synthesizer for multi-mode wireless applications,” tech. rep., Kaben Research, 2003. Disponible: www.us.design-reuse.com/articles/?id=6050.
- [12] E. Juarez and A. Diaz, “A 1.35 ghz wideband frequency synthesizer for mobile communications,” *IEEE J. Solid-State Circuits*, 2002.
- [13] P. A. B. Zhang and J. Huard, “A fast switching PLL frequency synthesizer with an on-chip passive discrete-time loop filter in 0.25 μ m CMOS,” *IEEE J. Solid-State Circuits*, June 2003.
- [14] F. M. Gardner, “Charge pump phase locked loops,” *IEEE Trans. Comm.*, November 1980.
- [15] M. Perrot *et al.*, “A modeling approach for Σ - Δ fractional- N frequency synthesizers allowing straightforward noise analysis,” *IEEE J. Solid-State Circuits*, August 2002.

- [16] H. J. Ahn, *A Frequency Synthesizer for Multi-Standard Wireless Applications*. PhD thesis, The Ohio State University, 2003.
- [17] A. Sripad and D. Snyder, "A necessary and sufficient condition for quantization errors to be uniform and white," *IEEE Trans. Acoust., Speech, Signal Processing*, October 1977.
- [18] M. Perrott, "PLL design assistant program." Disponible: www-mtl.mit.edu/~perrott.
- [19] J. Lee and B. Razavi, "A 40-GHz frequency divider in 0.18- μ m CMOS technology," *IEEE J. Solid-State Circuits*, April 2004.
- [20] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J. Solid-State Circuits*, February 1989.
- [21] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," *IEEE J. Solid-State Circuits*, March 1996.
- [22] J.Ñ. Soares and W. V. Noije, "A 1.6-GHz dual modulus prescaler using the extended true-single-phase-clock CMOS circuit technique (E-TSPC)," *IEEE J. Solid-State Circuits*, January 1999.
- [23] W. H. Lee *et al.*, "A high speed and low power phase-frequency detector and charge-pump," *Design Automation Conf. Proc. of the ASP-DAC'99. Asia and South Pacific*, January 1999.
- [24] W.-B. Y. Kuo-Hsing Cheng and C.-M. Ying, "A dual-slope phase frequency detector and charge pump architecture to achieve fast locking of phase-locked loop," *IEEE Trans. Circuits Syst. II*, November 2003.
- [25] R. C. D. Dulk, "Digital PLL lock-detection circuit," *Electronics Letters*, July 1988.
- [26] M. El-Hage and F. Yuan, "Architectures and design considerations of CMOS charge pumps for phase-locked loops," *IEEE Canadian Conference on Electrical and Computer Engineering*, May 2003.