

**DISEÑO Y CONSTRUCCIÓN DE UNA FUENTE DE TENSIÓN CONMUTADA**

**CARLOS ALBERTO HINE SANABRIA  
SERGIO MARIO MARTINEZ PATERNINA**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍA FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA  
2011**

**DISEÑO Y CONSTRUCCIÓN DE UNA FUENTE DE TENSIÓN CONMUTADA**

**CARLOS ALBERTO HINE SANABRIA  
SERGIO MARIO MARTINEZ PATERNINA**

**Trabajo de grado para optar por el título de  
INGENIERO ELECTRÓNICO**

**Director:  
MsC. JAIME BARRERO**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍA FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA  
2011**

*A Dios, mamá, papá, hermanas, hermanos, familiares, amigos, compañeros, AIESECers y demás personas que han apoyado de alguna forma cada una de las cosas que he emprendido en mi vida, gracias por estar ahí y sé que siempre seguirán estando, es todo un privilegio contar con ellos: la gente que me quiere, la gente a la que quiero.*

**CARLOS ALBERTO HINE SANABRIA**

*A Dios, a mi madre, padre, hermana, novia, grandes amigos y compañeros incondicionales que apoyaron todo este proceso, gracias totales.*

**SERGIO MARIO MARTINEZ PATERNINA**

*Los autores agradecen este trabajo a:*

*El profesor Jaime Barrero, por su amabilidad y orientación durante todo el proceso.*

*A los profesores Javier y Jairo por su ayuda constante y su gran servicio en los laboratorios de la escuela.*

*A la Universidad y especialmente a nuestra Escuela, facultad y docentes por estos años de formación que nos han brindado.*

*A nuestros padres y todas las demás personas que colaboraron directa o indirectamente en la realización y culminación de este trabajo.*

# CONTENIDO

<b>1. INTRODUCCIÓN.....</b>	<b>17</b>
<b>2. REVISIÓN TEÓRICA .....</b>	<b>19</b>
<b>2.1. FUENTE DE TENSIÓN .....</b>	<b>19</b>
<b>2.2. FUENTE TENSIÓN CONMUTADA.....</b>	<b>19</b>
2.2.1. Generalidades.....	19
2.2.2. Funcionamiento.....	20
<b>2.3. CORRECCIÓN DEL FACTOR DE POTENCIA.....</b>	<b>21</b>
2.3.1. Factor de Potencia.....	21
2.3.2. Corrección del Factor de Potencia y reducción de armónicos.....	24
2.3.3. Características.....	25
2.3.4. Técnicas para <i>PFC</i> .....	26
2.3.4.1. <i>Critical Conduction Mode (CrM) PFC</i> .....	27
2.3.4.2. <i>Frequency Clamped Critical Conduction Mode (FCCrM)</i> .....	31
2.3.4.3. Métodos Avanzados para <i>PFC</i> .....	33
2.3.5. Breve comparación de tipos de <i>PFC</i> activo.....	40
<b>2.4. CONVERSIÓN DC-DC.....</b>	<b>41</b>
2.4.1. Función del Convertidor <i>DC-DC</i> en una <i>SMPS</i> .....	41
2.4.2. Convertidores <i>DC/DC</i> .....	42
2.4.2.1. Convertidor <i>Half-Bridge</i> .....	44
2.4.3. Convertidor <i>LLC</i> .....	47
2.4.3.1. Funcionamiento del convertidor <i>LLC</i> .....	49
2.4.3.2. Por qué el convertidor <i>LLC</i> ? Comparación con otras topologías.....	53
<b>3. FUNCIONAMIENTO Y DISEÑO.....</b>	<b>56</b>
<b>3.1. ETAPA DE CORRECCIÓN DEL FACTOR DE POTENCIA.....</b>	<b>56</b>
3.1.1. Metodología y forma de implementación escogidas.....	56
3.1.2. Circuito integrado.....	57
3.1.2.1. Características importantes del UCC28060.....	65
3.1.3. Diseño Final.....	66
3.1.3.1. Selección de los inductores.....	68
3.1.3.2. Selección de la Resistencia ZCD (RZA, RZB).....	69
3.1.3.3. Protección contra sobretensiones (OVP).....	70

3.1.3.4.	Selección del condensador de salida.....	71
3.1.3.5.	Selección de RS para limitación de la corriente pico.....	72
3.1.3.6.	Selección de los semiconductores de potencia (Q1, Q2, D1, D2).....	73
3.1.3.7.	Protección contra caídas de tensión.....	74
3.1.3.8.	Convertidor sincronizador.....	75
3.1.3.9.	Programar $V_{out}$ .....	75
3.1.3.10.	Compensación de lazo.....	76
3.1.3.11.	Datos adicionales.....	77
3.1.4.	Selección de componentes.....	78
<b>3.2.</b>	<b>ETAPA DE CONVERSIÓN DC-DC.....</b>	<b>79</b>
3.2.1.	Circuito Integrado.....	80
3.2.1.1.	Características importantes del UCC25600.....	82
3.2.2.	Diseño Final.....	85
3.2.2.1.	Calcular $M_{min}$ y $M_{max}$ .....	87
3.2.2.2.	Escoger Q.....	88
3.2.2.3.	Cálculo del tanque de resonancia.....	89
3.2.2.4.	Cálculo de las resistencias RT.....	90
3.2.2.5.	Cálculo de la característica <i>Soft-Start</i> y tiempo muerto.....	91
3.2.2.6.	Cálculo de la protección por sobre corriente.....	92
3.2.2.7.	Cálculo de la red de realimentación.....	92
3.2.2.8.	Datos adicionales.....	94
3.2.3.	Selección de Componentes.....	96
<b>4.</b>	<b>PRUEBAS.....</b>	<b>98</b>
<b>4.1.</b>	<b>RESULTADOS Y ANÁLISIS.....</b>	<b>99</b>
4.1.1.	Prueba del factor de potencia.....	99
4.1.2.	Pruebas al Corrector de Factor de Potencia ( <i>PFC</i> ).....	103
4.1.2.1.	Prueba de eficiencia de la etapa <i>PFC</i> .....	104
4.1.3.	Pruebas a la fuente completa ( <i>PFC</i> + Convertidor <i>DC-DC</i> ).....	106
4.1.3.1.	Prueba a baja carga.....	106
4.1.3.2.	Prueba a carga media.....	107
4.1.3.3.	Prueba de rizado a la salida.....	109
<b>5.</b>	<b>CONCLUSIONES.....</b>	<b>110</b>
<b>6.</b>	<b>RECOMENDACIONES.....</b>	<b>112</b>
<b>7.</b>	<b>REFERENCIAS.....</b>	<b>114</b>

## LISTA DE FIGURAS

<i>Figura 1. Tipo de Fuente de tensión (Constante-DC o Variable-AC).</i>	19
<i>Figura 2. Características de las señales de entrada para una SMPS típica sin PFC.</i>	22
<i>Figura 3. Armónicos de la onda de corriente.</i>	23
<i>Figura 4. Características de entrada para una fuente de tensión con FP cercano a 1.0.</i>	24
<i>Figura 5. Etapa de PFC.</i>	25
<i>Figura 6. Características de entrada para fuentes de tensión de PC con diferentes tipos de PFC (Ninguno, pasivo y activo)</i>	26
<i>Figura 7. Esquemático básico para un circuito CrM.</i>	27
<i>Figura 8. Formas de Onda del CrM.</i>	28
<i>Figura 9. Envolvente de la Corriente del CrM.</i>	29
<i>Figura 10. Esquemático simplificado del controlador CrM sin Multiplicador.</i>	30
<i>Figura 11. Estados de operación en el modo CrM del PFC.</i>	31
<i>Figura 12. Formas de onda de operación del DCM.</i>	32
<i>Figura 13. Posibles problemas en el método de Maestro/esclavo.</i>	36
<i>Figura 14. Posibles problemas en el método de Fases Interactivas.</i>	36
<i>Figura 15. Reducción del rizado en la corriente total.</i>	37
<i>Figura 16. Forma de corriente.</i>	38
<i>Figura 17. Forma y magnitud de la corriente de recarga.</i>	39
<i>Figura 18. Clasificación de topologías para PFC por distintos atributos.</i>	40
<i>Figura 19. Aplicación basada en preferencias de topologías para PFC.</i>	41
<i>Figura 20. Fuente de dos etapas de potencia.</i>	42
<i>Figura 21. Tipologías más comunes en el lado primario.</i>	43
<i>Figura 22. Tipologías más comunes en el lado secundario.</i>	43
<i>Figura 23. Convertidor Half-Bridge</i>	44

<i>Figura 24. Forma de onda del funcionamiento del convertidor simétrico</i>	45
<i>Figura 25. Forma de onda del funcionamiento del convertidor asimétrico</i>	46
<i>Figura 26. Circuito resonante LLC</i>	47
<i>Figura 27. Característica DC para un convertidor LLC</i>	48
<i>Figura 28. Convertidor LLC Half-Bridge.</i>	48
<i>Figura 29. Regiones de operación del convertidor LLC Half-Bridge</i>	50
<i>Figura 30. Forma de onda para la región 1.</i>	50
<i>Figura 31. Formas de onda región 2.</i>	51
<i>Figura 32. Diagrama del circuito durante el Modo 1 en la región 2.</i>	51
<i>Figura 33. Diagrama del circuito durante el modo 2 en la región 2.</i>	52
<i>Figura 34. Diagrama del circuito durante el modo 3 en la región 2.</i>	53
<i>Figura 35. Eficiencia LLC vs Half-Bridge asimétrico y Half-Bridge con devanado especial.</i>	54
<i>Figura 36. Comparación de las pérdidas por conmutación.</i>	54
<i>Figura 37. Comparación de las pérdidas por conducción.</i>	55
<i>Figura 38. Comparación de la eficiencia vs la potencia de la Fuente:</i>	55
<i>Figura 39. Configuración de pines del UCC28060 de Texas Instruments®.</i>	58
<i>Figura 40. Pre-regulador de PFC en modo de transición intercalada</i>	67
<i>Figura 41. Datos de corriente para elementos del circuito PFC</i>	77
<i>Figura 42. Vista superior del UCC25600 con sus respectivos pines</i>	81
<i>Figura 43. Característica Soft-Start del UCC25600.</i>	83
<i>Figura 44. Conexión resistencias en el pin RT.</i>	84
<i>Figura 45. Circuito LLC con el UCC25600.</i>	86
<i>Figura 46. Característica DC para el conversor LLC diseñado.</i>	87
<i>Figura 47. Característica de Ganancia Vs. Factor de calidad para un conversor LLC.</i>	88
<i>Figura 48. Componentes calculados para el tanque de resonancia.</i>	90

<i>Figura 49. Valores calculados para el pin RT.</i>	91
<i>Figura 50. Valores calculados para tiempo muerto y Soft-Start.</i>	91
<i>Figura 51. Red de protección contra sobre-corriente.</i>	92
<i>Figura 52. Valores de la red de protección.</i>	92
<i>Figura 53. Circuito del lazo de realimentación (cuadrado azul).</i>	93
<i>Figura 54. Cálculos de Tensión y corriente elementos semiconductores</i>	94
<i>Figura 55. Corrientes por los elementos conectados al primario y secundario.</i>	95
<i>Figura 56. Corrientes y tensión de los MOSFETs.</i>	95
<i>Figura 57. Esquemas transformador principal</i>	97
<i>Figura 58. Características eléctricas transformador principal.</i>	97
<i>Figura 59. Lámpara halógena de carro usada.</i>	99
<i>Figura 60. FFT de la corriente en el osciloscopio.</i>	100
<i>Figura 61. FFT de la corriente en del osciloscopio exportada.</i>	100
<i>Figura 62. Tensión y corriente a la entrada.</i>	101
<i>Figura 63. Tensión y corriente a la entrada exportada a Excel</i>	101
<i>Figura 64. Armónicos calculados</i>	103
<i>Figura 65. Gráfico de eficiencias contra porcentaje de carga PFC.</i>	106
<i>Figura 66. Montaje de pruebas.</i>	108
<i>Figura 67. Montaje con lectura del amperímetro a la salida en la prueba de carga media</i>	108
<i>Figura 66. Rizado a la salida.</i>	109

## LISTA DE TABLAS

<i>Tabla 1. Descripción de pines del circuito integrado UCC28060.</i>	59
<i>Tabla 2. Especificaciones de diseño PFC.</i>	68
<i>Tabla 3. Selección de componentes pasivos.</i>	78
<i>Tabla 4. Selección de componentes de estado sólido.</i>	79
<i>Tabla 5. Descripción de pines del UCC25600.</i>	81
<i>Tabla 6. Especificaciones de diseño etapa LLC.</i>	85
<i>Tabla 7. Elementos de estado solido</i>	96
<i>Tabla 8. Transformadores usados.</i>	96
<i>Tabla 9. Condiciones del circuito de pruebas.</i>	102
<i>Tabla 10. Condiciones del circuito de pruebas.</i>	104
<i>Tabla 11. Cálculo de eficiencia a distintos valores de carga.</i>	105
<i>Tabla 12. Condiciones circuito de pruebas PFC+LLC carga baja.</i>	107
<i>Tabla 13. Resultados y condiciones PFC+LLC carga media.</i>	107

## RESUMEN

**TITULO:** DISEÑO Y CONSTRUCCIÓN DE UNA FUENTE CONMUTADA DE TENSIÓN\*

**AUTOR(ES):** CARLOS HINE, SERGIO MARTINEZ Y JAIME BARRERO\*\*.

**Palabras Clave:** Fuente conmutada de tensión, factor de potencia, corrección de factor de potencia, conversor DC-DC, distorsión armónica total, eficiencia.

### DESCRIPCIÓN:

En este texto se presenta el diseño y la implementación de una fuente conmutada de tensión combinando dos etapas desarrolladas en años recientes, una etapa de corrección de factor de potencia bajo la técnica de intercalado natural y una etapa de conversión *DC-DC* realizada mediante un conversor resonante *LLC Half-Bridge* conectadas entre sí por un bus de  $390V_{DC}$ , con capacidad de entregar  $12V_{DC}$  y  $25A$  a la salida.

Se busca con la utilización de ambas topologías una alta eficiencia y un factor de potencia cercano a la unidad a todos los niveles de carga, así como su operación con una entrada de línea universal que garantice su correcto funcionamiento en cualquier parte del mundo tal como los productos comerciales de este tipo.

Se explica el funcionamiento de las topologías también los cálculos necesarios para el funcionamiento de la fuente y los materiales necesarios para su construcción, luego de lo cual se muestran los resultados de las pruebas realizadas del desempeño de la fuente y se verifica el rendimiento de la misma bajo cargas específicas que se extrapolan a distintos niveles de carga. Estas pruebas fueron realizadas en los laboratorios de la Universidad y con los implementos disponibles en los mismos.

También se muestran las recomendaciones para tomar como base este diseño y usarlo para la construcción de fuentes de mayor potencia y de fuentes más robustas para diversos casos.

---

\*Trabajo de Grado.

\*\* Facultad de Ingeniería Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: MSc Jaime Guillermo Barrero Pérez.

## ABSTRACT

**TITLE:** DESIGN AND CONSTRUCTION OF SWITCHING VOLTAJE SOURCE\*.

**AUTHOR(S):** CARLOS HINE, SERGIO MARTINEZ & JAIME BARRERO \*\*.

**KEYWORDS:** Switching-Mode Power Supply, Power Factor, Power Factor Correction, DC-DC converter, total harmonic distortion, efficiency.

### DESCRIPTION:

In this text the design and implementation of a Switching-Mode Power Supply is presented. This Switching-Mode Power Supply combines two topologies developed in recent years around the world, one stage of power factor correction based on natural interleaving and one stage of DC-to-DC conversion made by LLC Resonant Half-Bridge Converter; they are connected with  $390V_{DC}$ , capable to source  $12V_{DC}$  and 25A at the output.

This project aims with those two topologies a high efficiency and a near-unity power factor in whole load levels, also its operation at universal line input to assure proper working around the globe such as commercial products of this kind.

It is explained how the used topologies works and the needed calculation for switching-mode power supply to work, also the needed materials for its construction, after this results about performance-tests are presented for the power supply this way allow to check the accomplishment of objectives at specific loads that are extrapolated to different load levels for a wider range of studies. Those tests were made at University Laboratories using the equipment available there.

Last but not least recommendations about construction and how to make this power supply as a base for further projects or higher power sources are presented and explained.

---

\* Degree Thesis.

\*\* Physical-mechanical Engineering Faculty; Electrics, Electronics and Telecommunications School. Project director: MSc Jaime Guillermo Barrero Pérez.

## 1. INTRODUCCIÓN

El auge sin fin de productos más pequeños y livianos plantea serios retos para el diseñador de Fuentes de tensión. Particularmente, la eliminación del exceso de calor generado por los semiconductores de potencia se vuelve cada vez más difícil. Consecuentemente es importante que sea tanto pequeña como eficiente.

Las fuentes conmutadas de tensión ofrecen no sólo eficiencias más altas sino que también flexibilidad mayor en los diseños. Recientes avances en tecnologías de semiconductores y elementos magnéticos hacen de las fuentes conmutadas la opción más fuerte en el ámbito de la conversión de energía eléctrica.

Precisamente en este trabajo se verán dos de los avances más recientes en fuentes conmutadas de tensión, una es la corrección del factor de potencia por intercalado y el otro la conversión *DC-DC* por medio de un circuito resonante con topología *LLC<sup>1</sup> Half-Bridge*, estas son dos de las topologías que más estudio y avances han presentado en los últimos años, permitiendo alcanzar eficiencias mayores al 90% y factor de potencia mayores a 0.95.

Los objetivos planteados son concisos, se busca que la fuente produzca 300W a 12V<sub>DC</sub> con un factor de potencia mayor a 0.94 y eficiencia superior al 75% y 80% para cargas bajas y plena carga respectivamente. Todo lo anterior con entrada de línea universal, es decir funcione a tensiones y frecuencias en todo el mundo.

Para cumplir lo anterior en el texto se expone el diseño, la implementación y pruebas de una fuente conmutada de tensión *AC-DC* de 300W que es alimentada con tensiones que pueden variar entre 85 V<sub>RMS</sub> y 265V<sub>RMS</sub>, entregando una tensión de salida de 12V<sub>DC</sub> a una corriente máxima de 25A<sub>DC</sub>. Como se podrá observar, esta señal presenta un factor de potencia mayor a 0,94 y una eficiencia mayor al

---

<sup>1</sup> Inductor-Inductor-Capacitor

90% bajo cualquier porcentaje de carga. La construcción de las dos etapas, una de corrección de factor de potencia y otra de conversión DC-DC, se logran mediante los circuitos integrados *UCC28060* y *UCC25600* de *Texas Instruments®*.

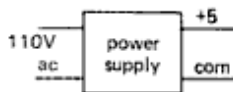
Por último el trabajo se encuentra organizado de forma tal que en se muestran las distintas opciones de diseño de fuentes conmutadas de tensión basándose en las dos etapas, etapa de corrección de factor de potencia y etapa de conversión *DC-DC*. Se presentan las topologías más populares con sus bases teóricas, una breve explicación de la topología implementada para cada etapa, su diseño y la escogencia de los elementos que componen a cada una de ellas. Finalmente se presenta la experimentación con los módulos construidos, sus resultados, conclusiones y recomendaciones finales de los mismos.

## 2. REVISIÓN TEÓRICA

### 2.1. FUENTE DE TENSIÓN

Una fuente de tensión ideal es una *caja negra* con cuatro terminales que mantiene una tensión fija entre sus terminales, sin tener en cuenta la resistencia de carga. Esto quiere decir que la fuente debe suministrar una corriente  $I=V/R$  cuando una resistencia esté conectada a sus terminales. Una fuente de tensión real puede suministrar solo un valor máximo finito, y además generalmente se comporta como una fuente ideal con una pequeña resistencia en serie. Los símbolos usados para indicar una fuente de tensión se muestran en la figura 1.

Figura 1. Tipo de Fuente de tensión (Constante-DC o Variable-AC).



Fuente: [3], Página 9.

### 2.2. FUENTE TENSIÓN CONMUTADA

#### 2.2.1. Generalidades.

La fuente de tensión conmutada<sup>2</sup> es una fuente de tensión electrónica que cuenta con un regulador conmutado y que permite una alta eficiencia en la conversión de potencia eléctrica. Igual que otros tipos de fuente de tensión, la *SMPS* transfiere potencia desde una fuente como lo es una línea de transmisión hacia una carga

---

<sup>2</sup> *SMPS* por sus siglas en ingles: Switching-Mode Power Supply

mientras transforma las características de la tensión y la corriente. Una *SMPS* es usada generalmente para proveer una salida de tensión regulada, típicamente a un nivel distinto a la tensión de entrada. A diferencia de la fuente lineal, el transistor de paso de la *SMPS* conmuta muy rápidamente (50kHz-1MHz) entre los estados de encendido y apagado, lo cual minimiza las pérdidas de energía. La regulación de tensión se proporciona mediante la variación de la relación entre los tiempos de encendido y apagado. En contraste, la fuente lineal debe disipar el exceso potencia para regular la salida. Esta alta eficiencia es la ventaja más grande de las *SMPS*.

Los reguladores conmutados son usados como reemplazo para los reguladores lineales cuando se requiere mayor eficiencia, menor tamaño o peso. Es importante tener en cuenta que son más complicados y las corrientes de conmutación pueden causar problemas de ruido eléctrico que debe ser suprimido cuidadosamente; los diseños muy simples causaran un factor de potencia muy pobre.

### **2.2.2. Funcionamiento.**

El regulador lineal provee la tensión de salida deseada pero disipando potencia en pérdidas resistivas (ej. resistencia o región colector-emisor/*drain-source*) y calor.

En contraste, una *SMPS* regula tanto tensión como corriente mediante la conmutación ideal de elementos de almacenamiento como bobinas y condensadores bajo distintas configuraciones eléctricas. Los elementos de conmutación ideal (ej. transistores operando fuera de su modo activo) no poseen resistencia en su estado “cerrado” y no conducen corriente en su estado “abierto”, esto quiere decir que los convertidores pueden operar teóricamente con un 100% de eficiencia. En la *SMPS*, el flujo de corriente de salida depende de la señal de entrada, los elementos de almacenamiento y las topologías usadas, además del modelo usado (ej. modulación por ancho de pulso con ciclo de trabajo ajustable)

para controlar los elementos de conmutación. Típicamente, la densidad espectral de estas ondas de conmutación tiene energía concentrada a frecuencias relativamente altas. Como tal, tanto los transitorios de conmutación como el rizado introducido sobre las ondas de salida pueden ser filtrados con pequeños filtros LC.

## **2.3. CORRECCIÓN DEL FACTOR DE POTENCIA.**

### **2.3.1. Factor de Potencia.**

Tal como se puede leer en los textos de Electrónica de Potencia ([1] y [2], entre otros), el factor de potencia está definido como la relación entre la potencia real y la potencia aparente:

$$PF = \frac{\text{Real Power (W)}}{\text{Apparent Power (VA)}} \quad \text{Ecuación 1}$$

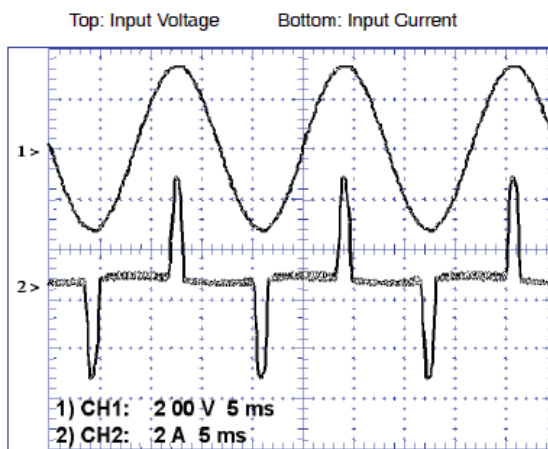
Donde la potencia real es el promedio (durante un periodo) del producto entre la corriente y la tensión instantáneas, y la potencia aparente es el producto entre los valores RMS de la corriente y la tensión. Si tanto la tensión como la corriente son sinusoidales y en fase, el factor de potencia es igual a 1.0; si son sinusoidales pero no están en fase, el factor de potencia es el coseno del ángulo de desfase entre ellas. Esto ocurre cuando la corriente y la tensión son ondas sinusoidales puras y si la carga está compuesta por elementos resistivos, capacitivos e inductivos y todos son lineales.

Las *SMPS* presentan impedancias no lineales hacia la red, debido a su circuitería de entrada. El circuito de entrada usualmente se compone de un rectificador de media o de onda completa seguido de un condensador de almacenamiento capaz de mantener un tensión aproximadamente igual al tensión pico de la onda seno de

entrada hasta que el siguiente pico aparece para recargar el condensador. En este caso la corriente desde la entrada sólo existe en los picos de la onda de entrada, y este pulso contiene la energía suficiente para sostener la carga hasta el siguiente pico. Esto se hace mediante el almacenamiento de una gran carga durante un corto tiempo, después de esto el condensador descarga su energía lentamente en la carga y el ciclo se repite. No es inusual que los pulsos de corriente estén entre 10%-20%, esto quiere decir que la corriente durante el pulso debe ser de 5 a 10 veces la corriente promedio. En la figura 2 se notarán las ondas de tensión y corriente perfectamente en fase, a pesar de la grave distorsión de la onda de corriente. Aplicando la definición del “coseno del ángulo de fase” se concluye erróneamente que esta fuente de tensión tiene un factor de potencia de 1.0.

La figura 3 muestra el contenido armónico de la forma de onda de la corriente de la figura 2. La componente fundamental (60Hz) se muestra con amplitud del 100% y las demás componentes significativas se muestran como porcentaje de la fundamental. Los armónicos pares son apenas visibles como resultado de la simetría de la forma de onda. Sólo la componente fundamental genera potencia real, mientras que las demás contribuyen a la potencia aparente.

Figura 2. Características de las señales de entrada para una SMPS típica sin PFC.



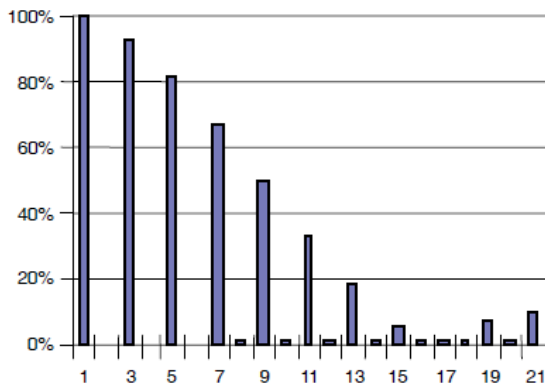
Fuente: [4], Página 10.

Esta desviación está representada en un término llamado factor de distorsión y es el principal responsable del factor de potencia no unitario en las *SMPS*. La ecuación general que gobierna la relación entre la potencia real y la aparente está dada por:

$$\widehat{P}_{in} = \frac{\text{Pot. Real (W)}}{\text{Potencia Aparente (VA)}} = \overbrace{V_{in}(rms) * I_{in}(rms)} * \cos \varphi * \cos \theta \quad \text{Ecuación 2}$$

Donde  $\text{Cos}(\varphi)$  es el factor de desplazamiento entre las ondas de tensión y corriente y  $\text{Cos}(\theta)$  es el factor de distorsión. Para este ejemplo el factor de potencia es aproximadamente 0.6.

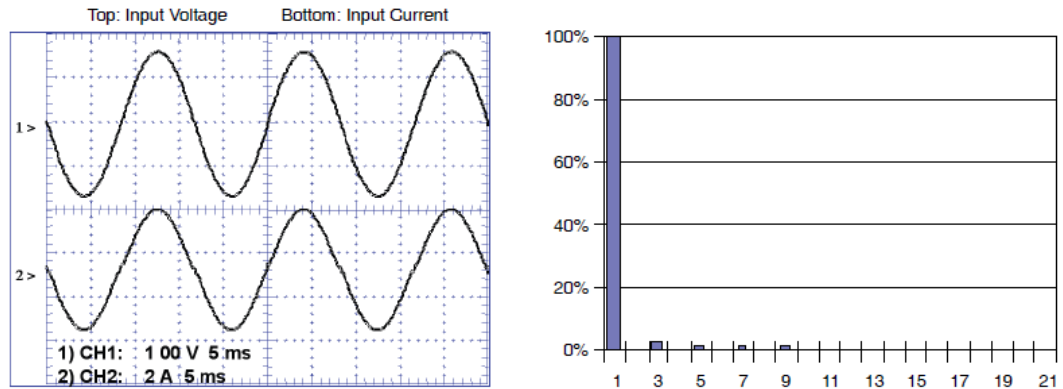
Figura 3. Armónicos de la onda de corriente.



Fuente: [4], Página 10.

La figura 4 muestra la entrada de la fuente de tensión con un factor de potencia perfecto. La forma de onda de la corriente imita la de tensión, además los armónicos de la corriente de entrada son muy cercanos a cero.

Figura 4. Características de entrada para una fuente de tensión con FP cercano a 1.0.



Fuente: [4], Página 11.

### 2.3.2. Corrección del Factor de Potencia y reducción de armónicos.

Se deduce de las gráficas anteriores que un alto factor de potencia va de la mano con bajos armónicos. El proceso de dar forma a la corriente de entrada se conoce como Corrección del Factor de Potencia (*PFC*) y la medida de su éxito es el contenido armónico. En el caso de las *SMPS*, usualmente el factor de desplazamiento es cercano a la unidad. Estas son las relaciones entre el factor de potencia y la distorsión armónica.

$$THD(\%) = 100 * \sqrt{\sum_{p=2}^{\infty} \frac{I_p^2}{I_1^2}} \quad \text{Ecuación 3}$$

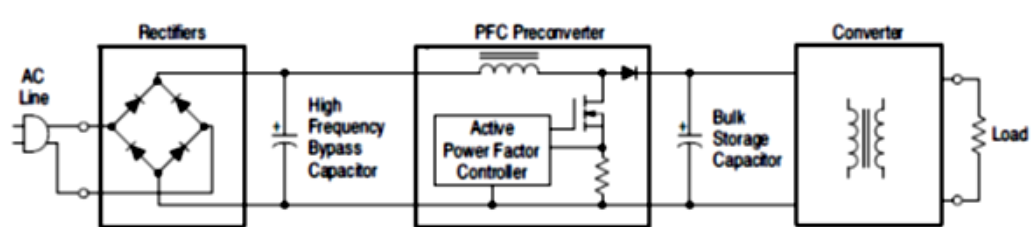
$$PF_{Distorsión} = \sqrt{\frac{1}{1+THD^2}} \quad \text{Ecuación 4}$$

Donde *THD* es la Distorsión Armónica Total, la cual es la suma cuadrática de los armónicos no deseados sobre el fundamental que da la carga relativa de contenido armónico con respecto a la fundamental. En la segunda ecuación se usa el valor absoluto, no el porcentaje de la *THD* y se demuestra que para una *THD* igual a cero el factor de potencia es igual a 1.0.

### 2.3.3. Características.

Las características de entrada mostradas en la figura 4 se obtienen mediante corrección de factor de potencia de tipo activo usando un convertidor conmutado elevador entre la entrada del rectificador y un condensador de almacenamiento, con el convertidor controlado por un *PFC*<sup>3</sup> IC (Circuito Integrado) y su circuitería auxiliar se da forma a la corriente de entrada en fase con la tensión de entrada. Este es el tipo más popular de hacer *PFC* a fuentes de tensión (figura 5), pero cualquier método usado para mantener los armónicos por debajo de los niveles regulados es válido, por ejemplo, una inductancia colocada en la misma posición del circuito activo puede hacer el trabajo, la inductancia adecuada reducirá los picos de corriente y expandirá la corriente el tiempo suficiente para reducir los armónicos. Este método es usado en algunas fuentes de tensión donde el tamaño de las inductancias y su peso no son censurables. A altos niveles de potencia, el tamaño y el peso de los elementos pasivos se vuelven impopulares.

Figura 5. Etapa de PFC.



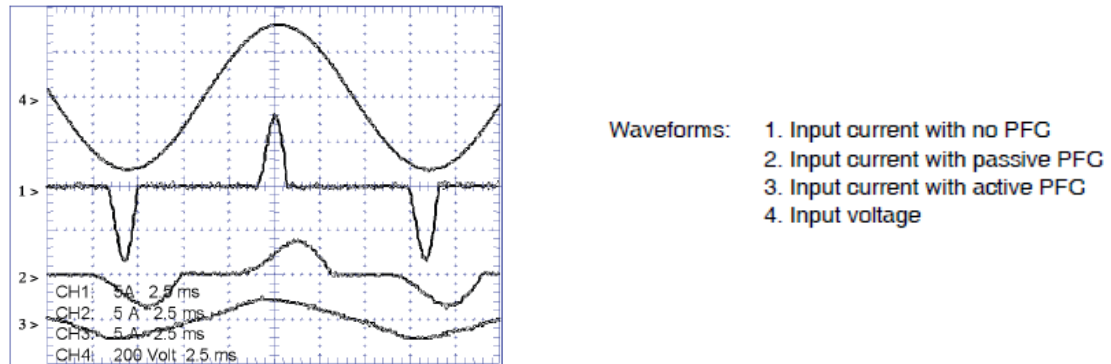
Fuente: [4], Página 12.

La figura 6 muestra las características de entrada para 3 fuentes para computador a 250W, con la misma escala en los valores de corriente. Como se muestra, los niveles pico de la corriente en el circuito *PFC* pasivo son de cerca del 33% más altos que en los circuitos activos.

<sup>3</sup> Corrector del Factor de Potencia, Power Factor Correction por sus siglas en inglés

En los últimos años, las tendencias del mercado (aumento del costo de cobre y los núcleos de material magnético y el decremento de los costos de los semiconductores) han producido un balance decididamente a favor de los PFC activos incluso en las aplicaciones más sensibles al costo.

Figura 6. Características de entrada para fuentes de tensión de PC con diferentes tipos de PFC (Ninguno, pasivo y activo)



Fuente: [4], Página 12.

### 2.3.4. Técnicas para PFC.

Las técnicas de corrección de factor de potencia se pueden agrupar en dos familias, pasivas y activas; de estas últimas se conocen distintas clases de técnicas. En este texto sólo serán tratadas a profundidad las técnicas de control activo *CrM* (*Critical Conduction Mode*), *FCCrM* (*Frecuency Clamped Critical Conduction Mode*) e *Intercalado* (*Interleaved*); las técnicas *CCM* (*Critical Conduction Mode*) y *Sin Puente* (*Bridgeless*) son sugeridas para documentación. Del mismo modo las técnicas de control pasivo tampoco serán tratadas en este texto. Las siguientes técnicas tienen como base teórica el texto de *On Semiconductor*®: “*Power Factor Correction Handbook*” [2], donde se explican a profundidad.

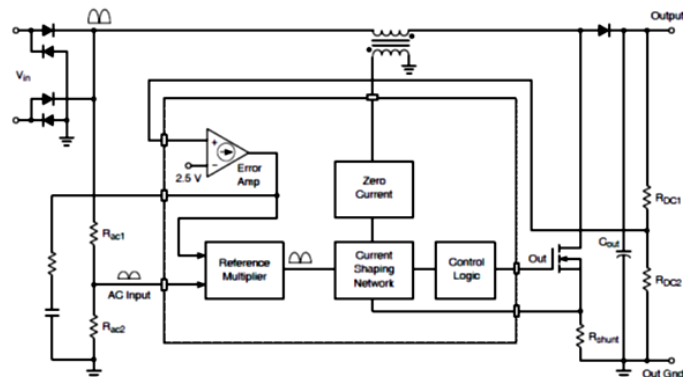
### 2.3.4.1. *Critical Conduction Mode (CrM) PFC.*

Los controladores para *Critical Conduction Mode* son muy populares para iluminación y otras aplicaciones de baja potencia. Estos controladores son sencillos de usar así como económicos. La figura 7, tomada de [2], muestra un circuito de aplicación.

Un amplificador de error con un polo de baja frecuencia proporciona una señal de error en el multiplicador de referencia, la otra entrada del multiplicador es una versión escalada de la señal AC de entrada rectificada y la salida es el producto de estas dos señales.

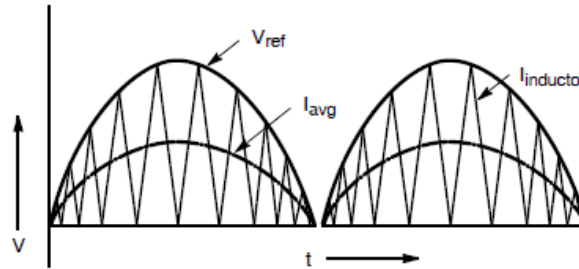
La señal de salida del multiplicador es también una onda Seno totalmente rectificadas escalada por un factor de ganancia (señal de error), y es usada como referencia para la tensión de entrada. La amplitud de esta señal es ajustada para mantener una potencia promedio adecuada que cause que la tensión de salida permanezca a su valor regulado. El bloque "*Current Shaping Network*" hace que la corriente siga la forma de onda a la salida del multiplicador, a pesar que la frecuencia de línea de la señal de corriente (después de filtrado) será de la mitad de la amplitud de esta referencia, este bloque funciona de la siguiente manera:

Figura 7. Esquemático básico para un circuito CrM.



Fuente: [4], Página 14.

Figura 8. Formas de Onda del CrM.



Fuente: [4], Página 14.

La figura 8 muestra la señal de salida del multiplicador,  $V_{ref}$ . Esta señal es alimentada por la entrada de un comparador y por la onda de corriente. Cuando el interruptor se enciende, la corriente del inductor aumenta hasta la señal a través de la derivación alcanzando el nivel de  $V_{ref}$ . En este punto el comparador cambia de estado y el interruptor se apaga. Con el interruptor apagado la corriente baja a cero. Con la corriente igual a cero se detecta la tensión en la inductancia, la cual cae a cero cuando la corriente alcanza el cero. En este punto el interruptor se enciende y la corriente vuelve a aumentar.

Como su nombre lo indica, este esquema de control mantiene la corriente de la bobina en el límite de conducción continua y discontinua, o conducción crítica. Esto es importante porque la forma de onda es siempre conocida, y por lo tanto, la relación entre la corriente promedio y la corriente pico es también conocida. Para una forma de onda triangular, el promedio es exactamente la mitad de su máximo, esto significa que la señal de la corriente promedio (Corriente de la bobina  $\cdot R_{sense}$ <sup>4</sup>) estará a un nivel de la mitad del tensión de referencia. La frecuencia de este tipo de regulador varía con la línea y la carga, con la línea alta y baja carga, la frecuencia es máxima, pero también varía a través del ciclo de línea (altas frecuencias cerca del cruce por cero y bajas frecuencias cerca al máximo).

<sup>4</sup>  $R_{OC1}$  en paralelo con  $R_{OC2}$  en la figura 7.

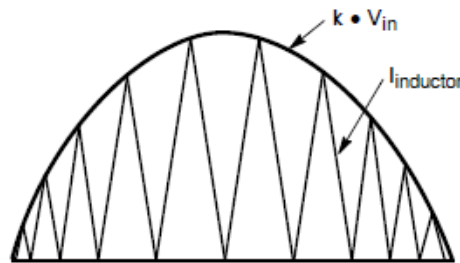
### 2.3.4.1.1. CrM sin multiplicador (Modo Tensión).

La corriente en el controlador de CrM va desde cero hasta la referencia y luego regresa a cero. La señal de referencia es una versión escalada de la tensión de entrada rectificado,  $k \cdot V_{in}$ , donde  $k$  es la constante de escalamiento del divisor de tensión AC. Dado esto, y conocida como la relación de la pendiente de la bobina con la tensión de entrada, se cumple lo siguiente:

$$I_{pk} = k * V_{in}(t), \quad I_{pk} = \Delta I = \frac{V_{in}(t)}{L} * t_{on}$$

Ecuación 5

Figura 9. Envolvente de la Corriente del CrM.



Fuente: [4], Página 15.

Igualando la corriente pico de las dos ecuaciones se tiene que:

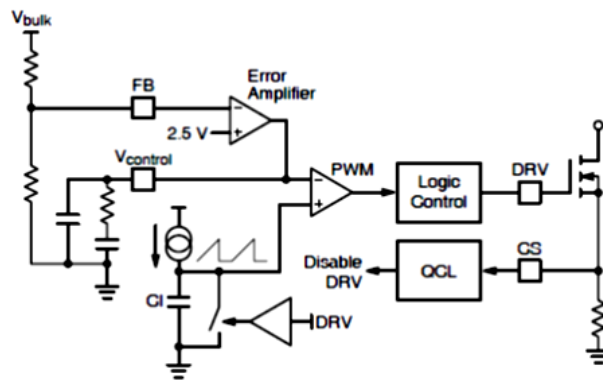
$$k * V_{in} = \frac{V_{in}(t)}{L} * t_{on} \text{ por lo tanto, } t_{on} = k * L$$

Ecuación 6

Esta ecuación muestra que  $t_{on}$  es una constante dada por la señal de referencia ( $k \cdot V_{in}$ ).  $T_{off}$  variará durante todo el ciclo, el cual es la causa de la frecuencia variable que es necesaria para la conducción crítica. El hecho que el tiempo de encendido sea constante para unas condiciones de entrada y de carga determinadas, es la base de este circuito de control.

En el circuito de la figura 10, el temporizador programable de un disparo determina el tiempo de encendido. El detector de cruce por cero detecta la corriente de la bobina y cuando esta alcanza cero el interruptor se enciende de nuevo. Esto crea la misma salida *DC* que en el esquema clásico, sin el uso del multiplicador. El beneficio del controlador de *CrM* modo tensión es que el multiplicador no es necesario y que la red de detección de la tensión de entrada se elimina. Adicionalmente la detección de corriente sólo es necesaria para propósitos de protección.

Figura 10. Esquemático simplificado del controlador *CrM* sin Multiplicador.



Fuente: [4], Página 16.

### 2.3.4.1.2. Resumen Operación básica del *CrM*.

Los dos estados fundamentales de operación del *CrM* son con el interruptor encendido y apagado. La figura 11 muestra los diagramas de los circuitos idealizados y las formas de onda para cada estado junto con las ecuaciones que permiten el entendimiento de la operación del convertidor *CrM*. La primera relación se muestra con la forma de onda triangular de la corriente en la bobina.

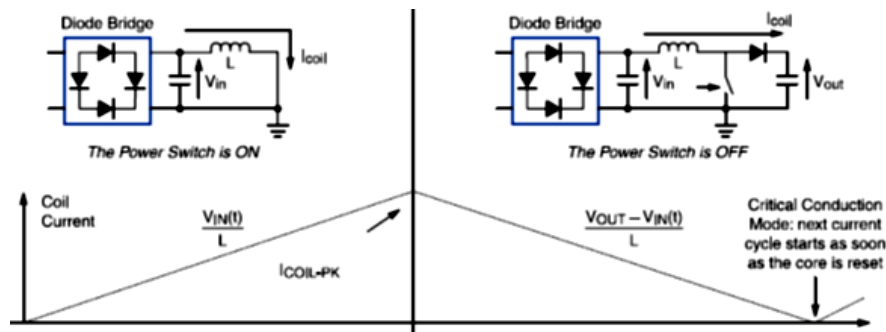
$$I_{in}(t) = \langle I_{COIL} \rangle_{T_{SW}} = \frac{i_{COIL,PK}}{2} \text{ Ecuación 7}$$

Donde  $I_{in}(t)$  es el valor instantáneo bajo de frecuencia de línea de la corriente de entrada, el cual es igual a la frecuencia promedio de conmutación de la corriente de la bobina  $\langle I_{coil} \rangle_{TSW}$ . Usando esta ecuación se determina que el encendido del interruptor es constante para unos valores particulares de tensión y unas condiciones de corriente de carga.

$$t_{on} = \frac{2 \cdot P_{in} \cdot L}{v_{ac}^2} \quad \text{Ecuación 8}$$

Esta relación es la base del control en modo-tensión del convertidor de PFM CrM.

Figura 11. Estados de operación en el modo CrM del PFC.



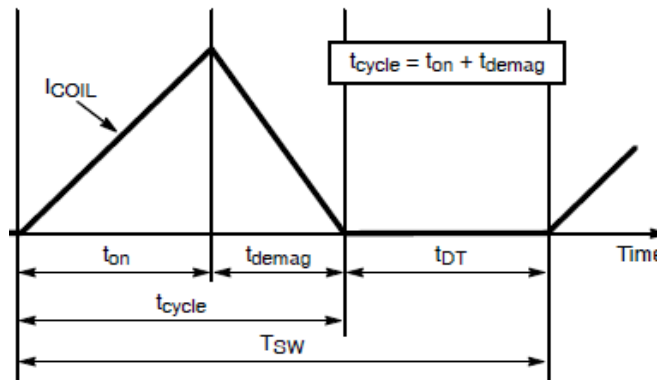
Fuente: [4], Página 31.

#### 2.3.4.2. **Frequency Clamped Critical Conduction Mode (FCCrM).**

Aunque el *CrM* es ampliamente usado en la industria, tiene algunas limitaciones conocidas como la frecuencia de conmutación variable que se alcanza en los picos a cargas bajas y también cerca del cruce por cero de la onda Seno. Algunas soluciones fijan la excursión de la frecuencia mediante el establecimiento de una frecuencia máxima que resulta en la distorsión de la corriente (ya que  $t_{on}$  no fue ajustado para esto) y un factor de potencia más bajo ya que el inductor entra en modo de operación discontinua. Recientemente, una nueva técnica ha sido

introducida la cual permite una real corrección del factor de potencia incluso en modo discontinuo (DCM). Esta técnica está resumida en la figura 12 y en las siguientes ecuaciones.

Figura 12. Formas de onda de operación del DCM.



Fuente: [4], Página 17

Basado en la figura 12 la corriente pico de acuerdo a la ecuación de la corriente que fluye por una bobina es:

$$I_{COIL,PK} = \frac{v_{in}(t)}{L} * t_{on} \quad \text{Ecuación 9}$$

La corriente promedio de la bobina en un ciclo de conmutación está dada por:

$$(I_{COIL})_{T_{SW}} = \frac{I_{COIL,PK}}{2} * \frac{t_{cycle}}{T_{SW}} = I_{in}(t) \quad \text{Ecuación 10}$$

Combinando estas ecuaciones y simplificando se tiene:

$$I_{in}(t) = \frac{v_{in}(t)}{2 * L} * \left( t_{on} * \frac{t_{cycle}}{T_{SW}} \right) \quad \text{Ecuación 11}$$

De esta ecuación se puede deducir que si se crea un algoritmo que permita que  $(t_{on} * t_{cycle} / T_{sw})$  sea constante para una carga y unas condiciones de línea dadas, se

puede lograr una corriente de línea sinusoidal y un factor de potencia unitario a incluso en modo discontinuo. Esto se logra mediante la inclusión de un bloque amplificador conmutado que integra dos valores distintos para igualar la tensión de entrada del amplificador de error.

$$V_{ton} = \frac{T_{SW} V_{control}}{t_{cycle}} \text{ Ecuación 12}$$

Donde  $V_{control}$  es la tensión de salida del amplificador de error que representa las condiciones de línea y carga y  $V_{ton}$  es la tensión presentada en el comparador que establece el tiempo de encendido. Dado que el comparador controla el tiempo de encendido de tal manera que es proporcional a  $V_{ton}$ , se obtiene:

$$t_{on} \propto V_{ton} \text{ y } \frac{t_{on} * t_{cycle}}{T_{SW}} \propto V_{control} \text{ que es constante en el ciclo de línea}$$

Ecuación 13

A pesar del beneficio de la frecuencia fija, el *DCM* no es el modo ideal en todas las situaciones ya que conduce a niveles más altos de corriente pico. Una opción más razonable sería permitir al *PFC* deslizarse entre los modos *DCM* y *CrM* sin problemas y sacar lo mejor de las dos configuraciones. Así, a cargas bajas, cuando el *CrM* puede ir con una alta frecuencia de conmutación, es preferible ir al *DCM*. De igual manera, cuando la corriente de carga es más alta, es deseable permanecer en *CrM* para eliminar los altos picos de corriente.

### 2.3.4.3. Métodos Avanzados para *PFC*.

Tal como indica el autor en [4], la mayoría de los algoritmos de control (*CrM*, *CCM* y *DCM*) y sus combinaciones dan muchas opciones para los diseñadores. Adicional a esto, buscar una eficiencia más alta ha llevado a arquitecturas más avanzadas que se utilizan en las aplicaciones de punta. Sólo hasta ahora estos métodos están haciendo su incursión en las principales aplicaciones.

Las soluciones Sin Puente (*Bridgeless*) de *PFC* surgieron del reconocimiento del puente de diodos de cualquier *PFC* típico como el que contribuye al 2% de las pérdidas a plena carga. Si el puente puede ser eliminado o combinado con otras funciones, estas pérdidas se pueden evitar. Las soluciones Sin Puente involucran distintamente un control más complejo y también requiere percepción aguda de los lazos de tierra para implementarlas.

Otra tendencia reciente es aplicar el concepto de Intercalado a los circuitos de *PFC*. En la operación de intercalado, un convertidor simple es reemplazado por 2 o más convertidores en paralelo, cada uno operando fuera de fase, así cuando las corrientes de rizado se suman a la salida o entrada tienen un efecto de cancelación. Otros beneficios del intercalado son la dispersión de calor y la habilidad de optimizar el costo/rendimiento de un módulo más fácil debido a la disponibilidad de los componentes. Frente a esto, hay aspectos negativos potenciales como la gran cantidad de componentes y una función de control más compleja.

#### **2.3.4.3.1. *PFC* por Intercalado (Metodología escogida).**

El *PFC* por Intercalado es una solución emergente que llega a ser particularmente popular en aplicaciones donde se debe lograr un estricto factor de forma, por ejemplo, adaptadores para computadoras portátiles de bajo perfil o en televisores *LCD*. Usualmente la configuración usada para el intercalado es la *FCCrM*, aunque el intercalado de la configuración *CCM* también es posible. Sin embargo, esta opción debe ser dedicada para aplicaciones de mucha más potencia (por encima de 1kW).

Tal como lo define el autor en [5] pagina 1, “*El intercalado consiste en dos pequeñas etapas en paralelo en lugar de una más grande que puede ser más difícil de diseñar, por ejemplo, dos etapas de PFC para 150W se combinan para*

*formar un pre-regulador PFC para 300W. Cuando se asocia con el FCCrM, esta técnica produce particularmente altos niveles de eficiencia (sobre el 95% en un amplio rango de carga a 90 V<sub>RMS</sub> en una aplicación de 300W)."*

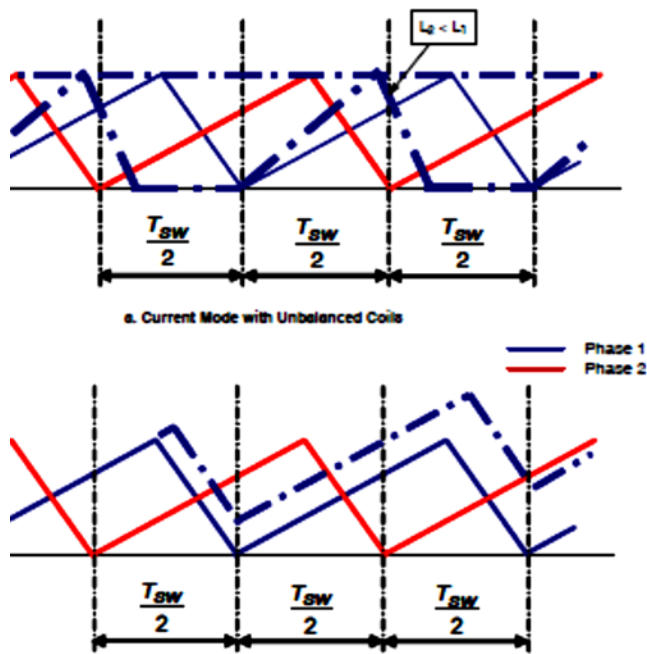
#### **2.3.4.3.1.1. Implementación práctica.**

La principal dificultad cuando se controla el Intercalado para la PFC por CrM o FCCrM es mantener la operación de las dos ramas desfasada. El problema se encuentra en que la frecuencia de conmutación no es fija y varía en función de la carga y las condiciones de línea. Esto es porque en CrM y FCCrM el MOSFET no puede encenderse hasta que la bobina se encuentre totalmente desmagnetizada.

Por lo tanto, cada fase debe seguir su propio ritmo y al mismo momento estar sincronizada con la otra. Existen dos planteamientos para superar esta dificultad:

- I. Conexión de maestro/esclavo donde la rama maestra opera libremente mientras que la otra fase es controlada para seguir fuera de fase. El reto es controlar la rama esclava de manera que nunca entre en operación de CCM y tampoco exhiba tiempos muertos indeseados. La figura 15 muestra el tipo de dificultades que se pueden encontrar cuando se pretende que la rama esclava siga con el mismo periodo de conmutación a pesar de los efectos de los posibles defectos del sistema:
  - Un desbalance en la inductancia que en el modo corriente puede conducir a una pérdida de la operación del CrM dentro de la etapa esclava (figura 13a).
  - Una diferencia en el tiempo de encendido de las dos ramas que puede generar un problema similar en un controlador en modo tensión (figura 13b).

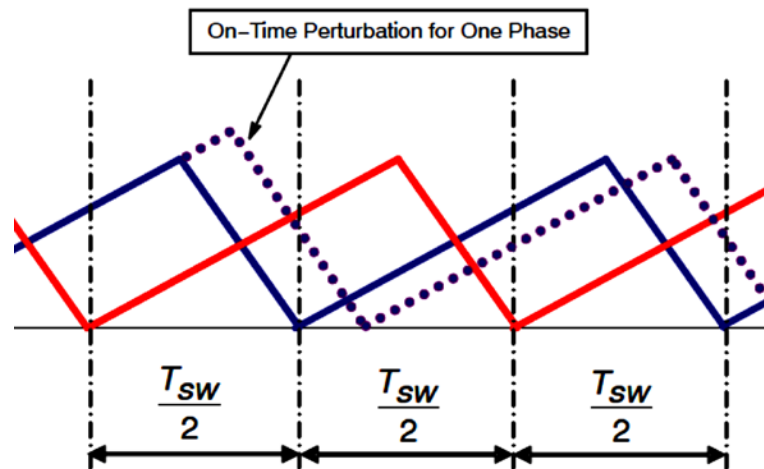
Figura 13. Posibles problemas en el método de Maestro/esclavo.



Fuente: [3], Página 2.

- II. La opción de fases interactivas donde las dos ramas operan independientemente. Cada fase opera propiamente en *CrM* o *FCCrM*. Las dos ramas sin embargo interactúan para fijar un cambio de fase de  $180^\circ$ . Una de las posibles dificultades a superar en la solución de modo tensión es una perturbación en el tiempo de conducción de una de las ramas que genera una pérdida en el cambio de fase, como se ilustra en la figura 14.

Figura 14. Posibles problemas en el método de Fases Interactivas.

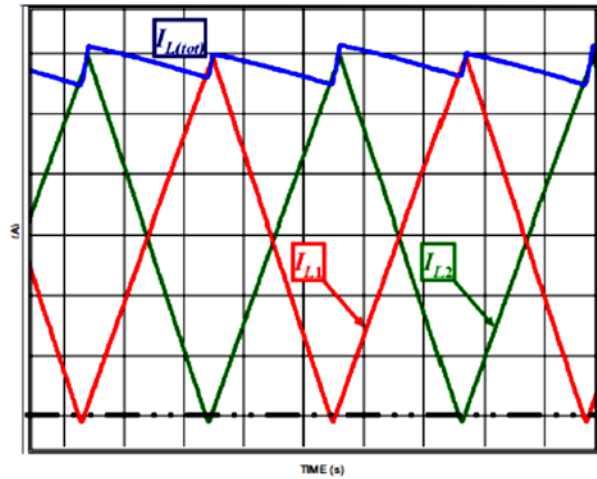


Fuente: [3], Página 3.

#### 1.3.4.3.1.2 Principales Ventajas de PFC por intercalado.

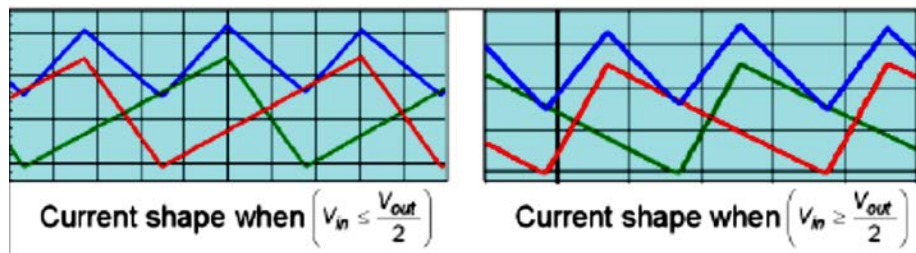
- I. Disminución del rizado en la corriente de entrada: La corriente de la bobina con cada rama exhibe un gran rizado (operación *CrM*) pero como se muestra en la figura 15, la operación desfasada resulta en un muy pequeño rizado en la corriente total dibujada por la etapa de PFC. Para calcular la corriente de rizado, como se muestra en la figura 16, la forma total de la corriente de acuerdo al nivel del tensión de entrada:
  - Si  $V_{in} \leq V_{out}/2$ , las dos ramas operan con un ciclo de trabajo mayor al 50%, por lo tanto hay solapamiento de los dos tiempos de encendido en las dos fases.
  - Si  $V_{in} \geq V_{out}/2$ , el ciclo de trabajo es mayor al 50%. La fase de desmagnetización es la secuencia más larga con el periodo de conmutación. Los tiempos de apagado se solapan en las dos fases.

Figura 15. Reducción del rizado en la corriente total.



Fuente: [3], *Página 3*.

Figura 16. Forma de corriente.

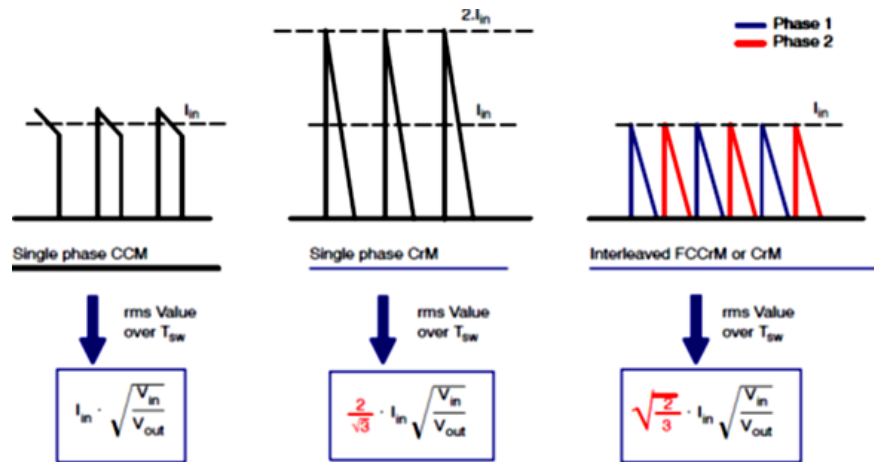


Fuente: [3], *Página 4*.

Debido a estas diferencias, el cálculo de la corriente total requiere considerar los dos casos por separado. Para cada uno de ellos se pueden definir periodos de tiempo cuando las dos ramas tienen su *MOSFET* encendido y cuando las dos ramas están en fase de desmagnetización o cuando una rama está en fase de desmagnetización y la otra tiene su *MOSFET* cerrado. Finalmente, para cada periodo se puede adicionar la corriente de las dos ramas. Haciendo esto se puede ver que la corriente total siempre llega al máximo cuando alguna de las ramas entra en fase de desmagnetización y que es mínima en el mismo momento cuando una nueva secuencia de encendido inicia en cualquiera de las ramas.

- II. Disminución del rizado en la corriente que alimenta el condensador de dieléctrico sólido y la carga: La figura 17 compara la corriente de recarga<sup>5</sup> que se obtiene usando diferentes convertidores de *PFC*. En la *PFC* en modo *CCM*, el diodo del elevador transmite una onda de corriente casi-cuadrada con un pequeño rizado. Si se ignora el rizado, el máximo de la corriente de diodo es la corriente de línea instantánea  $I_{in}$ . En *CrM*, la corriente de recarga tiene una forma triangular que al igual que la corriente de la bobina, llega a un máximo de  $2 \cdot I_{in}$ . En la *PFC* por intercalado, cada rama provee la mitad de la potencia total (asumiendo un balance perfecto en la corriente). Por lo tanto, la corriente de la bobina llega a un máximo de  $2 \cdot I_{in} / 2$  que es  $I_{in}$ . Como se mostró en la figura 16, a baja línea en una aplicación de red amplia, no hay solapamiento de la fases de recarga de las dos ramas como consecuencia de la diferencia de  $180^\circ$ . Más específicamente, esto es cierto cuando las condiciones son más severas que  $V \leq V_{out}/2$ .

Figura 17. Forma y magnitud de la corriente de recarga.



Fuente: [3], Página 7.

<sup>5</sup> Se le llama corriente de recarga a la corriente entregada por la etapa de *PFC* que alimenta al capacitor de salida y la carga en una etapa con *PFC* intercalado corresponde a la corriente entregada por los dos diodos a la salida.

La figura 17 resume estas características y como consecuencia de la forma de la corriente, se obtiene la “Corriente RMS” calculada en un periodo de conmutación ( $(I_{RMS})_{T_{sw}}$ ). Esta debe ser vista como la corriente *DC* equivalente que en un periodo de conmutación disiparía la misma energía que la corriente de recarga a través de una resistencia.

### 2.3.5. Breve comparación de tipos de *PFC* activo.

Si se busca por una amplia gama de rangos de potencia y aplicaciones se deben hacer observaciones generales y de prioridades para los cuales hay guías muy útiles para seleccionar la topología apropiada para la aplicación al nivel de potencia buscado. Adicional a la eficiencia, hay muchos más atributos que pueden dictar la elección de la topología de *PFC* más apropiada.

La figura 18 muestra una comparación de diferentes topologías con respecto a atributos clave de diseño. Además, dependiendo de los segmentos finales de la aplicación, hay ciertas topologías más preferidas que otras, la figura 19 muestra las opciones más destacadas de circuitos de *PFC* para diferentes aplicaciones.

Las figuras 18 y 19 indican los requisitos específicos o de realización que pueden cambiar la clasificación. Por ejemplo, la necesidad de una eficiencia mayor, puede llevar a preferir las topologías Sin Puente (*Bridgeless*) o de Intercalado (*Interleaved*) en lugar del *CCM*. Igualmente, la necesidad de compacidad puede llevar a que se adopte la solución *FCCrM* o *CCM* en lugar de la *CrM* para adaptadores.

Figura 18. Clasificación de topologías para *PFC* por distintos atributos.

	CrM	FCCrM	CCM	Interleaved
Low Profile	****	****	***	*****
EMI	***	****	****	*****
Isolation				
Efficiency	****	****	****	*****
Compactness	****	****	****	***
Hold-Up Time	****	****	****	****
Transient Response	****	****	****	****
Harmonic Performance	****	*****	*****	*****
Relative Cost	****	****	***	***
High Power Capability	***	****	*****	****

Fuente: [4], Página 113.

Figura 19. Aplicación basada en preferencias de topologías para PFC.

	Power Range (W)	Preferred Topology 1	Preferred Topology 2
Notebook Adapter >75 W	75-150	CrM	FCCrM
ATX Power Supply	200-500	CCM	FCCrM
Server Power Supply	400-1000	CCM	Bridgeless
Flat TV Power Supply	200-500	Interleaved	FCCrM
Lighting	20-100	Single Stage	CrM
Telecom Rectifier	1000+	Bridgeless	CCM
On-Line UPS	500+	Bridgeless	CCM

Fuente: [4], Página 113

## 2.4. CONVERSIÓN DC-DC

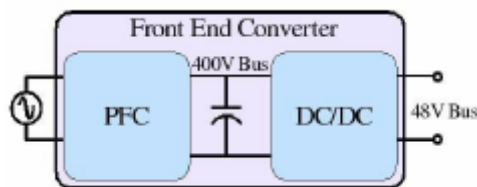
### 2.4.1. Función del Convertidor DC-DC en una SMPS

Dentro de una fuente de alimentación moderna podemos encontrar dos etapas realmente diferenciadas, tal como se muestra en la figura 20. Con un diseño de dos etapas existe una doble conversión de potencia. La primera etapa convierte la entrada AC a una salida de  $400V_{DC}/390V_{DC}$  intermedia (o bus-DC) con factor de potencia corregido

Estos  $400/390V_{DC}$  se le conoce como bus universal para las *SMPS* es de este valor dado la rectificación en sí para entradas de línea en todo el globo. Como se sabe la tensión rectificada en el capacitor de filtro (el que se encuentra exactamente después del puente de diodos rectificadores) es alrededor de 1.4 veces la tensión *RMS* de entrada, por tanto para una entrada de  $265V_{RMS}$  la tensión rectificada en el capacitor será de aproximadamente  $375V_{DC}$ , que se toma como “el peor de los casos”, si bien las demás tensiones de línea producen menos tensión en el capacitor los ingenieros han diseñado los circuitos para que los correctores de factor de potencia aumenten dichas tensiones a  $390/400 V_{DC}$  como estándar para cualquier entrada, dado que un circuito adaptable es más costoso y la ganancia en eficiencia no es acorde al trabajo adicional.

La segunda etapa, es el convertidor DC-DC, este convierte los  $400V_{DC}/390V_{DC}$  a una salida regulada de X Volts DC (en la figura se puede leer  $48V_{DC}$  pero este no tiene por qué ser siempre así) que alimenta la carga.

Figura 20. Fuente de dos etapas de potencia.



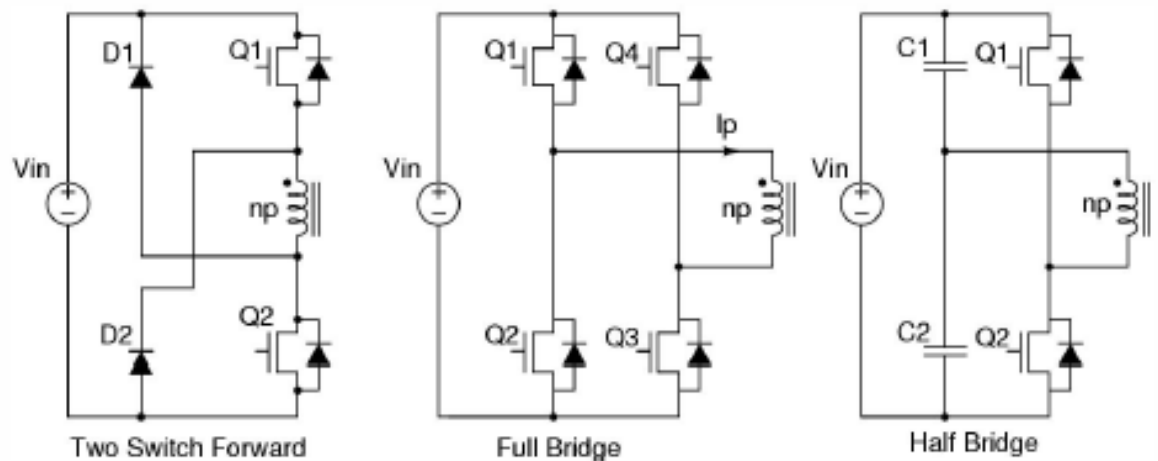
Fuente: [4], Página 6.

### 2.4.2. Convertidores *DC/DC*.

La mayoría de los diseños de convertidores DC/DC son una evolución de las tipologías *Full-Bridge*, *Two-Switch Forward* y *Half-Bridge*. Estos se muestran en la figura 21 para el primario y en la figura 22 para las configuraciones secundarias. La elección de la tipología se lleva a cabo teniendo en cuenta diversos parámetros

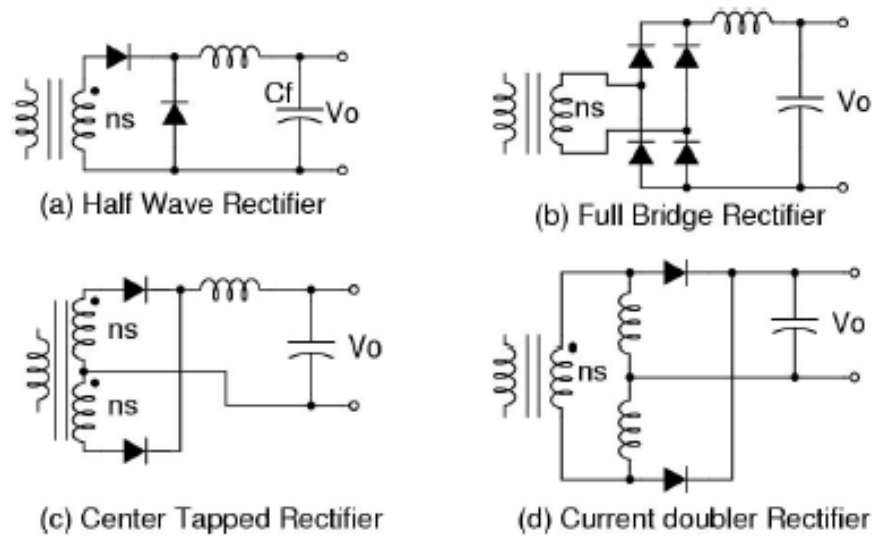
como tamaño, pérdidas, nivel de potencia, facilidad, frecuencia de trabajo, entre otros. Tal y como se puede leer en [6] para fuentes de 1KW (muy usadas a nivel industrial como base para fuentes de mayor potencia) las más comunes son las topologías Half-Bridge y Full-Bridge.

Figura 21. Tipologías más comunes en el lado primario.



Fuente: [6], Página 7.

Figura 22. Tipologías más comunes en el lado secundario.



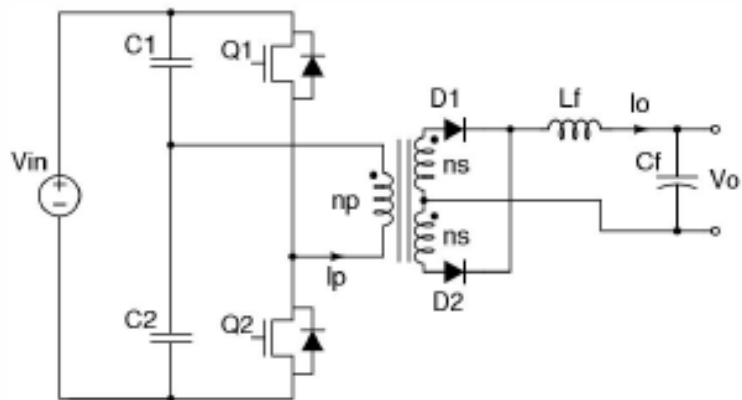
Fuente: [6], Página 7.

### 2.4.2.1. Convertidor *Half-Bridge*.

Tal como se muestra en la figura 23 el convertidor *Half-Bridge* tiene solamente dos transistores en el lado primario. Este convertidor se comporta de manera muy diferente si se usan señales de control en los transistores, la diferencia se puede apreciar en la figura 24 y en la figura 25.

Cuando en este convertidor los transistores son controlados con señales idénticas pero con desfase de  $180^\circ$  se le conoce con el nombre de convertidor *Half-Bridge* Simétrico (*SHB*<sup>6</sup>). Cuando las dos señales son complementarias, se le conoce con el nombre de *Half-Bridge* Asimétrico (*AHB*)<sup>7</sup>.

Figura 23. Convertidor *Half-Bridge*

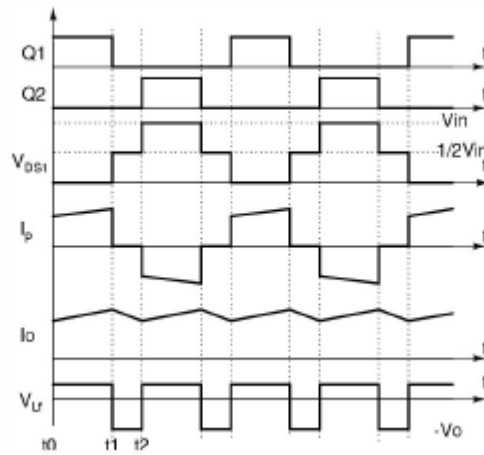


Fuente: [6], Página 24.

<sup>6</sup> Symmetrical Half-Bridge

<sup>7</sup> Asymmetrical Half-Bridge

Figura 24. Forma de onda del funcionamiento del convertidor simétrico



Fuente: [6], Página 24.

Para el caso del convertidor simétrico se tiene una topología de conmutación difícil o conmutación estresante (*HS*<sup>8</sup> por sus siglas en inglés), se le conoce con este nombre debido a que el *MOSFET* conmuta cuando aún hay tensiones en él, si estas tensiones existen el *MOSFET* las disipa internamente, por lo que las pérdidas por conmutación se incrementan, además el *MOSFET* sufre un estrés en cada ciclo de conmutación, lo que reduce la vida útil del dispositivo. Si se desea leer más sobre este tema se recomienda el texto en [17] donde se repasa la historia y los avances en este tópico.

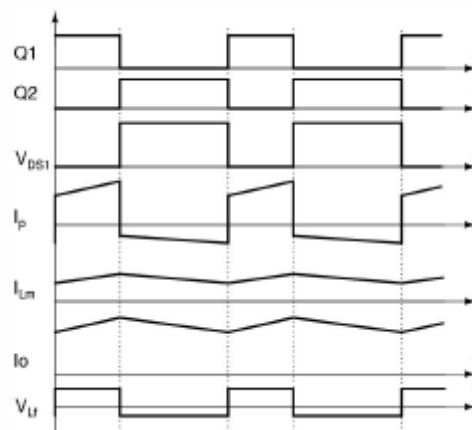
Tiene el inconveniente que la inductancia de fuga es perjudicial para el rendimiento del transformador, normalmente una red *Snubber* [12] es necesaria para solucionar el problema de oscilaciones indeseadas que son causadas por la inductancia de fuga durante el periodo de tiempo cuando los dos transistores no están conduciendo. Para este caso la potencia de salida está limitada por los inconvenientes mencionados anteriormente.

<sup>8</sup> *Hard-Switching* [9] Página 2 Figura abajo-izquierda se muestran las pérdidas generadas por este tipo de conmutación.

El convertidor asimétrico resulta una topología muy interesante, dado que tiene características únicas. Primero que todo, el *Half-Bridge* asimétrico es un convertidor SS<sup>9</sup>, ambos transistores en el primario pueden funcionar con ZVS<sup>10</sup> lo que ayuda con la inductancia de fuga. También tiene la ventaja que no existe el problema de las oscilaciones por la inductancia de fuga que tiene el convertidor simétrico, dado que los transistores trabajan de manera complementaria. También, dado que la energía es transferida desde la entrada a la salida durante todo el periodo de conmutación no existe el problema de la alta corriente que circula por el convertidor Full-Bridge cuando dos transistores están encendidos al tiempo.

Sin embargo también existen algunos inconvenientes con este convertidor. Un problema es la tensión de estrés asimétrico que se presenta en el secundario y que se relaciona con el ciclo de trabajo. En algunas situaciones, la tensión se vuelve tan alta que limita la elección de los diodos rectificadores. También bajo ciertas configuraciones de este convertidor se puede presentar una pérdida de ZVS durante condiciones de carga baja, tal como se indicó en el convertidor Full-Bridge.

Figura 25. Forma de onda del funcionamiento del convertidor asimétrico



Fuente: [6], Página 25.

<sup>9</sup> *Soft Switching* [6] y [17].

<sup>10</sup> Conmutación a Tensión Cero, o *Zero-Voltage Switching* por sus siglas en inglés, se trata de una condición en la cual los transistores conmutan cuando  $V_{DS}$  es cero, esta ayuda a reducir las pérdidas por conmutación.

Por último es importante mencionar que este convertidor es muy popular para potencias menores a 1KW debido principalmente a la simplicidad comparada con el convertidor *Full-Bridge*.

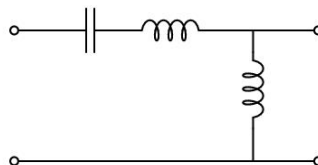
### 2.4.3. Convertidor LLC.

Las tres topologías de resonancia más conocidas se pueden encontrar en [6] pagina 95, en donde se muestran los circuitos, algunos diseños, simulaciones y otros aspectos de interés.

Tal como lo dice el autor en [6] pagina 106 *“Tres topologías de resonancia fueron analizados en la parte anterior. De los resultados podemos concluir que todas ellas poseen grandes penalidades cuando la tensión de entrada posee un rango amplio. La alta energía que circula y las altas pérdidas por conmutación cuando la tensión de entrada es alta, no las hace recomendables para aplicaciones en convertidores DC-DC”*

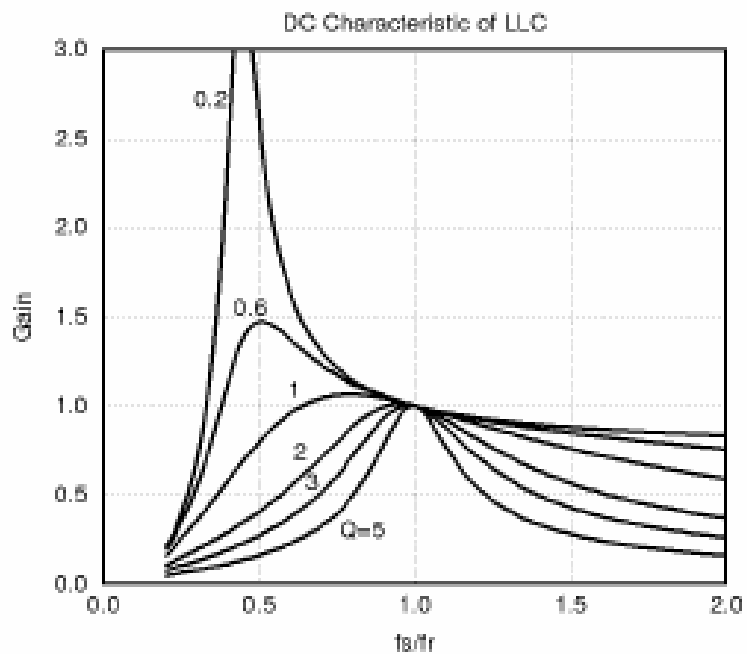
De las pruebas hechas por el autor mencionadas anteriormente se puede decir con certeza que para un tanque de resonancia, trabajar a su frecuencia de resonancia es la manera más eficiente de funcionar. El circuito resonante del convertidor LLC y su característica DC se muestran en la figura 26 y 27, más información sobre ambas se puede encontrar también en [referencia 6]. La figura 28, muestra el convertidor *LLC Half-Bridge*.

Figura 26. Circuito resonante LLC



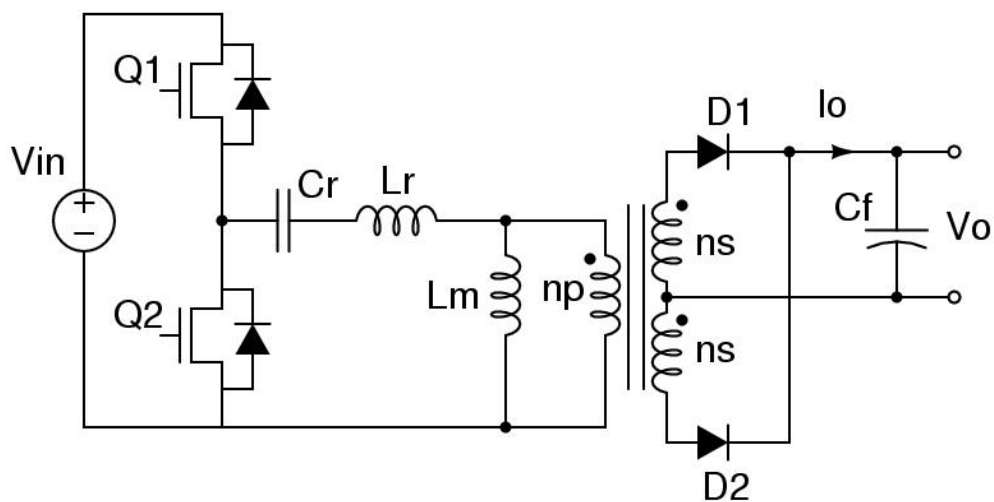
Fuente: [6], Página 107.

Figura 27. Característica DC para un convertidor LLC



Fuente: [6], Página 108.

Figura 28. Convertidor LLC Half-Bridge.



Fuente: [6], Página 108.

### 2.4.3.1. Funcionamiento del convertidor LLC.

Para entender mejor el convertidor LLC se puede dividir su característica DC en tres regiones tal como lo muestra la figura 29. Para este convertidor existen dos frecuencias de resonancia, una determinada por  $L_r$  y  $C_r$  y otra determinada por  $L_m$ ,  $C_r$  y las condiciones de carga, dado que a medida que la carga aumente esta frecuencia de resonancia cambiara a una frecuencia más alta.

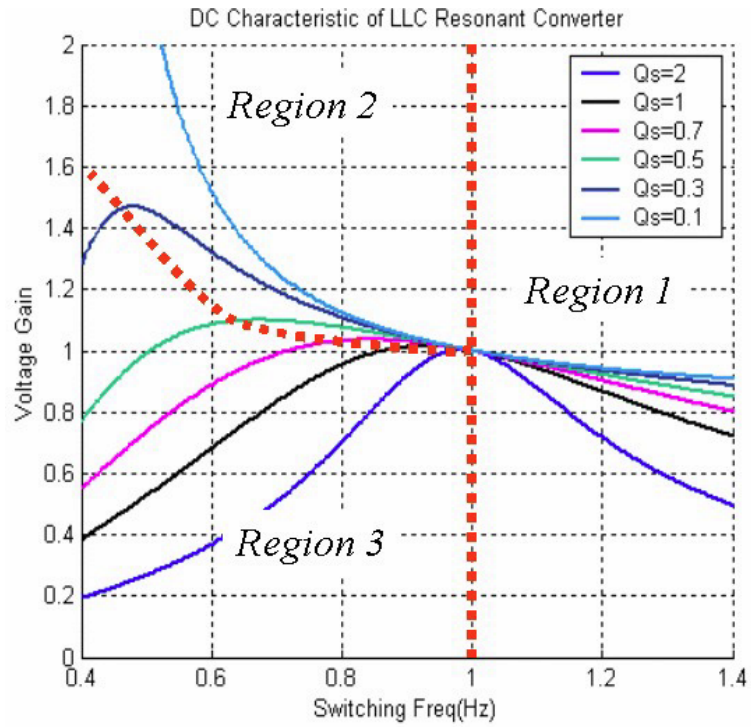
$$f_{r1} = \frac{1}{2\pi\sqrt{L_r*C_r}} \text{Ecuación 14}$$

$$f_{r2} = \frac{1}{2\pi\sqrt{(L_r+L_m)*C_r}} \text{Ecuación 15}$$

Los diseños de este convertidor que requieran ZVS deben ser realizados para operar en la región 1 y 2, dado que la región 3 no ofrece dicha característica. Las formas de onda de estas regiones se muestran en la figura 30 y 31 respectivamente, estas son realizadas a partir de simulaciones mostradas en [6].

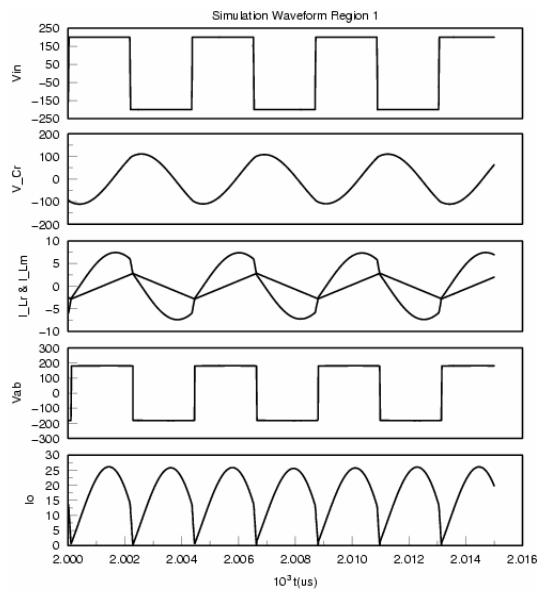
En la región 1,  $L_m$  nunca va a resonar con el capacitor  $C_r$ ,  $L_m$  permanece fijo por la tensión de salida y actúa como carga para el circuito de resonancia. Con esa carga pasiva en el circuito de resonancia este convertidor es capaz de operar sin carga a la salida sin la penalización de un alza considerable en la frecuencia de conmutación. También permite que se asegure la operación ZVS para cualquier condición de carga.

Figura 29. Regiones de operación del convertidor LLC Half-Bridge



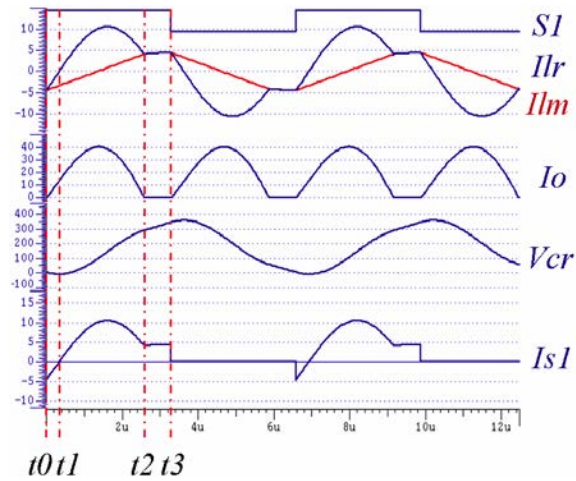
Fuente: [6], Página 111.

Figura 30. Forma de onda para la región 1.



Fuente: [6], Página 112.

Figura 31. Formas de onda región 2.

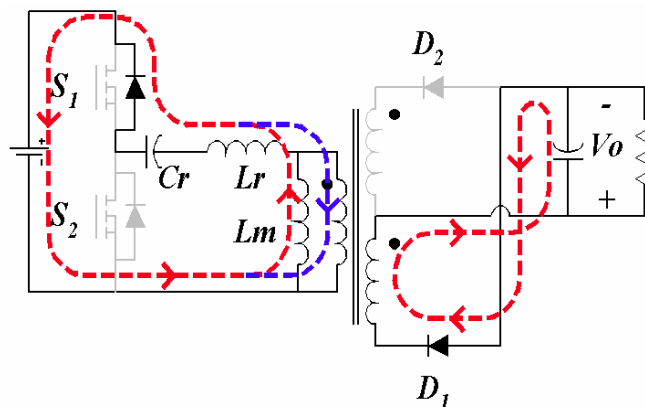


Fuente: [6], Página 113.

En la región 2, la operación es más compleja. Esta se puede dividir en 3 modos:

- Modo 1 ( $t_0$  a  $t_1$ ). Este modo comienza cuando  $Q_2$  se encuentra apagado en  $t_0$ . En este momento la corriente del inductor de resonancia  $L_r$  es negativa; fluye por el diodo de  $Q_1$ , lo que crea la condición de ZVS para  $Q_1$ . La señal en la compuerta de  $Q_1$  debe ser aplicada durante este momento.

Figura 32. Diagrama del circuito durante el Modo 1 en la región 2.



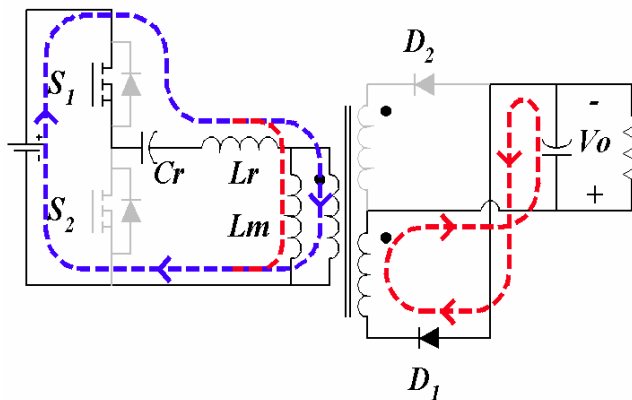
Fuente: [6], Página 114.

Cuando dicha corriente fluye por el diodo de  $Q_1$  la corriente  $I_{Lr}$  se incrementa, esto fuerza al diodo  $D_1$  en el secundario a conducir y  $I_o$  se empieza a incrementar.  $L_m$  en este caso se carga con una tensión constante.

- Modo 2 ( $t_1$  a  $t_2$ ). Este modo empieza cuando la corriente  $I_{Lr}$  se vuelve positiva. Desde que  $Q_1$  se enciende durante el modo 1 la corriente fluye a través del *MOSFET*  $Q_1$ .

Durante este modo, el diodo rectificador  $D_1$  conduce. La tensión del transformador es fija y es  $V_o$ .  $L_m$  es directamente lineal a la tensión de salida, por lo tanto no participa en la resonancia durante este periodo. Este modo termina cuando la corriente de  $L_r$  es la misma que la corriente de  $L_m$ . La corriente de salida por tanto se hace cero.

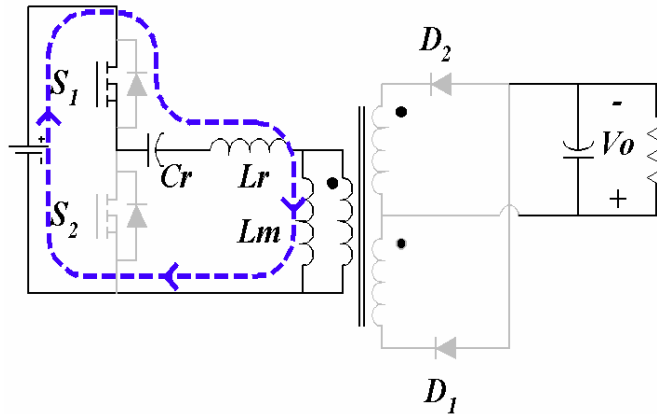
Figura 33. Diagrama del circuito durante el modo 2 en la región 2.



Fuente: [6], Página 115.

- Modo 3 ( $t_2$  a  $t_3$ ). En  $t_2$  las dos corrientes de los inductores son iguales. La corriente de salida es cero y ambos diodos rectificadores  $D_1$  y  $D_2$  están polarizados inversamente. La tensión en el secundario del transformador es más bajo que la tensión de salida.

Figura 34. Diagrama del circuito durante el modo 3 en la región 2.



Fuente: [6], Página 116.

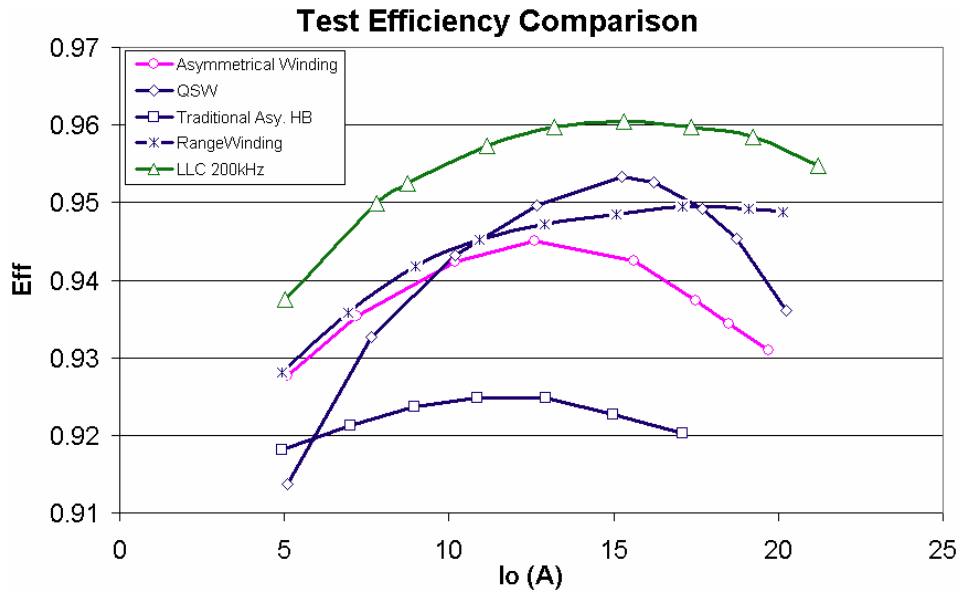
Durante este periodo, dado que la salida está aislada del primario,  $L_m$  es libre de participar en la resonancia. De esta forma se forma un tanque resonante de  $L_m$  en serie con  $L_r$ , resonando al tiempo con  $C_r$ . Este modo termina cuando  $Q_1$  se apaga. Tal como se puede ver en las formas de onda, la corriente cuando  $Q_1$  se apaga en  $t_3$  es pequeña comparada con la corriente pico.

Para la otra mitad del ciclo ( $Q_2$ ) la operación es exactamente igual a la analizada anteriormente. Tal como se puede ver en la figura 31, los MOSFET son encendidos con la condición ZVS y como esta condición está relacionada con la corriente de magnetización y no con la corriente de carga, se puede obtener funcionamiento ZVS del convertidor incluso sin carga.

#### 2.4.3.2. Por qué el convertidor LLC? Comparación con otras topologías.

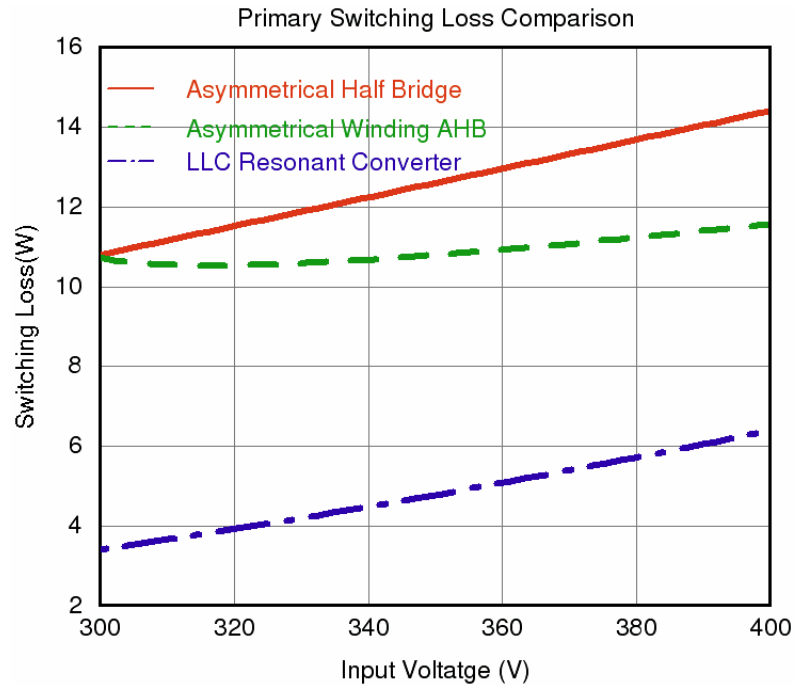
A continuación se muestran algunas figuras donde se muestran las ventajas del convertidor *LLC Half-Bridge* frente a otras topologías *Half-Bridge* que son conocidas en la industria y son explicadas en mayor profundidad por el autor.

Figura 35. Eficiencia LLC vs Half-Bridge asimétrico y Half-Bridge con devanado especial<sup>11</sup>.



Fuente: [6], Página 126.

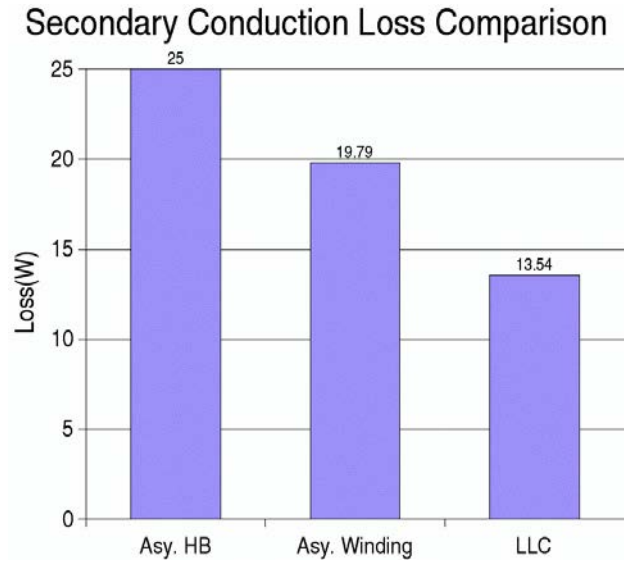
Figura 36. Comparación de las pérdidas por conmutación.



Fuente: [6], Página 131.

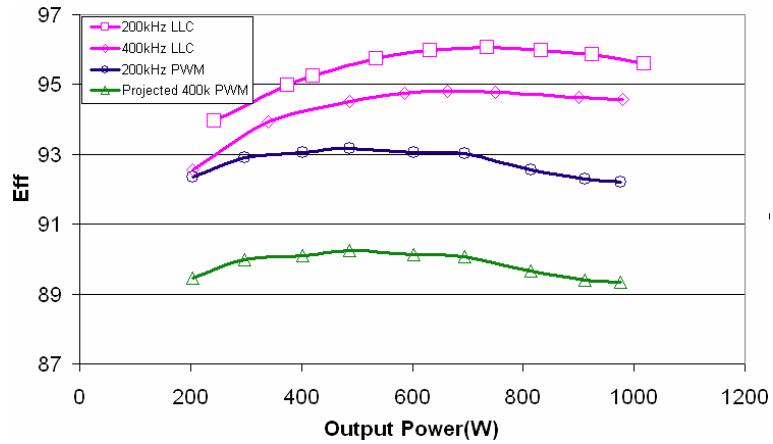
<sup>11</sup> Asymmetrical Winding, [4] página 36.

Figura 37. Comparación de las pérdidas por conducción.



Fuente: [6], Página 132.

Figura 38. Comparación de la eficiencia vs la potencia de la Fuente:



Fuente: [6], Página 140.

Como se puede observar en todas las figuras anteriores la topología *LLC* contiene ventajas notables en cuanto a eficiencia y pérdidas respecto a otras topologías de convertidores *DC-DC*, lo que la hace una perfecta elección para *SMPS* modernas.

### 3. FUNCIONAMIENTO Y DISEÑO

#### 3.1. ETAPA DE CORRECCIÓN DEL FACTOR DE POTENCIA

##### 3.1.1. Metodología y forma de implementación escogidas.

Como se mencionó en la sección anterior, la topología escogida para la implementación fue la de *PFC* por Intercalado. Esto se debe básicamente a lo mostrado en la figura 19 donde se concluye que la configuración por Intercalado es la más adecuada para aplicaciones que se encuentren en un rango de potencia entre 200W y 500W, como lo es el caso de este trabajo con 300W.

Adicionalmente esto se debe también a las virtudes enunciadas en la sección 2.3.4.3.1 donde se mencionan beneficios como fácil diseño e implementación, bajo costo de los implementos, alta eficiencia y la disminución del rizado de las corrientes de entrada y de condensador de dieléctrico sólido.

A continuación se enuncian beneficios adicionales que el intercalado natural ofrece:

- Fácil manejo de fase que provee conformidad con estándares de eficiencia a baja carga.
- Protección de sobretensiones (*OVP*) a prueba de fallos con doble trayectoria que previene las condiciones de sobretensión a la salida causadas por fallas en la detección de tensión.
- El modelo sin sensor de corriente simplifica el *layout* de la tarjeta y mejora la eficiencia.

- Limitación segura de la corriente de irrupción: Previene la conducción del *MOSFET* durante la irrupción y elimina los eventos de recuperación inversa en la salida de los rectificadores.

### 3.1.2. Circuito integrado.

Para el desarrollo de esta topología se ha seleccionado el Circuito integrado UCC28060 de *Texas Instruments*® [10], que es un controlador para *PFC* por intercalado. Dentro de los beneficios que este circuito integrado ofrece para esta aplicación vale la pena resaltar los siguientes:

- Ahorro en costo.
- Mejora en la eficiencia y flexibilidad del diseño sobre el tradicional “*Single-Phase Continuous Conduction Mode (CCM)*”.
- Cancelación de la corriente en el filtro de entrada y el condensador de salida (reducción de la corriente de rizado para una mayor confiabilidad del sistema, un condensador de dieléctrico sólido más pequeño y un tamaño reducido en el filtro *EMI*).
- Permite el uso de diodos de bajo costo y sin un circuito de amortiguamiento muy robusto.
- Mejoramiento de la eficiencia a carga baja.
- Mejoramiento de la respuesta transitoria.

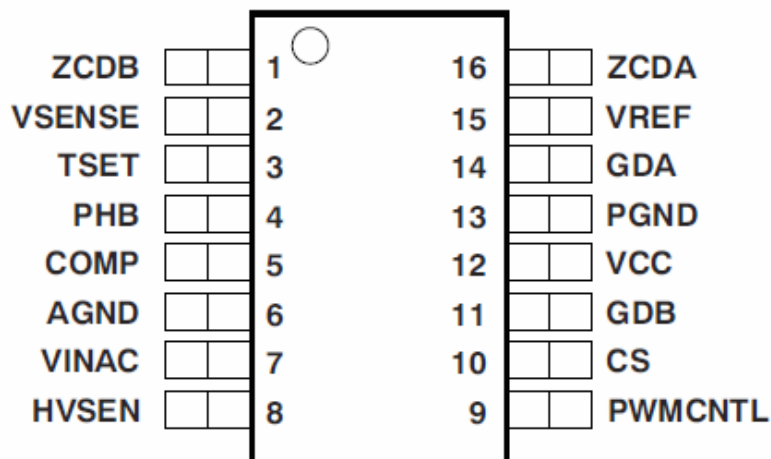
Dentro de sus aplicaciones se destacan las fuentes de tensión entre 100W y 800W, televisores plasma y *LCD*, fuentes de computador, entre otros. Además de esto, en la descripción del UCC28060 se resalta que esta solución ha sido optimizada para una gran cantidad de aplicaciones comerciales y extiende las ventajas del modo de transición (alta eficiencia a bajo costo de componentes) a potencias más altas que las anteriores. Mediante la utilización de la técnica de

intercalado natural, los dos canales operan como maestros (es decir, no hay un canal esclavo) sincronizados a la misma frecuencia. Este método ofrece una fuerte correspondencia intrínseca, respuestas rápidas y asegura que cada canal opera en modo de transición.

El sistema y nivel completo de protecciones ofrece una caída de tensión a la entrada, salida de sobretensión, lazo abierto, sobrecarga, arranque suave, detección de falla de fase y apagado térmico. La característica de protección de sobretensiones a prueba de fallos (*OVP*) protege contra cortocircuitos a un tensión intermedio que, si no son detectados, podrían llevar a fallas catastróficas en el dispositivo.

Habiendo enunciado a groso modo las condiciones necesarias para esta implementación y las que ofrece el Circuito Integrado durante esta sección (beneficios del intercalado, características, costo de implementación, aplicaciones y operación), finalmente se decidió seleccionar el UCC 28060 tal como fue mencionado anteriormente, la figura 39 muestra la configuración de pines del mismo.

Figura 39. Configuración de pines del UCC28060 de Texas Instruments®.



Fuente: [10], Página 7.

Tabla 1. Descripción de pines del circuito integrado UCC28060.

TERMINAL			DESCRIPCION
NOMBRE	No.	I/O	
<b>AGND</b>	6	--	<b>Analog ground:</b> Se conecta a este pin la señal análoga de los condensadores de desacople y de los componentes de compensación. Conectar las tierras análogas y de potencia a un punto único que aisle las señales de corriente de alto ruido de los componentes de potencia de la interferencia con los circuitos análogos de baja corriente.
<b>COMP</b>	5	O	<b>Error amplifier output:</b> Es un amplificador de transconductancia, así que su salida es una fuente de corriente de alta impedancia. Se conectan los componentes del lazo de compensación de regulación de la tensión desde este pin a AGND. El tiempo de encendido visto en la salida del controlador de compuerta es proporcional al tensión de este pin menos un <i>offset</i> de aproximadamente 125mV. Durante eventos de suave arranque (baja tensión, apagado o inhabilitación), COMP está en bajo. La operación normal sólo se reanuda después de un evento de suave arranque y COMP ha sido descargado por debajo de 0.5V, asegurando que el circuito volverá a arrancar con un bajo tensión en COMP y un tiempo corto de encendido. No conectar COMP a una fuente de baja impedancia que pueda interferir con la caída de COMP debajo de 0.5V.
<b>CS</b>	10	I	<b>Current sense input:</b> Conectar la resistencia de detección de corriente y el terminal negativo del

punto de diodos a este pin. Conectar el regreso de la corriente de esta resistencia al pin AGND con una señal separada. Como la corriente de entrada aumenta, la tensión en CS será más negativa. Esta protección contra sobre-corrientes ciclo a ciclo limita la entrada de corriente mediante el apagado de las salidas de los controladores de compuerta (GDx) cuando CS es más negativo que el umbral de crecimiento de CS (aprox. 200mV). Las salidas GD permanecen bajas hasta que CS decrece hasta su umbral de caída (aprox. 15mV). La detección de corriente es cerrada aproximadamente por 100ns siguiendo el límite de caída de cada salida GD. Este cierre filtra el ruido que ocurre cuando la corriente conmuta desde un FET de potencia hacia el diodo elevador. En la mayoría de los casos, no se requiere un filtrado adicional en la detección de corriente. Si se requiere filtrado, la resistencia en serie del filtro debe ser menor a  $100\Omega$  para mantener precisión. Para prevenir un excesivo tensión negativo en CS durante condiciones de irrupción, conectar la resistencia de detección de corriente a CS mediante una resistencia externa de bajo valor. Como con la resistencia en serie del filtro, esta resistencia externa necesita ser menor a  $100\Omega$  para mantener precisión.

**GDA/GDB** 14/11 ○

***Channel A and Channel B gate driver output:***

Conectar estos pines a la compuerta de cada FET de potencia para cada fase por medio de una conexión muy corta. Si es necesario un camino de más de

			12.6mm puede ocurrir alguna oscilación debido a la inductancia en serie del camino. Esta oscilación se puede reducir adicionando una resistencia entre 5-Ω y 10-Ω en serie con GDA y GDB.
<b>HVSEN</b>	8	I	<p><b>High voltage output sense:</b> El IC posee una protección a prueba de fallos contra sobretensiones, de tal modo que no se permite ninguna falla a la salida del elevador encima de niveles seguros. La salida de sobretensión es monitoreada por VSENSE y HVSEN y apagarán el PWM si cualquiera de los dos pines excede el umbral apropiado de sobretensión. Usar dos pines para monitorear sobretensión brinda protección redundante y tolerancia a fallas. HVSEN también puede ser usado para habilitar el convertidor de potencia aguas abajo cuando la tensión en HVSEN esté en la región de operación. Seleccionar el divisor de HVSEN para los umbrales deseados de sobretensión y buena potencia. Seleccionar la impedancia del divisor de HVSEN para la histéresis de buena potencia deseada. Durante la operación HVSEN nunca debe caer bajo 0.8V, si esto ocurre el IC entrará en un modo especial de operación usado solo para pruebas de fábrica. Se recomienda conectar un condensador de desacople entre HVSEN y AGND para filtrar ruido y prevenir falsas sobretensiones de apagado.</p>
<b>PGND</b>	13	--	<p><b>Power ground for the integrated circuit:</b> Conectar este pin a AGND a través de un corto camino que aíse el ruido del controlador de compuerta de señales</p>

			análogas.
<b>PHB</b>	4	I	<b>Phase B enable:</b> Este pin enciende/apaga el canal B del convertidor elevador. El tiempo dominante de encendido en el canal A se dobla cuando el canal B se desactiva, lo cual ayuda a que la tensión en COMP permanezca constante durante el transitorio de “ <i>Phase Management</i> ”. El umbral de PHB cambia con los rangos de línea para una mejor eficiencia cuando PHB está conectado a COMP. PHB también puede ser controlado mediante señales lógicas externas para permitir adaptar el “ <i>Phase Management</i> ”. Para desactivar el “ <i>Phase Management</i> ” se debe conectar el pin PHB al pin VREF.
<b>PWMCNTL</b>	9	O	<b>PWM enable logic output:</b> Esta salida de drenador abierto cae a bajo cuando HVSEN se encuentra en su buena región y las entradas de ZCDA y ZCDB están conmutando correctamente si operan en modo de dos fases (ver el pin PHB). Por lo demás, PWMCNTL está en alta impedancia.
<b>TSET</b>	3	I	<b>Timing set:</b> Entrada de programación del tiempo de encendido del PWM. Conectar una resistencia entre TSET y AGND para ajustar el tiempo de encendido contra la tensión en COMP y el periodo mínimo en las salidas del controlador de compuerta.
<b>VCC</b>	12	--	<b>Bias supply input:</b> Conectar este pin a una fuente controlada de DC entre 14V y 21V. También conectar un condensador de desacople cerámico de 0.1 $\mu$ F entre este pin y PGND. Esta fuente alimenta todos los circuitos en el dispositivo y debe ser capaz de

			proporcionar 6mA DC más la potencia transitoria de la compuerta del MOSFET.
VINAC	7	I	<p><b>Input AC voltage sense:</b> Para operación normal conectar este pin al divisor situado a través de la entrada del rectificador. Esta entrada detecta el rango de tensión de entrada para establecer el desnivel y detectar la caída de tensión. El rango de entrada de tensión cambia cuando el tensión pico en VINAC llega y permanece bajo el rango de cambio del umbral por el rango de cambio del tiempo de filtrado o el tensión pico en VINAC llega a ser superior al rango de cambio del umbral. Cuando la tensión en VINAC permanece debajo de la caída de tensión umbral por más tiempo que la caída en el filtro, el dispositivo entra en modo caída y ambas salidas del controlador son desactivadas. Seleccionar la tasa de caída de tensión a la entrada del divisor para el umbral de caída deseado y el rango de potencia de línea. Seleccionar la impedancia del divisor para la histéresis de caída deseada.</p>
VREF	15	O	<p><b>Voltage reference output:</b> Conectar un condensador cerámico de desacople de 0.1-<math>\mu</math>F entre este pin y AGND. Esta referencia de 6VDC puede ser usada para polarizar otros circuitos que requieran menos de 2mA de corriente total de alimentación.</p>
VSENSE	2	I	<p><b>Voltage reference output:</b> Conectar este pin a un divisor de tensión a través de la salida del convertidor de potencia. La tensión de referencia del amplificador de error es 6V. Seleccionar la tasa de salida del divisor</p>

de tensión para la tensión de salida deseado. Conectar la tierra del divisor a tierra a través de un camino corto para una mejor regulación de la salida e inmunidad al ruido. VSENSE puede ser reducido por medio de una salida lógica de drenador abierto o una salida lógica de 6V en serie con diodo de baja fuga para desactivar las salidas y reducir la corriente de VCC. Si VSENSE es desconectado, la protección de lazo abierto provee una fuente de corriente interna para reducir VSENSE, apagando los controladores de compuerta.

**ZCDA/ZCDB**

16

I

**Zero current detection inputs:** Estas señales anticipan a ver un límite negativo cuando la corriente del inductor en su respectiva fase cae a cero. Las entradas están limitadas a 0V y 3V. Las señales deben estar acopladas a través de una resistencia en serie que mantenga la corriente de limitación a menos de  $\pm 3\text{mA}$ . Conectar estos pines a través de una resistencia limitadora de corriente a cero cruzando los devanados de detección del inductor elevador apropiado. El devanado del inductor debe ser conectado de tal manera que el tensión caiga cuando la corriente del inductor decaiga a cero. Cuando la corriente del inductor llegue a cero, la entrada de ZCD debe caer bajo el umbral de caída, aproximadamente 1V, para causar que la salida del controlador de compuerta aumente.

Fuente: [10], Página 7.

### 3.1.2.1. Características importantes del UCC28060

**Intercalado Natural.** Bajo condiciones de operación normal, el IC regula la sincronización relativa de la corriente de los inductores de los canales A y B para que estén muy cercanas a  $180^\circ$ , minimizando las corrientes de rizado vista desde la línea y el condensador de salida. La función de control de fase diferencial modula los tiempos de encendido de los canales A y B basado en la relación entre la fase y la frecuencia. Este método de intercalado natural permite al convertidor lograr el cambio de fase de  $180^\circ$  y la operación en modo transición para las dos fases sin los requerimientos de tolerancia del inductor elevador. Como resultado, la distribución de corriente de los canales A y B es proporcional a la tolerancia del inductor. La mejor distribución de corriente se logra cuando los dos inductores son exactamente del mismo valor.

**Easy Phase Management.** A condiciones de baja carga, debido a las pequeñas pérdidas por conducción resultantes de una pequeña corriente de carga y las grandes pérdidas por conmutación causadas por la descarga de los condensadores de unión de los MOSFET, el apagado de una de las etapas de potencia reduce las pérdidas por conmutación y aumenta las pérdidas por conducción. A ciertos niveles de potencia, la reducción de las pérdidas por conmutación es más grande que el incremento de las pérdidas por conducción; se puede lograr una mayor eficiencia.

Esta característica es uno de los mayores beneficios de la corrección de factor de potencia por intercalado y es especialmente valiosa para lograr los requisitos de diseño en eficiencia a baja carga. La función de “*easy phase management*” permite apagar una de las fases para lograr una eficiencia más alta a cargas bajas mediante la conexión del pin COMP al pin PHB. Basado en el análisis teórico y los resultados experimentales, los umbrales de programación del “*phase management*” del IC pueden alcanzar una máxima mejora de la eficiencia. De

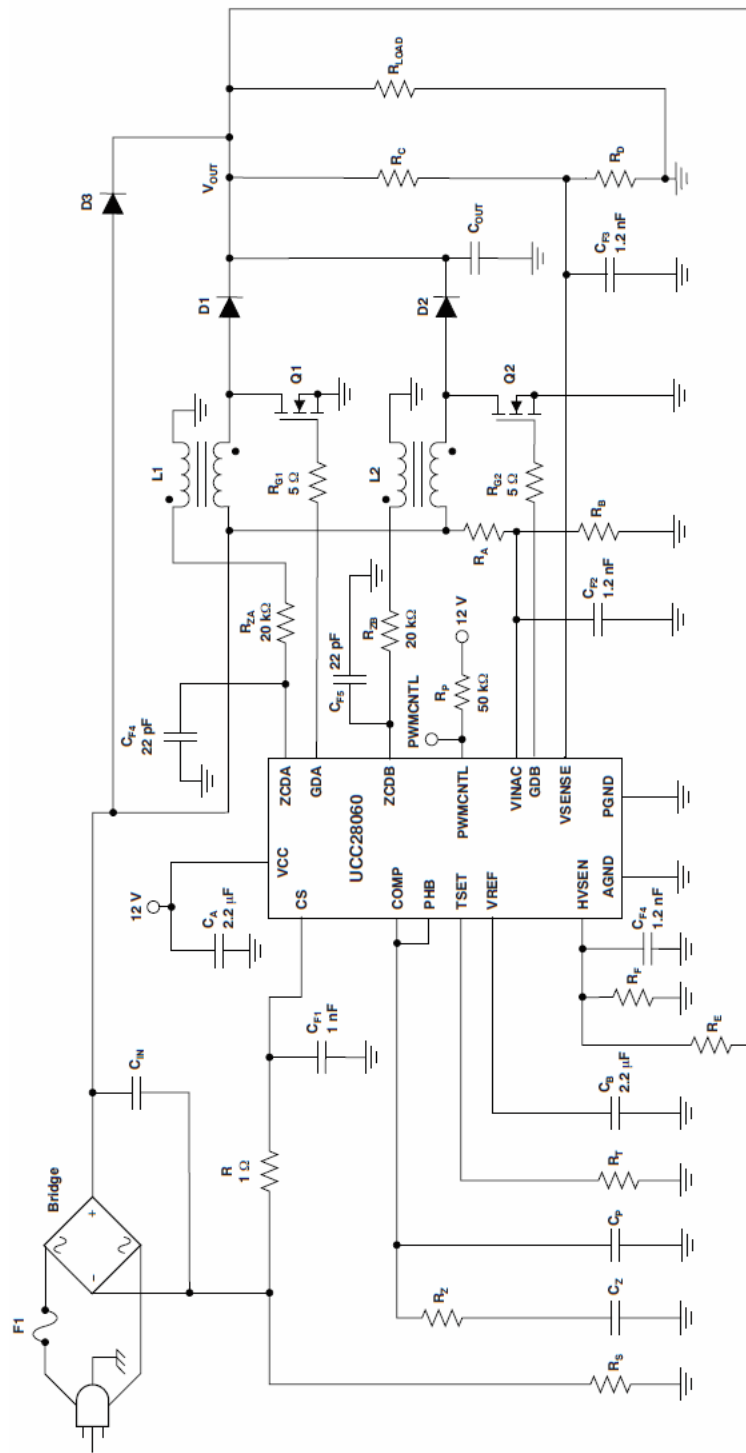
acuerdo a la tensión del pin COMP, “*easy phase management*” apaga la fase B a los niveles de potencia correspondientes.

### **3.1.3. Diseño Final.**

A partir de lo enunciado en las secciones 2.1 y 2.2 se procederá a definir la topología y la metodología de diseño. Para esto se ha acudido a la hoja de datos del UCC28060 y una de sus principales aplicaciones prácticas, el pre-regulador en modo transición para *PFC* por intercalado.

La figura 40 muestra el circuito escogido basando este proceso de selección en las aplicaciones típicas mostradas para el circuito integrado que ha sido seleccionado para este trabajo.

Figura 40. Pre-regulador de PFC en modo de transición intercalada



Fuente: [10], Página 7.

Posterior a esto se procede a establecer las especificaciones previas de diseño, estas se muestran en la tabla 2. Absolutamente todas las formulas presentadas en esta sección se encuentran en [10].

Tabla 2. Especificaciones de diseño PFC.

PARÁMETRO		MIN	TIP	MAX	Unid.
$V_{in}$	Tensión de entrada RMS	85		265	$V_{RMS}$
$V_{out}$	Tensión de salida		390		V
$f_{line}$	Frecuencia de línea	47		63	Hz
<b>PF</b>	Factor de Potencia	0,9			
$P_{out}$	Potencia de salida			320	W
$\eta$	Eficiencia a plena carga	0,99			
$f_{min}$	Frec. mínima de conmutación	45			kHz

*Fuente: Autores.*

### 3.1.3.1. Selección de los inductores.

La inductancia del elevador se selecciona basada en los requerimientos de la corriente de rizado de la bobina en el máximo de línea baja. Seleccionar la inductancia requiere calcular el ciclo de trabajo del convertidor elevador en el pico de línea baja ( $D_{PEAK\ LOW\ LINE}$ ), como se muestra en la ecuación:

$$D_{PEAK\ LOW\ LINE} = \frac{V_{OUT} - V_{IN\ MIN} * \sqrt{2}}{V_{OUT}} = \frac{390V - 85V * \sqrt{2}}{390V} \approx 0,69$$

La frecuencia mínima de conmutación del convertidor ( $f_{MIN}$ ) sucede en el pico de línea baja y se establece entre 25kHz y 50kHz para evitar el ruido audible. Para este diseño se ha establecido en 45kHz:

$$L_1 = L_2 = \frac{\eta * V_{IN\ MIN}^2 * D_{PEAK\ LIW\ LINE}}{P_{OUT} * f_{MIN}} = \frac{0,99 * (85V)^2 * 0,69}{320V * 45kHz} = 346,62\mu H$$

La bobina para este diseño tendría una corriente pico ( $I_{LPEAK}$ ) de 5,38A y una corriente RMS ( $I_{LRMS}$ ) de 2,2A, como se muestra a continuación:

$$I_{LPEAK} = \frac{P_{OUT} * \sqrt[2]{2}}{V_{IN\ MIN} * \eta} = \frac{300W * \sqrt[2]{2}}{85V * 0,99} \approx 5,38A \quad , \quad I_{LRMS} = \frac{I_{LPEAK}}{\sqrt[2]{6}} \approx 2,2A$$

Este convertidor usa un tiempo de encendido ( $T_{ON}$ ) constante y una conmutación de corriente cero ( $Z_{CS}$ ) para establecer la sincronización del convertidor.

Los devanados auxiliares de L1 y L2 detectan cuando la corriente de la bobina es cero. Seleccionar la relación de vueltas asegura que habrá al menos 2V en el pico de línea alta para reiniciar el comparador ZCD después de cada ciclo de conmutación. La relación de vueltas de cada devanado auxiliar es:

$$\frac{N_P}{N_S} = \frac{V_{OUT} - V_{IN\ MAX} * \sqrt[2]{2}}{2V} = \frac{390V - 265V * \sqrt[2]{2}}{2V} \approx 8$$

### 3.1.3.2. Selección de la Resistencia ZCD (RZA, RZB).

El valor mínimo de las resistencias ZCD se selecciona basado en el índice de corriente máxima interna de estabilización Zéner de 3mA, como se muestra en la ecuación:

$$R_{ZA} = R_{ZB} \geq \frac{V_{OUT} * N_S}{N_P * 3mA} = \frac{390V}{8 * 3mA} \approx 16,3k\Omega$$

### 3.1.3.3. Protección contra sobretensiones (OVP).

Los terminales HVSENSE y VSENSE son los encargados de detectar la tensión de la salida y apagar el controlador de PWM, así evitando el daño del dispositivo por sobretensiones. El terminal HVSENSE programa la salida del PWMCNTL del UCC28060. La salida de dreno abierto del PWMCNTL puede ser usada para desactivar el convertidor mientras que el condensador de salida del PFC se carga. El PWMCNTL empieza en alta impedancia y se cae a tierra cuando HVSENSE se incrementa sobre 2.5V. Establecer el punto donde el PWMCNTL se activa requiere un divisor de tensión desde el elevador de tensión al terminal HVSENSE a tierra. Las siguientes ecuaciones muestran como activar el pin de PWMCNTL cuando la salida de tensión esté dentro del 90% de su valor nominal.

$$V_{OUT\ OK} = V_{OUT} * 0,9 \approx 351V$$

La resistencia  $R_E$  establece el lado alto del divisor de tensión y programa la histéresis de la señal PWMCNTL.  $R_E$  fue seleccionada para proveer 108V de histéresis como muestra esta ecuación donde 36 $\mu$ A corresponde a la corriente de polarización típica en el terminal HVSENSE:

$$R_E = \frac{\text{Histéresis}}{36\mu A} = 3M\Omega$$

La resistencia  $R_F$  se usa para programar el umbral activo del PWMCNTL:

$$R_F = \left( \frac{2.5V}{\frac{V_{OUT\ OK} - 2.5V}{R_E} - 36\mu A} \right) = \frac{2.5V}{\frac{351V - 2.5V}{3M\Omega} - 36\mu A} \approx 31.2k\Omega$$

La salida de PWMCNTL permanece activa hasta que se alcance un valor mínimo de tensión de salida ( $V_{OUT\ MIN}$ ), de esta manera:

$$V_{OUT\ MIN} = \frac{2.5V * (R_E + R_F)}{R_F} = \frac{2.5V * (3M\Omega + 31.2k\Omega)}{31.2k\Omega} \approx 243V$$

De acuerdo al valor de la resistencia, el umbral de la OVP a prueba de fallos debe ser establecido de acuerdo a esta ecuación, donde 4,87V es el valor típico de crecimiento del umbral para fallas por sobretensión en el terminal HVSENSE:

$$V_{OV\ FAILSAFE} = \frac{4.87V * (R_E + R_F)}{R_F} = \frac{4.87V * (3M\Omega + 31.2k\Omega)}{31.2k\Omega} \approx 473.4V$$

### 3.1.3.4. Selección del condensador de salida.

El condensador de salida se selecciona basándose en los requerimientos de sostenimiento como se muestra en la ecuación:

$$C_{OUT} \geq \frac{2 * \frac{P_{OUT}}{\eta} * \frac{1}{f_{LINE}}}{V_{OUT}^2 - V_{OUT\ MIN}^2} = \frac{2 * \frac{320W}{0,99} * \frac{1}{47Hz}}{(390)^2 - (243)^2} \approx 147,8\mu F$$

Como este es el valor mínimo se seleccionará un valor de 200μF. Para este tamaño de condensador, la tensión de rizado ( $V_{RIPPLE}$ ) es aproximadamente 14V:

$$V_{RIPPLE} = \frac{2 * P_{OUT}}{\eta} * \frac{1}{V_{OUT} * 4\pi * f_{LINE} * C_{OUT}} = \frac{2 * 320}{0,99} * \frac{1}{390 * 4\pi * 47Hz * 200\mu F} \approx 14,03V$$

Adicionalmente a los requerimientos de sostenimiento, el condensador debe ser seleccionado para que pueda resistir la corriente RMS de baja frecuencia ( $I_{COUT}$  100Hz) y la corriente RMS de alta frecuencia ( $I_{COUT\ HF}$ ). Como se muestra a continuación:

$$I_{COUT\ 100Hz} = \frac{P_{OUT}}{V_{OUT} * \eta * \sqrt[2]{2}} = \frac{320W}{390 * 0,99 * \sqrt[2]{2}} = 0.586A$$

$$I_{COUT\ HF} = \sqrt{\left(\frac{P_{OUT} * 2 * \sqrt[2]{2}}{V_{IN\ MIN} * \eta * 2} * \sqrt{\frac{4 * \sqrt[2]{2} * V_{IN\ MIN}}{9 * \pi * V_{OUT}}}\right)^2 - I_{COUT\ 100Hz}^2}$$

$$= \sqrt{\left(\frac{320W * 2 * \sqrt[2]{2}}{85 * 0,99 * 2} * \sqrt{\frac{4 * \sqrt[2]{2} * 85}{9 * \pi * 390}}\right)^2 - 0.586^2} = 1.092A$$

### 3.1.3.5. Selección de RS para limitación de la corriente pico.

El comparador limitador de picos del UCC28060 detecta la corriente de entrada total y es usado para proteger los MOSFET durante las condiciones de aumento y sobrecarga. Para mayor fiabilidad, el umbral del límite de corriente pico (IPEAK) en este diseño está establecido para el 120% del valor nominal de la corriente de irrupción que se observa durante el encendido, como se muestra en la ecuación:

$$I_{PEAK} = \frac{2 * P_{OUT} * \sqrt[2]{2} * 1.2}{\eta * V_{IN\ MIN}} = \frac{2 * 320W * \sqrt[2]{2} * 1.2}{0,99 * 85} = 12.91A$$

Para detectar la corriente se usará una resistencia de 15mΩm, como se muestra en la ecuación donde 200mV es el tensión máximo permitido en el pin CS del IC.

$$R_S = \frac{200mV}{I_{PEAK}} = \frac{200mV}{12,91} = 15.5m\Omega \approx 15m\Omega$$

Las pérdidas estimadas de la resistencia de detección (PRS) son menos de 0,22W durante la operación norma, como se muestra en la siguiente ecuación:

$$P_{RS} = \left( \frac{P_{OUT}}{V_{IN\ MIN} * \eta} \right)^2 * R_S = \left( \frac{320W}{85 * 0,99} \right)^2 * 15m\Omega = 0.217W \approx 0.22W$$

El parámetro más crítico en la selección de la resistencia de detección de corriente es el índice de sobretensión. La resistencia necesita soportar una corriente de cortocircuito mayor que la corriente requerida para abrir el fusible (F1).  $I^2t$  (ampere al cuadrado por segundo) es una medida de energía térmica resultante del flujo de corriente requerido para fundir el fusible, donde  $I^2t$  es igual a la corriente RMS al cuadrado por la duración del flujo de corriente en segundos.

Un fusible de 4A con un  $I^2t$  de  $4\ A^2s$  se seleccionó para proteger el diseño de una condición de corto circuito. Para asegurar que las resistencias de detección de corriente tengan una alta y suficiente protección contra sobretensiones, se escogió para este diseño una resistencia de precisión de láminas metálicas y cuyos valores son  $15m\Omega$  a  $500mW$ . Esta resistencia puede disipar máximo  $2.5W$  por  $5s$ . Este resultado se traduce en  $833A^2s$  y tiene un  $I^2t$  lo suficientemente alto para sobrevivir a un cortocircuito antes que el fusible se abra, como lo describe la ecuación:

$$I^2 * t = \frac{2.5W}{0,015\Omega} * 5s = 833A^2s$$

### 3.1.3.6. Selección de los semiconductores de potencia (Q1, Q2, D1, D2).

La selección de Q1, Q2, D1 y D2 se basa en los requisitos de potencia del diseño. La máxima corriente de pulso del MOSFET (Q1, Q2) se muestra en esta ecuación:

$$I_{DM} \geq I_{PEAK} \approx 13A$$

El cálculo de la corriente RMS del MOSFET (Q1, Q2) se muestra en esta ecuación:

$$I_{DS} = \frac{I_{PEAK}}{2} * \sqrt{\frac{1}{6} - \frac{4 * \sqrt{2} * V_{IN MIN}}{9 * \pi * V_{OUT}}} = \frac{13A}{2} * \sqrt{\frac{1}{6} - \frac{4 * \sqrt{2} * 85}{9 * \pi * 390V}} \approx 2.26A$$

La corriente RMS del diodo del elevador (D1, D2) se muestra en esta ecuación:

$$I_{DS} = \frac{I_{PEAK}}{2} * \sqrt{\frac{4 * \sqrt{2} * V_{IN MIN}}{9 * \pi * V_{OUT}}} = \frac{13A}{2} * \sqrt{\frac{4 * \sqrt{2} * 85}{9 * \pi * 390V}} \approx 1.35A$$

### 3.1.3.7. Protección contra caídas de tensión.

Las resistencias  $R_A$  y  $R_B$  se seleccionan para activar la protección contra caídas de tensión al 75% de la tensión mínima especificada de operación. La resistencia  $R_A$  programa comparador de la histéresis de sobretensión, la cual se selecciona en 21V de histéresis.  $R_A$  y  $R_B$  se muestran a continuación donde  $7\mu A$  y  $1,4V$  son respectivamente la corriente y el tensión internos del terminal VINAC de IC:

$$R_A = \frac{Histéresis}{7\mu A} = \frac{21V}{7\mu A} \approx 3M\Omega \quad , \quad R_B = \frac{1,4 * R_A}{V_{IN MIN} * 0,75 * \sqrt{2} - 1,4V} \approx 47k\Omega$$

En este diseño, la caída de tensión se active cuando la tensión cae abajo de 64Vrms y se desactiva cuando la entrada sobrepasa 79Vrms.

### 3.1.3.8. Convertidor sincronizador.

La selección de la resistencia de temporización,  $R_{TSET}$ , para un correcto tiempo de encendido ( $t_{on}$ ) se basa en el  $K_{TL}$  (factor de encendido,  $4\mu s$ ). Para asegurar una operación correcta, el sincronizador se debe establecer sobre la mayor inductancia de elevador posible ( $L1_{MAX}$ ) de la cual se obtiene la frecuencia mínima de conmutación,  $f_{MIN}$ . En este ejemplo esta inductancia puede valer como máximo de  $390mH$ , basado en las condiciones de línea y carga, como se muestra en las siguientes ecuaciones donde,  $133k\Omega$  es la resistencia  $R_{TSET}$  usada para el cálculo de parámetros en la hoja de datos y  $4.85V$  es la tensión del terminal COMP (salida del amplificador de error) a plena carga si la entrada es  $85V_{rms}$ .

$$f_{MIN} = \frac{\eta * V_{IN\ MIN}^2 * \left(1 - \frac{V_{IN\ MIN} * \sqrt{2}}{390V}\right)}{P_{OUT} * L1_{MAX}} = \frac{0,99 * (85)^2 * \left(1 - \frac{85V * \sqrt{2}}{390V}\right)}{320W * 390\mu H} \approx 39.65kHz$$

$$R_{TSET} = \frac{133k\Omega * \left(1 - \frac{V_{IN\ MIN} * \sqrt{2}}{390V}\right)}{4,85V * 4\mu s * f_{MIN}} = \frac{133k\Omega * \left(1 - \frac{85V * \sqrt{2}}{390V}\right)}{4,85V * 4\mu s * 39,65kHz} \approx 119.6k\Omega$$

### 3.1.3.9. Programar $V_{out}$ .

La resistencia  $R_C$  se selecciona para minimizar el error debido a la corriente de polarización a la entrada del terminal  $V_{SENSE}$  y minimizar la carga de la línea de potencia cuando el PFC está desactivado.  $R_C$  se seleccionó del mismo valor que  $R_A$  y  $R_E$  para simplificar el diseño y los costos. Esto se muestra a continuación donde  $V_{REF}$  es la tensión típico del terminal que lleva el mismo nombre:

$$R_C = 3M\Omega \quad , \quad V_{REF} = 6V \quad , \quad R_D = \frac{V_{REF} * R_C}{V_{OUT} - V_{REF}} = \frac{6V * 3M\Omega}{390V - 6V} \approx 46.9k\Omega \approx 47k\Omega$$

Basado en todo estos valores, el valor umbral de protección contra sobretensión se muestra a continuación, donde 6.45V es el valor umbral de referencia de sobretensión en el terminal VSENSE del UCC 28060:

$$V_{OVP} = 6,45V * \frac{R_C + R_D}{R_C} = 6,45V * \frac{3M\Omega + 47k\Omega}{3M\Omega} \approx 418V$$

### 3.1.3.10. Compensación de lazo.

La resistencia  $R_Z$  se selecciona para atenuar el rizado de baja frecuencia a menos del 2% del rango de la tensión de salida del amplificador. Este valor asegura un buen factor de potencia y una baja distorsión armónica en la corriente de entrada. La ganancia del amplificador de transconductancia ( $g_m$ ) que se provee al terminal COMP es igual a  $96\mu S$ . La ganancia de la tensión de realimentación y la resistencia  $R_Z$  se muestra a continuación:

$$H = \frac{V_{REF}}{V_{OUT}} = \frac{6V}{390V} \approx 0.015$$

$$R_Z = \frac{100mV}{V_{RIPPLE} * H * g_m} = \frac{100mV}{14 * 0,015 * 96\mu S} \approx 4,9k\Omega$$

$C_Z$  se selecciona para agregar  $45^\circ$  de margen de fase a  $1/5$  de la frecuencia de conmutación, como muestra la ecuación:

$$C_Z = \frac{1}{2 * \pi * \frac{f_{LINE}}{5} * R_Z} = \frac{1}{2 * \pi * \frac{47Hz}{5} * 4,9k\Omega} \approx 3,7\mu F$$

$C_P$  se selecciona para atenuar el ruido de alta frecuencia:

$$C_P = \frac{1}{2 * \pi * \frac{f_{MIN}}{5} * R_Z} = \frac{1}{2 * \pi * \frac{45kHz}{5} * 4,9k\Omega} \approx 1,47nF$$

### 3.1.3.11. Datos adicionales

El hecho de no poder simular el circuito no es un obstáculo en este caso, dado que gracias a la herramienta facilitada por Texas Instruments [20] se puede saber a qué tensión y corriente estarán sometidos diversos elementos.

La figura 41 muestra dichas mediciones experimentales, estas son obtenidas de acuerdo a Texas a relaciones experimentales desarrolladas por ellos mismos en base a la teoría de funcionamiento de su producto.

Si bien algunos de los datos mostrados son solo calculados para los MOSFET se debe tener en cuenta que todos los elementos conectados en serie con ellos también deberán soportarlos, estos elementos son por ejemplo los inductores L<sub>1</sub> y L<sub>2</sub>, los otros que se muestran son los de RS y los de los diodos, que deben ser de conmutación rápida y soportar la corriente que ahí se indica. Los otros dispositivos a tener en cuenta son los capacitores de entrada y salida que deberán soportar las tensiones de rectificación y de salida respectivamente, es decir superiores a los 300VDC como mínimo.

Figura 41. Datos de corriente para elementos del circuito PFC

Power Dissipation in Current Sense Resistor	P <sub>RS</sub>	0,217	W
FET Peak Current	I <sub>DM</sub> =I <sub>PEAK</sub>	12,907	A
FET RMS CURRENT	I <sub>DS</sub>	2,264	A
Boost Diode RMS Current	I <sub>D</sub>	1,348	A

Fuente: Autores.

### 3.1.4. Selección de componentes.

En la sección anterior se realizó el diseño y los cálculos de la gran mayoría de los implementos requeridos para esta topología. En esta sección se presentará el listado total y los valores comerciales de los mismos. En la tabla 3 se muestra la selección de los dispositivos pasivos.

Tabla 3. Selección de componentes pasivos.

COMPONENTES PASIVOS				
Nombre	Cálculo	Comercial	Descripción	Tamaño
<b>RESISTENCIAS</b>				
RS	15,5E-3	15mΩ	1/2W, ±1%	2010
RZ	3,6E+3	3,9kΩ	1/10W, ±1%	0805
RT	121k	120kΩ	1/10W, ±1%	0805
RE	3,0E+6	3,3MΩ	1/10W, ±1%	0805
RF	31,2E+3	33kΩ	1/10W, ±1%	0805
RP	50k	50kΩ	1/10W, ±1%	0805
RZA	16,3E+3	20kΩ	1/10W, ±1%	0805
RZB	16,3E+3	20kΩ	1/10W, ±1%	0805
RA	3,0E+6	3,3MΩ	1/10W, ±1%	0805
RB	47,3E+3	47kΩ	1/10W, ±1%	0805
RG1	5,0E+0	5Ω	1/10W, ±1%	0805
RG2	5,0E+0	5Ω	1/10W, ±1%	0805
RC	3,0E+6	3,3MΩ	1/10W, ±1%	0805
RD	46,9E+3	47kΩ	1/10W, ±1%	0805
R	1,0E+0	1Ω	1/10W, ±1%	0805
<b>CONDENSADORES</b>				
CZ	3,7E-06	4,7uF	Cerámico, 16V, X7R, 10%	0805
CP	1,47E-09	2nF	Cerámico, 25V, X7R, 10%	0805
CB	2,2u	2,2uF	Cerámico, 16V, X7R, 10%	0805
CIN	0,1u	0,1uF	Film, 275VAC, ±20%	0.689" x 0.236"
CF1	1n	1nF	Cerámico, 25V, X7R, 10%	0805

<b>CA</b>	2,2u	2,2uF	Cerámico, 16V, X7R, 10%	0805
<b>CF4 HVSEN</b>	1,2n	1,2nF	Cerámico, 25V, X7R, 10%	0805
<b>CF4 ZCDA</b>	22p	22pF	Cerámico, 25V, X7R, 10%	0805
<b>CF5</b>	22p	22pF	Cerámico, 25V, X7R, 10%	0805
<b>CF2</b>	1,2n	1,2nF	Cerámico, 25V, X7R, 10%	0805
<b>CF3</b>	1,2n	1,2nF	Cerámico, 25V, X7R, 10%	0805
<b>COUT</b>	147,8E-6	100uF*2	Aluminio, 450VDC, ±20%	18mm x 40 mm
<b>INDUCTORES</b>				
<b>L1</b>	343,62E-6	340uH	Boost PFC con Dev. Aux., 5.3A CTX16-17769R	1.555" diam.
<b>L2</b>	343,62E-6	340uH	Boost PFC con Dev. Aux., 5.3A CTX16-17769R	1.555" diam.

Fuente: Autores.

Para la selección de los dispositivos de estado sólido se hará referencia a las corrientes que deben tolerar, en la tabla 4 se muestran las características de dichos componentes.

Tabla 4. Selección de componentes de estado sólido.

Corriente	Tensión Min.	Nombre	Comercial	Características
<b>1,35 A</b>	300 V	D1, D2, D3	MURS340T3G	Diode Ultra Fast, 3A, 400V
<b>2,26 A</b>	450 V	Q1, Q2	STB11NK50ZT4	MOSFET, N-ch, 500V, 10A, 520m□

Fuente: Autores.

### 3.2. ETAPA DE CONVERSIÓN DC-DC

La etapa de conversión DC-DC tal como se indicó en el marco teórico será la encargada de tomar la señal con factor de potencia corregida de 390VDC y llevarla a niveles más usables manteniendo la alta eficiencia y las características de la etapa de PFC. La topología escogida fue la *LLC* cuyas características se

presentaron en la sección 2.4.4. Las ventajas más importantes de este convertidor son:

- Bajas pérdidas por conmutación debido a la característica *ZVS*, lo que ayuda a incrementar la eficiencia.
- Poca variación de la frecuencia de conmutación sobre un amplio rango de carga.
- Condición *ZVS* en *MOSFETS* incluso con condiciones sin carga.

### 3.2.1. Circuito Integrado.

El circuito integrado encargado de llevar a cabo la operación *LLC* escogido es el UCC25600 de *Texas Instrument* [13]. Entre las principales características de este se tienen:

- Frecuencia de conmutación variable de 30KHz a 350KHz.
- Frecuencia mínima de conmutación programable con un margen de error del 4%.
- Tiempo muerto programable para una mejor eficiencia.
- Característica de inicio suave<sup>12</sup> programable.
- Fácil control de encendido y apagado.
- Protección contra sobre-corrientes, sobre-tensión, sobre polarización y temperatura.
- *Gate-Driver* integrado con capacidad de entregar 0.4A y extracción de 0.8A.

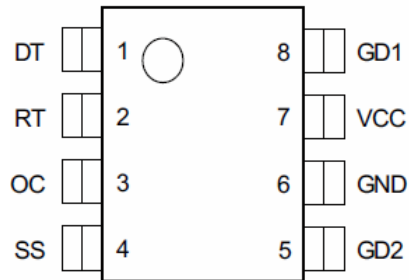
Entre sus aplicaciones se encuentran las fuentes de tensión de 100W a 1000W, fuentes para televisores LCD o Plasma, fuentes ATX, sistemas de Cine en casa y balastos electrónicos. El IC se puede observar en la figura 42, se muestran los

---

<sup>12</sup> *Soft Start* por sus siglas en inglés. Sección 3.2.1.1.

nombres de los 8 pines del UCC25600, en la tabla 5 se pueden leer las funciones de cada uno de estos.

Figura 42. Vista superior del UCC25600 con sus respectivos pines



Fuente: [13], Página 5.

Tabla 5. Descripción de pines del UCC25600.

TERMINAL			DESCRIPCION
NOMBRE	No.	I/O	
<b>DT</b>	1	I	Este Pin fija el tiempo muerto de ambos lados de las señales de conmutación, se debe conectar un resistor a tierra. Con una tensión interna de 2.25V la corriente que fluye por el resistor fija el tiempo. No se pueden elegir tiempos muertos menores a 120ns.
<b>RT</b>	2	I	Por medio del flujo de corriente en este pin se fija la frecuencia de conmutación de las señales de compuerta que llegaran a los transistores. Un resistor en paralelo a tierra fija la frecuencia mínima. Para la máxima frecuencia simplemente se pone en serie un resistor con un opto-acoplador.
<b>OC</b>	3	I	Pin para protección por sobre corriente. Cuando la tensión en este pin sobrepasa los 1V, las señales de compuerta de los MOSFET se apagan. Luego de que

			la tensión cae por debajo de los 0.6V, la señal de compuerta se recupera.
<b>SS</b>	4	I	Pin para característica de encendido suave. Con este pin se fija el tiempo de esta característica. Conectar un capacitor a tierra desde el Pin. Poniendo este pin por debajo de 1V se desactiva el dispositivo, lo que permite implementar un control fácil de encendido y apagado del dispositivo. Esta función se inicia luego de todas las protecciones, por lo que el dispositivo no encenderá hasta que se compruebe que no haya falla eléctrica.
<b>GD1</b>	8	O	Señales para las compuertas de los transistores de potencia, se debe conectar a un transformador para driver de compuerta.
<b>GD2</b>	5	O	
<b>GND</b>	6	-	Tierra
<b>VCC</b>	7	-	Alimentación del IC, permite alimentar al dispositivo entre 12V y 20V, se debe conectar un capacitor de 1uF a tierra para filtrar ruido.

*Fuente: [13], Página 5.*

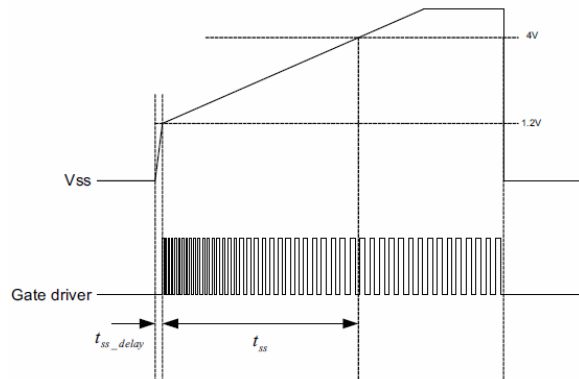
### 3.2.1.1. Características importantes del UCC25600

Algunas de las características a destacar del IC son:

**Soft-Start.** Es una característica que permite prevenir excesos de corriente en el tanque resonante y así asegurar la condición ZVS. Durante el inicio esta característica que se puede ver claramente en la figura 43 se activa e incrementa la frecuencia. Se programa simplemente colocando un capacitor referido a tierra

en el pin SS. También sirve como interruptor, haciendo que la tensión en el pin sea menor a 1V se desactiva el dispositivo.

Figura 43. Característica *Soft-Start* del UCC25600.



Fuente: [13], Página 15.

Luego de que la tensión en el pin SS alcanza los 4V, la característica termina y el dispositivo conmuta a la frecuencia demandada por el pin RT. Las relaciones importantes son:

$$t_{ss\_delay} = \frac{1.2V}{175\mu A} C_{SS} \qquad t_{ss} = \frac{2.8V}{5\mu A} C_{SS}$$

Fuente: [13] Página 15.

**Modo Burst.** Esta característica se presenta durante la operación a baja carga. Durante esta condición a baja carga el IC tiende a incrementar la frecuencia de conmutación para mantener la regulación de la tensión a la salida. Sin embargo las capacitancias parasitas del transformador, los diodos y capacitores etc. almacenan energía que puede ser transferida a la carga haciendo que la potencia que se transmite sea mayor que la potencia que requiere la carga, esto hace que se incremente la tensión de salida por sobre el nivel normal. En este caso seguir incrementando la frecuencia de conmutación no ayudará a corregir el problema.

Para prevenir la condición anterior se presente el IC incluye el Modo *Burst* que desactiva el driver de compuerta si la frecuencia demandada por el lazo de realimentación es mayor a 350KHz, de esta forma se apaga la conmutación hasta que la frecuencia demandada sea menor a 330KHz, a lo que el driver de compuerta se recupera. Esta operación permite mantener regulado la tensión de salida. Para activar o desactivar este modo basta con fijar la máxima frecuencia de conmutación por debajo de los 350KHz, así el lazo de realimentación nunca demandará más de esa frecuencia, si se desea activar basta con poner la frecuencia máxima por encima de los 350KHz con el pin RT.

**Frecuencia máxima y mínima ajustable.** Por medio de la configuración de la figura 44, se pueden fijar las frecuencias máxima y mínima para el IC, con las siguientes relaciones:

$$I_{fmax} = \frac{6ns}{\frac{1}{2f_{max}} - 150ns}$$

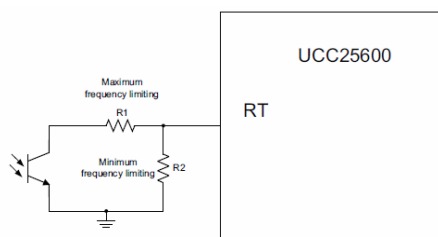
$$I_{fmin} = \frac{6ns}{\frac{1}{2f_{min}} - 150ns}$$

$$I_{fmax} = 2.5V * \left( \frac{1}{R_1} + \frac{1}{R_2} \right)$$

$$I_{fmin} = 2.5V * \left( \frac{1}{R_2} \right)$$

Ecuación 16 a, b, c y d. Fuente: [13], Página 14

Figura 44. Conexión resistencias en el pin RT.



Fuente: [13], Página 14.

**Tiempo Muerto.** El tiempo muerto permite mejorar la eficiencia debido a que permite controlar las pérdidas por conmutación, más que todo durante el apagado. La teoría dice que el convertidor LLC se basa en la corriente del tanque resonante durante el apagado del MOSFET para funcionar con la característica ZVS y así lograr una conmutación suave que permita reducir las pérdidas, por tanto corrientes en el apagado del MOSFET más pequeñas, reducen las pérdidas por conmutación, pero esto requiere un tiempo más alto para que las capacitancias de unión del MOSFET se descarguen. El IC permite escoger el tiempo muerto para así minimizar dichas perdidas y mantener la característica ZVS. La relación para esto es:

$$t_d = 20nS + R_{dt} * 24nS/k\Omega$$

*Fuente: [13], Página 15.*

### 3.2.2. Diseño Final.

El circuito del LLC completo es el mostrado en la figura 45. Las especificaciones de diseño son las de la tabla 6.

Tabla 6. Especificaciones de diseño etapa LLC.

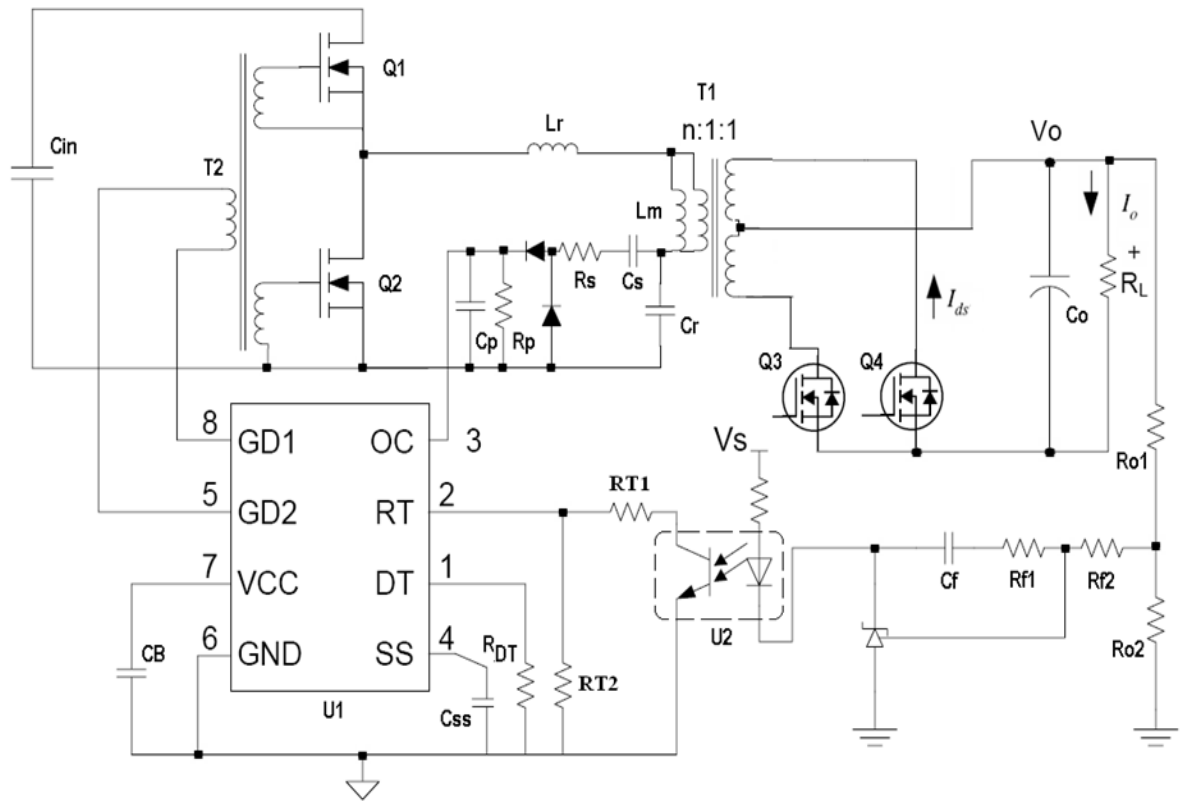
	PARÁMETRO	MIN	TIP	MAX	Unid.
$V_{in}$	Tensión de entrada DC	375		405	$V_{DC}$
$V_{out}$	Tensión de salida	11.8	12	12.3	$V_{DC}$
$F_s$	Frecuencia de conmutación	85K	110K	430K	Hz
$I_{out}$	Corriente de salida		25	29	A
$P_{out}$	Potencia de salida		300	350	W
$\eta$	Eficiencia a plena carga		0.94	0.96	
$V_{Ripple}$	Rizado a la salida			120m	$V_{pk-pk}$

*Fuente: Autores.*

El Desarrollo de este diseño se hace con la herramienta suministrada por Texas Instruments para el cálculo de todos los valores [12], y siguiendo el procedimiento descrito en [13]. Ambos resultan de gran utilidad para el cálculo rápido de los valores de los elementos del circuito y además permiten observar los niveles de tensión y corriente que deberán soportar los elementos semiconductores, lo que permite elegir elementos con rangos amplios para así evitar daños por excesos de corriente o tensión en dichos dispositivos.

Figura 45. Circuito LLC con el UCC25600.

**LLC Resonant Half Bridge Converter Design using UCC25600**



Fuente: [13] Página 1.

### 3.2.2.1. Calcular $M_{min}$ y $M_{max}$

Tal como se puede ver en [13] los valores de ganancia máxima y mínima son elegidos de la siguiente forma:

$$M_{min} = \frac{k+1}{k} \text{ Ecuación 17}$$

$$M_{max} = \frac{v_{in}^{max}}{v_{in}^{min}} * M_{min} \text{ Ecuación 18}$$

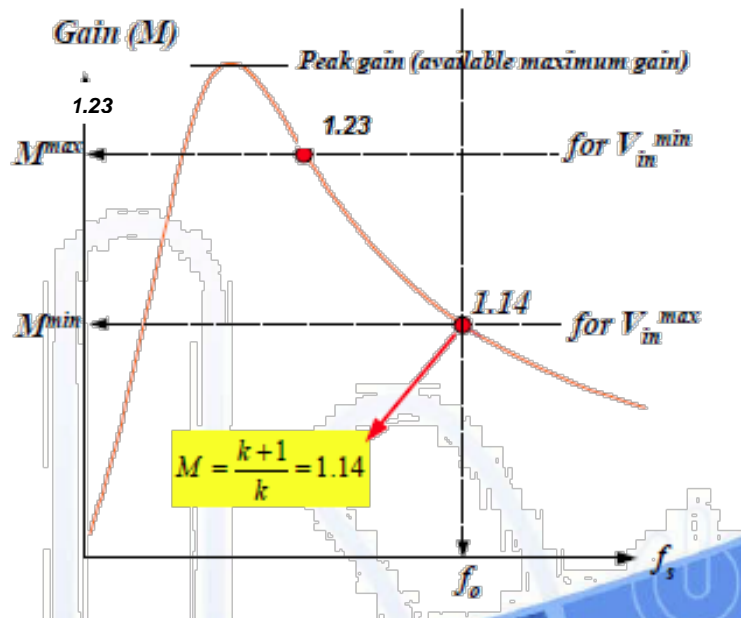
Escogiendo un valor de  $k=7$ , se obtiene:

$$M_{min} = \frac{7 + 1}{7} = 1.14$$

$$M_{max} = \frac{405}{375} * 1.14 = 1.23$$

De lo que se obtiene la figura 46.

Figura 46. Característica DC para el convertor LLC diseñado.



Fuente: Autores. Editado de [13]

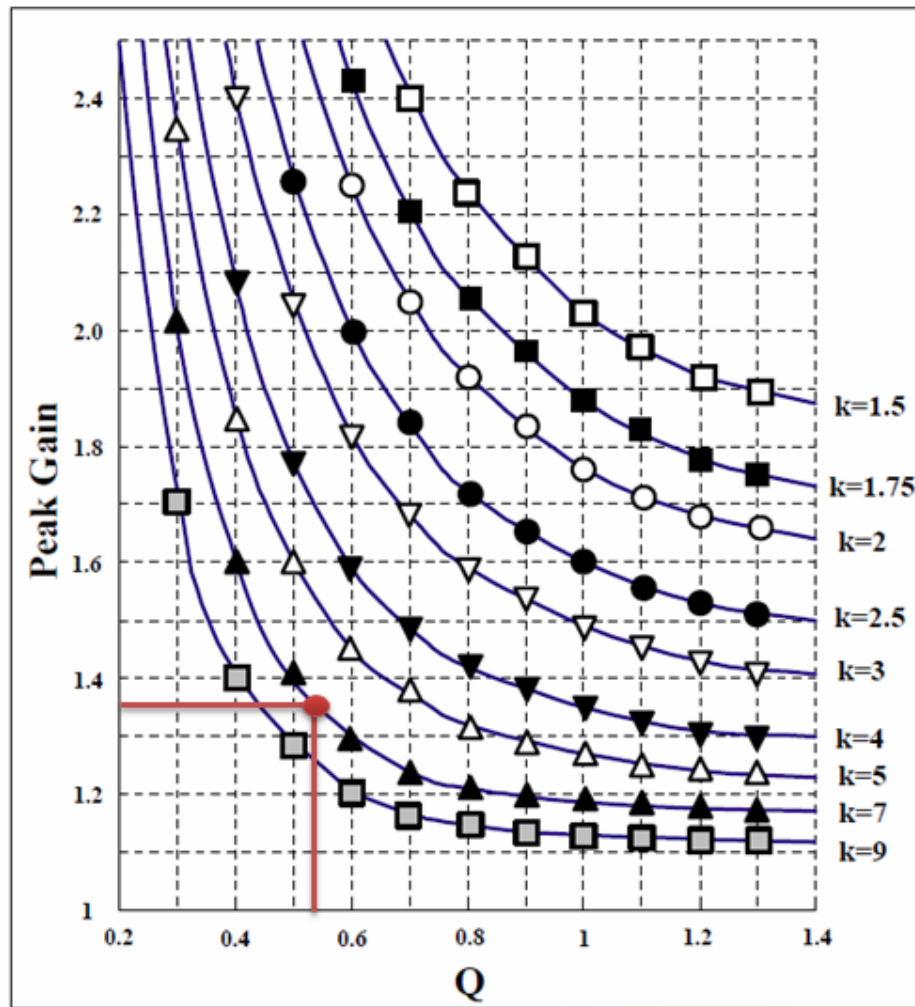
### 3.2.2.2. Escoger Q

Para obtener Q se debe mirar la gráfica de la figura 47 y así obtener para cierto valor de k y ganancia el valor de Q, para lo cual se tiene con un margen del 10%:

$$M_{max} = 1.23 * 1.1 = 1.35$$

De la figura se obtiene entonces que  $Q \cong 0.52$

Figura 47. Característica de Ganancia Vs. Factor de calidad para un convertor LLC.



Fuente: Autores. Editado de [13].

### 3.2.2.3. Cálculo del tanque de resonancia.

Para el cálculo del tanque de resonancia se acude a la herramienta [14] proporcionada por el fabricante. Para esto insertamos los valores (calculados y definidos) amarillos tal como lo indica la figura 48 (el archivo de Excel viene protegido por contraseña desde Texas Instruments, por tanto solo se pueden mostrar capturas de pantalla), en esta se pueden observar los valores calculados para el tanque de resonancia. Los cuales son:

$$L_m = 281.4\mu H$$

$$L_r = 86.2\mu H$$

$$C_r = 24.1nF$$

$$n_t = 17.14$$

También se pueden observar las dos frecuencias de resonancia, una a 110KHz y la segunda a 53.2KHz. Como adicional y dato muy importante, las corrientes que tendrán que soportar los devanados primario y secundario del transformador.

Figura 48. Componentes calculados para el tanque de resonancia.

<b>Design Tool for Converters using UCC25600</b>		sluc146	
This tool was designed to work with the design example in UCC25600 datasheet.			
Enter values in the		shaded	cells;
Calculated results shown in BLUE			
Design Parameters:	Variable Names	Value	Units
Minimum DC Input Voltage	$V_{in\_min}$	375,0	V
Maximum DC Input Voltage	$V_{in\_max}$	405,0	V
Switching Frequency	$f_{swnom}$	110,0	kHz
Maximum switching frequency	$f_{swmax}$	430,0	kHz
Minimum switching frequency	$f_{swmin}$	85,0	kHz
Maximum Power Limit	$P_{limit}$	350,0	W
Maximum Output Power	$P_{OUT}$	300,0	W
Full Load Efficiency	Eff	0,96	
Output voltage	$V_O$	12,0	V
Output load resistance at full load	$R_L$	0,48	$\Omega$
<b>Input Power</b>			
Input Power	$P_{in}$	312,5	W
Ratio of $L_m/L_r$	$m$	7,0	*Note
	$Q_r$	0,52	*Note
Voltage gain of resonant network	$Mg_{min}$	1,14	
	$Mg_{max}$	1,23	
<b>Transformer</b>			
Transformer Turns Ratio	$N_t$	17,14	
<b>Resonant Network</b>			
Primary equivalent load resistance	$R_{ac}$	114,5	$\Omega$
Resonant capacitance	$C_r$	24,3	nF
Resonant inductance	$L_r$	86,2	$\mu$ H
Magnetizing inductance	$L_m$	281,4	$\mu$ H
Primary winding RMS current	$I_{RMS\_P}$	2,0	A
Secondary winding RMS current	$I_{RMS\_S}$	19,6	A
Resonant frequency high	$f_O$	110,0	kHz
Resonant frequency low	$f_P$	53,2	kHz

Fuente: Autores.

### 3.2.2.4. Cálculo de las resistencias RT

El cálculo de las RT también se puede hacer en la misma herramienta anterior, la figura 49, muestra los valores calculados para obtener las frecuencias máximas y mínimas especificadas en la tabla 6.

Cabe decir que la frecuencia máxima se elige en ese valor para obtener la característica *burst-mode* explicada en la sección 3.2.1.1. Y la frecuencia mínima para evitar que el circuito conmute a la frecuencia de resonancia menor de 53.2KHz.

Figura 49. Valores calculados para el pin RT.

Calculated Values for the Design Example			
RT current for switching frequency	IRT_max	5,92	mA
	IRT_min	1,05	mA
	RT2	2,39	kΩ
	RT1	0,51	kΩ

Fuente: Autores.

### 3.2.2.5. Cálculo de la característica *Soft-Start* y tiempo muerto

Para estos elementos se eligen valores recomendados por el fabricante, en este caso estos se dejaron los valores de referencia, los cálculos arrojan los resultados mostrados en la figura 50.

Figura 50. Valores calculados para tiempo muerto y *Soft-Start*.

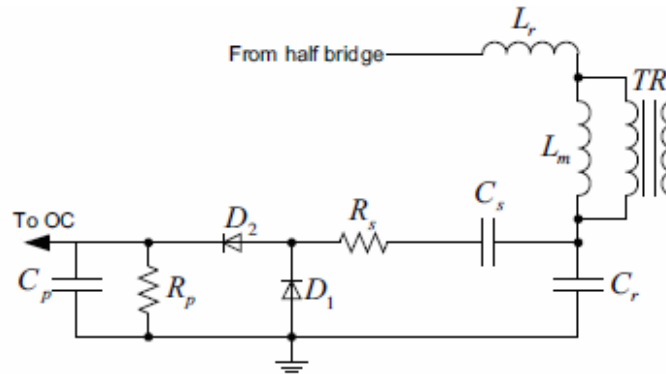
Soft start time assumed	T <sub>ss</sub>	25,0	ms
Soft start capacitance	C <sub>ss</sub>	44,6	nF
Soft start delay time	T <sub>del</sub>	0,3	ms
Soft start time adjusted	T <sub>ss</sub> +T <sub>del</sub>	25,3	ms
Dead time	T <sub>d</sub>	300	ns
DT resistor	R <sub>DT</sub>	11,7	kΩ

Fuente: Autores.

### 3.2.2.6. Cálculo de la protección por sobre corriente

La red de protección se encarga de evitar sobre corrientes en el tanque de resonancia, el circuito es el que se muestra en la figura 51. Los valores para lograr una máxima salida de 350W son los que se muestran en la figura 52.

Figura 51. Red de protección contra sobre-corriente.



Fuente: [13], Página 17.

Figura 52. Valores de la red de protección.

Current sensing and protection			
Maximum voltage on resonant capacitor	Vcrpk	1,91E+02	V
Sensing resistor	Rs	3,63E-01	MΩ
Sensing capacitor	Cs	3,24E+02	pF
Sensing resistor	Rp	5,98E+00	kΩ
Sensing capacitor	Cp	1,97E+01	nF

Fuente: Autores.

### 3.2.2.7. Cálculo de la red de realimentación

La red de realimentación se encarga de sensar la carga a la salida para decirle al IC si debe o no incrementar la frecuencia de conmutación y mantener la salida

regulada. La red de realimentación se puede observar en la figura 53, esta muestra los valores que se deben calcular. En [13] se puede observar el proceso de diseño de esta red, en donde se muestran los valores necesarios para un circuito de realimentación típico para un *LLC* a cualquier potencia y es recomendado por Texas Instruments para frecuencias de conmutación nominales de 70KHz a 150kHz. Por tanto se escogen estos valores que son:

$$R_1 = 17.8k\Omega,$$

$$R_2 = 19.7k\Omega$$

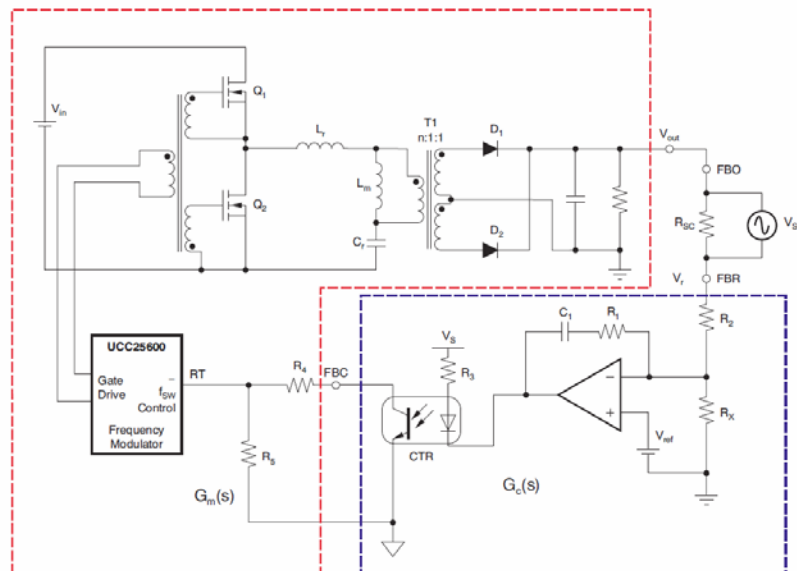
$$R_3 = 1k\Omega$$

$$R_4 = 0.51k\Omega$$

$$C_1 = 47nF$$

Se reemplaza el operacional por el circuito integrado *TL431* [16] que ya viene con una tensión de referencia ( $V_{ref}$ ) predeterminada de 2.5V que es perfecto para el trabajo que debe realizar el lazo manteniendo la excursión de la señal.

Figura 53. Circuito del lazo de realimentación (cuadrado azul).



Fuente: [13], Página 1.

### 3.2.2.8. Datos adicionales.

Los datos adicionales son datos obtenidos con ayuda de la herramienta facilitada por Texas Instruments. Estos forman en conjunto lo que se podría decir como la simulación del circuito LLC. Dada la complejidad interna del integrado no es posible realizar una simulación lo más cercano a la realidad, sin embargo de realizarse sería para observar el comportamiento teórico para así obtener los valores de corriente por ejemplo que pasaran por los elementos semiconductores, así mismo como las tensiones máximas que deberán soportar, esto con el objetivo de escogerlos cuidadosamente para garantizar el funcionamiento.

La herramienta de Texas Instruments permite obtener dichos valores de manera rápida por medio de fórmulas experimentales programadas por ellos mismos, los valores a tener en cuenta son los que se muestran en la figura 54.

Figura 54. Cálculos de Tensión y corriente elementos semiconductores

RefDes	Value
Cr	24,3 nF      Vac > 393 Vrms
Q1, Q2	Vds > 486 V      ID > 2,0 A
Q3, Q4	Vds > 35 V      ID > 19,6 A

*Fuente: Autores.*

De la figura anterior se pueden observar los valores a los que estarán teóricamente sometidos los *MOSFETs*, Q1 y Q2, los *MOSFET* Q3 y Q4 se pueden reemplazar por diodos de alta velocidad de conmutación.

La figura 55 muestra otros datos arrojados por la herramienta, que son de vital importancia en la escogencia de los dispositivos, en esta se muestran las

corrientes que tienen que soportar los devanados del transformador, estos valores serán los que también deberán soportar cualquier elemento conectado en serie con los devanados.

La figura 56 muestra lo que deben soportar los *MOSFET* y elementos que se conecten en serie con la salida.

Figura 55. Corrientes por los elementos conectados al primario y secundario.

Primary winding RMS current	$I_{RMS\_P}$	2,0 A
Secondary winding RMS current	$I_{RMS\_S}$	19,6 A

*Fuente: Autores.*

Figura 56. Corrientes y tensión de los MOSFETs.

<b>MOSFETs and Load</b>			
Maximum Output Current Limit, DC	$I_{limit}$	29,2 A	
Load resistance at maximum current	$R_{limit}$	0,41 $\Omega$	
Maximum Rated Output Current, DC	$I_{out}$	25,0 A	
Primary MOSFET RMS Current	$I_{DS\_P}$	2,00 A	
Primary MOSFET Maximum Voltage	$V_{DS\_P}$	486,0 V	
Secondary MOSFET RMS Current	$I_{DS\_S}$	19,6 A	
Secondary MOSFET Maximum Voltage	$V_{DS\_S}$	35,4 V	

*Fuente: Autores.*

### 3.2.3. Selección de Componentes

La selección de componentes se realizó de acuerdo a los valores calculados, capacitores y resistencias son estándares de montaje superficial.

Los transistores y diodos son los que se muestran en la tabla 7

Tabla 7. Elementos de estado solido

Nombre	Fabricante	Número de parte	Características
D3, D4	STM	STPS40L45CG	Diode, dual Schottky, 2 x 20 A, 45 V
Q1, Q2	Infineon	IPP60R099CP	MOSFET, N-channel, 650 V, 31 A

*Fuente: Autores.*

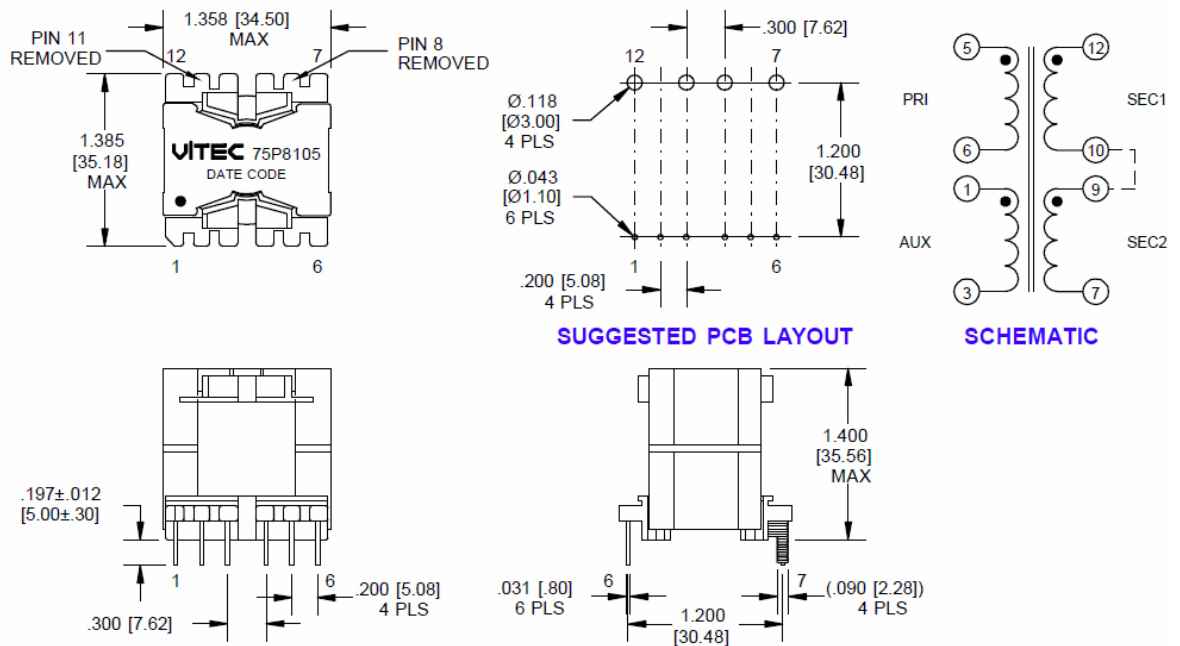
Los transformadores elegidos se muestran en la tabla 8. Las figura 57 y 58 muestra una captura de la hoja de datos del transformador principal, se muestran las características principales para que sirva de referencia para futuros diseños.

Tabla 8. Transformadores usados.

Nombre	Fabricante	Número de parte	Características
T1	Vitec	75P8105	Xfmr, half-bridge
T2	Vitec	56P3362	Transformer, gate drive

*Fuente: Autores.*

Figura 57. Esquemas transformador principal



Fuente: Cortesía Vitec Corp.

Figura 58. Características eléctricas transformador principal.

## ELECTRICAL SPECIFICATIONS @ 25 °C

URNS RATIO: AT 100 KHz, 1 VRMS

(5-6) : (1-3) = 12.75 : 1 = 12.75 ±2% (12.50-13.00)

(5-6) : (12-10) = 17.00 : 1 = 17.00 ±2% (16.66-17.34)

(5-6) : (9-7) = 17.00 : 1 = 17.00 ±2% (16.66-17.34)

OCL: AT 100 KHz, 0.100 VRMS

(5-6) = 280 ±3% uH (271.6-288.4 uH)

LL: AT 100 KHz, 1 VRMS

(5-6) = 5.0 uH MAX., SHORT (1-3-7-9-10-12)

DCR:

(5-6) = 0.210 OHMS MAX

(1-3) = 0.155 OHMS MAX

(12-10), (9-7) = 0.0035 OHMS MAX

HIPOT: 60 Hz, 2 SEC

(1,3,5,6) TO (7,9,10,12) : 3100 VRMS

(5,6) TO (1,3) : 1000 VRMS

(1,3,5,6,7,9,10,12) TO (CORE) : 2000 VRMS

Fuente: Cortesía Vitec Corp.

## 4. PRUEBAS

Con el propósito de comprobar el funcionamiento de la fuente y el establecer el alcance de los objetivos propuestos para este trabajo, se dividió el proceso de prueba en 2 etapas, la primera usando sólo la tarjeta del corrector de factor de potencia (PFC) y la segunda usando las dos tarjetas (PFC y convertidor DC-DC).

En la primera etapa de pruebas se comprobó que esta fuente funciona con entrada universal ( $85V_{RMS}$  -  $265 V_{RMS}$ ) y que el valor del factor de potencia a cargas baja y media-alta es mayor a 0.94; adicionalmente se hizo una verificación de la eficiencia de esta etapa de corrección de factor de potencia. Para esta prueba se usó el banco de resistencias variables que poseen los laboratorios.

La metodología usada para el cálculo del factor de potencia será la medición del contenido armónico por medio de la Transformada Rápida de Fourier que se obtiene directamente en el osciloscopio. El cálculo de la eficiencia será realizado mediante la medición de tensión y corrientes de entrada y salida para la obtención de los valores de potencia respectivos.

La segunda etapa mostró que el valor factor de potencia a cargas bajas sigue siendo mayor a 0.94 y los valores de eficiencia alcanzan los propuestos en los objetivos, 75% a carga baja y 80% a carga media-alta. Aquí se usó como carga la lámpara halógena de carro que se muestra en la figura 59, esta es una carga perfecta para la fuente dado que funciona a  $12V_{DC}$  y tiene un valor en el mercado realmente bajo (\$5.000 Pesos Colombianos).

Para estas pruebas fueron utilizados los instrumentos del laboratorio de circuitos eléctricos tales como osciloscopio de dos entradas, fuente CC dual, voltímetro digital, pinza de corriente y banco de resistencias trifásico.

Figura 59. Lámpara halógena de carro usada.



Fuente: Autores.

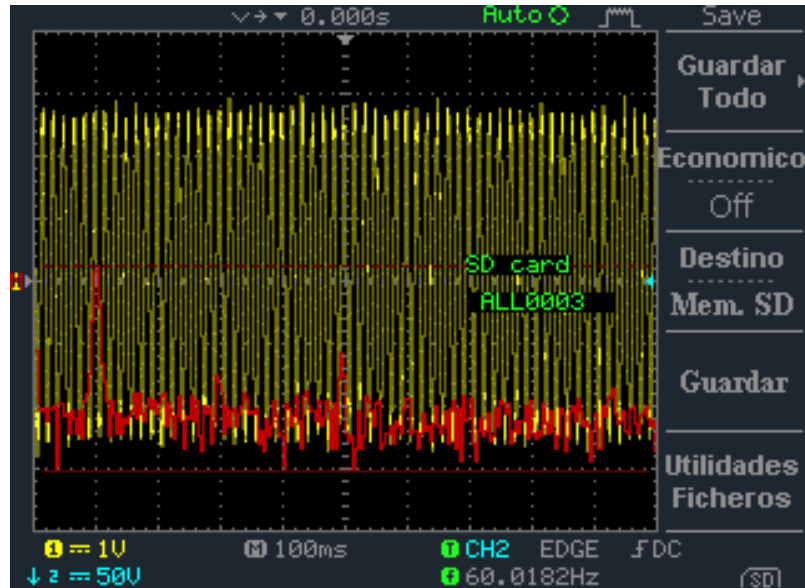
## 4.1. RESULTADOS Y ANÁLISIS

### 4.1.1. Prueba del factor de potencia

Para la prueba del factor de potencia se usó una Resistencia en serie con la entrada de tal forma que se pudiese conectar el osciloscopio a esta y obtener así la gráfica de la corriente. Con el método de *FFT* que incluye el osciloscopio se obtuvieron los armónicos de la corriente y de esta forma se obtuvo la *THD* y con esta el factor de potencia de distorsión, midiendo el desfase entre las ondas de corriente y tensión se obtiene el factor de potencia de desplazamiento.

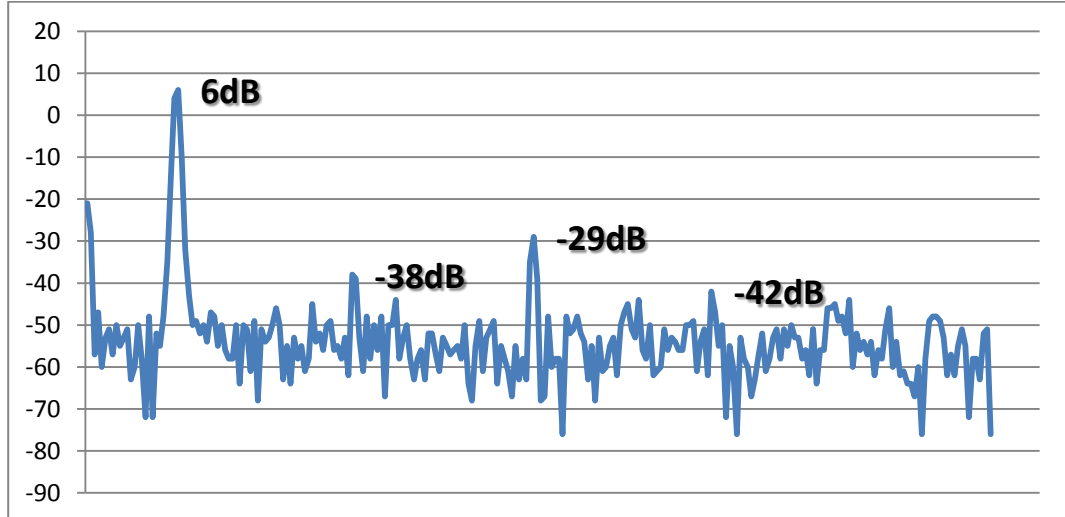
La figura 60 muestra la *FFT* obtenida por osciloscopio, esta se exporta a Excel por medio de la función "Guardar Todo" del osciloscopio para obtener un mejor análisis, obteniéndose la figura 61.

Figura 60. FFT de la corriente en el osciloscopio.



Fuente: Autores.

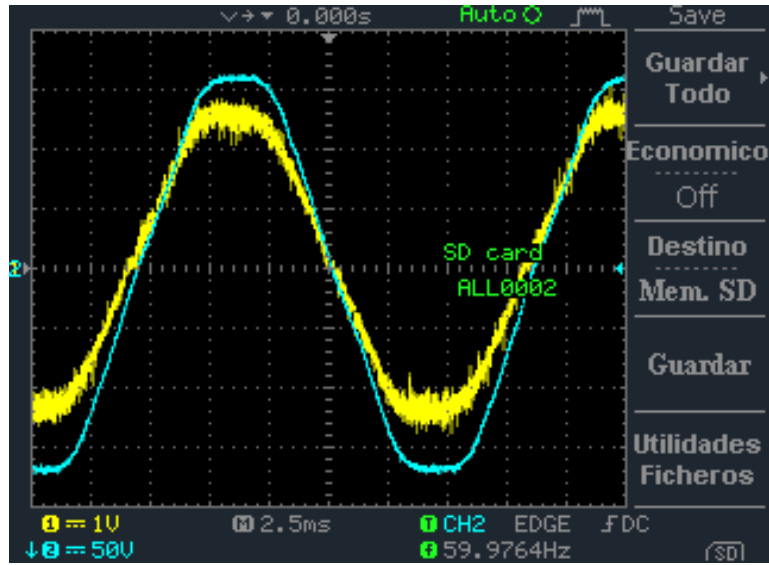
Figura 61. FFT de la corriente en del osciloscopio exportada.



Fuente: Autores.

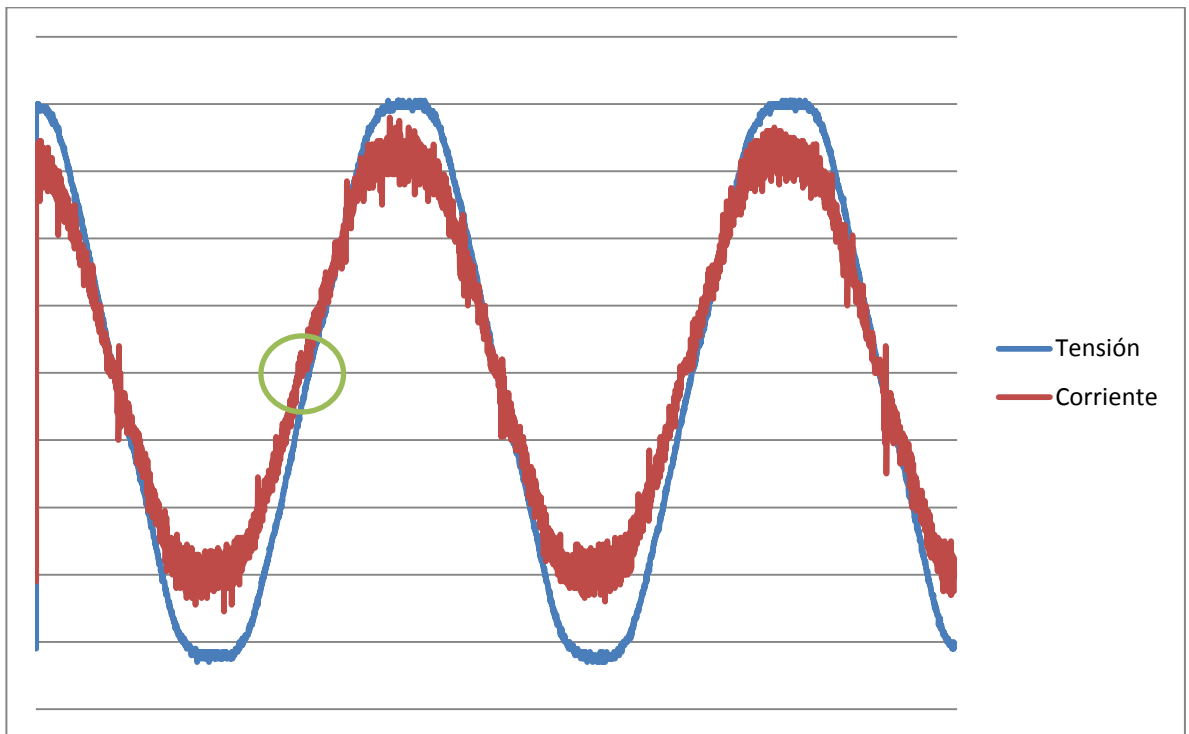
Para obtener el factor de potencia de desplazamiento se usa la figura 62 y la figura 63. La figura 62 muestra la gráfica de tensión (azul) y corriente (amarillo) obtenidas en el laboratorio, y la figura 63 es la figura 62 exportada a Excel para su análisis.

Figura 62. Tensión y corriente a la entrada.



Fuente: Autores.

Figura 63. Tensión y corriente a la entrada exportada a Excel



Fuente: Autores.

De las figuras anteriores se observa en Excel que la gráfica de tensión y corriente tienen 45 muestras de separación (círculo verde en la figura 63). Cabe resaltar que el osciloscopio toma 4000 muestras. Con lo anterior y teniendo en cuenta que 360 grados son 1189 muestras se obtiene que el desfase de las ondas es 13.62 grados.

En la tabla 9 se muestran los diferentes cálculos realizados con la siguiente relación para el factor de potencia:

$$pf_{true} = \overbrace{\cos(\theta_v - \theta_I)}^{FP \text{ desplazamiento}} * \overbrace{\frac{1}{\sqrt{1+THD_I^2}}}_{FP \text{ distorsión}} \quad \text{Ecuación 19}$$

Este es el factor de potencia real de una fuente de alimentación, que tiene en cuenta el factor de desplazamiento (diferencia de fase entre tensión y corriente) y el factor de potencia de distorsión (el obtenido por medio de la *THD*). Si se desea obtener la demostración de la ecuación 19 se puede consultar en [21]. En la figura 64 se muestran los armónicos calculados.

Tabla 9. Condiciones del circuito de pruebas.

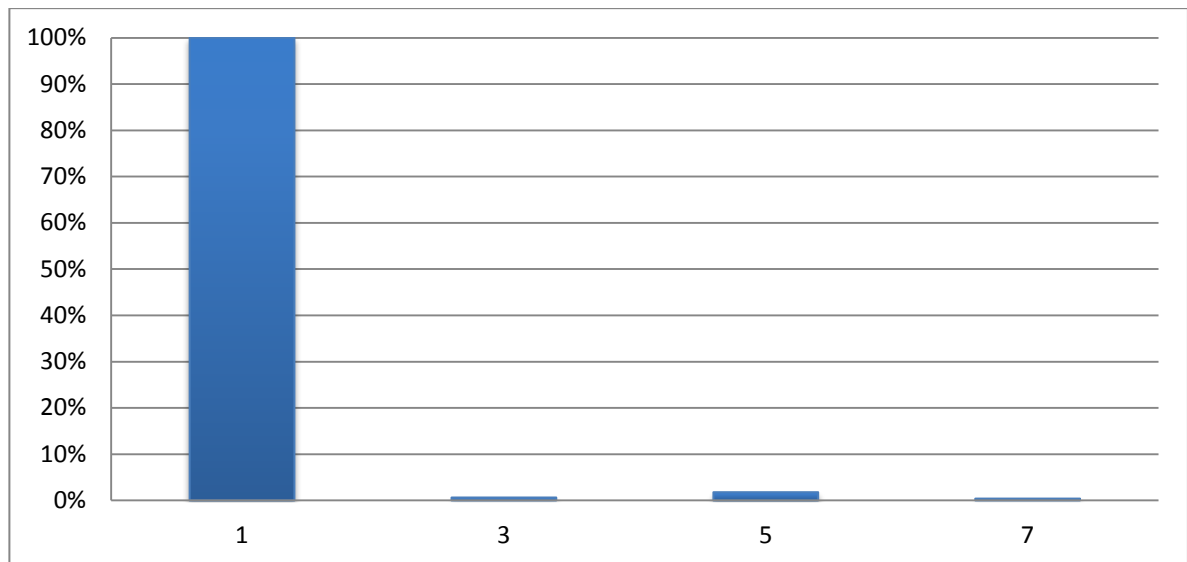
Armónico	Valor Armónico [dB]	Armónico Decimal	Porcentaje Respecto al Primer Armónico	Armónico al Cuadrado
1	6,00E+00	1,9952	100,00	10000
3	-38	0,0125	0,6310	0,39811
5	-29	0,0354	1,7783	3,16228
7	-42	0,0079	0,3981	0,15849
<b>Sumatoria Armónicos al Cuadrado</b>				3,71887
<b>THD</b>				1,93%

<b>PF Distorsión</b>	0,999814108
<b>Desplazamiento</b>	13,62
<b>PF Desplazamiento</b>	0,97186
<b>PF Real</b>	0,972

*Fuente: Autores.*

De lo anterior se puede observar que el factor de potencia real de la fuente es muy cercano a la unidad, lo que es acorde a lo visto en la figura 63 donde las ondas de corriente y tensión están prácticamente en fase, tal como se había explicado en la teoría como se observa en la figura 4.

Figura 64. Armónicos calculados



*Fuente: Autores.*

#### 4.1.2. Pruebas al Corrector de Factor de Potencia (PFC).

Como se mencionó anteriormente, la primera parte de las pruebas fue realizada sólo con la tarjeta del PFC. En esta prueba se busca mostrar la alta eficiencia de

la primera etapa, de tal forma que permita observar su comportamiento para un rango amplio de carga, con esto se logra establecer el máximo de eficiencia de la fuente.

Si la segunda etapa demuestra ser eficiente se podrá comprobar que la fuente de tensión supera con creces los objetivos propuestos.

La prueba se realiza con un barrido a 15 muestras de carga para verificar la eficiencia de esta etapa. Estas 15 muestras son obtenidas de diferentes combinaciones serie-paralelo del banco de resistencia de los laboratorios de la universidad que son capaces de soportar el 90% de la potencia de la etapa de *PFC*.

A continuación se presentarán las gráficas de la prueba realizada.

#### 4.1.2.1. Prueba de eficiencia de la etapa *PFC*

Para esta prueba se parte de una tensión de línea de  $127.5 V_{RMS}$  y una tensión de polarización de la tarjeta de  $13 V_{DC}$ . Las condiciones obtenidas se muestran en la tabla 10.

Tabla 10. Condiciones del circuito de pruebas.

Condición	Valor
$V_L$	$127.5 V_{RMS}$
<b>VCC</b>	$13 V_{DC}$
$V_{OUT}$	$391 V_{DC}$

*Fuente: Autores.*

A partir de esto se calcularon los valores de corriente de entrada y salida. Usando la siguiente expresión se calcula la eficiencia para distintos valores de carga.

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{I_{OUT} * V_{OUT}}{I_{IN} * V_{IN}} = \frac{I_{DC} * V_{DC}}{I_{RMS} * V_{RMS} * PF_{Real}}$$

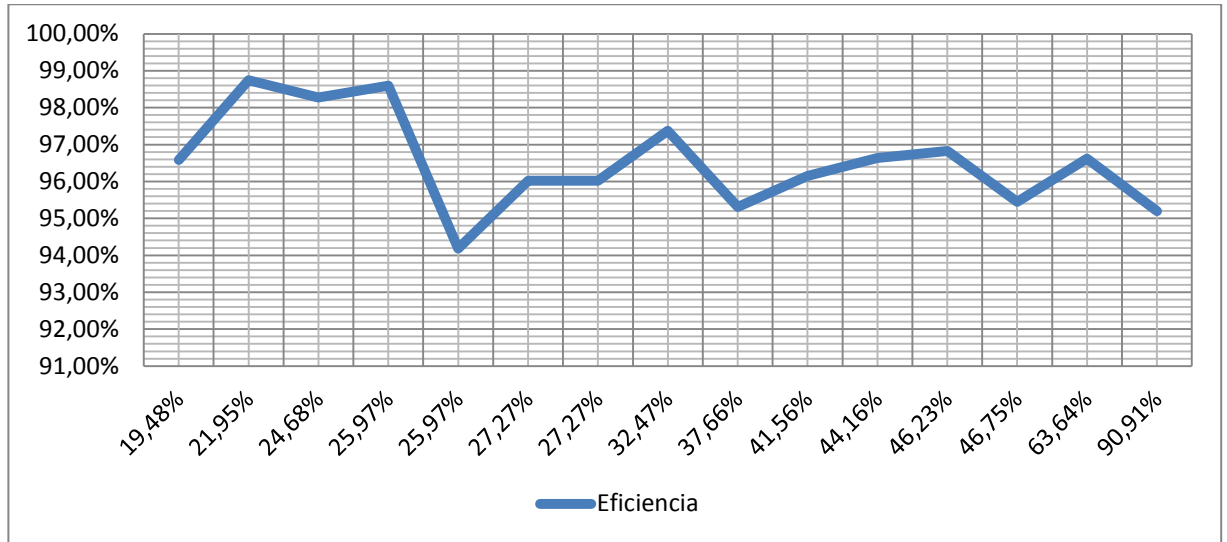
La tabla 11 y la figura 65 muestran los cálculos y los resultados obtenidos de esta prueba.

Tabla 11. Cálculo de eficiencia a distintos valores de carga.

<b>R<sub>OUT</sub> [Ω]</b>	<b>I<sub>OUT</sub> [A<sub>DC</sub>]</b>	<b>I<sub>IN</sub> [A<sub>RMS</sub>]</b>	<b>P<sub>IN</sub> [W]</b>	<b>P<sub>OUT</sub> [W]</b>	<b>%η</b>	<b>% Carga</b>
<b>2590</b>	0,150	0,49	60,73	58,65	96,58%	19,48%
<b>2320</b>	0,169	0,54	66,92	66,079	98,74%	21,95%
<b>2070</b>	0,190	0,61	75,60	74,29	98,27%	24,68%
<b>1970</b>	0,200	0,64	79,32	78,2	98,59%	25,97%
<b>1899</b>	0,200	0,67	83,03	78,2	94,18%	25,97%
<b>1849</b>	0,210	0,69	85,51	82,11	96,02%	27,27%
<b>1830</b>	0,210	0,69	85,51	82,11	96,02%	27,27%
<b>1571</b>	0,250	0,81	100,38	97,75	97,38%	32,47%
<b>1324</b>	0,290	0,96	118,97	113,39	95,31%	37,66%
<b>1241</b>	0,320	1,05	130,13	125,12	96,15%	41,56%
<b>1144</b>	0,340	1,11	137,56	132,94	96,64%	44,16%
<b>1094</b>	0,356	1,16	143,76	139,196	96,83%	46,23%
<b>1073</b>	0,360	1,19	147,48	140,76	95,45%	46,75%
<b>806</b>	0,490	1,60	198,29	191,59	96,62%	63,64%
<b>561</b>	0,700	2,32	287,52	273,7	95,19%	90,91%

Fuente: Autores.

Figura 65. Gráfico de eficiencias contra porcentaje de carga PFC.



Fuente: Autores.

#### 4.1.3. Pruebas a la fuente completa (PFC + Convertidor DC-DC).

Para estas pruebas se conectaron las dos placas y se la eficiencia de ambas placas conectadas así como el factor de potencia de la fuente de alimentación para observar el cumplimiento de objetivos.

##### 4.1.3.1. Prueba a baja carga

Para realizar esta prueba se usó como carga una lámpara halógena de carro mostrada en la figura 59 capaz de extraer 5A de corriente de la Fuente si se conecta para obtener luces bajas o altas o 10A si se conectan en paralelo los filamentos. Los resultados obtenidos se muestran en la tabla 12.

Tabla 12. Condiciones circuito de pruebas PFC+LLC carga baja.

Medición	Valor
$V_L$	123.6 $V_{RMS}$
$V_{Out}$	12.05 $V_{DC}$
$I_{IN}$	0.5 $A_{RMS}$
$I_{OUT}$	4.5 $A_{DC}$
<b>%Carga</b>	18%
$P_{IN}$	60W
$P_{OUT}$	54W
$\eta$	89%

Fuente: Autores.

#### 4.1.2.2. Prueba a carga media

Para la prueba a carga media se usó la misma lámpara halógena usada en la prueba anterior, ahora los dos filamentos se conectan en paralelo (luces altas y bajas) lo que permite que la carga funcione 55W+60W en total. Las condiciones y resultados se muestran en la tabla 13.

Tabla 13. Resultados y condiciones PFC+LLC carga media.

Medición	Valor
$V_L$	126.5 $V_{RMS}$
$V_{Out}$	12.07 $V_{DC}$
$I_{IN}$	1 $A_{RMS}$
$I_{OUT}$	9.7 $A_{DC}$
<b>%Carga</b>	40%
$P_{IN}$	122.958W
$P_{OUT}$	117.079W
$\eta$	95%

Fuente: Autores.

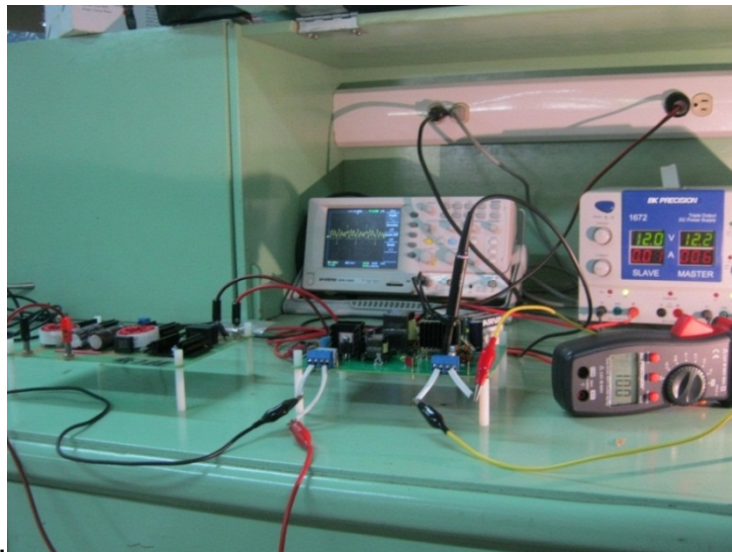
Lo que indica una eficiencia realmente alta de la fuente de tensión que es parecida a la obtenida con la etapa de corrección de factor de potencia, los resultados son satisfactorios en todos los sentidos. Las figuras 66 y 67 muestran fotos de los montajes realizados en los laboratorios así como también la medición del amperímetro a la salida como prueba de la realización de las mediciones.

Figura 66. Montaje de pruebas.



Fuente: Autores.

Figura 67. Montaje con lectura del amperímetro a la salida en la prueba de carga media



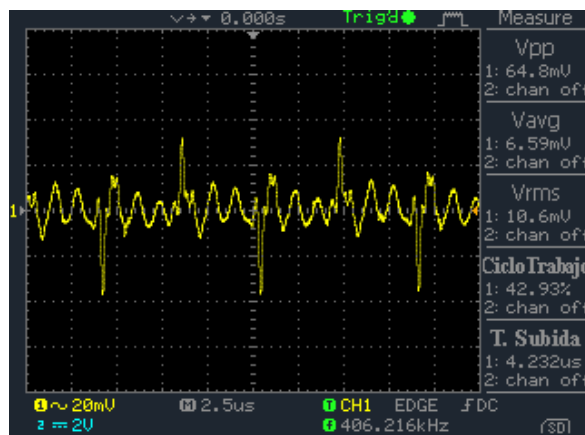
Fuente: Autores.

#### 4.1.2.3. Prueba de rizado a la salida

La prueba de rizado a la salida se realiza fácilmente con el osciloscopio en la salida (como se puede ver en la figura 64), la señal obtenida es la que se puede ver en la figura 66, en donde también se muestran los valores obtenidos por el osciloscopio.

De la figura anterior se obtiene que el rizado a carga media es de  $64.8\text{mV}_{\text{pk-pk}}$  bastante por debajo de los  $120\text{mV}_{\text{pk-pk}}$  que se habían propuesto en un principio.

Figura 68. Rizado a la salida.



Fuente: Autores.

## 5. CONCLUSIONES

- Diversos métodos de corrección de factor de potencia cumplen con los objetivos planteados y cada uno de estos presenta sus pros y contras, el método escogido (*Natural Interleaved*) consiste en la implementación de dos etapas en paralelo del método conocido como *FCCrM*, el cual se ve beneficiado con la mejora en el factor de potencia, eficiencia de la etapa y su capacidad de trabajo a potencias altas, a costa de sacrificar facilidad en el diseño y tamaño del prototipo.
- La alta eficiencia que presenta la etapa de corrección de factor de potencia (>90% a distintos porcentajes de carga) facilita el mayor aprovechamiento de la energía de la línea y permite entregar una alta eficiencia a la segunda etapa del sistema (Convertidor *DC-DC*).
- Basados en la teoría y las relaciones presentadas en las hojas de datos se diseñaron los circuitos *PFC* y *DC-DC* de tal manera que cumplieran los objetivos propuestos. Se pudo comprobar que las eficiencias de las etapas por separado y juntas son realmente altas gracias al uso de tecnologías modernas como el *LLC Half-bridge* y el Intercalado Natural. La eficiencia resultó ser 19% y 15% mayor a lo planteado para carga baja como media respectivamente, por lo que se logró un diseño satisfactorio.
- El método más preciso y recomendado de medición y comprobación experimental del factor de potencia en fuentes de tensión *AC-DC* es la visualización de la FFT (*Fast Fourier Transform*) de la señal equivalente de corriente a la entrada, medir los coeficientes de la misma y así calcular la THD

(*Total Harmonic Distortion*), con esta se obtiene el valor del factor de potencia bajo la carga usada. Este método es el que usan aparatos como el *Fluke* Modelo 40 [18] de manera precisa. De no contarse con estos equipos se puede usar el procedimiento aquí descrito en la sección 4.1.1.

- Se pudo comprobar que el diseño de un convertidor *DC-DC* ofrece ventajas muy grandes tal como se pudo observar, la eficiencia a todo tipo de cargas, el poco rizado en la salida, la poca variación de la tensión de salida y la simplicidad del circuito comparado con otras topologías lo hacen una opción fuerte para todo tipo de fuentes de alimentación conmutadas. Sin embargo resulta un reto su diseño debido a que es una topología en crecimiento actualmente, sin embargo lo compensa los excelentes resultados aquí expuestos.
- Se pudo comprobar también que dada la escogencia de las topologías y los integrados para estas los circuitos fueron capaces de comportarse correctamente para entradas de línea universal, lo que hace posible extender su funcionamiento a frecuencias y tensiones usadas en otras partes del mundo, esto permite que el diseño cuente con características de un producto parecidos a los comerciales, lo que facilita una implementación más robusta con futuras revisiones.
- Teniendo en cuenta que una fuente lineal produce factores de potencia cercanos a 0.6 y eficiencias no mayores al 60%, la corrección activa del factor de potencia y la alta eficiencia aquí presentada gracias al uso de topologías relativamente nuevas con el Intercalado y el *LLC Half-Bridge* aseguran que se lleven dichas medidas a altísimos estándares para cumplir así con certificaciones como la *80Plus* [19] que es una de las certificaciones más codiciadas para fuentes de alimentación modernas.

## 6. RECOMENDACIONES

La recomendación más importante que los autores pueden dar es la simulación del circuito, esta parte no se pudo tratar durante este proyecto dada la alta complejidad de simular las topologías acá expuestas, se considera que para llevar a cabo dicha simulación haría falta un proyecto de grado completamente dedicado a evaluar los circuitos y así deducir como se podrían hacer las simulaciones en software especializado.

Podemos recomendar estas topologías para fuentes de alimentación de más potencia, solo hace falta usar las herramientas que se mostraron en el escrito y que se pueden obtener en los links que se adjuntaron en la referencia. Es un proceso de prueba y error, pero que produce resultados muy rápidos y confiables.

No hay mucha bibliografía escrita en físico para lo aquí expuesto dado que son topologías nuevas y en auge cuyos desarrolladores prefieren exponer en *papers* o seminarios de potencia a los que solo se tiene acceso vía web. Por tanto lo expresado en este texto puede servir como base escrita para compañeros que deseen desarrollar más este tópico en la escuela.

Para probar el factor de potencia en las fuentes realmente se necesitan herramientas dedicadas a esto, tal como se mencionó anteriormente el método usado aquí es bastante confiable y puede ser usado si se desea medir el factor de potencia en otro proyecto. De contar con una pinza adaptable al osciloscopio para la medición de corriente sin duda la visualización sería incluso mejor, por tanto es recomendable la adquisición de esta.

Tal como se pudo observar como cargas se pueden usar arreglos de lámparas de carro que tienen un costo muy bajo en el mercado pero que permiten probar las

fuentes de manera rápida. Si se desean fuentes de mayor potencia simplemente se adquieren más bombillas y se construyen arreglos de esta para tener más carga a la salida.

El trabajo aquí expuesto como ya se mencionó anteriormente puede ser la base para más fuentes de alimentación de este tipo, se recomienda a los futuros interesados experimentar con el diseño de las dos etapas en una sola *PCB* de tal manera que se aproveche mejor el espacio y el diseño sea más robusto y simple, en esta ocasión esto no fue posible dado que se partía desde cero y para experimentación era mejor tener las dos etapas por separado.

El punto más sensible de toda la fuente es sin duda el transformador del convertidor *LLC* este requiere mucho más estudio por parte de los futuros diseñadores para ser construido de manera local dado que su construcción requiere de tener en cuenta ciertos elementos que quizás no se encuentren con facilidad en Colombia. Sin embargo con los trabajos de grado que se van realizando en este campo la brecha se irá reduciendo. Si se desea se puede usar la información mostrada para construir prototipos de transformador y así ir deduciendo las características que mejor se ajusten al diseño.

Por último pero no menos importante se recomienda seguir insistiendo en este tema de las fuentes de alimentación con topologías nuevas dado que entre más se investigue y se profundice en este tema más competentes seremos ante el resto de ingenieros electrónicos y sobre todo mejores diseños podrán servir como base para productos realmente competitivos en el mercado.

## 7. REFERENCIAS

[1] HART, Daniel W. Electrónica de Potencia. Tercera Edición. Ed. Prentice Hall, 2005.

[2] RASHID, Muhammad. Electrónica de Potencia: Circuitos dispositivos y aplicaciones. Tercera Edición. Ed. Prentice Hall, 2004.

[3] Paul Horowitz & Winfield Hill, "The art of electronics", Cambridge University Press, 1989, 2nd Edition, P 9.

[4] On Semiconductors®, "Power Factor Correction (PFC) Handbook", HBD853/D Rev. Feb-4th 2011, [www.onsemi.com](http://www.onsemi.com), Ch 1-2-3-4-5-6-9.

[5] Joël TURCHI -On Semiconductors®, "Characteristics of Interleaved PFC Stages" AND8355/D, [http://www.onsemi.com/pub\\_link/Collateral/AND8355-D.PDF](http://www.onsemi.com/pub_link/Collateral/AND8355-D.PDF) .

[6] Yang Bo. Topology Investigation for Front End DC/DC Power Conversion for Distributed Power System.

[7] Familias Lógicas TTL. [http://www.uned.es/ca-bergara/ppropias/Morillo/web\\_et\\_dig/03\\_fam\\_log\\_ttl/transp\\_fam\\_logi\\_ttl.pdf](http://www.uned.es/ca-bergara/ppropias/Morillo/web_et_dig/03_fam_log_ttl/transp_fam_logi_ttl.pdf)

[8] History of Soft Switching. <http://www.switchingpowermagazine.com/downloads/Jan%2001%20history.pdf>

[9] Andreyck Bill. Zero Voltage Siwtching Power Conversion. Texas Instrument Power Seminars. <http://focus.ti.com/lit/ml/slup089/slup089.pdf>

[10] Merchetti Robert. Comparing dc/dc converters' noise-related performance. Vicor Corp. [http://www.edn.com/article/459828-Comparing\\_dc\\_dc\\_converters\\_noise\\_related\\_performance.php](http://www.edn.com/article/459828-Comparing_dc_dc_converters_noise_related_performance.php)

[11] Design Considerations for an LLC Resonant Converter. Hangseok Choi. <http://www.fairchildsemi.com/onlineseminars/LLCresonantConverter.pdf>

[12] Texas Instruments, UCC28060, Natural Interleaving™ DUAL-PHASE TRANSITION-MODE PFC CONTROLLER. <http://www.ti.com/lit/ds/symlink/ucc28060.pdf>

[13] Texas Instruments, UCC25600, 8-Pin High-Performance Resonant Mode Controller. <http://www.ti.com/lit/ds/symlink/ucc25600.pdf>

[14] UCC25600 Calculator Tool. <http://www.ti.com/tool/ucc25600-design-calc>

[15] Feedback Loop Design of an LLC Resonant Power Converter. <http://www.ti.com/lit/an/slua582a/slua582a.pdf>

[16] Hoja de datos TL431. <http://www.fairchildsemi.com/ds/TL/TL431A.pdf>

[17] Hard and Soft-Switching Techniques. [www.ee.cityu.edu.hk/~shc/Chapter7.doc](http://www.ee.cityu.edu.hk/~shc/Chapter7.doc)

[18] Datos *Fluke* Modelo 40. [http://www.bilact.ru/rs/datasheets/pdf/232\\_4752.pdf](http://www.bilact.ru/rs/datasheets/pdf/232_4752.pdf)

[19] *80Plus* <http://www.plugloadsolutions.com/80PlusPowerSupplies.aspx>

[20] UCC28060 Calculator Tool. <http://www.ti.com/litv/zip/sluc072b>

[21] W. Mack Grady. Robert J. Gilleskie. Harmonics and how they relate to power factor. <http://www.google.com.co/url?sa=t&rct=j&q=thd%20and%20power%20factor&source=web&cd=1&ved=0CCwQFjAA&url=http%3A%2F%2Fciteseerx.ist.psu.edu%2Fviewdoc%2Fdownload%3Fdoi%3D10.1.1.130.3182%26rep%3Drep1%26type%3Dpdf&ei=Eka8TzYGcqbweZ1qSZBw&usq=AFQjCNHP9WQzzKBo6SGrkX-ACvBXzuKJxg&sig2=3t285T-meS9Xt6YOtFxiGg>