

Control de Potencia Activa y Reactiva en Inversores Modulares

Multinivel de Conexión a la Red

Oscar Alexis Galvis Diaz

Wilson Arbey Rey Vargas

Trabajo de Grado para Optar al Título de Ingeniero Electricista

Directora

María Alejandra Mantilla Villalobos

Doctora en ingeniería

Universidad Industrial de Santander

Facultad de Ingenierías Fisicomecánicas

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Bucaramanga

2021

Dedicatoria

Primeramente, a Dios por bendecirme, guiarme y acompañarme en todo este proceso a lo largo de mi vida universitaria.

A mis padres: Heli Rey Anaya y Nely Vargas Serrano que me apoyaron de todas las formas posibles para culminar este proceso, a mis hermanos Monica y John Édison Rey Vargas fueron un ejemplo de seguir adelante y nunca darme por vencido y saber que ellos tenían la plena confianza en mí.

A mis compañeros, amigos y docentes de la Escuela de Ingeniería Eléctrica, mil gracias crecí como persona y profesional. Aprendí a nunca darme por vencido y que cada esfuerzo tiene su recompensa.

Wilson Arbey Rey Vargas

Primeramente, a mis padres Isabel Diaz y Alexander Galvis que me criaron y apoyaron de todas las formas posibles, a mi hermano Christian Galvis que fue una motivación para seguir adelante.

A mis tías Franci Galvis, Daniela Gonzales, Teresa y Dilia Rueda.

A mis mejores amigos Fernanda Andrade y Dario Ortega por estar a mi lado por tantos años.

A las personas que me apoyaron para poder continuar con mis estudios: FUNDACIÓN UIS SOLIDARIA, PROMOCIÓN 73 - COLEGIO DE LA PRESENTACIÓN, Jair Jaimes, Christopher James, Jenny Cala y Maria Mantilla.

A los amigos con los cuales compartí durante todo este tiempo en particular a mis compañeros de la Escuela E3T: Samir Ospino, Francisco Castro, David Ortega, Mellys Silva, Raul Guerrero, Angel Suarez y Marly Gallo.

Oscar Alexis Galvis Diaz

Agradecimientos

A nuestra directora Maria Alejandra Mantilla Villalobos por su tiempo, su compromiso, su dedicación y orientación en el desarrollo de este proyecto de grado, muchas gracias.

A todos los docentes que durante este trayecto nos brindaron sus conocimientos.

A la Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones E3T por guiarnos en nuestro camino profesional.

A la Universidad Industrial de Santander UIS por ser nuestra casa y brindarnos el talento humano y espacios de formación tanto personal como profesional.

A todas aquellas personas que de una u otra forma aportaron para que pudiéramos culminar con éxitos nuestra formación académica.

A los compañeros que nos brindaron su experiencia y conocimiento para el desarrollo de este proyecto de grado.

Orgullosamente felices de ser egresados de esta prestigiosa universidad.

Oscar Alexis Galvis Diaz

Wilson Arbey Rey Vargas

Tabla de Contenido

	Pág.
1 Introducción	12
1.1 Objetivos	13
1.1.1 Objetivo General	13
1.1.2 Objetivos Específicos.....	13
2 Descripción del sistema.....	14
2.1 Generador de señal de referencia	15
2.2 Control resonante	17
2.3 Filtro LCL	18
2.4 Analizador de red	20
3 Topologías de inversores de conexión a la red	21
3.1 Inversor trifásico en puente completo tradicional	21
3.1.1 Descripción	21
3.1.2 Modulación PWM unipolar.....	23
3.2 Inversor MMC con salida en punto medio.....	24
3.2.1 Descripción	24
3.2.2 Modulación PS-PWM para MMC de punto medio.....	26
3.3 Inversor MMC con punto neutro.....	28
3.3.1 Descripción	28
3.3.2 Modulación PS-PWM para MMC con punto neutro	30

4	Resultados	31
4.1	Indicadores de desempeño	31
4.2	Escenarios de simulación	32
4.2.1	Potencia nominal	32
4.2.2	Potencia media	45
4.2.3	Potencia baja	57
4.2.4	Perturbaciones	69
4.2.5	Modificación de parámetros.....	72
5	Conclusiones	74
	Referencias.....	75

Lista de Figuras

	Pág.
Figura 1. Sistema de inversor con conexión a la red.	15
Figura 2. Generador de Señal de Referencia.	16
Figura 3. Control Resonante.	17
Figura 4. Filtro LCL.....	18
Figura 5. Analizador de Red.	20
Figura 6. Bloque inversor tradicional.	22
Figura 7. Inversor trifásico en puente completo tradicional.	22
Figura 8. Modulación PWM unipolar.....	23
Figura 9. Bloque inversor MMC de punto medio.....	24
Figura 10. Bloque Phase_A inversor MMC de punto medio.	25
Figura 11. Inversor Monofásico en puente completo.	26
Figura 12. PS-PWM para MMC de punto medio en brazo superior.	27
Figura 13. PS-PWM para MMC de punto medio en brazo inferior.	27
Figura 14. Bloque inversor MMC con punto neutro.	28
Figura 15. Bloque Phase_A inversor MMC con punto neutro.	29
Figura 16. PS-PWM para MMC con punto neutro.....	30
Figura 17. Error de potencia activa a potencia nominal para inversor tradicional.	33
Figura 18. Error de Fp a potencia nominal para inversor tradicional.	34
Figura 19. Señal error a potencia nominal para inversor tradicional.....	35
Figura 20. THD a potencia nominal para inversor tradicional.	36
Figura 21. Error de potencia activa a potencia nominal para inversor MMC de punto medio...	37

Figura 22. Error de Fp a potencia nominal para inversor MMC de punto medio.	38
Figura 23. Señal error a potencia nominal para inversor MMC de punto medio.	39
Figura 24. THD a potencia nominal para inversor MMC de punto medio.....	40
Figura 25. Error de potencia activa a potencia nominal para inversor MMC con punto neutro.	41
Figura 26. Error de Fp a potencia nominal para inversor MMC con punto neutro.	42
Figura 27. Señal error a potencia nominal para inversor MMC con punto neutro.	43
Figura 28. THD a potencia nominal para inversor MMC con punto neutro.	44
Figura 29. Error de potencia activa a potencia media para inversor tradicional.	45
Figura 30. Error de Fp a potencia media para inversor tradicional.	46
Figura 31. Señal error a potencia media para inversor tradicional.	47
Figura 32. THD a potencia media para inversor tradicional.....	48
Figura 33. Error de potencia activa a potencia media para inversor MMC de punto medio.	49
Figura 34. Error de Fp a potencia media para inversor MMC de punto medio.....	50
Figura 35. Señal error a potencia media para inversor MMC de punto medio.....	51
Figura 36. <i>THD a potencia media para inversor MMC de punto medio</i>	52
Figura 37. Error de potencia activa a potencia media para inversor MMC con punto neutro.....	53
Figura 38. Error de Fp a potencia media para inversor MMC con punto neutro.....	54
Figura 39. Señal error a potencia media para inversor MMC con punto neutro.	55
Figura 40. THD a potencia media para inversor MMC con punto neutro.....	56
Figura 41. Error de potencia activa a potencia baja para inversor tradicional.....	57
Figura 42. Error de Fp a potencia baja para inversor tradicional.	58
Figura 43. Señal error a potencia baja para inversor tradicional.	59
Figura 44. THD a potencia baja para inversor tradicional.....	60

Figura 45. Error de potencia activa a potencia baja para inversor MMC de punto medio.	61
Figura 46. Error de Fp a potencia baja para inversor MMC de punto medio.	62
Figura 47. Señal error a potencia baja para inversor MMC de punto medio.	63
Figura 48. THD a potencia baja para inversor MMC de punto medio.	64
Figura 49. Error de potencia activa a potencia baja para inversor MMC con punto neutro.	65
Figura 50. Error de Fp a potencia baja para inversor MMC con punto neutro.	66
Figura 51. Señal error a potencia baja para inversor MMC con punto neutro.	67
Figura 52. THD a potencia baja para inversor MMC con punto neutro.	68
Figura 53. Perturbación para inversor trifásico en puente completo tradicional.	69
Figura 54. Perturbación para inversor MMC con salida en punto medio.	70
Figura 55. Perturbación para inversor MMC con punto neutro.	71
Figura 56. Modificación de parámetros para inversor tradicional.	72
Figura 57. Modificación de parámetros para inversor MMC con salida en punto medio.	73

Lista de Apéndices

Los apéndices están adjuntos y puede visualizarlos en la base de datos de la biblioteca UIS

Apéndice A. Potencia Nominal

Apéndice B. Potencia Media

Apéndice C. Potencia Baja

Apéndice D. Perturbación Inversor Tradicional

Apéndice E. Perturbación Inversor MMC de Punto Medio

Apéndice F. Perturbación Inversor MMC con Punto Neutro

Apéndice G. Modificación de Parámetros

Resumen

Título: Control de Potencia Activa y Reactiva en Inversores Modulares Multinivel de Conexión a la Red*

Autor: Oscar Alexis Galvis Diaz, Wilson Arbey Rey Vargas**

Palabras Clave: Convertidor modular multinivel, inversor de potencia, algoritmos de control, calidad de la energía.

Descripción: Dado el alto interés en el uso de topologías de convertidores modulares multinivel (MMC, por sus siglas en inglés) en los últimos años, debido principalmente a su aplicación en sistemas de alta tensión y alta potencia, el presente trabajo de grado aborda el análisis del desempeño de tres topologías de inversores de conexión a la red, dos de ellas correspondientes a inversores modulares multinivel (topologías MMC con salida de punto medio y MMC con punto neutro) y la otra configuración el inversor tradicional trifásico en puente completo. El trabajo presenta un análisis comparativo del desempeño entre las tres topologías ante diferentes escenarios de inyección de potencia activa y reactiva del sistema a la red.

Asimismo, se presenta una descripción de los métodos de control de potencia, seguimiento de la señal de referencia y modulación por ancho de pulso implementados para cada topología, mostrando las diferencias de montaje en el software PLECS para cada topología y la comparación de su funcionamiento ante los distintos escenarios propuestos de inyección de potencia activa y reactiva a la red. Finalmente se muestran los resultados obtenidos de las simulaciones ejecutadas en el software PLECS, junto al análisis en base a criterios de comparación establecidos.

* Trabajo de Grado

** Facultad de Ingenierías Fisicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.
Director: María Alejandra Mantilla Villalobos. Doctora en ingeniería.

Abstract

Title: Active and Reactive Power Control in Grid-Connected Modular Multilevel Inverters *

Author: Oscar Alexis Galvis Diaz, Wilson Arbey Rey Vargas **

Key Words: Modular multilevel converter, power inverter, control algorithms, power quality.

Description: Given the high interest in the use of multilevel modular converter (MMC) topologies in recent years, mainly due to its application in high-voltage and high-power systems, the present degree work will address the analysis of the performance of three grid connection inverter topologies, two of them corresponding to multilevel modular inverters (MMC topologies with midpoint output and MMC with neutral point) and the other configuration to the traditional three-phase inverter in full bridge. The work presents a comparative analysis of the performance between the three topologies in different scenarios of injection of active and reactive power from the system to the grid.

Likewise, it is described the following systems: the power control methods, the reference signal tracking algorithm, and the pulse width modulation strategy for each topology. The differences of their implementation in the PLECS software for each topology are presented and a comparison analysis of their operation under the different proposed scenarios of active and reactive power are shown. Finally, the results obtained from the simulations executed in the PLECS software are shown, together with the analysis based on established comparison criteria.

* Degree Work

** Faculty of Physicomechanical Engineering. School of Electrical, Electronic and Telecommunications Engineering. Advisor: María Alejandra Mantilla Villalobos. Doctor in Engineering.

1 Introducción

Con el desarrollo de la industria de la electrónica de potencia se han generado varias familias de convertidores de potencia, categorizadas por el nivel de potencia, topología y modulación (D. Grahame Holmes, 2003). El proceso de conmutación (modulación) varía dependiendo de la familia de convertidores que se le asocia con el objetivo de optimizar las operaciones del sistema (A. Dekka, 2018), (D. Grahame Holmes, 2003).

Los convertidores modulares multinivel (MMC, por sus siglas en inglés) se han popularizado como una de las opciones preferidas para una conversión eficiente de energía. Actualmente estos convertidores se enfocan en la implementación para sistemas de alta tensión y alta potencia, que permite ser más rentable al utilizar tecnología de semiconductores de baja tensión para construir sistemas de alta potencia (A. Dekka, 2018).

Con respecto al MMC, al ser una tecnología de rápido crecimiento y gran aceptación por su mayor grado de modularidad y redundancia, se han propuesto topologías y modelos de control con amplia gama de aplicaciones de conexión a la red (A. Dekka, 2018) (S. Rivera S. K., Cascaded H-bridge multilevel converter multistring topology for large scale photovoltaic systems, 2011). Por tal motivo se vuelve necesario para el desarrollo de la industria el conocer y saber utilizar estos inversores e implementar métodos de control de la potencia activa y reactiva que se inyecta a la red, ayudando de esta manera a lograr un mejor desempeño en su implementación y uso en la conversión eficiente de energía.

En el presente trabajo de grado se tendrá como referente trabajos e investigaciones previas en el contexto de la implementación de inversores de conexión a la red y de los algoritmos de control.

Asimismo, se busca aportar un análisis del método de control implementado, mostrando las diferencias de implementación y montaje para cada topología seleccionada (dos topologías de inversores modulares multinivel y el inversor tradicional trifásico en puente completo) y la comparación de su funcionamiento ante los distintos escenarios propuestos de inyección de potencia activa y reactiva a la red. Estos resultados serán soportados por resultados de simulación.

1.1 Objetivos

1.1.1 Objetivo General

Realizar un análisis comparativo del desempeño de inversores modulares multinivel e inversor tradicional trifásico en puente completo de conexión a la red ante diferentes escenarios de inyección de potencia activa y reactiva.

1.1.2 Objetivos Específicos

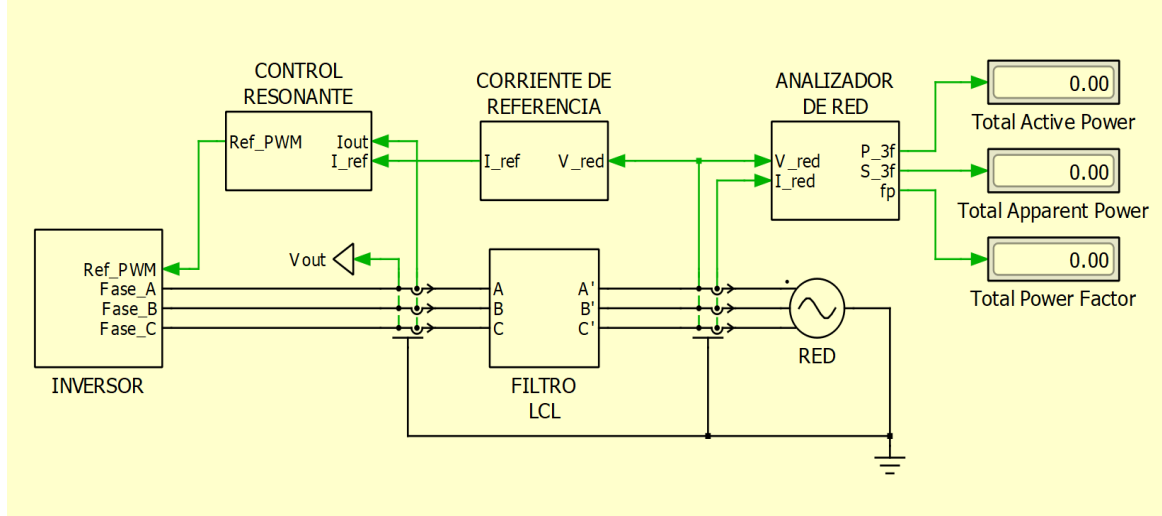
- Seleccionar dos topologías de inversores modulares multinivel y describir su funcionamiento.
- Implementar mediante simulación el control de potencia activa y reactiva para los inversores seleccionados y para la topología de inversor tradicional trifásico.
- Establecer los criterios de comparación y los escenarios de simulación.
- Evaluar el desempeño de los inversores modulares multinivel y tradicional trifásico ante diferentes escenarios de control de potencia activa y reactiva inyectada a la red.

2 Descripción del sistema

Un diagrama general del sistema objeto de estudio de este trabajo se presenta en la figura 1. El sistema está conformado por un primer bloque llamado inversor, constituido a su vez por un convertidor DC/AC trifásico, su correspondiente controlador PWM (*Pulse Width Modulation*) y su fuente de alimentación que en este caso se modela como una o varias fuentes de tensión ideales independientes dependiendo de la topología del convertidor. Como segunda parte se tiene un bloque de control de corriente correspondiente a un controlador resonante, que ayuda a eliminar el error en estado estacionario entre la corriente inyectada a la red y la corriente de referencia; un tercer bloque llamado corriente de referencia el cual genera la corriente deseada a inyectar a la red a partir del tensión de la red y de las potencias activa y reactiva deseadas (valor nominal de 10500 W). Luego se presenta un filtro LCL que permite mejorar la calidad de la señal de corriente a inyectar a la red por parte del inversor. Como quinta parte se tiene el equivalente de la red de distribución correspondiente a una fuente AC trifásica independiente balanceada con frecuencia de 60 Hz a un tensión rms de línea de 220 V. Por último, el analizador de red que permite ver los resultados obtenidos en la simulación de las potencias activa, aparente y su factor de potencia.

Figura 1.

Sistema de inversor con conexión a la red.



2.1 Generador de señal de referencia

La señal de referencia es la señal de corriente que se desea inyectar a la red (M. A. Mantilla, 2014), calculada a partir de la potencia activa que se quiere inyectar y el factor de potencia que se desea, teniendo también en cuenta el valor de tensión de fase de la red. Dicha corriente trifásica de referencia se halla mediante los cálculos presentados a continuación. En primera instancia se calcula la corriente responsable de la inyección de potencia activa dada por:

$$\begin{bmatrix} i_{ap} \\ i_{bp} \\ i_{cp} \end{bmatrix} = \frac{P}{u_a^2 + u_b^2 + u_c^2} \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix}$$

Donde mediante la potencia activa trifásica P y la tensión de fase de la red u se logran encontrar las componentes trifásicas de la corriente i_p .

Para el cálculo de corriente responsable del intercambio de potencia reactiva i_q , se calcula la potencia reactiva trifásica de acuerdo con la siguiente ecuación.

$$Q = P * \tan(\cos(Fp))$$

Donde P es la potencia activa trifásica y Fp es el factor de potencia.

Usando la potencia reactiva trifásica Q y las tensiones de fase de la red u se calculan las componentes trifásicas de la corriente i_q .

$$\begin{bmatrix} i_{aq} \\ i_{bq} \\ i_{cq} \end{bmatrix} = \frac{Q/\sqrt{3}}{u_a^2 + u_b^2 + u_c^2} \begin{bmatrix} 0 & +u_b & -u_c \\ -u_a & 0 & +u_c \\ +u_a & -u_b & 0 \end{bmatrix}$$

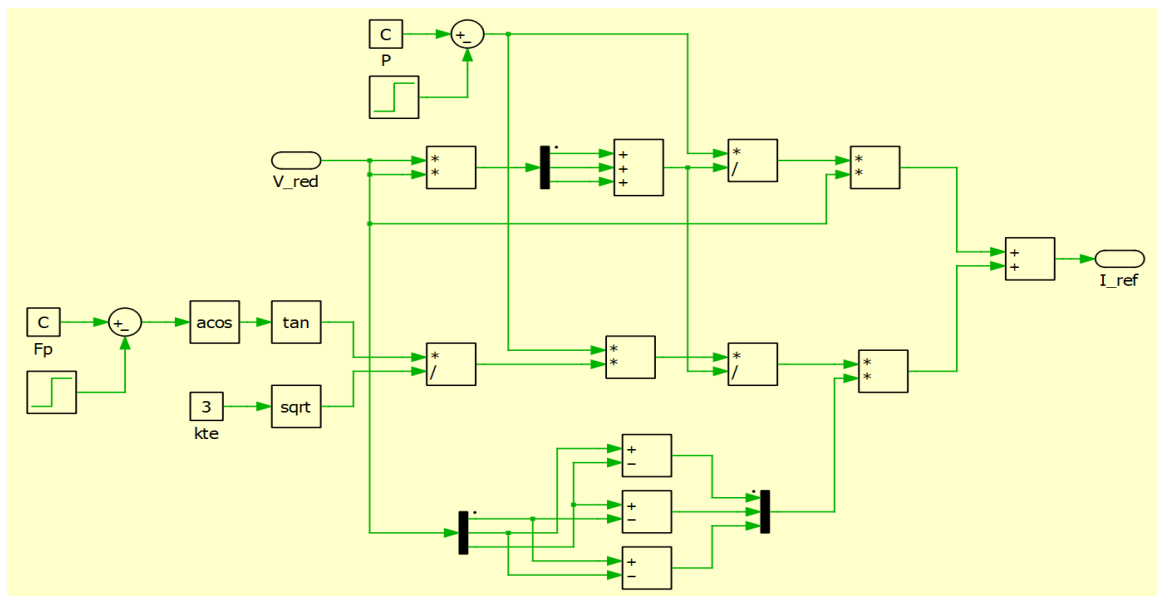
Al realizar la suma de la corriente i_p y la corriente i_q se obtiene la señal trifásica de corriente de referencia $I_{ref} = i_p + i_q$.

$$\begin{bmatrix} i_{aref} \\ i_{bref} \\ i_{cref} \end{bmatrix} = \begin{bmatrix} i_{ap} \\ i_{bp} \\ i_{cp} \end{bmatrix} + \begin{bmatrix} i_{aq} \\ i_{bq} \\ i_{cq} \end{bmatrix}$$

El montaje del bloque Corriente de Referencia se evidencia en la figura 2.

Figura 2.

Generador de Señal de Referencia.



2.2 Control resonante

Para generar la señal de referencia se implementa un control resonante (Alzate, 2017) en el sistema que consiste en aplicar una ganancia llamada G_{PRA} dada por la siguiente ecuación.

$$G_{PRA} = K_p + \frac{sK_i}{s^2 + s\omega_a + \omega_0^2}$$

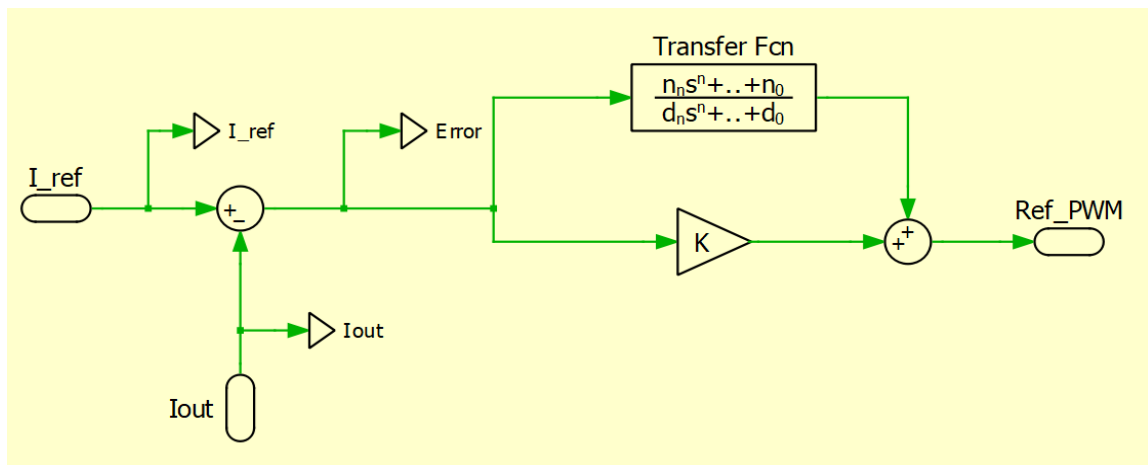
Donde K_i es una ganancia integral, mientras que K_p es una ganancia de tipo proporcional, ω_0 es la frecuencia fundamental de la red (60 Hz) multiplicada por 2π y ω_a determina el ancho de la campana de resonancia del controlador dado en rad/s.

Los valores de K_p y K_i que se usa para realizar el control fueron respectivamente de 10 y 10000 hallados experimentalmente. Para fijar el valor de ω_a se debe tener en cuenta la variación esperada en la frecuencia de la señal de interés. Como se trata de la frecuencia de la red esperada, la variación es muy pequeña y por tanto se toma un 10% de ω_0 , es decir $\omega_a = 0,1\omega_0$.

El montaje del bloque Control Resonante se evidencia en la figura 3.

Figura 3.

Control Resonante.

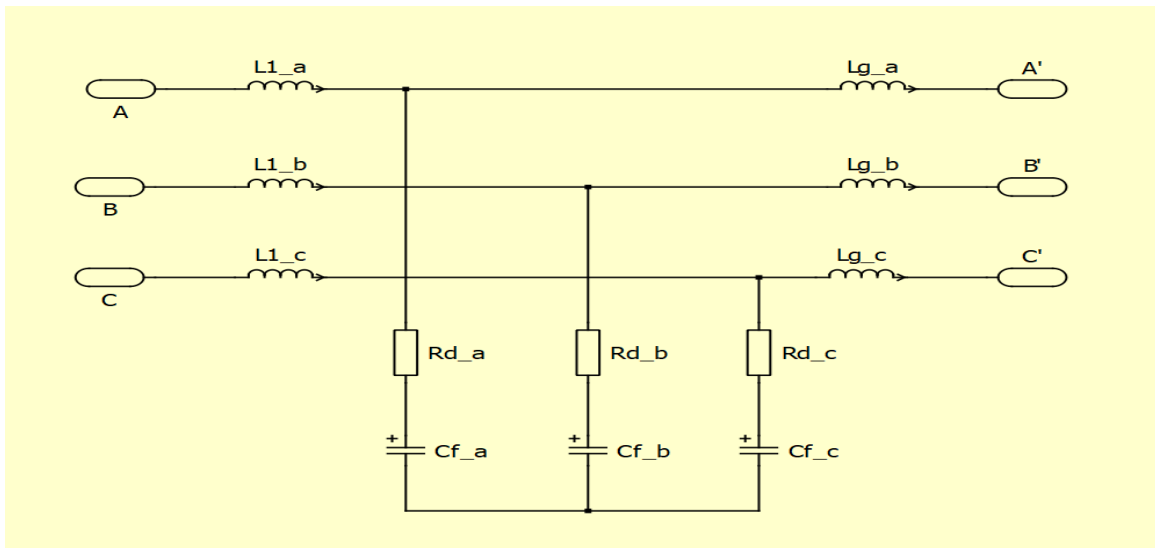


2.3 Filtro LCL

Para la metodología del filtro se usó un filtro LCL con resistencia de amortiguamiento en serie (L. León, 2020), como se muestra en la figura 4.

Figura 4.

Filtro LCL.



Para calcular los valores de los elementos del filtro se realizó el siguiente procedimiento utilizando un factor de relajación $D_I = 0,2$:

Para calcular la corriente rms de la red se tiene:

$$I_{rms} = \frac{P_n}{\sqrt{3} \cdot V_{l_{rms}}}$$

Donde P_n es la potencia activa nominal y $V_{l_{rms}}$ es el tensión de línea de la red.

Luego la corriente pico es:

$$I_p = \sqrt{2} \cdot I_{rms}$$

Por lo cual al multiplicar I_p por el D_I se obtiene el rizo de la corriente permitido en el inductor, que se muestra en la siguiente ecuación.

$$I_{rp} = D_I \cdot I_p$$

Ahora se calcula el inductor del lado izquierdo del sistema (L_1) de la siguiente manera.

$$L_1 = \frac{V_{DC}}{2\sqrt{6} * f_{PWM} * I_{rp}}$$

Donde f_{PWM} es la frecuencia de conmutación que será de 10000 [Hz].

Teniendo L_1 se procede a calcular L_g dividiendo por un factor de la siguiente forma.

$$L_g = \frac{L_1}{a}, \text{ donde } a=1$$

Para calcular el valor del capacitor primero se debe hallar la impedancia base de la siguiente forma

$$Zb = \frac{Vl_{rms}^2}{Pn}$$

Obteniendo la Zb se procede a calcular el valor del capacitor como se indica a continuación

$$C_f = \frac{0,05}{\omega * Zb}$$

Donde ω es la frecuencia fundamental de la red 60 [Hz].

Ahora como parte final se debe calcular la resistencia en serie (Rd), pero primero se debe hallar el valor de la frecuencia de resonancia de la siguiente forma.

$$\omega_{res} = \sqrt{\frac{L_1 + L_g}{L_1 * L_g * C_f}}$$

Una vez calculando la frecuencia de resonancia se procede a obtener la resistencia en serie

$$Rd = \frac{1}{3 * \omega_{res} * C_f}$$

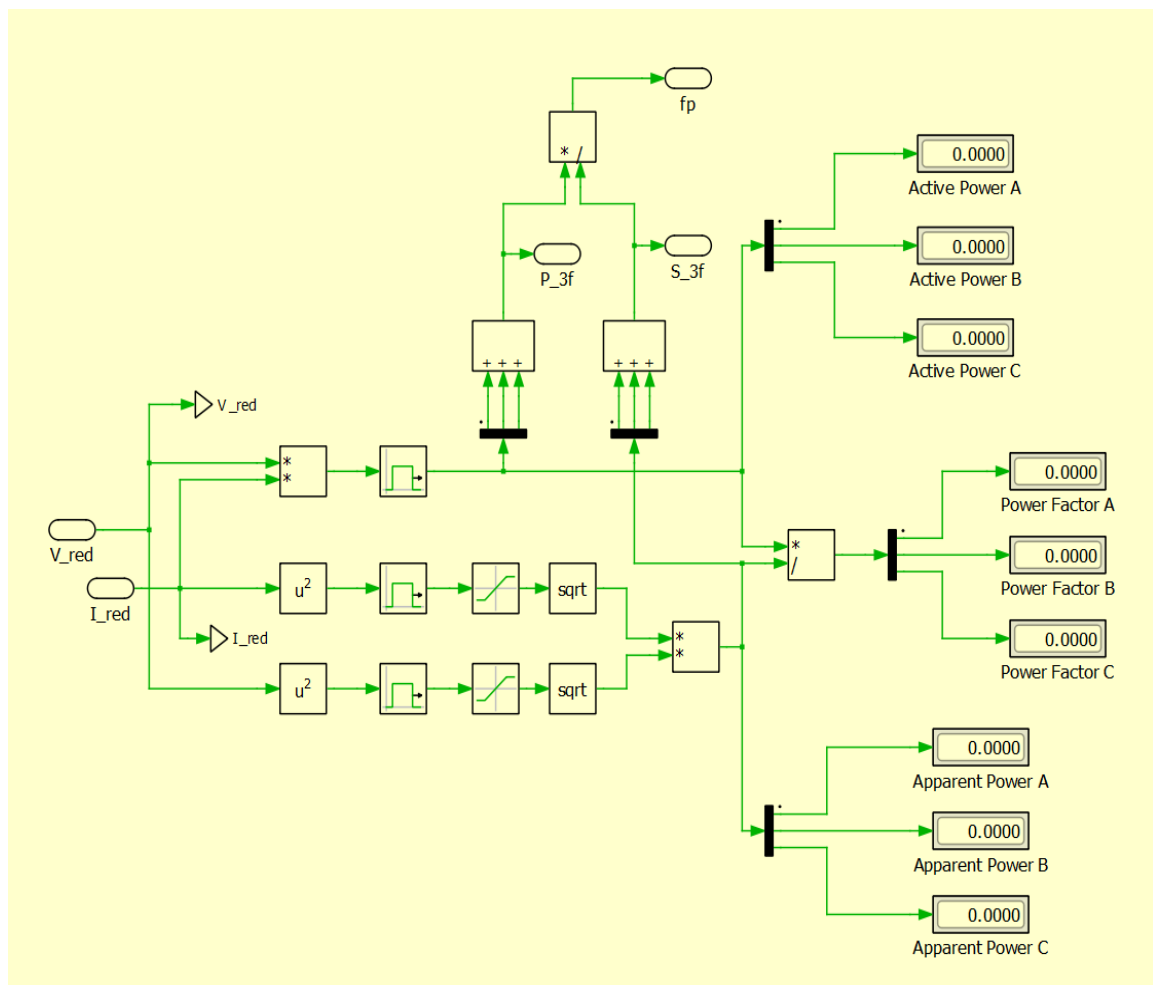
2.4 Analizador de red

El analizador de red es un medidor de potencia trifásico que permite ver los resultados obtenidos del seguimiento de la potencia deseada y el factor de potencia. Los valores de potencia activa y aparente se calculan mediante el tensión de la red y la corriente inyectada, así como también se hace con el factor de potencia.

EL montaje del analizador de red se puede evidenciar en la figura 5.

Figura 5.

Analizador de Red.



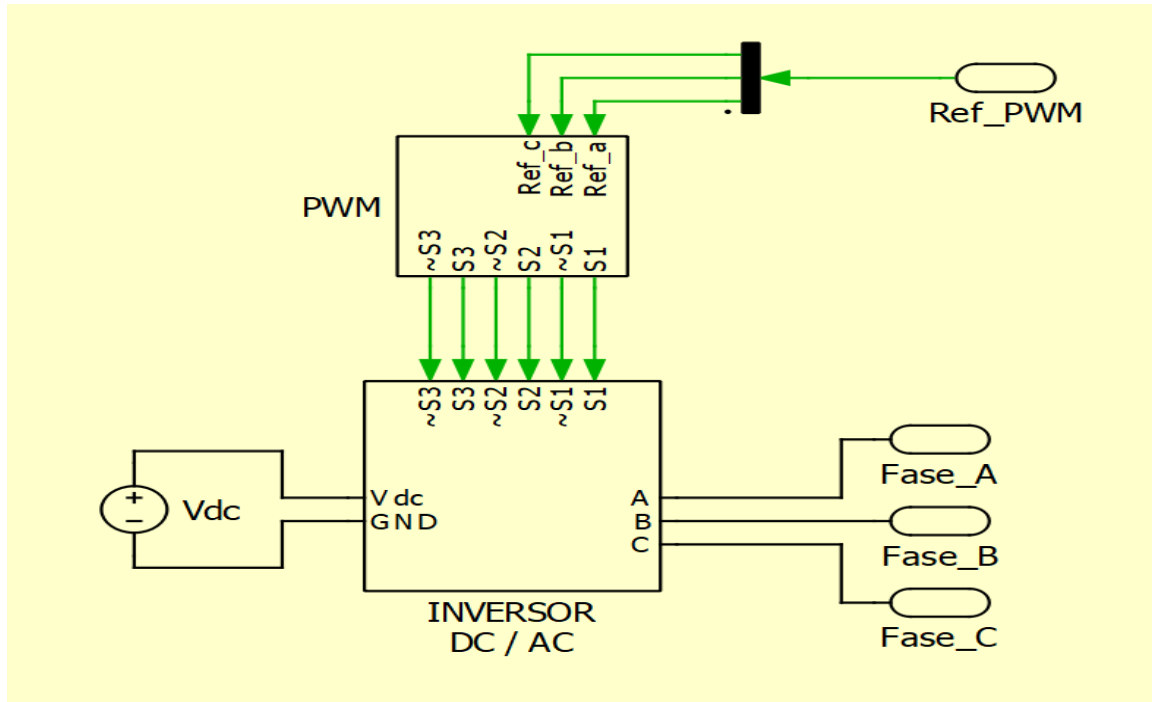
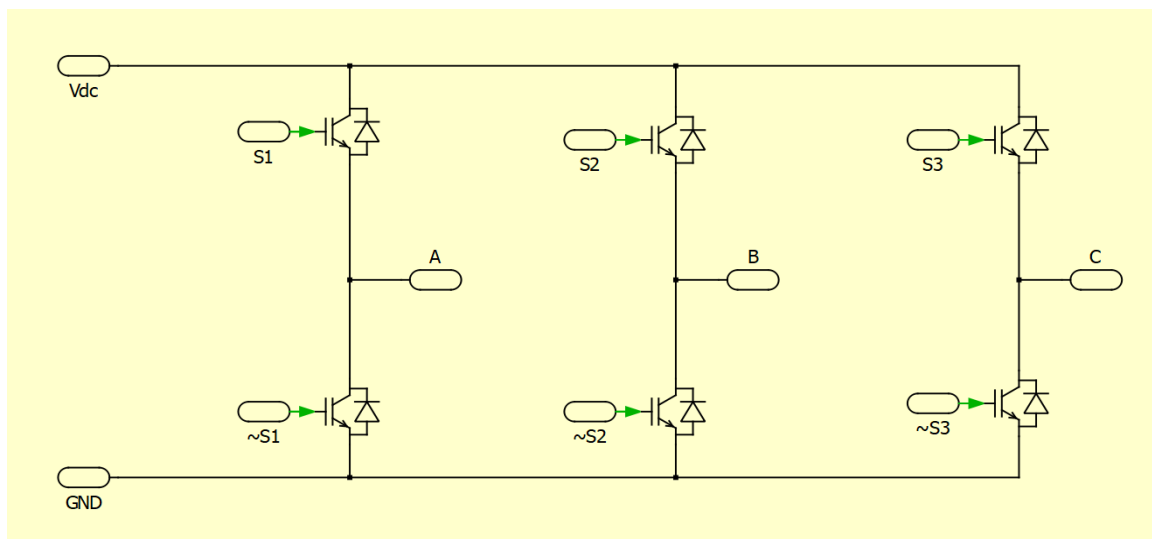
3 Topologías de inversores de conexión a la red

En este trabajo de investigación se seleccionaron dos topologías MMC y la topología de inversor trifásico en puente completo tradicional, con el fin de evidenciar y analizar el control requerido para cada caso y comparar el funcionamiento y desempeño de cada una de las topologías seleccionadas. A continuación, se describen las tres topologías estudiadas junto a su correspondiente controlador PWM.

3.1 Inversor trifásico en puente completo tradicional

3.1.1 Descripción

En la figura 6 se presenta la implementación en el software PLECS del inversor para el caso de la topología trifásica en puente completo tradicional. Este inversor se compone de seis IGBT (*Insulated Gate Bipolar Transistor*) distribuidos en pares sobre tres ramas de las cuales sale la conexión a cada fase como se muestra en la figura 7. Asimismo, en la figura 6 se observa la entrada de la señal PWM la cual genera los pulsos de disparo del inversor que a su vez se alimenta con su respectiva fuente de tensión y brinda las salidas por fase.

Figura 6.*Bloque inversor tradicional.***Figura 7.***Inversor trifásico en puente completo tradicional.*

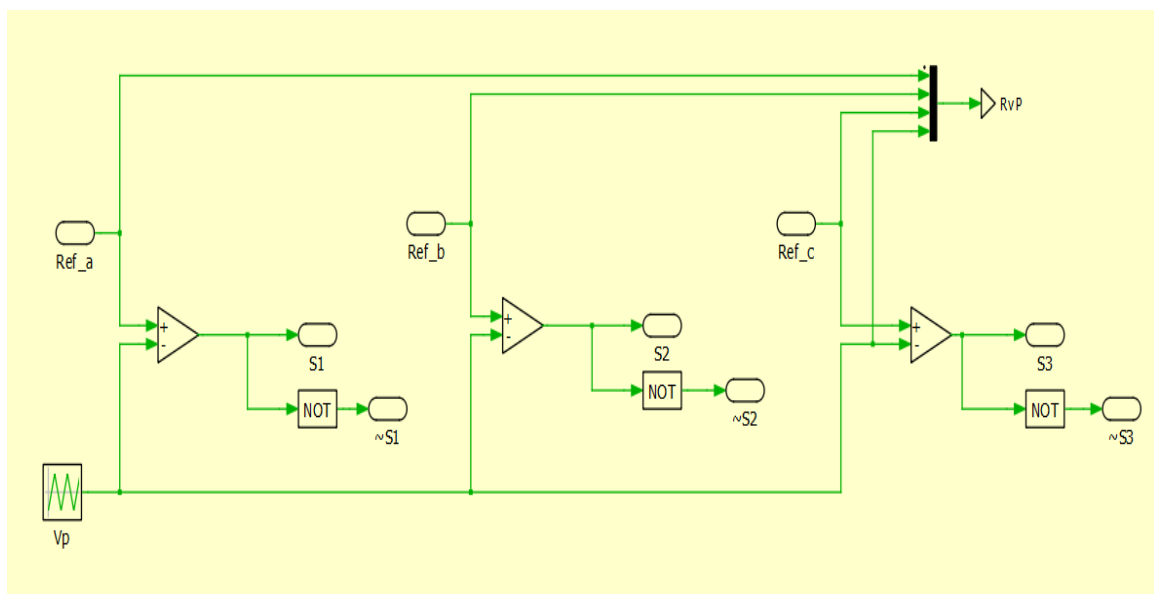
3.1.2 Modulación PWM unipolar

Para el control del inversor tradicional se implementa la modulación PWM unipolar, la cual consiste en comparar tres señales de referencia, una para cada fase, con una señal triangular portadora., Si la señal de referencia es mayor que la portadora, se obtiene una señal de activación para los IGBT en la parte superior de cada rama del inversor, y una señal inversa (señal de desactivación) para los IGBT en la parte inferior de cada rama del inversor. El montaje del bloque PWM que genera los pulsos de disparo se muestra en la figura 8.

Se aclara que, para este sistema, las señales de referencia del modulador PWM son generadas por el bloque control resonante descrito anteriormente.

Figura 8.

Modulación PWM unipolar.



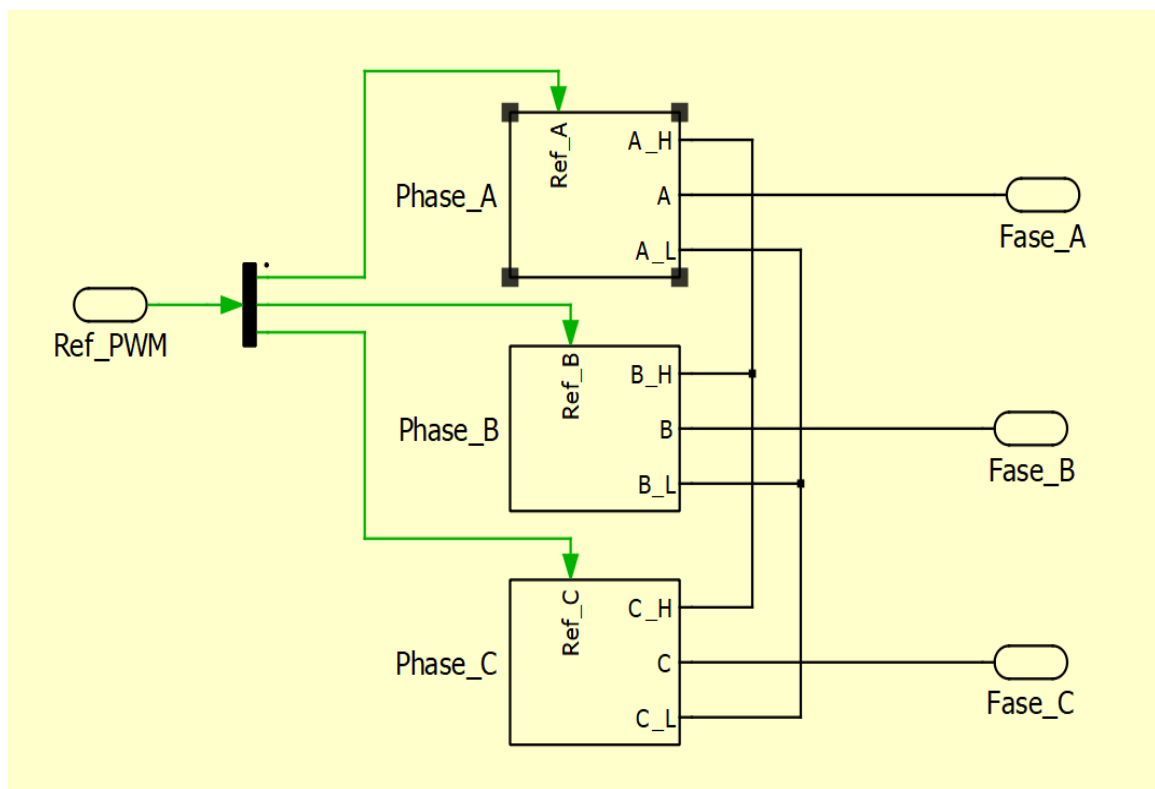
3.2 Inversor MMC con salida en punto medio

3.2.1 Descripción

Para esta configuración (S. Rivera B. W., Modular multilevel converter for large-scale multistring photovoltaic energy conversion system, 2013) se tiene la topología montada por fase a las cuales ingresa la señal de referencia PWM correspondiente mostrada en la figura 9.

Figura 9.

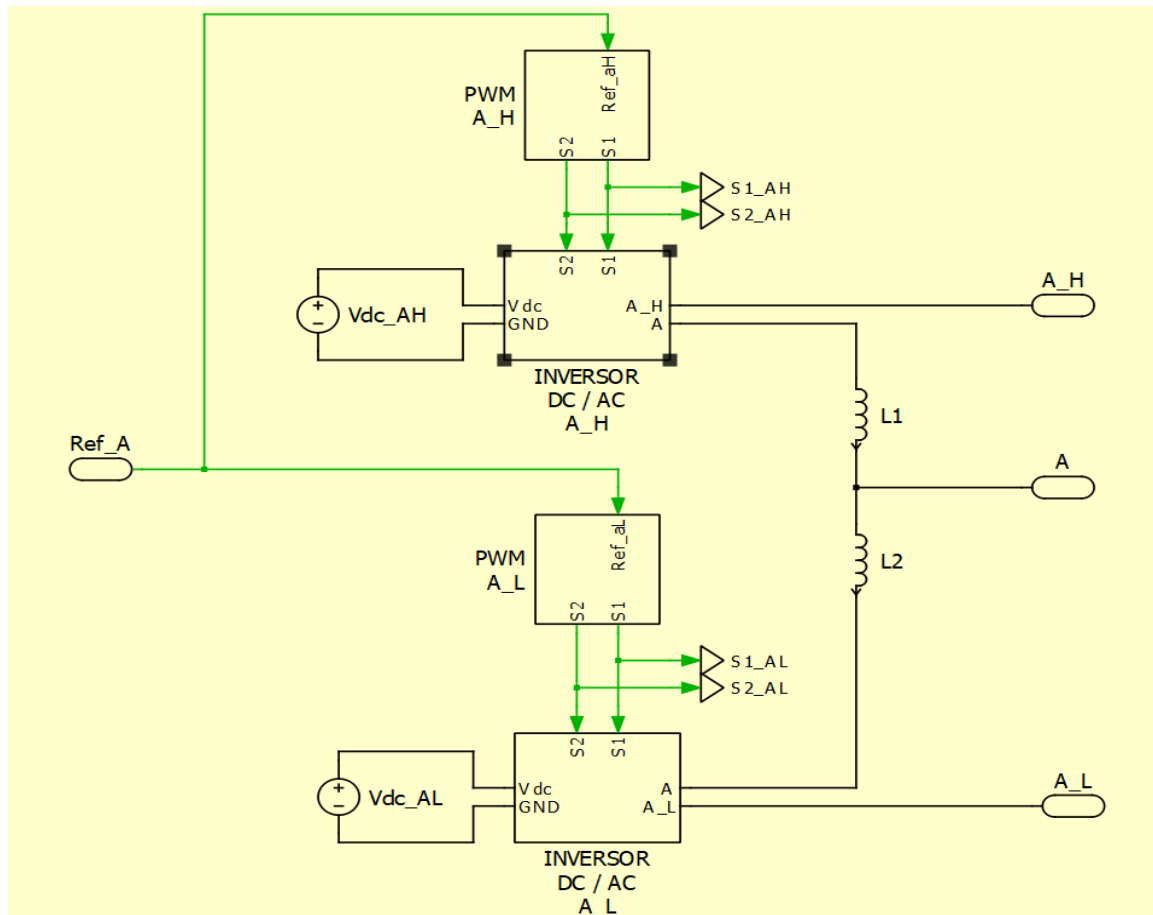
Bloque inversor MMC de punto medio.



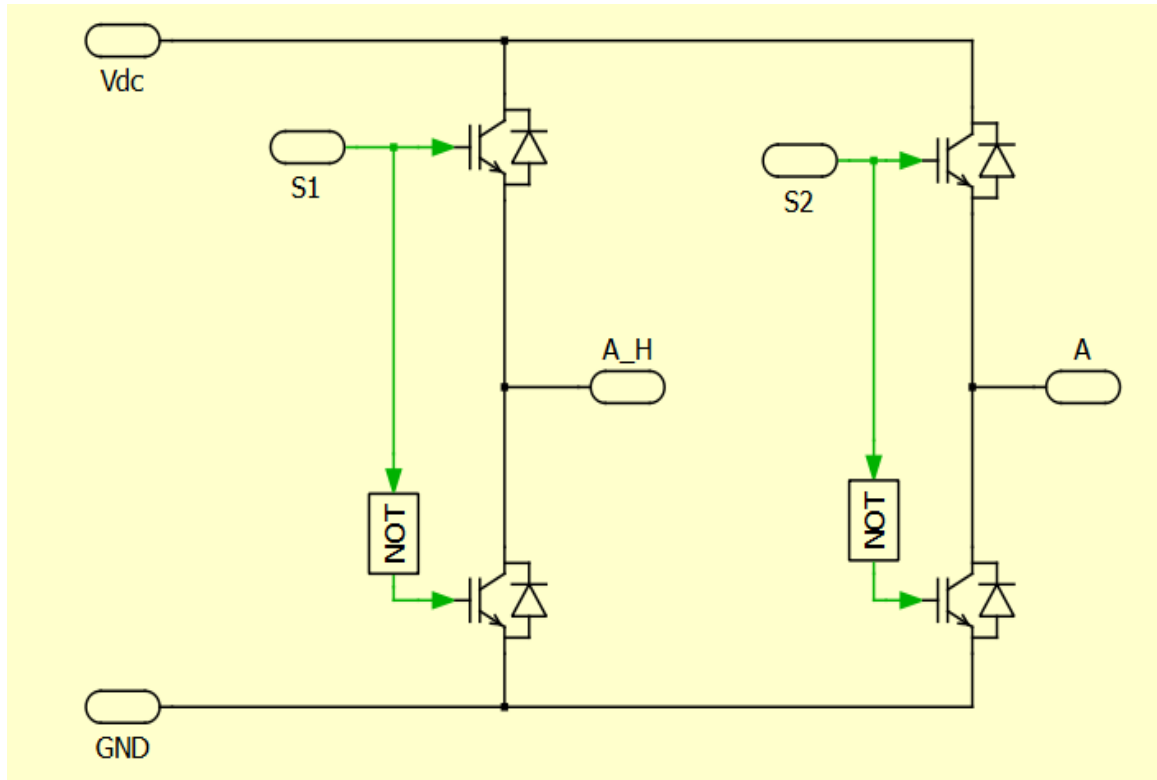
Cada fase de la configuración está compuesta por dos brazos, uno positivo (INVERSOR DC/AC A_H) y otro negativo (INVERSOR DC/AC A_L) mostrado en la figura 10.

Figura 10.

Bloque Phase_A inversor MMC de punto medio.



Cada uno de estos brazos está constituido por un inversor monofásico en puente completo conexión H el cual está conformado por cuatro IGBT que se evidencia en la figura 11. Los brazos son alimentados por dos fuentes del mismo valor, una fuente para cada brazo. La conexión del punto medio se saca de la unión en serie de los dos inversores con una bobina a cada lado (L1 y L2 de igual valor 0.002 [H]) del punto de salida de alimentación del sistema para la red.

Figura 11.*Inversor Monofásico en puente completo.*

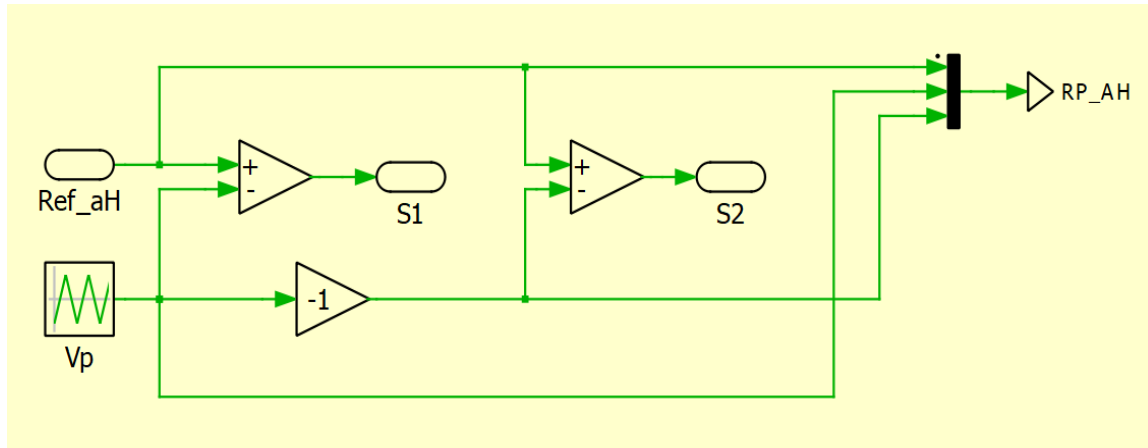
3.2.2 Modulación PS-PWM para MMC de punto medio

Para esta topología el método de modulación implementado es el PS-PWM (*Phase shifted PWM*), que consiste en generar desfases de las señales de referencia y portadora para obtener las señales deseadas (Y. Li, 2016).

Para el inversor del brazo positivo de cada fase se aplica la comparación de la señal de referencia y la portadora para la rama izquierda del inversor obteniendo la señal S1, y se compara la misma referencia contra la portadora desfasada 180° para la rama derecha del inversor obteniendo la señal S2, tal como se muestra en la figura 12.

Figura 12.

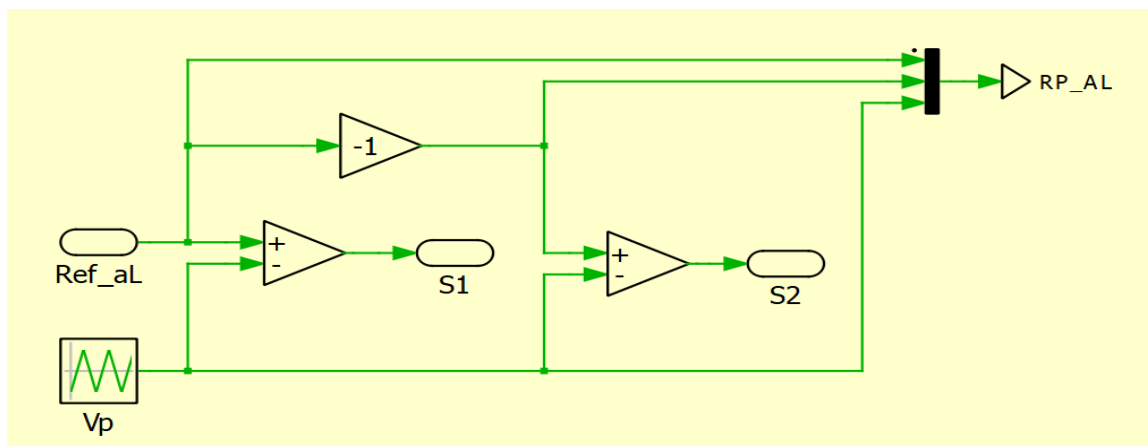
PS-PWM para MMC de punto medio en brazo superior.



Para el inversor del brazo negativo de cada fase se aplica la comparación de la señal de referencia y la portadora para la rama izquierda del inversor obteniendo la señal $S1$, y se compara la señal de referencia desfasada 180° contra la misma señal portadora para la rama derecha del inversor obteniendo la señal $S2$, tal como se muestra en la figura 13.

Figura 13.

PS-PWM para MMC de punto medio en brazo inferior.



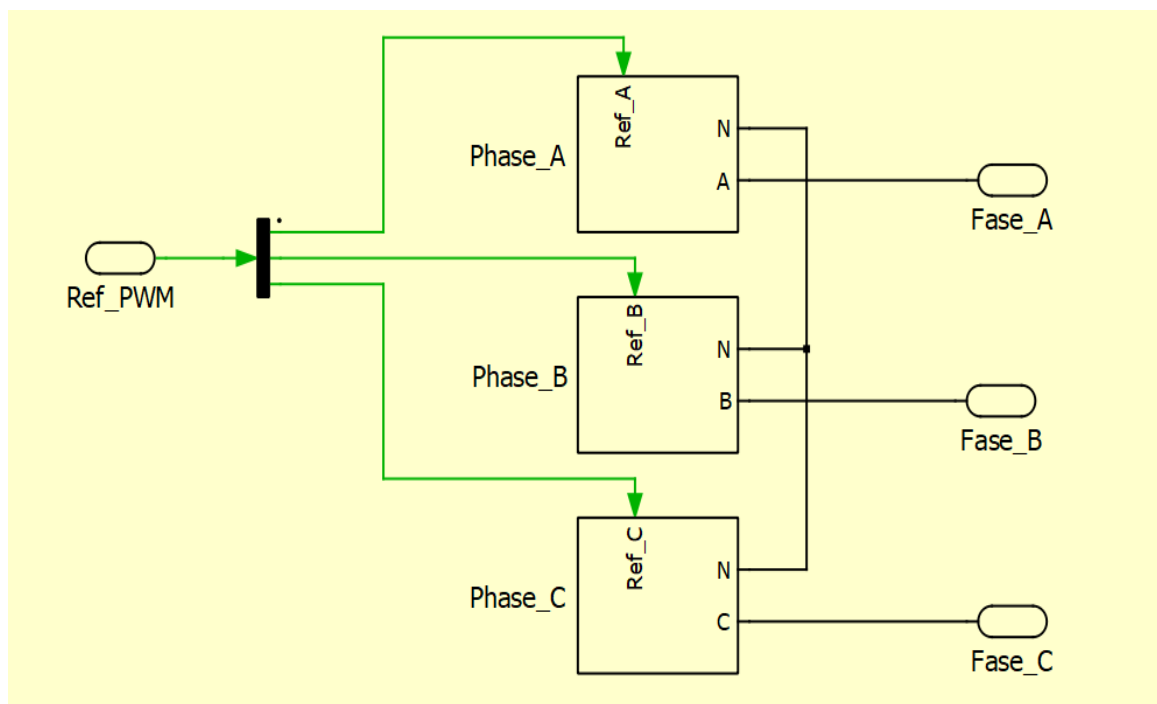
3.3 Inversor MMC con punto neutro

3.3.1 Descripción

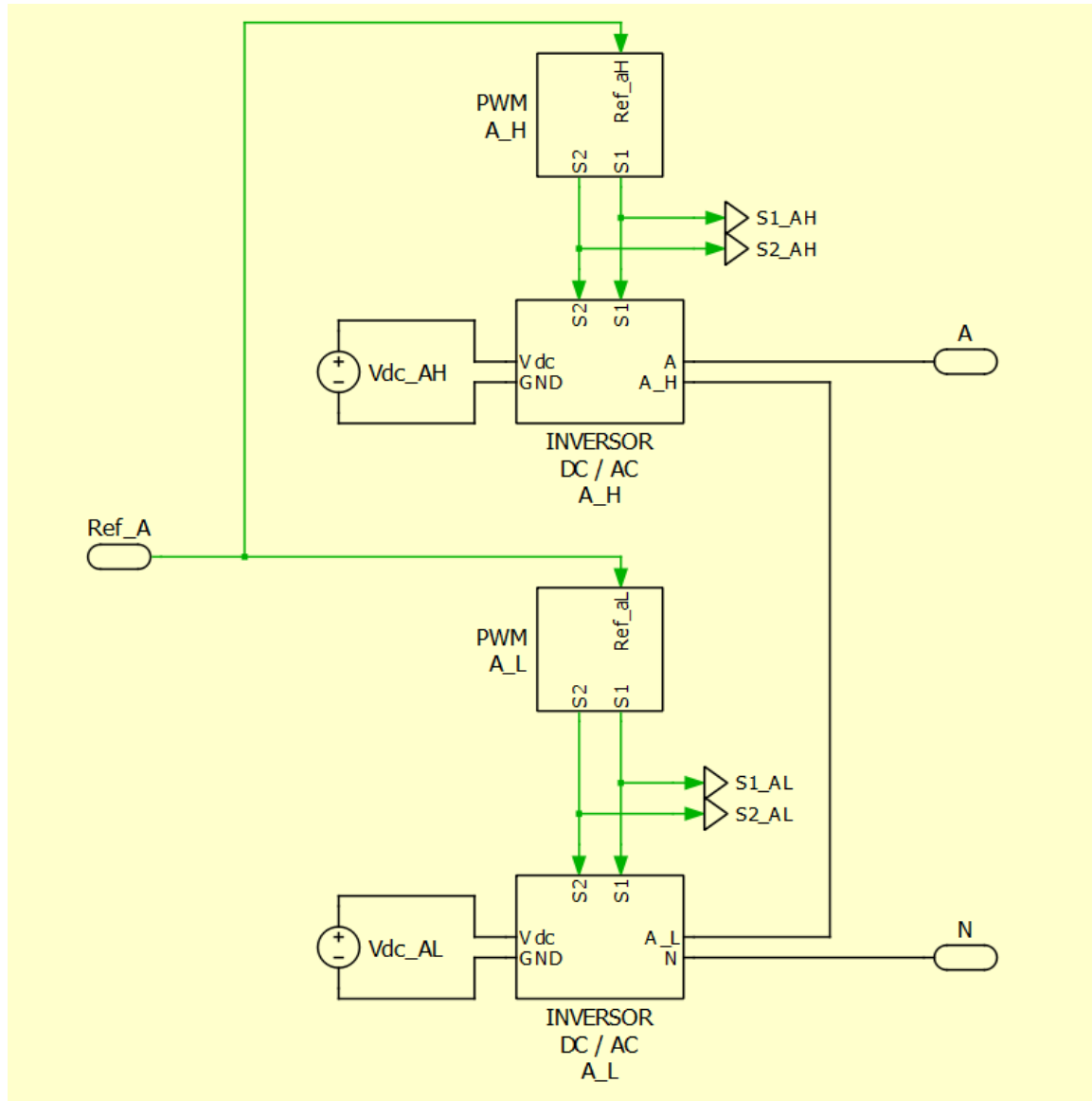
Para esta configuración (S. Rivera S. K., Cascaded H-bridge multilevel converter multistring topology for large scale photovoltaic systems, 2011) se tiene la topología montada por fase a las cuales ingresa la señal de referencia PWM tal como se muestra en la figura 14.

Figura 14.

Bloque inversor MMC con punto neutro.



Cada fase de la configuración está compuesta por dos brazos, uno positivo y otro negativo mostrado en la figura 15.

Figura 15.*Bloque Phase_A inversor MMC con punto neutro.*

Cada uno de estos brazos está constituido por dos sistemas idénticos los cuales vienen alimentados por dos fuentes del mismo valor y luego se conectan a un inversor monofásico en puente completo conexión H, el cual se evidencia en la figura 11, esto ocurre tanto para la parte positiva como

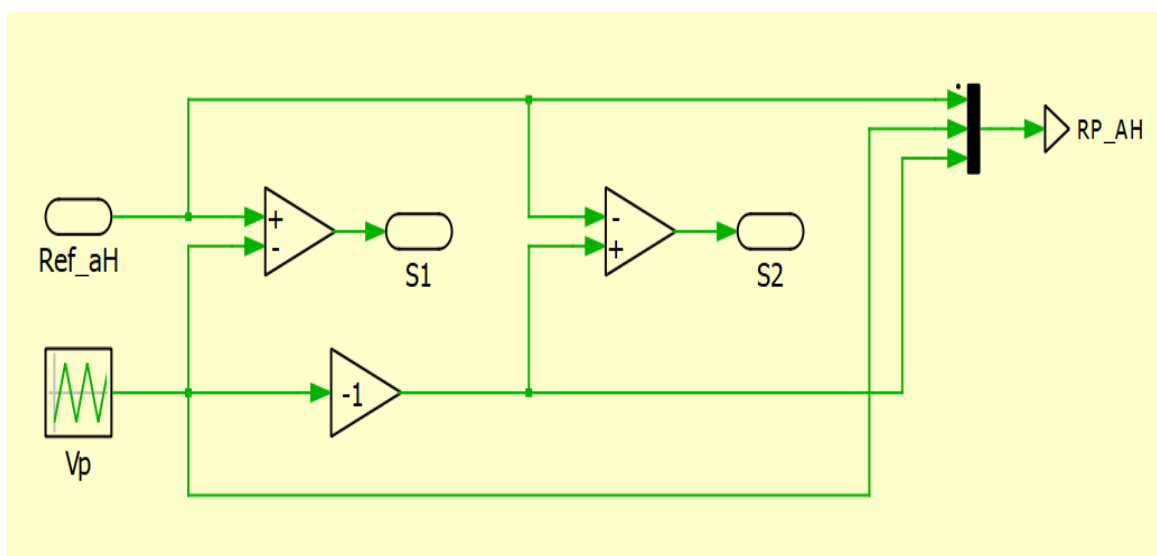
negativa del sistema. A diferencia de la topología MMC con salida en punto medio, para este caso se interconectan los dos inversores en serie de tal forma que el terminal negativo del inversor superior entre al positivo del inversor inferior, de ahí se procede a sacar dos terminales, uno es la fase que sale del terminal positivo del brazo superior y el otro terminal que se saca del lado negativo del brazo inferior y va al punto neutro.

3.3.2 Modulación PS-PWM para MMC con punto neutro

Para esta topología el método PS-PWM implementado consiste en comparar la señal de referencia contra la señal portadora para la rama izquierda del inversor monofásico (obteniendo la señal S1) y compara la señal portadora desfasada 180° contra la misma señal de referencia para la rama derecha del inversor monofásico (obteniendo la señal S2), tal como se muestra en la figura 16. Siendo este procedimiento igual tanto para el brazo superior como para el inferior de cada fase.

Figura 16.

PS-PWM para MMC con punto neutro.



4 Resultados

En este capítulo se muestran los resultados obtenidos tras las simulaciones y su respectivo análisis teniendo en cuenta como objetivo principal el correcto funcionamiento y control del sistema para cada topología seleccionada y cada escenario propuesto. También se especifican los indicadores de desempeño en los cuales se basa el análisis de los resultados.

4.1 Indicadores de desempeño

Para realizar el análisis comparativo de desempeño del sistema para cada una de las topologías implementadas, se describe los indicadores que serán utilizados para evaluar el comportamiento del sistema.

Err%(P) = Error porcentual de Potencia: El error de la potencia obtenida o inyectada, $Pact(S)$, respecto a la potencia deseada, $Pact(T)$, expresado en porcentaje.

$$Err\%(P) = \left[\frac{Pact(T) - Pact(S)}{Pact(T)} \right] \times 100\%$$

Err%(FP) = Error porcentual del Factor de Potencia: El error del factor de potencia obtenido, $Fp(S)$, respecto al factor de potencia deseado, $Fp(T)$, expresado en porcentaje.

$$Err\%(FP) = \left[\frac{Fp(T) - Fp(S)}{Fp(T)} \right] \times 100\%$$

Error = Señal Error: Valor rms de la señal que resulta de restar la corriente de referencia, I_{ref} , con la corriente que sale del inversor, I_{out} , expresada en amperes.

$$Error = RMS(I_{ref} - I_{out})$$

THD [%] = Distorsión Armónica Total: porcentaje del valor eficaz de corrientes armónicas de rangos superiores a 1 en relación con el valor eficaz de la corriente fundamental (primer orden).

La unidad de control calcula la distorsión de la corriente armónica total THD hasta el N-ésimo armónico:

$$THD = \frac{\sqrt{\sum_{n=2}^N I_{nrms}^2}}{I_{1rms}} * 100\%$$

Donde I_{nrms} es el valor rms del n-ésimo armónico de la corriente y I_{1rms} es el valor rms de la corriente fundamental (Electric, 2020).

4.2 Escenarios de simulación

Para cada topología se establecieron tres escenarios de simulación de tal manera que se pueda evidenciar el funcionamiento del control de potencia, haciendo un barrido del factor de potencia tanto en adelante como en atraso. También se estableció un escenario en el cual ocurre un cambio de potencia y un cambio de factor de potencia en determinado momento de la simulación.

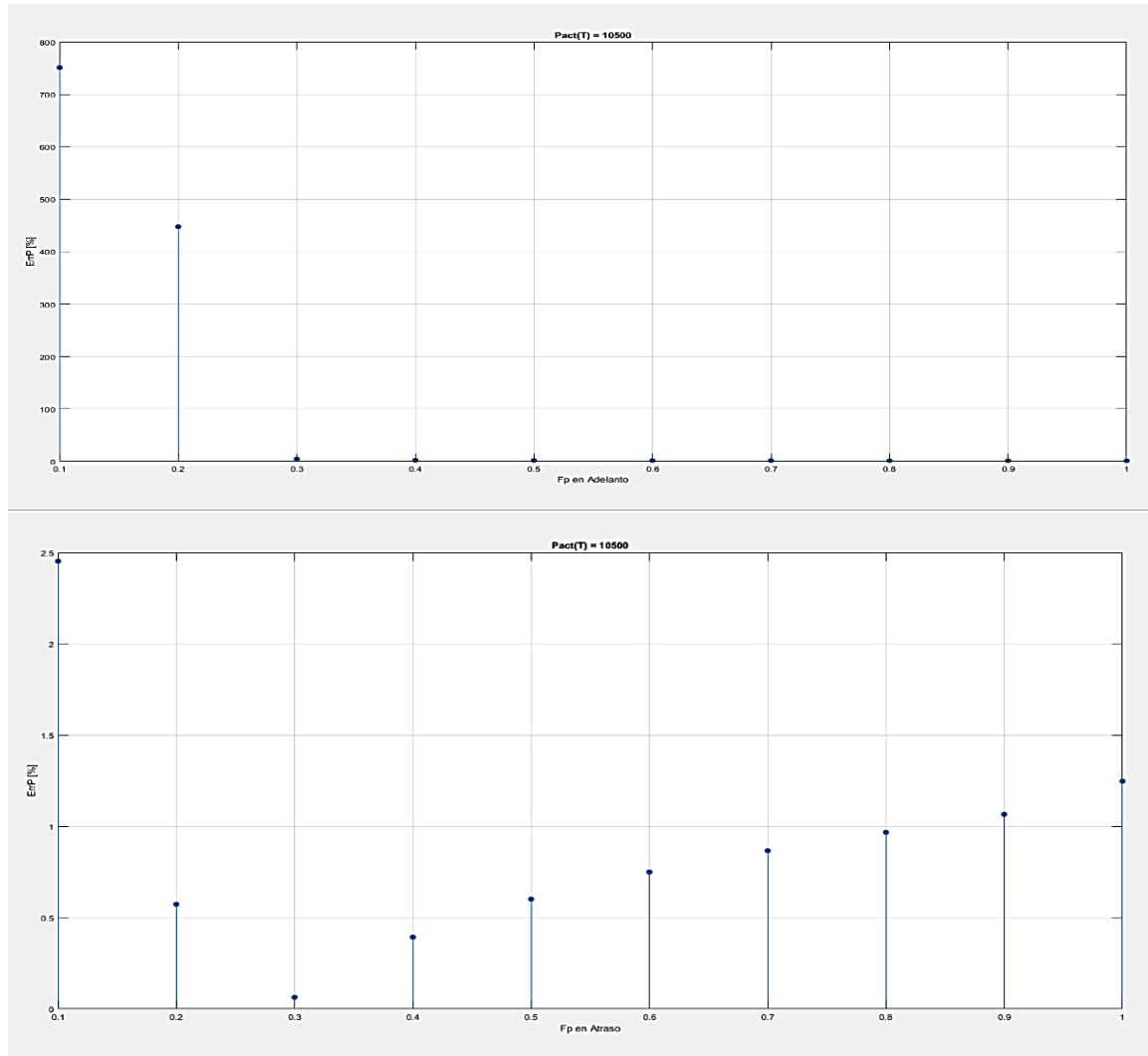
Para los casos en los que el seguimiento no se realizó correctamente, cuyos resultados evidencian errores muy elevados, se realizó un cambio de los parámetros V_{dc} y D_I para garantizar el seguimiento de la señal y se tomaron ciertos valores significativos del factor de potencia al momento de simular.

4.2.1 Potencia nominal

Para este caso se mantuvo la potencia al valor nominal para cada topología obteniendo así los siguientes resultados (un mayor detalle se presenta en el apéndice A, donde se muestra la tabla de datos de resultados y las gráficas de cada uno de los indicadores de desempeño, también se muestra un acercamiento de las gráficas que presentan valores significativamente altos a comparación del resto para poder apreciar los valores de menor valor):

Figura 17.

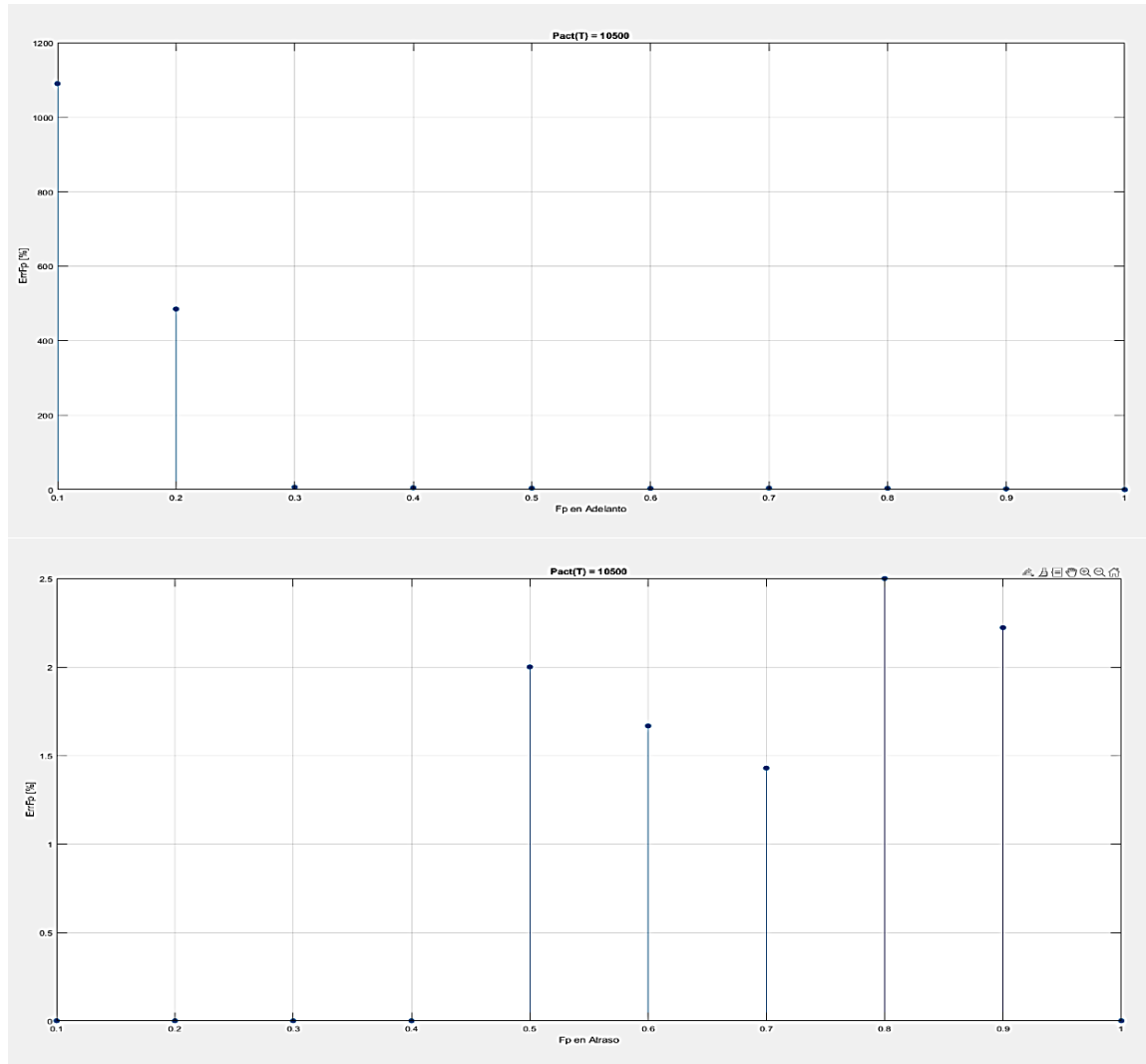
Error de potencia activa a potencia nominal para inversor tradicional.



Se puede evidenciar que para un factor de potencia de 0.1 y 0.2 en adelante a potencia nominal el sistema no logra el control de potencia activa obteniendo un error porcentual muy elevado, mientras que a cualquier factor de potencia en atraso se logra el control de potencia activa.

Figura 18.

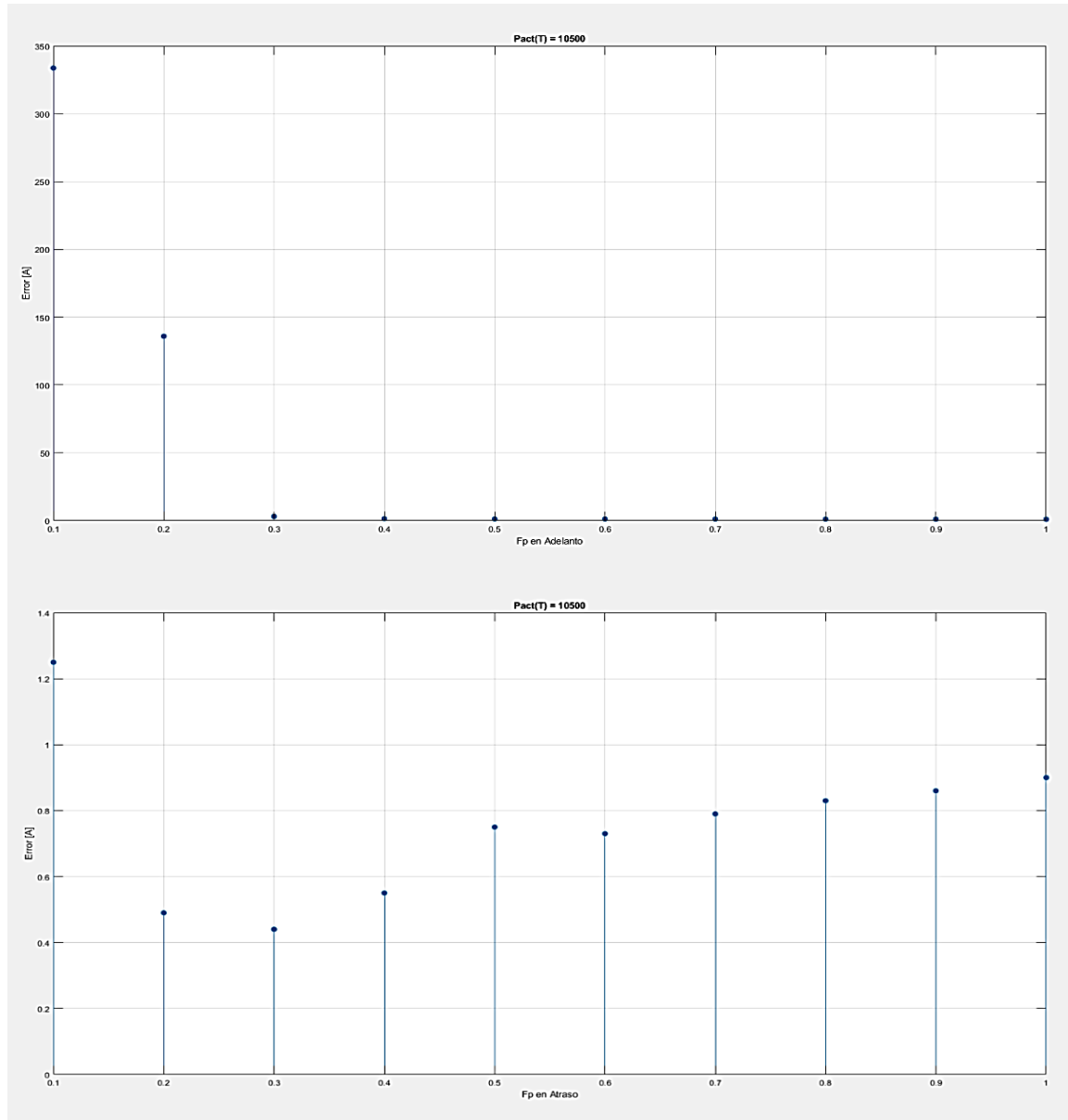
Error de F_p a potencia nominal para inversor tradicional.



Se puede evidenciar que para un factor de potencia de 0.1 y 0.2 en adelanto a potencia nominal el sistema no logra acercarse al valor de factor de potencia deseado presentando así un error porcentual del F_p muy elevado, mientras que para un factor de potencia menor a 0.5 en atraso se observa que se obtiene el factor de potencia deseado con un error del cero por ciento.

Figura 19.

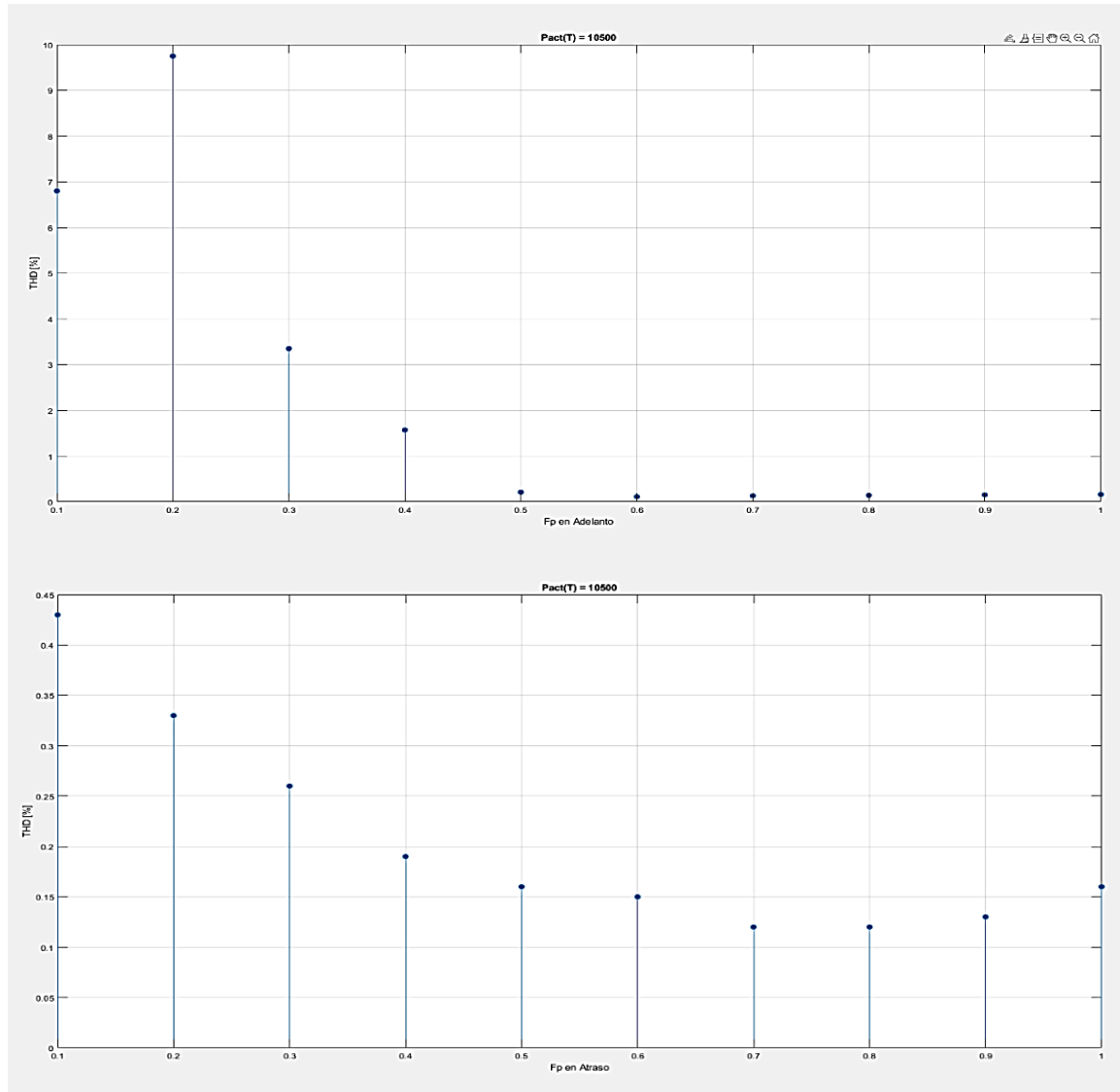
Señal error a potencia nominal para inversor tradicional.



Se puede evidenciar que para un factor de potencia de 0.1 y 0.2 en adelante a potencia nominal el sistema no logra el seguimiento de la señal de corriente obteniendo un valor de la señal error muy elevado.

Figura 20.

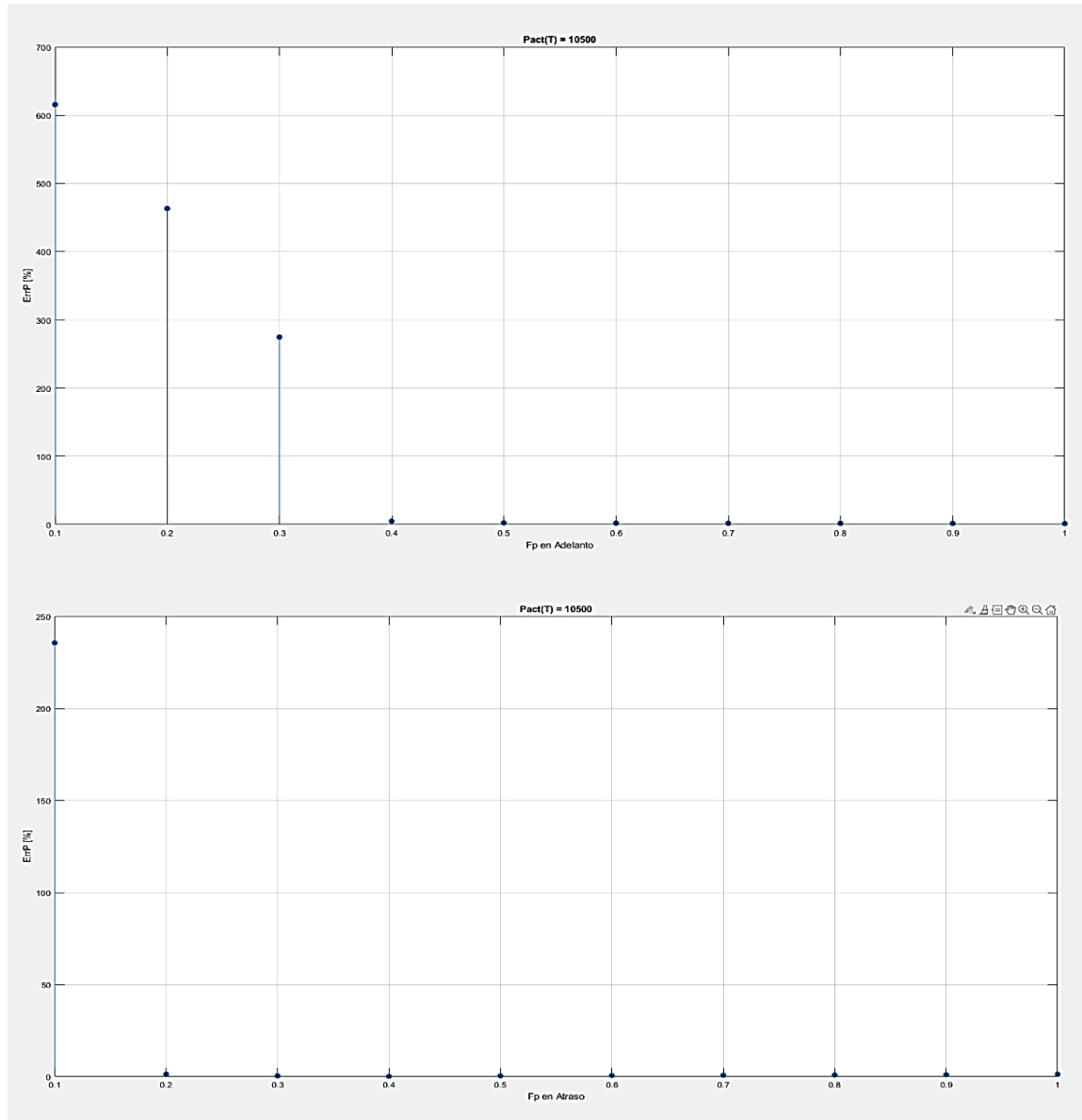
THD a potencia nominal para inversor tradicional.



Para un factor de potencia de 0.5 en adelante hasta 1 se observa un THD de menos del 0.3% al igual que para cualquier valor de factor de potencia en atraso se obtiene un THD menor al 0.5%.

Figura 21.

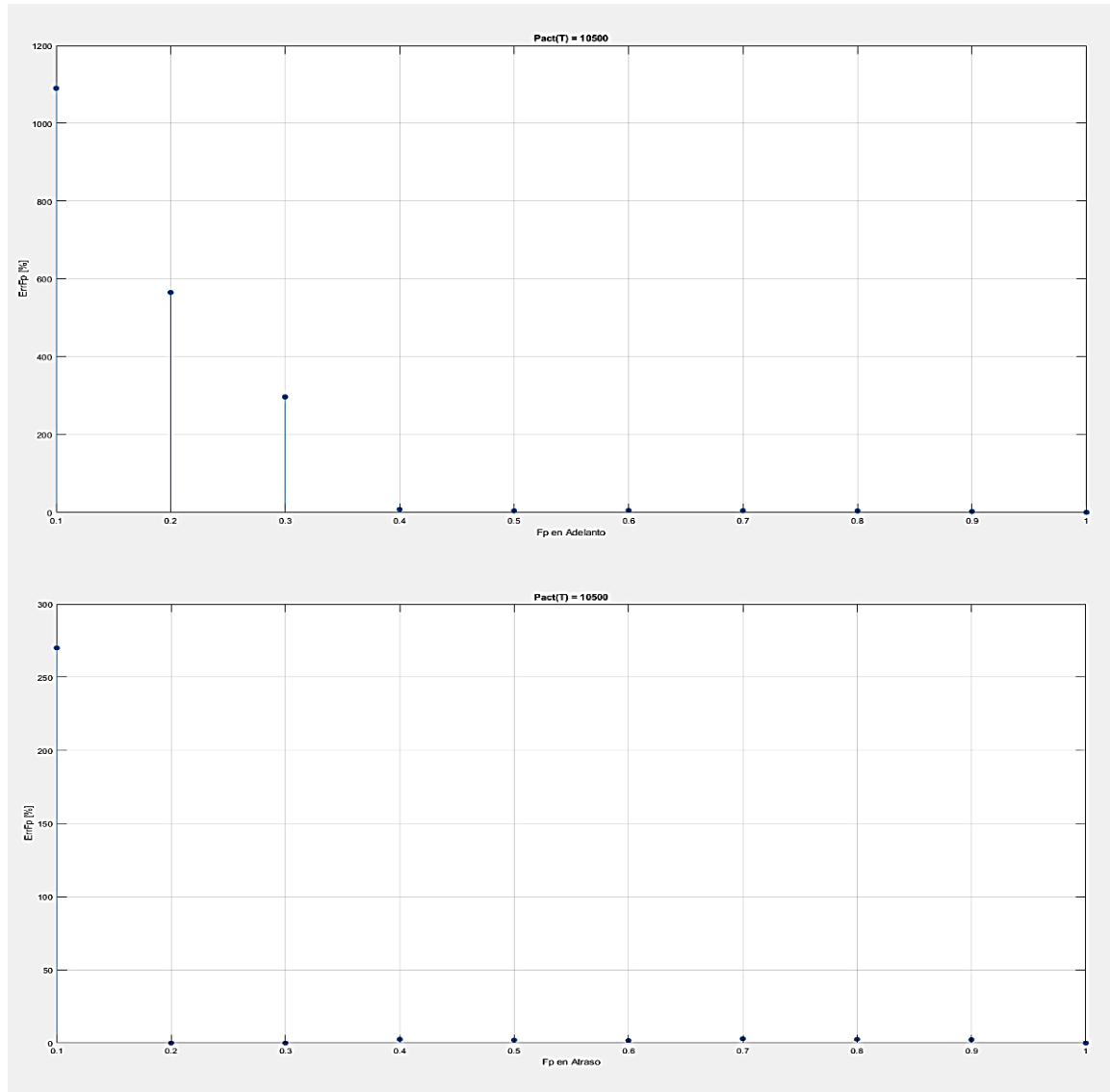
Error de potencia activa a potencia nominal para inversor MMC de punto medio.



Se puede evidenciar que para un factor de potencia de 0.1, 0.2 y 0.3 en adelante y un factor de potencia de 0.1 en atraso a potencia nominal el sistema no logra el control de potencia activa obteniendo un error porcentual muy elevado. En comparación con la topología anterior, inversor tradicional, esto presenta una desventaja ya que limita aún más el escenario de operación.

Figura 22.

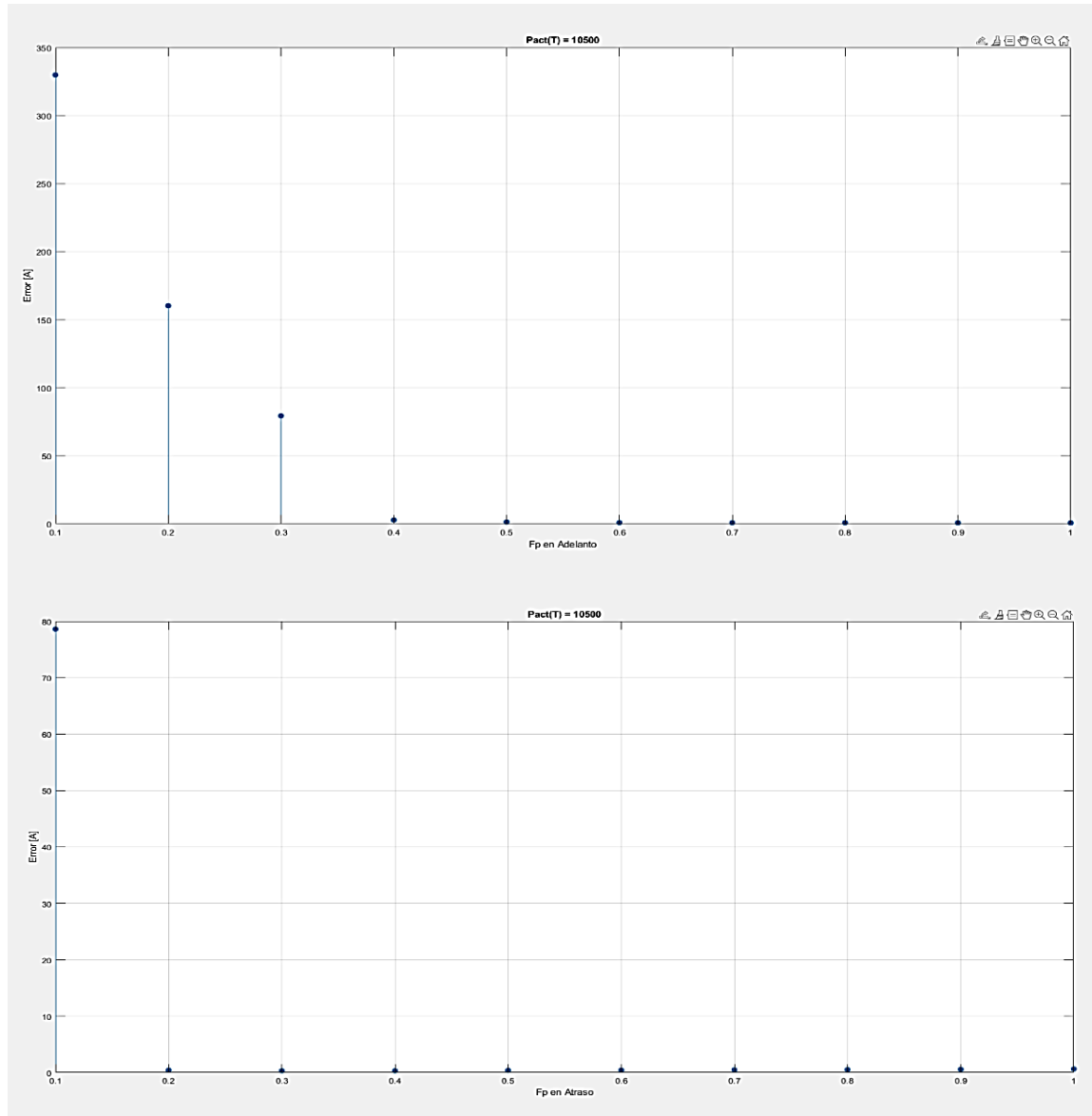
Error de F_p a potencia nominal para inversor MMC de punto medio.



Se puede evidenciar que para un factor de potencia de 0.1, 0.2 y 0.3 en adelanto y un factor de potencia de 0.1 en atraso a potencia nominal el sistema no logra acercarse al valor de factor de potencia deseado presentando así un error porcentual del F_p muy elevado.

Figura 23.

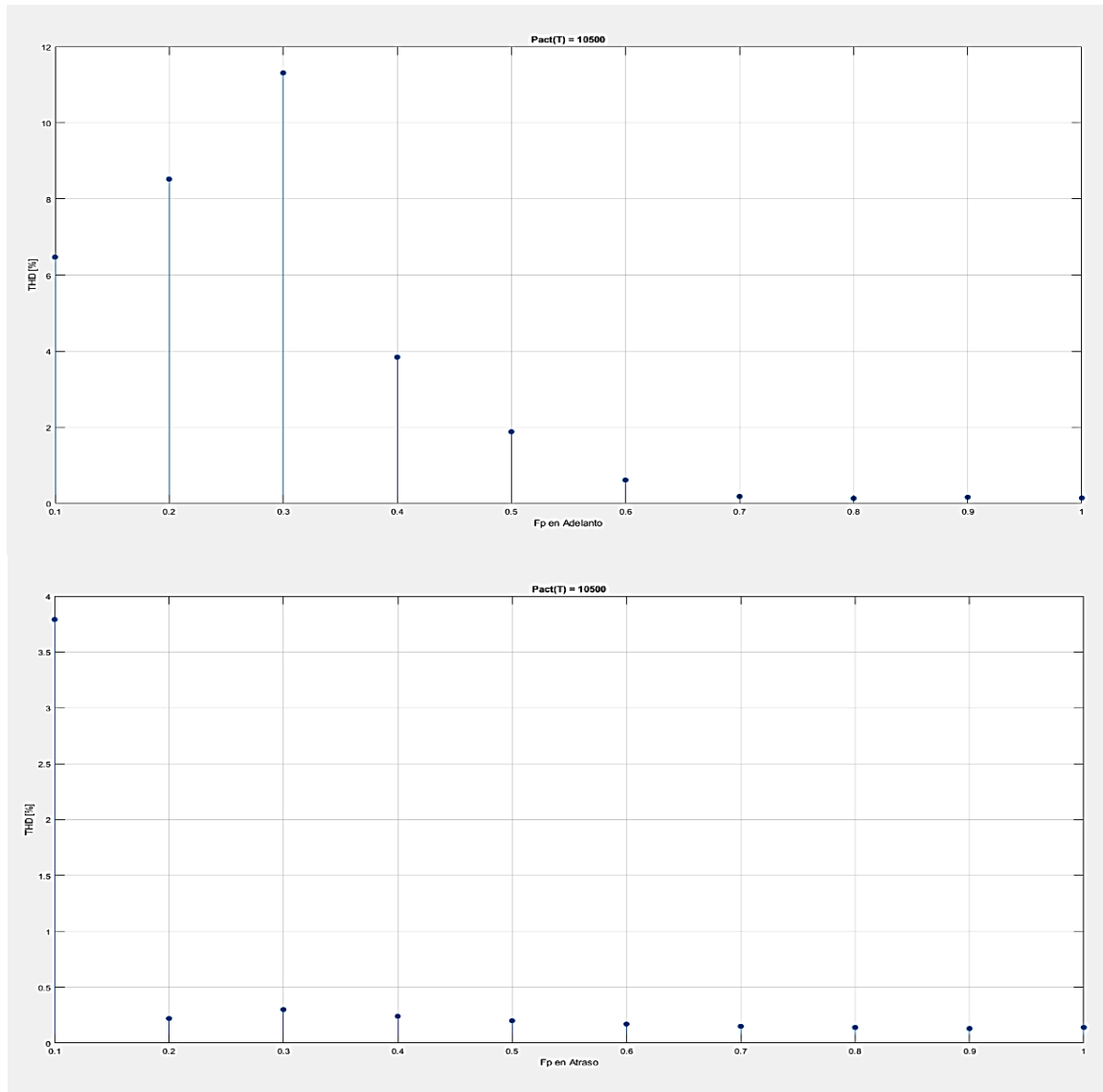
Señal error a potencia nominal para inversor MMC de punto medio.



Se puede evidenciar que para un factor de potencia de 0.1, 0.2 y 0.3 en adelante y un factor de potencia de 0.1 en atraso a potencia nominal el sistema no logra el seguimiento de la señal de corriente obteniendo un valor de la señal error muy elevado.

Figura 24.

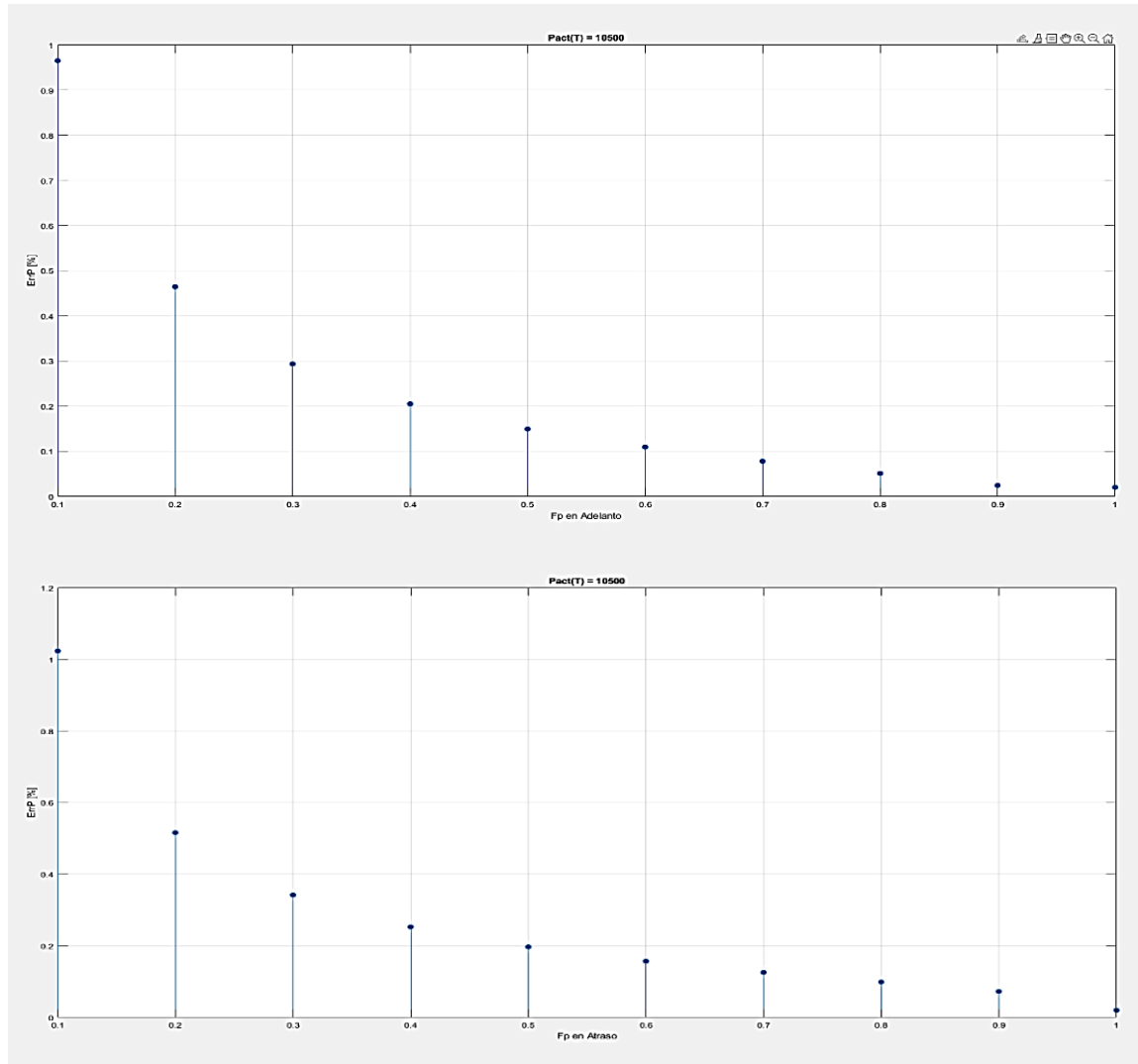
THD a potencia nominal para inversor MMC de punto medio.



Para un factor de potencia de 0.5 en adelante hasta 1 se observa un THD de menos del 2% al igual que para cualquier valor superior a 0.1 (cuyo caso no supera el 4%, siendo un buen resultado) de factor de potencia en atraso se obtiene un THD menor al 0.5%.

Figura 25.

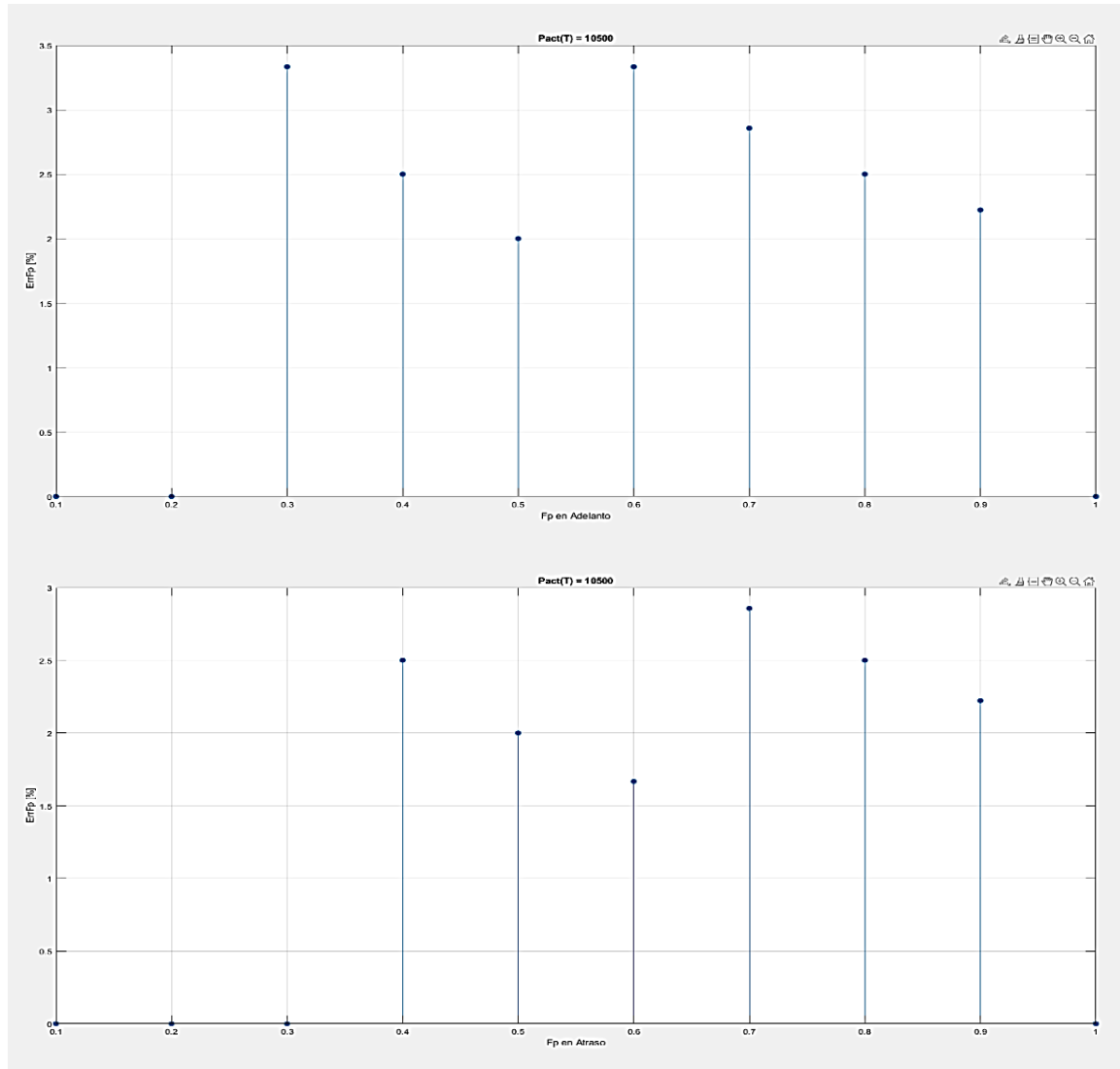
Error de potencia activa a potencia nominal para inversor MMC con punto neutro.



Se puede evidenciar que para cualquier valor de factor de potencia tanto en adelanto como en atraso el sistema logra el control de potencia activa obteniendo un error porcentual menor al 1.2% en sus valores máximos. En comparación con las topologías anteriores, inversor tradicional e inversor MMC de punto medio, esto presenta una gran ventaja ya que no limita el escenario de operación y brinda muy buenos resultados.

Figura 26.

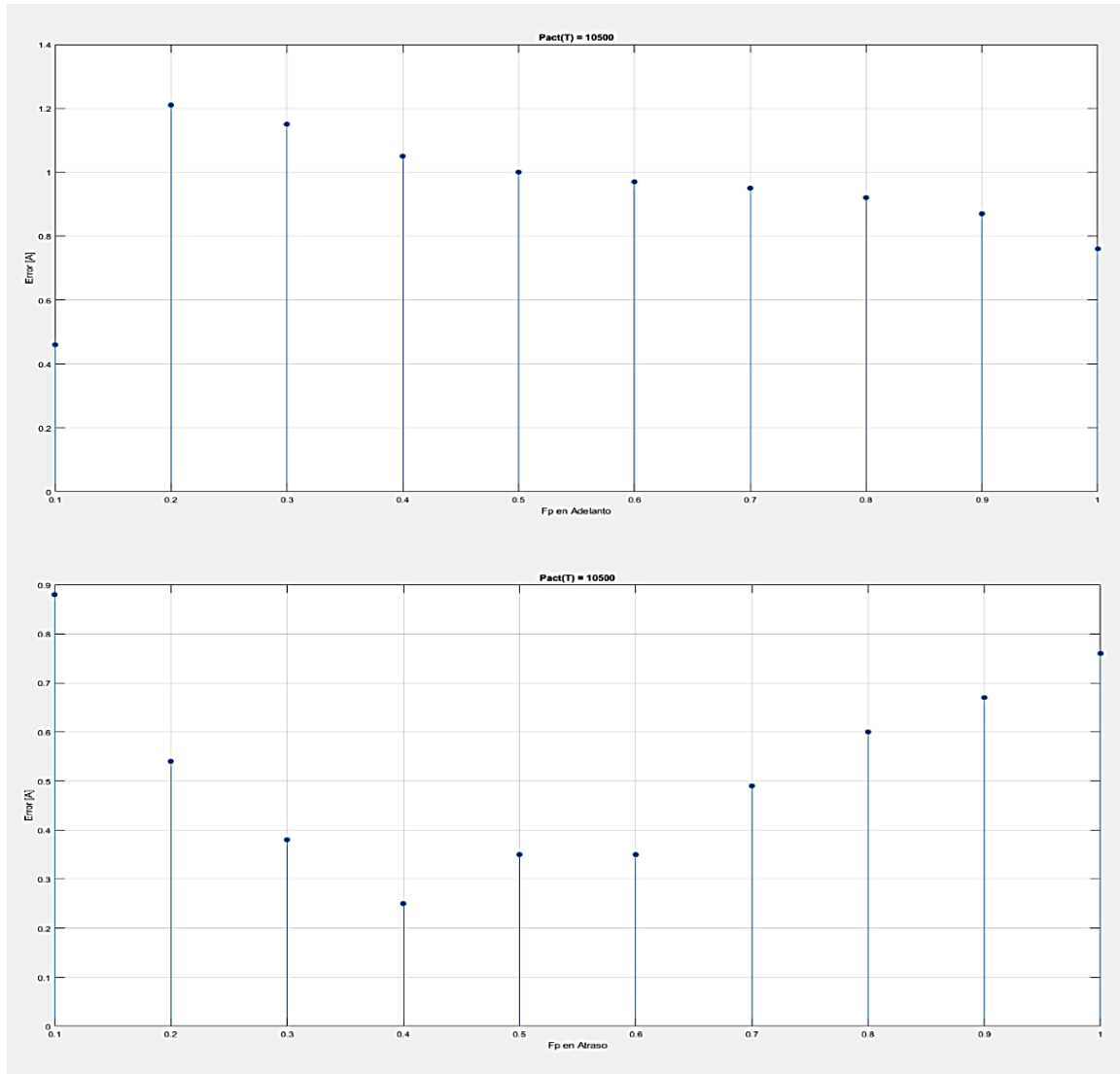
Error de Fp a potencia nominal para inversor MMC con punto neutro.



Se puede evidenciar que para esta topología el sistema logra mantenerse en valores muy cercanos al factor de potencia deseado presentando así un error porcentual del Fp menor del 3.5% para cualquier escenario.

Figura 27.

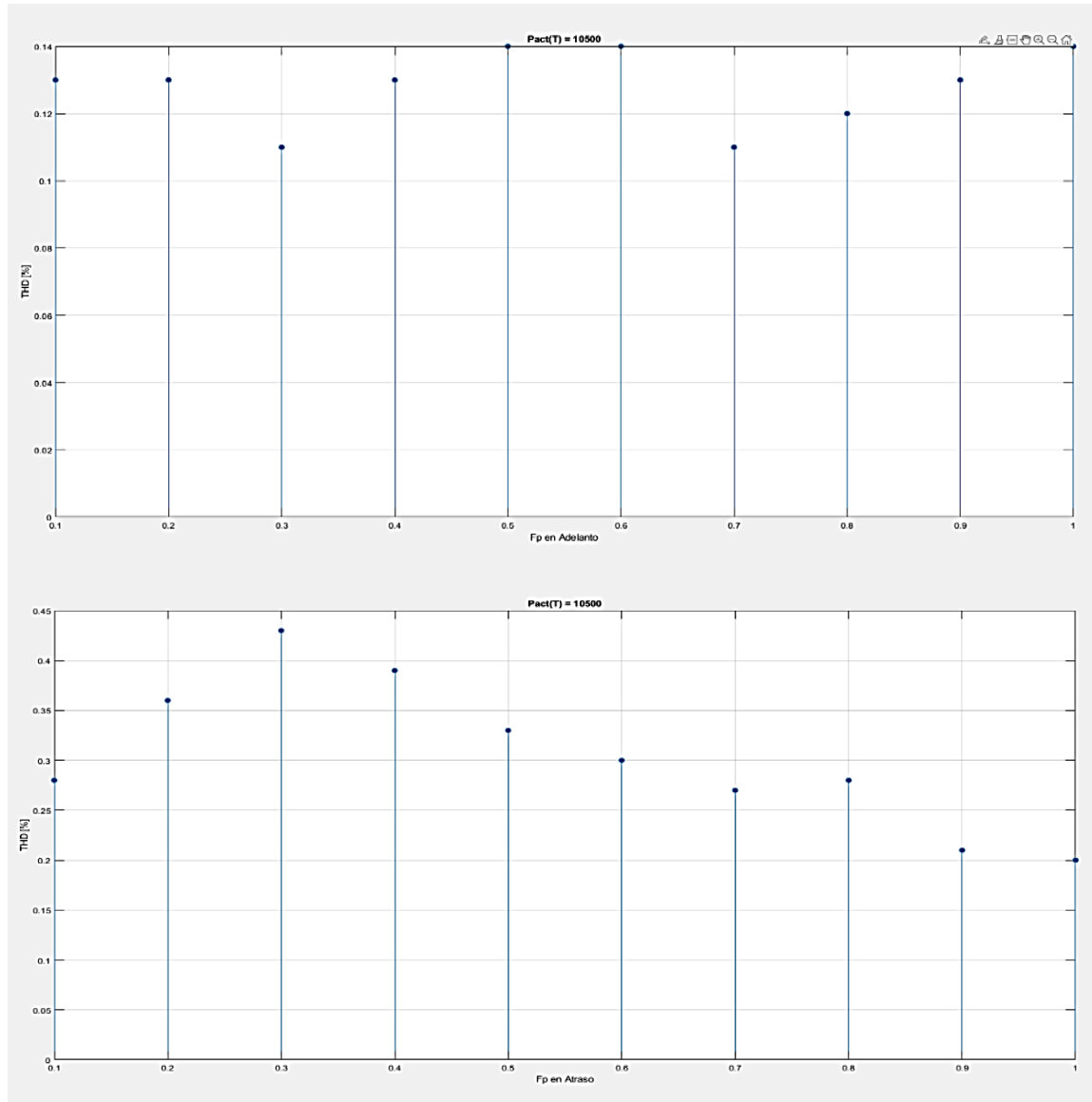
Señal error a potencia nominal para inversor MMC con punto neutro.



Se puede evidenciar que para cualquier valor de factor de potencia tanto en adelanto como en atraso a potencia nominal el sistema logra el seguimiento de la señal de corriente obteniendo un valor de la señal error por debajo de 1.4 A, en su caso más desfavorable.

Figura 28.

THD a potencia nominal para inversor MMC con punto neutro.



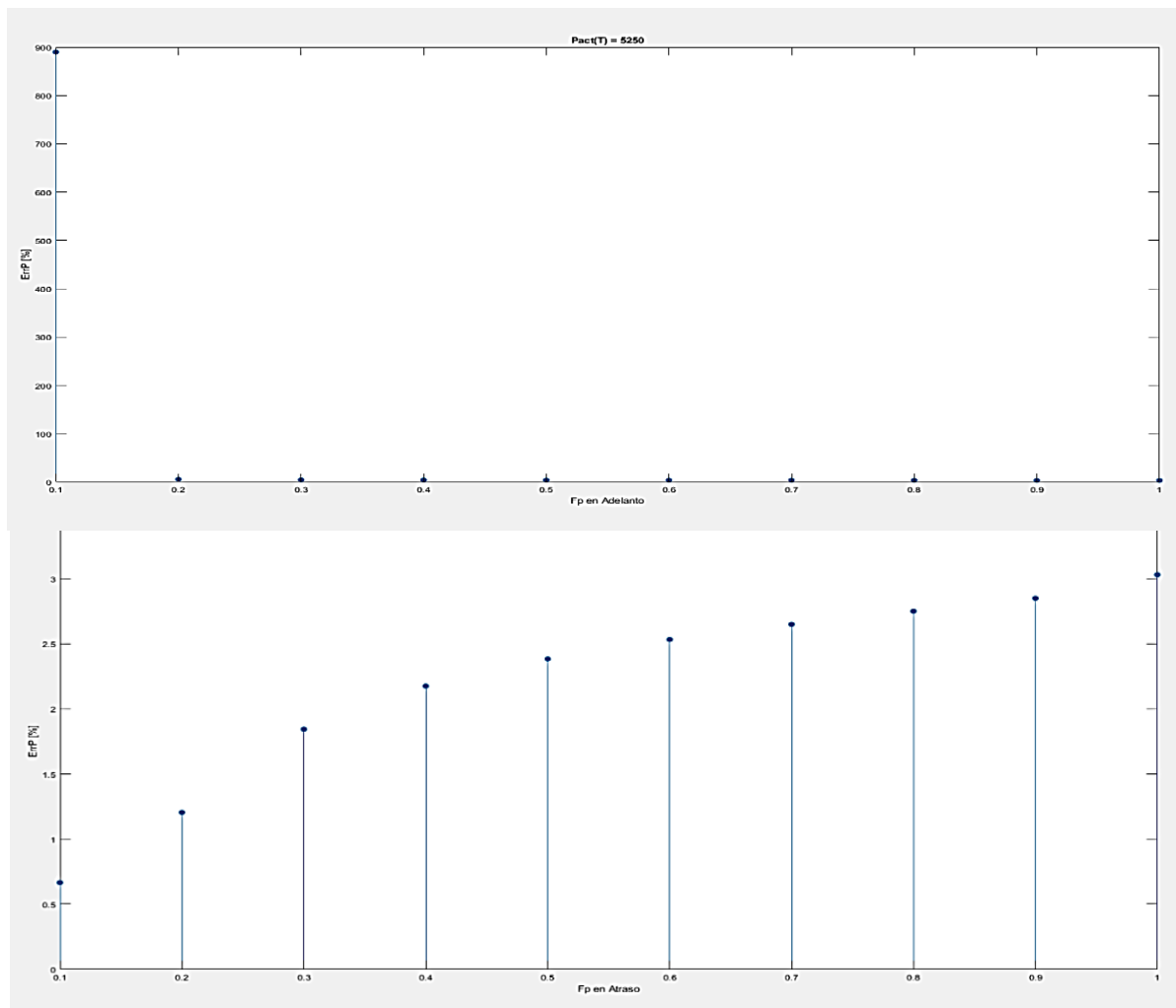
Para el uso de esta topología se observa un THD de menos de 0.45% para cualquier valor de factor de potencia tanto en adelanto como en atraso.

4.2.2 Potencia media

Para este caso se mantuvo la potencia al 50% de la nominal para cada topología obteniendo así los siguientes resultados (un mayor detalle se presenta en el apéndice B, donde se muestra la tabla de datos de resultados y las gráficas de cada uno de los indicadores de desempeño, también se muestra un acercamiento de las gráficas que presentan valores significativamente altos a comparación del resto):

Figura 29.

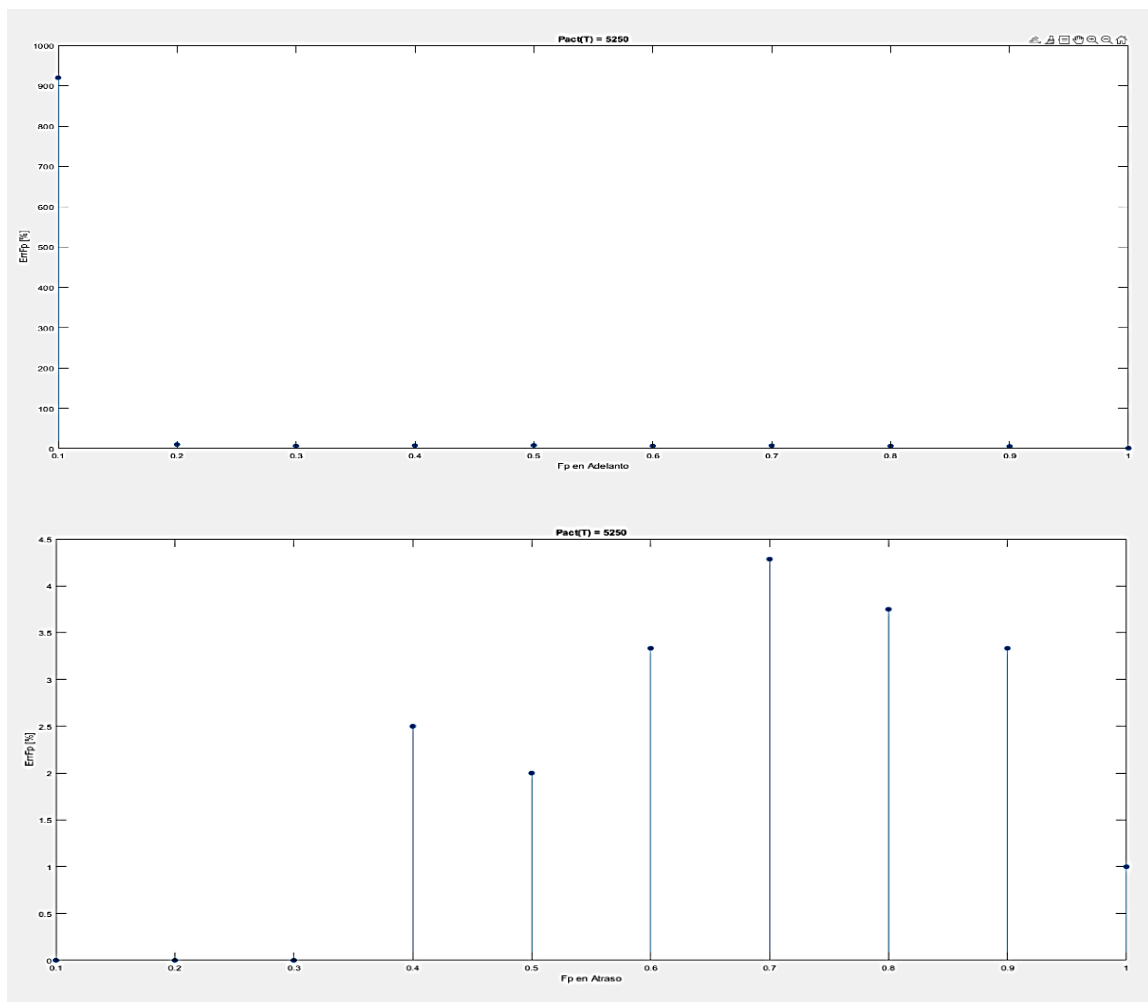
Error de potencia activa a potencia media para inversor tradicional.



Se puede evidenciar que para un factor de potencia de 0.1 en adelante a potencia media el sistema no logra el control de potencia activa obteniendo un error porcentual muy elevado, siendo este el único valor de F_p ante el cual el sistema se ve limitado.

Figura 30.

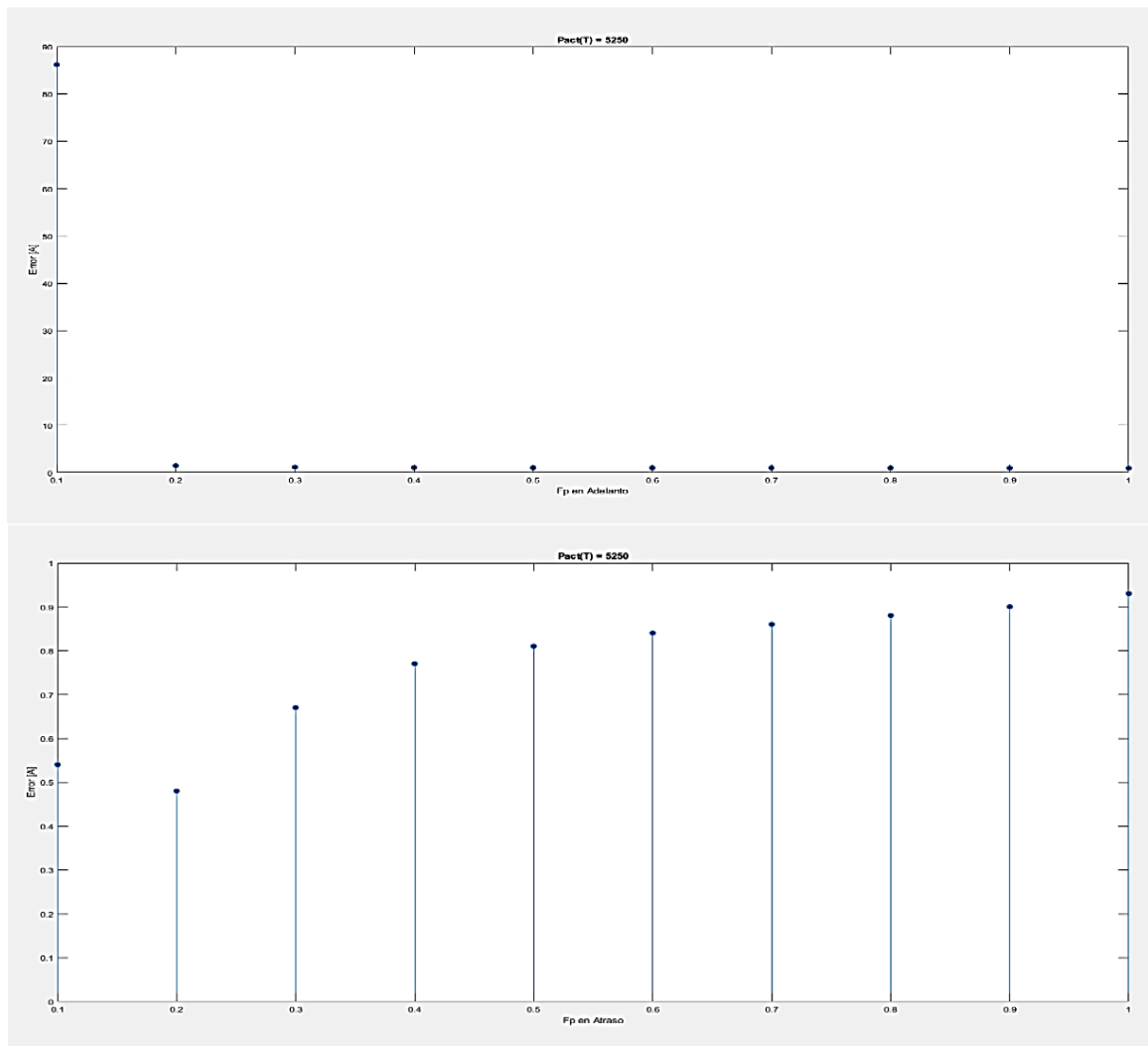
Error de F_p a potencia media para inversor tradicional.



Se puede evidenciar que a factor de potencia de 0.1 en adelante a potencia media el sistema no logra acercarse al valor de factor de potencia deseado presentando así un error porcentual del F_p muy elevado.

Figura 31.

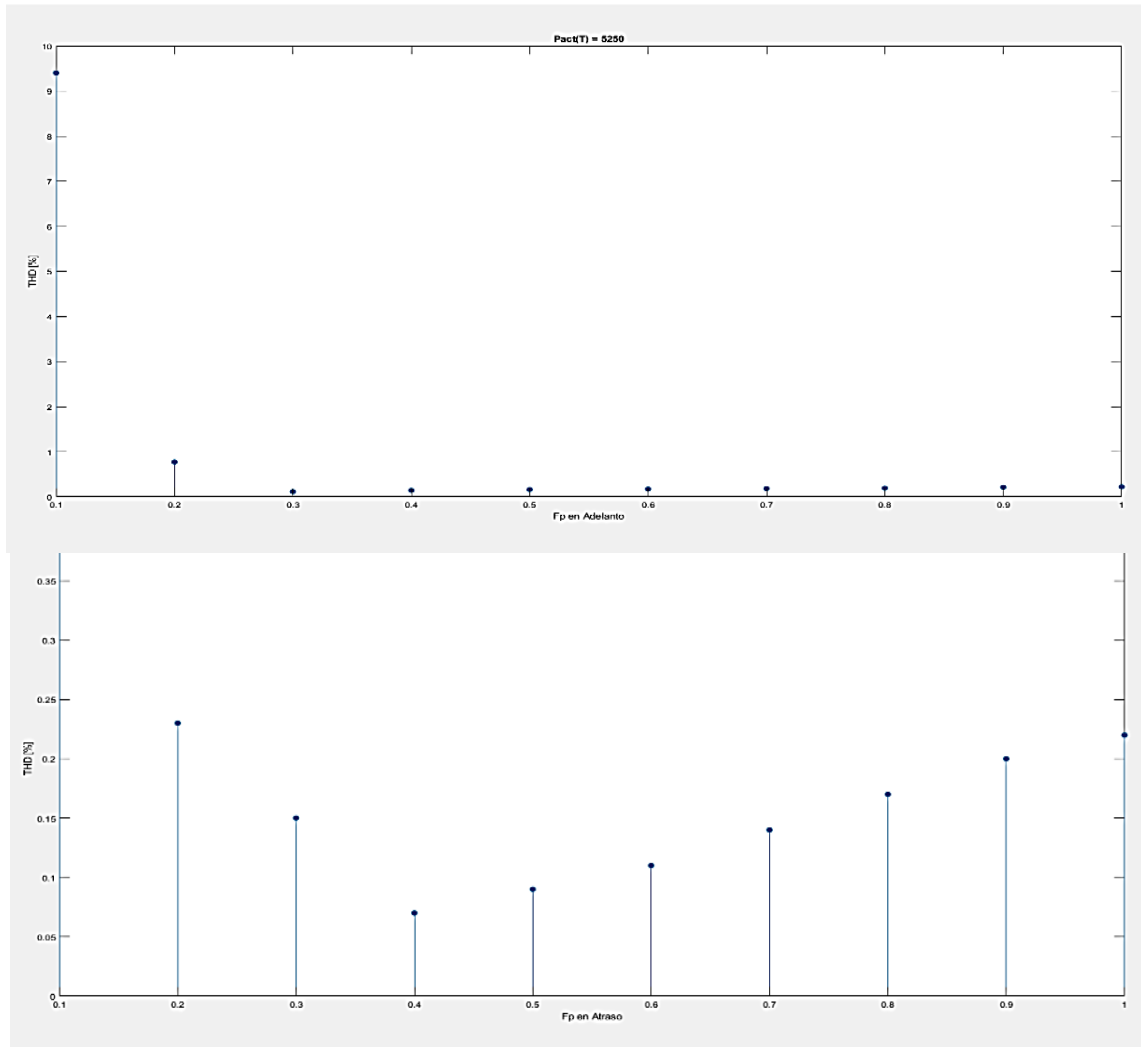
Señal error a potencia media para inversor tradicional.



Se puede evidenciar que para un factor de potencia de 0.1 en adelante a potencia media el sistema no logra el seguimiento de la señal de corriente obteniendo un valor de la señal error muy elevado, mientras que para cualquier valor de factor de potencia en atraso la señal error no supera 1A.

Figura 32.

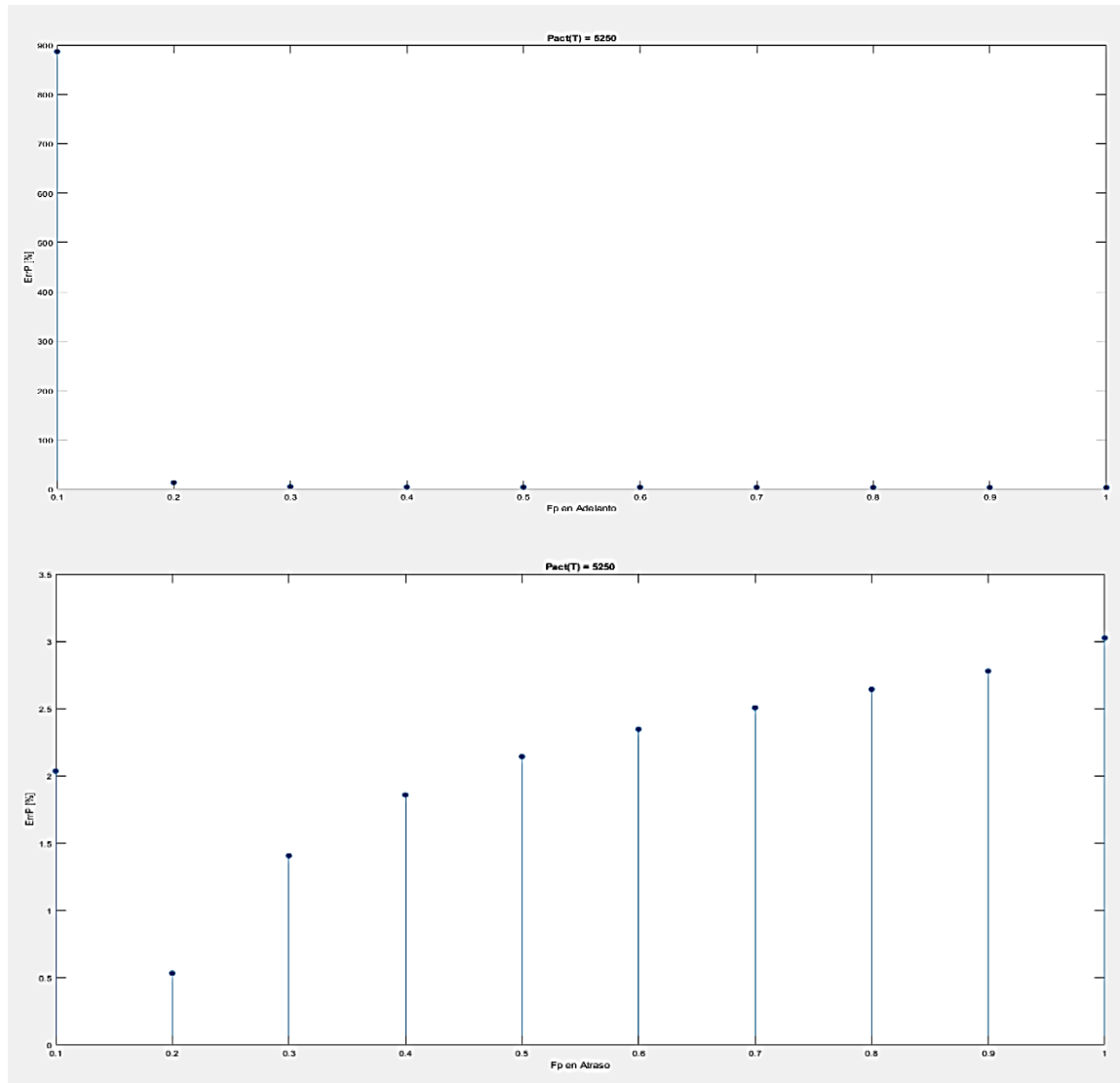
THD a potencia media para inversor tradicional.



Para esta topología a potencia media solo se obtiene un THD superior al 1% cuando se tiene factor de potencia 0.1 en adelante, siendo el resto de resultados muy favorables en operación.

Figura 33.

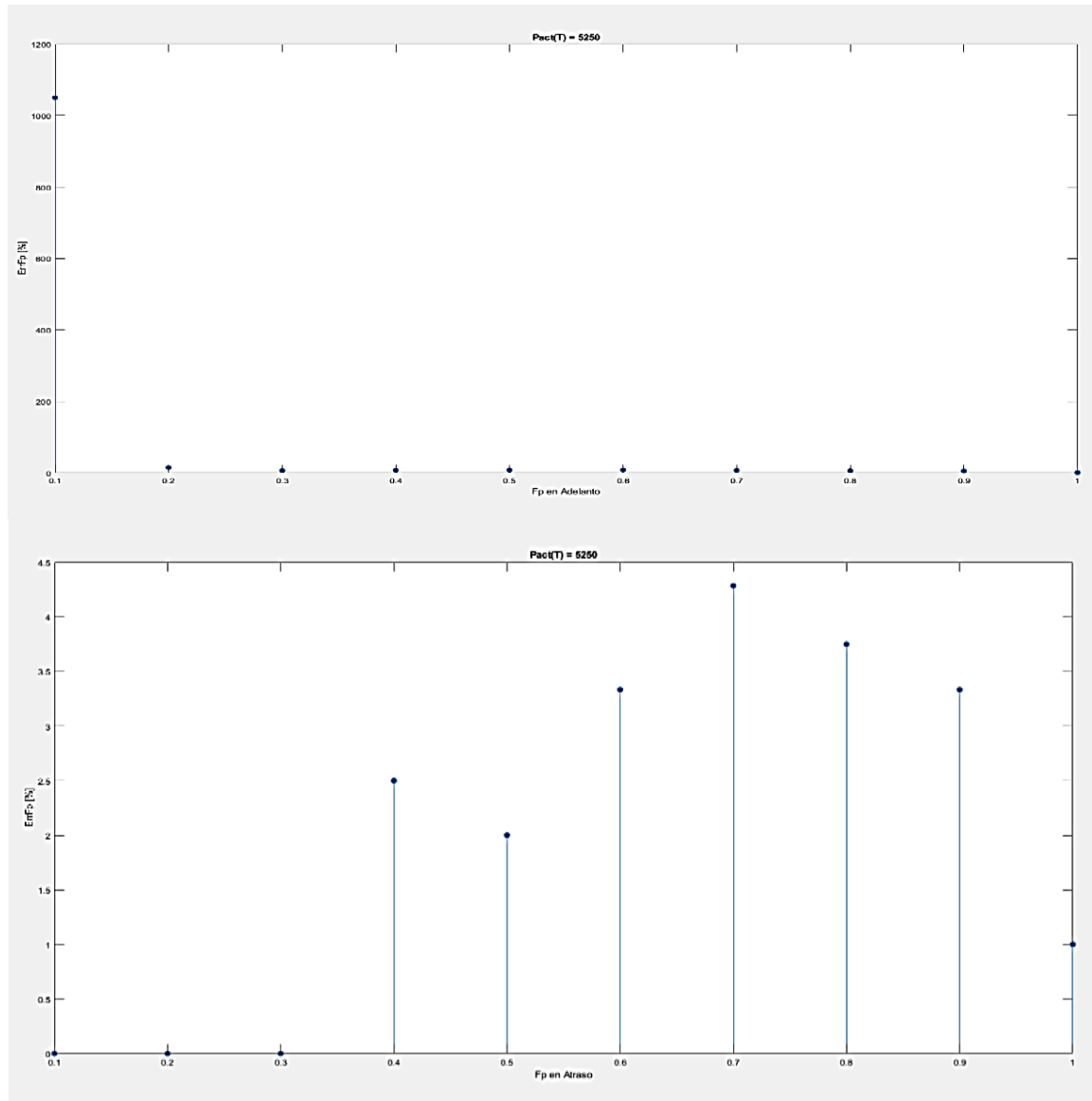
Error de potencia activa a potencia media para inversor MMC de punto medio.



Se puede evidenciar que para un factor de potencia de 0.1 en adelante a potencia media el sistema no logra el control de potencia activa obteniendo un error porcentual muy elevado, mientras que para el resto de los valores de factor de potencia se logra el control de potencia activa.

Figura 34.

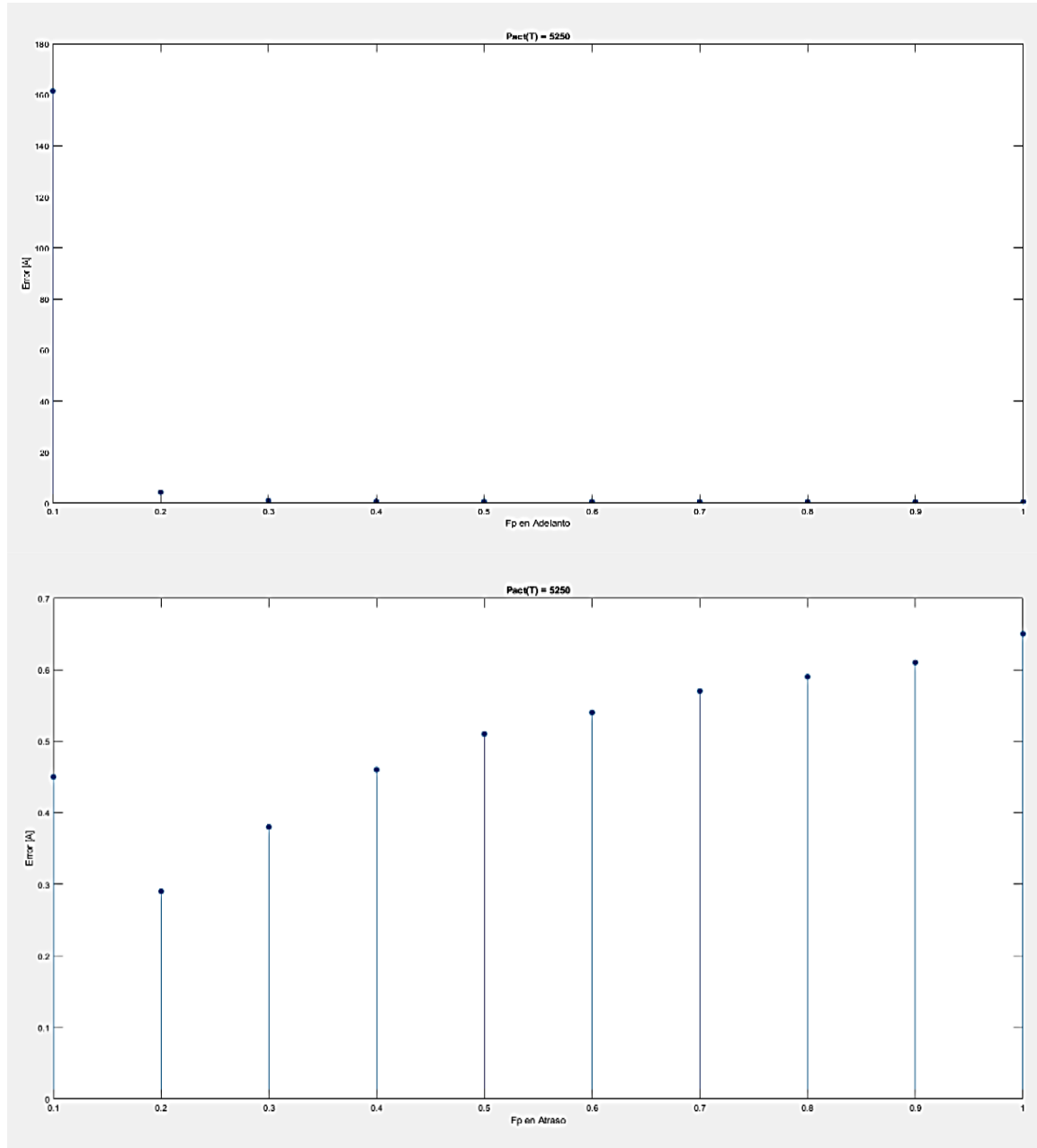
Error de F_p a potencia media para inversor MMC de punto medio.



Se puede evidenciar que a factor de potencia de 0.1 en adelante a potencia media el sistema no logra acercarse al valor de factor de potencia deseado presentando así un error porcentual del F_p muy elevado.

Figura 35.

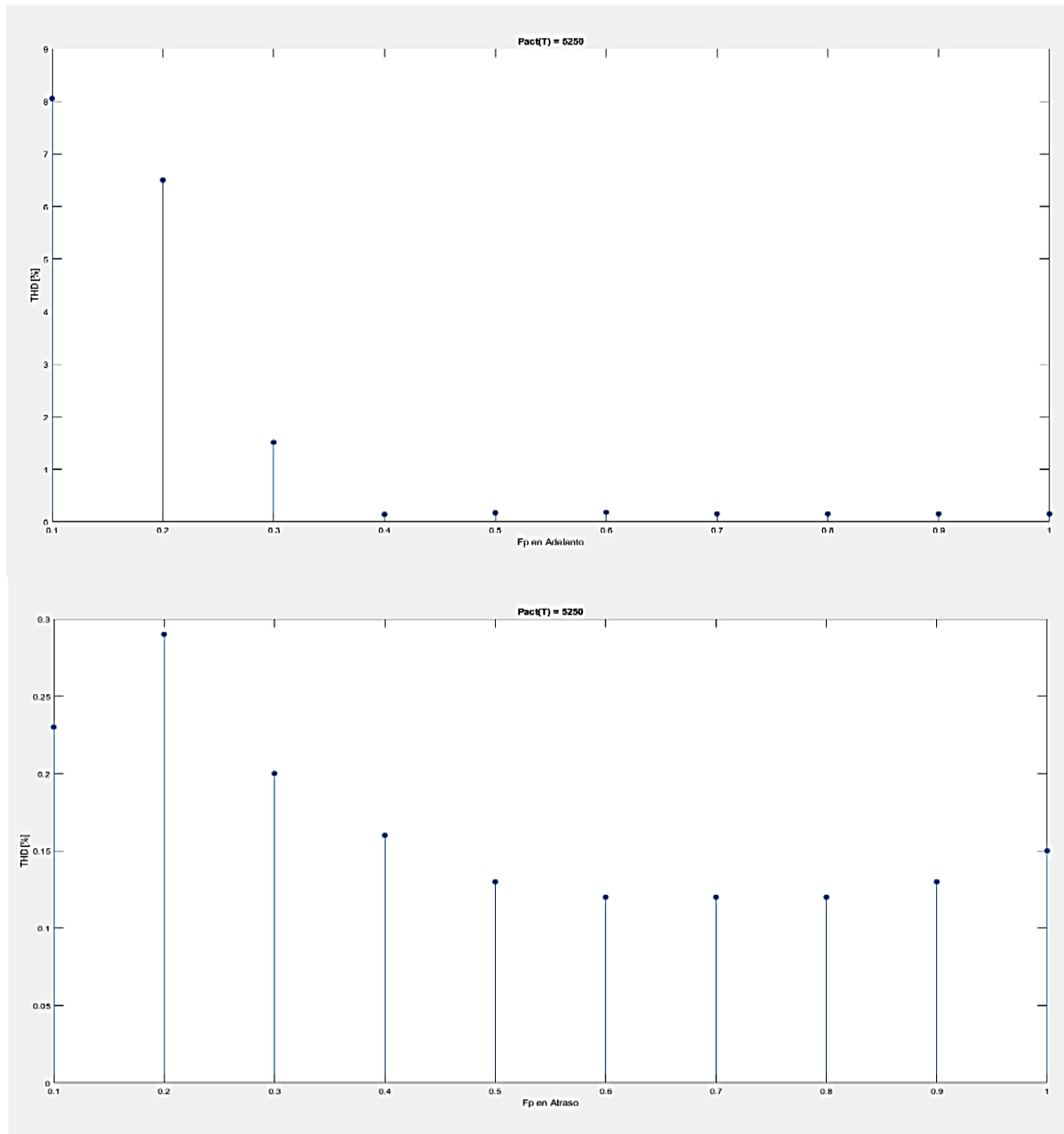
Señal error a potencia media para inversor MMC de punto medio.



Se puede evidenciar que para un factor de potencia de 0.1 en adelante a potencia media el sistema no logra el seguimiento de la señal de corriente obteniendo un valor de la señal error muy elevado, mientras que para cualquier valor de factor de potencia en atraso la señal error no supera 0.7A.

Figura 36.

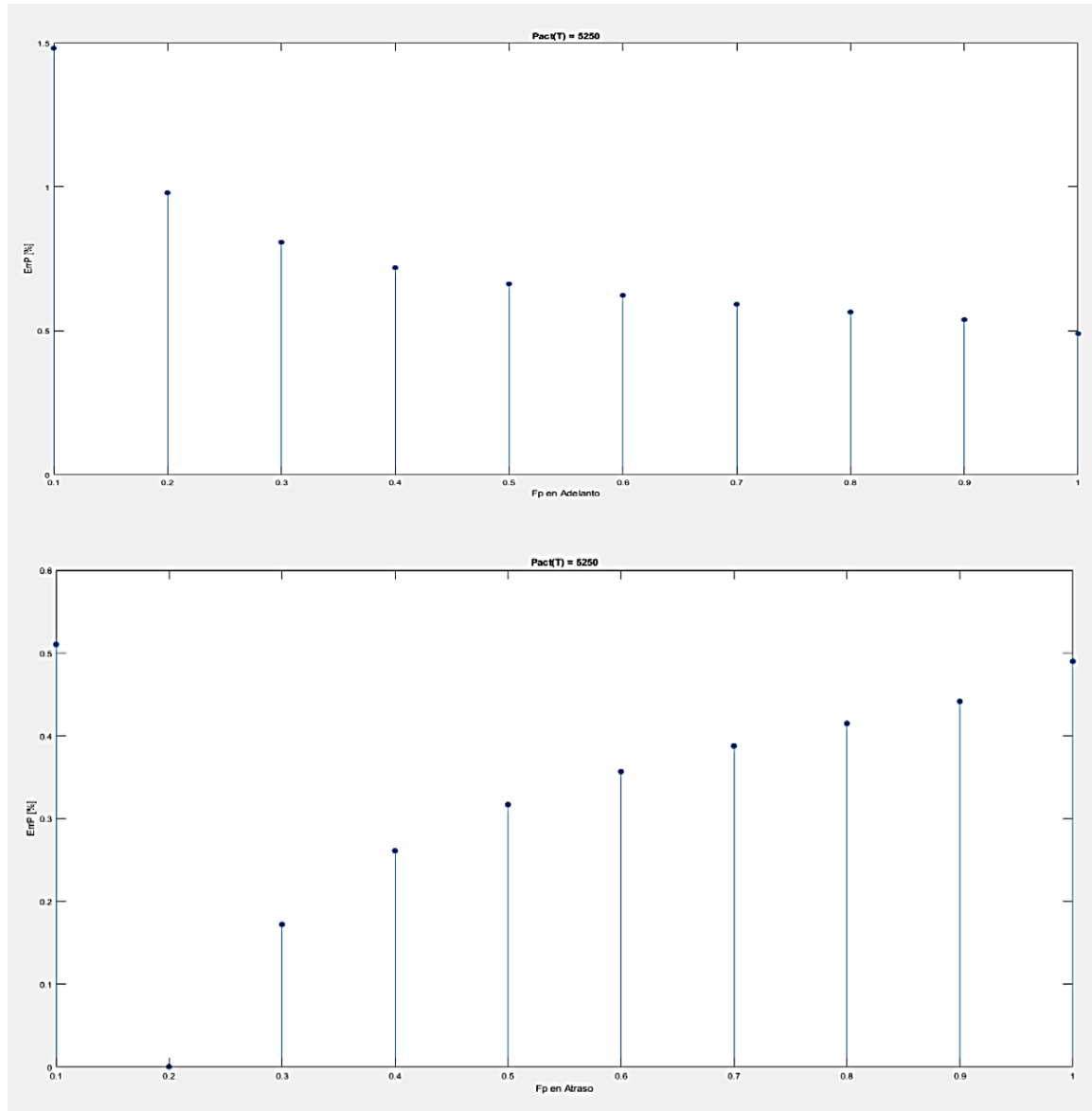
THD a potencia media para inversor MMC de punto medio.



Se puede evidenciar que para cualquier valor de factor de potencia tanto e adelanto como en atraso a potencia media se obtiene un THD menor al 9%, resultados de operación muy favorables.

Figura 37.

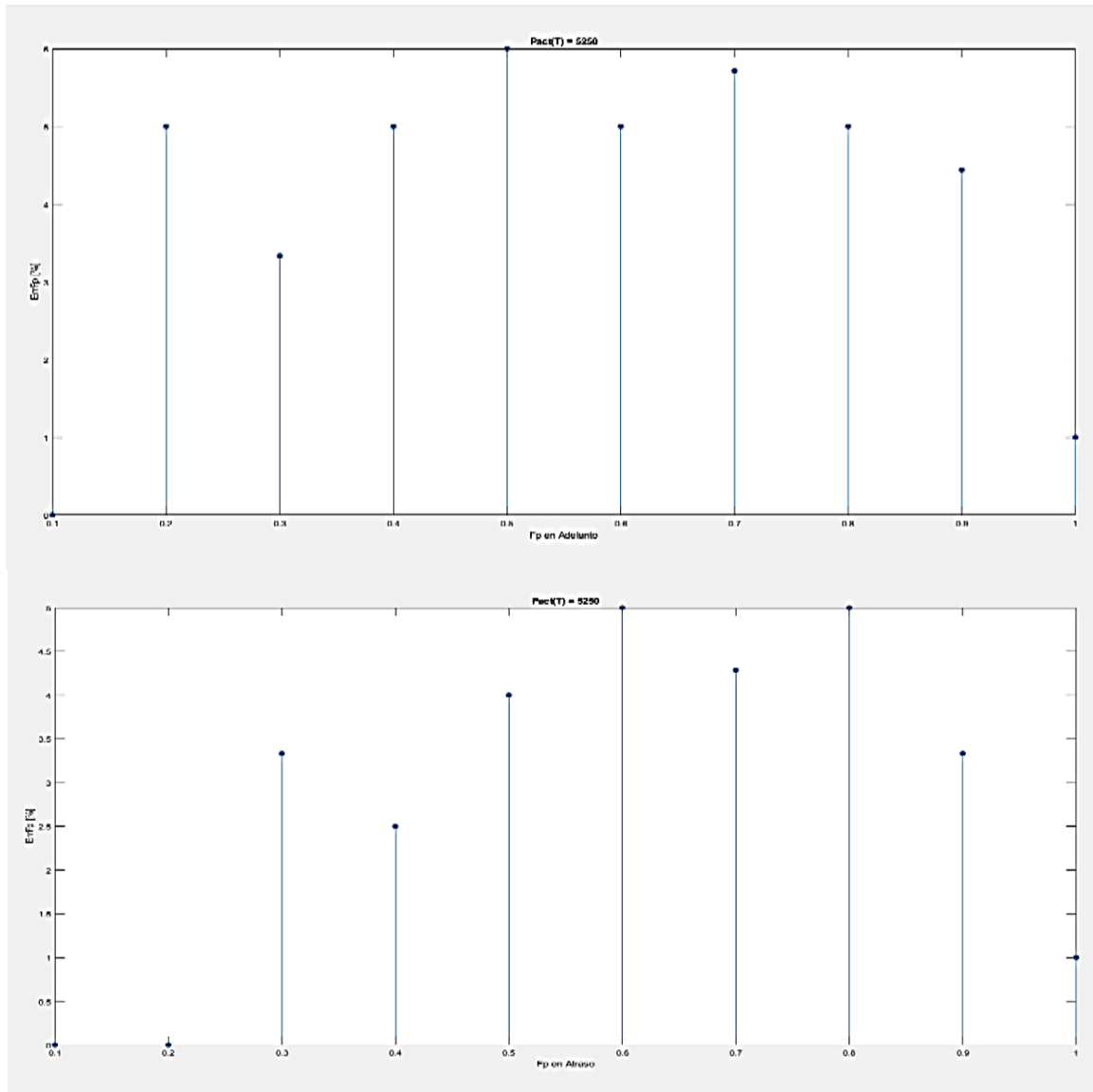
Error de potencia activa a potencia media para inversor MMC con punto neutro.



Se puede evidenciar que para cualquier valor de factor de potencia tanto en adelanto como en atraso a potencia media el sistema logra el control de potencia. En comparación con las topologías anteriores, inversor tradicional e inversor MMC de punto medio, esto presenta una gran ventaja ya que no limita el escenario de operación y brinda muy buenos resultados.

Figura 38.

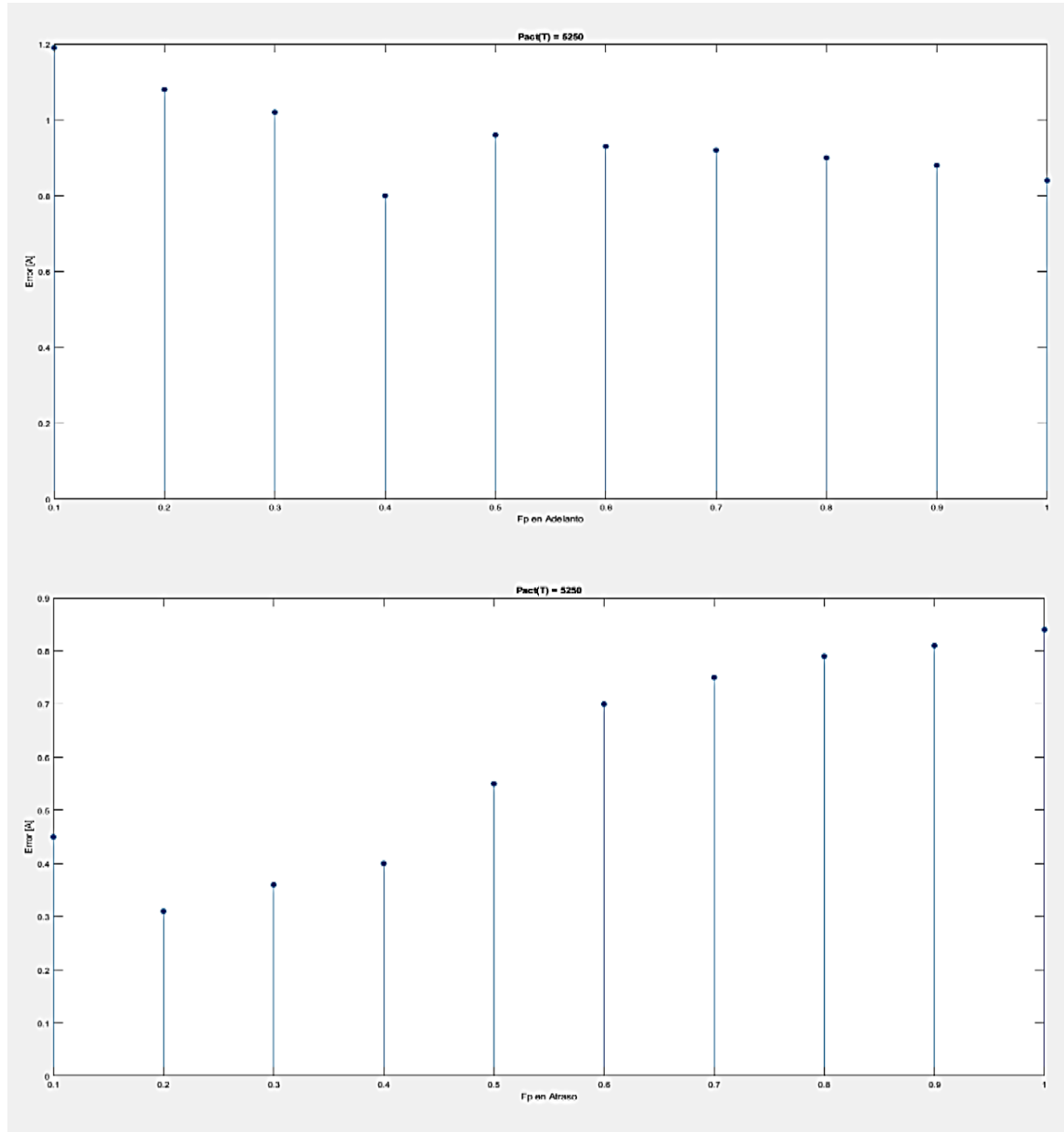
Error de F_p a potencia media para inversor MMC con punto neutro.



Se puede evidenciar que para esta topología a potencia media el sistema logra mantenerse en valores muy cercanos al factor de potencia deseado presentando así un error porcentual del F_p no superior a 6% para cualquier escenario.

Figura 39.

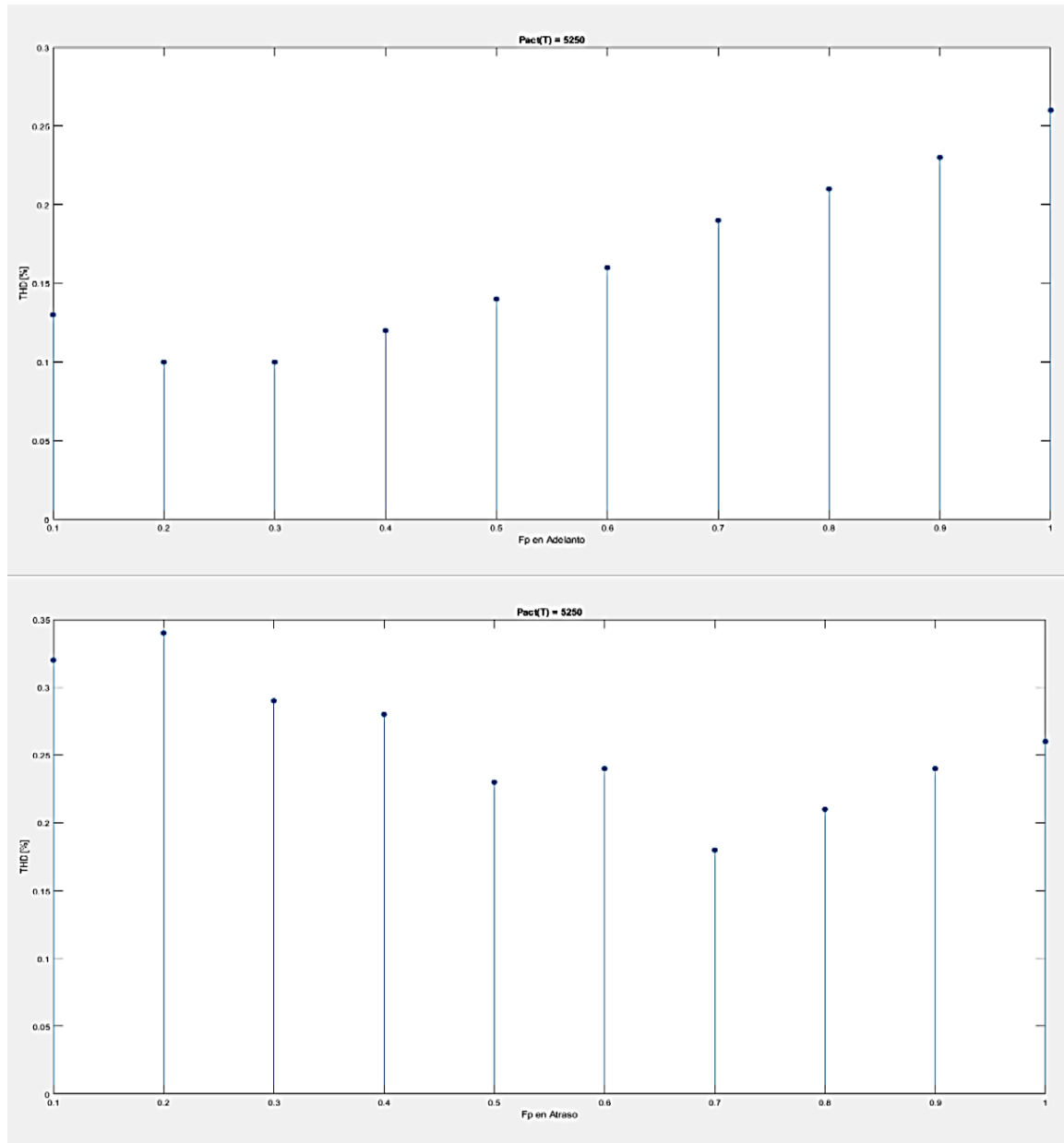
Señal error a potencia media para inversor MMC con punto neutro.



Para esta topología a potencia media se obtiene un buen seguimiento de la señal de corriente teniendo como resultado valores de la señal error por debajo de 1.2A para cualquier factor de potencia tanto en adelanto como en atraso.

Figura 40.

THD a potencia media para inversor MMC con punto neutro.



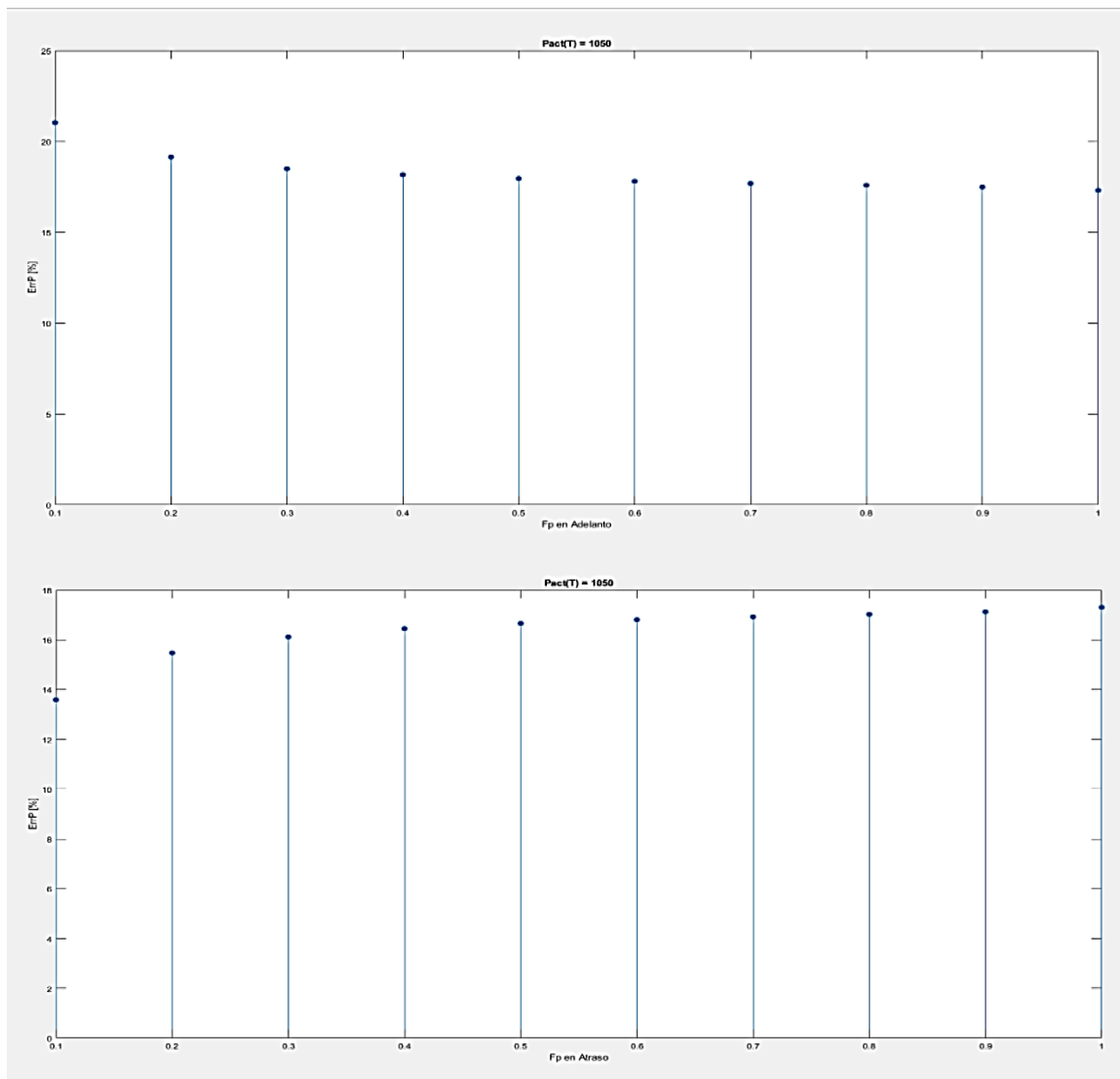
Se puede evidenciar que para cualquier valor de factor de potencia tanto en adelante como en atraso a potencia media se obtiene un valor THD por debajo del 0.35%, siendo esta topología la que presenta mejores resultados de operación ante cualquier escenario propuesto.

4.2.3 Potencia baja

Para este caso se mantuvo la potencia a 0.1 de la nominal para cada topología obteniendo así los siguientes resultados (un mayor detalle se presenta en el apéndice C, donde se muestra la tabla de datos de resultados y las gráficas de cada uno de los indicadores de desempeño):

Figura 41.

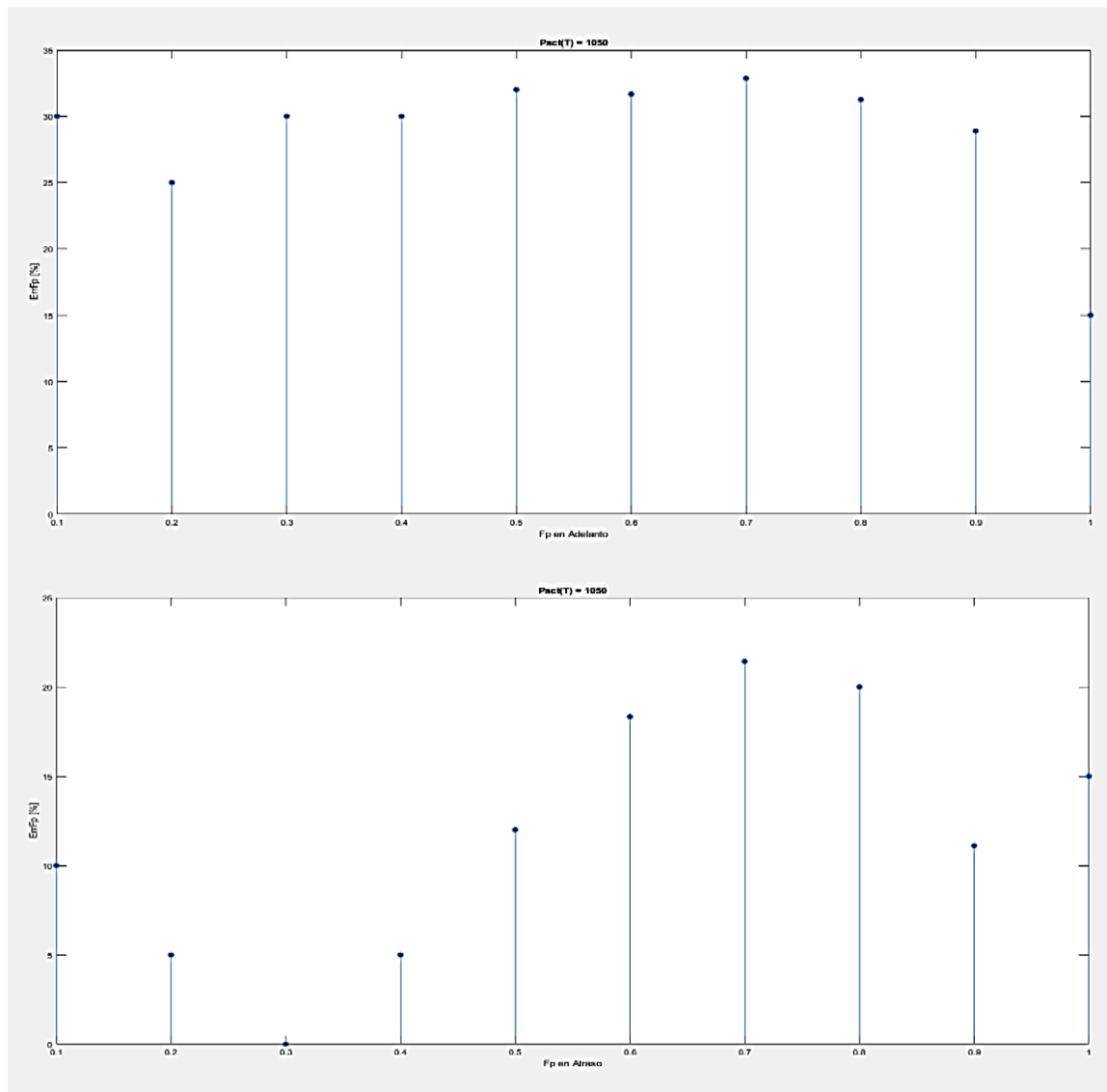
Error de potencia activa a potencia baja para inversor tradicional.



Se puede evidenciar que para potencia baja el sistema logra el control de potencia activa obteniendo un error porcentual estable ante cualquier valor de factor de potencia tanto en adelanto como en atraso, pero con un porcentaje de error de potencia activa, más elevado que en los escenarios de potencia nominal y media, alrededor del 15 y 20 por ciento.

Figura 42.

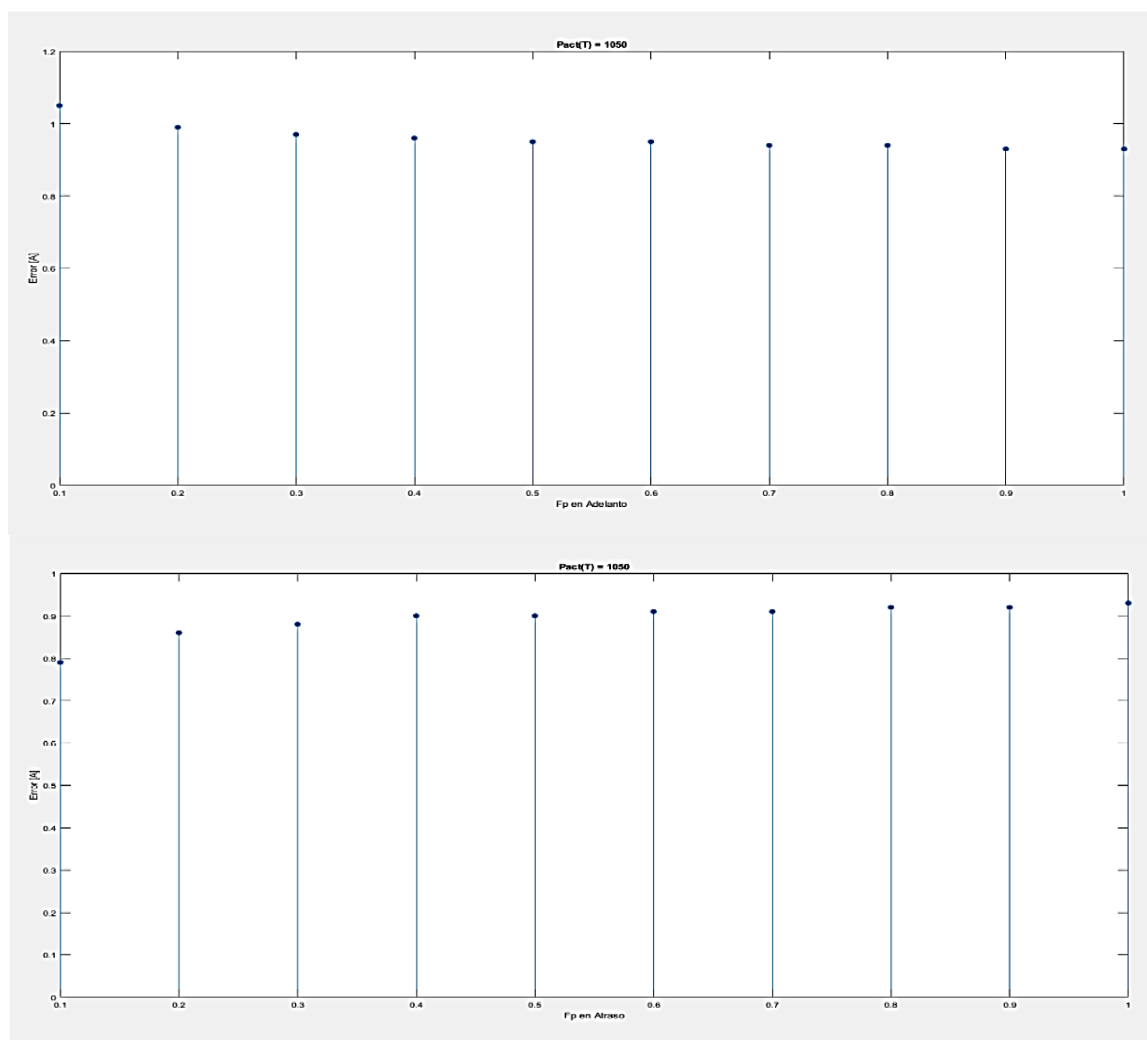
Error de F_p a potencia baja para inversor tradicional.



Al igual que el error de potencia activa para el error de factor de potencia activa ante cualquier valor de factor de potencia se obtiene valores de Fp estables, aunque más elevados que a potencia nominal y media.

Figura 43.

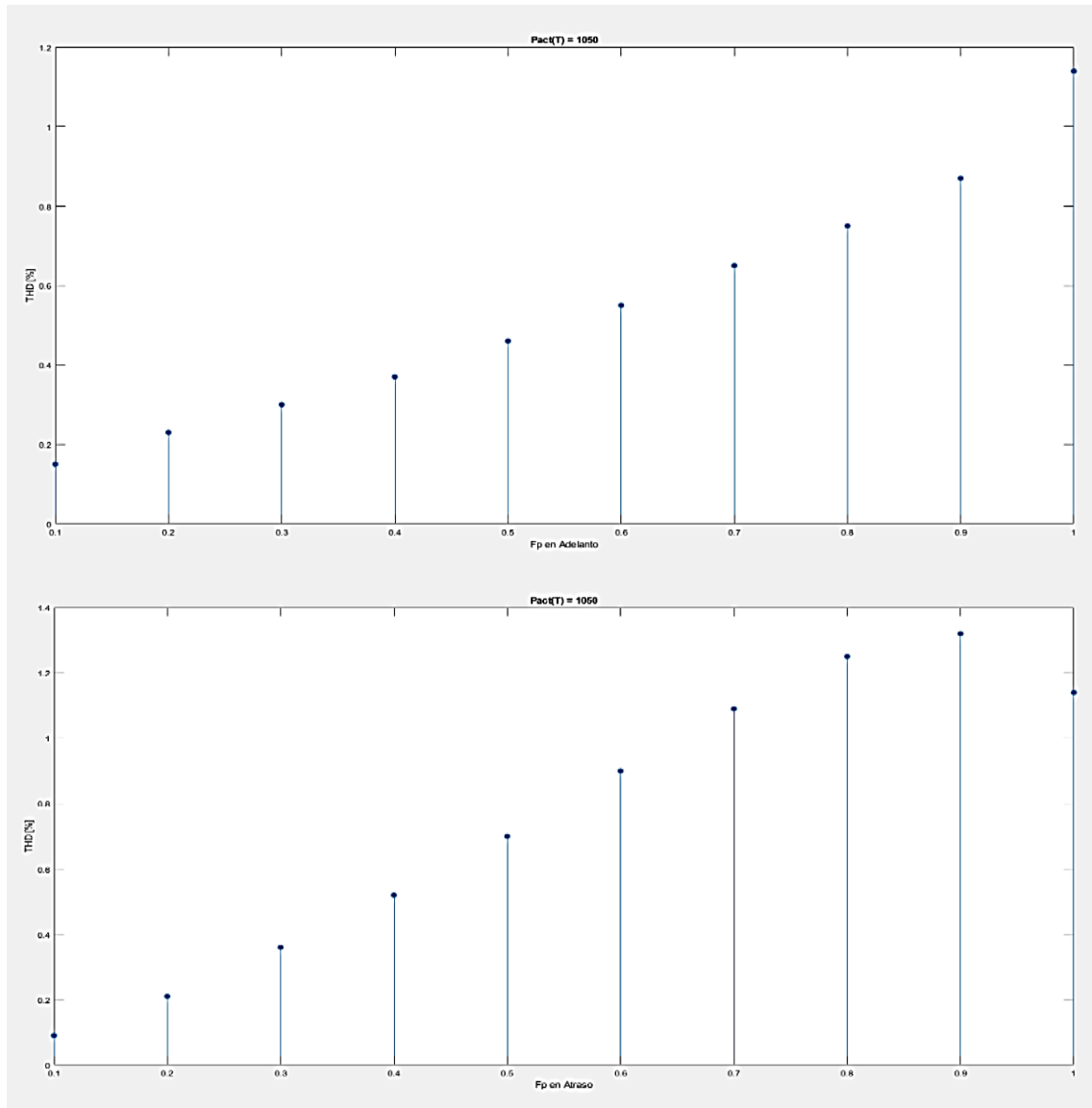
Señal error a potencia baja para inversor tradicional.



Para esta topología a potencia baja el sistema logra el seguimiento de la señal de corriente con valores de señal error menores a 1.2A ante cualquier factor de potencia.

Figura 44.

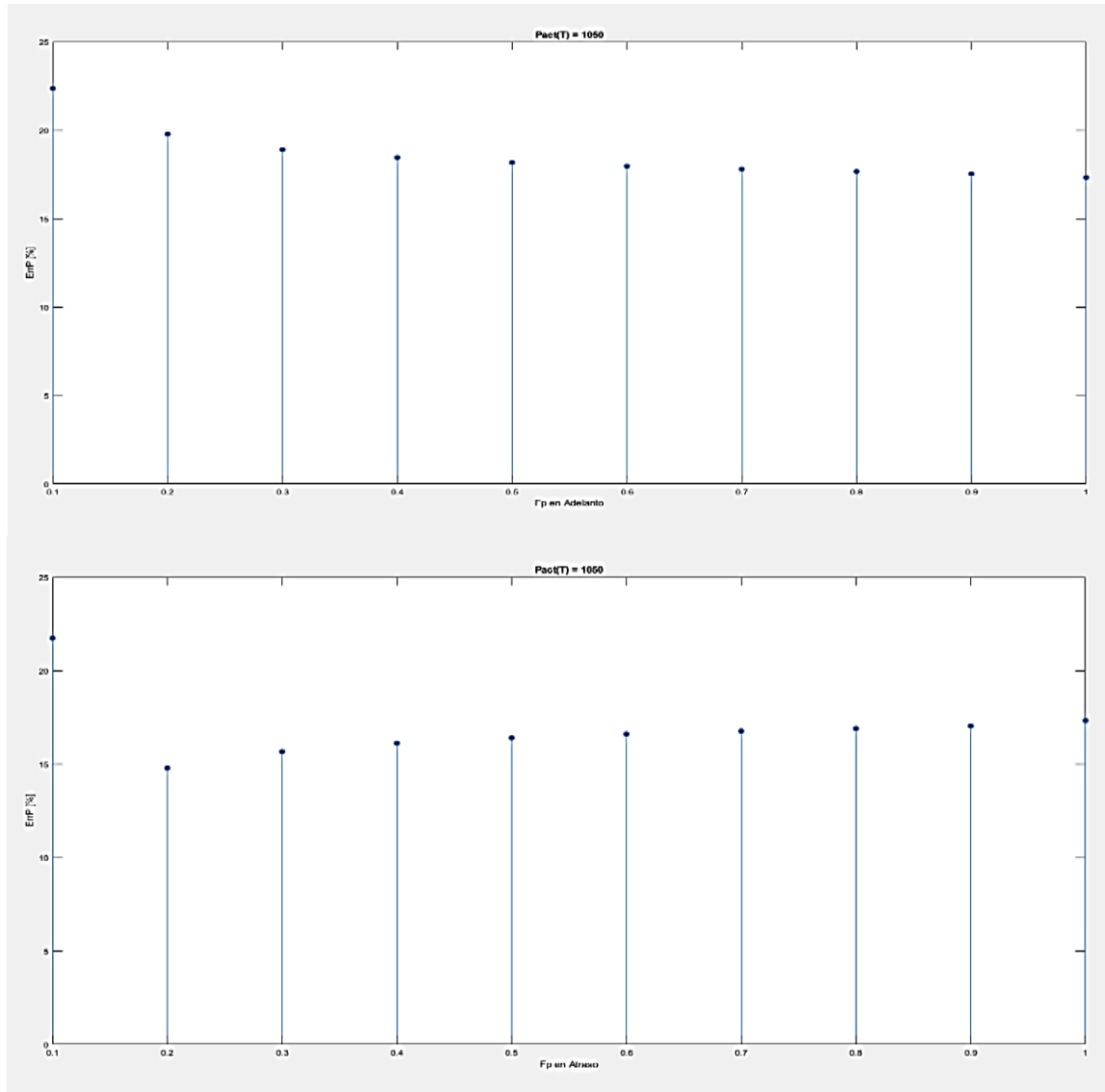
THD a potencia baja para inversor tradicional.



Se puede evidenciar que el THD disminuye a medida que el factor de potencia se aleja de la unidad tanto en adelante como en atraso a potencia baja.

Figura 45.

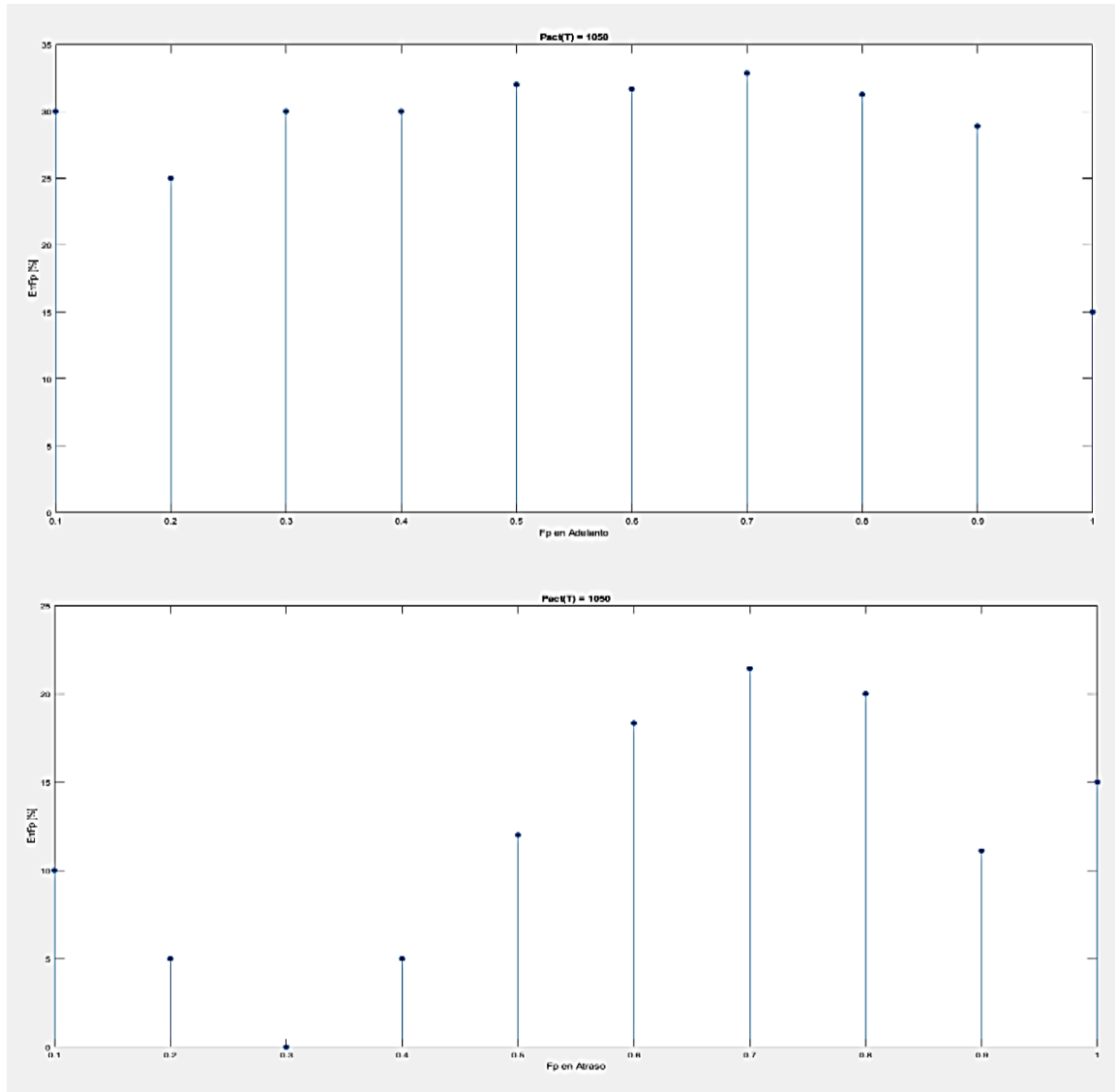
Error de potencia activa a potencia baja para inversor MMC de punto medio.



Se evidencia que para cualquier factor de potencia tanto en adelanto como en atraso a potencia baja el sistema logra el control de potencia activa estable pero con un error porcentual mas elevado que a potencia nominal y media.

Figura 46.

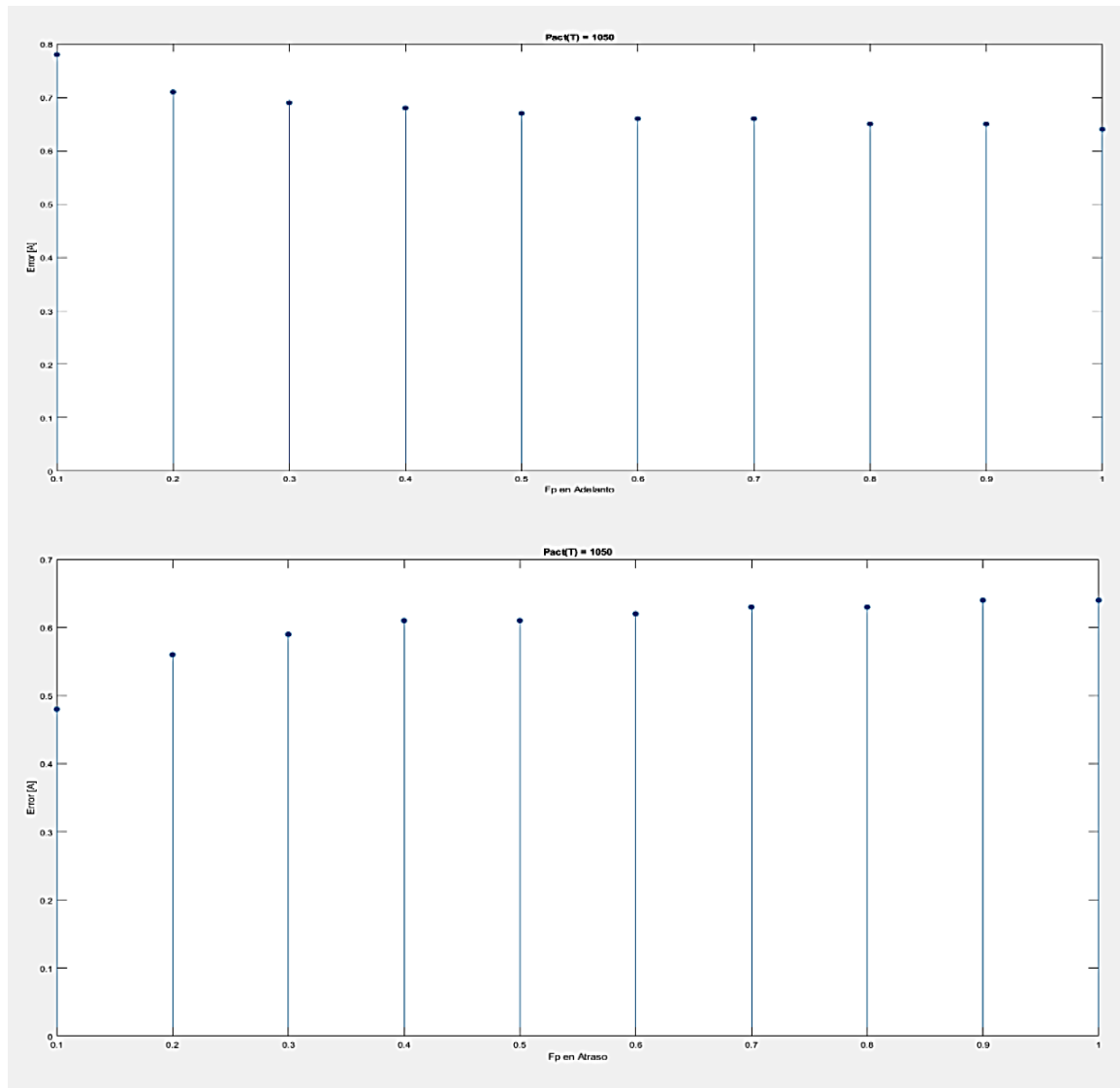
Error de F_p a potencia baja para inversor MMC de punto medio.



Se puede evidenciar que para cualquier factor de potencia en adelanto a potencia baja el error porcentual de factor de potencia se mantiene estable y alrededor de 30%, mientras que para un factor de potencia en atraso tiende a elevarse a medida que se acerca al 1.

Figura 47.

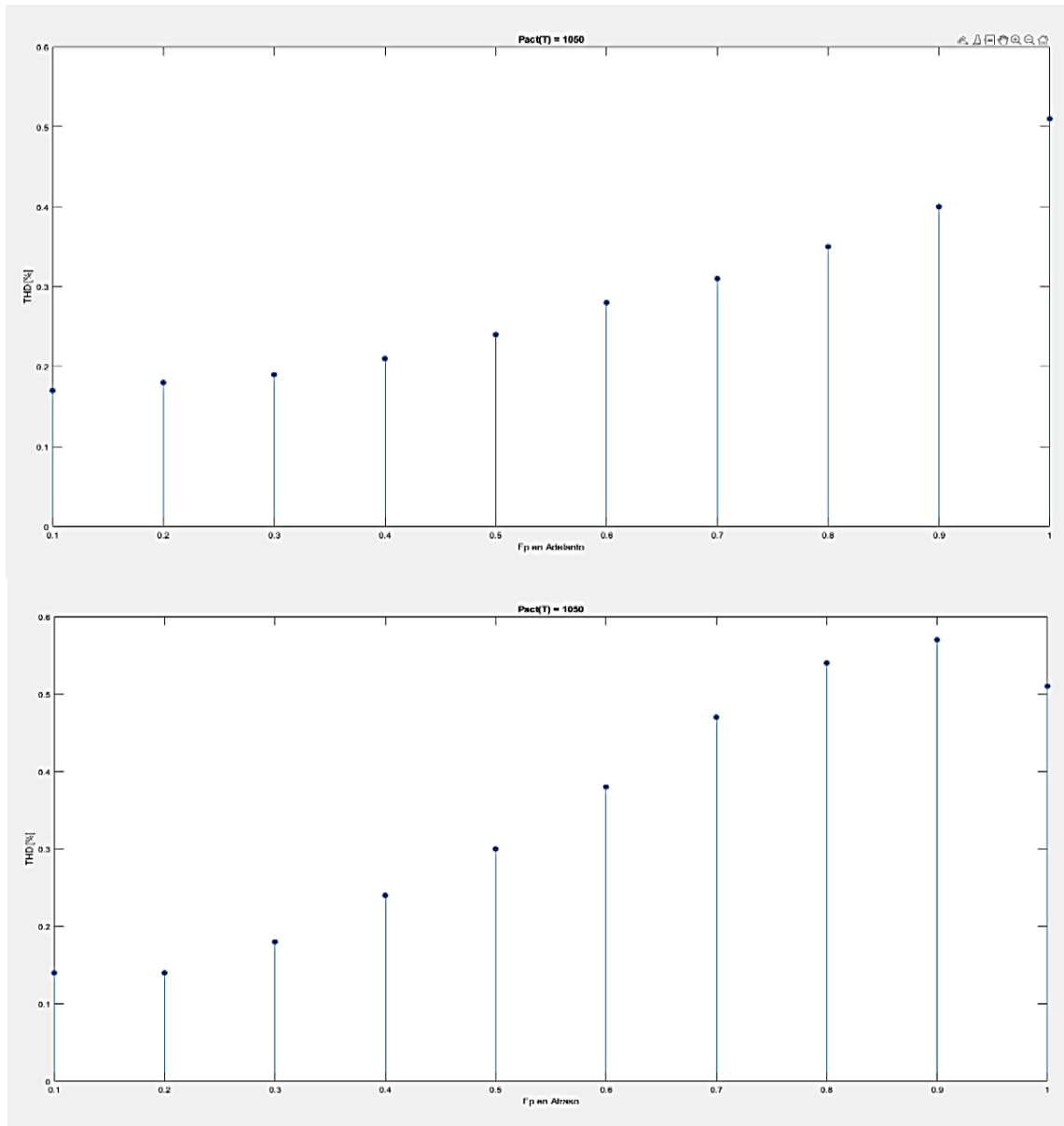
Señal error a potencia baja para inversor MMC de punto medio.



Se evidencia que a potencia baja el sistema mantiene el seguimiento de la señal de corriente para cualquier factor de potencia tanto en adelante como en atraso, obteniendo un valor de señal error por debajo de los 0.8A.

Figura 48.

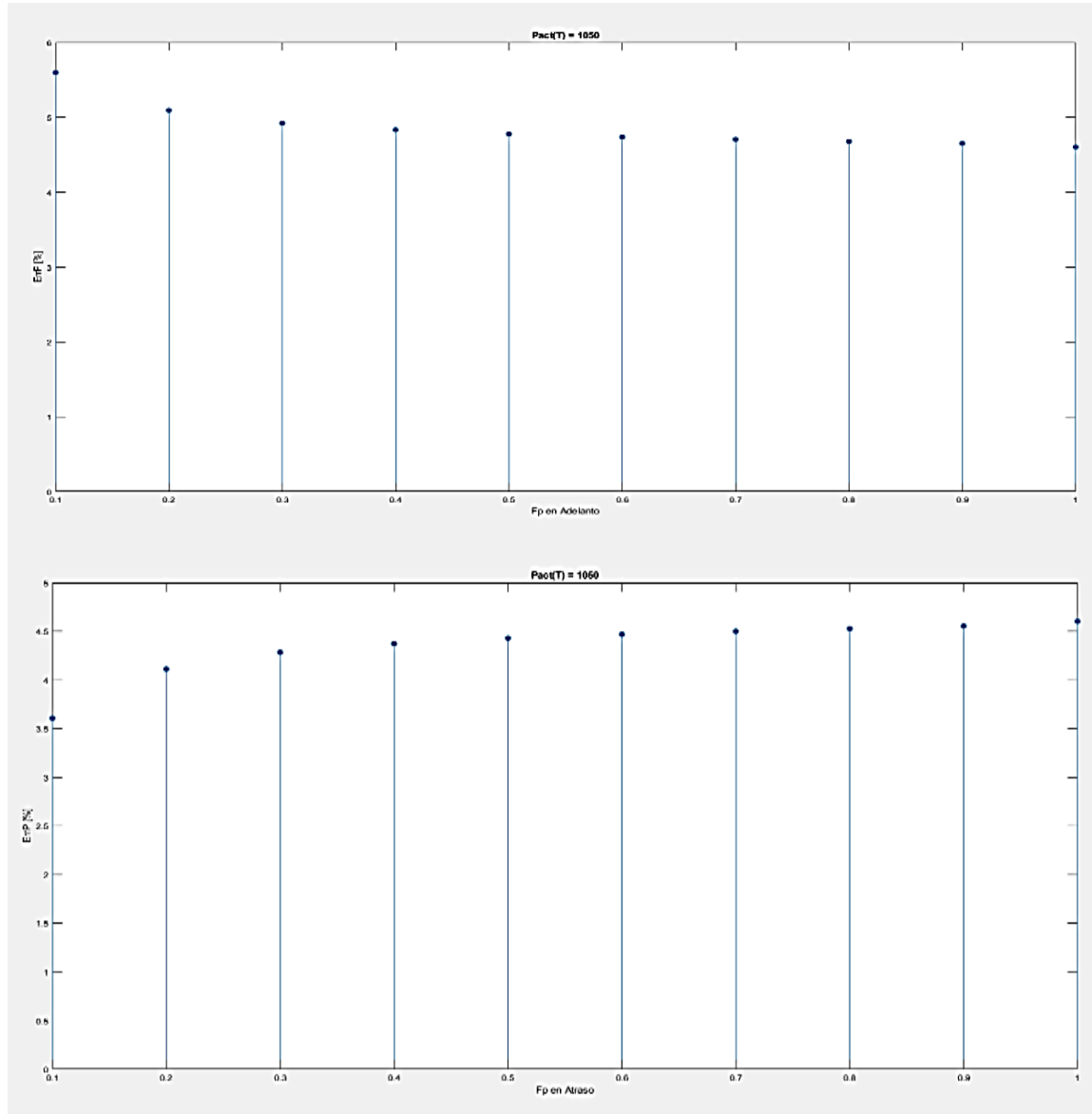
THD a potencia baja para inversor MMC de punto medio.



Para esta topología a potencia baja se observa que el THD aumenta a medida que el factor de potencia se acerca a 1 tanto en adelante como en atraso, pero sin superar el 0.6% en su punto más alto.

Figura 49.

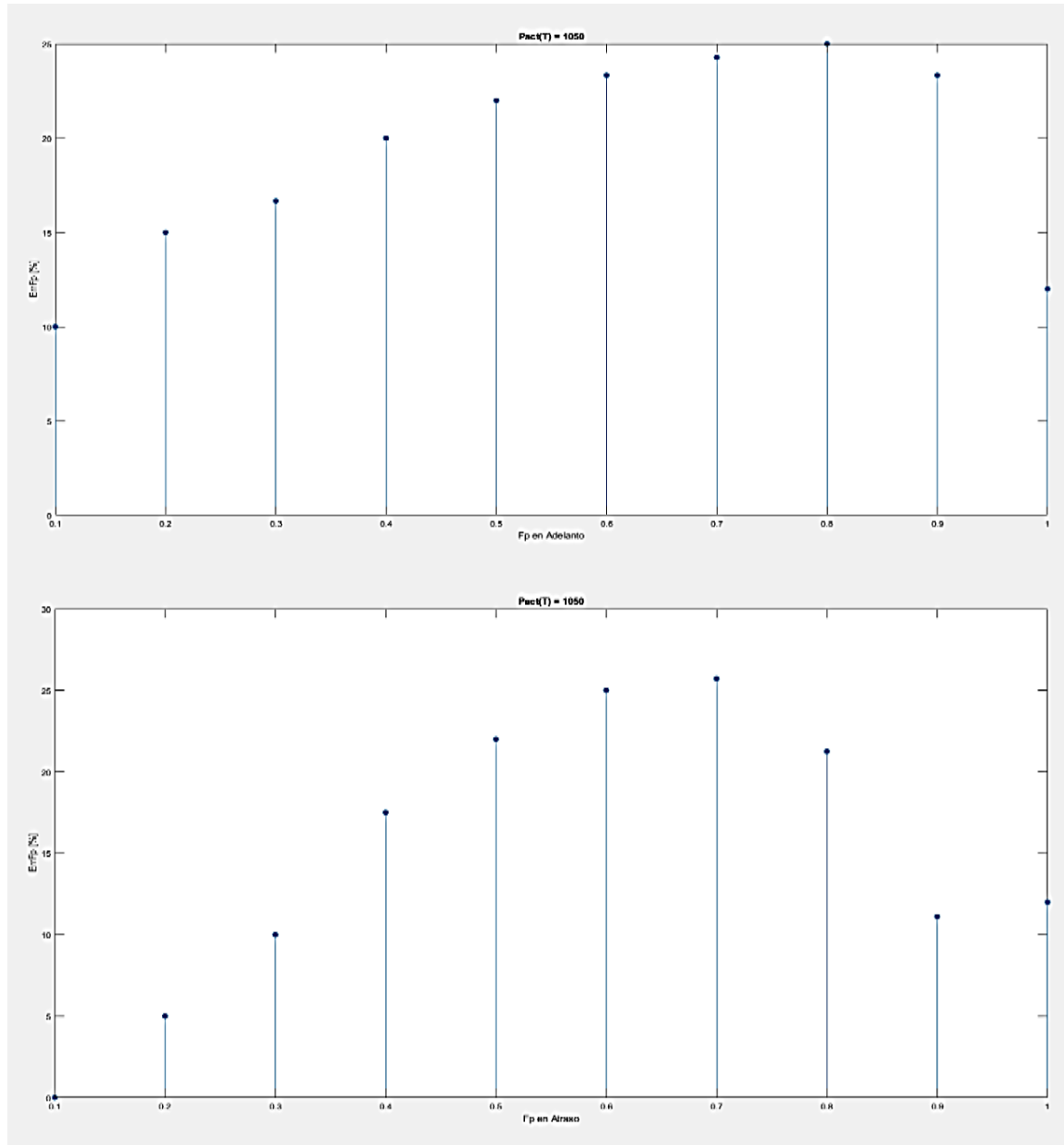
Error de potencia activa a potencia baja para inversor MMC con punto neutro.



Se evidencia que a potencia baja para esta topología el sistema logra un mejor control de la potencia activa que el obtenido en las topologías tradicional y de punto medio para las mismas condiciones de operación. Para cualquier valor de factor de potencia tanto en adelanto como en atraso el error porcentual de potencia activa no supera el 6%.

Figura 50.

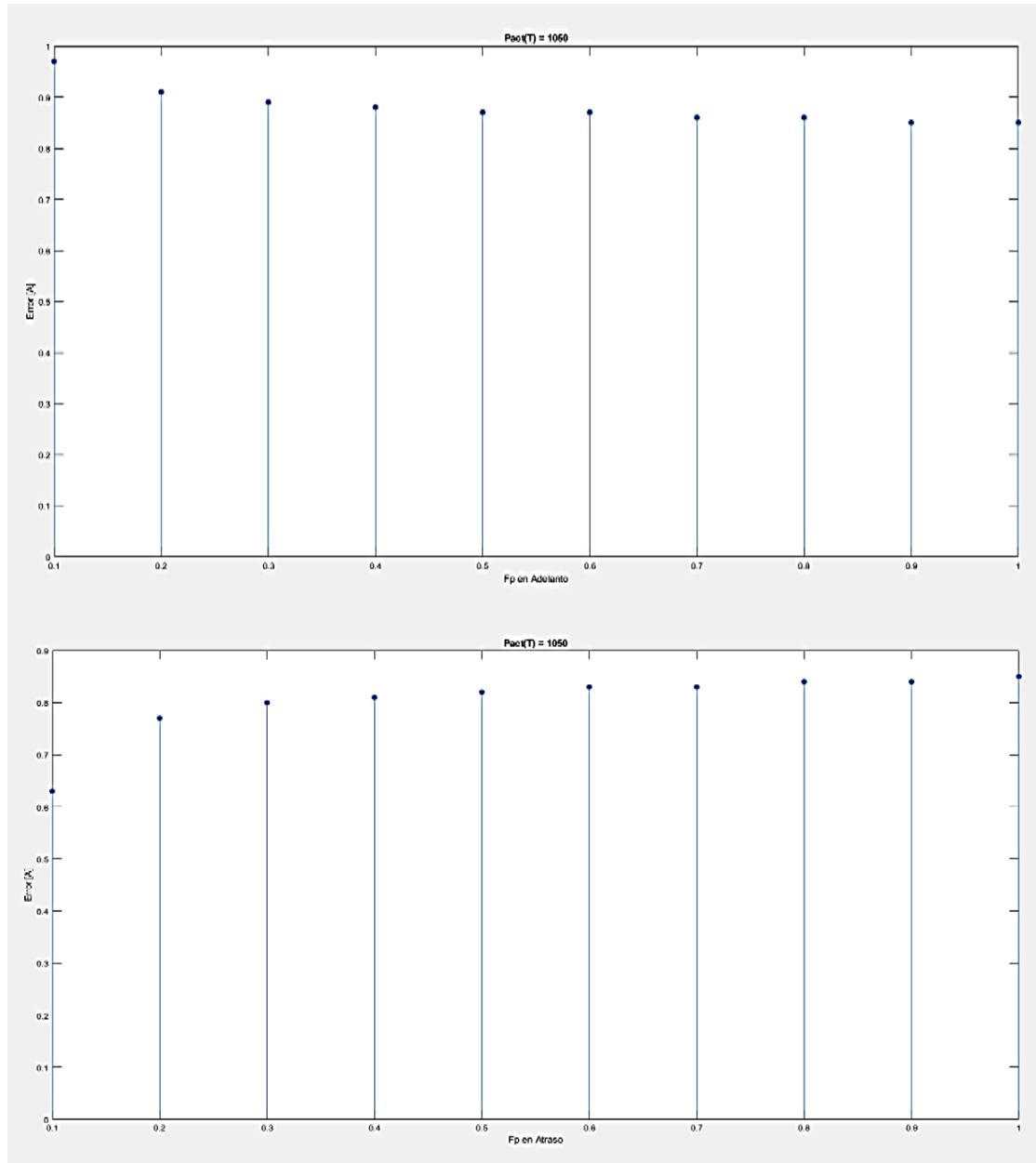
Error de F_p a potencia baja para inversor MMC con punto neutro.



A diferencia del error de potencia activa a potencia baja el error porcentual del factor de potencia alcanza valores de hasta un 25% en su punto máximo.

Figura 51.

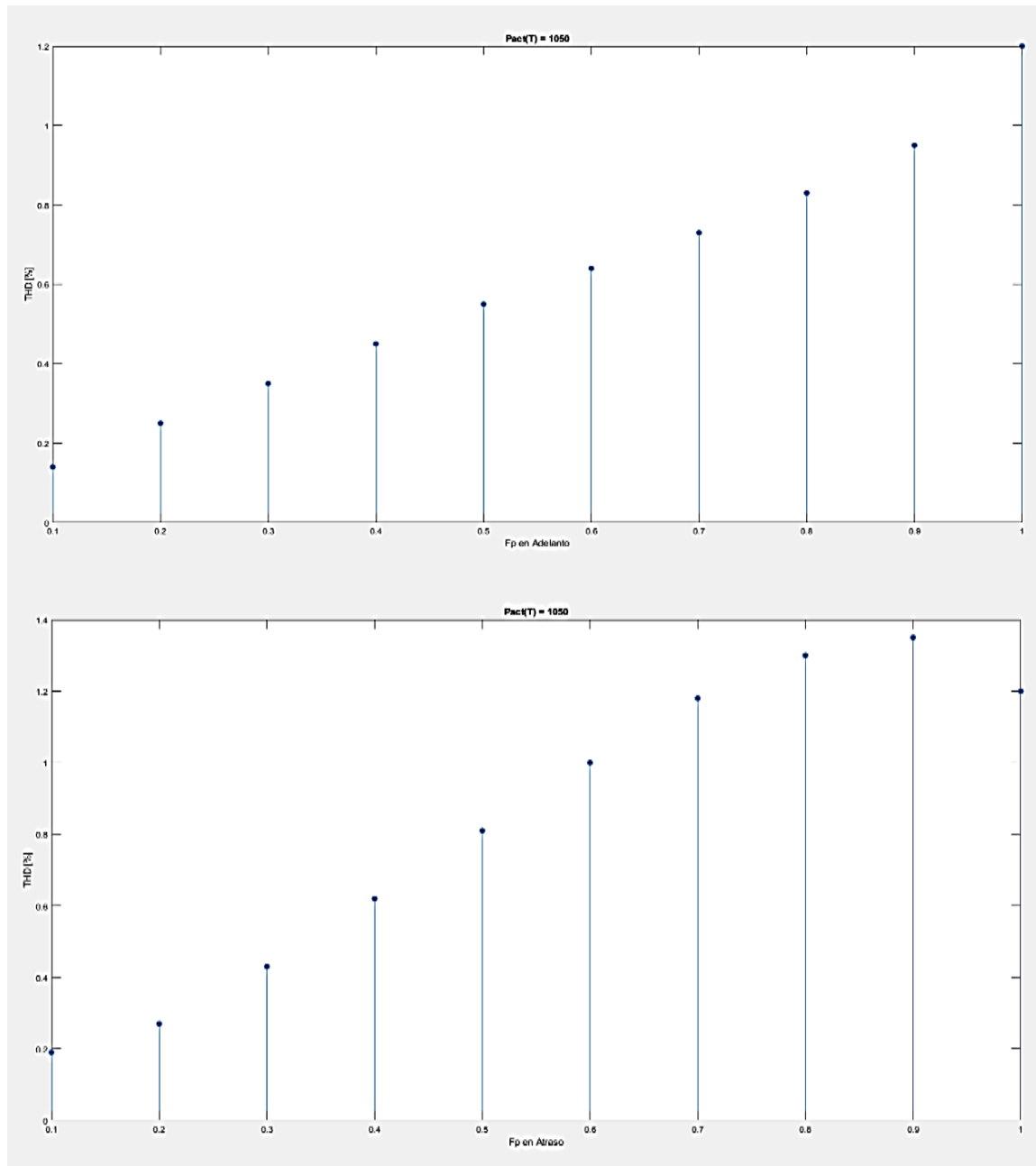
Señal error a potencia baja para inversor MMC con punto neutro.



Se evidencia que para cualquier valor de factor de potencia tanto en adelante como en atraso el sistema logra un seguimiento de la señal de corriente muy estable y con valores de la señal error por debajo de 1A.

Figura 52.

THD a potencia baja para inversor MMC con punto neutro.



Para este caso se evidencia que el THD aumenta para valores de factor de potencia próximos a la unidad tanto en adelanto como en atraso, pero sin superar el 1.4% en su punto máximo.

4.2.4 Perturbaciones

Para este escenario se inicia a potencia nominal y en el tiempo 0.2 [s] se reduce la potencia entregada a 0.5 de la nominal, así mismo se inicia a un factor de potencia de 0.8 en adelanto y en el tiempo 0.4 [s] se baja a 0.5 en adelanto. Este escenario se aplica a las tres topologías obteniendo los siguientes resultados, donde se evidencia que para las tres topologías se cumple el control y el seguimiento de la señal de referencia.

Figura 53.

Perturbación para inversor trifásico en puente completo tradicional. (ver apéndice D)

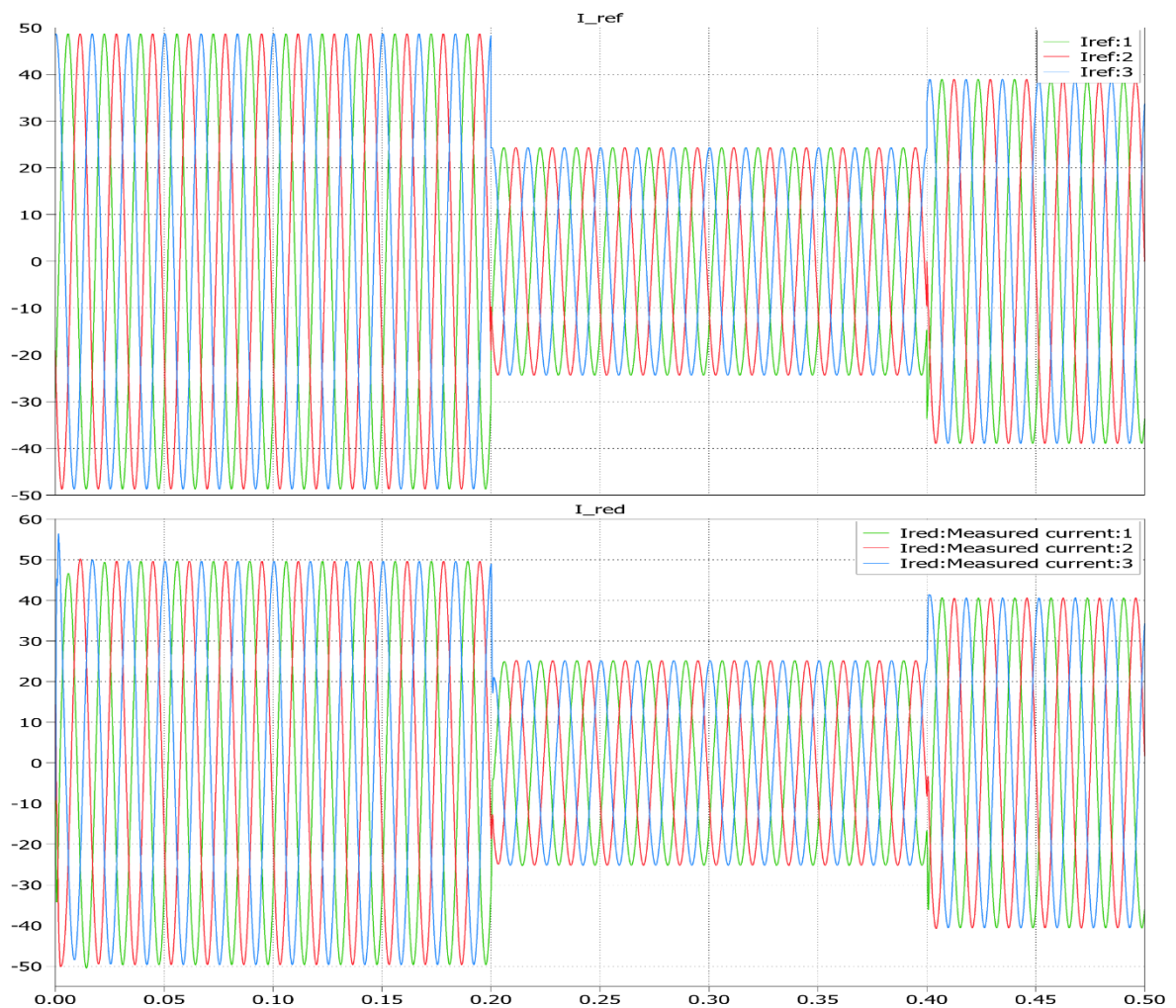


Figura 54.

Perturbación para inversor MMC con salida en punto medio. (ver apéndice E)



Figura 55.

Perturbación para inversor MMC con punto neutro. (ver apéndice F)



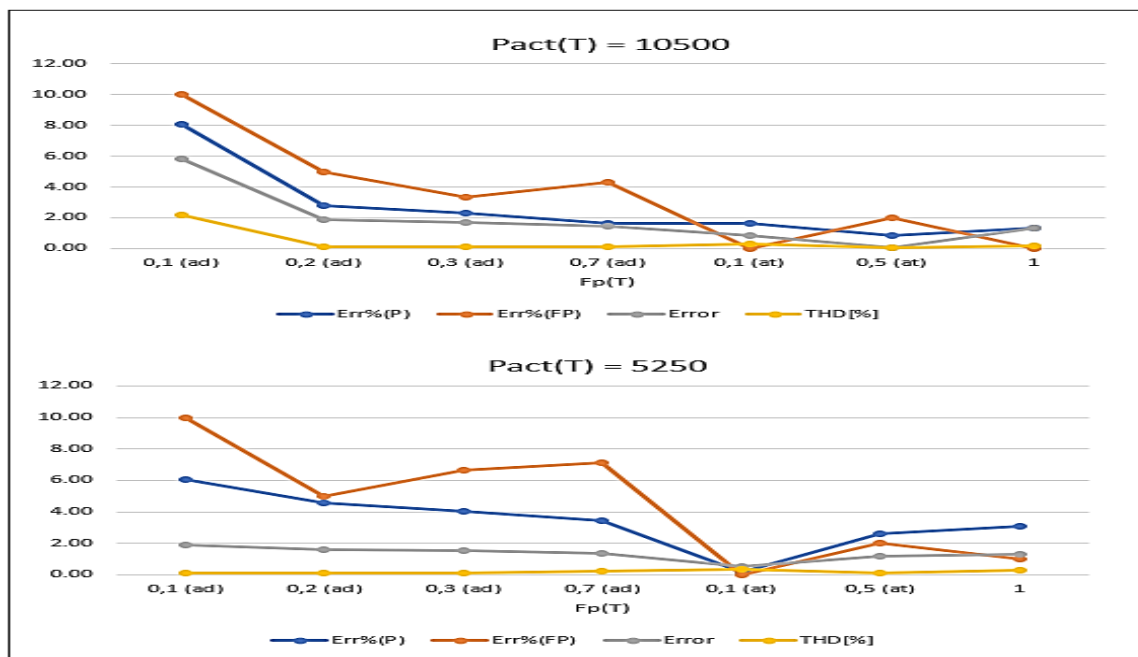
Se puede evidenciar que, para las tres topologías ante perturbación, tanto de potencia activa como de factor de potencia, el sistema logra mantener el seguimiento de la señal de corriente.

4.2.5 Modificación de parámetros

Para este escenario se aumentó la tensión del bus de continua y se relajó el filtro LCL para así lograr cumplir el control y el seguimiento de señal deseados, siendo estos cambios aplicados para los escenarios de potencia nominal y potencia media en las topologías que lo requieran, inversor trifásico en puente completo tradicional e inversor MMC con salida en punto medio. En la topología del inversor trifásico en puente completo tradicional se usaron los valores $V_{dc} = 800$ y $D_I = 0.4$ encontrados de manera experimental como los límites mínimos para lograr su correcto funcionamiento, y para la topología del inversor MMC con salida en punto medio se usaron los valores $V_{dc} = 1000$ y $D_I = 0.5$ encontrados de manera experimental como los límites mínimos para lograr su correcto funcionamiento. Se obtuvieron los siguientes resultados (ver apéndice G para un mayor detalle):

Figura 56.

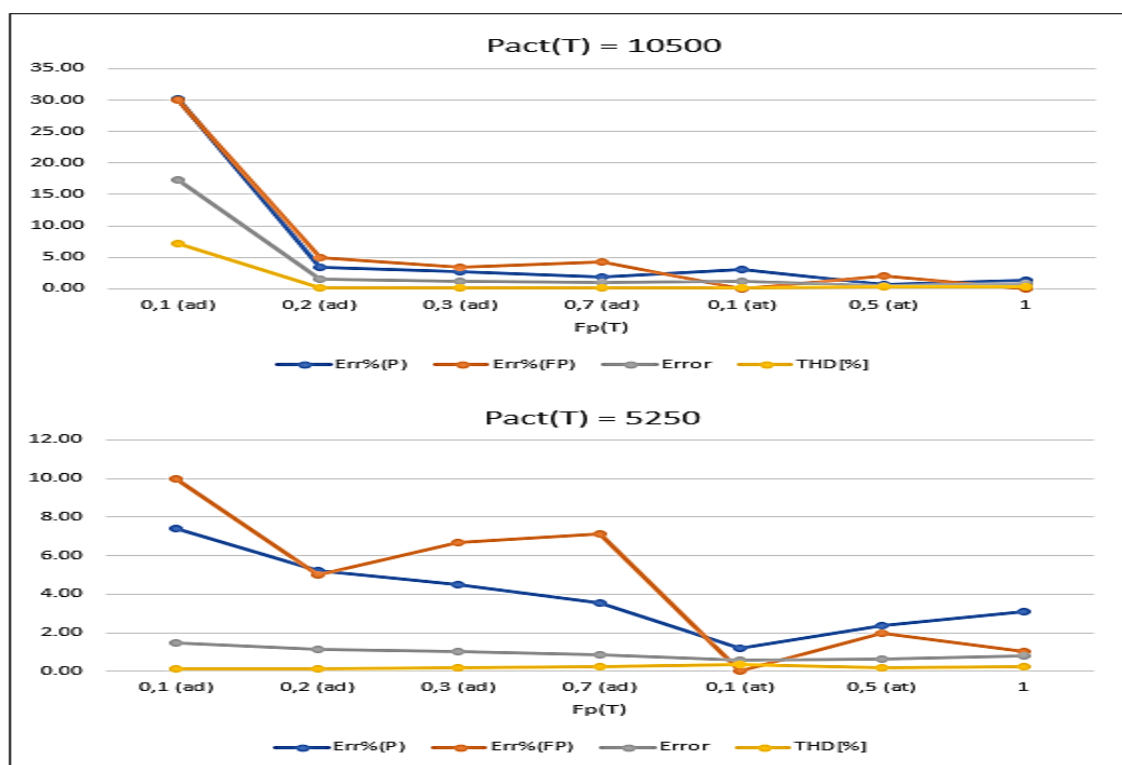
Modificación de parámetros para inversor tradicional.



Se puede evidenciar en que para la topología del inversor tradicional se logró el control de potencia activa y el seguimiento de la señal de corriente obteniendo valores de error por debajo del 10% en ambos casos y un THD estable y menor al 2.5% en cualquiera de los escenarios.

Figura 57.

Modificación de parámetros para inversor MMC con salida en punto medio.



Para la topología de inversor MMC con salida en punto medio se observa que se logra el control de potencia y el seguimiento de señal de corriente para ambos casos, pero con valores de error y THD más elevados que los obtenidos en la topología tradicional, evidenciando así una desventaja.

5 Conclusiones

En este trabajo de investigación se evidencian las etapas para la realización del montaje de simulación de un sistema con inversor de conexión a la red desde la recolección de información para describir los escenarios que se implementaron, sus componentes y funcionamiento. La experiencia de trabajar mediante simulación en el software PLECS enriquece las habilidades ingenieriles al permitir simular las diferentes topologías de inversores implementadas en el sistema, así como realizar los cálculos necesarios y el uso del control que se requiere para lograr su correcto funcionamiento.

Se puede observar en los resultados obtenidos que al modificar los parámetros V_{dc} y D_I se logra que el sistema realice el control de potencia y el seguimiento de señal de corriente, pero a su vez se requiere de un incremento considerable en la fuente de alimentación y en la relajación del filtro, que a su vez aumenta la distorsión armónica de las corrientes inyectadas principalmente en escenarios de baja inyección de potencia a la red.

Comprender las diferencias en el método de control PWM que se requiere para cada topología y el montaje respectivo del sistema permite realizar un análisis del comportamiento ante determinados escenarios y evaluar su viabilidad para garantizar una óptima operación en caso de ser implementado.

Al finalizar este trabajo de investigación se evidencia que la topología de inversor MMC con punto neutro presenta mejores resultados ante cualquiera de los escenarios propuestos, realizando el control de potencia y el seguimiento de la señal de corriente para cualquier factor de potencia tanto en adelanto como en atraso a potencia nominal, media y baja. También presenta el método de modulación menos complejo entre las topologías MMC estudiadas en el presente trabajo.

Referencias

- A. Dekka, B. W. (2018). *Modular Multilevel Converters: Analysis, Control, and Applications*. Hoboken, New Jersey: John Wiley & Sons, Inc.
- Alzate, R. (2017). *Diseño e implementación de un controlador resonante para sistemas de conversión DC/AC bidireccionales*. Santiago de Cali: Universidad Autónoma de Occidente.
- D. Grahame Holmes, T. A. (2003). *Pulse with modulation for power converters*. USA: Jhon Wiley & Sons, Inc.
- Electric, S. (2020). *Schneider Electric*. Obtenido de Schneider Electric: https://product-help.schneider-electric.com/ED/MTZ/Micrologic_X_User_Guide/EDMS/DOCA0102ES/DOCA0102xx/MeteringFunctions/MeteringFunctions-12.htm
- L. León, Y. R. (2020). *Seguimiento del punto de máxima potencia en sistemas fotovoltaicos conectados a la red ante sombras parciales*. Bucaramanga: Universidad Industrial de Santander.
- M. A. Mantilla, D. J. (2014). Control of active and reactive powers in three phase inverters for grid-tied photovoltaic systems under unbalanced voltages. *2014 International Conference on Renewable Energy Research and Application (ICRERA)*, pp. 583-588.
- S. Rivera, B. W. (2013). Modular multilevel converter for large-scale multistring photovoltaic energy conversion system. *2013 IEEE Energy Conversion Congress and Exposition*, pp. 1941-1946.

- S. Rivera, S. K. (2011). Cascaded H-bridge multilevel converter multistring topology for large scale photovoltaic systems. *2011 IEEE International Symposium on Industrial Electronics*, pp. 1837-1844.
- Y. Li, Y. W. (2016). Generalized Theory of Phase-Shifted Carrier PWM for Cascaded H-Bridge Converters and Modular Multilevel Converters. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 2, pp. 589-605.