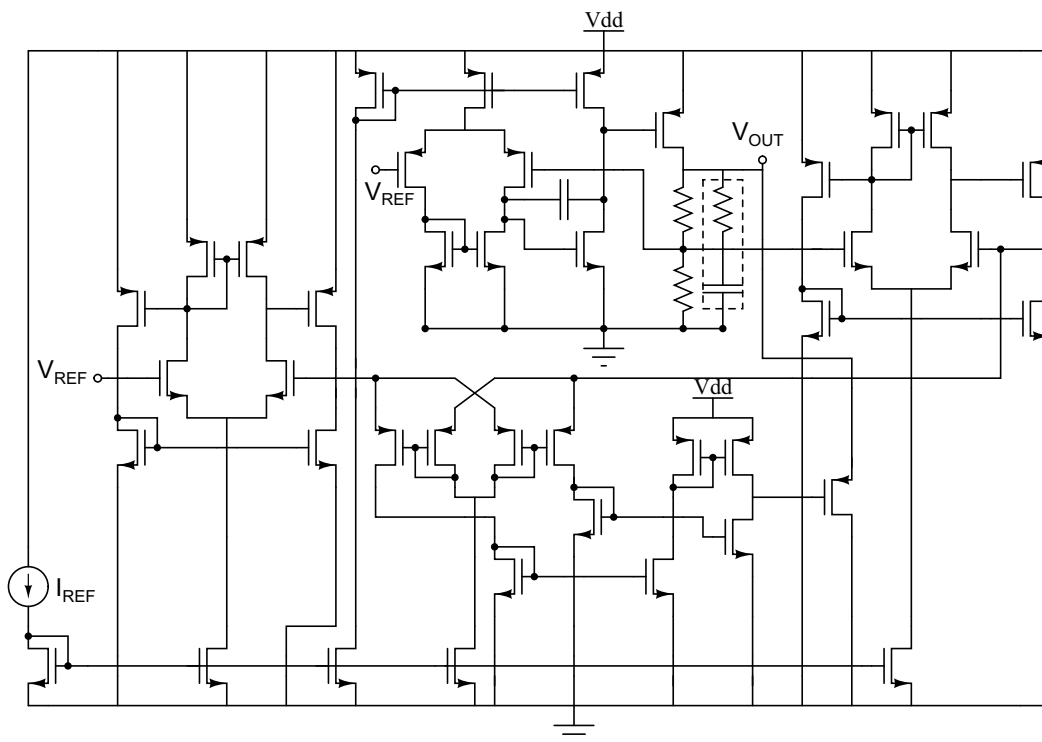


# Diseño de un regulador *LDO* integrable en tecnología *CMOS*

Luis Carlos Gutiérrez Lázaro



Grupo de investigación en diseño de circuitos integrados - CIDIC

Escuela de ingenierías Eléctrica, Electrónica y Telecomunicaciones

Universidad Industrial de Santander

Bucaramanga – 2008



UNIVERSIDAD INDUSTRIAL DE SANTANDER  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones  
Perfecta combinación entre Energía e Intelecto



# Diseño de un regulador *LDO* integrable en tecnología *CMOS*

Luis Carlos Gutiérrez Lázaro

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Elkim Felipe Roa Fuentes

Grupo de investigación en diseño de circuitos integrados - CIDIC  
Escuela de ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Universidad Industrial de Santander

Bucaramanga – 2008

*A mi padre, Luis Carlos,  
por ser mi apoyo incondicional  
y siempre creer en mí.*

*A mi madre, Nhorys Elena,  
por todo su amor  
e incansable dedicación.*

## Agradecimientos

Quiero agradecer a mis padres por todo su amor, comprensión y apoyo durante el desarrollo de mi carrera, especialmente durante este trabajo. Gracias por todo su sacrificio, por brindarme la oportunidad de estudiar, sus palabras de ánimo, su cariño y preocupación.

A mis hermanos, Paulo, Sergio y Carlos, por su gran ejemplo y su constante preocupación en mi desarrollo personal y profesional.

A Lilu, por acompañarme en los momentos más difíciles de mi carrera, por escucharme, por todo su amor y siempre estar ahí para mí.

A Paola, por motivarme a seguir adelante cada vez que las cosas se complicaban, por brindarme toda su energía y sus detalles.

A mi director de proyecto, Elkim, por brindarme la oportunidad de hacer parte del CIDIC, por sus aportes y sugerencias para lograr los mejores resultados posibles.

A mis editores, por hacer de este, un libro mucho más claro y legible.

A mis amigos, y a todos aquellos que de alguna u otra forma aportaron algo en el desarrollo de este trabajo.

## RESUMEN

**TÍTULO:**

DISEÑO DE UN REGULADOR *LDO* INTEGRABLE EN TECNOLOGÍA *CMOS*<sup>1</sup>.

**AUTOR:**<sup>2</sup>

LUIS CARLOS GUTIÉRREZ LÁZARO.

**PALABRAS CLAVE:**

Reguladores *LDO*, regulación de carga, regulación de línea, transistor de potencia, programación geométrica, amplificador de error, *CMOS*.

**DESCRIPCIÓN:**

En este proyecto se presenta una nueva topología de regulador *LDO* desde un enfoque basado en la reducción de área y consumo de potencia, que permite mejorar la respuesta en estado estable del circuito.

El suministro de potencia en los dispositivos móviles, es uno de los problemas de circuitos que mayores retos plantea para los diseñadores de circuitos integrados. Establecer una tensión y corriente de alimentación específicas a partir de las baterías es una tarea bastante difícil, especialmente si se busca maximizar la eficiencia. Los reguladores *LDO*, los cuales pertenecen a la rama de circuitos administradores de potencia, son una de las soluciones más robustas y modernas para llevar a cabo dicha labor.

El núcleo de los reguladores está compuesto por el transistor de potencia, pues es este dispositivo el que define la tensión de salida y la corriente máxima de carga. Típicamente, este transistor se diseña para operar en saturación. En este trabajo, se propone la implementación del transistor de potencia en tríodo con el fin de obtener una gran reducción en el área del circuito sin ir en detrimento de su desempeño. El amplificador de error se diseña usando la optimización convexa, específicamente la programación geométrica, para reducir el consumo de potencia global. La topología de circuito propuesta para la mejora de la respuesta en estado estable se denominó “sumidero de corriente dinámico”, la cual se basa en celdas de transconductancia y espejos de corriente, y cuya finalidad es permitir la descarga del capacitor de compensación sin afectar la eficiencia del circuito.

Los resultados obtenidos se verificaron usando software de circuitos especializado, lo que permitió validar la metodología de diseño utilizada y la topología de circuitos propuesta.

---

<sup>1</sup>Proyecto de grado.

<sup>2</sup>Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones.

## SUMMARIZE

**TITLE:**

DESIGN OF A *CMOS* INTEGRABLE *LDO* REGULATOR.<sup>3</sup>

**AUTHOR:**<sup>4</sup>

LUIS CARLOS GUTIÉRREZ LÁZARO.

**KEYWORDS:**

*LDO* regulator, load regulation, line regulation, power transistor, geometric programming, error amplifier, *CMOS*.

**DESCRIPTION:**

This project presents a novel *LDO* regulator topology based on the reduction of the area and the power consumption, improving the steady-state response of the circuit.

Power sourcing in mobile devices is one of the biggest challenges for the circuits designers nowadays. Setting a specific voltage and current from a battery is a complicated task to accomplish, specially if power efficiency is taken into account. The *LDO* regulators, which belong to the power management integrated circuits, are one of the more robust and modern solutions for the power sourcing problem.

The core of the *LDO* regulators is composed by the power transistor, because this device define the output voltage and the maximum load current. Typically, this transistor is designed to operate in saturation region. This work propose the use of the pass transistor in linear region to obtain a great area reduction in the circuit, without affecting its performance. The error amplifier is designed using convex optimization, specifically geometric programming, in order to reduce overall power consumption. The novel circuit topology proposed to improve the steady-state response was named “dynamic current sinker”, and its structure is based on transconductance cells and current mirrors. The objective of the dynamic current sinker is allow the compensation capacitor to discharge through a fast path without affecting the circuit efficiency.

The results were verified using specialized circuits software, validating both the design methodology used and the novel circuit topology proposed.

---

<sup>3</sup>Degree project.

<sup>4</sup>Electric, Electronic and Telecommunications school.

# Contenido

<b>1. Introducción</b>	<b>1</b>
1.1. Motivación . . . . .	4
1.2. Estado del arte . . . . .	6
1.3. Organización del documento . . . . .	10
<b>2. Consideraciones generales acerca de los reguladores <i>LDO</i></b>	<b>11</b>
2.1. Estabilidad en reguladores <i>LDO</i> . . . . .	12
2.2. Características del transistor de potencia . . . . .	14
2.3. Especificaciones de diseño . . . . .	17
2.3.1. Estado estable . . . . .	17
2.3.2. Estado transitorio . . . . .	18
2.3.3. Respuesta en frecuencia . . . . .	20
<b>3. Diseño de un regulador <i>LDO</i></b>	<b>23</b>
3.1. El transistor de potencia . . . . .	23
3.1.1. Saturación Vs. Trío do . . . . .	24
3.2. Diseño del amplificador de error . . . . .	28
3.2.1. Selección de la topología . . . . .	28
3.2.2. Optimización . . . . .	33
3.2.3. Algoritmo implementado . . . . .	37
3.3. Fuente de referencia y realimentación . . . . .	39
3.4. Compensación . . . . .	40
3.5. Sumidero de corriente dinámico . . . . .	46
3.5.1. Celdas de transconductancia . . . . .	46
3.5.2. <i>Buffer</i> . . . . .	48
<b>4. Resultados</b>	<b>51</b>
4.1. Análisis de esquinas . . . . .	51

---

4.2. Desempeño del regulador <i>LDO</i> diseñado . . . . .	54
4.3. Análisis Estadístico . . . . .	62
4.4. Observaciones y conclusiones . . . . .	68
4.5. Recomendaciones para trabajos futuros . . . . .	70
<b>A. Consideraciones de fabricación</b>	<b>71</b>
A.1. Transistores de potencia <i>MOS</i> . . . . .	71
A.2. Otras recomendaciones . . . . .	74

# Índice de figuras

1.1. Crecimiento de la telefonía móvil 1993-2006. Tomada de [1]. . . . .	1
1.2. Curvas de descarga para algunos tipos de batería. Tomada de [2]. . . . .	3
1.3. Aplicación de administración de potencia típica. . . . .	5
1.4. Propuestas para reguladores <i>LDO</i> con capacitor de compensación externo. . . . .	7
1.5. Propuestas para reguladores <i>LDO</i> completamente integrables. . . . .	8
2.1. Estructura general de un regulador <i>LDO</i> . . . . .	11
2.2. Etapas de salida de los reguladores lineales convencionales. . . . .	13
2.3. Etapa de salida de los reguladores <i>LDO</i> . . . . .	13
2.4. Tensión de <i>dropout</i> en reguladores <i>LDO</i> con $M_{pass}$ <i>PNP</i> y <i>PMOS</i> . . . . .	14
2.5. Relación $I_{Load}$ Vs. $I_b$ para reguladores con transistor de potencia bipolar. . . . .	15
2.6. Relación de corrientes para los transistores <i>PNP</i> y <i>PMOS</i> . . . . .	16
2.7. Respuesta transitoria típica. . . . .	19
2.8. Modelos de pequeña señal para: (a) Transistor de potencia, (b) realimentación. . . . .	21
3.1. Ancho de $M_{pass}$ Vs. $V_{ctrl}$ y $V_{DO}$ . . . . .	27
3.2. Metodología de diseño general tomado de [3]. . . . .	28
3.3. Amplificador operacional de dos etapas. . . . .	29
3.4. Amplificador operacional cascode telescópico. . . . .	30
3.5. Amplificador operacional cascode doblado. . . . .	31
3.6. Diagrama de flujo del algoritmo de optimización. . . . .	37
3.7. Topología de la fuente de referencia seleccionada. . . . .	39
3.8. Respuesta transitoria del regulador sin compensar. . . . .	41
3.9. Respuesta en frecuencia del regulador sin compensar para $I_{Load} = 0\text{mA}$ . . . . .	41
3.10. Modelo utilizado para el capacitor de compensación. . . . .	42
3.11. Tensión en la inductancia serie equivalente. . . . .	43
3.12. Tensión en la resistencia serie equivalente. . . . .	44
3.13. Estructura básica de: (a) Espejo de corriente, (b) Celda de transconductancia. . . . .	47

3.14. Esquemático del circuito propuesto. . . . .	48
3.15. <i>Buffer</i> implementado. . . . .	49
3.16. Diagrama de bloques del circuito propuesto. . . . .	50
3.17. Esquemático del regulador <i>LDO</i> diseñado. . . . .	50
4.1. Respuesta transitoria para $I_{Load} \uparrow 100mA$ . . . . .	53
4.2. Respuesta transitoria para $I_{Load} \downarrow 100mA$ . . . . .	53
4.3. Tiempo de encendido. . . . .	54
4.4. Respuesta transitoria del regulador <i>LDO</i> sin el sumidero de corriente dinámico. . . . .	55
4.5. Respuesta transitoria. . . . .	56
4.6. Corriente en el sumidero de corriente dinámico. . . . .	56
4.7. Regulación de carga. . . . .	57
4.8. Respuesta transitoria para $\Delta V_{DD}=1$ V. . . . .	58
4.9. Regulación de línea. . . . .	58
4.10. Tensión de salida en función de la temperatura. . . . .	59
4.11. PSRR a diferentes $I_{Load}$ . . . . .	60
4.12. Ruido referido a la salida. . . . .	61
4.13. Respuesta en frecuencia. . . . .	61
4.14. Margen de fase en función de $I_{Load}$ . . . . .	62
4.15. Histogramas de dispersión de $V_{out}$ para: (a) $-25^{\circ}C$ , (b) $0^{\circ}C$ , (c) $27^{\circ}C$ y (d) $100^{\circ}C$ . . . . .	63
4.16. Histogramas de dispersión del margen de fase para $I_{Load}$ : (a) $0mA$ , (b) $1mA$ , (c) $10mA$ y (d) $100mA$ . . . . .	64
4.17. <i>Layout</i> del regulador <i>LDO</i> propuesto. . . . .	67
A.1. Patrones de metalización en dispositivos de potencia. . . . .	72
A.2. Conexión de compuerta en transistores de potencia. . . . .	73
A.3. Técnicas de <i>layout</i> para <i>matching</i> . . . . .	74

# Índice de tablas

1.1. Estado del arte de los <i>LDOs</i> . . . . .	9
3.1. Especificaciones básicas para el diseño del transistor de potencia. . . . .	24
3.2. $V_t$ y $k'$ para el transistor <i>PMOS</i> en tecnología <i>AMS - 0,35\mu m</i> . . . . .	25
3.3. Relaciones de aspecto para $M_{pass}$ en diferentes puntos de operación. . . . .	27
3.4. Especificaciones de desempeño para el amplificador de error. . . . .	32
3.5. Resultados de simulación del Opamp diseñado vía PG. . . . .	38
3.6. Especificaciones de desempeño de la fuente de referencia seleccionada. . . . .	40
3.7. Polos y ceros del sistema sin compensar. . . . .	42
3.8. Elementos activos y pasivos utilizados en el regulador <i>LDO</i> diseñado . . . . .	49
4.1. Peores casos de operación para el regulador <i>LDO</i> . . . . .	52
4.2. Resultados de simulación de peor caso del regulador <i>LDO</i> diseñado. . . . .	54
4.3. Comparación de resultados. . . . .	66

# Capítulo 1

## Introducción

Durante los últimos años, el acelerado desarrollo de la electrónica móvil, sumado a la evolución tecnológica de las comunicaciones y el bajo costo, han convertido a los dispositivos electrónicos portátiles en el común denominador de las sociedades urbanas actuales. No es para nada difícil encontrar a una persona en cualquier lugar del mundo que posea por lo menos un dispositivo de este tipo. La figura 1.1 ilustra la tendencia de crecimiento de la telefonía móvil en los últimos 15 años. Los datos actuales indican que por lo menos 3000 millones de personas (casi la mitad de la población mundial), son usuarios activos de esta tecnología. Adicionalmente, los dispositivos de reproducción de audio y video, cámaras fotográficas y equipos de posicionamiento geográfico, entre otros, han venido tomando fuerza dentro del mercado de las economías emergentes.

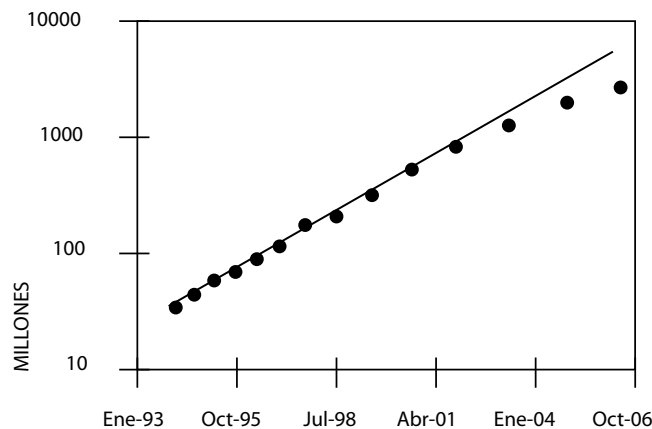


Figura 1.1: Crecimiento de la telefonía móvil 1993-2006. Tomada de [1].

Esta masificación de la electrónica, junto con la creciente necesidad de conectividad en cualquier momento y lugar, son la causa de los mayores retos en el diseño de circuitos integrados hoy en día. Satisfacer esta demanda en un mercado tan competido, obliga al constante diseño de circuitos de mejor desempeño, pues este determinará la aceptación que tenga un equipo en el mercado. Sin embargo, hablar de desempeño de esta forma es bastante general, ya que el desempeño en dispositivos electrónicos es un parámetro que aglutina prácticamente todas las características de operación. Si se tiene por ejemplo un *PDA*<sup>1</sup> y se desea aumentar la frecuencia de operación de éste con el fin de aumentar su capacidad de procesamiento secuencial, se tendrá como consecuencia un aumento en la potencia consumida. Lo anterior establece un compromiso claro entre las variables “procesamiento secuencial” y “consumo de energía”, ilustrando claramente lo complicado que puede llegar a ser optimizarlas simultáneamente, especialmente si se tiene en cuenta la característica de portabilidad.

Hablar de portabilidad es hablar de equipos móviles carentes de un suministro eléctrico “ilimitado”<sup>2</sup>. La fuente de energía disponible para los dispositivos móviles es la batería, la cual puede ser recargable o no. Por definición una batería es un elemento almacenador de energía química, capaz de suministrarla en forma eléctrica dentro de unos parámetros específicos de tiempo, tensión y corriente. En los inicios de la electrónica móvil, las baterías eran un elemento voluminoso y pesado. Las razones fundamentales de su tamaño eran la baja densidad energética y la disipación térmica. A través de los años, un diseño de circuitos más inteligente y la continua evolución en los procesos de fabricación, hicieron posible la reducción en la demanda energética ostensiblemente. Por su parte, las baterías evolucionaron desde las de zinc-carbono, pasando por las baterías alcalinas y de ion de Litio (Li-Ion), hasta las de Níquel-Cadmio (Ni-Cd) y de Níquel-Metal Hidruro (Ni-MH) de última generación, las cuales son mucho más livianas y con mayor densidad de energía que sus antecesoras [2, 4]. La figura 1.2 ilustra el comportamiento de la tensión de salida de los diferentes tipos de batería en función de la energía descargada. Actualmente puede decirse que se ha llegado a un tamaño mínimo debido a la propia anatomía humana, ya que se busca que los dispositivos fabricados se adapten a las necesidades de comodidad del hombre. Desde este punto de vista, obtenida ya una ergonomía estándar, los esfuerzos se centran no tanto en la reducción de tamaño sino en el incremento de la autonomía de operación.

La autonomía de un equipo se define como el tiempo de duración de una carga completa de batería para cuando este se encuentra en su máximo de consumo. Eventualmente un equipo podrá continuar en funcionamiento más allá del tiempo nominal si no estuvo sometido a un uso energéticamente exigente durante ese período de tiempo. Dicho esto, puede determinarse

---

<sup>1</sup>Sigla correspondiente a *Personal Digital Assistant*.

<sup>2</sup>A nivel de microelectrónica, la red eléctrica bien puede considerarse como un suministro eléctrico ilimitado.

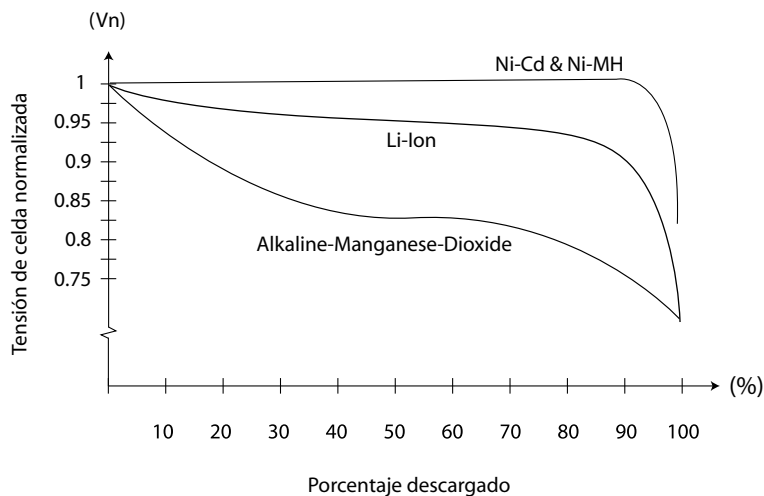


Figura 1.2: Curvas de descarga para algunos tipos de batería. Tomada de [2].

que el tiempo de duración de una carga completa para un dispositivo en particular estará entre el tiempo de autonomía como se definió en líneas anteriores y el tiempo que pueda durar en estado de espera o *standby*. Sin embargo, dicha autonomía no puede ser satisfecha simplemente con una mayor capacidad de almacenamiento energético en la batería, se requiere también de la reducción en el consumo de potencia del sistema alimentado y, adicionalmente, satisfacer otro factor determinante en la operación de los circuitos que componen el dispositivo para garantizar un correcto desempeño en todos los diversos escenarios de operación que puedan presentarse: La calidad de la energía.

Si bien la discusión se centró inicialmente en cantidad de energía, tamaño y eficiencia de los circuitos, la calidad de la energía es el tema de mayor relevancia a lo largo del presente trabajo. Teniendo en cuenta que las baterías son un elemento físico que responde a las leyes de la química que gobiernan las reacciones en su interior, se puede observar en la figura 1.2. que el comportamiento exhibido por estas se aleja en forma apreciable del de una fuente de tensión ideal. Factores como la temperatura, el *mismatch*<sup>3</sup> entre células, las características de suministro necesarias en una aplicación particular y el proceso de recarga afectan el comportamiento de la batería, haciéndola poco confiable como fuente energética de calidad. De usarse las baterías para alimentar los circuitos directamente, es muy probable que éstos operen de forma incorrecta o inclusive no operen en absoluto. El problema radica fundamentalmente en que la tensión que las baterías suministran es variable desde décimas de *Volt* hasta casi 2 *Volts*, y para el entorno de los equipos móviles en los que se manejan pequeñas tensiones de

<sup>3</sup>Se denomina así al evento en el que dos o más células que componen una batería tienen tensiones diferentes y se descargan a diferentes tasas. Esto incrementa su impedancia interna y disminuye su vida útil.

operación, décimas de *Volt* representan una gran variación. De esta forma, es imprescindible la utilización de una interfase entre la batería y los circuitos, capaz de darle las características necesarias a la energía suministrada para que el dispositivo alimentado opere satisfactoriamente. Dicha interfase está compuesta por los *Power Management Integrated Circuits - PMIC*, o circuitos administradores de potencia. Éstos son los encargados de controlar la cantidad, la calidad y la distribución de potencia a los demás circuitos.

En [5] se propone una estructura general para los circuitos administradores de potencia aplicable en tarjetas computacionales, *MODEMS* y *PDA*s. Allí se plantean 5 categorías en las que se clasifican los circuitos administradores de potencia según la función que desempeñan. Las categorías son: control de potencia de entrada, interfase de circuitos, interfase de usuario, control general y regulación de tensiones de salida.

Teniendo en cuenta el panorama anteriormente descrito, en este trabajo se abordará el problema de la calidad energética, presentando el diseño de un regulador *LDO*<sup>4</sup> integrable en tecnología *CMOS*, el cual hace parte de la gama de los circuitos reguladores de tensiones de salida y es ampliamente usado en la actualidad, ya que representa una de las soluciones más robustas y eficientes para el suministro de potencia en dispositivos móviles.

## 1.1. Motivación

Los reguladores *LDO*, junto con los convertidores *DC/DC* o reguladores conmutados conforman los circuitos administradores de tensiones de salida. Estos circuitos pueden usarse individualmente o en conjunto, cuando esta configuración permita obtener un mejor resultado en términos de calidad y eficiencia energética. La figura 1.3 presenta la disposición general de estos circuitos en un dispositivo en particular. El lugar de los reguladores *LDO* y conmutados está entre el elemento de suministro de energía y el circuito encargado de desarrollar una tarea específica. Dadas las características de cada uno de ellos, los reguladores *LDO* estarán del lado de los circuitos integrados (proveen una tensión “limpia”) mientras los convertidores *DC/DC* estarán del lado de la batería (convierten niveles de tensión con eficiencias por encima del 90 %).

Idealmente, lo que se quiere obtener con un regulador *LDO* es una tensión de salida invariable frente a cambios en la tensión de entrada, la carga y las perturbaciones que puedan acoplarse en la alimentación. Lamentablemente, factores como el tamaño admisible del dispositivo, la tecnología usada y la temperatura, entre otros, imposibilitan la obtención del comportamiento ideal, ya que limitan la corriente máxima de salida, la tensión mínima de

---

<sup>4</sup>Sigla correspondiente a *Low Drop-Out*. En adelante cuando se hable de regulador se estará haciendo referencia a los reguladores *LDO*. La definición estricta se dará en el capítulo 2.

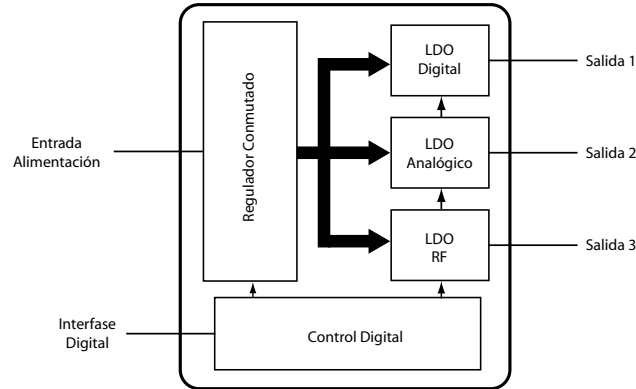


Figura 1.3: Aplicación de administración de potencia típica.

operación y algunas otras características de importancia para un regulador. De esta manera, el conocimiento y la creatividad del diseñador de circuitos adquieren gran valor, pues, partiendo de las limitaciones que surgen del diseño real, es necesario establecer las características más relevantes y los compromisos entre variables en una determinada aplicación para enfocar sus esfuerzos de diseño en función de ellas. En particular, el diseño del regulador presentado en este trabajo busca dar solución al problema de suministro energético que plantea el diseño de un receptor integrado, el cual se viene elaborando al interior del grupo de investigación en diseño de circuitos integrados - CIDIC. Los bloques funcionales de este receptor, que son resultado de trabajos previos dentro del grupo o se encuentran actualmente en proceso de diseño, requieren una tensión de 3.3V y una corriente de hasta 100 mA, dependiendo de la condición de operación en la que se encuentren.

Dentro de dichas condiciones de operación, la más común, paradójicamente, es la condición de espera o *stand-by*, pues de las 24 horas del día, un equipo móvil puede llegar a ser usado tan solo unos cuantos minutos; sin embargo, para que pueda establecerse conectividad instantánea, se requiere que el dispositivo permanezca encendido ante un posible llamado de operación. Para que los circuitos se mantengan listos para su uso se requiere una cierta cantidad de corriente (generalmente de polarización) que afecta de manera notoria la longevidad de las baterías. Siendo los reguladores un elemento transparente<sup>5</sup> en términos de funcionalidad para el usuario, la energía necesaria para que este realice su labor debe minimizarse, de modo que no se convierta en un elemento determinante del consumo de potencia del circuito y satisfaga las necesidades de calidad energética del equipo móvil.

<sup>5</sup>Técnicamente el dispositivo proveería al usuario los mismos servicios con o sin regulador.

## 1.2. Estado del arte

Debido a la proliferación de aplicaciones electrónicas de alto desempeño y baja tensión, el diseño de reguladores se ha convertido en una tarea bastante complicada. Obtener un diseño estable dentro de todo el rango de corriente, alcanzar una alta eficiencia y una excelente regulación de carga y de línea (conceptos que se discutirán en el capítulo 2) son los retos más importantes en el diseño de reguladores *LDO*, pero no los únicos. Adicionalmente, y en concordancia con la tendencia general en la electrónica mundial hacia los “Sistemas-en-Chip”<sup>6</sup>; se busca minimizar en lo posible el área del circuito, tanto en silicio como en el *PCB*<sup>7</sup>, mediante la eliminación de los dispositivos pasivos externos. Sin embargo, existen compromisos o *trade-off* que deben evaluarse detenidamente con el fin de obtener el diseño más adecuado para una aplicación particular.

A continuación se presenta una tabla con los trabajos más representativos en el área de los reguladores de los últimos años. Es importante anotar que la tabla sirve principalmente como referencia, y que para poder comparar correctamente dos o más diseños es necesario que estos posean los mismos requerimientos de tensión y corriente de salida.

En [6], teniendo en cuenta la ecuación 1.1, donde  $V_{th}$  es la tensión umbral,  $V_{to}$  es la tensión umbral típica dada para una diferencia de potencial  $V_{sb} = 0$ ,  $\gamma$  es el coeficiente de polarización de cuerpo y  $\phi_f$  es la tensión Fermi de cuerpo, el autor propone la polarización directa de la unión surtidor-cuerpo del transistor de potencia con el fin de reducir su tensión umbral típica y de esta forma permitir una mayor capacidad de corriente de salida para una tensión de control dada. La polarización directa se lleva a cabo mediante la implementación de un diodo Schottky integrado tal y como se muestra en la figura 1.4(a). Sin embargo, ésta técnica puede generar una conducción significativa de corriente a través del cuerpo del transistor si la caída de tensión a través del diodo supera la tensión base-emisor de los transistores *PNP* parásitos que surgen en el transistor de potencia, aún utilizando anillos de guarda.

$$|V_t| = |V_{to}| + \gamma \left[ \sqrt{2|\phi_f| - V_{sb}} - \sqrt{2|\phi_f|} \right] \quad (1.1)$$

El concepto usado en [7] es el denominado “atenuación de impedancia de *buffer*”, o *BIA* por su sigla en inglés, el cual se muestra en la figura 1.4(b). Se basa en una corriente de polarización variable en la puerta del transistor de potencia, que permita suministrar las corrientes para cargar y descargar el capacitor parásito  $C_{gs}$  del transistor de potencia, la cual debido a su enorme tamaño afecta el *slew-rate*<sup>8</sup> y por tanto la respuesta transistoria global

<sup>6</sup>Término que surge a partir de la alocución en inglés *System on Chip* “*SoC*”.

<sup>7</sup>Sigla correspondiente a *Printed Circuit Board*.

<sup>8</sup>El *slew-rate* es una característica que expresa la tasa máxima en gran señal a la que es capaz de responder un *opamp* a una onda cuadrada y sus unidades son  $V/\mu s$ .

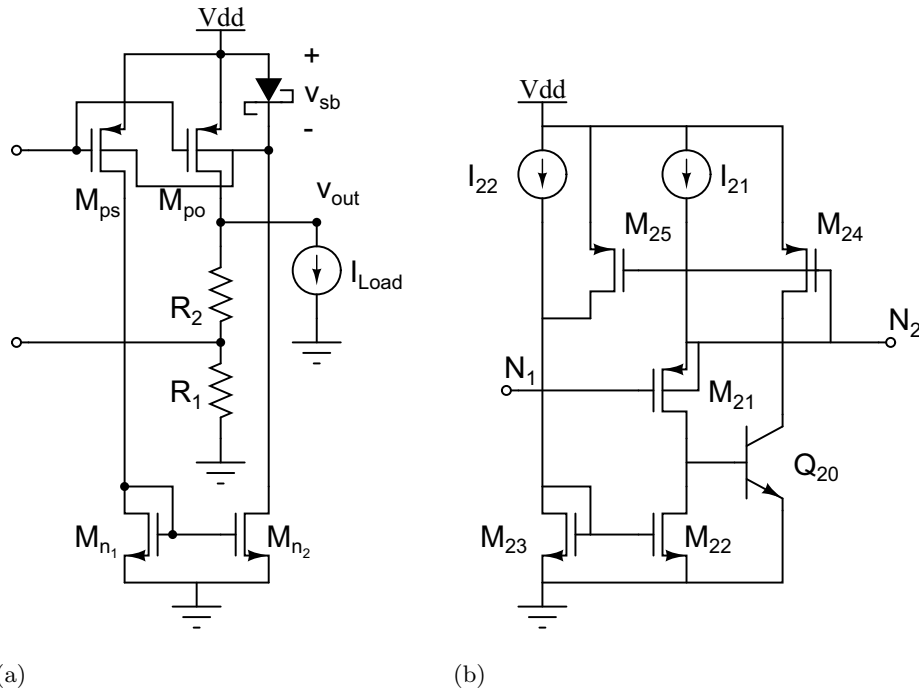


Figura 1.4: Propuestas para reguladores *LDO* con capacitor de compensación externo.

del circuito. Con esta propuesta se logra aislar la alta impedancia de salida del amplificador de error en  $N_1$  de la capacitancia de puerta del transistor de potencia en  $N_2$ , enviando los polos en estos nodos a altas frecuencias, y estableciendo el polo dominante por medio de un capacitor de compensación externo. No obstante, su correcta implementación requiere el uso de procesos de fabricación de doble pozo o *twin-well CMOS*, los cuales no son procesos convencionales de fabricación, lo que incrementa el costo, que en definitiva es una variable de diseño.

Dos circuitos que merecen especial atención son los circuitos expuestos en [8] y en [9], siendo ambos reguladores *full on-chip*. Las propuestas fundamentales de estos trabajos se ilustran en la figura 1.5. En [8] se propone el uso de un “*fast transient path*” (figura 1.5(a)), que realimenta directamente la salida del regulador a la puerta del transistor de potencia, saltándose el lazo de control convencional, con el fin de proveer una respuesta transitoria más rápida sin depender de un capacitor externo. Ésta técnica tiene como inconveniente el uso de enormes áreas del circuito para la implementación de los elementos pasivos que establecen la red de realimentación rápida (siendo el área pasiva mayor que el área activa) y un mayor consumo de corriente para lograr un funcionamiento eficaz de la técnica presentada (ver tabla 1.1). Adicionalmente, el capacitor de compensación en el nodo de salida no es completamente erradicado, sino que se lleva a un valor en donde pueda llegar a ser viable para su integración; en este caso, el autor consideró viable 100 pF.

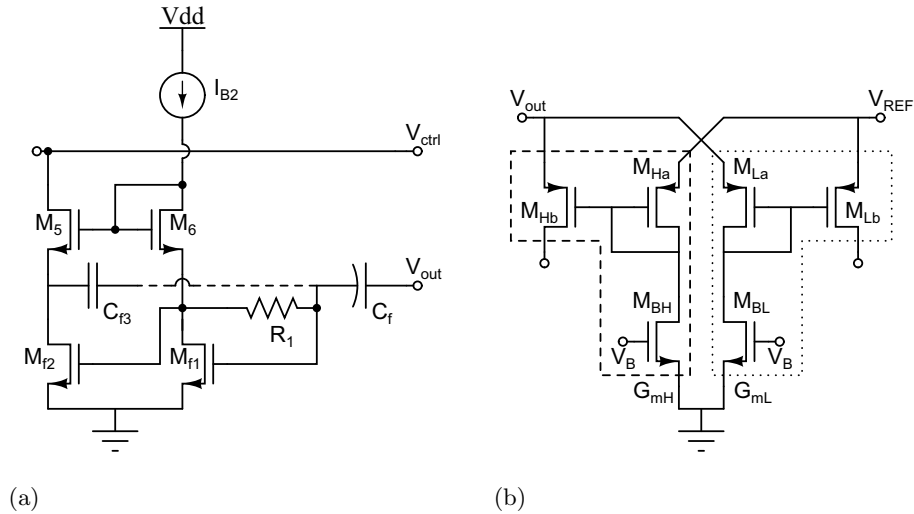


Figura 1.5: Propuestas para reguladores *LDO* completamente integrables.

Por otra parte, el circuito presentado en [9], ofrece baja área y bajo consumo de potencia, teniendo la corriente de polarización más baja del estado del arte. Se basa en el uso de lo que el autor llama “celdas de transconductancia” o *Gm-cells* (figura 1.5(b)), las cuales son amplificadores de puerta común, que sensan las variaciones en la tensión de salida producto de las variaciones en la corriente de carga y la envían a la puerta del transistor de potencia por medio de espejos de corriente, permitiendo cargar y descargar rápidamente la capacitancia  $C_{gs}$  del mismo, optimizando la respuesta transitoria del regulador. Ésta técnica funciona muy bien cuando las tensiones de salida requeridas para el regulador son bastante bajas (menores a 1.5 V en tecnología 0.35  $\mu m$ ), pero cuando se requiere tensiones superiores, como en el diseño planteado en este trabajo (3.3 V), y con corrientes superiores a 50 mA, el *undershoot* y *overshoot* observados se hacen demasiado grandes. Adicionalmente, esta técnica no es estable para todo el rango de corriente desde los 0 mA, debe existir un mínimo de carga de algunos  $\mu A$  (el autor plantea 50  $\mu A$  en sus simulaciones transitorias), la cual puede considerarse como una corriente de polarización mínima de carga, que de igual forma afecta la eficiencia del regulador.

La tabla 1.1 muestra los trabajos más representativos en el área de los reguladores *LDO* de los últimos años, permitiendo comparar sus diferentes características de operación tanto en consumo de potencia, estado estable, transitorio y en frecuencia.

<i>Ref.</i>	<i>Tecnología</i>	<i>Área</i> [mm <sup>2</sup> ]	<i>V<sub>in</sub></i> [V]	<i>V<sub>out</sub></i> [V]	<i>I<sub>out</sub> máx.</i> [mA]	<i>V<sub>do</sub></i> [mV]	<i>I<sub>q</sub></i> [μA]	<i>T. Est.</i> [μs]	<i>Reg. Línea.</i> [mV/V]	<i>Reg. Carga.</i> [mV/mA]	<i>PSRR</i> [dB]	<i>Ruido</i> [μV]
[6]	t-CMOS* 2μm	–	3.8	0.9	50	300	23	–	0.95	0.38	–	–
[7]	t-CMOS* 0,35μm	0.264	5.5	1.8	200	200	20	0.27	2	0.17	45@20kHz	–
[8]**	CMOS 0,35μm	0.284	5	2.8	50	200	65	15	2	0.2	45@1kHz	51,7 <sup>a</sup>
[9]**	CMOS 0,18μm	0.09	1.8	0.9	50	100	1.2	2.8	4.5	0.148	–	–
[10]	CMOS 0,35μm	–	5.5	2.5	138	200	24***	2	7.8	0.146	–	–
[11]	CMOS 0,5μm	0.74	6	1.2	150	170	4.1	< 50	1	0.093	50@1kHz	150 <sup>b</sup>
[12]	CMOS 0,18μm	0.122	0.95	0.5	50	150	12.72	10	3.63	0.377	–	–

a) Ruido integrado en la banda de 1Hz a 100kHz.

b) Ruido integrado en la banda de 22Hz a 80kHz.

\* Tecnología de pozo dual o *twin-well CMOS*.

\*\* Sin capacitor de compensación externo.

\*\*\* No incluye la corriente de la fuente de referencia.

Tabla 1.1: Estado del arte de los *LDOs*.

### 1.3. Organización del documento

El presente documento busca ilustrar de una manera clara y con suficiente detalle, el proceso de diseño de un regulador *LDO* integrable en tecnología *CMOS*.

El capítulo 2 presenta la teoría la teoría alrededor de los reguladores *LDO*, partiendo de una definición estricta de esta clase de circuitos en función de sus características de operación. Se estudia la influencia del proceso de fabricación en el desempeño del transistor de potencia, mediante una comparación cualitativa entre el proceso *CMOS* y el bipolar. Finalmente, se determinan las características de operación más relevantes en los reguladores *LDO* desde el punto de vista de la respuesta en estado estable, transitoria y en el dominio de la frecuencia.

El capítulo 3 ilustra todo el proceso de diseño realizado, el cual se basa en el uso del transistor de potencia en la región de triodo. Se discuten las ventajas y desventajas que esto acarrea, y se establecen las características que los demás bloques funcionales del sistema deben cumplir con el fin de conseguir un diseño viable a partir de esta propuesta. Posteriormente se presenta el diseño del amplificador de error mediante el uso de la programación geométrica, técnica que permite conseguir el mínimo consumo de potencia a partir de unas especificaciones dadas. Se ilustra el proceso de selección de la fuente de referencia, la red de realimentación y las características a tener en cuenta en la compensación del circuito. Para finalizar, se propone una estructura circuital que se denominó sumidero de corriente dinámico, la cual permite mejorar la respuesta en estado estable del regulador sin ir en detrimento de la eficiencia y demás características de operación.

En el capítulo 4 se expone el análisis de esquinas del circuito, técnica que permite establecer el funcionamiento del circuito en los peores casos de operación. Posteriormente se presentan los resultados obtenidos en este trabajo, discutiendo cada una de las particularidades observadas. Adicionalmente, se realiza un análisis estadístico del regulador *LDO* diseñado, validando la robustez y la factibilidad del circuito obtenido para fabricación. Este capítulo finaliza con el planteamiento de las conclusiones extraídas a partir de los análisis realizados y de los resultados obtenidos, permitiendo plantear una serie de recomendaciones a seguir en eventuales trabajos futuros que se deriven de éste.

## Capítulo 2

# Consideraciones generales acerca de los reguladores *LDO*

Hasta el momento se ha discutido la pertinencia de los reguladores *LDO* en la electrónica, las condiciones que han dado lugar a su establecimiento como elemento indispensable en los equipos móviles y las tendencias de mayor vigencia en la actualidad. En este capítulo se expone desde un punto de vista mucho más formal la teoría de los reguladores, estableciendo las ventajas que ofrece la tecnología *CMOS* en esta clase de circuitos. En seguida, se describe detalladamente el problema de estabilidad al que se ven frecuentemente supeditados para, finalmente, establecer las características de desempeño más importantes en estado estable, transitorio y en frecuencia.

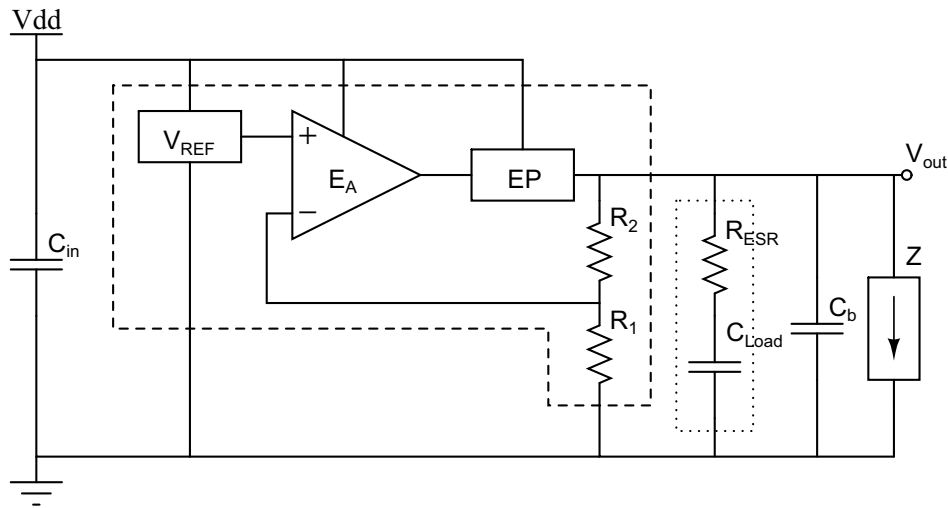


Figura 2.1: Estructura general de un regulador *LDO*.

Un regulador puede considerarse en primera instancia y de la manera más somera, como una fuente de tensión unidireccional<sup>1</sup> cuyo objetivo es comportarse idealmente, lo cual implica suministrar la corriente requerida por la carga a una tensión invariable con los cambios en el entorno de operación. Por definición, un regulador *LDO* serie es un circuito que provee una tensión estable y bien especificada, cuyo *dropout*<sup>2</sup> o diferencial de tensión *entrada/salida* “ $V_{DO}$ ” es bajo [13]. El *dropout* es la mínima tensión dren-fuente del transistor de potencia necesaria para mantener la regulación.

Desde un punto de vista sistemático, los reguladores están compuestos esencialmente de una **etapa de potencia**, que es la encargada de suministrar la tensión y corriente requeridas por la carga; una **red de realimentación** cuyo objetivo es sensar la tensión de salida y enviar una muestra al **amplificador de error**, el cual se encarga de generar la tensión de control necesaria para mantener al circuito operando en regulación. La figura 2.1 muestra la estructura general de los reguladores *LDO*. Los elementos encerrados por la línea a trazos son los elementos integrados, tales como la fuente de referencia ( $V_{REF}$ ), el amplificador de error ( $E_A$ ), la etapa de potencia ( $EP$ ) y las resistencias de realimentación ( $R_1$  y  $R_2$ ). Los elementos dentro de la línea punteada corresponden al capacitor de compensación ( $C_{out}$  y  $R_{ESR}$ ). Los capacitores de  $C_{in}$  y  $C_b$  son capacitores de *bypass* utilizados para mejorar la respuesta en frecuencia del circuito [14] y  $Z$  corresponde a la carga, la cual requiere una corriente dinámica dependiente de su estado de operación.

La principal diferencia entre los reguladores convencionales y los *LDO* radica en la configuración de su etapa de potencia [15], la cual acarrea consecuencias tanto en la eficiencia como en la estabilidad del circuito.

## 2.1. Estabilidad en reguladores *LDO*

Para los reguladores convencionales, se tiene que su etapa de potencia está compuesta por un transistor *NMOS* o *NPN* en configuración seguidor de fuente, o transistores *NPN* en conexión Darlington tal y como se observa en la figura 2.2(a). La figura 2.2(b) ilustra la respuesta en frecuencia típica de esta clase de reguladores, donde se observa que la ubicación del polo P2 está más allá de la frecuencia de ganancia unitaria, haciendo al sistema inherentemente estable. Sin embargo, desde un punto de vista energético, este tipo de reguladores no es factible en aplicaciones de baja tensión (dispositivos móviles), dada la necesidad de suministrar tensiones de control por encima de la tensión de salida para ser puestos en conducción.

<sup>1</sup>Esto quiere decir que funciona como fuente pero no como sumidero.

<sup>2</sup>En este libro se utilizarán indistintamente los términos *dropout* y  $V_{DO}$ .

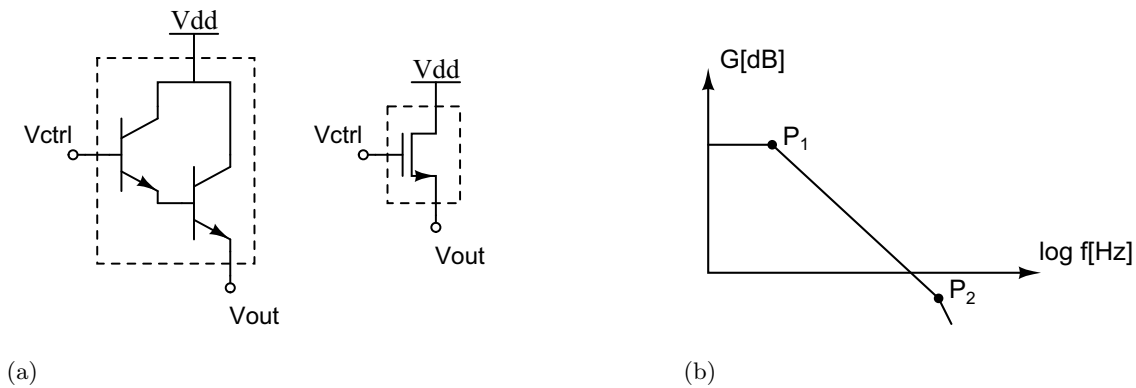


Figura 2.2: Etapas de salida de los reguladores lineales convencionales.

Los reguladores *LDO* por su parte, utilizan un transistor de potencia *PNP* o *PMOS* en configuración fuente común (figura 2.3(a)), el cual es puesto en conducción con tensiones de control por debajo de la tensión de salida, lo cual los hace apropiados para aplicaciones portátiles. Esta mejora en el desempeño del regulador viene acompañada de un problema, la estabilidad. La figura 2.3(b) muestra cómo los polos  $P_1$  y  $P_2$  se encuentran a frecuencias por debajo de la frecuencia ganancia unitaria. Esta particular tendencia hacia la inestabilidad, se debe a que, si se tiene en cuenta el uso típico que se le da a estos circuitos, donde la corriente de salida máxima requerida oscila entre los 20 y 200 mA y el *dropout* debe minimizarse, es necesario que la etapa de potencia tenga una impedancia de salida baja [13], difícil de obtener dada la configuración de fuente común adoptada. Por lo tanto, se hace necesario el uso de transistores de canal corto y de enorme ancho, lo que supone la existencia de elementos capacitivos parásitos muy grandes que disminuyen la frecuencia de los polos del *LDO* (reducción del ancho de banda) y generan el efecto de *slewing*<sup>3</sup>. Esta situación se torna particularmente intolerable en condiciones de carga ligera (corrientes por debajo de 1 mA), pues la impedancia de salida del regulador aumenta a medida que la corriente disminuye.

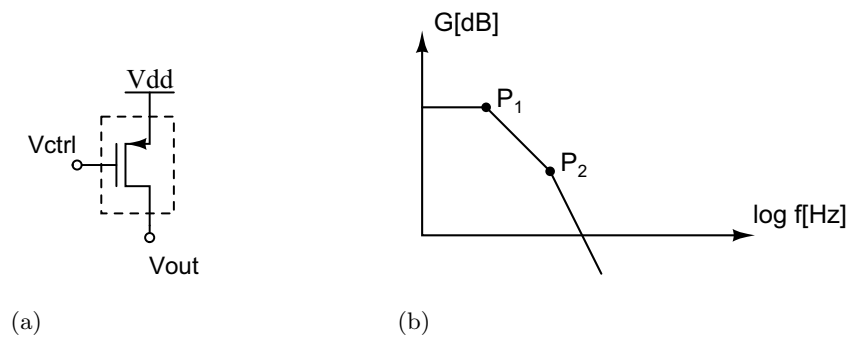


Figura 2.3: Etapa de salida de los reguladores *LDO*.

<sup>3</sup>El *slewing* es un defecto de operación, mientras que el *slew-rate* se define como una capacidad.

Esta particularidad hace necesario el uso de técnicas de compensación para garantizar la estabilidad del circuito, y que pueden acarrear el uso de elementos pasivos externos, mayor consumo de área de silicio o deterioro de otras características operacionales de los reguladores, como su respuesta transitoria y de estado estable. En la sección 3.4 se ilustra con detalle el proceso de compensación del regulador *LDO* diseñado.

Dentro de la gama de reguladores *LDO*, existen los reguladores de tipo bipolar, *BiCMOS* y *CMOS*, cada uno de estos tipos con sus ventajas y desventajas. Considerando que en este trabajo se ha propuesto diseñar un regulador *LDO* para el suministro de potencia a un receptor inalámbrico en el estándar *bluetooth*, se establecerán las características que hacen más atractiva una implementación completamente *CMOS* sobre sus contrapartes.

## 2.2. Características del transistor de potencia

Sin lugar a dudas, el adecuado diseño del transistor de potencia es la pieza clave para elaborar un regulador de excelente desempeño, especialmente si se apunta a minimizar el consumo de potencia y el área. Desde el punto de vista de los procesos de fabricación, el diseñador cuenta con la posibilidad de escoger entre trabajar con transistores bipolares, de efecto de campo o una mezcla entre ellos. A continuación se hace una revisión de las características de desempeño de del transistor de potencia  $M_{pass}$ <sup>4</sup> que son directamente influenciadas por el proceso de fabricación.

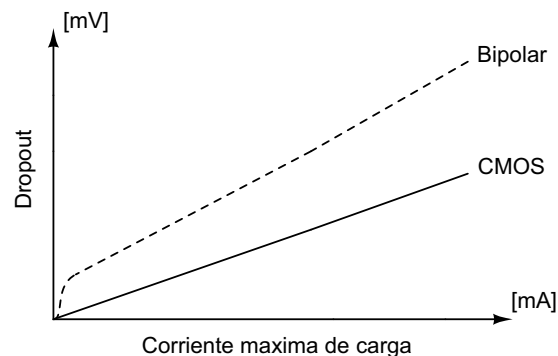


Figura 2.4: Tensión de *dropout* en reguladores *LDO* con  $M_{pass}$  *PNP* y *PMOS*.

**Tensión de *dropout*** Para los transistores *PNP*, la caída de tensión colector-emisor ( $V_{CE}$ ) establece el *dropout* y está determinada por el diseño físico del transistor [16]. Típicamente, la ganancia de los transistores *PNP* en un regulador *LDO* se reduce con el objetivo de disminuir su tensión  $V_{CE}$ . Sin embargo, para una corriente máxima de salida dada, reducir la ganancia

<sup>4</sup>El transistor de potencia se denomina  $M_{pass}$  porque es el elemento de paso de potencia en el regulador.

implica una mayor corriente de polarización  $I_{qM_{pass}}$ <sup>5</sup>. Esta situación en particular demuestra el compromiso entre las dos variables más importantes en la determinación de la eficiencia:  $V_{DO}$  e  $I_q$ .

Por otra parte, se tiene que cuando un transistor *PMOS* opera en condición de *dropout*, éste se comporta como un resistor fijo de pequeño valor. Esta resistencia es denominada resistencia de “encendido” drenó-fuente  $R_{DS(on)}$  y está determinada por el diseño físico del transistor y por la tensión de control disponible en puerta. La tensión  $V_{DO}$  se define como  $I_{Load-max} \times R_{DS(on)}$ . En la figura 2.4 se ilustra el comportamiento típico de  $V_{DO}$  para un transistor *PNP* y para uno *PMOS*, donde se observa claramente que  $V_{DO_{PMOS}} < V_{DO_{PNP}}$  en todo el rango de corrientes, lo que hace más atractivos a los transistores *PMOS* para aplicaciones de baja tensión y alta eficiencia.

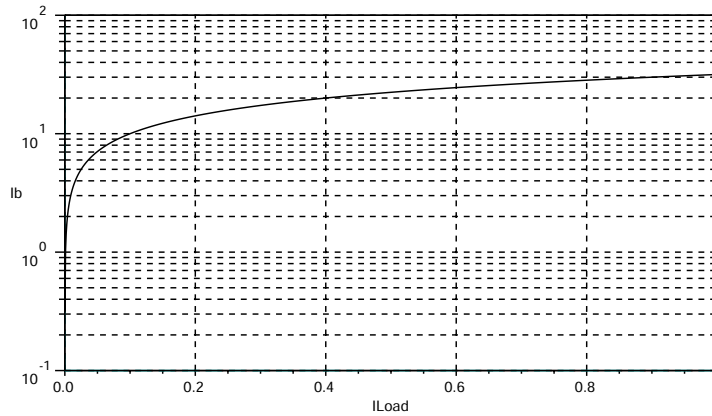


Figura 2.5: Relación  $I_{Load}$  Vs.  $I_b$  para reguladores con transistor de potencia bipolar.

**Corriente de polarización** La corriente de polarización o “*quiescent current*”  $I_q$  se define como la diferencia entre las corrientes de entrada y de salida del regulador y es en esencia la suma de todas las corrientes de polarización de los elementos que componen la estructura circuital del *LDO*; la fuente de referencia, el amplificador de error, la red de realimentación y la corriente de conducción<sup>6</sup> del transistor de potencia.

En los reguladores tipo *PNP*, la mayoría de  $I_q$  se debe a la corriente de base del transistor de potencia. En operación normal, el transistor *PNP* está operando en la región activa; en esta región, la corriente de salida es  $\beta$  veces la corriente de conducción. Para un transistor *PNP*

<sup>5</sup>La corriente  $I_{qM_{pass}}$  es la corriente de polarización que fluye por la red de realimentación.

<sup>6</sup>Corriente de conducción es una expresión usada fundamentalmente en los transistores bipolares para indicar la corriente de base. En este libro, sin embargo, se hace uso indistinto de la expresión en los transistores *CMOS* para efectos comparativos.

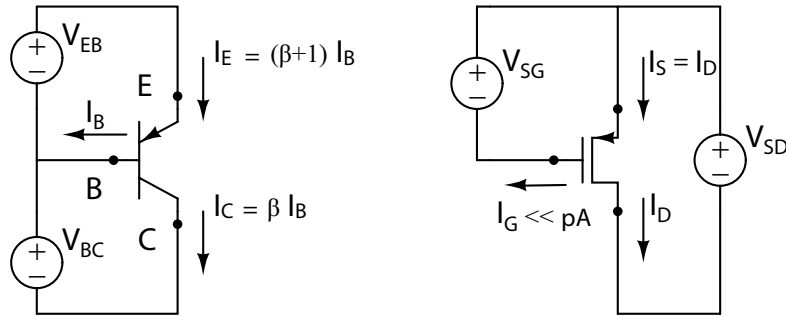


Figura 2.6: Relación de corrientes para los transistores *PNP* y *PMOS*.

de potencia típico,  $\beta$  oscila entre 20 y 100, esto quiere decir que para el problema particular de diseño planteado, en el cual se requiere una corriente de salida de 100 mA, la corriente de conducción estaría en el rango de 1 a 5 mA. Esta situación enmarca claramente un problema de eficiencia para los reguladores *LDO* implementados en esta tecnología. La figura 2.5 muestra el comportamiento de la corriente de polarización en transistores bipolares a medida que la corriente de carga aumenta, permitiendo observar un crecimiento logarítmico muy marcado en  $I_b$ . Por otro lado, la corriente de conducción de los transistores *MOS* es prácticamente nula y es producto de la electromigración que ocurre a través del dieléctrico en la puerta del transistor. En consecuencia, un diseño elaborado en tecnología *CMOS* ofrecerá grandes ventajas en términos de consumo energético.

Adicionalmente, es importante mencionar que, cuando los transistores bipolares entran a operar en la región de *dropout*, la ganancia  $\beta$  se reduce drásticamente, llegando a ser inclusive menor que la unidad. Esto implica que la corriente de base sea superior a la corriente de salida, profundizando el problema de eficiencia anteriormente mencionado. Por otra parte, la corriente de conducción del transistor *PMOS* permanece constante en todo punto de operación.

**Respuesta térmica** Otro factor a tener en cuenta en la comparación de tecnologías de fabricación es cómo se comportan los reguladores *LDO* ante cambios en la temperatura. Tanto para los transistores bipolares como para los de efecto de campo, la tensión de *dropout* aumenta con el aumento de temperatura. La  $R_{DS(on)}$  sufre un incremento de 1.5 a 2 veces para un cambio de temperatura de 25°C a 125°C. Teniendo en cuenta que la tensión  $V_{DO}$  en los transistores *PNP* es más grande, su variación en magnitud será mayor a la que se observa en dispositivos *MOS*, especialmente si se busca reducir  $I_q$ .

## 2.3. Especificaciones de diseño

Las especificaciones de diseño de los reguladores que se enuncian a continuación, son de cierta forma una medida de qué tan “ideal” es el comportamiento del regulador. Sin embargo, cabe anotar que existen compromisos entre ellas y no pueden optimizarse todas simultáneamente y que cada bloque funcional debe cumplir con ciertas características para conseguir en conjunto un diseño satisfactorio. Para mayor claridad, las especificaciones de diseño suelen separarse en 3 categorías fundamentales, que corresponden a sus características en estado estable, estado transitorio y respuesta en frecuencia.

### 2.3.1. Estado estable

Esta categoría incluye los parámetros relacionados con el desempeño en regulación: Eficiencia, regulación de línea, regulación de carga y coeficiente de temperatura.

#### **Eficiencia:**

La eficiencia de un regulador está determinada fundamentalmente por tres parámetros: La corriente de polarización  $I_q$ , la corriente de carga máxima  $I_{Load-max}$  y la tensión  $V_{DO}$ . La ecuación 2.1 muestra la relación entre ellas.

$$Eff = \frac{V_{out} I_{Load-max}}{V_{in} (I_q + I_{Load-max})} \quad (2.1)$$

Si se piensa que el regulador se encuentra operando en estado de *stand-by*, la expresión anterior puede aproximarse a  $Eff = (I_{Load-max} / (I_q + I_{Load-max}))$ . De aquí se puede concluir que la eficiencia en *stand-by* depende exclusivamente de  $I_q$ . Por otra parte, si el regulador se encuentra operando a carga completa (o a cargas mucho mayores que  $I_q$ ), la corriente de polarización se hace despreciable y la expresión de eficiencia se aproxima a  $Eff = (V_{out} / V_{in})$ .

#### **Regulación de línea:**

La regulación de línea se define como el cambio que se observa en la tensión de salida ( $\Delta V_{out}$ ) como consecuencia de un cambio establecido en la tensión de entrada ( $\Delta V_{in}$ ). Este parámetro está dado como:

$$Reg. \text{ Línea} = \frac{\Delta V_{out}}{\Delta V_{in}} = \frac{g_{mp} R_{OMpass}}{A \beta} + \frac{1}{\beta} \left( \frac{\Delta V_{REF}}{\Delta V_{in}} \right) \quad (2.2)$$

Donde  $g_{mp}$  y  $R_{O_{Mpass}}$  son la transconductancia y la resistencia de salida del transistor de potencia respectivamente,  $A$  es la ganancia de lazo abierto del amplificador de error,  $\beta$  es el factor de realimentación y  $\Delta V_{REF}$  es la variación en la fuente de referencia debida a la misma variación en la tensión de entrada. Su importancia radica en que esta característica representa la estabilidad de la tensión de salida durante los períodos de descarga de la batería utilizada como suministro principal, lo que en definitiva influye en la autonomía del dispositivo.

### Regulación de carga:

Es una medida de la tensión de salida, tanto a plena carga como sin carga. Típicamente, la regulación de carga puede definirse como en la ecuación 2.3.

$$Reg. \text{ Carga} = \frac{\Delta V_{out}}{\Delta I_{out}} = \frac{R_{O_{Mpass}}}{1 + A \beta} \quad (2.3)$$

Se puede notar que las unidades de la regulación de carga son  $(V/I)$ , de manera que la regulación de carga puede simplemente considerarse como la impedancia de salida del regulador.

### Coefficiente de temperatura:

Se define como el cambio que ocurre en la tensión de salida como consecuencia de variaciones en la temperatura y la tensión de offset de entrada del amplificador de error. La ecuación 2.4 muestra la relación existente entre las variables que definen el coeficiente de temperatura:

$$TC = \frac{1}{V_{out}} \frac{\partial V_{out}}{\partial T_{emp}} \approx \frac{1}{V_{out}} \frac{\Delta V_{TC}}{\Delta T_{emp}} = \frac{[\Delta V_{TCref} + \Delta V_{off}]}{V_{out} \Delta T_{emp}} \frac{V_{out}}{V_{REF}} \quad (2.4)$$

Siendo  $\Delta V_{TC}$  el coeficiente de temperatura debido a la combinación del coeficiente de la fuente de referencia  $\Delta V_{TCref}$  y del offset del amplificador de error  $\Delta V_{off}$ .

#### 2.3.2. Estado transitorio

La figura 2.7 ilustra el comportamiento típico de los reguladores *LDO* durante un transitorio de carga. La línea a trazos representa un pulso de corriente desde 0 a  $I_{Load-max}$  y la línea continua representa la tensión regulada  $V_{out}$ . El tiempo máximo de respuesta del lazo de control  $\Delta t_1$  (el cual idealmente es el recíproco del ancho de banda de lazo cerrado) ocurre cuando el regulador se ve sometido a una variación máxima en sentido positivo del rango de corriente establecido y está especificado por la máxima variación de tensión permisible  $\Delta V_1$ ,

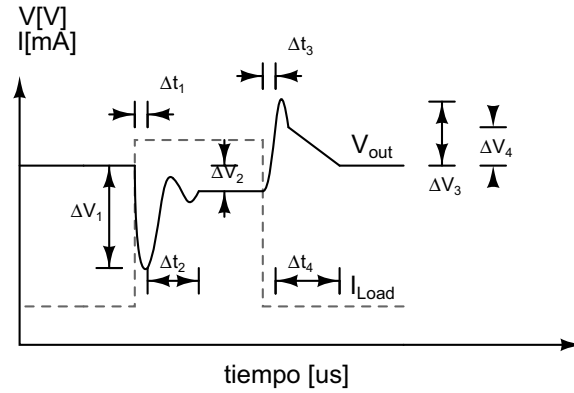


Figura 2.7: Respuesta transitoria típica.

la cual es función del capacitor de salida  $C_{out}$ , de su resistencia electrostática relacionada  $R_{ESR}$ , del capacitor de *bypass*  $C_b$  y de la corriente  $I_{Load-max}$  tal y como se ilustra en la ecuación 2.5:

$$\Delta V_1 \approx \frac{I_{Load-max}}{C_{out} + C_b} \Delta t_1 + \Delta V_{ESR}, \quad (2.5)$$

Despejando para  $\Delta t_1$  en (2.6) se obtiene que:

$$\Delta t_1 \approx \frac{[C_{out} + C_b]}{I_{Load-max}} [\Delta V_1 - \Delta V_{ESR}] \quad (2.6)$$

Donde  $\Delta V_{ESR}$  es la variación de la tensión de salida que resulta de la presencia de  $R_{ESR}$ . Este efecto se reduce mediante el uso del capacitor de *bypass*, el cual es un capacitor de alta frecuencia que exhibe valores de  $R_{ESR}$  muy pequeños. Es importante mencionar que en la práctica el tiempo  $\Delta t_1$  también está influenciado por el *slew-rate* asociado al capacitor parásito  $C_{par}$  del transistor de potencia  $M_{pass}$ . Teniendo en cuenta este efecto, el tiempo  $\Delta t_1$  resultante puede redefinirse como en la ecuación 2.7:

$$\Delta t_1 \approx \frac{1}{BW_{cl}} + t_{sr} = \frac{1}{BW_{cl}} + C_{par} \frac{\Delta V}{I_{SR}} \quad (2.7)$$

Siendo  $BW_{cl}$  el ancho de banda de lazo cerrado del sistema,  $t_{sr}$  es el tiempo de *slew-rate* asociado con  $C_{par}$ ,  $\Delta V$  es la variación de tensión en  $C_{par}$  e  $I_{SR}$  es la corriente de *slew-rate* disponible para cargar y descargar  $C_{par}$ .

Una vez el transitorio cesa, el regulador llega a su tensión de estado estable para carga completa, la cual es un valor  $\Delta V_2$  por debajo de la tensión inicial. Esta tensión  $\Delta V_2$  se determina aproximadamente por la ecuación 2.8:

$$\Delta V_2 \approx R_{OREG} \times I_{Load-max}, \quad (2.8)$$

Donde  $R_{oREG}$  es la resistencia de salida de lazo cerrado del regulador. El tiempo de asentamiento  $\Delta t_2$  depende del margen de fase y del tiempo que  $M_{pass}$  tarda en cargar los capacitores del nodo de salida [13].

Posteriormente se establece un pulso de bajada de la corriente de carga  $I_{Load}$  lo que produce un pico de tensión  $\Delta V_3$ , cuya magnitud está definida por la tensión de carga de los capacitores de salida y por la tensión generada a través de  $R_{ESR}$ . Esto ocurre porque durante el pulso de bajada de  $I_{Load}$  la corriente que suministra  $M_{pass}$  fluye a través de  $C_{out}$  y  $C_b$  e induce una tensión en  $R_{ESR}$ . La ecuación 2.9 expresa la relación de variables que define  $\Delta V_3$ :

$$\Delta V_3 \approx \frac{I_{Load-max}}{C_{out} + C_b} \Delta t_3 + \Delta V_{ESR} \approx \frac{I_{Load-max}}{C_{out} + C_b} \cdot \frac{1}{BW_{cl}} + \Delta V_{ESR} \quad (2.9)$$

Cuando el transistor  $M_{pass}$  finalmente se apaga (pasa a la región de corte luego de  $\Delta t_3$ ), la tensión de salida  $V_{out}$  se encuentra  $\Delta V_4$  por encima de su valor final.  $\Delta V_4$  es la tensión inducida en  $C_{out}$  y  $C_b$  y es igual a  $(\Delta V_3 - \Delta V_{ESR})$ . En este punto,  $V_{out}$  tarda  $\Delta t_4$  en descargarse hasta su valor final. De esta manera,  $\Delta t_4$  se define como en 2.10:

$$\Delta t_4 \approx \frac{C_{out} + C_b}{I_{qMp}} \Delta V_4 = \frac{[C_{out} + C_b][R_1 + R_2]}{V_{REF}} \Delta V_4 \quad (2.10)$$

La descarga constante que se visualiza en  $\Delta t_4$  se debe a que tanto  $C_{out}$  como  $C_b$  están supeditados a descargarse a la corriente  $I_{qMp}$ , que es la corriente que fluye por los resistores de realimentación.

### 2.3.3. Respuesta en frecuencia

En la sección 2.1 se introdujo de manera general el problema de la estabilidad en los reguladores *LDO*. Se indicó cómo la etapa de salida compuesta por un transistor *PMOS* en configuración fuente común modifica la ubicación de los polos, trayendo como consecuencia una disminución del margen de fase, hasta el punto de hacer al circuito inestable. Asumiendo ganancia infinita en el amplificador de error, la función de transferencia del regulador está dada como en 2.11:

$$V_{out} = V_{REF} \left( 1 + \frac{R_2}{R_1} \right) \quad (2.11)$$

Desde el punto de vista de señal, el transistor de potencia y la red de realimentación pueden modelarse como se observa en la figura 2.8. La figura 2.8(a) corresponde al modelo de pequeña de señal del transistor de potencia y la figura 2.8(b) representa la red de realimentación incluyendo el capacitor parásito  $C_1$  que surge como consecuencia de las conexiones *on-chip*.

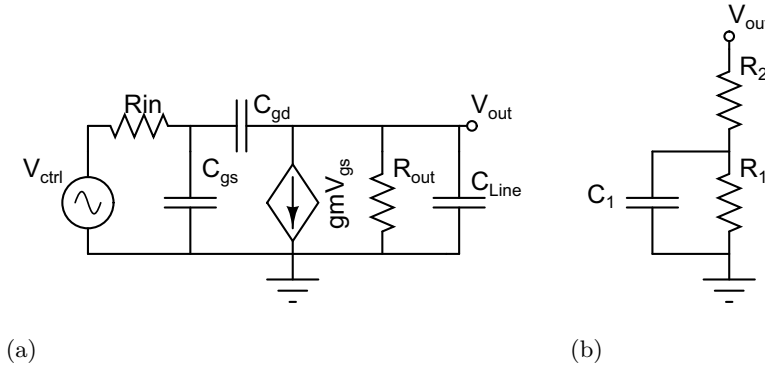


Figura 2.8: Modelos de pequeña señal para: (a) Transistor de potencia, (b) realimentación.

Las resistencias  $R_{in}$  y  $R_{out}$  corresponden a la impedancia de salida del amplificador de error y a la impedancia de salida del regulador respectivamente. La capacitancia  $C_{Line}$  corresponde a la capacitancia equivalente debida a las líneas de distribución de potencia en el sistema a ser alimentado. Teniendo en cuenta los bloques del regulador, la función de transferencia queda determinada como en 2.12:

$$\frac{V_{out}}{V_{in}} = \left( \frac{gm_1 R_{in}}{1 + s R_{in} C_{eq}} \right) \left( \frac{-gm_p R_{out} \left( 1 - s \frac{C_{gd}}{gm_p} \right)}{s(C_{Line} + C_{gd})R_{out} + 1} \right) \left( \frac{R_1 \parallel (R_1 + R_2)}{1 + s(R_1 \parallel R_2)C_1} \right) \quad (2.12)$$

Donde  $gm_1$  y  $gm_p$  son las transconductancias del amplificador de error y del transistor de potencia respectivamente. La capacitancia  $C_{eq}$  es la capacitancia equivalente en la entrada del transistor de potencia y puede definirse como en 2.13:

$$C_{eq} = C_{gs} + (1 + gm_p R_{opass}) C_{gd} \quad (2.13)$$

Aquí se observa que la capacitancia equivalente en la puerta del transistor de potencia se ve afectada por el efecto *Miller*; para reducirlo, debe reducirse la ganancia de señal en  $M_{pass}$ . A partir de 2.12 puede establecerse la ubicación de los polos y ceros del sistema, tal y como se muestra en 2.14:

$$P_1 = \frac{1}{R_{in} C_{eq}} \quad (2.14a)$$

$$P_2 = \frac{1}{R_{out} C_{Line}} \quad (2.14b)$$

$$P_3 = \frac{1}{(R_1 \parallel R_2) C_{Line}} \quad (2.14c)$$

$$Z_1 = \frac{gm_p}{C_{gd}} \quad (2.14d)$$

De aquí, puede determinarse que el polo  $P_2$  es el que presenta mayores inconvenientes, pues su dependencia de  $R_{out}$ , es decir, de la corriente de carga, hace que su ubicación fluctúe varias décadas, haciendo al circuito difícil de estabilizar.

### ***PSRR* y Ruido**

Otras dos características relevantes a tener en cuenta en el comportamiento en frecuencia de los reguladores *LDO* son el ruido interno generado y el *PSRR*<sup>7</sup>. Algunos diseñadores evaden el diseño de reguladores usando transistores *PMOS* bajo la percepción de que estos generan más ruido que los bipolares. En la actualidad, se sabe que las principales fuentes de ruido dentro de un regulador *LDO* son su fuente de referencia y el amplificador de error, no el transistor de potencia. Por otro lado, el *PSRR*, el cual es una medida de qué tan bien el *LDO* es capaz de atenuar señales indeseadas inmersas en  $V_{in}$  dentro de una banda de frecuencias dada (típicamente de 10 Hz a 1 MHz), está determinado entre otros, por la impedancia de salida del regulador, la cual se define en 2.15.

$$R_{out} = R_{opass} \parallel (R_1 + R_2) \parallel R_L \quad (2.15)$$

Donde  $R_L$  es la resistencia equivalente de la carga, la cual depende de la cantidad de corriente requerida por la misma. Considerando las especificaciones de diseño de tensión y salida, la impedancia de carga  $R_L$  mínima será  $(3.3V/100mA) = 33\Omega$ . Por otra parte, en condición de *dropout*, el transistor de potencia exhibirá una resistencia de salida de  $(200mV/100mA) = 2\Omega$ . Esta situación permite observar que el *PSRR* es una de las características más difíciles de optimizar en el diseño de reguladores *LDO*, pues para condición de máxima carga, gran parte de la señal en la fuente de alimentación se reflejará en la salida. Los transistores bipolares exhiben un mejor *PSRR* que el de los de efecto de campo. No obstante, el *PSRR* de un *LDO PMOS* puede mejorarse incrementando la ganancia de realimentación, aumentando la capacitancia de carga y/o disminuyendo la  $R_{ESR}$  del capacitor de compensación. Sin embargo, cualquier solución planteada debe ser acorde a los requerimientos del regulador tanto en estado transitorio como en estado estable.

A partir del soporte teórico presentado en este capítulo, se establece el punto de partida para el diseño del regulador *LDO*, apuntando a satisfacer los requerimientos planteados en el problema específico a solucionar. Con base en lo observado aquí, en el capítulo 3 se plantea una propuesta de diseño que permita elaborar un circuito que cumpla con las especificaciones de operación del receptor, y que sea altamente competitivo con reguladores *LDO* del estado del arte.

---

<sup>7</sup>Sigla correspondiente a *Power Supply Rejection Ratio*.

# Capítulo 3

## Resultados

Este capítulo presenta el análisis y validación de resultados del regulador *LDO* diseñado usando las herramientas de *software* especializado, partiendo del análisis de peor caso, determinando las especificaciones de desempeño del regulador y finalmente determinando la viabilidad del circuito para fabricación utilizando análisis estadísticos. Todas las simulaciones que se presentan en este capítulo se desarrollaron usando la herramienta *CADENCE*<sup>1</sup> y los modelos *BSIM3v3* nivel 53 para la tecnología  $0.35\mu\text{m}$  de *Austria Micro Systems*.

### 3.1. Análisis de esquinas

Generalmente, cuando se analiza un circuito de manera preliminar y no se considera su comportamiento en condiciones reales de operación, el diseñador de circuitos se basa en los modelos típicos de la tecnología que está usando. Este tipo de modelos sirve para caracterizar el comportamiento de un circuito, pues los parámetros de proceso en estos modelos son los valores típicos de todas las características que en el intervienen, haciéndolo el modelo más representativo de una determinada tecnología. Provee un muy buen punto de referencia para el análisis del comportamiento de los circuitos diseñados, y permite verificar planteamientos teóricos de una manera rápida y confiable. Sin embargo, a pesar de la precisión de estos modelos, cuando se piensa en fabricación, debe tenerse en cuenta que los parámetros de proceso están sujetos a variaciones aleatorias alrededor de sus valores típicos, de modo que puede existir cierta incertidumbre acerca de cómo se desempeñará el circuito una vez sea fabricado.

Para garantizar que el circuito funcione correctamente, se requiere analizar su desempeño en las condiciones más extremas de variación en el proceso, temperatura y tensión de alimentación. Este conjunto de parámetros determinan las “esquinas” de operación, y sirven

---

<sup>1</sup>Se usaron licencias compartidas vía red con la USP.

Caso	Tipo de esquina	Modelo			Punto de operación	
		<i>MOS</i>	<i>RES</i>	<i>CAP</i>	Temp[°C]	$V_{DD}$ [V]
1	Típico	TM	TM	TM	27	3.6
2	Potencia	WP	WP	WP	-25	5.5
3	Velocidad 1	WS	WS	WS	-25	3.5
4	Velocidad 2	WS	WS	WS	100	3.5
5	<i>One-Power</i>	W0	WP	WP	-25	5.5
6	<i>One-Speed</i>	W0	WS	WS	100	3.5
7	<i>Zero-Power</i>	WZ	WP	WP	-25	5.5
8	<i>Zero-Speed</i>	WZ	WS	WS	100	3.5

TM: *Typical Mean*. WP: *Worst Power*. WS: *Worst Speed*. WO: *Worst One*. WZ: *Worst Zero*.

Tabla 3.1: Peores casos de operación para el regulador *LDO*.

para estudiar el comportamiento del circuito cuando las variables de fabricación se combinan de la peor forma posible para ciertos casos particulares. Las esquinas recomendadas por el fabricante para el proceso *AMS*  $0.35\mu m$  se muestran en la tabla 4.1. Son 8 condiciones de operación extremas que utilizan los modelos típicos de transistores, resistores y capacitores para el primer caso, y los modelos de peor caso de consumo de potencia y velocidad para los demás.

En los reguladores *LDO*, la respuesta en el dominio del tiempo contiene una gran cantidad de información acerca de las características de operación del mismo, pues en definitiva, el análisis en el dominio del tiempo representa el comportamiento que tendrá el circuito en la realidad. Considerando que 4 de las 8 esquinas a analizar utilizan los modelos de peor caso de velocidad, el análisis de esquinas se realiza con el fin de validar la respuesta transitoria del regulador diseñado.

En la figura 4.1 se ilustra la tensión de salida del regulador *LDO* diseñado para cuando se suministra un pulso de corriente de 0 a 100 mA con un tiempo de subida de  $1\mu s$ . La figura 4.2 muestra la tensión de salida para cuando sucede un pulso de bajada de 100 mA con un tiempo de caída de  $1\mu s$ .

Los resultados del análisis de esquinas para el regulador *LDO* se enuncian en la tabla 4.2. Para el estado de operación típico, se observa que el máximo *undershoot* obtenido corresponde al establecido en el capítulo 3, con  $C_{Load} = 3.9\mu F$  y una  $R_{ESR} = 1\Omega$ . El tiempo de establecimiento del regulador al 1% de su valor en estado estable es de  $4.71\mu s$  y la regulación de línea obtenida es  $3.36(\mu V/mA)$ , la cual corresponde a una variación porcentual máxima de  $V_{out}$  de  $0.001\% @ 100mA$ . Como era de esperarse, los peores casos de velocidad presentan el tiempo de establecimiento más grande ( $9.89\mu s$ ) y la peor regulación de línea ( $90(\mu V/mA)$ ).

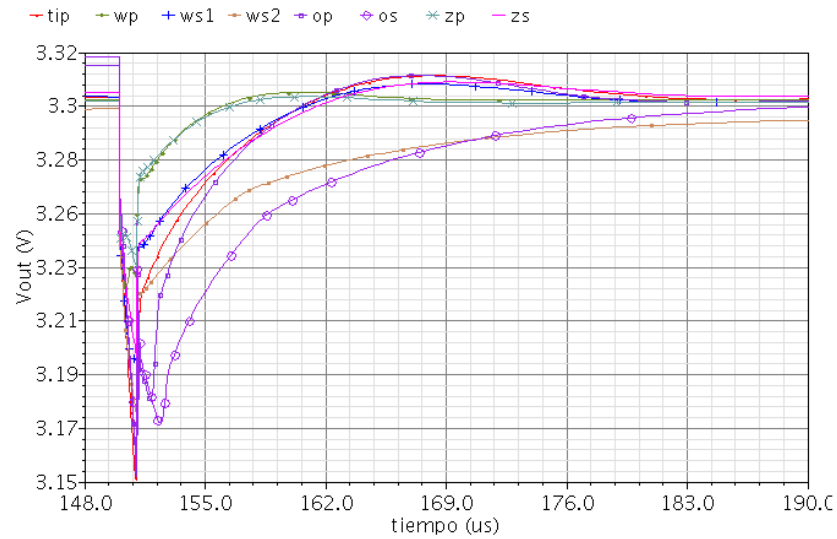


Figura 3.1: Respuesta transitoria para  $I_{Load} \uparrow 100mA$ .

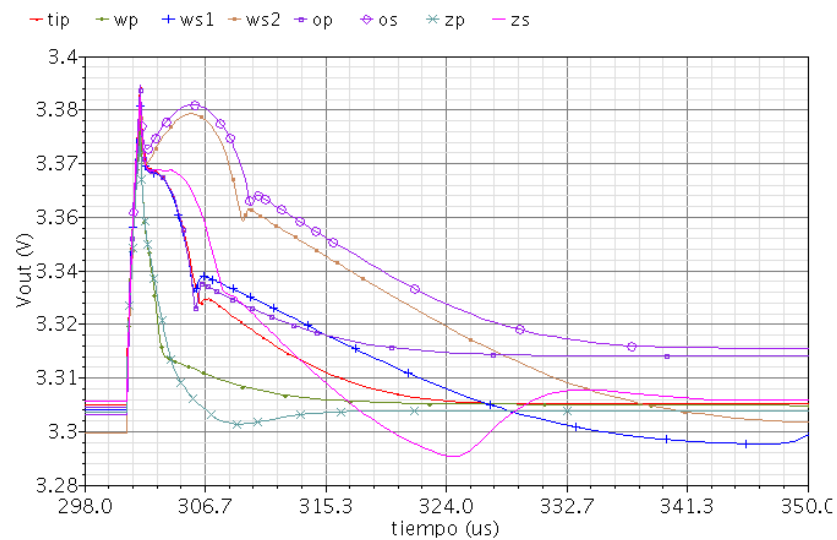


Figura 3.2: Respuesta transitoria para  $I_{Load} \downarrow 100mA$ .

Estos resultados, a pesar de ser bastante pesimistas, siguen siendo satisfactorios teniendo en cuenta el bajo consumo de potencia y la baja área obtenida en este diseño. Además, demuestran que el circuito es robusto inclusive cuando las variables del proceso se conjugan de la peor forma posible.

Caso	<i>undershoot</i> [mV]	<i>overshoot</i> [mV]	<i>T.Est.</i> [ $\mu$ s]	Reg. Carga [ $\mu$ V/mA]
1	142	88.7	4.71	3.36
2	74.6	81.35	1.60	2.48
3	105.5	89.04	4.62	2.46
4	120.8	93.39	5.11	90
5	162.8	88.84	3.87	1.91
6	158.7	92.15	9.89	44
7	61.02	77.42	1.95	2.56
8	100	85.05	6.54	5.02

Tabla 3.2: Resultados de simulación de peor caso del regulador *LDO* diseñado.

### 3.2. Desempeño del regulador *LDO* diseñado

Una vez se ha validado el diseño obtenido mediante el análisis de esquinas, se caracterizan las especificaciones de operación usando los modelos típicos de la tecnología utilizada en el diseño.

La figura 4.3 muestra el tiempo de encendido del regulador diseñado. La tensión de alimentación va de cero a  $V_{DD_{min}}$  (3.5V) con un tiempo de subida de  $1\mu$ s. El tiempo de encendido de  $39\mu$ s se mide para cuando  $V_{out}$  se estabiliza al 1% de su valor final. Este es un tiempo de respuesta al encendido bastante rápido, superando a la mayoría de los reguladores comerciales actuales con un consumo de potencia mucho menor.

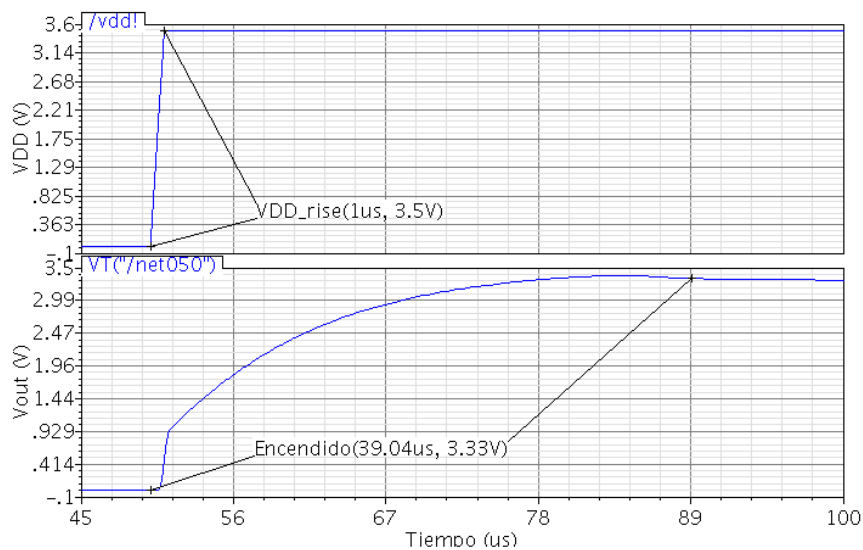


Figura 3.3: Tiempo de encendido.

Antes de presentar la respuesta transitoria ante variaciones de carga en el regulador obtenido, es importante mostrar la respuesta del circuito sin utilizar el sumidero de corriente dinámico propuesto en este trabajo, de manera que se pueda establecer una comparación clara entre el comportamiento transitorio antes y después de su implementación. En esencia, la respuesta de los reguladores *LDO* observados en la revisión bibliográfica, exhiben unas características transitorias muy similares a las que se presentan en la figura 4.4. La imposibilidad de descargar el capacitor de compensación de manera veloz hace que la tensión de salida del regulador se “estabilice” en valores por encima de la tensión de salida diseñada. Se observa que cuando sucede un transitorio en la corriente de carga de 100 a 0 mA la tensión  $V_{out}$  se estabiliza en un 58 mV por encima de la tensión de salida a plena carga, o lo que es igual, se observa una regulación de línea de 580  $\mu\text{V}/\text{mA}$ . En realidad, el capacitor de compensación podría descargarse en determinado tiempo (tal vez minutos), pero, considerando las constantes de tiempo típicas de los sistemas electrónicos, para el regulador sería equivalente a que no se descargara nunca.

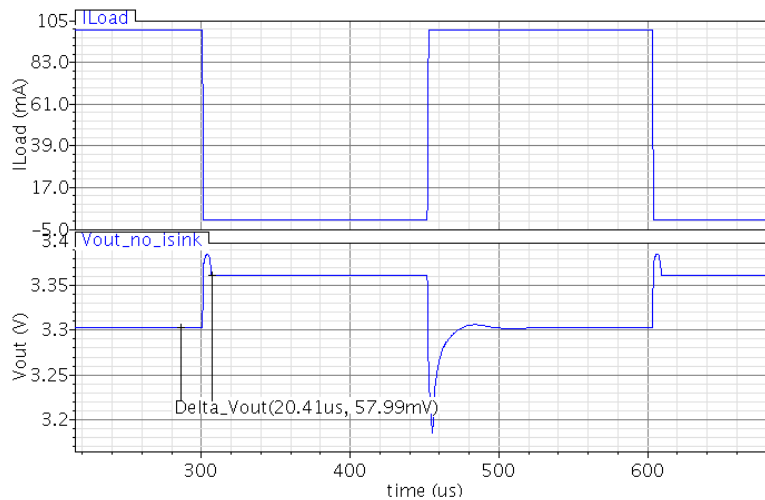


Figura 3.4: Respuesta transitoria del regulador *LDO* sin el sumidero de corriente dinámico.

En la figura 4.5 se observa la respuesta transitoria del regulador *LDO* diseñado ante una variación en la carga de 100mA. Cuando se introduce un pulso de subida en la corriente, la tensión de salida presenta un *undershoot* de aproximadamente 142 mV. Cuando se suministra un pulso de bajada, el regulador tiene un *overshoot* de 89mV. En términos porcentuales, la máxima variación transitoria de  $V_{out}$  es del 4.30 %. El tiempo de respuesta del *LDO* es más corto ante los pulsos de subida debido a que al existir una variación mayor en  $V_{out}$ , se induce un diferencial de tensión más grande en las entradas del amplificador de error, haciendo que este responda con una mayor tensión de control en la puerta del transistor de potencia.

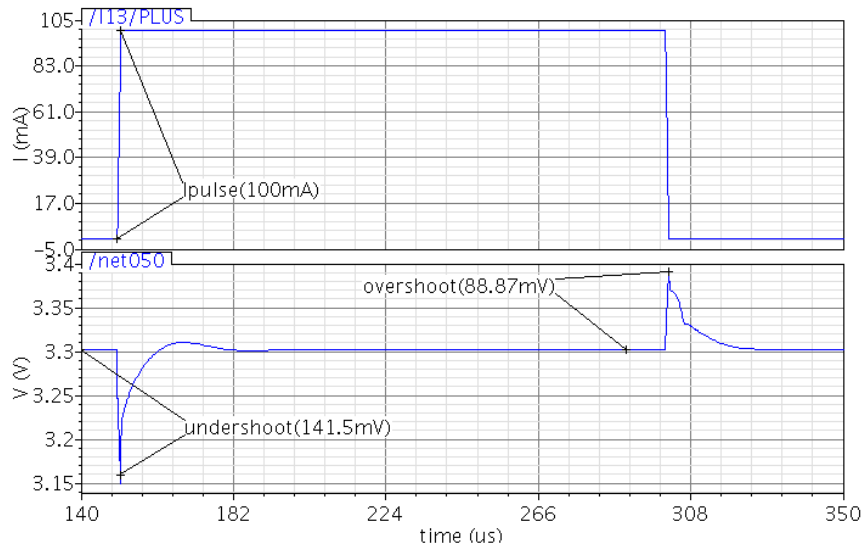


Figura 3.5: Respuesta transitoria.

La corriente a través del transistor  $M_S$  del sumidero de corriente dinámico propuesto se ilustra en la figura 4.6. Allí se observa el efecto de implementar este circuito dentro del regulador  $LDO$ . Como ya se ha descrito, cuando la corriente en la carga disminuye, la tensión en  $V_{out}$  tiende a aumentar. La corriente a través en  $M_S$  se encarga de descargar  $C_{Load}$ , evitando que la tensión de salida final se estabilice en valores por encima de la tensión de salida diseñada.

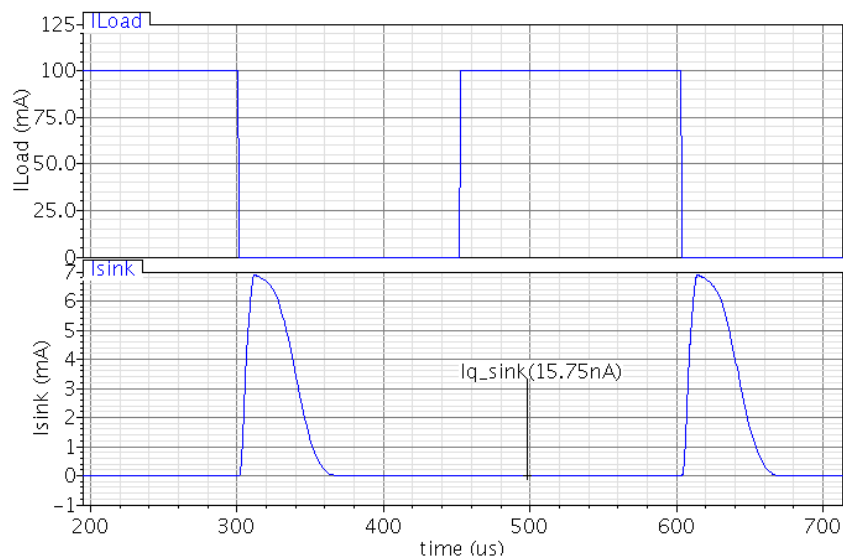


Figura 3.6: Corriente en el sumidero de corriente dinámico.

La máxima corriente a través de  $M_S$  sucede justo después del transitorio de carga, cuando el *overshoot* en la tensión de salida es máximo. El tiempo de retardo entre la respuesta del sumidero de corriente y el transitorio está determinado por la velocidad del regulador, el capacitor de compensación y la pendiente en el pulso de carga. Cuando el transitorio cesa, y el sumidero de corriente ha llevado a  $V_{out}$  al valor deseado, la corriente a través de  $M_S$  se reduce a unos pocos nA, lo que demuestra que el efecto de esta topología en la eficiencia es despreciable.

La regulación de carga del regulador *LDO* diseñado se ilustra en la figura 4.7. La variación máxima de  $V_{out}$  para una variación de  $I_{Load}$  de 0-100mA es de tan sólo 337  $\mu$ V, siendo la mejor regulación de línea del estado del arte. Este excelente desempeño se obtuvo gracias a la implementación del circuito propuesto en la sección 3.5, el cual suministra un camino de descarga veloz y eficiente para el capacitor de compensación. Adicionalmente, este circuito ayuda en la reducción del *overshoot* del regulador al reducir la impedancia de salida durante los transitorios de carga negativos.

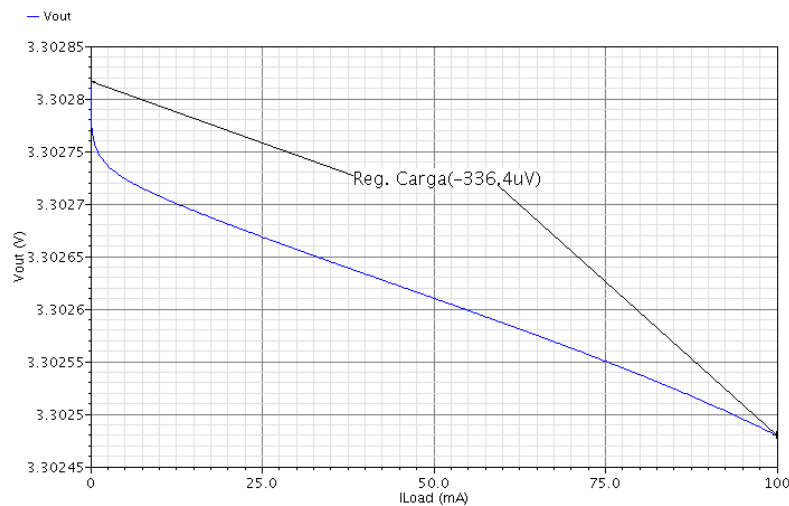


Figura 3.7: Regulación de carga.

Las figuras 4.8 y 4.9 representan los efectos de la variación en la tensión de alimentación sobre la tensión de salida del regulador. En 4.8 se observa el comportamiento  $V_{out}$  cuando se suministra una variación en la tensión de alimentación desde  $V_{DD_{min}}$  a  $V_{DD_{max}}$ . Este análisis de gran señal permite determinar la robustez de  $V_{out}$  cuando el suministro energético proviene de convertidores DC/DC cuya tensión de salida es controlada digitalmente. En 4.9 se observa la regulación de línea obtenida en este diseño, siendo de 340  $\mu$ V para una variación de 1 V en  $V_{DD}$ . Al igual que la regulación de carga, es el mejor resultado reportado hasta ahora, validando el circuito obtenido y la metodología de diseño planteada.

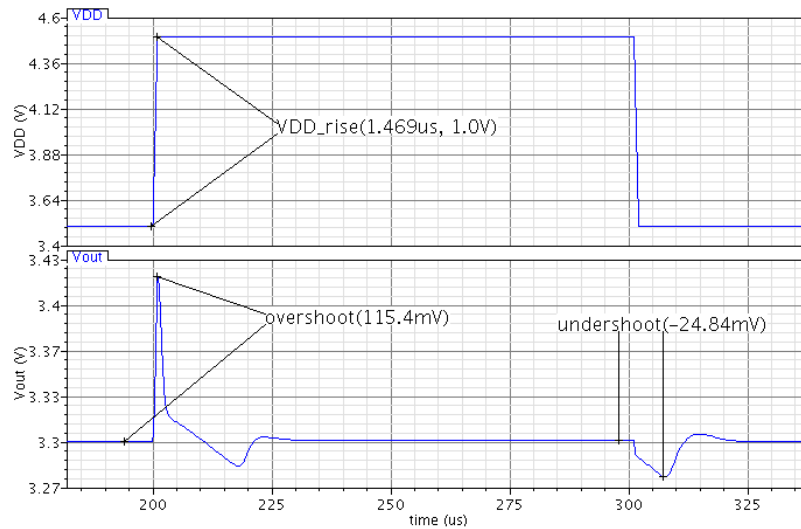


Figura 3.8: Respuesta transitoria para  $\Delta V_{DD}=1$  V.

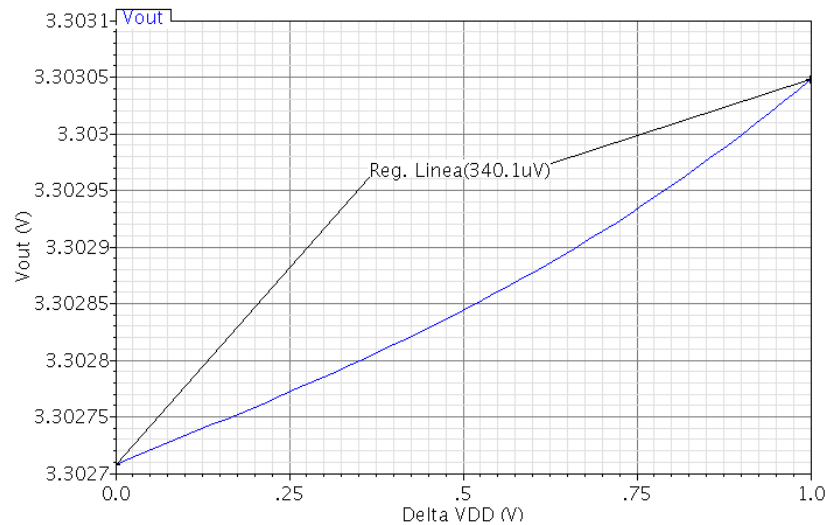


Figura 3.9: Regulación de línea.

Una característica importante a tener en cuenta en los reguladores, es su respuesta térmica, ya que suministrar grandes cantidades de corriente tiene como consecuencia un incremento en la temperatura del circuito producto de la energía disipada. Como se indicó en el capítulo 2, la respuesta térmica del regulador está fuertemente ligada a la respuesta térmica que tenga la fuente de referencia. Utilizando los datos de la tabla 3.6 se realizó un barrido de temperatura desde  $-25$  °C a  $100$  °C, el cual es el rango de operación típico para los circuitos de uso general.

En la figura 4.10 se puede observar una variación de 4.73 mV en la tensión de salida ante una variación de 150°C. El comportamiento exhibido a 100 mA requiere posteriores análisis que permitan determinar el por qué del descenso de la tensión en  $V_{out}$ .

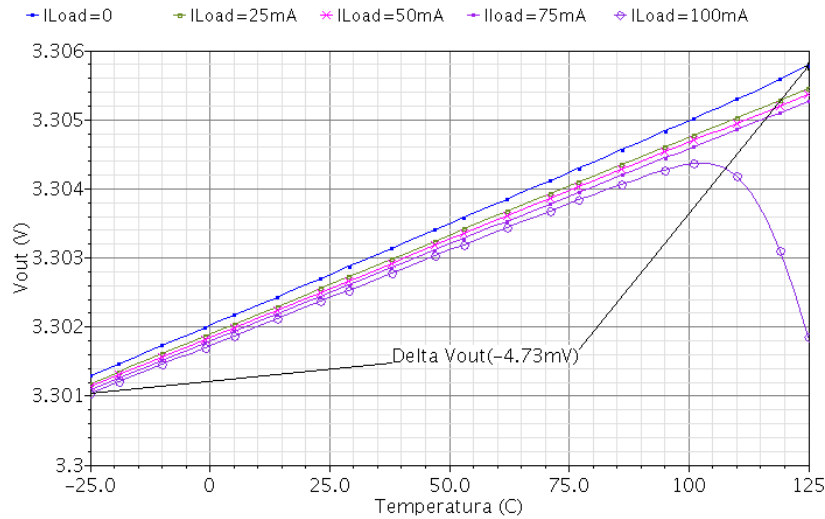


Figura 3.10: Tensión de salida en función de la temperatura.

El *PSRR*, que es una medida de la capacidad que tiene un circuito de rechazar señales indeseadas en la fuente de alimentación, se ilustra en la figura 4.11. El *PSRR* es una característica muy difícil de optimizar en los reguladores *LDO*, pues la configuración de la etapa de salida hace que  $V_{out}$  esté a sólo una tensión drenó-fuente ( $V_{DO}$ ) de  $V_{DD}$ . Adicionalmente, este parámetro es altamente dependiente de la corriente de carga y de  $R_{ESR}$ : Por una parte, la corriente de carga reduce la impedancia de salida del regulador; Por otra, la resistencia de salida equivalente aumenta cuando  $R_{ESR}$  crece. Estas dos situaciones hacen que el acomplamiento en AC en la tensión de salida aumente. En la figura 4.11 se muestra el comportamiento del *PSRR* para diversas corrientes de carga. El *PSRR* mínimo depende de la frecuencia de ganancia unitaria, la cual varía según la ubicación de los polos y ceros del sistema, los cuales a su vez dependen de la corriente de carga. Es por esto que se observa que el *PSRR* mínimo para cada corriente de carga está ubicado en frecuencias diferentes. Los resultados obtenidos superan a muchos de los circuitos del estado del arte, observándose un *PSRR* mayor a 50 dB@1kHz para todo el rango de corriente de carga diseñado.

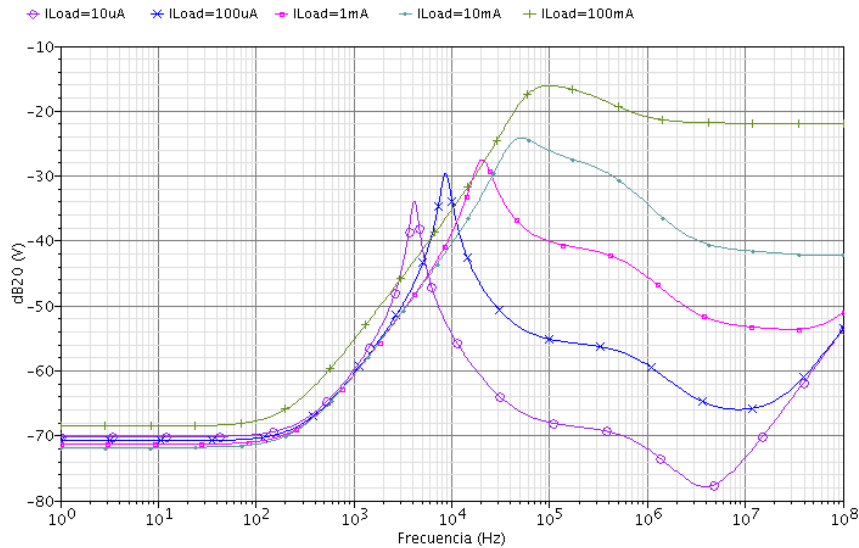


Figura 3.11: PSRR a diferentes  $I_{Load}$ .

Por otro lado, en la figura 4.12 se observa el ruido referido a la salida. En este diseño, el ruido térmico debido a las resistencias es el factor más influyente en la respuesta frente al ruido. Reducir el valor de estas resistencias reduciría el ruido, pero incrementaría la corriente  $I_q$ , lo que va en detrimento de la eficiencia. El ruido integrado en la banda de 1Hz a 100kHz obtenido en este diseño es de  $105,7 \mu\text{V}$ , lo que lo hace competitivo con los demás reguladores de la actualidad.

La respuesta en frecuencia del circuito para 5 diferentes corrientes de carga se muestra en la figura 4.13. Este comportamiento permite corroborar la gran dependencia que tienen la frecuencia del polo dominante ( $P_{dom} = (1/(R_{o_{reg}} * C_{Load}))$ ) y la ganancia de lazo abierto de la corriente de carga. Se observa una variación en la frecuencia del polo de alrededor de 2 décadas mientras que la ganancia varía desde 65 dB a 112 dB para carga completa y sin carga respectivamente.

La figura 4.14 ilustra el margen de fase del regulador diseñado para todo el rango de corriente diseñado. El margen de fase mínimo obtenido es  $40^\circ$ , garantizando la estabilidad del circuito en todo el rango de corrientes de carga permitido. El comportamiento observado es bastante interesante, teniendo en cuenta que teóricamente el margen de fase mínimo en un regulador LDO debe presentarse cuando la corriente de carga es nula e ir incrementándose a medida que dicha corriente aumenta. El resultado obtenido aquí se asemeja de cierta forma al reportado en [7], y puede atribuirse a que el polo no dominante se desplaza en ambas direcciones alrededor del cero de compensación establecido con  $C_{Load}$  y  $R_{ESR}$ . Sin embargo,

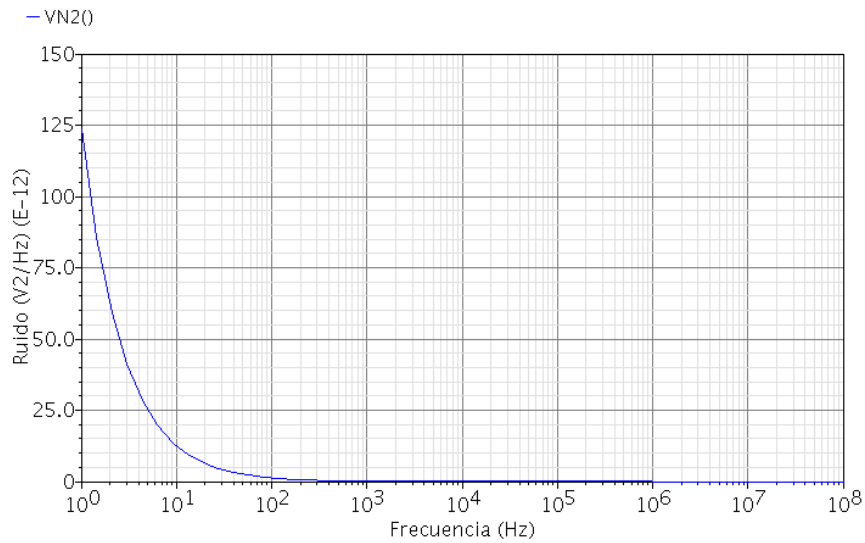


Figura 3.12: Ruido referido a la salida.

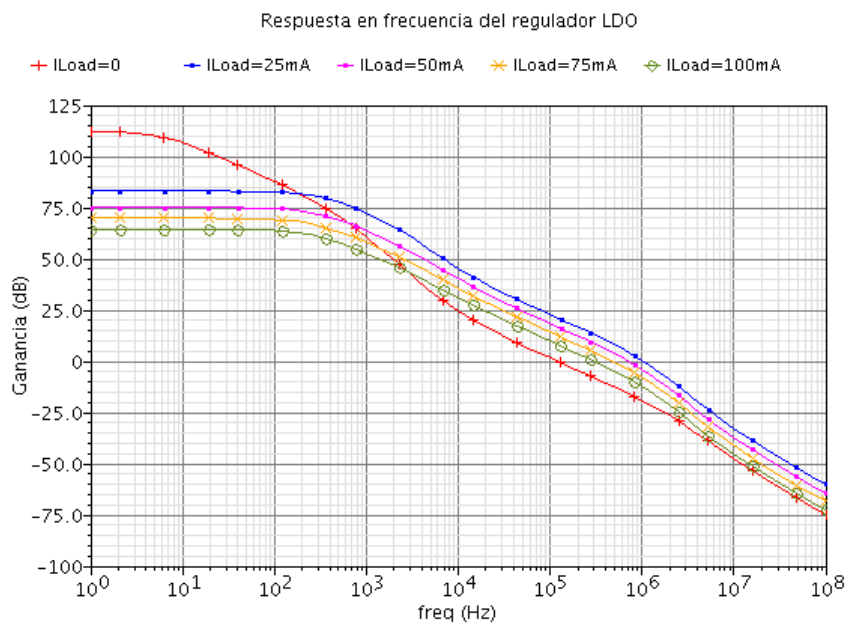


Figura 3.13: Respuesta en frecuencia.

resta establecer en detalle el efecto que tiene sobre la respuesta en frecuencia el circuito propuesto para el mejoramiento de la respuesta en estado estable. Este análisis requiere un estudio muy riguroso de la respuesta en frecuencia del circuito diseñado, temática que puede ser tratada en trabajos futuros.

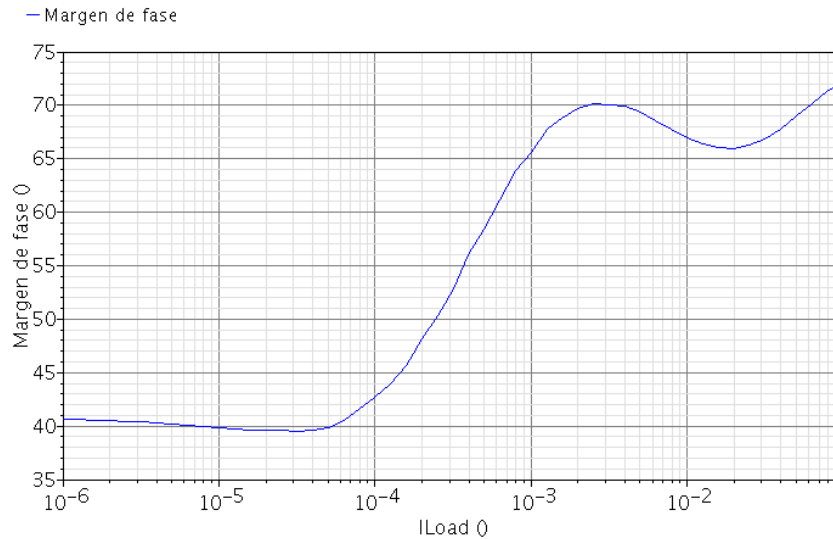


Figura 3.14: Margen de fase en función de  $I_{Load}$ .

### 3.3. Análisis Estadístico

Al inicio de este capítulo se utilizó un tipo de análisis especial, el análisis de esquinas, como herramienta en la determinación del comportamiento del regulador *LDO* diseñado en los peores casos de operación. Estos peores casos, que son un conjunto de puntos de operación basados en diferentes modelos de transistores, tensiones de alimentación y temperatura, permiten determinar si un diseño es lo suficientemente robusto para operar en los límites de la tecnología en la cual fue desarrollado. Sin embargo, estos límites son condiciones puntuales de operación, supeditadas a unos parámetros de modelo definidos, aún cuando se trate de modelos de peor caso de potencia o velocidad. En realidad, los parámetros de cada componente de un circuito varían aleatoriamente alrededor de sus valores típicos, sujetos a correlaciones definidas por las propiedades anisotrópicas del proceso de fabricación y las técnicas de *layout* utilizadas. El análisis estadístico, más conocido como Análisis de *Monte Carlo*, permite estudiar el circuito teniendo en cuenta estas variaciones aleatorias, para, de esta forma, poder determinar la confiabilidad de un determinado circuito, aún cuando dos *chips* del mismo diseño no provengan de la misma oblea de silicio.

Este tipo de análisis funciona variando los parámetros de modelo de cada transistor, resistencia o capacitor implementado en una determinada tecnología, alrededor de su valor típico, teniendo en cuenta una distribución de probabilidad *Gaussiana*. Cada parámetro podrá variar hasta  $3\sigma$  alrededor de su valor típico. Luego, se establece un número de iteraciones que representarán la cantidad de muestras a analizar, cuyos parámetros fueron modificados aleatoriamente

según la distribución probabilística anteriormente definida.

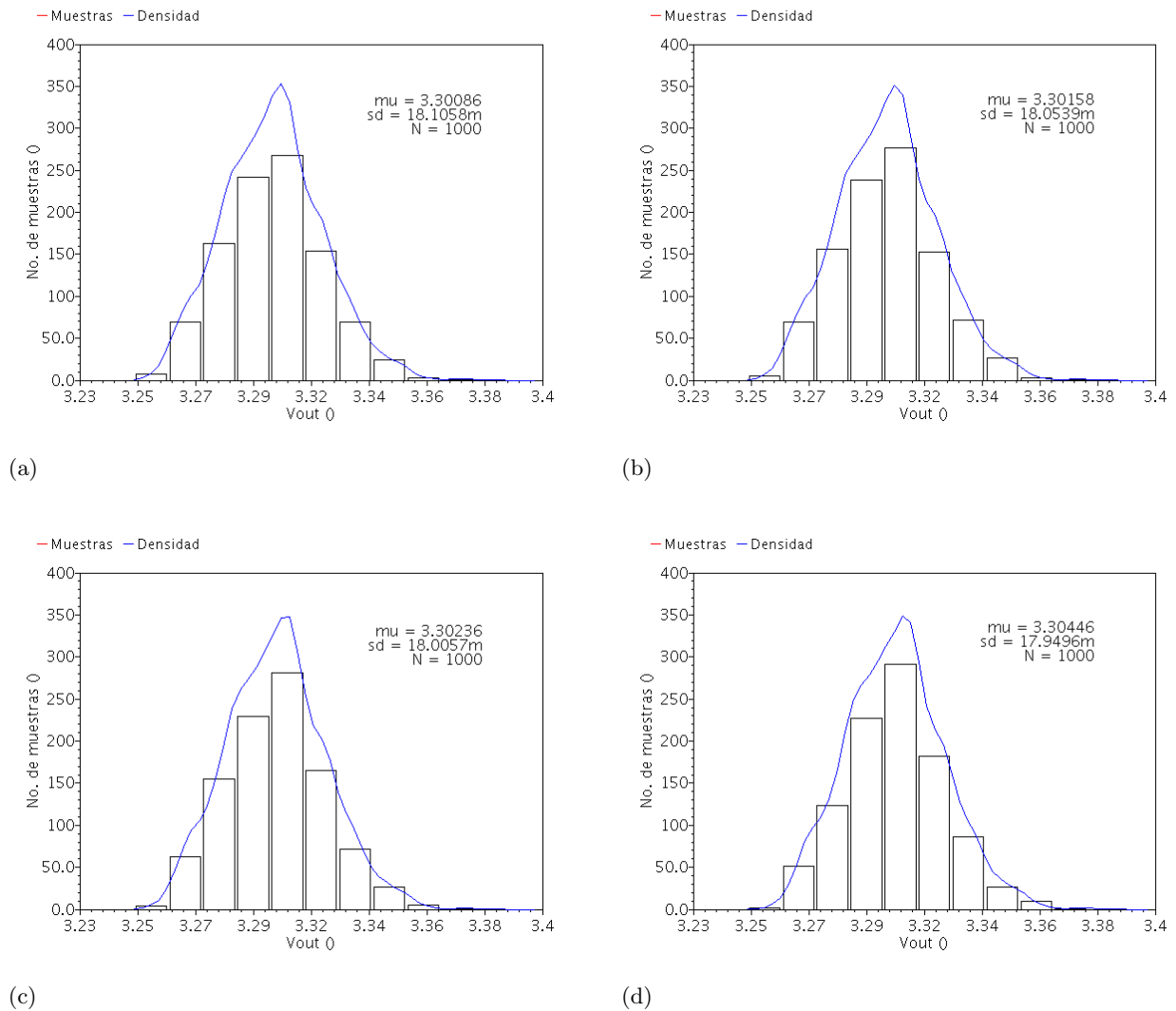


Figura 3.15: Histogramas de dispersión de  $V_{out}$  para: (a)  $-25^{\circ}\text{C}$ , (b)  $0^{\circ}\text{C}$ , (c)  $27^{\circ}\text{C}$  y (d)  $100^{\circ}\text{C}$ .

Los resultados obtenidos serán mucho más generales que los del análisis de esquinas en la medida que representan un universo de puntos de operación tan diverso como la cantidad de muestras que se analicen; por lo tanto, un circuito que provea resultados satisfactorios posteriores a un análisis *Monte Carlo* es un circuito diseñado de manera robusta listo para fabricar, siempre y cuando se usen las técnicas apropiadas de elaboración de *layout*, las cuales son descritas en el apéndice A.

La figura 4.15 muestra los resultados del análisis de *Monte Carlo* para la tensión de salida en 4 temperaturas de operación diferentes. Este análisis se hizo teniendo en cuenta variaciones en los parámetros de proceso y el *mismatch* entre dispositivos. La máxima desviación estándar

es de 18.1 mV y se observa cuando el circuito opera a  $-25^\circ$ . La máxima variación en la tensión de salida observada en un universo de mil muestras es de 54.3 mV, que corresponde a una error máximo en  $V_{out}$  de 1.645 %.

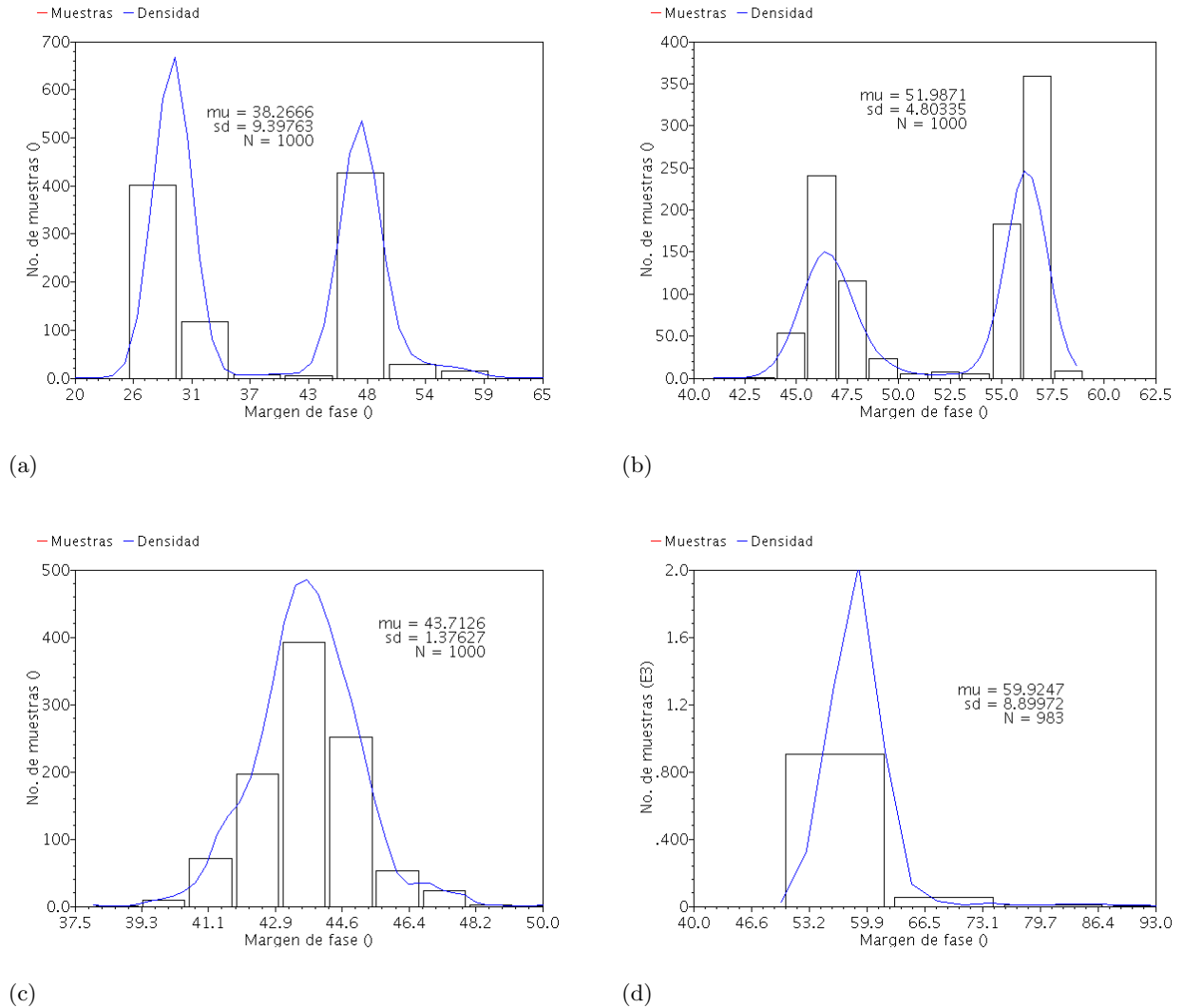


Figura 3.16: Histogramas de dispersión del margen de fase para  $I_{Load}$ : (a) 0mA, (b) 1mA, (c) 10mA y (d) 100mA.

La figura 4.16 muestra el Análisis de *Monte Carlo* realizado para el margen de fase del circuito en 4 condiciones de carga diferentes. Para los casos de corriente de carga pequeña (0 y 1mA), el margen de fase tiene un comportamiento bimodal muy marcado. Mediante análisis independientes de proceso y de *mismatch* se pudo determinar que este comportamiento bimodal está estrictamente supeditado a las variaciones geométricas de los transistores y resistencias utilizadas en el desarrollo de este diseño.

Para condiciones de carga alta (10 y 100 mA), la distribución del margen de fase adquiere la forma de una distribución *gaussiana* típica. Este comportamiento se obtiene debido a que en estas condiciones de operación la impedancia de salida del regulador se hace muy pequeña, enviando el polo no dominante del sistema a altas frecuencias, aumentando el margen de fase.

Este análisis permite determinar que el circuito diseñado es estable para cualquier condición de operación, aún teniendo en cuenta variaciones de proceso y *mismatch* en un universo de 1000 muestras. Aunque el margen de fase mínimo de  $26^\circ$  obtenido para  $I_{Load} = 0$  mA puede parecer poco, la respuesta transitoria del circuito no se ve afectada dado que a bajas corrientes el *undershoot* y *overshoot* observados en  $V_{out}$  son despreciables.

La tabla 4.3 compara las características de operación de este diseño con los trabajos más representativos del estado del arte enunciados inicialmente en la tabla 1.1. Los resultados obtenidos permiten validar la metodología de diseño propuesta, consiguiendo los mejores resultados en área, regulación de línea, regulación de carga y *PSRR*. La corriente de polarización se encuentra entre las más bajas de la actualidad al igual que el tiempo de establecimiento. Las características que no se encuentran resaltadas corresponden a especificaciones de tensión y corriente particulares de cada diseño, las cuales dependen de la aplicación para la que fue diseñado.

Trabajo	Año	Área [mm <sup>2</sup> ]	V <sub>in</sub> [V]	V <sub>out</sub> [V]	I <sub>out máx.</sub> [mA]	V <sub>do</sub> [mV]	I <sub>q</sub> [μA]	T. Est. [μs]	Reg. Línea. [mV/V]	Reg. Carga. [mV/mA]	PSRR [dB]	Ruido [μV]
[6] t-CMOS* 2μm	1998	—	3.8	0.9	50	300	23	—	0.95	0.38	—	—
[7] t-CMOS* 0.35μm	2007	0.264	5.5	1.8	200	200	20	<b>0.27</b>	2	0.17	45@20kHz	—
[8]** CMOS 0.35μm	2007	0.284	5	2.8	50	200	65	15	2	0.2	45@1kHz	51,7 <sup>a</sup>
[9]** CMOS 0.18μm	2007	0.09	1.8	0.9	50	<b>100</b>	<b>1.2</b>	2.8	4.5	0.148	—	—
[10] CMOS 0.35μm	2006	—	5.5	2.5	138	200	24***	2	7.8	0.146	—	—
[11] CMOS 0.5μm	2007	0.74	6	1.2	150	170	4.1	< 50	1	0.093	50@1kHz	150 <sup>b</sup>
[12] CMOS 0.18μm	2006	0.122	0.95	0.5	50	150	12.72	10	3.63	0.377	—	—
<b>Este trabajo</b> CMOS 0.35μm	2008	<b>0.04</b>	5	3.3	100	200	13	4.71	<b>0.34</b>	<b>0.0033</b>	<b>&gt; 50@1kHz</b>	105 <sup>a</sup>

a) Ruido integrado en la banda de 1Hz a 100kHz.

b) Ruido integrado en la banda de 22Hz a 80kHz.

\* Tecnología de pozo dual o *twin-well* CMOS.

\*\* Sin capacitor de compensación externo.

\*\*\* No incluye la corriente de la fuente de referencia.

Tabla 3.3: Comparación de resultados.

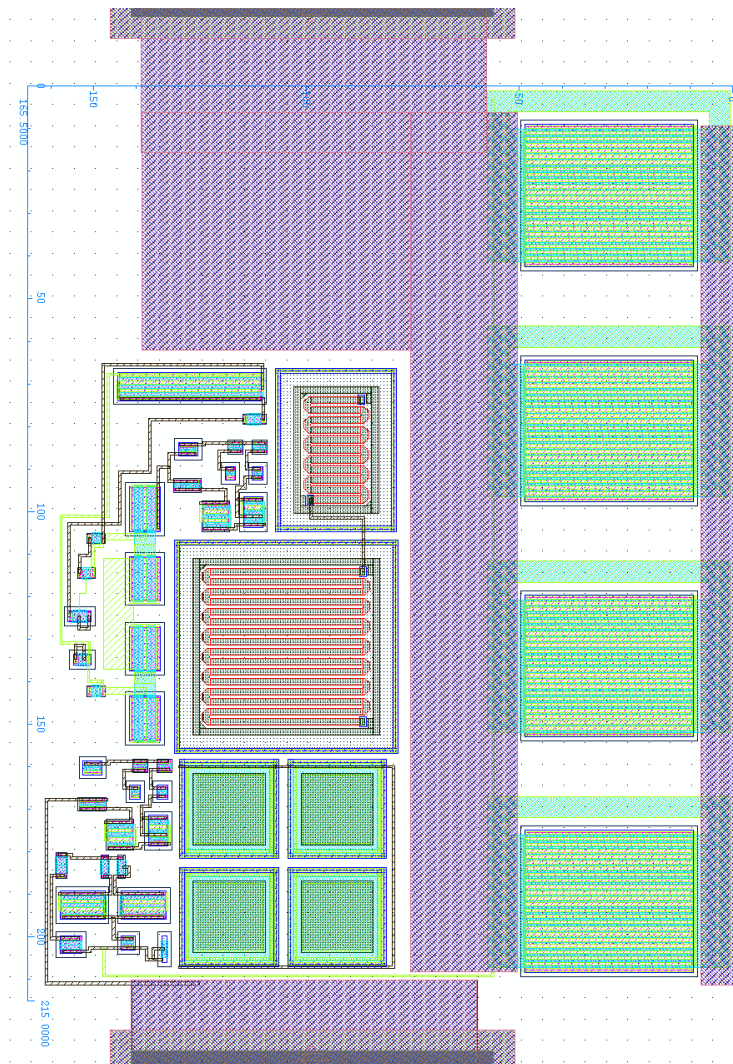


Figura 3.17: *Layout* del regulador *LDO* propuesto.

La figura 4.17 ilustra el *layout* del regulador *LDO* diseñado, incluyendo las resistencias de realimentación y el capacitor de Miller. El área total de núcleo es de  $165 \times 215 \mu\text{m}$  (no incluye la fuente de referencia), validando la metodología planteada como una metodología eficiente en área.

### 3.4. Observaciones y conclusiones

A lo largo de este trabajo se presentó y elaboró una propuesta de diseño de reguladores *LDO* basada en la reducción del área de circuito implementando  $M_{pass}$  en tríodo. A través de un cuidadoso estudio del espacio de diseño, se determinó la relación de aspecto más apropiada para obtener una reducción significativa en área sin ir en detrimento del desempeño del circuito. Los resultados obtenidos a partir de esta metodología muestran una reducción en el área cercana al 90 % comparada con el área del transistor de potencia en saturación. Así mismo, se pudo establecer de forma clara la relación existente entre el ancho de  $M_{pass}$  y la tensión de control necesaria para suministrar un corriente específica.

El uso del transistor de potencia en tríodo estableció ciertas restricciones con relación a las características de desempeño (rango de excursión y ganancia) que debía poseer el amplificador de error para garantizar un funcionamiento apropiado del sistema. El uso de la programación geométrica fue crucial en la obtención del diseño del OpAmp requerido, pues permitió conseguir varios diseños de amplificador de forma rápida y precisa. Aunque en el capítulo 3 se planteó una serie de especificaciones para el amplificador operacional con base en las necesidades del regulador, la programación geométrica permitió evaluar el efecto que tiene la variación en una u otra especificación sobre el desempeño general del regulador. De haber diseñado el amplificador operacional de forma tradicional, usando las técnicas de circuitos convencionales, la obtención de los diseños habría sido un proceso árduo y tedioso que haría inviable evaluar los compromisos existentes entre el amplificador de error y el transistor de potencia.

Desde el punto de vista de optimización y programación, se elaboraron los algoritmos de modelamiento y optimización del amplificador operacional de dos etapas, de forma que fueran compatibles con la sintaxis usada por *CVX*. Los resultados en tiempo de cómputo son excelentes, ya que a partir de las regiones de modelado y las especificaciones, es posible obtener un diseño de *OpAmp* funcional en cuestión de minutos. En el caso de los modelos max-monomiales, se implemento un algoritmo que valida el número de monomios generado y el error máximo del modelo, lo que evita dar inicio al programa geométrico con modelos cuyas dimensiones y características no son las adecuadas.

Aunque no se consiguió el menor consumo de corriente de polarización, el desempeño en términos de eficiencia es bastante bueno, encontrándose entre los mejores del estado del arte. La fuente de referencia seleccionada jugó un papel importante en la obtención de este bajo consumo de potencia, ya que el consumo de este bloque no supera los  $nA^2$ , haciendo despreciable su efecto dentro del consumo de corriente global en el regulador.

---

<sup>2</sup>Las fuentes de referencia convencionales consumen entre algunos  $\mu A$  hasta decenas de  $\mu A$ .

Es importante mencionar que de los  $13 \mu\text{A}$  que consume este regulador,  $5\mu\text{A}$  fluyen a través de las resistencias de realimentación. Aumentar el tamaño de estas resistencias permitiría disminuir la corriente de polarización, mejorando el desempeño en potencia del *LDO* diseñado; sin embargo, el valor de las resistencias está directamente relacionado con el comportamiento frente al ruido exhibido por el circuito, de modo que existe un compromiso entre estas dos variables que debe ser evaluado profundamente para ofrecer las mejores características de operación en una aplicación determinada. Otra posibilidad para reducir el consumo de potencia en estado estable consiste hacer que el transistor  $M_7$  del amplificador de error entre en la región de corte cuando  $I_{Load} = 0 \text{ mA}$ . En el diseño obtenido, la corriente en la rama de salida del OpAmp es de  $3.7\mu\text{A}$ ; si se envía a corte, el consumo podría bajar hasta los nA, mejorando aún más la eficiencia. Sin embargo, esta implementación tiene sus desventajas: Enviar el transistor  $M_7$  a corte de alguna manera implica apagar el lazo de control. En estas condiciones, si ocurre un transitorio de carga positivo, tanto el tiempo de reacción como el *undershoot* se incrementarían, deteriorando el desempeño general del regulador.

En cuanto a la estabilidad del regulador, el comportamiento del margen de fase a través de todo el rango de corriente de operación merece especial análisis. Aunque la estabilidad del circuito está garantizada, el comportamiento bimodal observado para bajas corrientes de carga representa una situación inesperada e indeseada, pues deja en evidencia la sensibilidad que posee este parámetro, específicamente ante variaciones aleatorias en el circuito. En la sección 4.3 se estableció que este particular comportamiento en el margen de fase está supeditado mayormente a variaciones aleatorias en la geometría de los dispositivos (*mismatch*) que a las variaciones del proceso. En consecuencia, el uso de las técnicas de *layout* descritas en A permite sortear esta situación sin mayores inconvenientes.

El sumidero de corriente dinámico presentado en 3.5 se fundamenta en la propuesta de [9] para mejorar la regulación del circuito sin afectar el consumo de potencia ni el área del circuito de manera significativa. Por medio de esta configuración se logró conseguir los mejores resultados hasta ahora reportados en lo que se refiere a las características de regulación de carga y de línea. El bajo consumo de potencia del circuito planteado hace bastante atractiva su implementación en cualquier regulador para dispositivos móviles. El incremento en área debido a este bloque es mínimo porque no requiere del uso de elementos pasivos ni transistores grandes, y es despreciable comparado con la reducción de área obtenida en el transistor de potencia. No obstante, a pesar de que los resultados son muy satisfactorios, esta topología puede llegar a simplificarse y optimizarse, mejorando aún más las características de operación obtenidas en este trabajo.

La utilización de las técnicas de análisis de circuitos de *Monte Carlo* y de esquinas permitieron validar, no sólo el diseño del regulador obtenido, sino la metodología propuesta a lo largo de este trabajo. Aún en los casos de peor velocidad, en donde todos los dispositivos adquieren la máxima tensión umbral permitida en el proceso, el comportamiento transistorio del circuito fue satisfactorio, lográndose una mejor regulación de línea de peor caso que la mejor regulación de línea reportada en el estado del arte. Estos resultados fueron posibles gracias al circuito propuesto para el mejoramiento de la respuesta en estado estable, el cual opera como un lazo de control paralelo luego de los transitorios de carga negativos.

### 3.5. Recomendaciones para trabajos futuros

♠ Con el objetivo de continuar minimizando el área y la potencia del regulador *LDO*, se recomienda estudiar la factibilidad de una red de realimentación activa implementada con transistores *MOS* en inversión débil. En esta configuración ofrece una importante reducción en área y consumo de potencia, pues cuando los transistores operan en corte poseen una muy alta impedancia que permite reducir la corriente  $I_q$  a valores por debajo de los nA.

♠ Para la elaboración de un diseño completamente integrable usando la metodología propuesta en este trabajo, se requiere replantear las especificaciones de tensión y corriente de salida del presente regulador, de manera que técnicas como la propuesta en [27] sean viables sin perjudicar la respuesta transitoria del circuito, particularmente el *undershoot*.

♠ Es importante expandir los horizontes de la técnica de optimización basada en la programación geométrica aplicándola a otra clase de circuitos más complejos, estableciendo la posibilidad de implementarla en circuitos cuyos transistores varían de región de operación, como es el caso del transistor de potencia en el regulador *LDO*.

♠ En el caso de que se requiera reducir el *undershoot* del regulador, es posible implementar un circuito complementario al sumidero de corriente dinámico planteado en este diseño, de manera que se suministre la corriente transitoria en el capacitor de compensación de manera más rápida. Sin embargo, esta implementación debe realizarse evitando afectar notablemente la vida útil de la batería, pues, a diferencia del sumidero de corriente dinámico, ésta corriente vendría de la fuente de alimentación y no de la carga en el capacitor.

♠ Es de gran importancia validar la escalabilidad de esta metodología de diseño mediante la implementación del circuito en diferentes tecnologías. En el futuro cercano se tiene pensada la fabricación de este circuito en tecnología  $0.6\mu\text{m}$ . Debido a que este circuito es un circuito muy usado, debe estudiarse la posibilidad de generar una librería de *LDOs*, compuesta por varios reguladores con diferentes tensiones y corrientes de salida, que permita satisfacer la demanda de suministro de potencia de diversos dispositivos portátiles.

# Apéndice A

## Consideraciones de fabricación

El desarrollo del *layout*, o el diseño geométrico de las máscaras de fabricación es en si una tarea extenuante y compleja, pues se requiere cumplir toda una serie de reglas suministradas por el fabricante de modo que exista cierta confiabilidad. Del análisis de *Monte Carlo* se pudo determinar que el diseño del regulador es robusto y viable para fabricación, pues la desviación estándar de  $V_{out}$  es de solo 18 mV y el peor margen de fase que se obtuvo fue  $26^\circ$  para  $I_{Load} = 0\text{mA}$ , garantizando la estabilidad del regulador. Para que las características de desempeño del circuito sean las obtenidas en los resultados de fabricación, se requiere elaborar un *layout* muy cuidadoso que minimice el impacto de las variaciones en los dispositivos que surgen como consecuencia del proceso de fabricación. A continuación se presentan las técnicas de elaboración de *layout* necesarias para obtener las mejores características en el circuito fabricado.

### A.1. Transistores de potencia *MOS*

A través del desarrollo de este trabajo se observó que la relación de aspecto del transistor de potencia puede llegar a ser del orden de decenas de miles, lo que implica un ancho de transistor muy grande. En estas circunstancias, la estructura de los transistores cambia, pues se hace inviable implementarlos como un rectángulo de ancho  $W$  y longitud de canal  $L$ . Para lograr que el *layout* sea eficiente en área, se procura conseguir que el transistor de potencia adquiera una forma cuadrada, lo que implica establecer una estructura paralela de múltiple compuerta, más conocida como *transistor fingering*. Existen grandes diferencias entre las consideraciones para el diseño de *layout* de un transistor convencional y un transistor de potencia. El gran tamaño necesario para poder proveer la corriente necesaria es una de las mayores dificultades a las que se enfrenta un diseñador de circuitos integrados en la elaboración del *layout* de un regulador *LDO*.

Típicamente, los transistores de potencia *MOS* se especifican según su resistencia de encendido  $R_{DSon}$ , la cual se mide a una tensión  $V_{GS}$  y temperatura de unión específicas. Como se mencionó en el capítulo 2, esta resistencia puede variar hasta en un 50 % cuando la temperatura de unión pasa de 25° a 125°, y varía alrededor de un 30 % debido a los parámetros del proceso [28]. Para  $R_{DSon}$  menores a  $1\Omega$ , la resistencia de metalización se vuelve significativa y debe tenerse en cuenta según la relación de la ecuación A.1:

$$R_{DSon} = \frac{1}{k'(V_{GS} - V_t)} + R_M \quad (\text{A.1})$$

Donde  $R_M$  es la suma de las resistencias de metalización en drenaje y fuente. Esta resistencia es muy difícil de calcular, y lo que se hace normalmente es medirla en estructuras *dummy*<sup>1</sup> hechas para tal fin. Alternativamente, es posible calcular la resistencia  $R_{DSon}$  de un transistor de potencia a partir la resistencia específica de encendido  $R_{SP}$ , cuya expresión está definida como en A.2 (en  $\Omega\text{mm}^2$ ):

$$R_{SP} = A_d R_{DSon} \quad (\text{A.2})$$

Siendo  $A_d$  el área del *layout* usado como muestra. Menores valores de  $R_{SP}$  indican *layouts* más eficientes en área. A partir de la  $R_{SP}$  puede determinarse entonces el área de transistor necesaria para obtener la  $R_{DSon}$  deseada. Sin embargo, debe tenerse en cuenta que el valor calculado de  $R_{SP}$  sólo es válido para un rango de tamaños y relaciones de aspecto. En [28] se recomienda no usar la  $R_{SP}$  para calcular la  $R_{DSon}$  de dispositivos cuya relación de aspecto sea más de tres veces la del dispositivo muestra.

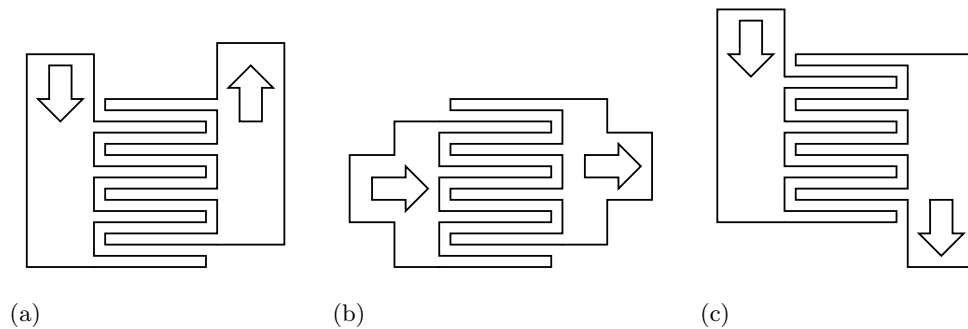


Figura A.1: Patrones de metalización en dispositivos de potencia.

La figura A.1 muestra tres diferentes tipos de patrones de metalización usados en transistores de potencia. La metalización ilustrada en A.1(a) permite conectar los terminales de

<sup>1</sup>Las estructuras *dummy* o “tontas” son estructuras que no poseen una función eléctrica dentro del circuito, sino que se usan para lograr un *etching* simétrico. El *etching* es el ataque químico que se usa en el proceso de fabricación para generar las diferentes máscaras del circuito.

dreno y fuente en *bond-pads* adyacentes, pero produce caídas de tensión excesivas y una distribución asimétrica de corriente en el dispositivo. en A.1(b) se ilustra un método usado para minimizar la resistencia de metalización. Utilizar el punto de conexión en el centro de los terminales evita que la corriente tenga que cruzar todo el bus de conexión, pero también produce una distribución de corriente no uniforme. La metalización que se muestra en A.1(c) ofrece un mejor desempeño en términos de uniformidad de corriente y tensión en el dispositivo de potencia, aunque dificulta la conexión de los terminales en *bond-pads* adyacentes.

La conexión de puerta del transistor de potencia también merece especial atención, pues la alta resistividad del polisilicio y el gran tamaño afectan significativamente la velocidad de respuesta del regulador, dificultando su puesta en corte y conducción oportunamente. Para sobrellevar este problema, en los transistores de potencia se recomienda unir ambos extremos de los terminales de puerta y metalizarlas mediante el uso de la primera capa de metal, maximizando el número de contactos. La figura A.2 ilustra la forma apropiada de realizar las conexiones de puerta en los transistores de potencia MOS.

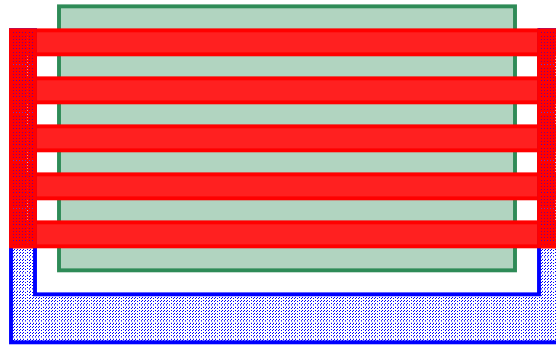


Figura A.2: Conexión de compuerta en transistores de potencia.

Finalmente, en algunas aplicaciones puede llegar a presentarse el efecto de *latchup*, por lo que se hace necesario el uso de anillos de guarda lo suficientemente anchos que eviten que los portadores minoritarios pasen a través de ellos y generen corrientes en el transistor de potencia que deterioren o destruyan el dispositivo. La distancia entre cualquier parte del transistor de potencia y el anillo de guarda no debe superar los  $20\mu\text{m}$  para garantizar un correcto funcionamiento.

## A.2. Otras recomendaciones

Para los demás elementos constitutivos del circuito, existe otra serie de técnicas generales cuya finalidad es minimizar el impacto de los defectos de fabricación en el *layout*. Para elementos que requieren un *matching* muy preciso, tales como los pares diferenciales y los espejos de corriente, es necesario usar las técnicas de centroide común, interdigitado y estructuras *dummy*. Las tres técnicas se ilustran en la figura A.3. El objetivo de estas técnicas es hacer que dos dispositivos sean lo más parecidos posibles haciendo que el proceso de fabricación afecte de igual manera a ambos dispositivos en todas direcciones. Los cuadros transparentes y opacos representan dos dispositivos diferentes y los cuadros sombreados representan estructuras *dummy*. Como puede observarse, la estructura de conexión se hace mucho más compleja, y el área de silicio aumenta debido a las estructuras *dummy*, sin embargo, este es el precio que hay que pagar por obtener un *matching* de dispositivos satisfactorio.

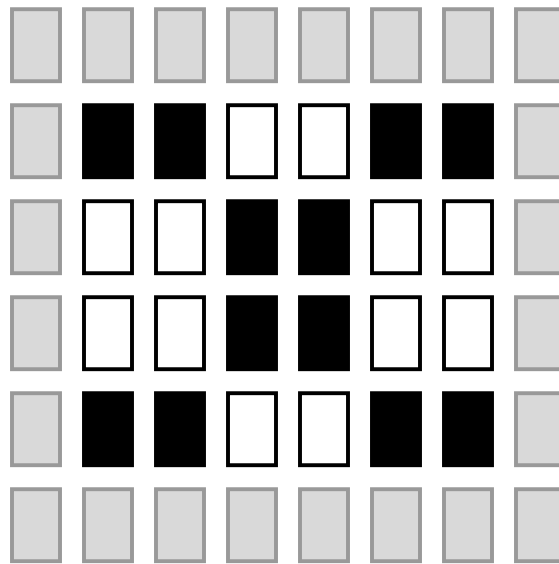


Figura A.3: Técnicas de *layout* para *matching*.

# Bibliografía

- [1] P. Buddle, *Global Mobile Statistics*. Pty, 2007.
- [2] “Ni-MH Rechargeable Batteries,” Duracell, Tech. Rep.
- [3] P. Allen and D. Holdberg, *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [4] “Choosing A Rechargeable Battery,” Jaycar Electronics, Tech. Rep.
- [5] C. Shi, B. C. Walker, E. Zeisel, Y. Hu, and G. H. McAllister, “A Highly Integrated Power Management IC for Advanced Mobile Applications,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1723–1731, Aug. 2007.
- [6] G. A. Rincón-Mora and P. E. Allen, “A Low-Voltage, Low-Quiescent Current, Low Drop-Out Regulator,” *IEEE J. Solid-State Circuits*.
- [7] M. Al-Shyoukh, H. Lee, and R. Pérez, “A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1732–1742, Aug. 2007.
- [8] R. J. Milliken, J. Silva-Martinez, and E. Sánchez-Sinecio, “Full On-Chip CMOS Low-Dropout Voltage Regulator,” *IEEE Trans. Circuits Syst. I*, vol. 54, no. 9, pp. 1879–1890, Sept. 2007.
- [9] T. Y. Man, P. K. T. Mok, and M. Chan, “A High Slew-Rate Push-Pull Output Amplifier for Low-Quiescent Current Low-Dropout Regulators With Transient-Response Improvement,” *IEEE Trans. Circuits Syst. I*, vol. 54, no. 9, pp. 755–759, Sept. 2007.
- [10] C.-W. Lin and Y.-J. Liu, “A Power Efficient and Fast Transient Response Low Drop-Out Regulator in Standard CMOS Process,” 2006.
- [11] L. H. Dongpo Chen and X. Yan, “A Low-dropout Regulator with Unconditional Stability and Low Quiescent Current.”

- 
- [12] W. Huang and S. Liu, "Sub-1V capacitor-free low dropout regulator," *Electronics letters*, vol. 42, no. 24, Nov. 2006.
- [13] G. A. Rincón-Mora, "Current Efficient, Low Voltage, Low Drop-Out Regulators," Ph.D. dissertation, Georgia Institute of Technology, Nov. 1996.
- [14] J. C. Teel, "Understanding noise in linear regulators," Texas instruments Incorporated, Dallas, Texas 75265, Tech. Rep. slyt201, 2005.
- [15] R. Milliken, "A Capacitor-Less Low Drop-Out Voltage Regulator With Fast Transient Response," Master's thesis, Texas A&M University, Dallas, May 2005.
- [16] B. M. King, "Advantages of using PMOS-type low-dropout linear regulators in battery applications," Texas Instruments Incorporated, Dallas, Texas 75265, Tech. Rep. slyt161, Aug. 2000.
- [17] T. Y. Man, P. K. T. Mok, and M. Chan, "Design of Area-Efficient, Low-Quiescent-Current LDOs for Chip-Level Power Management," *ISIC 2007. IEEE International Symposium on Integrated Circuits*, pp. 61–64, 2007.
- [18] M. Grant, S. Boyd, and Y. Ye, *Global Optimization: from theory to implementation, nonconvex optimization and its application*, L. Liberti and N. Maculan, Eds.
- [19] M. Grant, "Disciplined Convex Programming," Ph.D. dissertation, Department of Electrical Engineering, Stanford University, Dec. 2004. [Internet]. Visite: [www.stanford.edu/~boyd/disc\\_cvx\\_prog.html](http://www.stanford.edu/~boyd/disc_cvx_prog.html)
- [20] M. Grant, S. Boyd, and Y. Ye, "**cvx** Users's Guide," Stanford University, Tech. Rep., Sept. 2008.
- [21] J. A. Oliveros-Hincapié and D. J. Cabrera-Salas, "Aplicación de la programación geométrica en el diseño de amplificadores operacionales integrados en tecnología CMOS," Bucaramanga, Oct. 2006.
- [22] J. J. Carrillo-Castellanos, "Diseño de una fuente de voltaje de referencia de bandgap menor a un voltio integrada en tecnología CMOS," Bucaramanga, Aug. 2006.
- [23] J. C. Mateus-Ardila, "Diseño de una fuente de referencia integrada en tecnología CMOS," Bucaramanga, Oct. 2006.
- [24] G. de Vita and G. Iannaccone, "A sub 1-V, 10ppm/°C, Nanopower Voltage Reference Generator," *IEEE J. Solid-State Circuits*, vol. 42, no. 7, pp. 1536–1542, July 2007.

- 
- [25] B. M. King, “Understanding the load-transient response of LDOs,” Texas Instruments Incorporated, Dallas, Texas 75265, Tech. Rep. slyt151, Nov. 2000.
- [26] P. Gray, P. Hurst, S. Lewis, and R. Meyer, *Analysis and Design of Analog Integrated Circuits*. John Wiley and Sons, 2001, ch. 4.
- [27] G. A. Rincón-Mora, “Active Capacitor Multiplier in Miller-Compensated Circuits,” *IEEE Trans. Circuits Syst. I*, vol. 35, no. 1, pp. 26–32, Jan. 2000.
- [28] A. Hastings, *The Art of Analog Layout*. Prentice Hall, 2001.