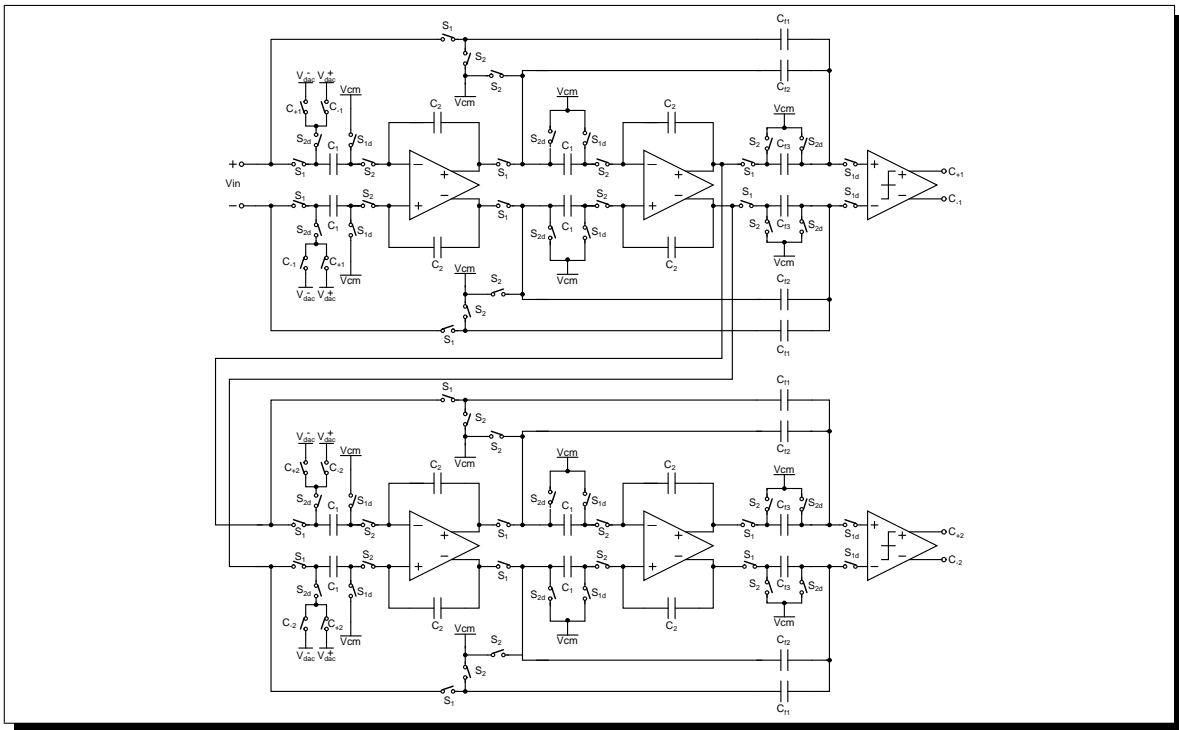


DISEÑO DE UN CONVERTIDOR ANALÓGICO-DIGITAL SIGMA-DELTA PARA APLICACIONES PORTÁTILES.



Andrés Felipe Amaya Beltrán

UNIVERSIDAD INDUSTRIAL SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2010



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



DISEÑO DE UN CONVERTIDOR ANALÓGICO–DIGITAL SIGMA–DELTA PARA APLICACIONES PORTÁTILES.

Andrés Felipe Amaya Beltrán

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Élkim Felipe Roa Fuentes

UNIVERSIDAD INDUSTRIAL SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES

BUCARAMANGA

2010

*“ A mi madre,
Q.E.P.D.”*

Agradecimientos

Como primera medida quiero agradecer a toda mi familia por su incondicional amor y apoyo, gracias a ellos soy lo que soy hoy en día, y es por ellos que me seguiré preparando cada día más.

Agradezco a mis amigos del CIDIC, especialmente a los *2050's*, de los que he aprendido un sin número de cosas. Gracias al profesor Élkim por brindarme la oportunidad de conocer el mundo de los circuitos integrados.

Por último, les doy las gracias a todas las personas que de alguna u otra forma estuvieron involucrados en el desarrollo de este proyecto.

Índice general

| | |
|---|-----------|
| 1. El convertidor $\Sigma\Delta$ | 15 |
| 1.1. Evolución histórica de los convertidores $\Sigma\Delta$ | 16 |
| 1.2. Fundamentos de la conversión Sigma–Delta ($\Sigma\Delta$) | 17 |
| 1.2.1. Muestreo y cuantización | 17 |
| 1.2.2. Conversores con modulación de ruido y sobremuestreo: <i>ADC</i> $\Sigma\Delta$ | 19 |
| 1.2.3. Parámetros de desempeño de un <i>ADC</i> $\Sigma\Delta$. | 21 |
| 1.2.4. Modulador $\Sigma\Delta$ de primer orden | 22 |
| 1.2.5. Moduladores $\Sigma\Delta$ de orden superior | 25 |
| 1.3. Estado del arte | 25 |
| 1.4. Especificaciones del audio digital | 28 |
| 2. Arquitecturas de moduladores $\Sigma\Delta$ | 29 |
| 2.1. Topologías de lazo sencillo con realimentación distribuida. | 29 |
| 2.1.1. Moduladores $\Sigma\Delta$ de primer orden. | 32 |
| 2.1.2. Moduladores $\Sigma\Delta$ de segundo orden. | 33 |
| 2.1.3. Moduladores $\Sigma\Delta$ de tercer orden | 35 |
| 2.1.4. Moduladores $\Sigma\Delta$ de cuarto orden o superior. | 36 |
| 2.2. Topologías en cascada. | 37 |
| 2.3. Topologías con <i>feedforward</i> | 43 |
| 2.3.1. Estabilidad | 44 |
| 2.3.2. Ventajas de la topología | 46 |
| 2.3.3. Moduladores <i>feedforward</i> en cascada. | 47 |
| 2.4. Selección de la arquitectura. | 49 |
| 3. Implementaciones circuitales | 51 |
| 3.1. Tiempo continuo Vs tiempo discreto. | 51 |
| 3.2. Circuito integrador o acumulador. | 54 |
| 3.2.1. Descripción del circuito. | 54 |

| | | |
|-----------|--|-----------|
| 3.2.2. | Efecto de los componentes no ideales. | 56 |
| 3.3. | Implementación de la arquitectura <i>feedforward</i> | 64 |
| 3.3.1. | Punto de suma de la señal a cuantizar. | 65 |
| 3.3.2. | Realimentación de la señal del <i>DAC</i> | 66 |
| 3.3.3. | Cuantizador. | 67 |
| 4. | Diseño de un <i>ADC</i> $\Sigma\Delta$ | 69 |
| 4.1. | Programación Geométrica | 70 |
| 4.2. | Diseño de los amplificadores | 70 |
| 4.2.1. | Aplicación de la programación geométrica en el diseño del amplificador. | 71 |
| 4.2.2. | Resultados. | 77 |
| 4.2.3. | Circuito de realimentación de modo común. | 80 |
| 4.3. | Diseño de los cuantizadores. | 83 |
| 4.3.1. | Aplicación de la programación geométrica en el diseño de los comparadores. | 84 |
| 4.3.2. | Resultados. | 87 |
| 5. | Resultados | 89 |
| 5.1. | Modulador $\Sigma\Delta$ | 90 |
| 5.2. | Filtro digital diezmador. | 90 |
| 5.3. | Análisis Monte Carlo. | 94 |
| 5.4. | Conclusiones. | 95 |
| 5.5. | Recomendaciones para trabajos futuros. | 96 |
| | Bibliografía | 97 |

Índice de figuras

| | |
|--|----|
| 1.1. Diagrama de bloques de un <i>ADC</i> | 18 |
| 1.2. Modelo lineal de un cuantizador | 18 |
| 1.3. Espectro de una señal con sobremuestreo | 19 |
| 1.4. Diagrama de bloques de un convertidor $\Sigma\Delta$ | 20 |
| 1.5. Modelo lineal de un modulador $\Sigma\Delta$ | 21 |
| 1.6. Parámetros de desempeño de un convertidor $\Sigma\Delta$ (Adaptada de [1]) | 23 |
| 1.7. Efecto del modulador $\Sigma\Delta$ sobre el ruido de cuantización | 23 |
| 1.8. <i>NTF</i> con un integrador de orden N como filtro de lazo | 26 |
| 2.1. Esquema general de un modulador $\Sigma\Delta$ de orden n de un solo lazo con realimentación distribuida. | 30 |
| 2.2. Modelo de un modulador $\Sigma\Delta$ con ganancia del cuantizador variable, propuesto por [2]. | 31 |
| 2.3. Ganancia de un cuantizador según el modelo propuesto por [2] | 31 |
| 2.4. Modulador $\Sigma\Delta$ de primer orden. | 32 |
| 2.5. Lugar de las raíces para un Modulador $\Sigma\Delta$ de primer orden. | 33 |
| 2.6. Lugar de las raíces para un modulador $\Sigma\Delta$ de segundo orden. | 34 |
| 2.7. SNR_p de un modulador $\Sigma\Delta$ de segundo orden. | 34 |
| 2.8. Lugar de las raíces para un modulador $\Sigma\Delta$ de tercer orden | 35 |
| 2.9. SNR_p de un modulador $\Sigma\Delta$ de tercer orden. | 36 |
| 2.10. Diagrama general de un modulador $\Sigma\Delta$ en cascada. | 37 |
| 2.11. Esquema de un modulador $\Sigma\Delta$ de tercer orden en cascada 2–1. | 38 |
| 2.12. SNR de un modulador $\Sigma\Delta$ de 3 orden en cascada 2–1. | 40 |
| 2.13. Esquema de un modulador $\Sigma\Delta$ de cuarto orden en cascada 2–2 | 41 |
| 2.14. Esquema de un modulador $\Sigma\Delta$ de cuarto orden en cascada 2–1–1 | 42 |
| 2.15. Esquema general de un modulador $\Sigma\Delta$ con <i>feedforward</i> | 43 |
| 2.16. Modulador $\Sigma\Delta$ de primer orden con <i>feedforward</i> | 45 |
| 2.17. LGR de un modulador $\Sigma\Delta$ de primer orden con <i>feedforward</i> | 45 |

| | |
|---|----|
| 2.18. Modulador $\Sigma\Delta$ de segundo orden con <i>feedforward</i> | 46 |
| 2.19. LGR de un modulador $\Sigma\Delta$ de segundo orden con <i>feedforward</i> | 46 |
| 2.20. <i>SNR</i> de un modulador $\Sigma\Delta$ de segundo orden con <i>feedforward</i> | 47 |
| 2.21. Modulador $\Sigma\Delta$ en cascada de cuarto orden con <i>feedforward</i> | 48 |
| | |
| 3.1. Tipos de implementación circuital de moduladores $\Sigma\Delta$ | 52 |
| 3.2. Circuito integrador. | 55 |
| 3.3. Circuito integrador diferencial. | 56 |
| 3.4. Circuito de muestreo básico. | 57 |
| 3.5. Circuito de muestreo con interruptores <i>CMOS</i> | 58 |
| 3.6. Conexión de un transistor extra para atenuar el efecto de inyección de carga. | 59 |
| 3.7. Implementación de la técnica <i>Bottom-Plate Sampling</i> | 59 |
| 3.8. Representación de la ganancia finita del amplificador. | 60 |
| 3.9. Efecto de la ganancia del amplificador sobre la <i>SNR</i> total del sistema. | 61 |
| 3.10. Circuito para el análisis del ancho de banda y <i>Slew Rate</i> del amplificador. | 62 |
| 3.11. Tiempo de establecimiento del amplificador. | 62 |
| 3.12. Efecto del <i>Slew Rate</i> del amplificador sobre la <i>SNR</i> total. | 63 |
| 3.13. Circuito divisor de voltaje capacitivo. | 65 |
| 3.14. Realimentación de la señal del <i>DAC</i> | 67 |
| 3.15. <i>ADC</i> $\Sigma\Delta$ a diseñar. | 68 |
| | |
| 4.1. Amplificador de dos etapas | 72 |
| 4.2. Respuesta en frecuencia del amplificador. | 78 |
| 4.3. Excursión de la tensión de salida del amplificador en lazo abierto. | 79 |
| 4.4. Medición del <i>slew rate</i> del amplificador. | 79 |
| 4.5. Circuito de realimentación en modo común. | 81 |
| 4.6. Aplicación de las redes <i>CMFB</i> en el amplificador diseñado. | 82 |
| 4.7. Desempeño del circuito <i>CMFB</i> en el amplificador diseñado. | 82 |
| 4.8. Comparador dinámico propuesto por [3] | 83 |
| 4.9. Respuesta transitoria del comparador. | 87 |
| | |
| 5.1. Densidad espectral de potencia a la salida del modulador. | 90 |
| 5.2. Comportamiento de la <i>SNR</i> respecto a la señal de entrada. | 91 |
| 5.3. Requerimientos de banda de transición y atenuación del filtro diezmador. | 92 |
| 5.4. Espectro a la salida del filtro digital. | 93 |
| 5.5. Análisis Monte Carlo de la <i>SNR</i> del <i>ADC</i> | 94 |
| 5.6. Análisis Monte Carlo del número efectivo de <i>bits</i> del <i>ADC</i> | 95 |

Índice de tablas

| | |
|---|----|
| 1.1. <i>ADCs</i> desarrollados | 27 |
| 1.2. Características del estándar <i>AC'97</i> | 28 |
| 2.1. Desempeño de la arquitectura seleccionada en función de la <i>OSR</i> | 50 |
| 3.1. Diferencias entre moduladores $\Sigma\Delta$ discretos y continuos. | 54 |
| 3.2. Especificaciones mínimas de los amplificadores. | 64 |
| 4.1. Resultados de la solución del programa geométrico. | 78 |
| 4.2. Comparación del desempeño del amplificador según los resultados del PG frente a los resultados del simulador. | 80 |
| 4.3. Resultados de la aplicación de la programación geométrica en el diseño de un comparador. | 87 |
| 4.4. Comparación del desempeño del comparador según los resultados del PG frente a los resultados del simulador. | 88 |
| 5.1. Desempeño del modulador $\Sigma\Delta$ | 91 |
| 5.2. Características de la señal digitalizada. | 94 |

RESUMEN

TÍTULO:

DISEÑO DE UN CONVERTIDOR ANALÓGICO-DIGITAL SIGMA-DELTA PARA APLICACIONES PORTÁTILES ¹

AUTOR: ANDRÉS FELIPE AMAYA BELTRÁN ²

PALABRAS CLAVE: Ruido de cuantización, relación señal a ruido, resolución, programación geométrica, bajo consumo de potencia, *CMOS*.

DESCRIPCIÓN:

El procesamiento y manipulación digital de señales analógicas, ha sido una técnica en constante crecimiento, debido al continuo desarrollo de procesadores robustos, tales como lo son *FF.PP.GG.AA*, *DD.SS.PP*, microcontroladores, etc; y en especial, cuando de una aplicación de audio se trata. Es por esto, que el diseño de interfaces analógico-digital ha tomado una creciente importancia, obligando al desarrollo de convertidores de gran resolución, y bajo consumo de potencia. Por lo tanto, en este proyecto se presenta el diseño de un convertidor analógico-digital $\Sigma\Delta$, enfocado a una aplicación de procesamiento de audio portátil.

Este trabajo comienza con la descripción de cada una de las arquitecturas de convertidores $\Sigma\Delta$, abarcando desde los sistemas con realimentación distribuida, hasta moduladores en cascada con etapas *feedforward*. De cada una se resaltan sus principales ventajas y desventajas para su implementación, en un sistema de audio portátil. Seguido a esto, se procede con la descripción a nivel circuital de cada uno de los bloques que conforman el modulador. Además, se utiliza la programación geométrica como estrategia de diseño para los amplificadores y comparadores de voltaje, enfocada en el bajo consumo de potencia.

Finalmente, el diseño del convertidor es validado por medio de simulaciones y análisis estadístico tipo *Monte Carlo*, incluyendo los modelos propios de la tecnología *C35B4C3* de *Austrian Microsystems*, lo que demuestra la robustez del circuito ante variaciones del proceso de fabricación. Además, el convertidor cumple con el estándar *AC'97* desarrollado por la compañía INTEL.

¹Proyecto de Grado.

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Élkim Felipe Roa Fuentes.

SUMMARY

TITTLE:

DESIGN OF A ANALOG TO DIGITAL SIGMA-DELTA CONVERTER FOR PORTABLE APPLICATIONS ³

AUTHOR: ANDRÉS FELIPE AMAYA BELTRÁN ⁴

KEY WORDS: Quantization noise, noise to signal ratio, resolution, geometric programming, low power consumption, *CMOS*.

DESCRIPTION:

The digital processing and manipulation of analog signals has been a constant growth technique, due the continuous development of robust processors, such as FPGA, DSP, microcontrollers, etc; especially, in audio and voice applications. For that reason, the design of analog to digital interfaces has taken a growing importance, forcing the develop of high resolution and low power converters. Therefore, this project presents the design of a analog to digital $\Sigma\Delta$ converter, focused on a portable audio processing application.

This document begins with a description of each $\Sigma\Delta$ converter architecture, covering from distributed feedback systems, to cacade modulators with feedfoward stages, highlighting their main advantages and disadvantages to its implementation in a portable audio system. Following this, a circuital level description of each block that make up the modulator, is made. In addition, the geometric programming is used as a design strategy for the amplifiers and voltage comparators, focused on low power consumption.

Finally, the design of the converter is validated by simulations and statistical analysis type Monte Carlo, including Austian MicroSystems C35B4C3 techonology models, demonstrating the robustness of the circuit to the manufacturing process variations. In addition, the converter meets with the specifications of the standard AC'97, developed by the INTEL Corporation

³Degree Project.

⁴Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunication Engineering School. Director MSc. Élkim Felipe Roa Fuentes.

Capítulo 1

El convertidor $\Sigma\Delta$

A pesar de que todas las señales del mundo real son de carácter analógico, su procesamiento y análisis se realiza con gran facilidad en el dominio digital por medio de robustos *DD.SS.PP* (*Digital Signal Processor*), *FF.PP.GG.AA* (*Field Programmable Gate Array*), microcontroladores, entre otros; lo cuales son implementados en sistemas integrados en gran escala (*VLSI - Very Large Scale Integration*) [4]. En consecuencia, las interfaces analógico-digital han tomado creciente importancia, haciendo que el diseño y la implementación de convertidores analógico-digital (*ADCs*) sean objeto constante de estudio por parte de la industria y la academia.

Diseñar un *ADC* que se ajuste tanto a los requerimientos de un circuito digital (centrados en la velocidad de procesamiento y por ende de conversión), como a los impuestos por el tipo de aplicación (enfocados en resolución y bajo consumo de potencia), han convertido el diseño de estos circuitos en un punto crítico para el desempeño global de un sistema. Adicionalmente, las variaciones en el proceso de fabricación (muy notables en las tecnologías actuales) y la constante reducción en la fuente de alimentación en los circuitos digitales, añaden nuevas dificultades al diseño de un *ADC*, obligando a los diseñadores a proponer diferentes topologías y metodologías para abordar este problema.

Los convertidores tipo *flash*, de aproximaciones sucesivas, *pipeline* y $\Sigma\Delta$, son algunas de las soluciones propuestas. De estos, los $\Sigma\Delta$, caracterizados por su alto grado de sobremuestreo y con más de 50 años de desarrollo, son implementados frecuentemente en aplicaciones como el procesamiento de audio y video de alta definición, sistemas de instrumentación y control, y enlaces de comunicación inalámbrica [5,6]. Lo anterior se debe a su capacidad de desarrollar grandes resoluciones, simplificación de funciones analógicas como el prefiltrado [7], y baja sensibilidad a las imperfecciones en el proceso de fabricación. Mientras que la conversión analógico-digital convencional necesita mecanismos de corrección para atenuar los efectos de estas variaciones, los convertidores $\Sigma\Delta$ se sobreponen a ellas gracias al uso extensivo del

procesamiento digital, fácilmente logrado en sistemas VLSI [1]. Sin embargo, debido a que los convertidores $\Sigma\Delta$ operan con un alto grado de sobremuestreo, requieren circuitos que operen a altas frecuencias, presentando ciertas desventajas en consumo de potencia y ancho de banda, haciendo necesarias técnicas de diseño específicas que permitan reducir estas limitaciones.

De acuerdo a lo expuesto, en este trabajo se aborda el diseño de un convertidor analógico digital $\Sigma\Delta$ integrado en tecnología *CMOS*, estableciendo una secuencia clara de diseño enfocada en la implementación del convertidor en un sistema portátil con procesamiento de audio.

Con el fin de formalizar el contexto en el cual se desarrolla este proyecto, el presente capítulo presenta los principios de la conversión $\Sigma\Delta$, su evolución y una revisión del estado del arte de este bloque.

1.1. Evolución histórica de los convertidores $\Sigma\Delta$

Obtener una resolución de un convertidor de 16 bits, a partir de uno de un solo bit era una idea difícil de aceptar hace varias décadas; existen diversas tesis doctorales que intentan demostrar que un modulador de orden superior sencillamente no podría funcionar, tal como se menciona en [8].

A pesar que la modulación $\Sigma\Delta$ se empezó a desarrollar a principios de los años 50s, como una mejora de la modulación delta, solo hasta 1960 C. C. Cutler patentó el primer circuito de este tipo, que consiste únicamente de un codificador sobremuestreado y un cuantizador de un bit. Sin embargo, poco tiempo después los convertidores $\Sigma\Delta$ ya aparecían en la literatura por publicaciones de H. Inose y Y. Yasuda [9], mostrando al igual que Cutler, un sistema compuesto por un lazo de realimentación negativa, un sistema de sobremuestreo y un cuantizador de baja resolución.

Durante la década del 70, el desarrollo de los sistemas $\Sigma\Delta$ no fue muy notorio, retomándose hasta principio de los años 80 con los trabajos de James C. Candy, quien introdujo la idea de una doble integración en el filtro de lazo de modulador [10], además de la interpolación triangular para obtener una señal PCM de trece bits [11]. Históricamente se afirma que Candy fue el precursor de los sistemas $\Sigma\Delta$; no siendo él quien inventó este sistema de modulación, pero si quien impulso su desarrollo e investigación [1].

Seguido a los trabajos de Candy, B. Bernhard, en el año 1988 publica uno de los trabajos más relevantes en este campo: El diseño de un ADC $\Sigma\Delta$ de segundo orden [12], estableciendo todas las consideraciones a tener en cuenta en el diseño de estos convertidores, algo verdaderamente novedoso para aquella época, que al igual que Candy, marcó el inicio de numerosas investigaciones en este área.

Inicialmente los convertidores $\Sigma\Delta$ se implementaron en el tiempo continuo, sin embargo, desde hace ya varias décadas se ha optado por implementaciones en el tiempo discreto, debido a la sencillez del trazado de las funciones matemáticas del modulador sobre el circuito. No obstante, esta implementación presenta limitaciones en consumo de potencia y frecuencia de operación, obligando retomar los convertidores continuos. En [13] se hace una comparación entre los tipos de implementación y demás características de estos convertidores en los últimos años.

Durante aproximadamente 15 años, a partir de la publicación de [10], los convertidores $\Sigma\Delta$ se posicionaron como líderes en el procesamiento de voz y audio (tanto en la conversión del dominio analógico al digital, como viceversa), instrumentación y sismografía; hoy en día son altamente usados en comunicaciones tanto cableadas como inalámbricas, y en general cualquier aplicación que requiera de convertidores de alta resolución.

1.2. Fundamentos de la conversión Sigma–Delta ($\Sigma\Delta$)

La principal característica de un convertidor $\Sigma\Delta$ es la obtención de una señal digital de gran resolución, utilizando un cuantizador con pocos niveles. El objetivo de estos convertidores es representar la señal de entrada con una secuencia de palabras digitales, cuyo espectro se aproxime a la señal analógica en una banda de interés, mientras que el restante sea solo ruido [14]. Esto es posible al combinar técnicas como sobremuestreo, realimentación y procesamiento del error en un solo sistema, y así mejorar el desempeño del cuantizador [1]. A continuación se exponen cada uno de estos métodos, presentando al modulador $\Sigma\Delta$ como el bloque esencial en este tipo de conversión.

1.2.1. Muestreo y cuantización

La conversión de una señal analógica en una señal digital se resume en dos grandes pasos: muestreo y retención en el tiempo, seguido de cuantización en amplitud. El proceso de muestreo se define como la multiplicación de una señal con un tren de impulsos, separados por un tiempo T_s entre sí.

$$T_s = \frac{1}{f_s} \quad (1.1)$$

En el dominio de la frecuencia, este proceso representa la periodización del espectro de la señal muestreada, siendo este reversible siempre y cuando se cumpla cierta restricción sobre la frecuencia de muestreo, conocida como el criterio de *Nyquist* [1].

Durante el proceso de cuantización, ciertos valores discretos son asignados a una rango continuo de amplitudes. Esta operación es irreversible, debido a que a un número infinito de

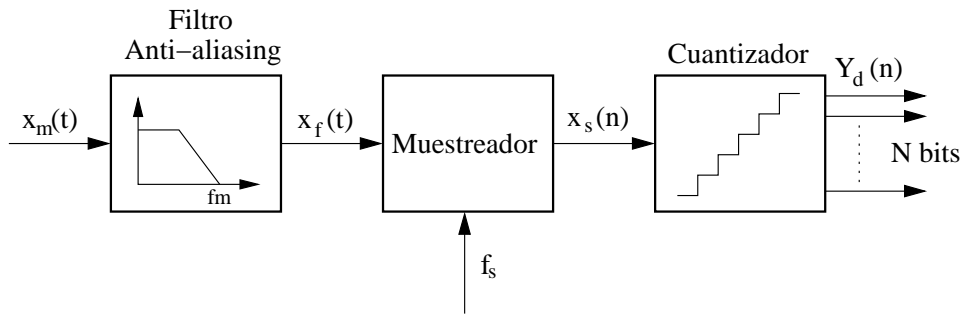
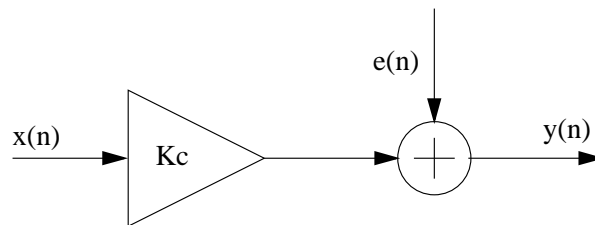
Figura 1.1: Diagrama de bloques de un *ADC*

Figura 1.2: Modelo lineal de un cuantizador

amplitudes se le asigna un solo nivel de cuantización, por tanto siempre existirá una diferencia entre la señal de entrada y la señal cuantizada (incluso en un cuantizador ideal) denominado error de cuantización [15]. Este bloque se caracteriza por el número de niveles que puede asignar a señal de entrada, que hacen referencia al número de bits de resolución (B_c), cuanto mayor número de niveles o bits tenga, menor será el error del proceso.

La Figura 1.1 representa el esquema general de un *ADC*, en esta se muestra un filtro *anti-aliasing* cuya función es limitar el ancho de banda de la señal de entrada, y prevenir el solapamiento de los espectros resultantes del proceso de muestreo, conocido como *aliasing*. Este fenómeno vuelve irreversible el proceso de muestreo, degradando el desempeño del convertidor [15]. Por lo general este filtro es de tipo pasa bajas permitiendo la conversión de señales banda base.

Analizar matemáticamente un *ADC* no es una tarea sencilla debido a la no linealidad del cuantizador, sin embargo, para facilitar este análisis se utiliza el modelo de la Figura 1.2 para este bloque, asumiendo este como una ganancia constante (k_c) y una fuente de ruido (ruido de cuantización) [1]. Cabe resaltar que el ruido de cuantización es considerado como ruido blanco, debido a la no correlación entre cada una de las muestras de la señal de entrada, con ancho de banda igual a la mitad de la frecuencia de muestreo [1, 16].

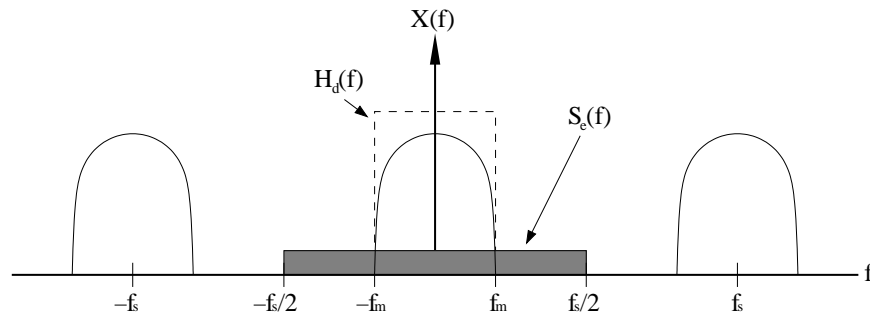


Figura 1.3: Espectro de una señal con sobremuestreo

1.2.2. Conversores con modulación de ruido y sobremuestreo: $ADC \Sigma\Delta$

Como se mencionó, la principal característica de un $ADC \Sigma\Delta$ es obtener una señal digital de gran resolución utilizando un cuantizador de pocos niveles; para esto, técnicas como el sobremuestreo y la modulación del ruido de cuantización son utilizadas. A continuación serán explicados brevemente cada uno de estos métodos.

- **Sobremuestreo:**

Un convertidor que opere a una frecuencia de muestreo mayor que la establecida por el criterio de *Nyquist* (f_n) es catalogado como un convertidor con sobremuestreo. Para este tipo de $ADCs$ se define la relación de sobremuestreo OSR como:

$$OSR = \frac{f_s}{f_n} = \frac{f_s}{2f_m} \quad (1.2)$$

donde f_m es la componente de frecuencia máxima de la señal de entrada.

Los beneficios de utilizar sobremuestreo se ven reflejados en la implementación del filtro *anti-aliasing* y en la distribución de la potencia del ruido de cuantización (Figura 1.3). Al sobremuestrear una señal, la separación entre las réplicas del espectro aumenta a razón de la OSR , suavizando los requerimientos del filtro. Además, como el ruido de cuantización tiene un ancho de banda igual a $\frac{f_s}{2}$ y su potencia depende únicamente del paso de cuantización [1], una menor cantidad de ruido se concentrará en la banda de la señal de entrada, por lo tanto, si un filtro digital pasa bajas es añadido a la salida del convertidor, todo el ruido restante será eliminado, mejorando notablemente el desempeño del ADC [17].

- **Modulación del ruido de cuantización:**

Desde el punto de vista de sistema, el convertidor de la Figura 1.1 es un sistema de control de lazo abierto, en donde la salida es función de una entrada (señal a digitalizar) y una

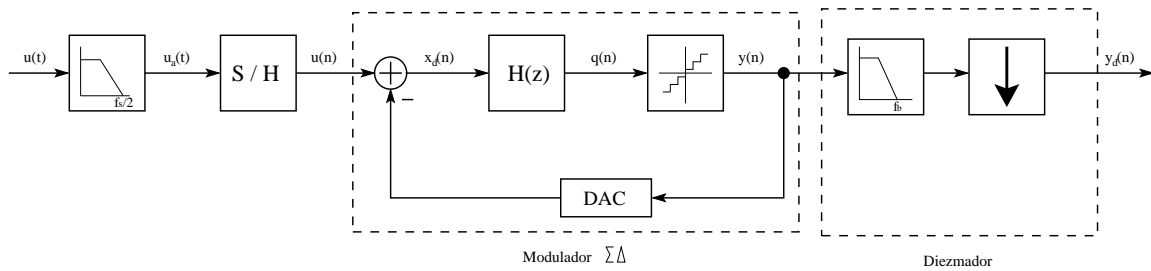


Figura 1.4: Diagrama de bloques de un convertidor $\Sigma\Delta$.

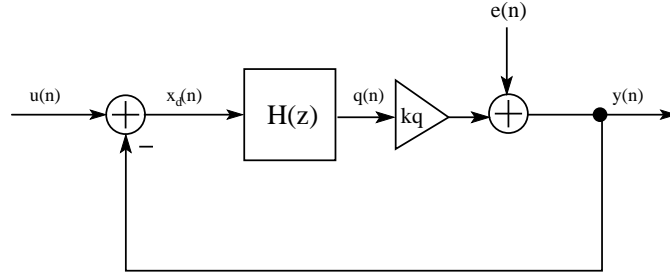
perturbación (ruido de cuantización), siendo conveniente introducir realimentación negativa en el sistema con el fin de establecer un lazo cerrado de control [1]; lo cual caracteriza el comportamiento de un *ADC* $\Sigma\Delta$.

La arquitectura básica de estos *ADCs* se muestra en la Figura 1.4, donde sobresalen los siguientes bloques:

- **Filtro *antialiasing* (AAF)**: Elimina las señales de entrada con frecuencias mayores a la mitad de la frecuencias de muestreo, garantizando integridad de la señal durante el proceso de muestreo.
- **Modulador $\Sigma\Delta$** : Es el bloque encargado de separar el ruido de cuantización de la señal original, trasladándolo a altas frecuencias. Típicamente se implementan con bajas resoluciones (un bit por lo general [1]). El *DAC*¹ de realimentación es diseñado de la misma resolución que el cuantizador, por lo tanto no introduce error de cuantización adicional.
- **Filtro diezmador**: Realiza un filtrado pasa bajas, eliminando el ruido en el intervalo $[f_m, f_s]$ y ajusta la señal de salida a la frecuencia de *Nyquist*, incrementando la resolución del *ADC*.

Al reemplazar el cuantizador de la Figura 1.4 por el modelo lineal de la Figura 1.2, y asumiendo un *DAC* ideal, se obtiene el modelo lineal de un modulador $\Sigma\Delta$ de la Figura 1.5. Con un controlador adicional en el lazo de realimentación es posible obtener diferentes funciones de transferencia tanto para la señal deseada (*Signal Transfer Function, STF*), como para el ruido de cuantización (*Noise Transfer Function, NTF*). Idealmente se espera que la *NTF* elimine completamente el ruido de cuantización dentro de la banda de la señal a digitalizar, mientras que la *STF* no la afecte. Fuera de la banda de deseada, la *NTF* puede presentar altas ganancias, mientras que la *STF* bajas, definiendo idealmente la *STF* como el inverso de la *NTF*:

¹*Digital to Analog Converter* – convertidor de digital a analógico por sus siglas en inglés.

Figura 1.5: Modelo lineal de un modificador $\Sigma\Delta$.

$$NTF_{ideal} = \overline{STF}_{ideal} = \begin{cases} 0, & -f_b \leq f \leq f_b \\ 1, & \text{others.} \end{cases} \quad (1.3)$$

Esta descripción corresponde a un filtro pasa bajas ideal para la STF y un filtro pasa altas ideal para la NTF , con frecuencias de corte igual a f_m . De esta manera, el ruido de cuantización es modulado fuera de la banda de interés, lo que conlleva a un convertidor modificador de ruido. La STF y NTF se muestran en las ecuaciones (1.4), (1.5) y (1.6), donde $U(z)$, $Y(z)$ y $E(z)$ son representaciones en el dominio de Z de las señales de entrada, salida y error de cuantización.

$$Y(z) = STF(z)U(z) + NTF(z)E(z) \quad (1.4)$$

$$STF(z) = \frac{1}{\frac{1}{H(z)k_c} + 1} \quad (1.5)$$

$$NTF(z) = \frac{1}{1 + H(z)k_c} \quad (1.6)$$

Comparando (1.4) con la NTF en (1.6) se concluye que el filtro de lazo $H(z)$ debe presentar una gran ganancia en la banda de interés, decayendo rápidamente fuera de ella.

1.2.3. Parámetros de desempeño de un ADC $\Sigma\Delta$.

El desempeño de un ADC se puede cuantificar por medio de parámetros como la relación señal a ruido SNR , relación señal a ruido y distorsión $SNRD$, rango dinámico DR , ruido en la banda de interés IBN , nivel de sobrecarga OL , distorsión armónica total THD , rango dinámico libre falso $SFDR$, entre otros [1]. Algunos de estos parámetros se describen a continuación:

- **Relación señal a ruido:** Es la razón entre la potencia de la señal y la potencia del ruido a la salida del convertidor, especificada para cierta amplitud de la señal de entrada. El valor máximo de este parámetro se denomina SNR_p .
- **Relación señal a ruido y distorsión:** Es la razón entre la potencia de la señal, la potencia del ruido y todas las componentes de distorsión a la salida del ADC , especificada para cierta amplitud de la señal de entrada. El valor máximo de este parámetro se denomina $SNRD_p$.
- **Rango dinámico:** Se define como el valor rms de la amplitud máxima y mínima de una señal sinusoidal de entrada para la cual el convertidor opera adecuadamente.
- **Ruido en la banda:** Determina el ruido total en la banda de interés a la salida de un convertidor, y por ende, la mínima señal que éste puede tratar. Además brinda información sobre diferentes arquitecturas y comportamientos no ideales. Cabe resaltar que el ruido en la banda contiene toda la potencia tanto del ruido, como de componentes de distorsión u otros tonos.
- **Nivel de sobrecarga:** Determinado por la máxima amplitud de la señal de entrada para la cual el convertidor opera aún correctamente. El punto en el cual el convertidor deja de operar adecuadamente es determinado por la SNR , en el momento en que esta cae 6[dB] por debajo de la SNR_p .
- **Ruido en la banda de interés:** Determina la cantidad de ruido que se encuentra en la banda de interés o banda de conversión. Su importancia como parámetro de desempeño de un ADC radica en brindar información sobre el comportamiento de la arquitectura implementada, no-idealidades y demás.

Usualmente, para un convertidor $\Sigma\Delta$, estos parámetros son resumidos en un gráfico como el de la Figura 1.6, donde la SNR y $SNRD$ están dadas en función de la potencia de la señal de entrada.

1.2.4. Modulador $\Sigma\Delta$ de primer orden

El filtro de lazo $H(z)$ más sencillo de implementar corresponde a un integrador de primer orden [15]:

$$I(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (1.7)$$

Por lo tanto, para bajas frecuencias tenemos:

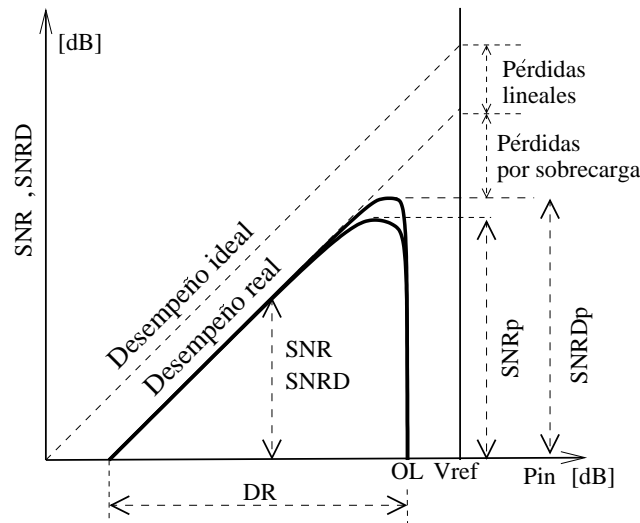


Figura 1.6: Parámetros de desempeño de un convertidor $\Sigma\Delta$ (Adaptada de [1])

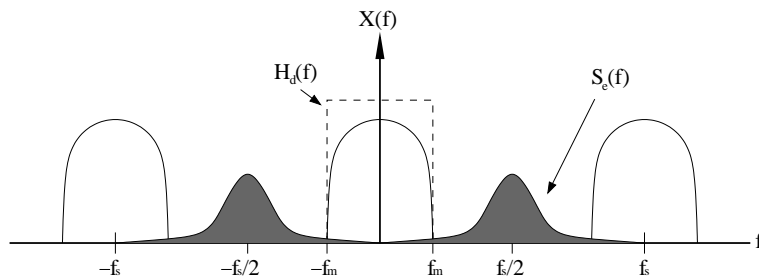


Figura 1.7: Efecto del modulador $\Sigma\Delta$ sobre el ruido de cuantización

$$STF(z) = z^{-1} \quad NTF \approx \frac{1 - z^{-1}}{k_c} \quad (1.8)$$

Donde la NTF tiende a ser un filtro pasa altas, cuyo efecto es mostrado en la Figura 1.7. La adición de sobremuestreo reduce notablemente el ruido de cuantización en la banda de interés, además, el efecto de la modulación del ruido mueve parte del restante hacia frecuencias mucho más altas, dejando una pequeña porción de su potencia en la banda de la señal [1].

La SNR de un convertidor $\Sigma\Delta$ depende fuertemente del filtro de lazo que se implemente, ya que este modifica la NTF ; para este caso, considerando un integrador de primer orden como filtro de lazo, la SNR se puede calcular como:

$$SNR = 10 \log_{10} \left(\frac{P_{A/2}}{IBN} \right) \quad (1.9)$$

Donde $P_{A/2}$ representa la potencia de la señal de mayor amplitud que puede ser aplicada al convertidor antes de saturarse. Asumiendo la transformación $z = e^{(sT_s)} = e^{\left(\frac{j\pi f}{f_s}\right)}$, el IBN

se puede calcular como:

$$\begin{aligned} IBN &= \int_{-f_m}^{f_m} S_Q df = \int_{-f_m}^{f_m} S_e(f) |NTF(f)|^2 \\ &= \int_{-f_m}^{f_m} S_e(f) \frac{1}{k_q^2} \left| 1 - e^{-j2\pi \frac{f}{f_s}} \right|^2 = \int_{-f_m}^{f_m} S_e(f) \frac{4}{k_c^2} \sin^2 \left(\pi \frac{f}{f_s} \right) \end{aligned} \quad (1.10)$$

Siendo S_e la densidad espectral de potencia del ruido de cuantización, definida por:

$$S_e(f) = \frac{\Delta^2}{12} \frac{1}{f_s} \quad (1.11)$$

Donde Δ es el ancho del paso de cuantización [17]. Suponiendo que f_s es mucho mayor que f_m , es decir $\frac{f}{f_s} \approx 0$, la función seno de la ecuación (1.10) se puede aproximar como:

$$\sin\left(\pi \frac{f}{f_s}\right) \approx \pi \frac{f}{f_s} \quad (1.12)$$

Lo que equivale a:

$$z = e^{s/f_s} \approx 1 + s/f_s \quad (1.13)$$

Por tanto el ruido integrado en la banda de interés es:

$$IBN_Q \approx \int_{-f_m}^{f_m} \frac{\Delta^2}{12 f_s} \frac{4\pi^2}{k_q^2} \left(\frac{f}{f_s} \right)^2 df = \frac{\Delta^2 \pi^2}{12} \frac{1}{3} \frac{1}{k_q^2} OSR^3 \quad (1.14)$$

De (1.14) se concluye que un incremento en la OSR reduce la potencia del ruido en la banda de interés a razón de 9[dB] por octava. La SNR_p puede ser deducida al combinar la ecuación (1.14) con (1.9).

$$SNR_Q = 10 \log_{10} \left(\frac{P_{sig}}{IBN_Q} \right) \approx 10 \log_{10} OSR^3 [dB] \quad (1.15)$$

Al comparar la ecuación (1.15) con las ecuaciones (1.16) y (1.17), que representan la relación señal a ruido para un convertidor a la frecuencia de *Nyquist* y un convertidor con solo sobremuestreo respectivamente [1], se evidencia el desempeño superior que tienen los convertidores $\Sigma\Delta$ sobre las demás implementaciones. Específicamente corresponde a 1,5 bits en incremento de la resolución cada vez que la OSR se duplique, en contraste con 0,5 bits para un ADC con solo sobremuestreo. Por lo tanto, se concluye que la combinación entre sobremuestreo y modulación del ruido de cuantización son dos conceptos apropiados para obtener ADC s de gran resolución.

$$SNR = 6,02B_c + 1,76 [dB] \quad (1.16)$$

$$SNR = 6,02Bc + 10\log_{10}OSR + 1,76[dB] \quad (1.17)$$

1.2.5. Moduladores $\Sigma\Delta$ de orden superior

Como se mencionó en la sección anterior, los convertidores $\Sigma\Delta$ presentan un desempeño superior frente a otras implementaciones en cuanto a resolución; desempeño relacionado con la cantidad de ruido de cuantización que es removido de la banda de interés. Esta acción puede ser lograda de tres maneras diferentes: aumentando la resolución del cuantizador del modulador, aumentando la OSR , ó mejorando la NTF al implementar un filtro de lazo más complejo. Al aumentar la resolución del cuantizador se hace necesario un DAC de realimentación más complejo, que no introduzca distorsión al sistema y su consumo de potencia no sea relevante frente a los demás componentes del ADC [1]; implementar un DAC con estos requerimientos no es una labor sencilla, requiriendo de dispositivos de acople entre el cuantizador y el DAC para no perder su linealidad [18]. Al incrementar la OSR la relación señal a ruido aumenta drásticamente, como lo indica la ecuación (1.15), sin embargo, este aumento en la SNR es acompañado de un aumento en la potencia consumida por el circuito, ya que tiene que operar más rápidamente, por lo tanto se procura que este parámetro sea lo más bajo posible. Por último, mejorar la NTF es quizás la alternativa más viable ya que a pesar del aumento en la complejidad del circuito, la potencia extra consumida no es significativa [17].

Como el principio de operación de los convertidores $\Sigma\Delta$ es la modulación del ruido de cuantización hacia frecuencias superiores a la banda de la señal por medio del filtro de lazo, es razonable pensar en mejorar este filtro, con el fin de hacer más agresiva la NTF a bajas frecuencias. Suponiendo un modulador $\Sigma\Delta$ con un integrador ideal de N -ésimo orden en el filtro de lazo, la NTF sería:

$$NTF_N|_{ideal} = (1 - z^{-1})^N \quad (1.18)$$

La Figura 1.8 muestra la magnitud de la respuesta en frecuencia de la NTF para distintos valores de N . Es importante resaltar que el máximo orden que puede tomar el modulador está limitado por la estabilidad del mismo, que para el caso de un N -ésimo integrador es muy reducida.

1.3. Estado del arte

Son muy diversas y variadas las técnicas que la literatura ha reportado tratando de sobrepasar ciertas limitaciones de los convertidores $\Sigma\Delta$. Ancho de banda, potencia consumida y resolución son algunas de estas barreras a las que los diseñadores de circuitos

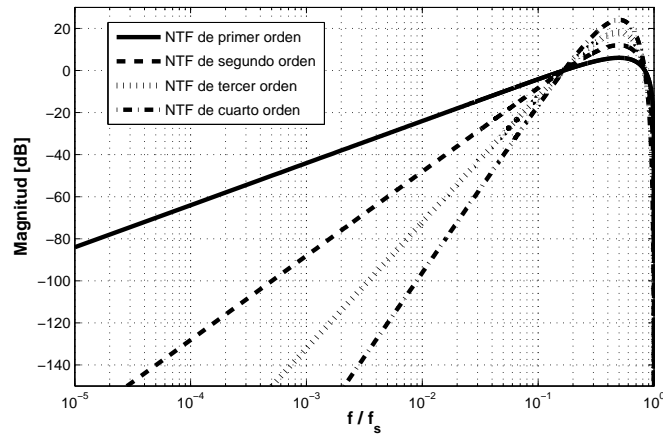


Figura 1.8: NTF con un integrador de orden N como filtro de lazo

se ven enfrentados al momento de desarrollar estos circuitos. Tal como se mencionó en la sección anterior, áreas como las comunicaciones inalámbricas y el procesamiento de audio y video, exigen el desarrollo de ADC s con grandes resoluciones, haciendo apropiados a los convertidores $\Sigma\Delta$. La Tabla 1.3 muestra algunos de los trabajos más recientes en este campo, abarcando cualquier tipo de implementación, prevaleciendo las de tiempo discreto. Además, cabe resaltar que todos los trabajos presentan una limitación en común respecto al ancho de banda, el cual no supera los 20[MHz] [19].

En [7] y [20] prevalece el bajo consumo de potencia sobre el ancho de banda del convertidor, haciéndolos muy apropiados para aplicaciones de censado de procesos físicos e instrumentación. En [20] se propone el uso de inversores como amplificadores de transconductancia, reduciendo notablemente el consumo de potencia. Por otro lado, en [19] se presenta un esquema totalmente opuesto, prevaleciendo el ancho de banda como principal parámetro; para este caso la implementación del modulador es en el tiempo continuo. [21] presenta un ADC $\Sigma\Delta$ y un mezclador de señal (*mixer*) en conjunto, para la conversión de señales de frecuencia intermedia por encima de los 50[MHz].

Con el fin de mejorar la SNR , [18] expone la técnica de acople de ruido y *time-interleave*, relacionando el ruido de dos canales diferentes del modulador para aumentar su orden y prevenir la generación de tonos en todos los lazos. Arquitecturas híbridas, como la propuesta en [23], implementan una mezcla entre un modulador continuo y uno discreto, combinando los beneficios de ambos. Por otro lado, [24] expone un modulador sin presencia alguna de señal de reloj, reduciendo notablemente el consumo de potencia.

| Referencia | Implementación | BW | f_s [MHz] | DR [dB] | SNR [dB] | SNRD [dB] | # Bits modulador | FOM [pJ/conv] | Potencia [W] | Tecnología | Año |
|------------|----------------|----------|----------------|------------|-------------|--------------|---------------------|------------------|-----------------|-------------------|------|
| [7] | Discreto | 50[KHz] | 6.5 | 65 | * | 59 | 1 | 0,36 | 27 μ | 90nm | 2007 |
| | Discreto | 120[Hz] | 0,01 | 75 | 72 | 65 | 1 | 2,093 | 0,73 μ | 0,35 μ m | 2008 |
| [20] | Discreto | 8[KHz] | 2 | 76 | 72 | 63 | 1 | 0,303 | 5,6 μ | 0,35 μ m | 2008 |
| | Discreto | 20[KHz] | 4 | 85 | 89 | 81 | 1 | 0,098 | 36 μ | 0,18 μ m | 2008 |
| [21] | Continuo | 100[KHz] | 13 | 82 | * | 84 | 1 | * | 1,8m | 0,35 μ m | 2000 |
| [18] | Discreto | 4,2[MHz] | 200 | 81 | 79 | * | 4 | 0,48 | 28m | 0,18 μ m | 2008 |
| [22] | Continuo | 8[MHz] | 256 | 81 | 76 | 70 | 4 | * | 50m | * | 2008 |
| [23] | CT - DT | 7,5[MHz] | 240 | 77 | 71 | 67 | 4 | * | 88,4m | 0,18 μ m | 2008 |
| [19] | Continuo | 20[MHz] | 640 | 53 | * | 51,4 | 1 | * | 6m | Simulación | 2008 |
| [24] | Asíncrono | 8[MHz] | — | * | 70 | * | 1 | * | 1,5m | 0,18 μ m | 2004 |
| [25] | Continuo | 1[MHz] | 3800 | * | 59 | * | 1 | * | 75m | 0,25 μ m SiGe | 2007 |

Tabla 1.1: ADCs desarrollados

| Parámetro | Valor |
|------------------------|-----------------|
| Frecuencia de muestreo | 48[kHz] |
| Resolución | 16[bits] |
| Rango dinámico | ≥ 85 [dB] |
| Distorsión armónica | ≤ -70 [dB] |
| Ripple paso-banda | ≤ 0.5 [dB] |

Tabla 1.2: Características del estándar *AC'97*

1.4. Especificaciones del audio digital

Convertir una señal de audio del dominio analógico al digital involucra una serie de ventajas en su procesamiento y almacenamiento; la posibilidad de comprimir, ecualizar, corregir, sintetizar y reproducir algún sonido en cualquier lugar y tiempo son algunas de las razones por las cuales los sistemas digitales prevalecen sobre los analógicos; además, el continuo escalamiento de la tecnología CMOS, junto con el reducido costo de producción de sistemas VLSI, hacen que este tipo de procesamiento sea muy atractivo para su implementación en sistemas portátiles [26].

Sin embargo, estas ventajas se ven restringidas por la cantidad de información que el dispositivo digital pueda procesar, la cual define la resolución y la frecuencia de muestreo del *ADC*, y la calidad de la conversión de la señal, que está ligada a la linealidad del convertidor; esto obliga a definir ciertos estándares para cada tipo de aplicación: telefonía, CD² de audio, DVD³, *mp3*⁴, etc. Teniendo en cuenta que uno de los objetivos de este proyecto es diseñar un *ADC* para aplicaciones portátiles, la capacidad de procesamiento se ve limitada con el fin de reducir el consumo de potencia; por esta razón se descartan estándares para reproductores de CD y DVD, como lo son el formato *WAV*⁵ y *DVD-Audio*, ya que estos involucran una gran cantidad y velocidad de procesamiento. Por tanto, el estándar escogido es *Audio Codec 97 (AC'97)*, desarrollado por la compañía Intel para sus tarjetas de sonido [27]; las principales características de este estándar se muestran en la tabla 1.4.

²La sigla CD hace referencia al término en inglés *Compact Disc*, que traduce Disco Compacto

³La sigla DVD significa *Digital Video Disc* que traduce Disco de Video Digital

⁴MP3 o *MPEG-1 Audio Layer 3*, es un formato de compresión de audio de alta calidad, con la posibilidad de ajustar la calidad de la compresión de acuerdo a la rata de bits por segundo y la capacidad de almacenamiento del dispositivo.

⁵El formato *WAV* fue desarrollado por las compañías *Microsoft* e *IBM* basado en la codificación por amplitud de pulsos (PCM), el cual no involucra compresión de audio.

Capítulo 2

Arquitecturas de moduladores $\Sigma\Delta$

En el capítulo anterior, el desempeño de un *ADC* $\Sigma\Delta$ ideal fue calculado asumiendo el modelo lineal del cuantizador como una ganancia constante y una fuente de ruido (ruido de cuantización). Sin embargo, este modelo no tiene en cuenta los efectos de sobrecarga e inestabilidad del modulador, resultando válido sólo para sistemas de primer orden.

En este capítulo se exponen las diferentes arquitecturas de moduladores $\Sigma\Delta$, resaltando sus principales ventajas y desventajas. Para esto se realiza un análisis detallado de cada topología, resaltando características como la estabilidad, rangos de excursión y nivel de sobrecarga. Inicialmente, se presentan las topologías de lazo sencillo con realimentación distribuida, profundizando en moduladores de primer hasta tercer orden. Seguidamente, se expone la manera de cómo implementar sistemas en cascada a partir de moduladores de orden inferior. Por último, se estudian las topologías con *feedforward* y su aplicación en moduladores en cascada, resaltando las características que la hacen propicia para implementarla en un sistema de audio.

2.1. Topologías de lazo sencillo con realimentación distribuida.

La Figura 2.1 muestra el esquema general de un modulador $\Sigma\Delta$ de *n*ésimo orden con un solo lazo de realimentación. Para simplificar el análisis se asume realimentación unitaria, lo que resulta en un menor número de parámetros independientes. Teniendo en cuenta que la función $I(z)$ representa un integrador o acumulador, la *NTF* está dada por la ecuación 2.1.

$$NTF(z) = \frac{1}{1 + k \sum_{i=1}^n \prod_{j=i}^n a_j \left(\frac{z^{-1}}{1 - z^{-1}} \right)^{n-i+1}} \quad (2.1)$$

Considerando que la ganancia de los integradores es alta para bajas frecuencias, la ecuación

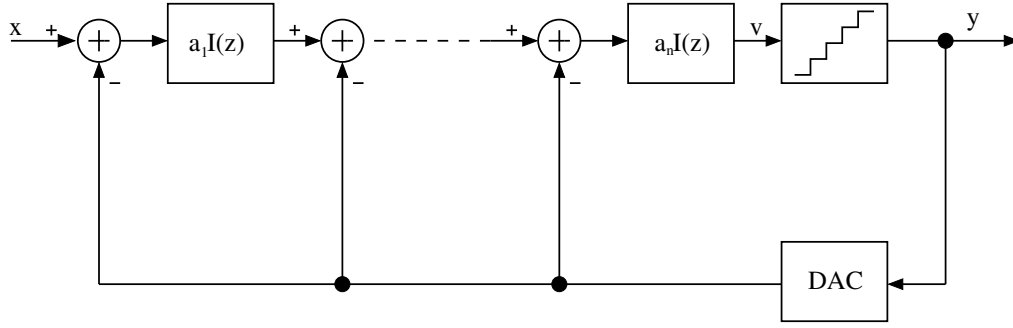


Figura 2.1: Esquema general de un modulador $\Sigma\Delta$ de orden n de un solo lazo con realimentación distribuida.

2.1 puede ser aproximada como:

$$|NTF(z)| \approx \frac{|1 - z^{-1}|^n}{k \prod_{i=1}^n a_i} \quad (2.2)$$

que corresponde a una versión escalada de la NTF de un modulador de n ésimo orden ideal (ecuación 1.18). Debido a que el término $k \prod_{i=1}^n a_i$ es generalmente menor que la unidad, la magnitud de la NTF de la ecuación 2.2 es mayor que su contraparte ideal, causando un aumento en el ruido de cuantización en la banda de interés. Por lo tanto la SNR de estos moduladores puede ser calculada a partir de SNR ideal, en donde se observa la degradación del desempeño al incluir el factor mencionado.

$$SNR = SNR_{ideal} \left(k \prod_{i=1}^n a_i \right)^2 \quad (2.3)$$

La ganancia del cuantizador en moduladores *multibit* está plenamente definida, y puede ser ajustada a la unidad, asumiendo que el rango dinámico a la entrada y a la salida es el mismo. Sin embargo, debido a que un cuantizador de un solo *bit* sólo tiene en cuenta la polaridad de su señal de entrada para operar, mas no su magnitud, al analizar las ecuaciones 2.2 y 2.3 surge el dilema sobre qué valor de ganancia asignarle. De esta manera, el coeficiente del último integrador (a_n) no influye en el comportamiento ni del cuantizador, ya que no modificará la polaridad de su señal de entrada. Además, el producto ka_n puede ser reemplazado por un parámetro adicional denotado k_{eff} .

La ecuación 2.3 muestra que al aumentar los coeficientes a_i la SNR aumenta en la misma proporción, no obstante, no brinda información alguna acerca de la estabilidad del modulador. El trabajo de [2] propone una manera para analizar la estabilidad del sistema, representando el cuantizador como una ganancia variable que depende del nivel de su señal de entrada. Este

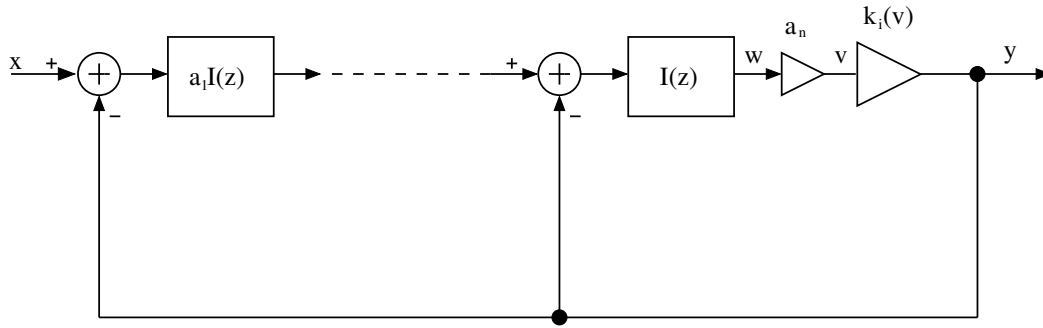
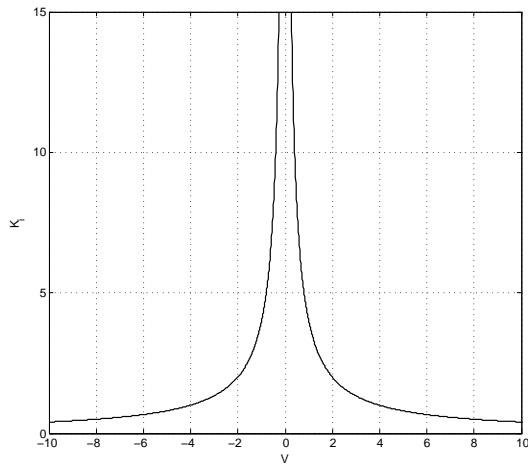
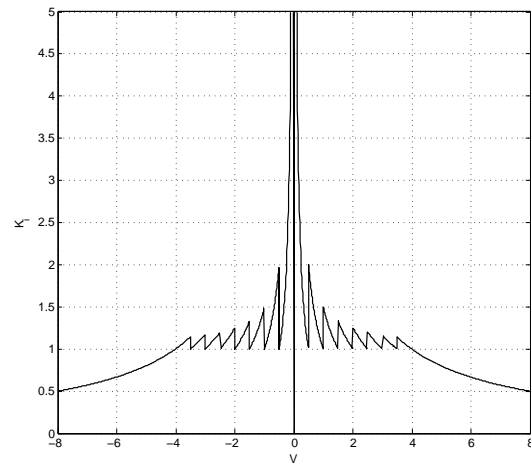


Figura 2.2: Modelo de un modulador $\Sigma\Delta$ con ganancia del cuantizador variable, propuesto por [2].



(a) Ganancia instantánea de un cuantizador de 1 bit.



(b) Ganancia instantánea de un cuantizador de 4 bits.

Figura 2.3: Ganancia de un cuantizador según el modelo propuesto por [2]

modelo se basa en modelar el cuantizador como una ganancia instantánea dada por $k_i = \frac{y}{v}$, donde v es la entrada al cuantizador y y es la salida de éste (figura 2.2). La figura 2.3 muestra el valor de k_i en función del nivel de la señal de entrada para un cuantizador de un bit (Figura 2.3a), y para un cuantizador de 4 bits (Figura 2.3b). Si el nivel de la señal de entrada es pequeño, la ganancia del cuantizador alcanza valores muy altos, tendiendo al infinito; de igual forma, si la señal de entrada es de gran amplitud, esta ganancia tiende a cero. Cabe resaltar que este modelo no incluye una fuente de ruido de cuantización independiente; éste es incluido en el cambio de la ganancia respecto a su señal de entrada.

La función de transferencia para la señal de entrada al modulador según el modelo propuesto por [2] está dada por la ecuación 2.4. Esta ecuación permite conocer con exactitud la ubicación de los polos del modulador, y de esta manera generar un diagrama del lugar de

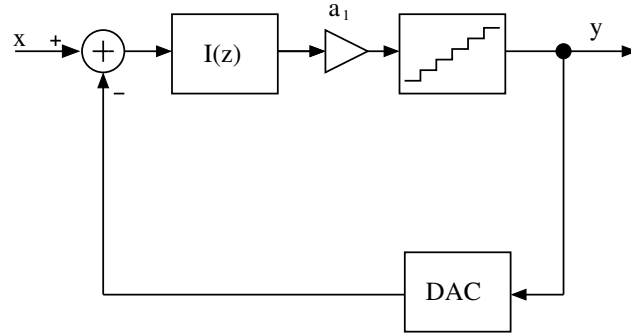


Figura 2.4: Modulador $\Sigma\Delta$ de primer orden.

las raíces que brinde información sobre su estabilidad.

$$H(z) = \frac{k_i I^n(z) \prod_{i=1}^n a_i}{1 + k_i \sum_{i=1}^n \prod_{j=1}^n a_j I^{n-i+1}(z)} \quad (2.4)$$

A continuación, será expuesto un análisis sobre la estabilidad de este tipo de moduladores, teniendo en cuenta el orden de los mismos.

2.1.1. Moduladores $\Sigma\Delta$ de primer orden.

La Figura 2.4 muestra el esquema general de un modulador $\Sigma\Delta$ de primer orden. La función de transferencia para la señal de entrada ($x[n]$) teniendo en cuenta el modelo propuesto por [2], está dada por la ecuación 2.5, y su diagrama de lugar de las raíces se muestra en la Figura 2.5.

$$H(z) = \frac{k_i a_1 I(z)}{1 + k_i a_1 I(z)} \quad (2.5)$$

De la figura 2.5 se aprecia que el modulador se hace inestable a medida que la ganancia instantánea del cuantizador crece, ya que los polos se ubican fuera del círculo unitario. Sin embargo, apesar de que las señales presentes en el modulador empiecen a crecer a medida que los polos se alejan del círculo unitario, las salidas acotadas del cuantizador hacen que la ganancia instantánea del mismo disminuya y por lo tanto los polos regresan al círculo unitario. Este efecto puede verse al analizar el modelo descrito en [2]. Este comportamiento es llamado *Ciclo Límite Estable* [28], y muestra que un modulador $\Sigma\Delta$ de primer orden nunca es inestable. Además, la ganancia del bloque integrador no influye sobre la forma del diagrama de lugar de las raíces, ya que ésta se combina con la ganancia del cuantizador y así surge el

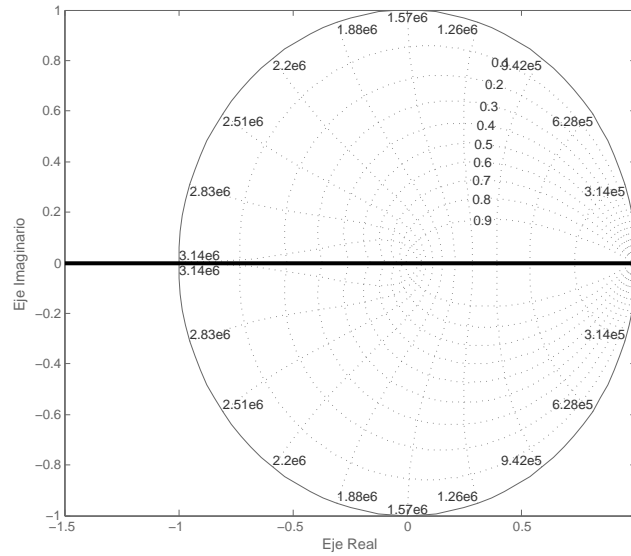


Figura 2.5: Lugar de las raíces para un Modulador $\Sigma\Delta$ de primer orden.

factor k_{eff} , tal como se explicó anteriormente. El factor a_1 únicamente modifica el valor de k para el cual los polos abandonan la zona estable.

Por otro lado, la gran estabilidad de este tipo de moduladores se ve opacada por la notable aparición de tonos en la señal modulada [28]. Cuando la señal de entrada en el cuantizador no es un señal totalmente aleatoria, el ruido de cuantización no será completamente blanco, produciéndose ruido coloreado; por lo tanto, la salida contendrá tonos de considerable potencia en la banda de interés. Al añadir alguna fuente de ruido (*dither*¹) a la entrada del cuantizador, el ruido de cuantización puede ser decolorado, mejorando así el desempeño del modulador. No obstante, este método conlleva a un incremento notorio en la complejidad del circuito, además de la disminución del rango dinámico. Una ventaja de este método, es que el ruido térmico que producen los elementos de circuito utilizados en el modulador, es considerado como *dither*, lo cual ayuda a la mejora del SNR.

2.1.2. Moduladores $\Sigma\Delta$ de segundo orden.

La Figura 2.6 muestra el lugar de las raíces de un modulador $\Sigma\Delta$ de segundo orden. Al igual que el modulador de primer orden, la ganancia del último bloque integrador no afecta la estabilidad de este, entrando en el mencionado ciclo límite estable; por el contrario, su estabilidad depende únicamente del coeficiente del primer bloque, el cual afecta notoriamente

¹*Dither* es una forma de ruido aplicada intencionalmente a la entrada de un cuantizador para dotar de carácter aleatorio al ruido de cuantización, usado frecuentemente en el procesamiento digital de audio, video e imágenes.

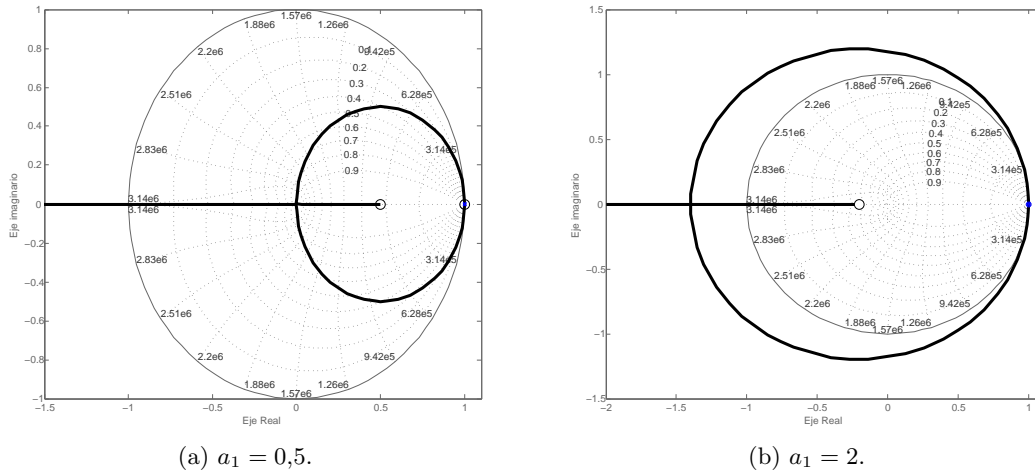


Figura 2.6: Lugar de las raíces para un modulador $\Sigma\Delta$ de segundo orden.

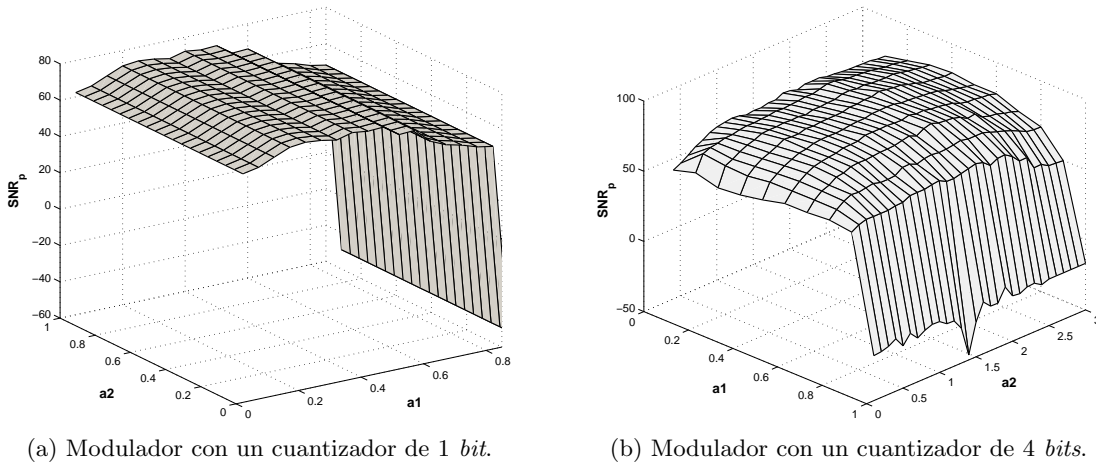


Figura 2.7: SNR_p de un modulador $\Sigma\Delta$ de segundo orden.

la forma del diagrama del lugar geométrico de las raíces [28]. La Figura 2.6a muestra el lugar de las raíces para $a_1 = 0,5$, notándose su comportamiento estable, mientras que la Figura 2.6b muestra el mismo diagrama para $a_1 = 2$; en esta última figura los polos nunca entran en el círculo unitario, haciendo inestable el modulador. Extensivas simulaciones muestran que este tipo de moduladores se hacen inestables para valores de a_1 mayores que la unidad.

Las Figuras 2.7a y 2.7b muestran la SNR_p para el tipo de modulador descrito. De estas gráficas se concluye que al aumentar los coeficientes de los integradores el desempeño del modulador mejora, sin embargo, tal como se mencionó en el párrafo anterior, cuando la ganancia a_1 supera la unidad el modulador se hace inestable; este comportamiento se ve reflejado en la caída abrupta de la SNR , hasta el punto que toma valores negativos. Por

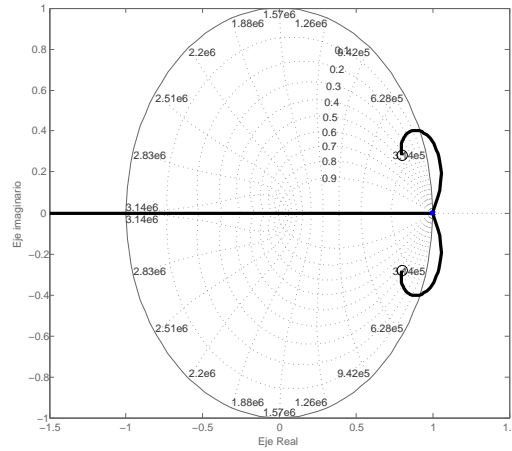


Figura 2.8: Lugar de las raíces para un modulador $\Sigma\Delta$ de tercer orden

otro lado, al utilizar un cuantizador con un mayor número de niveles, el sistema adquiere un comportamiento más lineal mejorando su estabilidad. De las anteriores figuras se concluye que para un modulador con un cuantizador de cuatro *bits*, el coeficiente a_1 puede tomar valores más altos que si se utilizara un cuantizador de un solo *bit*.

2.1.3. Moduladores $\Sigma\Delta$ de tercer orden

Nuevamente, para analizar la estabilidad de este tipo de moduladores se utiliza el diagrama del lugar de las raíces, el cual se muestra en la Figura 2.8. De esta gráfica se observa que uno de los tres polos se dirige hacia el infinito a medida que k aumenta, entrando en un ciclo límite estable, tal como se explicó para el modulador de primer orden. Por otro lado, los dos polos restantes comienzan su recorrido en $z = 1$, describiendo una trayectoria externa al círculo unitario, y a medida que k se incrementa, entran en la zona estable alcanzando los dos ceros de lazo abierto. Cuando este par de polos se encuentran por fuera del círculo unitario, las señales dentro del modulador empiezan a crecer indefinidamente, haciendo que la ganancia del cuantizador decrezca (k), retornando los polos hacia $z = 1$; de esta manera, el modulador entra en un ciclo límite inestable, pues una vez que dichos polos entran en la zona inestable, no salen de ella [23]. A partir de la gráfica del lugar de las raíces, se puede extraer un valor de k , para el cual los polos abandonan el círculo unitario, denominado k_{crit} ; un valor de k menor que k_{crit} hace inestable el modulador.

El efecto de variar las ganancias de cada integrador se refleja en la forma del gráfico del lugar de las raíces, cambiando tanto la trayectoria de los polos, como el valor de k_{crit} (a medida que estas ganancias aumentan, una menor porción del lugar de las raíces pasa por la zona estable). En contraste con el modulador de segundo orden, no existe una combinación de

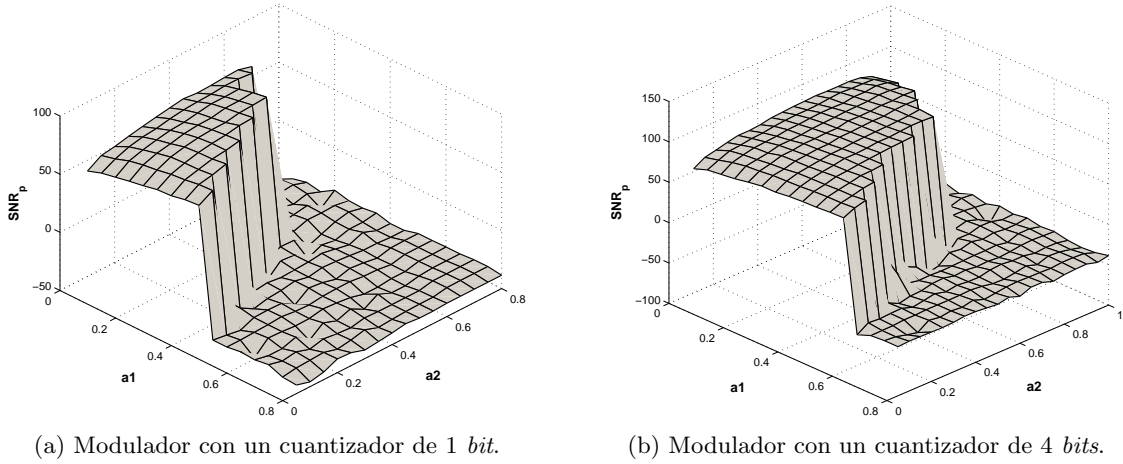


Figura 2.9: SNR_p de un modulador $\Sigma\Delta$ de tercer orden.

coeficientes que garanticen que de los polos nunca salga de la zona estable. Además, al igual que para los anteriores casos, cuando el modulador utiliza un cuantizador de un solo *bit*, la estabilidad de éste no depende de la ganancia del último integrador, debido a que, tal como se mencionó, la respuesta de este cuantizador únicamente depende de la polaridad de su señal de entrada, no de su amplitud.

La Figura 2.9 muestra la SNR_p para un modulador $\Sigma\Delta$ de tercer orden de un *bit* (Figura 2.9a) y cuatro *bits* (Figura 2.9b). Tal como lo sugiere la ecuación 2.2, al aumentar los coeficientes de las etapas integradoras el desempeño del modulador mejora, comportamiento evidenciado por cada una de las anteriores gráficas; no obstante, incrementar demasiado esos coeficientes conduce a la inestabilidad del modulador, tal como lo muestra el lugar de las raíces, estableciendo un límite para el desempeño del modulador. Al aumentar el número de *bits* del cuantizador, el comportamiento se asemeja al caso de un solo *bit*, aunque es posible hacer un mayor incremento en las ganancias de cada integrador.

2.1.4. Moduladores $\Sigma\Delta$ de cuarto orden o superior.

A medida que el orden de un modulador $\Sigma\Delta$ se incrementa, el compromiso entre su estabilidad y desempeño se acentúa, obligando a disminuir considerablemente la ganancia de cada integrador, lo que hace que la *NTF* sea menos significativa en la banda de interés (ecuación 2.2). De esta manera, moduladores de cuarto orden o superior no son muy atractivos para su implementación, siendo reemplazados por topologías en cascada; estas arquitecturas serán explicadas en detalle en la siguiente sección.

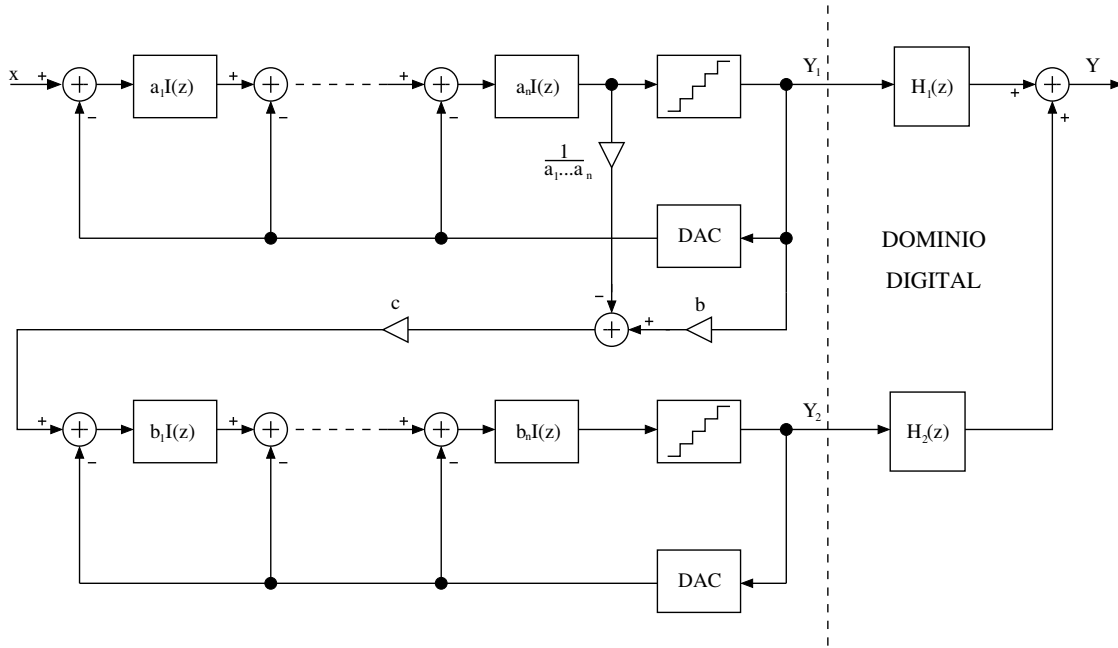


Figura 2.10: Diagrama general de un modulador $\Sigma\Delta$ en cascada.

2.2. Topologías en cascada.

Durante el análisis de moduladores $\Sigma\Delta$ de lazo sencillo se concluyó que al aumentar las ganancias de cada etapa integradora, con el fin de obtener una mayor SNR , su estabilidad se ve comprometida, en especial para moduladores de un solo *bit* y de tercer orden o superior, estableciendo de esta manera un límite en su desempeño. Este inconveniente puede ser sobrellevado al utilizar topologías en cascada, las cuales ofrecen la SNR de moduladores de orden superior ideales, junto con la gran estabilidad de sistemas de bajo orden.

La idea general de este tipo de moduladores es dividir un sistema de orden n en un número determinado de etapas de menor orden, conectados de manera que cada una, a excepción de la primera, module el ruido de cuantización de la anterior; por definición, la primera etapa modula la señal de entrada. La Figura 2.10 ilustra este concepto: un modulador de n -ésimo orden es dividido en dos secciones de orden m y l respectivamente. La señal de entrada es modulada por la primera etapa, obteniendo una salida $Y_1(z)$, a su vez, el ruido de cuantización es extraído de ésta y procesado por la segunda sección, produciéndose una segunda salida $Y_2(z)$. Mediante procesamiento digital es posible eliminar todo el ruido de cuantización de cada etapa del modulador, exceptuando el presente en la última, el cual es modulado por el número total de integradores que se encuentren en cascada (n integradores) [28, 29]; este tratamiento digital es hecho por los bloques $H_1(z)$ y $H_2(z)$.

En teoría, cualquier modulador de lazo sencillo puede ser utilizado para conformar un

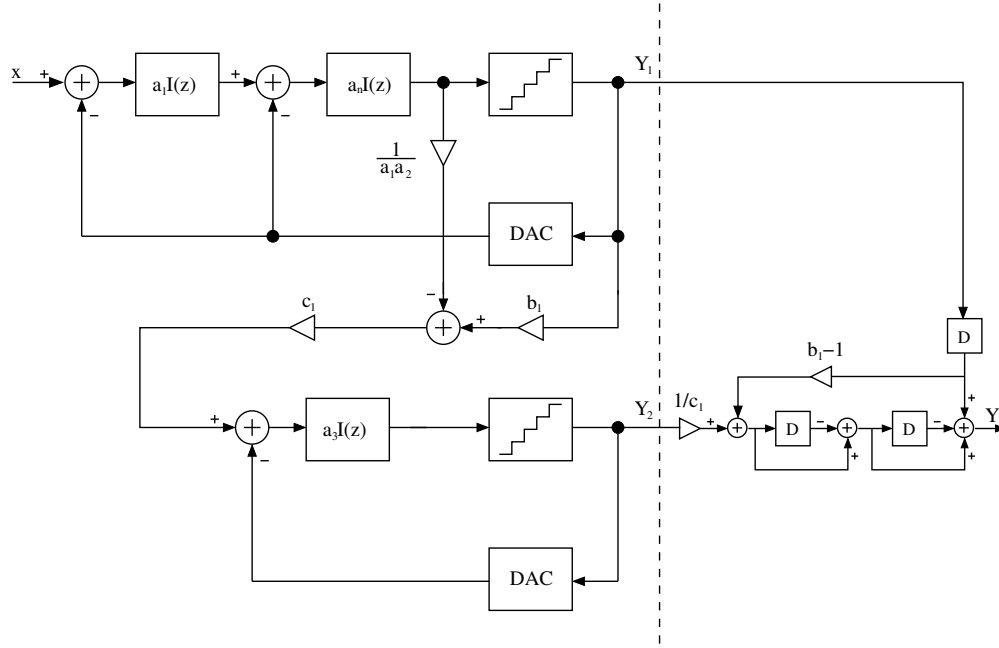


Figura 2.11: Esquema de un modulador $\Sigma\Delta$ de tercer orden en cascada 2-1.

sistema en cascada, sin embargo ya que una de las ventajas de estos es su gran estabilidad, solo se usan moduladores de primer y segundo orden (en raras ocasiones de tercer orden) [28, 30]. Por otro lado, los moduladores de primer orden no son utilizados como etapa inicial del sistema en cascada, debido a que, tal como se mencionó en secciones anteriores, presentan un gran contenido armónico en la banda de interés, debido al poco carácter aleatorio de su ruido de cuantización; no obstante, estos sí pueden ser utilizados en etapas posteriores ya que su señal de entrada sería el ruido de cuantización de la etapa anterior, la cual adquiere el carácter aleatorio suficiente para reducir el contenido armónico en cuestión [28].

La Figura 2.11 muestra la estructura de un modulador $\Sigma\Delta$ en cascada 2-1. La señales $Y_1(z)$ y $Y_2(z)$ se pueden expresar como:

$$Y_1(z) = \frac{a_1 a_2 k_1 z^{-2} X_1(z) + (1 - z^{-1})^2 E_1(z)}{1 + (a_2 k_1 - 2)z^{-1} + (a_1 a_2 - a_2 k_1 + 1)z^{-2}} \quad (2.6)$$

$$Y_2(z) = \frac{a_3 k_2 z^{-1} X_2(z) + (1 - z^{-1}) E_2(z)}{1 - (1 - a_3 k_2)z^{-1}} \quad (2.7)$$

Donde $E_1(z)$, $E_2(z)$, y $Y_1(z)$, $Y_2(z)$ representan el ruido de cuantización y las señales de entrada a cada etapa respectivamente, además k_1 y k_2 son las ganancias de los cuantizadores de cada sección. Asumiendo para la primera etapa $a_1 a_2 k_1 = 1$ y $a_2 k_1 = 2$, y para la segunda $a_3 k_2 = 1$, las ecuaciones 2.6 y 2.7 se pueden simplificar a:

$$Y_1(z) = z^{-2}X_1(z) + (1 - z^{-1})^2E_1(z) \quad (2.8)$$

$$Y_2 = z^{-1}X_2(z) + (1 - z^{-1})E_2(z) \quad (2.9)$$

Ecuaciones que corresponden a un modulador $\Sigma\Delta$ ideal de segundo y primer orden.

La entrada al segundo modulador, que corresponde al ruido de cuantización de la primera etapa, se describe como:

$$\begin{aligned} X_2(z) &= c_1 \left(\frac{Y_1(z) - E_1(z)}{a_1 a_2 k_2} - b_1 Y_1(z) \right) \\ &= c_1 ((1 - b_1)Y_1 - E_1(z)) \end{aligned} \quad (2.10)$$

Si el factor b_1 es igual a la unidad, la señal de entrada al segundo modulador sería exactamente una versión escalada del ruido de cuantización.

Combinando las ecuaciones 2.8 y 2.10 en la ecuación 2.9, se tiene:

$$Y_2(z) = (1 - b_1)c_1 z^{-3}X(z) - c_1 z^{-1} (1 + (b_1 - 1)(1 - z^{-1})^{-1}) E_1(z) + (1 - z^{-1})E_2(z) \quad (2.11)$$

De la ecuación 2.11 se observa que la salida del segundo modulador contiene ruido de cuantización de la primera etapa tanto modulado como sin modular, además del ruido de cuantización de la segunda, modulado en primer orden. Tal como se mencionó, las salidas de cada etapa son procesadas luego en el dominio digital, buscando eliminar el ruido de cuantización de la primera etapa $E_1(z)$.

La salida del modulador en cascada 2-1 es:

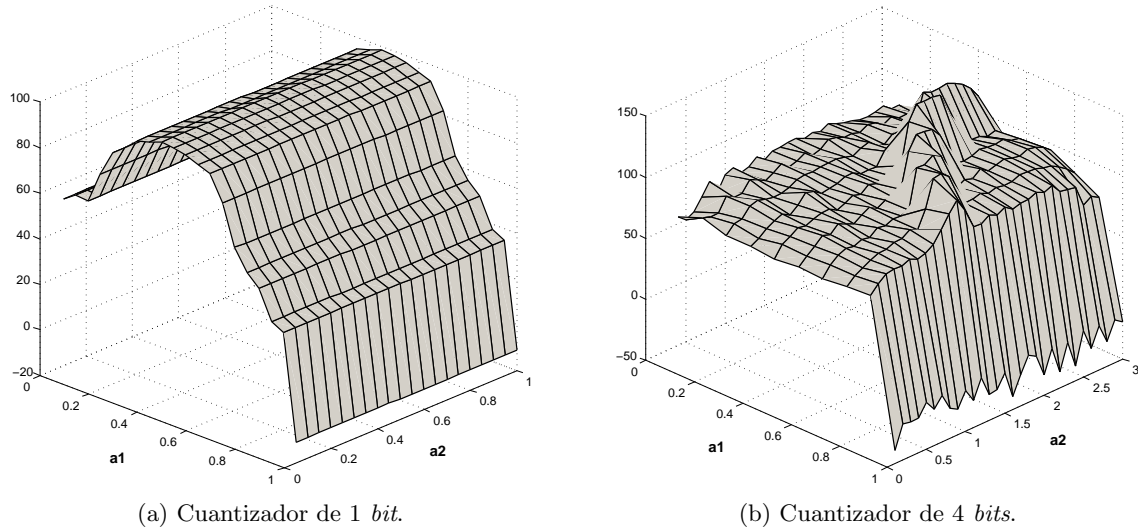
$$Y(z) = Y_1(z)H_1(z) + Y_2(z)H_2(z) \quad (2.12)$$

E implementando las funciones de transferencia para los bloques H_1 y H_2 dadas por las ecuaciones 2.13 y 2.14, es posible obtener una señal digital (ecuación 2.15) cuyas características se asemejen a la obtenida por un modulador de tercer orden ideal [29].

$$H_1(z) = z^{-1} (1 + (b_1 - 1)(1 - z^{-1})^2) \quad (2.13)$$

$$H_2(z) = \frac{(1 - z^{-1})^2}{c_1} \quad (2.14)$$

$$Y(z) = z^{-3}X(z) + \frac{(1 - z^{-1})^3}{c_1}E_2(z) \quad (2.15)$$



(a) Cuantizador de 1 bit.

(b) Cuantizador de 4 bits.

Figura 2.12: SNR de un modulador $\Sigma\Delta$ de 3 orden en cascada 2–1.

La señal $Y(z)$ de la ecuación 2.15 contiene una versión retrasada de la señal de entrada $X(z)$ y el ruido de cuantización de la segunda etapa, el cual es modulado en tercer orden y reducido por el coeficiente c_1 ; esto muestra que incrementando este coeficiente, es posible aumentar la SNR_p .

Las Figura 2.12 muestra la SNR_p para el modulador descrito, en ella se puede apreciar tanto el aumento de la SNR en comparación con un modulador de tercer orden de lazo sencillo, como la posibilidad de incrementar la ganancia de cada integrador. Al utilizar un cuantizador de un bit, la estabilidad del modulador depende únicamente del coeficiente del primer integrador de la primera etapa (Figura 2.12a); al utilizar un cuantizador de 4 bits (Figura 2.12b), además de un aumento notorio en la SNR se obtiene una gran zona de comportamiento estable y constante, consiguiendo un modulador de gran robustez. Teniendo en cuenta estas características, los moduladores en cascada surgen como una manera de implementar un sistema que logre SNR de tercer orden, manteniendo la estabilidad de uno de segundo orden.

De manera similar, se puede generar un modulador de cuarto orden utilizando la implementación en cascada, garantizando así su estabilidad para un amplio rango de ganancias de cada etapa integradora [28]. Este modulador puede ser generado a partir de dos etapas de segundo orden (2–2) o una etapa de segundo orden y dos de primer orden (2–1–1); las Figuras 2.13 y 2.14 muestran el diagrama de bloques para estas dos opciones. Las ecuaciones 2.16 representa la señal de salida para los moduladores 2–2 y 2–1–1; cabe resaltar el incremento en la complejidad del procesamiento digital en este tipo de moduladores a medida que su

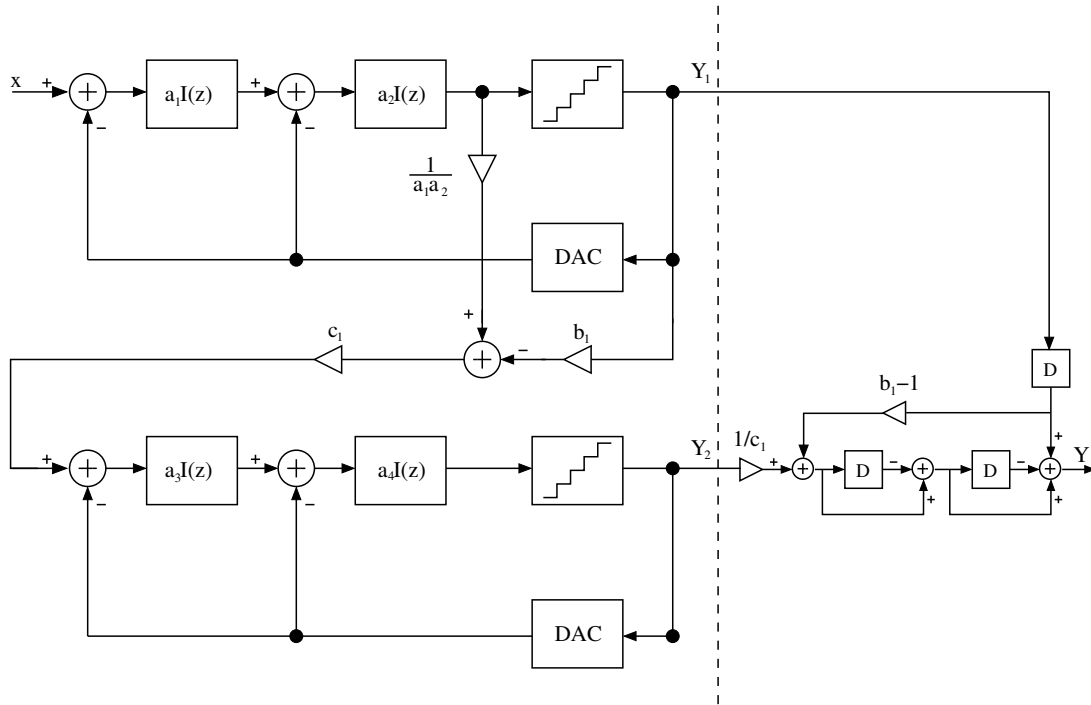


Figura 2.13: Esquema de un modulador $\Sigma\Delta$ de cuarto orden en cascada 2-2

número de etapas, y por consiguiente su orden, aumenta.

$$Y(z) = \begin{cases} z^{-4}X(z) + \frac{(1 - z^{-1})^4}{c_1} & \text{Para un modulador 2-2} \\ z^{-4}X(z) + \frac{(1 - z^{-1})^4}{c_1 c_2} & \text{Para un modulador 2-1-1} \end{cases} \quad (2.16)$$

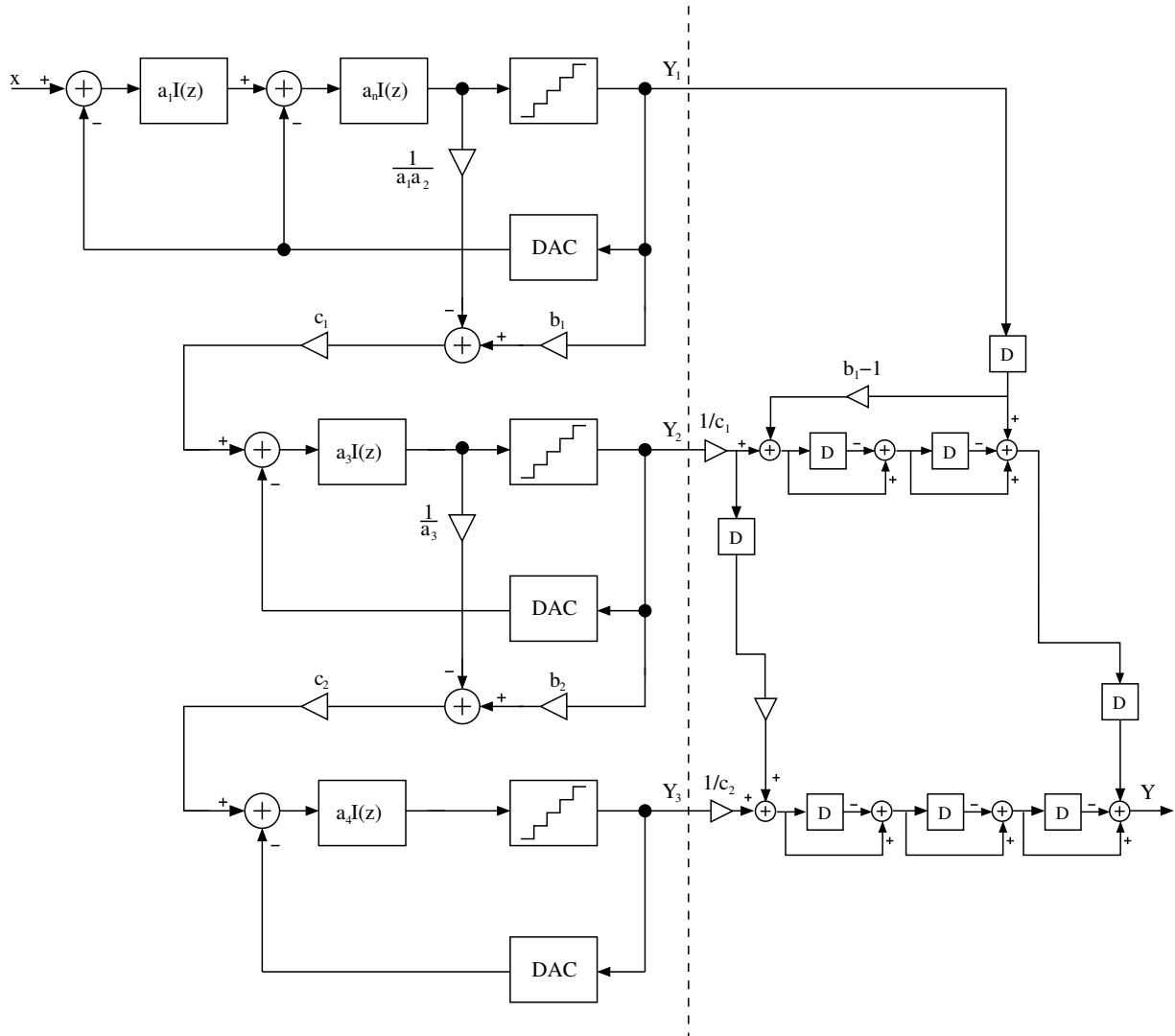


Figura 2.14: Esquema de un modulador $\Sigma\Delta$ de cuarto orden en cascada 2–1–1

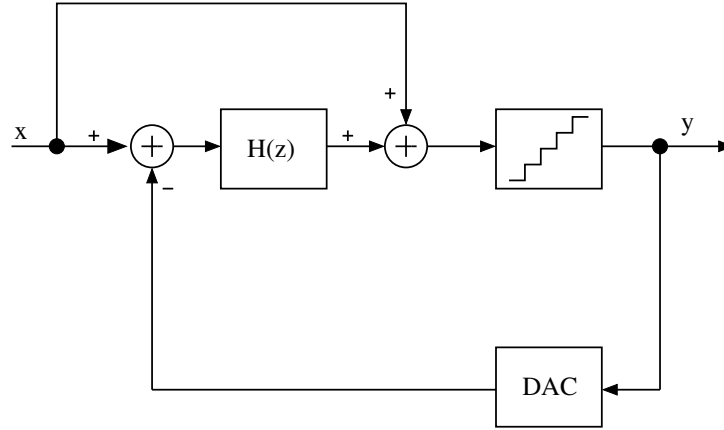


Figura 2.15: Esquema general de un modulador $\Sigma\Delta$ con *feedforward*.

2.3. Topologías con *feedforward*

Los moduladores $\Sigma\Delta$ descritos en las secciones anteriores, al igual que en el primer capítulo, se basan en la realimentación sucesiva de la señal de salida para ajustar diferentes funciones de transferencia, tanto para la entrada como para el ruido de cuantización. En esta sección se describe una nueva topología de moduladores $\Sigma\Delta$ basados en el concepto de *feedforward*, de esta manera, características como el contenido armónico y el rango dinámico pueden ser mejorados [29]. *Feedforward* es el complemento de la realimentación en un sistema de control, y consiste en la suma directa de la señal de entrada a la señal a cuantizar. La Figura 2.15 ilustra este concepto.

Las ecuaciones 2.17 y la 2.18 muestran respectivamente la *STF* y *NTF* para el esquema de la Figura 2.15.

$$STF = H_x(z) = \frac{k_i(1 + H(z))}{1 + k_i H(z)} \quad (2.17)$$

$$NTF = H_e(z) = \frac{1}{1 + k_i H(z)} \quad (2.18)$$

Suponiendo que la ganancia del cuantizador es la unidad, especialmente en moduladores *multibit*, las dos anteriores ecuaciones se reducen a:

$$STF = H_x(z) = 1 \quad (2.19)$$

$$NTF = H_e(z) = \frac{1}{1 + H(z)} \quad (2.20)$$

Al comparar el desempeño de un modulador de lazo sencillo (Figura 1.5) con esta topología, se observa que la *NTF* no varía de una topología a otra, contrario a la *STF*, la cual es idealmente la unidad para este caso. El hecho que la *STF* sea la unidad implica una notable reducción en la distorsión armónica en la banda de interés, debido en gran parte al poco carácter aleatorio del ruido de cuantización y las características no ideales de los componentes del filtro de lazo. Por otro lado, en las topologías de lazo sencillo la señal de entrada al primer integrador es el error entre la señal de entrada y la señal de salida, y ya que la salida es una representación retardada de la entrada (ecuación 1.8), este error se convierte en una versión filtrada tipo pasa-altas de la señal de entrada, la cual es reconstruida en su totalidad por medio de los integradores. Como resultado de esto, las señales adjuntas a cada bloque acumulador presentan un rango de excursión elevado, limitando el desempeño del modulador en una implementación práctica [29]. La ventaja en rango de excursión de esta topología puede ser explicada de la siguiente manera: tal como se mostró en el capítulo anterior, la señal de salida de un modulador $\Sigma\Delta$ está compuesta por una versión digital de la señal de entrada más un ruido de cuantización (ecuación 1.4), por tanto, la entrada al filtro de lazo es:

$$U_{fl}(z) = X(z) - Y(z) = [1 - H_x(z)]X(z) - H_e E(z) \quad (2.21)$$

Donde H_x representa la *STF* y H_e la *NTF*. Nuevamente, la ecuación 2.21 muestra que la entrada al filtro de lazo es la señal de entrada filtrada tipo pasa-altas, más el ruido de cuantización.

En moduladores $\Sigma\Delta$ con *feedforward*, debido a que la *STF* es la unidad ($H_x = 1$), la señal de entrada al filtro de lazo no contendrá ningún componente de la entrada, siendo esta únicamente el ruido de cuantización (ecuación 2.22); este ruido es de menor amplitud que la señal de entrada, lo que favorece los requerimientos en el rango de excursión de cada integrador y reduce la distorsión armónica en la banda de interés. Además, ya que la señal de entrada no pasa a través del filtro de lazo, el comportamiento no ideal de este la afectará, mejorando el desempeño del sistema [29].

$$U_{fl} = -H_e(z)E_z \quad (2.22)$$

2.3.1. Estabilidad

Al igual que los moduladores con realimentación distribuida, la estabilidad de estos sistemas se analiza mediante el diagrama del lugar geométrico de las raíces. La figura 2.16 muestra el esquema general de un modulador de primer orden, y la figura 2.17 su LGR². De

²LGR – siglas de Lugar Geométrico de las Raíces

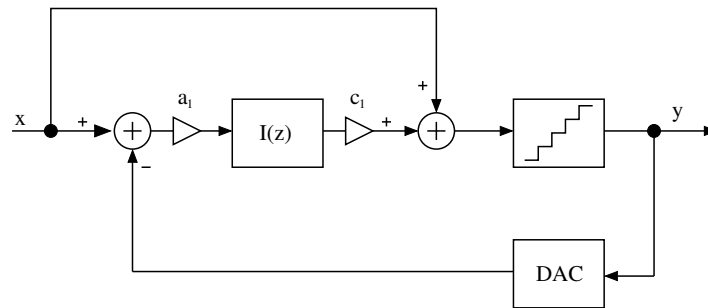


Figura 2.16: Modulador $\Sigma\Delta$ de primer orden con *feedforward*.

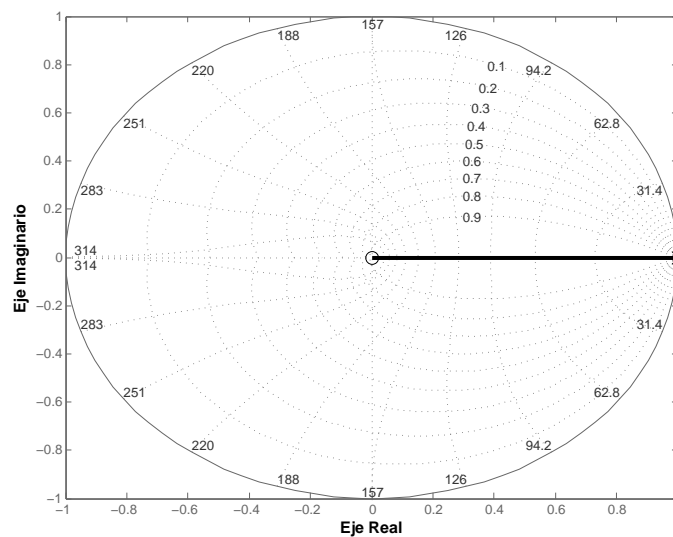


Figura 2.17: LGR de un modulador $\Sigma\Delta$ de primer orden con *feedforward*.

esta gráfica se concluye que estos moduladores presentan una gran estabilidad, ya que sin importar la ganancia que tome instantáneamente el cuantizador, sus polos nunca se salen del círculo unitario.

Este tipo de moduladores no presentan el denominado *Ciclo Límite Estable* (explicado al principio de este capítulo), ya que su función de transferencia siempre tendrá uno o más ceros en el origen ($z = 0$), exactamente uno por cada lazo de suma a la señal a cuantizar, lo que evita que el LGR ocupe la mitad izquierda del plano complejo.

A su vez, la figura 2.18 enseña un sistema de segundo orden, y la figura 2.19 su LGR. Su comportamiento es muy similar al de la topología con realimentación, a medida que se incrementan las ganancias de cada acumulador, el LGR se va ensanchando hasta que parte de su trayectoria abandona el círculo unitario, lo que lo vuelve inestable. Nuevamente, es necesario realizar un gran número de simulaciones con el fin de hallar las ganancias óptimas para cada integrador, buscando la mayor *SNR* posible y garantizando su estabilidad.

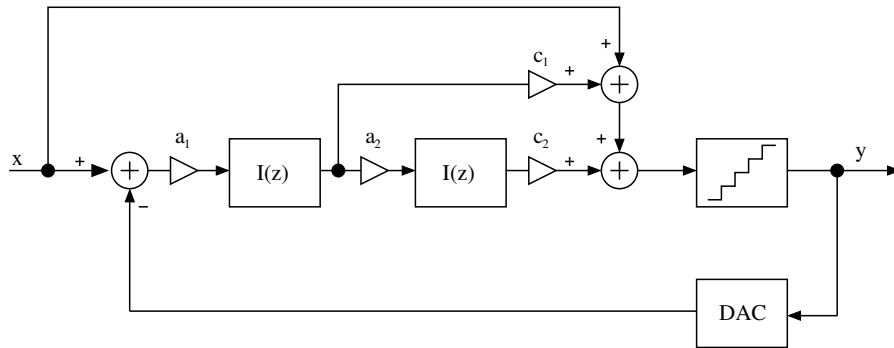


Figura 2.18: Modulador $\Sigma\Delta$ de segundo orden con *feedforward*

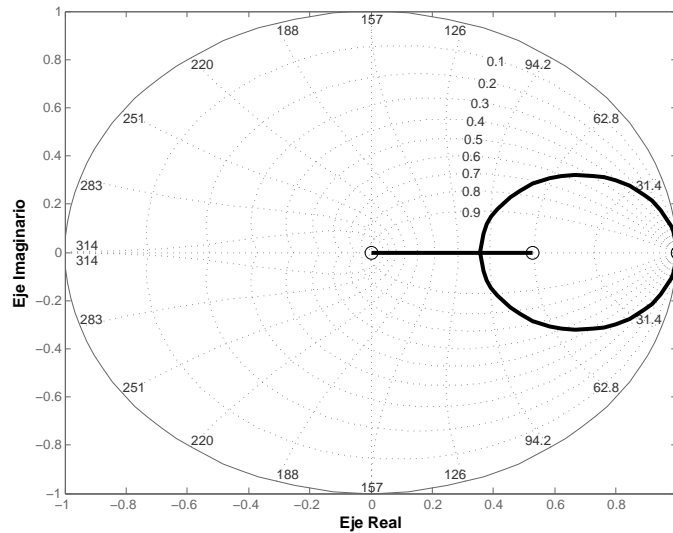


Figura 2.19: LGR de un modulador $\Sigma\Delta$ de segundo orden con *feedforward*

La Figura 2.20 muestra la SNR_p de un modulador $\Sigma\Delta$ de segundo orden con *feedforward*, en función de las ganancias de cada etapa integradora. A diferencia de un modulador con realimentación sucesiva, la SNR sí depende de la ganancia del segundo integrador, pero el rango en que este parámetro puede variar es lo suficientemente amplio para garantizar SNR elevadas y estabilidad.

2.3.2. Ventajas de la topología

En resumen, las ventajas de utilizar *feedforward* en lugar de realimentación distribuida, se reflejan en los siguientes aspectos:

- Reducción del rango de excursión de las señales de cada etapa integradora al ser

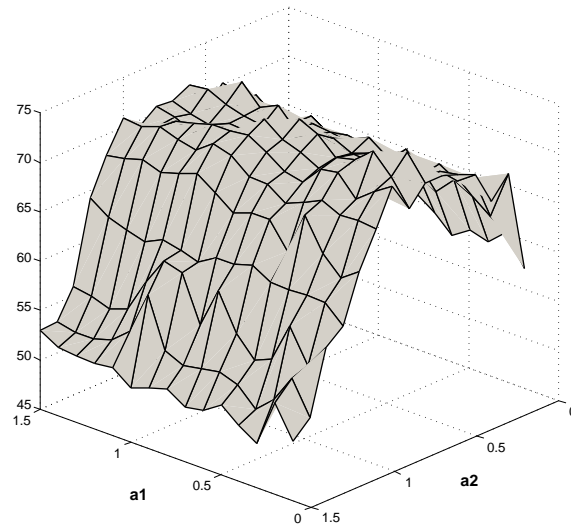


Figura 2.20: *SNR* de un modulador $\Sigma\Delta$ de segundo orden con *feedforward*.

procesado únicamente el ruido de cuantización por el filtro de lazo.

- Aumento del nivel de sobrecarga gracias a la reducción del rango de excursión mencionado.
- Disminución de la distorsión armónica.
- Reducción de la sensibilidad a las características no ideales de cada uno de los bloques que componen el modulador, ya que la *STF* siempre tiende a ser la unidad sean cuales sean las ganancias de los integradores.
- Simplicidad en la implementación circuital, solo es necesario un lazo de realimentación.

2.3.3. Moduladores *feedforward* en cascada.

Al igual que los moduladores con realimentación distribuida, una serie de sistemas con *feedforward* puede ser utilizada para crear moduladores en cascada, y de esta forma aumentar el orden de las *STF* manteniendo la estabilidad de sistemas de orden inferior. Para que la cancelación del ruido de cuantización sea efectiva, se debe extraer todo el ruido de cuantización de una etapa determinada y acoplarlo con la siguiente; en moduladores con realimentación distribuida es necesario una sustracción adicional entre las señales de entrada y salida del cuantizador, conllevando al uso de circuitos adicionales; por el contrario, en sistemas con *feedforward* este acople no requiere de componentes adicionales, tal como se explica a continuación [29, 31].

con extraer la salida del último integrador [31].

Las salidas de cada etapa (señales $Y_1(z)$ y $Y_2(z)$) serán de la forma:

$$Y_1(z) = X(z) + (1 - z^{-1})^2 E_1(z) \quad (2.27)$$

$$Y_2(z) = X_1(z) + (1 - z^{-1})^2 E_2(z). \quad (2.28)$$

Asumiendo las funciones $H_1(z)$ y $H_2(z)$ como z^{-2} y $(1 - z^{-2})^2$ respectivamente, la salida del modulador es:

$$\begin{aligned} Y(z) &= H_1(z)Y_1(z) + H_2(z)Y_2(z) \\ &= z^{-2}X(z) + \frac{(1 - z^{-1})^4}{a_1 a_2 e_1} E_2(z). \end{aligned} \quad (2.29)$$

De esta manera el ruido de cuantización de la primera etapa es completamente cancelado, dejando únicamente el de la segunda bajo una *NTF* de cuarto orden, además, la *STF* es una versión retrasada de la entrada. Es de importancia resaltar que la cantidad de ruido de la señal de salida puede ser controlada mediante la ganancia e_1 , es decir, entre más grande sea, menor ruido habrá, sin embargo, el máximo valor de este parámetro está regido por el rango dinámico del convertidor, además de los rangos de excursión de sus componentes.

Por otro lado, suponer la ganancia de cuantización como la unidad no es del todo válido para cuantizadores de un solo *bit*, en especial cuando se busca maximizar el rango dinámico (figura 2.3a); por lo tanto, el mejor desempeño no se logra ajustando las ganancias de los integradores según las ecuaciones 2.24 y 2.25, las cuales se obtienen a partir de una extensa serie de simulaciones comportamentales con el fin de hallar la mejor *NFT* [29].

2.4. Selección de la arquitectura.

Ya conocidas las ventajas y desventajas de cada una de las arquitecturas de moduladores $\Sigma\Delta$, y con base en las especificaciones de un sistema de audio expuestas en el capítulo anterior, se decide implementar un sistema en cascada de cuarto orden de dos etapas, específicamente un sistema 2–2 con cuantización de un solo *bit*. La arquitectura del modulador se escoge con base en la *SNR* necesaria para desarrollar los 16 *bits* del estándar, la cual es de 98[dB] con distorsión armónica menor a -70 dB, y rango dinámico mayor a 50 dB. Un modulador de una sola etapa, incluso con realimentación distribuida y del mismo orden puede alcanzar esta *SNR*, pero con una tendencia muy marcada hacia la inestabilidad, ya que las ganancias de sus integradores no sobrepasan los 0,2 V/V. Esto automáticamente sitúa su nivel de sobrecarga por debajo de

Capítulo 3

Implementaciones circuitales

Una vez finalizada la revisión y análisis de las distintas arquitecturas de moduladores $\Sigma\Delta$ a nivel comportamental, surge el problema sobre cómo implementar circuitálmente estos sistemas, para lo cual existen dos alternativas: moduladores en tiempo continuo y moduladores en tiempo discreto. En el presente capítulo se hará una comparación entre cada una de estas implementaciones, para seleccionar la más adecuada teniendo en cuenta las especificaciones planteadas en el primer capítulo. A su vez, se hará una presentación detallada sobre el efecto del comportamiento no ideal del circuito integrador, en el desempeño global del sistema.

3.1. Tiempo continuo Vs tiempo discreto.

Los primeros moduladores $\Sigma\Delta$ desarrollados empleaban el filtro de lazo de manera continua, mediante circuitos integradores GmC^1 o redes RC^2 . No obstante, desde hace un par de décadas, las implementaciones discretas han tomado fuerza. Éstas utilizan capacitores conmutados (SC^3) o corrientes conmutadas para procesar señales analógicas en el tiempo discreto. Algunas de las ventajas de utilizar este tipo de circuitos son su linealidad, y la facilidad de realizar las funciones matemáticas del modulador. Las principales diferencias entre estas dos arquitecturas son:

- **Operación de muestreo:** En moduladores discretos, este proceso se realiza por cada uno de los componentes del filtro de lazo (integradores, puntos de suma, amplificadores, etc). Mientras que en continuos, éste es realizado exclusivamente por el cuantizador; la figura 3.1 ilustra este concepto. Esto se convierte en una ventaja para los sistemas continuos, ya que el error producido por este proceso está sujeto a la misma modulación

¹Circuitos compuestos por un estado de transconductancia y un arreglo de capacitores

²Integradores basados en arreglos de resistencias y capacitancias.

³La sigla SC significa *Switched Capacitors*, que traduce al español capacitores conmutados

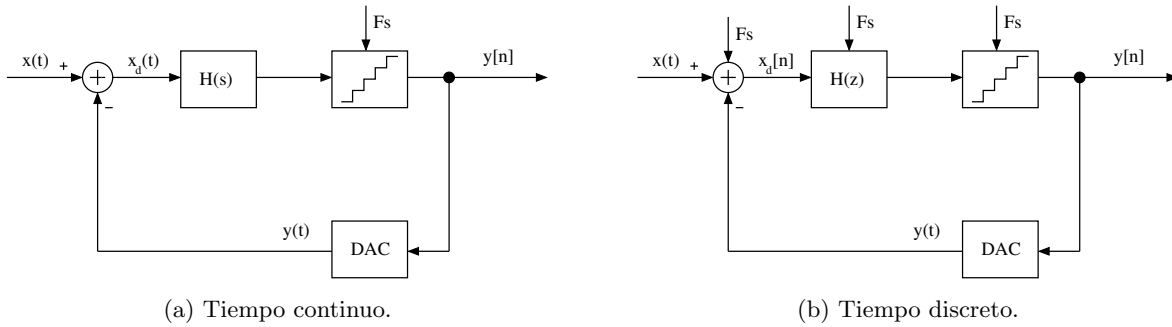


Figura 3.1: Tipos de implementación circuital de moduladores $\Sigma\Delta$.

que el ruido de cuantización. Por el contrario, en moduladores discretos cada bloque introduce un error, el cual es añadido directamente, tanto a la señal de entrada, como a la que procesa cada uno [1].

- **DAC de realimentación** En moduladores continuos, el desempeño de este bloque influye de manera más notoria en la SNR , que en su contraparte discreta. Esto se debe al carácter discreto de los circuitos con capacitores conmutados, los cuales generalmente se diseñan para que su señal de salida se establezca completamente en la mitad del periodo de muestreo, por lo tanto, son menos sensibles a retardos en el lazo de realimentación. Por el contrario, en sistemas continuos se necesitaría que el tiempo de conversión del DAC fuera nulo, es decir, un DAC ideal. Estos retardos son una de las principales limitantes en su diseño.
- **Filtro de lazo:** Todas las señales en circuitos con capacitores conmutados son generalmente pulsos que varían rápidamente en el tiempo. Por lo tanto, teniendo en cuenta las restricciones en ancho de banda de cada uno de sus componentes, especialmente los amplificadores de los integradores, los moduladores discretos presentan una frecuencia de reloj máxima, que limita en gran medida la relación de sobremuestreo. Por el contrario, en moduladores continuos, nunca se presentarán cambios abruptos de corriente o voltaje, lo que disminuye los requerimientos mencionados [14].

Aun así, los moduladores discretos son menos sensibles al *mismatch*⁴ de sus componentes, ya que la ganancia de cada etapa integradora depende de la relación entre dos capacitores. De esta manera, la variación de los parámetros del proceso de fabricación afectará en igual proporción a cada uno de éstos, manteniendo la relación constante. Por

⁴Término utilizado para hacer referencia al desajuste en las dimensiones de un dispositivo por causas del proceso de fabricación

el contrario, en convertidores continuos, esta ganancia equivale generalmente al producto del valor de una capacitancia y una resistencia o transconductancia (RC o gmC). Por lo tanto, si existe una desviación del 1% en estos valores, la variación total será mayor al 2%, lo que puede llevar al modulador a la inestabilidad.

Otra ventaja de los moduladores continuos es la integración de un filtro *anti-aliasing*, sin la necesidad de circuitería adicional; lo que hace innecesario implementarlo a la entrada del sistema. Esta quizás es la característica más llamativa para su selección [1].

- **Cuantizador:** Todos los errores producidos por el cuantizador pueden ser modelados como una fuente de ruido adicional al ruido de cuantización, por lo tanto, son sometidos a la modulación $\Sigma\Delta$. Además, el voltaje de desnivel u *offset* de cada comparador es atenuado por la alta ganancia en DC de cada integrador.

El tiempo de decisión y su dependencia respecto a la señal de entrada, la metaestabilidad, son otros dos factores de suma importancia en el desempeño del modulador; los cuales influyen en mayor o menor proporción dependiendo del tipo de implementación. En sistemas discretos, el proceso de comparación se realiza durante la mitad del tiempo de muestreo, este es suficiente para que la decisión se haga correctamente. Por el contrario, en moduladores continuos se requiere que la cuantización sea instantánea, ya que el resultado de esta operación debe estar disponible inmediatamente después que ocurre el muestreo, y así generar la onda continua de realimentación [1].

La tabla 3.1, resume las diferencias entre los moduladores $\Sigma\Delta$ continuos y discretos. Teniendo en cuenta que el *ADC* a diseñar debe cumplir las especificaciones de un sistema de audio, se debe garantizar que éste presente, además de una gran y constante resolución ante cualquier condición de operación, alta linealidad y baja sensibilidad a retardos en el lazo de realimentación y al *mismatch* de sus componentes. Esto con el fin de disminuir al máximo la distorsión armónica en la banda de interés. Por otro lado, el principal objetivo en un sistema portátil es reducir su consumo de potencia, para alargar la durabilidad de la batería. Los moduladores continuos se presentan como la mejor alternativa para lograr este objetivo, ya que a diferencia de los discretos, no procesan señales con cambios abruptos de magnitud y polaridad, lo que disminuye el requerimiento en ancho de banda. Sin embargo, ya que los sistemas de audio son circuitos de baja frecuencia, la diferencia de consumo, respecto a un modulador continuo, no es notoria; éstos son propicios para AA.DD.CC cuya frecuencia de muestreo esté en el orden cientos de MHz, y relaciones de sobre muestreo mayores a 64. Teniendo en cuenta las anteriores consideraciones, se escoge implementar el modulador de manera discreta, mediante circuitos con capacitores conmutados.

| Tiempo continuo | Tiempo discreto |
|---|---|
| ★ Filtro <i>anti-aliasing</i> implícito | ★ Baja sensibilidad al <i>clock jitter</i> |
| ★ Menor error en la etapa de muestreo | ★ Baja sensibilidad a los retardos en el lazo de realimentación |
| ★ Mayores frecuencias de muestreo | ★ Baja sensibilidad a los errores del <i>DAC</i> |
| ★ Menores requerimientos de velocidad en sus componentes | ★ Ganancias de cada integrador definidas precisamente |
| ★ Reducción del efecto del ruido de la fuente de alimentación | ★ Circuitos altamente lineales |
| ★ Menor tiempo de simulación a nivel de circuito | ★ Menor tiempo de simulación a nivel de sistema |
| | ★ Únicamente cargas capacitivas |
| | ★ Compatible con procesos CMOS VLSI |

Tabla 3.1: Diferencias entre moduladores $\Sigma\Delta$ discretos y continuos.

A continuación se expondrá la manera de aplicar los circuitos SC a la arquitectura *feedforward*, para sistemas en cascada. De esta manera se obtendrán las especificaciones que debe cumplir cada componente del modulador.

3.2. Circuito integrador o acumulador.

Sin importar cual sea la arquitectura del modulador, éste siempre va a presentar uno o más bloques integradores, los cuales son los mayores responsables del deterioro de la *SNR*, principalmente en topologías con realimentación distribuida [29]. En la siguientes secciones se explicará de manera detallada el funcionamiento de este circuito, así como el efecto del desempeño no ideal de cada uno de sus componentes.

3.2.1. Descripción del circuito.

La figura 3.2, muestra un circuito integrador implementado con capacitores conmutados. Su funcionamiento se describe en dos fases: fase de muestreo y fase de integración. Durante la primera, figura 3.2b, la señal de entrada es almacenada en la capacitancia C_1 , ya que el interruptor S_1 está cerrado y S_2 está abierto. Esta etapa se extiende por lo general durante la mitad del tiempo de muestreo, y el valor retenido en C_1 es justo el nivel de la entrada en el instante en que finaliza la fase. En la etapa de integración, figura 3.2c, el interruptor S_2 se cierra, al tiempo que S_1 se abre. Teniendo en cuenta que el amplificador se encuentra bajo un lazo de realimentación negativa, el nodo X actúa como una tierra virtual, lo que obliga a

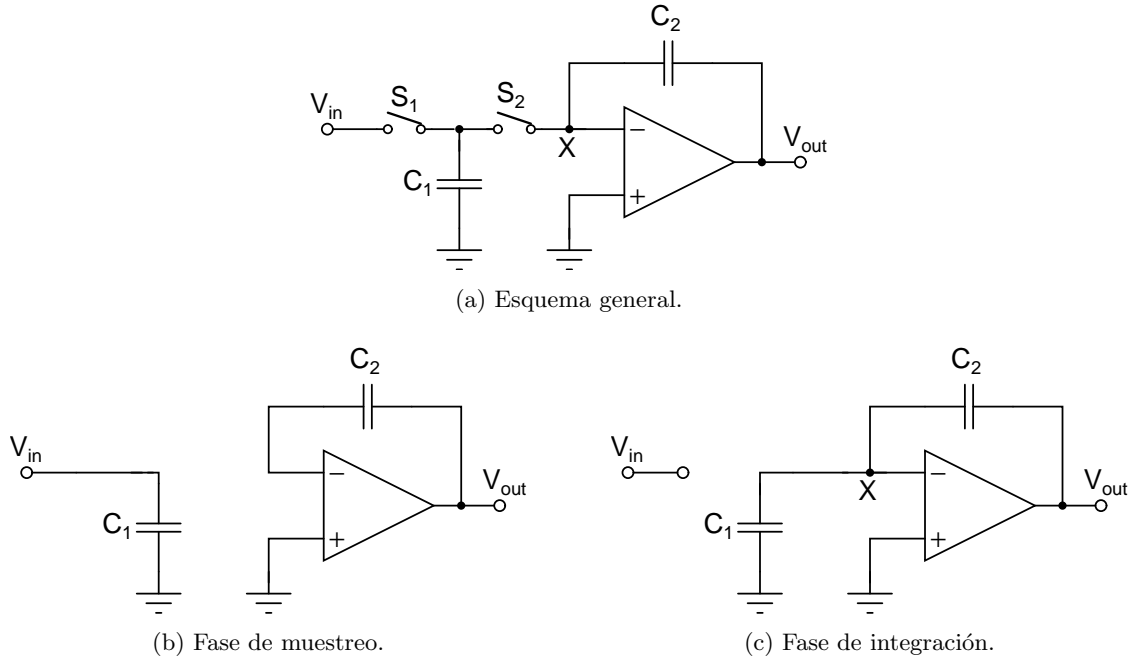


Figura 3.2: Circuito integrador.

la capacitancia C_1 a trasladar toda su carga a C_2 . Además, ya que C_1 quedó cargado a un nivel V_{in} , el voltaje a la salida variará la cantidad $V_{in} \frac{C_1}{C_2}$, lo que da lugar a la ecuación en diferencias [32]:

$$V_{out}(kT_s) = V_{out}[(k-1)T_s] - V_{in}[(k-1)T_s] \frac{C_1}{C_2} \quad (3.1)$$

La anterior ecuación se puede describir igualmente, mediante la función de transferencia en el dominio de Z (ecuación 3.2).

$$H(z) = \frac{\frac{C_1}{C_2} z^{-1}}{1 - z^{-1}} \quad (3.2)$$

Con el fin de aumentar el rango dinámico del *ADC*, se escoge implementar cada integrador de manera diferencial, siguiendo el esquema de la figura 3.3. Con esta configuración, el número de interruptores y capacitores se duplica, lo que implica un aumento en la potencia del ruido $\frac{kT}{C}$ de 3 dB.⁵ No obstante, debido a que el rango de la señal de entrada se puede duplicar, su potencia se incrementa en 6 dB. Este valor se sobrepone a las pérdidas ocasionadas por los capacitores extras, produciendo un aumento de 3 dB en la *SNR* total.

Gracias a la simetría de los circuitos diferenciales, se obtiene una reducción en la distorsión armónica y un mejor rechazo a las variaciones de la fuente de alimentación, o *PSRR*.⁶

⁵Este tipo de ruido es característico de una red RC expuesta a una fuente de voltaje tipo escalón

⁶*Power Supply Rejection Ratio* por sus siglas en inglés.

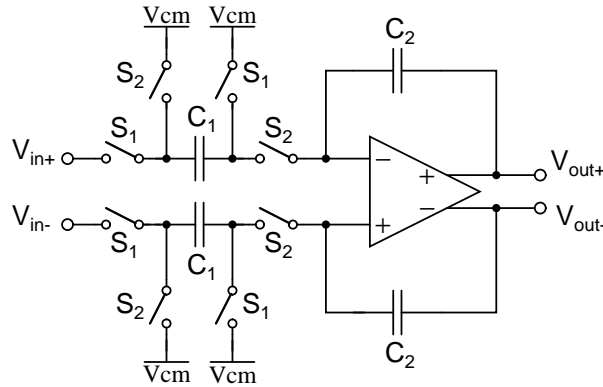


Figura 3.3: Circuito integrador diferencial.

Además, los errores introducidos por los interruptores, tales como la inyección de carga y el *clock feedthrough*,⁷ son atenuados debido al *CMRR*.⁸

Cabe resaltar que cualquier error introducido en alguna de las dos fases, afecta notablemente el desempeño de todo el convertidor. Éste se sumará como un ruido no correlacionado que abarca todo el ancho de banda del sistema, y cuya potencia puede alcanzar niveles tan altos como para reducir la resolución en incluso dos o más bits. Estos errores son causados principalmente por la ganancia, ancho de banda y *slew rate* finitos del amplificador. A continuación se explicará el efecto de cada uno de estos parámetros en el desempeño del sistema, con el fin de hallar las especificaciones que debe cumplir cada amplificador.

3.2.2. Efecto de los componentes no ideales.

Interruptores *CMOS*

En un circuito con capacitores conmutados, los interruptores pueden ser realizados mediante un transistor *MOS*, ya sea de canal N, canal P, o un arreglo de estos. Esto es posible gracias a que pueden estar encendidos sin conducir corriente alguna, además, las tensiones de surtidor y drenador son independientes de la tensión de puerta [32]. Un circuito básico de muestreo se presenta en la figura 3.4.

El encendido del transistor es controlado por su señal de puerta (*CLK*), la cual generalmente corresponde a una señal de reloj. La amplitud de ésta debe ser suficiente para que el transistor opere siempre en la región de triodo, por lo tanto, se procura que sea del mismo nivel que la tensión de alimentación.

⁷ *Clock feedthrough* es el paso o acople de la señal de reloj con los capacitores de muestreo a través de los interruptores.

⁸ *Common Mode Rejection Ratio*.

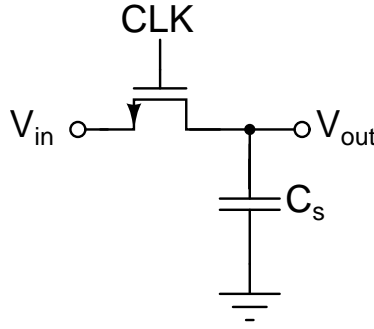


Figura 3.4: Circuito de muestreo básico.

Ignorando el efecto cuerpo, la corriente que conduce el transistor mientras está encendido es:

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left((V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (3.3)$$

Donde V_{TH} es la tensión de umbral del transistor. Su resistencia R_{ON} se halla mediante la siguiente expresión:

$$R_{ON} = \frac{V_{DS}}{I_D} = \frac{1}{\mu_n C_{ox} \frac{W}{L} \left((V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right)} \quad (3.4)$$

Y debido a que el transistor está en la región de triodo, la anterior ecuación se puede aproximar a:

$$R_{ON} \approx \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (3.5)$$

La ecuación 3.5, muestra un aumento en la resistencia de encendido, a medida que la señal de entrada crece, hasta el punto en que el transistor se apaga cuando ésta supera $V_{DD} - V_{TH}$. A su vez, al utilizar un transistor de canal P, su resistencia aumenta a medida que la entrada se acerque a V_{TH} , apagándose cuando sea menor que este nivel. De anterior análisis se aprecia una limitación en el rango de excursión del voltaje a censar, el cual se reduce en una tensión de umbral.

Como una solución a esta limitación, se implementan interruptores con transistores complementarios, es decir, un transistor *NMOS* y uno *PMOS* en paralelo (figura 3.5). De esta manera, ajustando correctamente las dimensiones de los dos transistores, se puede obtener un interruptor con una resistencia constante e independiente de la señal de entrada [32, 33].

Por otro lado, el hecho de que el interruptor presente una resistencia mayor que cero en su encendido, introduce una fuente de ruido adicional que predomina sobre las demás fuentes

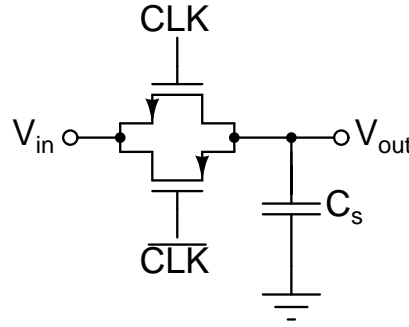


Figura 3.5: Circuito de muestreo con interruptores *CMOS*.

de ruido de los transistores. Ésta se compone básicamente por ruido térmico, y su densidad espectral de potencia viene dada por:

$$S_R(f) = 4KTR \quad (3.6)$$

Donde K es la constante de Boltzmann y T la temperatura del circuito. La potencia del ruido a la salida se obtiene al calcular la respuesta de una red RC pasa bajas a esta señal, e integrando en todo el rango de frecuencias (ecuación 3.7).

$$\overline{V_n^2} = \frac{KT}{C_s} \quad (3.7)$$

Este ruido depende exclusivamente de la capacitancia de muestreo, y establece un límite en el rango dinámico total; a mayor capacitancia, menor será el ruido referido.

Otra fuente de error en el proceso de muestreo es la inyección de carga que los transistores del interruptor efectúan sobre el capacitor de muestreo; cada vez que los transistores son apagados, una determinada cantidad de carga proveniente del canal bajo la compuerta es dispersa sobre el drenador, la fuente y el sustrato [32]. La carga en la capa de inversión está determinada por la siguiente ecuación:

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{TH}) \quad (3.8)$$

Donde C_{ox} es la capacitancia por unidad de área de la compuerta. Las cargas que se dispersan a través del terminal que conecta a la fuente de señal no generan error alguno, mientras que las dispersas por el terminal contrario son inyectada directamente a capacitor de muestreo, generando un error en la tensión almacenada. Suponiendo que se reparte equitativamente la mitad de la carga por cada terminal, el error en la medición es:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{2C_s} \quad (3.9)$$

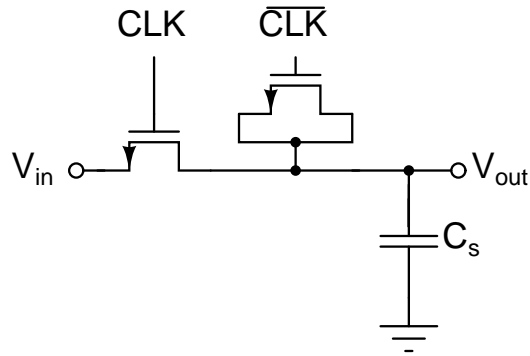


Figura 3.6: Conexión de un transistor extra para atenuar el efecto de inyección de carga.

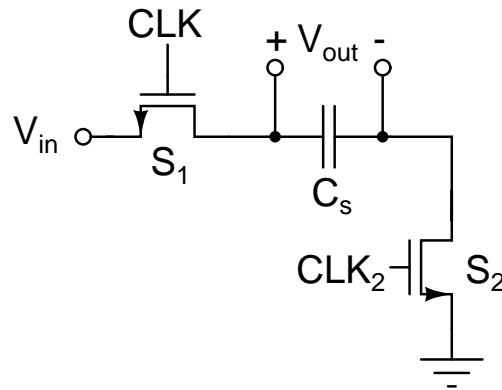


Figura 3.7: Implementación de la técnica *Bottom-Plate Sampling*.

Sin embargo, la cantidad de carga que se transfiere no es exactamente la mitad; por el contrario, ésta es función de las impedancias vistas desde cada terminal hacia tierra y del tiempo de transición del reloj. Una forma de contrarrestar este fenómeno es utilizando un transistor extra (figura 3.6), el cual operará como un interruptor con fase de encendido contraria a la del interruptor de muestreo. De esta manera, la carga es expulsada por los transistores del interruptor principal es absorbida por el transistor extra, evitando que se sume a la almacenada por C_s . No obstante, ya que no es posible conocer con exactitud la cantidad de carga que se inyecta, el dimensionamiento de este transistor se convierte en un proceso iterativo, haciendo esta alternativa poco llamativa [32].

Otra alternativa para reducir el error por inyección de carga, es implementar la técnica *bottom-plate sampling*; la figura 3.7 ilustra este concepto [34]. Esta técnica se basa en la adición de un nuevo interruptor S_2 , cuya fase de encendido es ligeramente menor que la de S_1 , es decir, se abre cierto tiempo antes, siendo éste quien define el instante de muestreo. Al momento en que S_2 se abre, la tensión del nodo negativo de V_{out} cambia debido a la inyección de carga de este interruptor, pero a diferencia de S_1 , éste cambio es independiente de la tensión de

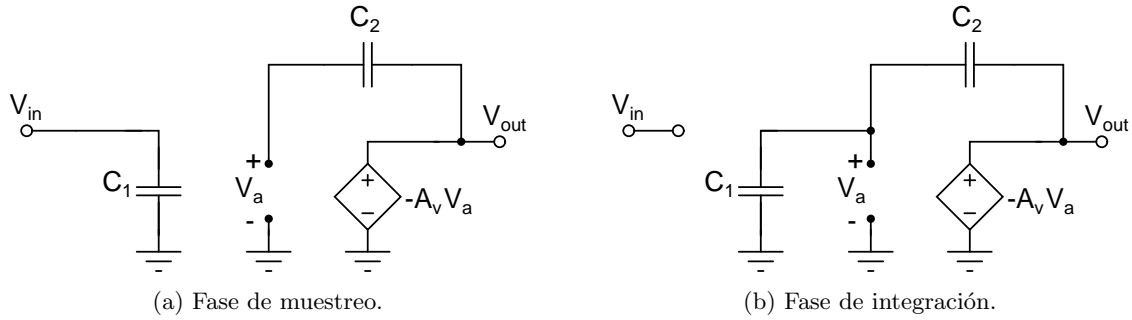


Figura 3.8: Representación de la ganancia finita del amplificador.

entrada, ya que sus terminales están a una tensión constante, tierra o voltaje en modo común idealmente. Por lo tanto, la inyección de carga de S_2 se convierte en una componente de *offset*, que puede ser eliminada con una implementación diferencial. Cierta tiempo después S_1 se abre, aislando la entrada del capacitor de muestreo. Con base en el principio de conservación de carga, y el hecho de que la carga en el nodo negativo de V_{out} no tiene forma de fugarse, la inyección de carga proveniente de S_1 no afecta la tensión almacenada en C_s . Ésta es drenada por medio de los acoples capacitivos entre el nodo positivo de V_{out} (placa positiva de C_s) y el sustrato [34, 33].

Ganancia finita del amplificador.

Este parámetro es el responsable de la precisión con que todas las señales del convertidor se establecen después de la fase de integración. Asumiendo el amplificador como una fuente de voltaje controlada por la tensión de entrada (figura 3.8), la función de transferencia para la señal de salida es:

$$I(z) = \frac{-\beta z^{-1}}{1 - \alpha z^{-1}} \quad \because \quad \beta = \frac{A_v C_s}{C_s + C_f + A_v C_f} \quad \alpha = \frac{A_v C_f}{C_s + C_f + A_v C_f} \quad (3.10)$$

De la ecuación 3.10 se identifican dos fuentes de error: la ganancia (β) y el factor de realimentación (α), los cuales se alteran en un factor de $\frac{A_v}{A_v+1}$ cada uno. Debido a que los moduladores $\Sigma\Delta$ son poco sensibles a las variaciones de las ganancias de cada integrador, el factor β no es quien determina la precisión total del sistema; por el contrario, cualquier cambio en la ubicación del polo en lazo cerrado del acumulador conllevará a una disminución de la *SNR*.

La figura 3.9 relaciona la *SNR* de un sistema en cascada 2–2 con la ganancia del amplificador, para diferentes relaciones de sobremuestreo. Ésta fue obtenida con base es

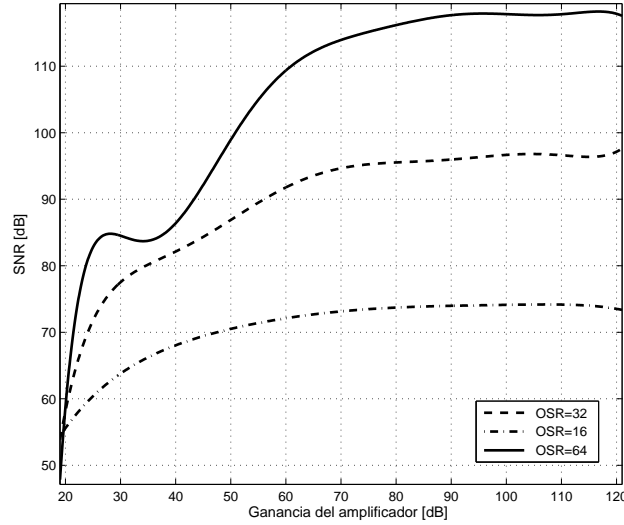


Figura 3.9: Efecto de la ganancia del amplificador sobre la SNR total del sistema.

una serie de simulaciones comportamentales, utilizando la herramienta *SDTOOLBOX*,⁹ bajo el entorno *MATLAB* [35]. De esta gráfica se concluye que la mínima ganancia que cada amplificador debe presentar es de 60 dB, para una OSR de 64. Es importante resaltar el aumento en la ganancia mínima requerida, a medida que la OSR se eleva, consecuencia del desacople entre cada etapa del modulador [28].

Ancho de banda y *Slew Rate* finitos del amplificador.

Una de las características de los circuitos con capacitores conmutados es que sus señales, tanto de voltaje como de corriente, presentan idealmente cambios abruptos en magnitud y sentido cada flanco de reloj. Por lo tanto, los componentes que los conforman deben ser capaces de soportar dicho cambios, garantizando que todas las señales se estabilizarán en un intervalo de tiempo determinado; este intervalo corresponde generalmente a la mitad del periodo de muestreo.

Asumiendo el amplificador como un sistema de un polo dominante, y la muestra almacenada en la capacitancia C_1 como una fuente de voltaje tipo escalón (figura 3.10), la función de transferencia en la etapa de integración es:

$$V_o(s) = \frac{-V_m \frac{C_1}{C_2}}{1 + \frac{s}{\frac{C_2}{C_1} GBW}} \quad (3.11)$$

Donde V_m representa el valor de la muestra capturada en la fase anterior, y GBW es la frecuencia de ganancia unitaria del amplificador. En el dominio del tiempo, la ecuación 3.11

⁹Esta herramienta es de distribución gratuita, y se ejecuta en el ambiente *Simulink*

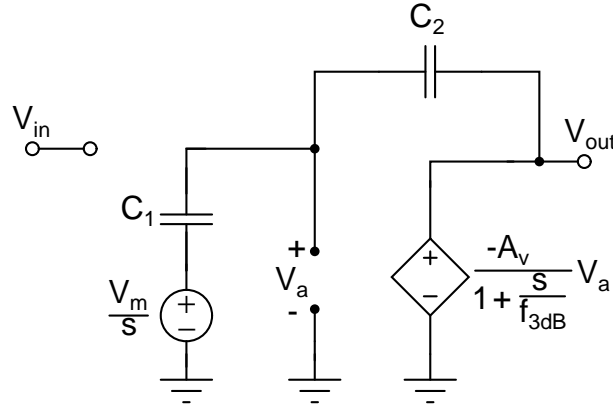


Figura 3.10: Circuito para el análisis del ancho de banda y *Slew Rate* del amplificador.

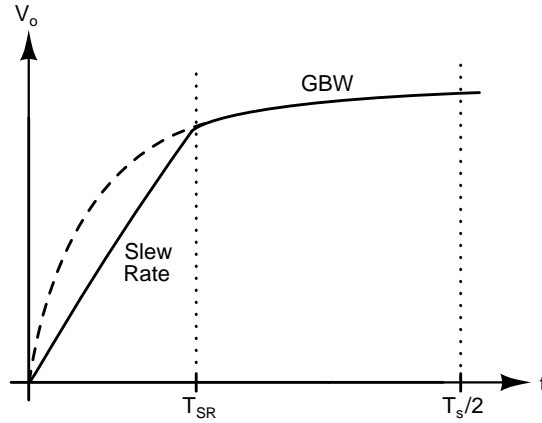


Figura 3.11: Tiempo de establecimiento del amplificador.

representa:

$$V_o(t) = -V_m \frac{C_1}{C_2} \left(1 + e^{-2\pi GBW \frac{C_2}{C_1} t} \right) \quad (3.12)$$

Los anteriores cálculos no tienen en cuenta el efecto de *Slew Rate*¹⁰ del amplificador, no obstante, [36] y [34] sugieren la asignación de $\frac{1}{3}$ del tiempo total de establecimiento al efecto de *Slew*, y los $\frac{2}{3}$ restantes al producido por el *GBW* finito (región exponencial); la figura 3.11 muestra la distribución de estos dos efectos.

Teniendo en cuenta que la frecuencia de muestreo del *ADC* es 3,072 MHz, la cual permite un tiempo de asentamiento máximo de 162,8 ns, y el peor caso del factor de realimentación $\frac{C_2}{C_1} = \frac{1}{0,8} = 1,25$, se tiene:

¹⁰El término *Slew Rate* hace referencia a la máxima tasa con que la salida de un amplificador puede crecer o decrecer.

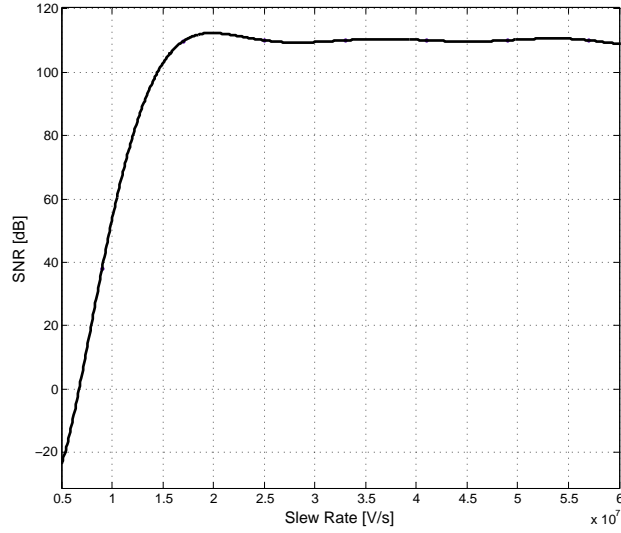


Figura 3.12: Efecto del *Slew Rate* del amplificador sobre la *SNR* total.

$$\frac{t_s}{2} = 162,8 \text{ ns} \Rightarrow \frac{2}{3} \frac{t_s}{2} = t_{GBW} = 108,5 \text{ ns} = 5\tau \quad (3.13)$$

Donde τ es la constante de tiempo del amplificador. Al despejar τ de la ecuación 3.12 se obtiene:

$$\tau = \frac{1}{2\pi GBW \frac{C_2}{C_1}} = \frac{t_{GBW}}{5} = 108,5 \text{ ns} \Rightarrow GBW = \frac{1}{2\pi\tau \frac{C_2}{C_1}} \quad (3.14)$$

De la anterior ecuación se concluye que la mínima frecuencia de ganancia unitaria que debe presentar cada amplificador es:

$$GBW_{min} = 5,1 \text{ MHz}$$

Por otro lado, determinar el mínimo *Slew Rate* que debe cumplir el circuito no es un problema que pueda resolverse mediante ecuaciones exactas, ya que cada etapa integradora procesa únicamente ruido de cuantización; éste está caracterizado por su densidad espectral de potencia, mas no por su amplitud. Por lo tanto, al igual que con la ganancia de DC, es necesario realizar diversas simulaciones a nivel comportamental, restringiendo el amplificador a un sistema de primer orden con *Slew*. De igual manera, estas simulaciones fueron hechas mediante la herramienta *SDTOOLBOX*. La figura 3.12 muestra los resultados.

De la anterior figura se concluye que el mínimo *Slew Rate* que cada amplificador debe presentar es:

$$SR_{min} = 15 \text{ V}/\mu\text{s}$$

| Especificación | Mínimo Valor |
|------------------|---------------|
| Ganancia | 55 dB |
| GBW | 5,1 MHz |
| <i>Slew Rate</i> | 15 V/ μ s |
| DR_{out} | 2,5 V |
| Margen de fase | 60° |

Tabla 3.2: Especificaciones mínimas de los amplificadores.

Rangos de excursión.

Otra especificación importante en el diseño de los amplificadores, es el rango de excursión de sus señales de entrada y de salida, siendo este último el de mayor influencia en el desempeño del *ADC*. El rango de valores en el cual cada integrador pueda oscilar limita de manera importante el rango dinámico de conversión y la *SNR* máxima, ya que impone un límite en la amplitud de la señal de entrada, y por tanto en su potencia.

Tal como se mencionó en el capítulo anterior, la arquitectura *feedforward* contribuye con este requerimiento, ya que los integradores solo procesan ruido de cuantización, siendo este de menor potencia y amplitud que la señal a digitalizar. Teniendo en cuenta la tensión de alimentación del sistema (3,3 V) y el voltaje de realimentación del *DAC* ($\pm 1,65$ V), numerosas simulaciones a nivel comportamental fueron hechas, dando como resultado que el mínimo rango de excursión a la salida de cada amplificador es:

$$DR_{outmin} = 2,5 \text{ V}$$

Cabe resaltar que este requerimiento es exclusivo del primer integrador de cada etapa, en especial el de la primera, ya que debe procesar tanto la señal de entrada como la de realimentación, por lo tanto, el rango de excursión para los demás integradores será menor que el mencionado.

La tabla 3.2 resume las especificaciones que debe cumplir cada integrador; el margen de fase se escoge de tal manera que la respuesta transitoria no tenga ningún sobrepico ante una entrada tipo escalón [34].

3.3. Implementación de la arquitectura *feedforward*

Un modulador $\Sigma\Delta$ con arquitectura *feedforward* se compone principalmente de cuatro componentes: el circuito integrador, el punto de suma de la señal a cuantizar, la realimentación

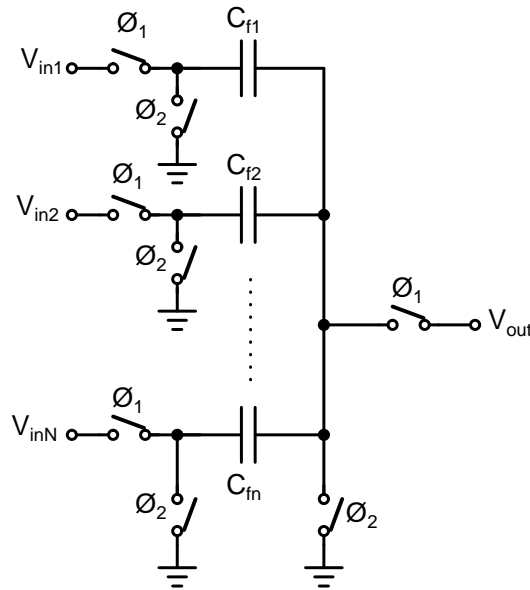


Figura 3.13: Circuito divisor de voltaje capacitivo.

de la señal del *DAC* y el cuantizador. En la sección anterior se presentó detalladamente el funcionamiento e implementación del integrador, además se obtuvieron las especificaciones del amplificador que lo conforma. En esta sección se mostrará la forma de implementar el punto de suma y la realimentación del *DAC*, y se hallarán las especificaciones que debe cumplir el cuantizador.

3.3.1. Punto de suma de la señal a cuantizar.

La señal a cuantizar es la suma de las salidas de cada integrador y la señal de entrada, cada una escalada según la ganancia c_i ; esta suma se puede realizar utilizando únicamente componentes pasivos, es decir, mediante un divisor de voltaje resistivo o capacitivo. Los divisores resistivos no son muy adecuados para su implementación debido a su elevado consumo de potencia, ya que están conduciendo permanentemente corriente continua; por el contrario, los divisores capacitivos solo conducen corriente en el momento de la transición o cambio de tensión. Una medida para reducir el consumo de las resistencias es incrementar su valor, sin embargo, este incremento está ligado a un aumento del ruido térmico y el área del circuito, ratificando a los divisores capacitivos como la mejor opción.

El circuito divisor capacitivo es presentado en la figura 3.13; en el momento en que los interruptores ϕ_2 se cierran, se elimina cualquier carga residual en los capacitores, permitiendo que al cerrarse ϕ_1 la suma se actualice correctamente. La función de transferencia de este circuito es:

$$Y(z) = \frac{\sum_{i=1}^N V_i(z)C_{fi}}{\sum_{i=1}^N C_{fi}} \quad (3.15)$$

Donde C_{fi} es la capacitancia de cada lazo de suma. Si se define cada capacitancia C_{fi} como el producto entre un capacitor referencia y el coeficiente C_n , la ecuación 3.15 se reduce a:

$$Y(z) = \frac{\sum_{i=1}^N X_i(z)C_iC_{ref}}{\sum_{i=1}^N C_iC_{ref}} = \frac{\sum_{i=1}^N X_i(z)C_i}{\sum_{i=1}^N C_i} \quad (3.16)$$

Donde C_{ref} se escoge de 500 fF teniendo en cuenta la máxima capacitancia por unidad de área que la tecnología 0,35 μ m de AMS¹¹ provee. La ecuación 3.16 corresponde a la suma de la salida de cada integrador escalada en un factor $1/\sum_{i=1}^N C_i$. Esta ecuación muestra la necesidad de una amplificación extra del mismo factor para obtener la suma exacta. Sin embargo, como la respuesta de un cuantizador monobit no depende de la magnitud de su entrada, sólo de su polaridad, esta amplificación resulta innecesaria; de esta manera se reduce el tamaño del circuito y su consumo de potencia.

3.3.2. Realimentación de la señal del DAC.

De la misma forma, la resta de la señal de entrada con la señal del DAC puede ser realizada con componentes pasivos únicamente, la figura 3.14 muestra la manera de implementar dicha operación.

Durante la fase de muestreo los interruptores S_1 y S_{1d} se cierran, permitiendo que C_1 se cargue, durante la fase de integración S_2 y S_{2d} se cierran, haciendo que la capacitancia C_s quede conectada al nodo V_{dac}^+ o V_{dac}^- según sea el caso, por lo tanto, la carga transferida a C_2 es la equivalente a $V_{in} - V_{dac}$. Esta implementación requiere el uso de dos voltajes de referencia, disminuyendo la cantidad de interruptores y capacitores; existen otras alternativas para el lazo de realimentación que utilizan sólo un voltaje de referencia, estas involucran ciertos arreglos de capacitores e interruptores, que hacen que el circuito sea más sensible al *mismatch*, ya que cualquier error en el voltaje de realimentación introducirá distorsión armónica en la banda de interés, e incluso puede desestabilizar el modulador [28].

¹¹Siglas de Austrian MicroSystems.

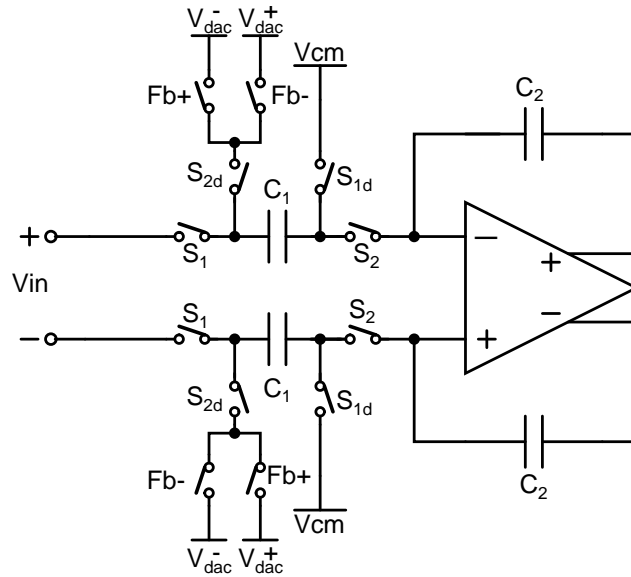


Figura 3.14: Realimentación de la señal del *DAC*.

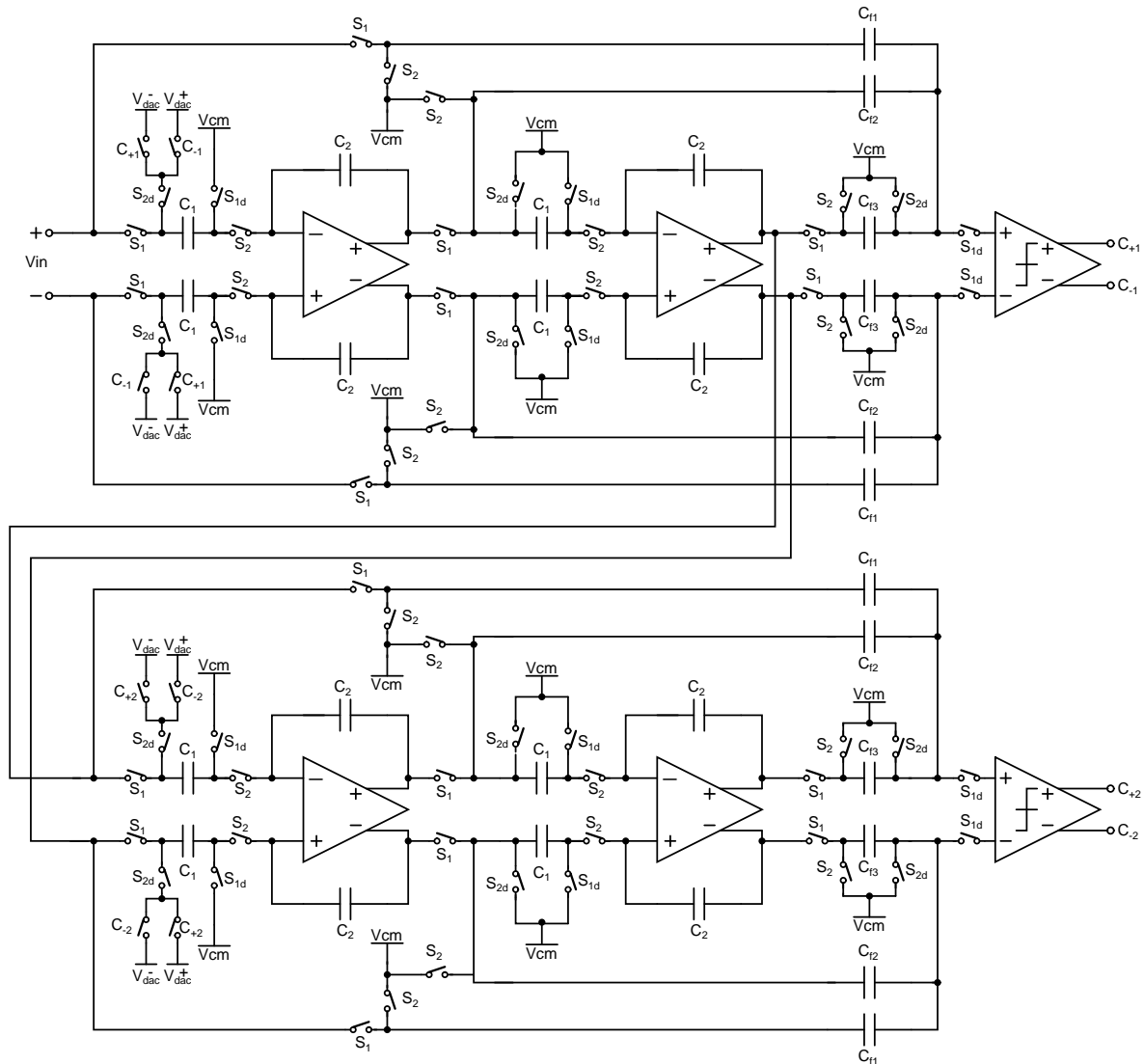
3.3.3. Cuantizador.

Debido a que el modulador seleccionado es un sistema monobit, el cuantizador se puede implementar mediante un comparador de voltaje, el cual censa la salida diferencial del punto de suma y responde con un uno o cero lógico si esta es mayor o menor que cero respectivamente. La especificaciones de este componente se centran en su resolución y tiempo de decisión. La resolución hace referencia a la mínima señal que puede censar para efectuar una correcta decisión, es decir, la mínima señal de la que puede distinguir correctamente si equivale a un uno o a un cero; el tiempo de decisión es el tiempo que demora en estabilizar sus salidas según la decisión tomada, y es quién determina su máxima frecuencia de operación.

Determinar el requerimiento en resolución es algo que tampoco es posible hacer mediante ecuaciones exactas, ya que la señal del punto de suma contiene ruido de cuantización; nuevamente son requeridas un gran número de simulaciones comportamentales que permitan hallarla. Estas simulaciones muestran que el comparador debe ser capaz de censar señales de al menos 50 mV de amplitud.

Por otro lado, el hecho de utilizar circuitos con capacitores conmutados disminuye notablemente el requerimiento en tiempo de decisión, ya que se cuenta con la mitad del tiempo de muestreo para que las señales del modulador se estabilicen. De esta manera el comparador cuenta con $\frac{1}{2f_s} = 162,67 \text{ ns}$ para estabilizarse.

Teniendo en cuenta las anteriores consideraciones la figura 3.15 presenta el circuito completo del *ADC* a diseñar. Como es un sistema en cascada 2–2, su diseño se basa en

Figura 3.15: $ADC \Sigma\Delta$ a diseñar.

la optimización de un modulador de segundo orden, y en especial del circuito integrador, ya que es el mayor responsable de la caída de la SNR , y quien define el consumo de potencia global.

Capítulo 4

Diseño de un $ADC \Sigma\Delta$

En el capítulo anterior se explicó como debe ser implementarse el modulador $\Sigma\Delta$ a nivel circuital, y se presentó un análisis del desempeño del circuito integrador y su efecto en la SNR global. Además, se hallaron las especificaciones que debe cumplir cada amplificador y cuantizador, para satisfacer los requerimientos de un sistema de audio, sin considerar su estructura interna ni su diseño.

El principal objetivo de este proyecto es diseñar un ADC , que además de ser apto para sistemas de audio, pueda ser implementado en aplicaciones portátiles; es decir, dispositivos cuya fuente de alimentación sea una batería. En capítulos anteriores se enfocó el diseño del ADC para cumplir el primer requerimiento. Para esto, se escogió un sistema en cascada, que además de brindar los 16 *bits* necesarios, garantiza la estabilidad de todo el circuito. No obstante, el hecho de utilizar la arquitectura *feedforward* reduce considerablemente las especificaciones de los amplificadores, y por ende, el consumo de potencia [29].

La potencia que consume el modulador está regida principalmente por los amplificadores y los cuantizadores, en especial por los primeros. Por lo tanto, se necesita de una estrategia de diseño que se enfoque en el bajo consumo y que permita cumplir las especificaciones requeridas para cada bloque. Para esto, se utiliza una técnica de optimización matemática conocida como programación geométrica (PG). Los trabajos de [34], [37] y [38] demuestran la eficacia de esta técnica, en la reducción del consumo de potencia de esta clase de circuitos. De esta manera se pretende que el ADC pueda ser implementado en sistemas portátiles.

En el presente capítulo, se expone el diseño de los amplificadores y comparadores que conforman el modulador $\Sigma\Delta$, aplicando la programación geométrica. Inicialmente se hace una breve revisión de los fundamentos teóricos de esta técnica, para luego presentar su aplicación en el diseño.

4.1. Programación Geométrica

La programación geométrica es una técnica de optimización no lineal, caracterizada por una función objetivo sujeta a ciertas restricciones. Éstas presentan una forma y condiciones especiales:

$$\begin{aligned} &\text{minimizar } f_o(x) \\ &\text{sujeto a } f_i(x) \leq 1, \quad i = 1, \dots, m \\ &\quad \quad g_i(x) = 1, \quad i = 1, \dots, p \end{aligned} \tag{4.1}$$

Donde la función $f_o(x)$ es la función objetivo y las funciones $f_i(x)$ y $g_i(x)$ son las restricciones. Estas están compuestas por monomios o posinomios. Un monomio es una función de la forma:

$$g(x) = cx_1^{a_1} x_2^{a_2} \cdots x_n^{a_n} \tag{4.2}$$

Donde c un número positivo y a_n cualquier número real. Un posinomio es la suma de dos o más monomios, y cumple con las mismas restricciones que los primeros. La función objetivo puede ser un monomio o un posinomio. Las restricciones tipo igualdad sólo pueden ser de tipo monomio, mientras que las tipo desigualdad pueden ser monomios o posinomios. Con programa geométrico se refiere al conjunto de expresiones que definen un problema.

Algunas de las características que posibilitan la aplicación de programación geométrica en el diseño de circuitos integrados son:

- Capacidad de distinguir si el problema tiene o no solución.
- Obtención del óptimo global de la función objetivo, siempre y cuando el problema tenga solución.
- Alta velocidad de convergencia y solución.

Una fundamentación matemática más detallada sobre esta técnica de optimización es hecha en [37] y [39].

4.2. Diseño de los amplificadores

De las especificaciones halladas en el anterior capítulo, se concluyó que las de más impacto en la SNR , son la ganancia del amplificador y su rango dinámico a la salida. Éstas son las responsables de la precisión con que se establece la señal y del máximo nivel de tensión que puede procesar. Por lo tanto, es conveniente seleccionar una topología que maximice

estos dos requerimientos, cumpliendo además con los restantes. Para ello se evaluaron algunas configuraciones como cascode, cascode doblado, *gain boosting* y configuraciones de dos etapas.

Buscando maximizar el rango dinámico, se descartan topologías de cascode y cascode doblado, las cuales restringen su excursión en varios voltajes de sobrecarga (V_{ov}). A pesar que estos amplificadores presentan el mayor ancho de banda de los evaluados, su limitación en rango dinámico se impone sobre sus ventajas.

Los amplificadores con *gain boosting* presentan menos restricción en la excursión a la salida que las topologías con cascode. Además, permiten obtener valores muy elevados de ganancia. Sin embargo, debido al aumento de su resistencia de salida, la capacidad para proporcionar corriente a una carga determinada, incluso capacitiva, se restringe en comparación con las demás topologías. De esta manera, el desempeño del amplificador se degradaría, cada vez que cargue la capacitancia de muestreo del siguiente integrador.

Finalmente, el amplificador escogido corresponde a una configuración de dos etapas, tal como se muestra en la figura 4.1. Los amplificadores de dos etapas surgen como la mejor opción para maximizar el rango dinámico a la salida; ya que este se restringe únicamente en dos voltajes de sobrecarga. Además, debido a que su ganancia es la multiplicación de la ganancia de cada etapa, es posible desarrollar valores elevados de ésta que fácilmente pueden superar los 80 dB. Una limitación de esta configuración es su ancho de banda, consecuencia de la compensación que requiere; ya que al ser un sistema de dos etapas, necesita de una compensación adicional para garantizar su estabilidad en lazos de realimentación negativa. Sin embargo, gracias a que la frecuencia de muestreo del *ADC* no supera los 5 MHz, su implementación se hace posible sin la necesidad de elevar el consumo de potencia.

Como última observación, se escoge que los transistores del par diferencial de entrada sean del tipo *PMOS*, con el fin de maximizar el rango dinámico a la entrada [32].

4.2.1. Aplicación de la programación geométrica en el diseño del amplificador.

La programación geométrica se implementa comenzando con la descripción del comportamiento del circuito, al igual que sus parámetros de desempeño. Esto se hace mediante expresiones que sean compatibles con un PG, es decir, utilizando monomios y posinomios que se ajusten a las restricciones tipo igualdad o desigualdad, respectivamente. Una vez conseguida esta descripción, se procede a la formulación de un programa geométrico que pueda ser resuelto por una herramienta de optimización. En este trabajo, se utilizó la herramienta CVX para la solución de los programas geométricos, ésta se ejecuta bajo el entorno *MATLAB* y es de distribución libre.

Modelar el comportamiento de un amplificador mediante expresiones adecuadas para un

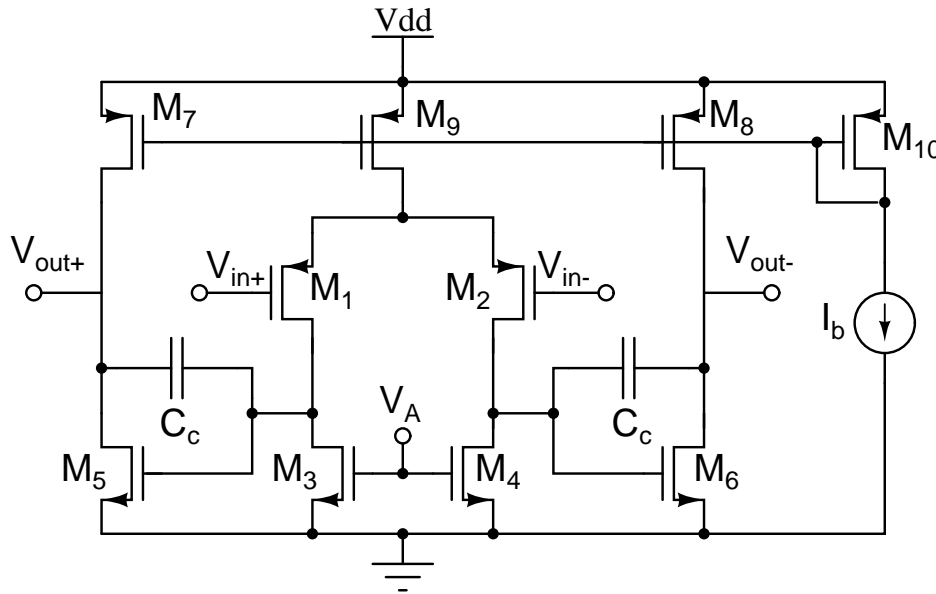


Figura 4.1: Amplificador de dos etapas

PG, es algo que inclusive utilizando únicamente modelos de baja complejidad, resulta tedioso y en ocasiones imposible. Como una solución, se planteó el modelamiento de algunos parámetros de cada transistor, en función de las variables más representativas en su diseño. Es decir, en función de sus dimensiones, corriente de drenador, y tensión drenador–fuente [37]. Estos modelos pueden ser de tipo monomial o PWL (*piece-wise linear*), dependiendo del grado de precisión con que se requieran, y serán válidos para una cierta región de operación. Entre mayor sea esta región, mayor será su error.

La estrategia para el diseño del amplificador vía PG se resume de la siguiente manera:

1. Planteamiento del comportamiento de circuito, al igual de sus parámetros de desempeño.
2. Identificación de los parámetros del transistor que deben ser modelados, para posibilitar la construcción de un PG.
3. Definición de las regiones iniciales y modelamiento.
4. Solución del PG y verificación de los resultados mediante un simulador.
5. Con base en los resultados del punto anterior, se definen nuevamente las regiones de modelado. Con esto se busca disminuir cada vez más el error de los modelos, tras lo cual se retorna al punto 3.

Comportamiento del circuito y parámetros de desempeño.

Tal como se mencionó, es necesario describir el comportamiento del circuito mediante expresiones que sean compatibles con la programación geométrica, para luego identificar los parámetros a modelar, y poder formular un PG. A continuación, se hará el planteamiento de los parámetros de desempeño y las condiciones de polarización del amplificador. Algunos de éstos requerirán de ciertas aproximaciones y consideraciones, para su correcta inclusión en un PG. Debido a que el circuito es completamente diferencial y simétrico, basta con analizar únicamente la mitad izquierda o derecha del amplificador, mitad izquierda en este caso, para describirlo.

Transistores encendidos: Como primera medida, se debe garantizar que todos los transistores estén encendidos, es decir, que su tensión V_{GS} sea mayor que la tensión de umbral. Esta condición se puede formular de la forma estándar de un PG, y constituye una restricción tipo desigualdad (ecuación 4.3).

$$\begin{aligned} (V_{GS:1,7,9,10}^{-1})V_{THP} &\leq 1 \\ (V_{GS:3,5}^{-1})V_{THN} &\leq 1 \end{aligned} \quad (4.3)$$

Transistores saturados: Además de que los transistores estén encendidos, se debe garantizar que estén en la región de saturación. Esto se logra por medio de restricciones tipo desigualdad; la ecuación 4.4 muestra estas condiciones.

$$\begin{aligned} V_{DS:1,7,9,10} &\geq V_{GS:1,7,9,10} - V_{THP} \\ V_{DS:3,5} &\geq V_{GS:3,5} - V_{THN} \end{aligned} \quad (4.4)$$

Ganancia: La ganancia del amplificador está determinada por la expresión 4.5 y puede ser incluida en un PG mediante una restricción tipo desigualdad (ecuación 4.6).

$$A_v = \frac{gm_1 gm_5}{(gds_1 + gds_3)(gds_5 + gds_7)} \geq A_{vmin} \quad (4.5)$$

$$A_{vmin}(gds_1 + gds_3)(gds_5 + gds_7)gm_1^{-1}gm_5^{-1} \leq 1 \quad (4.6)$$

Ancho de banda: El amplificador se debe comportar como un sistema de primer orden, con un polo dominante manipulado mediante la capacitancia de compensación C_c . La frecuencia de ganancia unitaria corresponde a la ecuación 4.7, y constituye una restricción tipo desigualdad (ecuación 4.8).

$$GBW = A_v f_{3dB} = \frac{gm_1}{2\pi C_c} \geq GBW_{min} \quad (4.7)$$

$$2\pi GBW_{min} C_c gm_1^{-1} \leq 1 \quad (4.8)$$

Margen de fase: Este parámetro garantiza la estabilidad del amplificador en un lazo de realimentación negativa. Asumiendo que el amplificador presenta dos polos: uno dominante impuesto por la capacitancia de compensación C_c , y otro a causa de la capacitancia de carga C_L (capacitancia de muestreo del siguiente integrador), el margen de fase se puede expresar mediante la ecuación 4.9.

$$PM = \pi - \angle H(j\omega_0) = \pi - \sum_{i=1}^2 \arctan\left(\frac{\omega_0}{\rho_i}\right) \quad (4.9)$$

La ecuación 4.9 no cumple la forma estándar de un PG, por lo tanto debe ser manipulada y aproximada de tal forma que pueda expresarse de la forma requerida. Estas aproximaciones se basan en el hecho de que el amplificador se comporta como un sistema de primer orden, por lo tanto, a la frecuencia de ganancia unitaria el polo dominante ya ha aportado 90° de fase; como consecuencia, el segundo polo tiene que aportar únicamente 30° de fase a esa misma frecuencia. Además, es posible aproximar la función tangente inversa de la forma $\arctan(x) \approx x$, para ángulos menores a 30° [37]. Entonces, el margen de fase puede ser replanteado de la siguiente manera:

$$\begin{aligned} PM &= \pi - \sum_{i=1}^2 \arctan\left(\frac{\omega_0}{\rho_i}\right) \geq PM_{min} \\ &= \pi - \arctan\left(\frac{\omega_0}{\rho_1}\right) - \arctan\left(\frac{\omega_0}{\rho_2}\right) \geq PM_{min} \\ &\approx \pi - \frac{\pi}{2} - \frac{\omega_0}{\rho_0} \geq PM_{min} \\ \Rightarrow \frac{\pi}{2} - PM_{min} &\geq \frac{\omega_0}{\rho_2} \\ \frac{\pi}{2} - PM_{min} &\geq \frac{gm_1}{gm_5} \frac{C_c + C_L}{C_c} \end{aligned} \quad (4.10)$$

El anterior resultado puede ser utilizado dentro de un PG mediante una restricción tipo desigualdad, tal como lo muestra la ecuación 4.11.

$$\frac{2}{\pi} [PM_{min} + gm_1 gm_5^{-1} + gm_1 gm_5^{-1} C_c^{-1} C_L] \leq 1 \quad (4.11)$$

Slew Rate: Además de influir en el tiempo de asentamiento del amplificador, este parámetro juega un papel fundamental en el consumo de potencia en estado estable del circuito, ya que hace referencia a la máxima corriente disponible en el circuito para cargar la mayor

capacitancia que presente ante grandes cambios de tensión a la entrada. La ecuación 4.12 presenta el *slew rate* del amplificador a diseñar, y la ecuación 4.13 su inclusión en un PG.

$$SR = \min \left\{ \frac{I_{M9}}{C_c + C_L}, \frac{I_{M8}}{C_c} \right\} \geq SR_{min} \quad (4.12)$$

$$\begin{aligned} SR_{min} C_c I_{M9}^{-1} + SR_{min} C_L I_{M9}^{-1} &\leq 1 \\ SR_{min} C_c I_{M7}^{-1} &\leq 1 \end{aligned} \quad (4.13)$$

Rango dinámico a la entrada: Parámetro de suma importancia para lograr el máximo nivel de sobre carga en el *ADC*. Cuando el voltaje de entrada es mínimo, los transistores *M1* y *M3* se encuentren en la frontera entre triodo y saturación, y cuando es máximo, el transistor *M9* está en la misma frontera. Estas dos condiciones forman dos restricciones tipo desigualdad (ecuación 4.14).

$$V_{in} = V_{GD1} + V_{DS3} \quad || \quad V_{in} = V_{DD} - V_{GS1} - V_{DS9}$$

$$\begin{aligned} \text{Cuando } V_{in} \text{ es mínimo:} \quad &V_{inmin} = V_{GS3} - V_{THN} - V_{THP} \\ &V_{GS3} \leq V_{inmin} + V_{THP} + V_{THN} \end{aligned} \quad (4.14)$$

$$\begin{aligned} \text{Cuando } V_{in} \text{ es máximo:} \quad &V_{inmax} = V_{DD} - V_{GS1} - V_{GS9} + V_{THP} \\ &V_{GS1} + V_{GS9} \leq V_{DD} - V_{inmax} - V_{THP} \end{aligned}$$

Rango dinámico a la salida: Este parámetro es maximizado por un amplificador de dos etapas, cuya etapa de salida sea una configuración de surtidor común. La máxima y mínima excursión a la salida se obtiene con los transistores *M7* y *M5* en la frontera entre triodo y saturación respectivamente (ecuación 4.15).

$$V_{out} = V_{DD} - V_{DS7} \quad || \quad V_{out} = V_{DS5}$$

$$\begin{aligned} \text{Cuando } V_{out} \text{ es máximo:} \quad &V_{outmax} = V_{DD} - V_{GS7} + V_{THP} \\ &V_{GS7} \leq V_{DD} - V_{outmax} + V_{THP} \end{aligned} \quad (4.15)$$

$$\begin{aligned} \text{Cuando } V_{out} \text{ es mínimo:} \quad &V_{outmin} = V_{GS5} - V_{THN} \\ &V_{GS5} \leq V_{outmin} + V_{THN} \end{aligned}$$

Restricciones geométricas: De la misma forma como se plantearon restricciones para los parámetros de desempeño amplificador y las regiones de operación de cada transistor, es conveniente limitar las dimensiones del circuito, tanto en valores mínimos definidos por el proceso de fabricación, como en valores máximos que limiten el costo en área del circuito (ecuación 4.16).

$$\begin{aligned} L_i &\leq L_{max} & L_i &\geq L_{min} \\ W_i &\leq W_{max} & W_i &\geq W_{min} \end{aligned} \quad (4.16)$$

Además, es necesario incluir las relaciones entre las corriente del transistor M_{10} con los transistores M_9 y M_7 , que conforman dos espejos de corriente. Estas relaciones se pueden formular mediante restricciones tipo igualdad, tal como lo muestra la ecuación 4.17.

$$\left(\frac{W_{10}}{L_{10}}\right) I_9 = \left(\frac{W_9}{L_9}\right) I_{10} \quad \left(\frac{W_{10}}{L_{10}}\right) I_7 = \left(\frac{W_7}{L_7}\right) I_{10} \quad (4.17)$$

Leyes de Kirchhoff: Las restricciones impuestas por la leyes de *kirchhoff* en DC sobre cada trayectoria cerrada y cada nodo dentro del amplificador, deben ser consideradas para su inclusión en un PG. La ecuación 4.18 relaciona la tensión drenador-surtidor de cada transistor con la tensión de alimentación, formando dos trayectorias cerradas; la ecuación 4.19 relaciona la corriente de cada transistor conectado a tres nodos distintos del circuito.

$$\begin{aligned} V_{DD} &= V_{DS9} + V_{DS1} + V_{DS3} \\ V_{DD} &= V_{DS7} + V_{DS5} \end{aligned} \quad (4.18)$$

$$\begin{aligned} I_{M9} &= 2I_{M1} \\ I_{M1} &= I_{M3} \\ I_{M5} &= I_{M7} \end{aligned} \quad (4.19)$$

La ecuación 4.18 no cumple la forma estándar de un PG, ya que corresponde a restricciones posinomiales tipo igualdad. Por el contrario, las condiciones del la ecuación 4.19 si se ajustan, siendo monomios tipo igualdad. En consecuencia, es necesario idear alguna estrategia que consiga incluir la ecuación 4.18 dentro de un PG. Los trabajos de [34] y [37] proponen la asignación directa de las tensiones drenador-surtidor, es decir, asumir que éstas son constantes y definidas por el diseñador. Debido a que la solución del PG depende de la asignación de estas tensiones, esta estrategia se complementa al hacer un barrido sobre todos los posibles valores de V_{DS} de cada transistor, dentro de un intervalo regido por las condiciones de polarización del amplificador, y resolviendo el PG para cada combinación. Finalmente, de todo el conjunto de soluciones se escoge la que menor potencia consuma, y que cumpla con las especificaciones planteadas.

Otras consideraciones: Por último, ciertas restricciones sobre la capacitancia de compensación C_c , y la máxima y mínima corriente que cada transistor conducirá deben ser hechas. Las restricciones para C_c se basan en controlar el área ocupada por el circuito, mientras

que las hechas sobre la corriente buscan limitar la potencia que este pueda consumir. Las ecuaciones 4.20 y 4.21 muestran estas condiciones.

$$C_c \leq C_{cmax} \quad C_{cmin} \geq C_c \quad (4.20)$$

$$I_{Mi} \leq I_{Mmax} \quad I_{Mmin} \geq I_{Mi}. \quad (4.21)$$

Una vez descrito todo el comportamiento del amplificador, mediante expresiones compatibles con la programación geométrica, se continúa con la selección de los parámetros del transistor a modelar. Con base en el trabajo de [37], resulta adecuado modelar las tensiones de puerta-surtidor (V_{GS}), mediante modelos monomiales. Esta decisión se apoya en el reducido error del modelo, el cual no supera el 5%, y la aparición de términos de la forma V_{GSi}^{-1} . Tal como se mencionó, estos modelos se plantean en función de las dimensiones del transistor, su corriente de drenador y su tensión drenador-surtidor (ecuación 4.22).

$$V_{GS} = K * W^{a_1} * L^{a_2} * I_{DS}^{a_3} * V_{DS}^{a_4} \quad (4.22)$$

Los parámetros g_{ds} y gm^{-1} se modelan mediante funciones PWL^1 de tres términos, es decir, la suma de tres monomios, debido al gran error que el modelo monomial presenta; estas funciones se plantean igualmente en términos de W , L , I_{DS} y V_{DS} [37]. Por último, el parámetro gm es modelado mediante un monomio, de la misma manera que V_{GS} .

Una vez modelados cada uno de los parámetros necesarios para el planteamiento del PG, se procede a su solución haciendo el barrido de las tensiones V_{DS} de los transistores $M9$, $M1$ y $M5$. Para los transistores $M5$ y $M7$, se fija esta tensión en 1,65 V, buscando que la tensión en modo común a la salida esté a la mitad de la fuente de alimentación. Cada solución se almacena temporalmente, y una vez terminado este barrido, se selecciona la que menor potencia reporte, y que además cumpla a cabalidad todas las especificaciones.

4.2.2. Resultados.

Las tablas 4.1 muestra los resultados de la aplicación de la programación geométrica en el diseño del amplificador, esta contiene las dimensiones de cada transistor, la capacitancia de compensación, la tensión de polarización de los transistores $M3$ y $M4$, y la corriente de referencia del transistor $M10$.

La figura 4.2 muestra la respuesta en frecuencia del amplificador. Esta evidencia que efectivamente el circuito se comporta como un sistema con un polo dominante, controlado por

¹ PWL - *Piecewise Linear*. Término que hace referencia a funciones lineales por partes

| | | | |
|-----------|---------------------|-----------|--------------------|
| $W_{1,2}$ | 100 μm | $L_{1,2}$ | 1,43 μm |
| $W_{3,4}$ | 94,95 μm | $L_{3,4}$ | 1 μm |
| $W_{5,6}$ | 100 μm | $L_{5,6}$ | 3,36 μm |
| $W_{7,8}$ | 48,67 μm | $L_{7,8}$ | 0,84 μm |
| W_9 | 100 μm | L_9 | 1,76 μm |
| W_{10} | 5,84 μm | L_{10} | 16 μm |
| | C_c | | 1,5 pF |
| | V_a | | 576 mV |
| | I_b | | 500 nA |

Tabla 4.1: Resultados de la solución del programa geométrico.

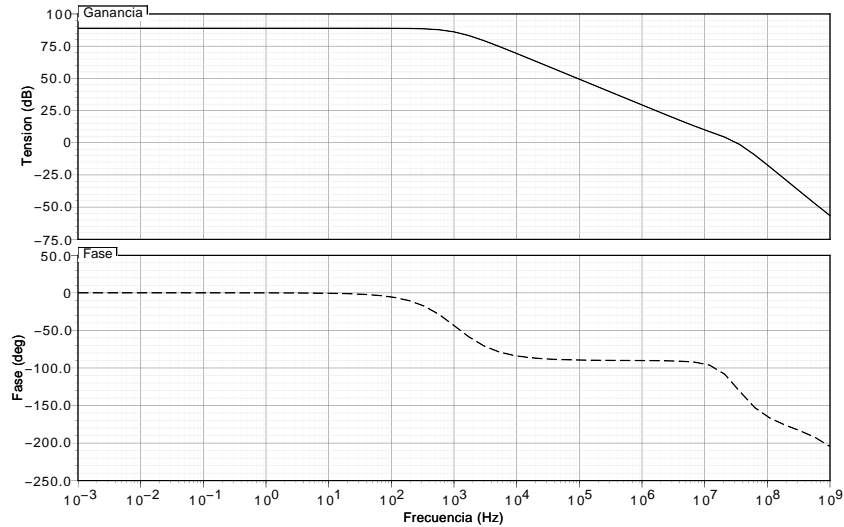


Figura 4.2: Respuesta en frecuencia del amplificador.

la capacitancia de compensación. Además se ratifica la suposición de que los demás polos del circuito aportan únicamente 30° de fase en la frecuencia de 0 dB, con lo que se logra el margen de fase requerido. Durante todo el desarrollo de este proyecto, se utilizan las herramientas de simulación del paquete *Cadence*, en especial los simuladores *Spectre* y *Ultrasim*.

Por otro lado, la figura 4.3 muestra el comportamiento de la tensión de salida del amplificador ante variaciones de su tensión de entrada en lazo abierto; de ésta se aprecia un amplio rango de excursión (mayor a 2 V) antes que los transistores $M7$, $M8$ y $M5$, $M6$ entren en la región de triodo, contribuyendo al aumento del nivel de sobrecarga, y por lo tanto, de la SNR de todo el ADC .

De manera similar, en la figura 4.4 se observa la manera en que el amplificador responde

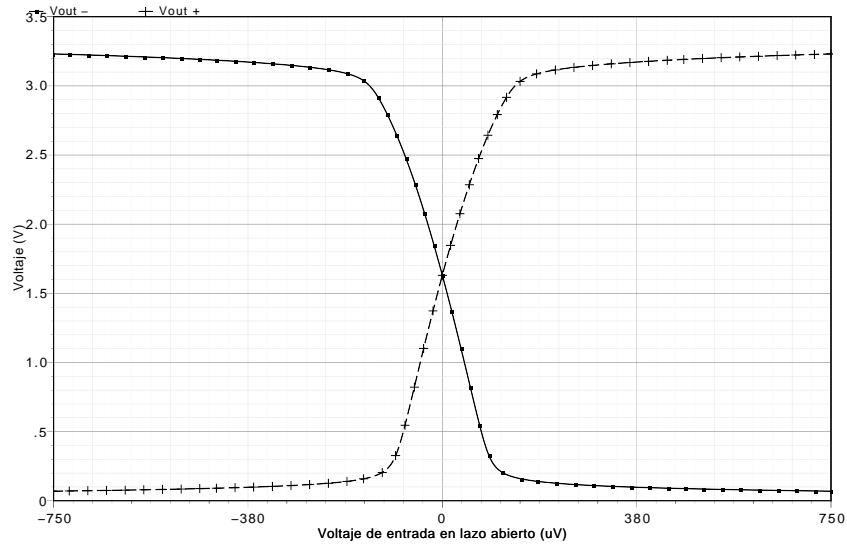


Figura 4.3: Excursión de la tensión de salida del amplificador en lazo abierto.

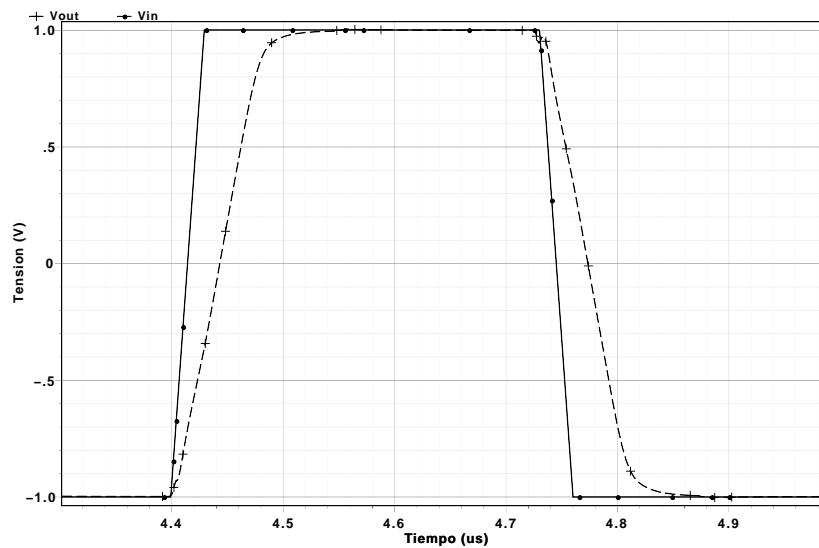


Figura 4.4: Medición del *slew rate* del amplificador.

ante grandes cambios de tensión en su entrada, bajo un lazo de realimentación unitaria. Además, esta gráfica muestra el efecto de *slew* del amplificador, caracterizándose por la pendiente constante su tensión de salida. Para medir si el circuito cumple con este requerimiento, se aplica una señal de 2 V de amplitud diferencial con un tiempo de subida de 30 ns, ante esto el amplificador responde con una señal de pendiente máxima $27 \text{ V}/\mu\text{s}$, demostrando su cumplimiento.

Finalmente, la tabla 4.2 contrarresta el desempeño del circuito mediante las evaluación de la solución del PG y lo obtenido a través del simulador.

| Especificación | Valor requerido | PG | <i>Spectre</i> |
|----------------|-----------------|---------------|----------------|
| Potencia | minimizar | 734 μ W | 649 μ W |
| A_V | 60 dB | 85 dB | 89 dB |
| GBW | 5 MHz | 34 MHz | 31 MHz |
| PM | 60° | 61° | 57° |
| SR | 15 V/ μ s | 20 V/ μ s | 27 V/ μ s |
| DR_{in} | 2 V | 2,2 V | 2 V |
| DR_{out} | 2,5 V | 2,9 V | 2,8 V |

Tabla 4.2: Comparación del desempeño del amplificador según los resultados del PG frente a los resultados del simulador.

4.2.3. Circuito de realimentación de modo común.

Debido a que el amplificador es un circuito completamente diferencial, el cual está diseñado para procesar únicamente señales de este tipo, su nivel de modo común carece de algún tipo de control. Esto posibilita que se desplace hacia tensiones cercanas a la fuente de alimentación positiva o negativa, ya sea en el momento en que el amplificador se encuentre en algún lazo de realimentación, o a causa de las variaciones del proceso de fabricación y el *mismatch*, provocando que los transistores $M5$ y $M7$ entren en la región de triodo. Por tal motivo, surge la necesidad de establecer algún tipo de control sobre este nivel, de modo que permanezca siempre a la mitad de la tensión de alimentación. Esto se logra al implementar un lazo de realimentación en modo común ($CMFB^2$), el cual censará el nivel de modo común de la salida, y de acuerdo a éste, ajustará una de las corrientes de polarización del amplificador.

Varias consideraciones deben ser tenidas en cuenta a la hora de seleccionar y diseñar un circuito de $CMFB$, entre ellas se destacan la precisión y la velocidad con la que actúa. Además, el circuito $CMFB$ no debe representar una carga adicional para el amplificador, que pueda degradar su desempeño, y debe operar de manera independiente del lazo diferencial.

Varias alternativas se han planteado para el control del nivel de modo común, que van desde circuitos en el tiempo continuo, hasta bloques con capacitores conmutados. Los primeros, incluyen además de la red de censado, un amplificador de error que compara cierta tensión de referencia con la censada, para luego ajustar la corriente de algún transistor de polarización del amplificador. Una ventaja de esta alternativa es la velocidad con que establece la tensión de modo común a la de referencia. No obstante, ésta se ve opacada por la limitación en rango dinámico que el amplificador de error impone, además de un aumento en el consumo

²Siglas de *Common Mode Feedback*.

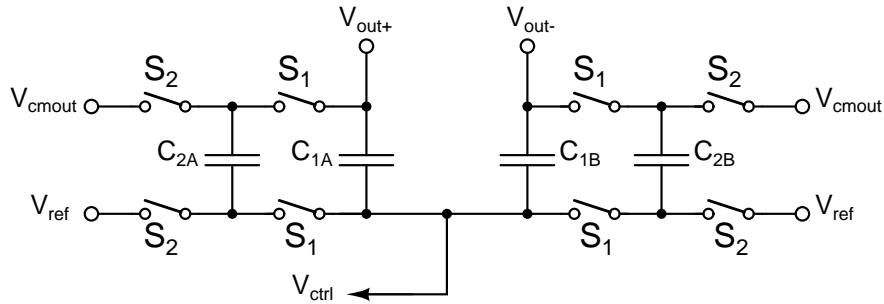


Figura 4.5: Circuito de realimentación en modo común.

de potencia estática [32].

Por otro lado, las redes de capacitores conmutados ofrecen alta linealidad y mayor rango dinámico, siendo igual al del amplificador controlado. Además, la potencia que consumen es exclusivamente activa. Sin embargo, estos circuitos pueden aportar ruido a la salida del amplificador, como consecuencia de la inyección de carga, y del acople de la señal de reloj a través de cada interruptor *CMOS* [33]. Buscando maximizar la excursión de todo el circuito integrador, y reducir su consumo, se escoge esta alternativa como circuito *CMFB*. Cabe resaltar la necesidad de dos redes *CMFB*, una para cada etapa del amplificador [40].

La figura 4.5 muestra el circuito *CMFB* seleccionado, y la figura 4.6 su aplicación a cada etapa del amplificador. Éste consta de dos capacitores de censado C_{1A} y C_{1B} , y dos de ajuste C_{2A} y C_{2B} . Además, necesitan dos tensiones de referencia V_{cmout} y V_{ref} . V_{cmout} corresponde al modo común deseado, y V_{ref} es la tensión necesaria para establecerlo. El ajuste de la salida se realiza mediante la señal V_{ctrl} , la cual controla la corriente del transistor de polarización de cada etapa; esta tensión es el resultado de la combinación del promedio de la salida del amplificador, y la censada por los capacitores de ajuste. Esta topología de *CMFB* actúa principalmente como un filtro pasa bajos, con una entrada de DC [41].

El desempeño del circuito *CMFB* se puede analizar en la figura 4.7, ésta muestra la manera en que la tensión de modo común a la salida se establece en la mitad de la fuente de alimentación (1,65 V), en aproximadamente 15 ciclos de reloj. La relación C_2/C_1 es la responsable del tiempo que toma el circuito en establecer la salida; entre mayor sea esta relación, menor será el tiempo empleado. Sin embargo, aumentar esta proporción implica cargar excesivamente el amplificador, degradando su respuesta en frecuencia. Por lo tanto, los capacitores de censado y ajuste se escogen de manera tal que no constituyan una carga significativa para el amplificador, siendo de 200 fF y 400 fF respectivamente. La frecuencia del reloj es la misma que la del modulador, es decir 3,072 MHz.

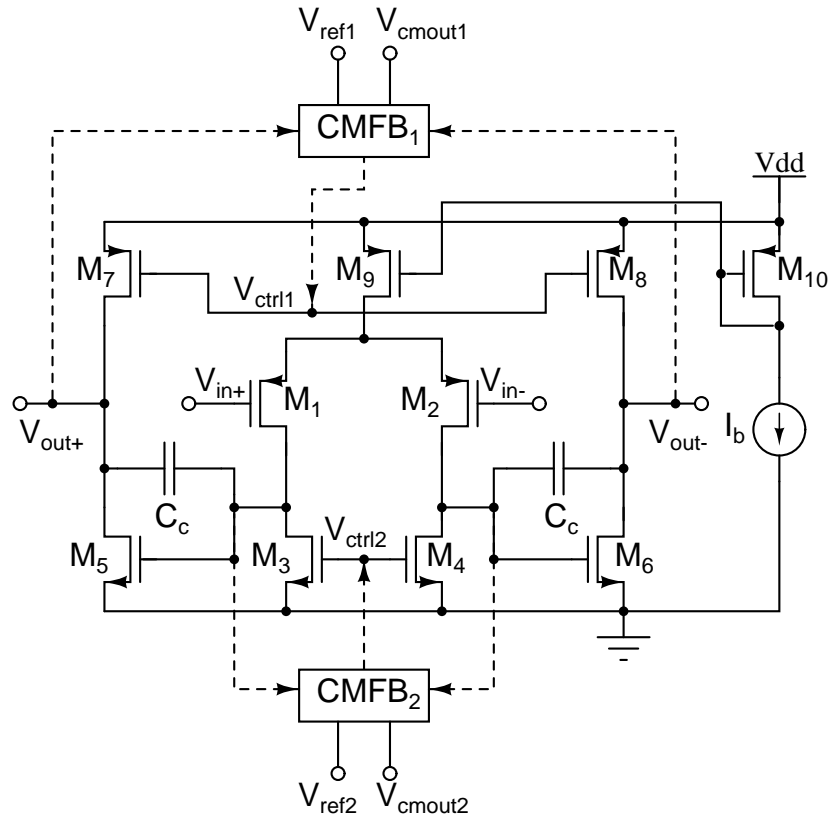


Figura 4.6: Aplicación de las redes $CMFB$ en el amplificador diseñado.

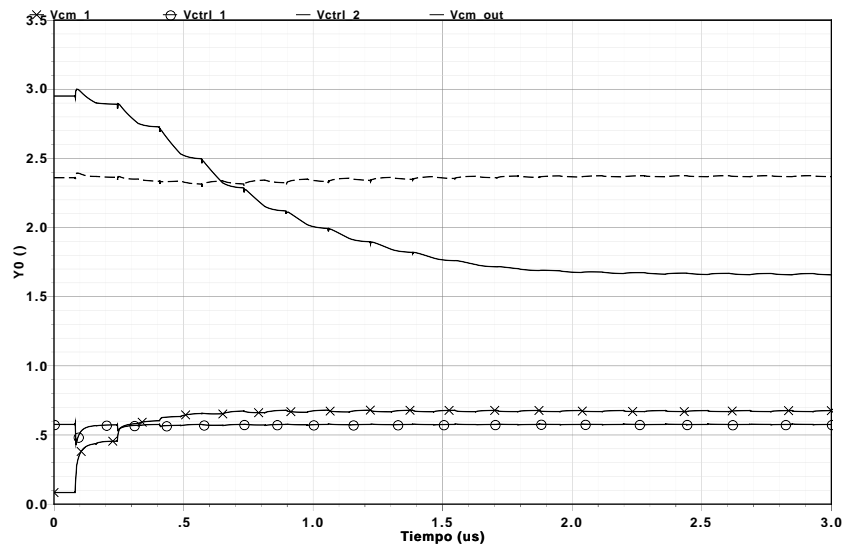


Figura 4.7: Desempeño del circuito $CMFB$ en el amplificador diseñado.

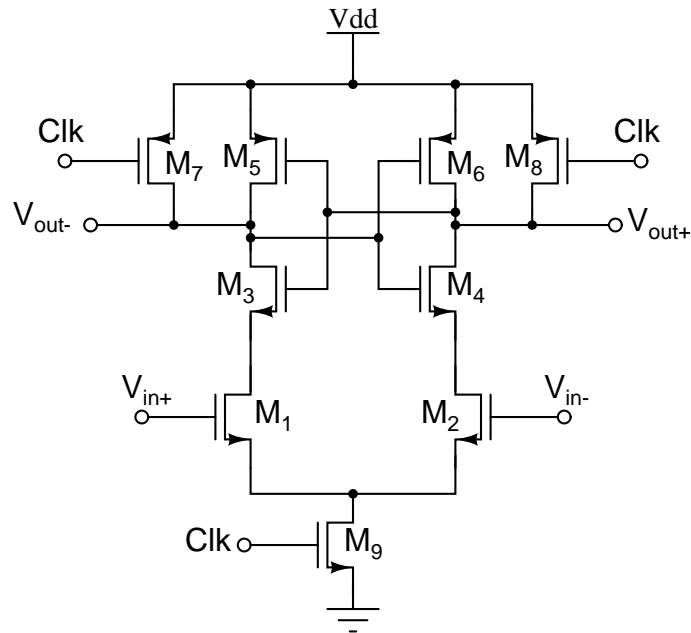


Figura 4.8: Comparador dinámico propuesto por [3]

4.3. Diseño de los cuantizadores.

Tal como se indicó en el capítulo anterior, los cuantizadores del modulador pueden ser implementados mediante comparadores de voltaje, los cuales censarán la tensión del punto de suma de manera diferencial, y responderán con un cero lógico (0 V) o uno lógico (3, 3 V), dependiendo si esta es mayor o menor que cero. De igual forma, el diseño de estos circuitos debe estar orientado a la reducción del consumo de potencia, cumpliendo con los requerimientos de resolución y velocidad que el sistema exige.

Los comparadores dinámicos se posicionan como una muy buena alternativa en cuanto al consumo de potencia se refiere, ya que estos solo conducirán corriente en el momento en que toman la decisión, y será la necesaria para cargar y descargar las capacitancias internas; una vez tomada la decisión, el circuito entra en estado estable y no conducirá corriente alguna. Adicionalmente, el instante de decisión está controlado por una señal de reloj [29, 38].

La figura 4.8 muestra un comparador dinámico propuesto por [3]. Su operación se describe de la siguiente manera: mientras la señal de reloj esté en bajo (0 V), los transistores $M7$ y $M8$ (que actúan como interruptores) conectan los nodos de salida a la tensión de alimentación, haciendo que el comparador esté listo para tomar una decisión, además, el transistor $M9$ se encuentra apagado, por lo que no circulará corriente por las ramas del circuito. En el momento en que el reloj pasa a estado alto (3, 3 V), los transistores $M7$ y $M8$ se apagan, permitiendo la libre excursión de los nodos de salida, a su vez, el transistor $M9$ se enciende, lo que polariza los

demás transistores del circuito. Si una diferencia de tensión ΔV_{in} es aplicada en las compuertas de los transistores $M1$ y $M2$, se genera un desbalance entre sus corrientes, siendo mayor la de $M1$ si ΔV_{in} es positivo, y viceversa; como consecuencia, la tensión de los dos nodos de salida disminuye pero a velocidades diferentes, dependiendo de cual rama conduzca más corriente. En un determinado instante, el nivel de este par de nodos habrá descendido lo suficiente para que los transistores $M5$ y $M6$ se enciendan, lo que polariza el *latch* formado por $M3$, $M4$, $M5$ y $M6$, que corresponde a dos inversores en antiparalelo. Este *latch* actúa como un sistema con realimentación positiva, que aumenta la diferencia entre las dos salidas; tan pronto éste se enganche en un estado determinado, el transistor $M3$ o $M4$ se apaga, eliminando la corriente de una rama del circuito y completando de esta manera la decisión [38].

4.3.1. Aplicación de la programación geométrica en el diseño de los comparadores.

Al igual que con los amplificadores, la aplicación de la programación geométrica en el diseño de los comparadores se basa en la descripción de su comportamiento y parámetros de desempeño mediante expresiones que sean compatibles con la programación geométrica. Para esto, se hace un análisis detallado sobre su funcionamiento, buscando expresar todas las ecuaciones que lo describen en forma de restricciones monomiales tipo igualdad, o posinomiales tipo desigualdad.

La anterior descripción corresponde al proceso de decisión del comparador, sin incluir el proceso de *reset*; en esta segunda etapa el circuito lleva sus nodos de salida a un nivel estable para eliminar cualquier posible memoria y prepararlo para un siguiente decisión. Por lo tanto, el tiempo que comparador emplea en efectuar una decisión y prepararse para una posterior es la suma del tiempo que gastan estas dos etapas.:

$$t_{comp} = t_{decision} + t_{reset} \quad (4.23)$$

Tiempo de decisión: Corresponde al tiempo que tarda en descargarse los nodos de salida hasta que los transistores $M5$ y $M6$ se enciendan, más el tiempo que invierte el latch en regenerar los niveles del par de inversores. El primer intervalo es consecuencia de la carga y descarga de las capacitancias de carga de los nodos de salida (C_L); este tiempo puede aproximarse a la ecuación 4.24, bajo la suposición de que las corrientes de los transistores $M1$ y $M2$ son constantes una vez se aplica una tensión a la entrada [38].

$$t_o = \frac{C_L V_{THP}}{I_{M1}} \quad (4.24)$$

Una vez se encienden los transistores $M5$ y $M6$, aparece una diferencia de tensión entre los nodos de salida V_{o1} que tiene que ser regenerada por el *latch* hasta un nuevo valor V_{o2} . La diferencia V_{o1} puede expresarse de la siguiente manera [38]:

$$V_{o1} = V_{THP} \sqrt{\frac{8\beta_{5,6}}{I_o}} \Delta V_{in} \quad (4.25)$$

donde $\beta_{5,6}$ corresponde al parámetro de transconductancia de $M5$ y $M6$.

Por otro lado, el tiempo que emplea el *latch* en engancharse en un estado determinado, a una diferencia V_{o2} , se puede aproximar a [41]:

$$t_{latch} = \frac{C_L}{g_{mT}} \ln \left(\frac{V_{o2}}{\Delta V_{in}} \right) \quad (4.26)$$

donde g_{mT} es la transconductancia efectiva de los dos inversores. Al combinar las ecuaciones 4.24 y 4.26 se obtiene el tiempo de decisión total (ecuación 4.27):

$$t_{decision} = \frac{2C_L V_{THP}}{I_o} + \frac{C_L}{g_{mT}} \ln \left(\frac{1}{2V_{THP}} \sqrt{\frac{I_o}{2\beta_{5,6}}} \frac{V_{o2}}{\Delta V_{in}} \right) \quad (4.27)$$

La anterior ecuación no es compatible con la programación geométrica ya que contiene una función logaritmo, además, el término I_o corresponde a una función de radicación que incluye las dimensiones de los transistores del *latch*, impidiendo aún más su utilización en un PG. En el trabajo de [38] se propone una serie de aproximaciones para replantear la ecuación 4.27 de la forma estándar de un PG, éstas se basan en la aproximación de la función logaritmo en un polinomio de dos términos de la forma:

$$\ln(x) \approx A_1 x^{A_2} + A_3 x^{A_4} \quad (4.28)$$

Además, la corriente I_o y la transconductancia de los inversores se modelan como monomios en función de $W1$, $W9$ y V_{cm} , e I_{DS} , V_{DS} , W y L respectivamente. La capacitancia de carga C_L se modela como una función *pwl* de tres términos en función de $W1$, $W3$, $W5$, $W7$ y $W9$, consecuencia del error que el modelo monomial presenta.

$$\begin{aligned} I_o &= K * W_1^{b1} * W_r^{b2} * V_{cm}^{b3} \quad \parallel \quad W_r = \frac{W_1}{W_9} \\ g_{mN,P} &= K_{N,P} * \frac{I_o^{p1}}{2} * V_{DS3,5}^{p2} * W_{5,3}^{p3} * L^{p4} \end{aligned} \quad (4.29)$$

$$\begin{aligned} C_L &= \sum_{i=1}^3 K_i * W_1^{ai,1} * W_r^{ai,2} * W_n^{ai,3} * W_p^{ai,4} * W_s^{ai,5} \\ W_p &= \frac{W_3}{W_5} \quad \parallel \quad W_s = W_7 \quad \parallel \quad W_n = W_3 \end{aligned} \quad (4.30)$$

Aplicando la aproximación del logaritmo al tiempo de retardo del *latch*, éste puede ser incluido en un PG mediante una restricción tipo desigualdad posinomial, tal como lo muestra la ecuación (4.31).

$$\begin{aligned} t_{latch} &= 0,5C_L g m_N^{-0,5} g m_P^{-0,5} A_1 \left(\sqrt{\frac{L}{8k_{nm5}} \frac{V_{o2}}{V_{THP} V_{in}}} \right)^{A_2} \left(\frac{I_o}{W_1} \right)^{A_2/2} \\ &+ 0,5C_L g m_N^{-0,5} g m_P^{-0,5} A_3 \left(\sqrt{\frac{L}{8k_{nm5}} \frac{V_{o2}}{V_{THP} V_{in}}} \right)^{A_4} \left(\frac{I_o}{W_1} \right)^{A_4/2} \leq t_{latch,max} \end{aligned} \quad (4.31)$$

Además, el tiempo que tardan los transistores *M5* y *M6* en encenderse puede ser formulado como una restricción tipo desigualdad (ecuación 4.32), quedando completamente descrito el tiempo de decisión del comparador en términos de monomios y posinomios.

$$2V_{THP} C_L I_o^{-1} \leq t_{o,max} \quad (4.32)$$

Tiempo de *reset*: El tiempo de *reset* se puede representar como el tiempo necesario para cargar las capacitancias de salida desde 0 V hasta V_{DD} , en función de la resistencia promedio de encendido de los transistores *M7* y *M8*, y la capacitancia C_L (ecuación 4.33).

$$t_{reset} = 0,69 R_{eq} C_L \quad (4.33)$$

La ecuación 4.33 puede ser modelada como una restricción tipo desigualdad compatible con un PG, modelando la resistencia de encendido en función de las dimensiones de los transistores. No obstante, debido a que ésta corresponde a una resistencia promedio, el error del modelo, incluso con funciones *pwl* es significativamente alto; además, este error se sumará al error del modelo de la capacitancia C_L . Como una alternativa, se propone modelar el tiempo de *reset* en función de las dimensiones de *M1*, *M3*, *M5*, *M7* y *M9*, a partir de la simulación directa de éste, en lugar del modelamiento de cada término de la ecuación 4.33 por separado [38]; este modelo será un función *pwl* de tres términos para minimizar su error y constituye una restricción tipo desigualdad (ecuación 4.34).

$$t_{reset} = \sum_{i=1}^3 \left(R_i * W_1^{r1,i} * W_r^{r2,i} * W_3^{r3,i} * W_p^{r4,i} * W_7^{r5,i} \right) \leq t_{reset,max} \quad (4.34)$$

Por último, el tiempo de decisión no debe superar la mitad del periodo de muestreo, es decir, el tiempo en que la señal de reloj permanece en alto. Así mismo, el tiempo de *reset* no debe ser mayor al periodo en que el reloj está en bajo.

Cabe resaltar que todas las variables de diseño del comparador pueden ser incluidas dentro del programa geométrico, debido a que no aparecen restricciones posinomiales tipo igualdad; y

| | |
|-----------|--------------------|
| $W_{1,2}$ | 7,5 μm |
| $W_{3,4}$ | 6 μm |
| $W_{5,6}$ | 5,1 μm |
| $W_{7,8}$ | 7,4 μm |
| W_9 | 3,25 μm |

Tabla 4.3: Resultados de la aplicación de la programación geométrica en el diseño de un comparador.

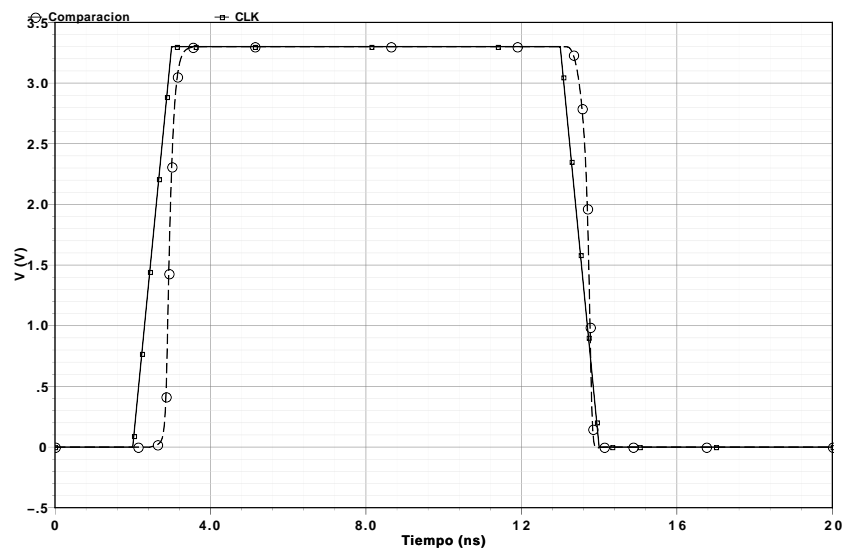


Figura 4.9: Respuesta transitoria del comparador.

a diferencia del amplificador, su diseño no será un proceso iterativo, sin dejar a consideración del diseñador la asignación de algunas variables.

4.3.2. Resultados.

La tabla 4.3 muestra los resultados de la aplicación de la programación geométrica en el diseño del comparador. Estos resultados contienen únicamente los anchos de los transistores, ya que su longitud se fijó en la mínima permitida (0,35 μm).

La figura 4.9 muestra el tiempo empleado por el comparador para tomar la decisión, con una señal de entrada de 50 mV de amplitud y reloj de 50 MHz, lo que demuestra el cumplimiento de los requerimientos tanto en velocidad como en resolución.

Finalmente, la tabla 4.4 compara los resultados obtenidos mediante la evaluación de la solución del programa geométrico, y los hallados mediante simulación.

| Especificación | Valor requerido | PG | Spectre |
|----------------|-----------------|------------------|------------------|
| Potencia | Minimizar | 68 μW | 66 μW |
| $t_{decision}$ | 162 ns | 3 ns | 2 ns |
| t_{reset} | 162 ns | 5 ns | 1,6 ns |
| Resolución | 50 mV | – | 30 mV |

Tabla 4.4: Comparación del desempeño del comparador según los resultados del PG frente a los resultados del simulador.

Capítulo 5

Resultados

En el capítulo anterior se presentó el diseño de cada uno de los componentes que forman el circuito integrador, así como el cuantizador y los puntos de suma y realimentación del *DAC*. Además, se explicó la manera de aplicar la programación geométrica como estrategia de diseño, orientada al bajo consumo de potencia. Como resultado, se lograron amplificadores que cumplen con las especificaciones halladas en el capítulo 3, cuya corriente de polarización no supera los 200 μA , y comparadores de voltaje que consumen únicamente potencia dinámica, capaces de operar hasta a 200 MHz.

En el presente capítulo se presenta el resultado de la unión de estos circuitos de manera tal que formen un sistema en cascada 2–2, con arquitectura *feedforward*. Cabe resaltar que éstos pueden ser agrupados de distintas maneras, para formar moduladores de cualquier orden y arquitectura. Además, se analizará la manera de implementar comportamentalmente el filtro digital diezmadador, cuya labor será eliminar el ruido de cuantización fuera de la banda de interés, y reducir la frecuencia de muestreo a la requerida por un sistema de audio.

Para comprobar el funcionamiento del modulador se efectúan medidas de *SNR*, *SNDR*, rango dinámico y nivel de sobrecarga, las cuales se realizan en dos etapas: simulación del modulador a nivel circuital con la herramienta *Cadence*, utilizando el simulador *UltraSim*¹, e importación de los resultados en *MATLAB* para la medición de los parámetros mencionados, mediante algunos *scripts* de la aplicación *SDTOOLBOX*.

Por otro lado, se valida la robustez del *ADC* mediante análisis Monte Carlo, el cual simula la variabilidad de los parámetros del proceso de fabricación y el *mismatch* entre componentes.

Finalmente se presentan algunas conclusiones obtenidas durante el desarrollo de todo el proyecto, así como algunas recomendaciones para trabajos futuros relacionados con los convertidores $\Sigma\Delta$.

¹A diferencia de *Spectre*, *UltraSim* posee modos especiales de simulación optimizados para convertidores $\Sigma\Delta$.

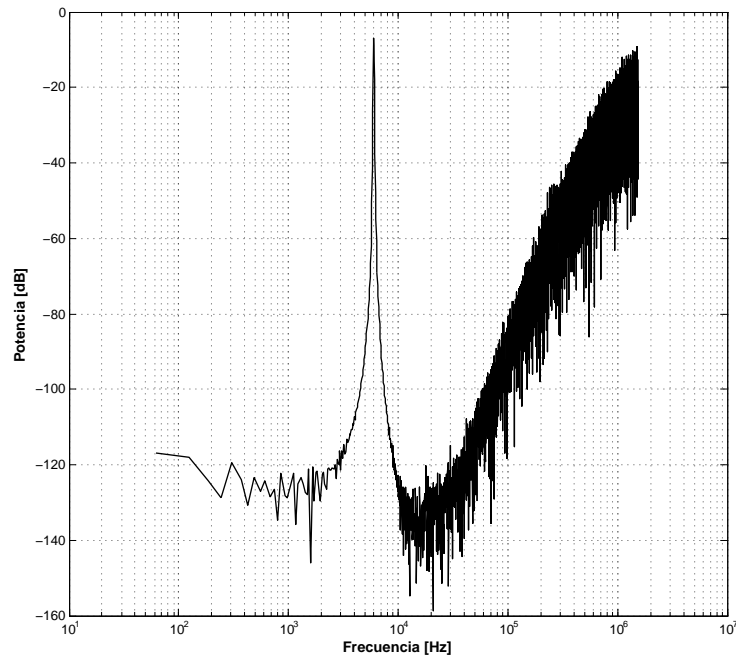


Figura 5.1: Densidad espectral de potencia a la salida del modulador.

5.1. Modulador $\Sigma\Delta$.

La densidad espectral de potencia a la salida del modulador se muestra en la figura 5.1, de ésta es posible reconocer dos características de gran importancia:

- El ruido de cuantización crece exponencialmente con la frecuencia, a una razón de 80 dB por década, esto demuestra la modulación de cuarto orden del sistema.
- El ruido que presente a frecuencias menores a 1 kHz corresponde al ruido térmico de cada uno de los transistores y demás componentes que forman el modulador, y no debe interpretarse como un error de la modulación $\Sigma\Delta$, o carencia de linealidad del circuito.

La figura 5.2 muestra la SNR en función de la potencia de la señal de entrada, esta gráfica muestra una relación lineal entre estos dos parámetros, lo cual es una característica de suma importancia en sistemas de audio para reducir al máximo la distorsión armónica.

La tabla 5.1 resume las principales características del modulador diseñado, resaltando el cumplimiento de las especificaciones de un sistema de audio.

5.2. Filtro digital diezmadador.

Tal como se explicó en capítulos anteriores, los moduladores $\Sigma\Delta$ son convertidores sobremuestreados, por lo que gran parte del espectro de su señal de salida, es ruido

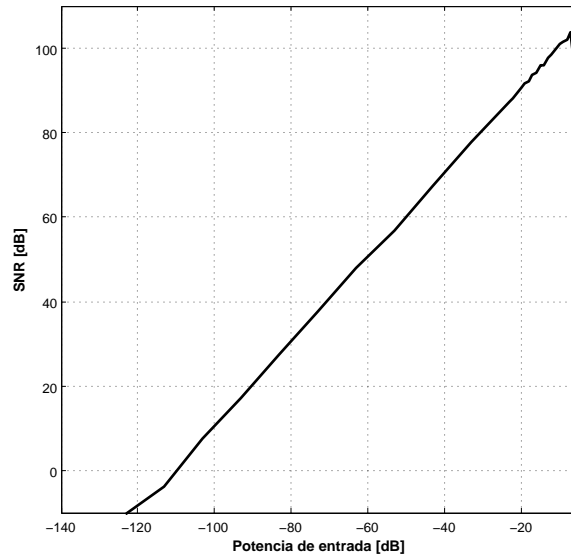


Figura 5.2: Comportamiento de la SNR respecto a la señal de entrada.

| Parámetro | Valor obtenido |
|---------------------|----------------|
| SNR_p | 101 dB |
| Resolución | 16.4 bits |
| Rango dinámico | 98 dB |
| Nivel de sobrecarga | 0,8 V_p |
| Potencia consumida | 3 mW |

Tabla 5.1: Desempeño del modulador $\Sigma\Delta$.

de cuantización. Éste es es innecesario en aplicaciones de audio y debe ser eliminado completamente. Además, se debe reducir la frecuencia de muestreo de esta señal, de manera que se ajuste al ancho de banda de todo el convertidor. Estas dos operaciones son realizadas por un filtro diezmador digital, que por lo general en aplicaciones portátiles, es implementado directamente en el procesador principal² y no como un circuito independiente. Esto reduce notablemente el consumo de potencia de todo el sistema.

Este filtro es de tipo pasa–bajas, cuyas especificaciones serán más exigentes a medida que el orden de la modulación se incrementa. Esto se debe al aumento de la pendiente de la NTF , conforme crece el orden del modulador. Como consecuencia, la cantidad ruido de cuantización que se concentra cerca de la banda de interés se incrementa también. Lo que obliga al filtro a presentar una banda de transición más estrecha. Por otro lado, la atenuación de la banda

²Este procesador puede ser un DSP , $FPGA$, microcontrolador, etc

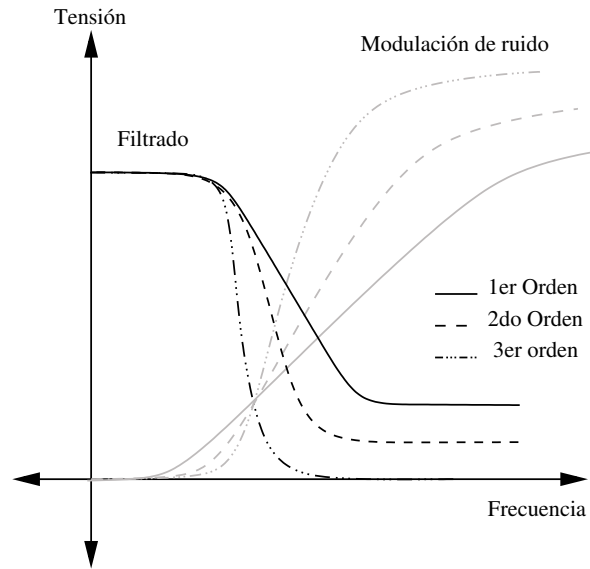


Figura 5.3: Requerimientos de banda de transición y atenuación del filtro diezmador.

de rechazo, debe ser del mismo orden que la diferencia entre la máxima potencia del ruido de cuantización y el ruido en la banda de interés. La figura 5.3 ilustra estas ideas.

Existen dos clases principales de filtros digitales, los cuales se diferencian según su respuesta a una señal impulso unitario. Estos pueden ser de respuesta finita al impulso *FIR*, o de respuesta infinita al impulso *IIR*. Tal como su nombre lo indica, los filtros *FIR* responden con una señal con un número finito de términos no nulos, es decir, su salida se hace cero a partir de cierto número de muestras. Por otro lado, los filtros *IIR*, también llamados filtros recursivos, extienden su respuesta durante todo el tiempo [42]. En términos de respuesta en frecuencia, los filtros *IIR* logran mayores atenuaciones que los *FIR*, alcanzando 300 dB para frecuencias cercanas a la frecuencia de muestreo; además, el rizado en la banda de paso, es minimizado. Sin embargo, este tipo de filtros presentan una fase no lineal, y pueden presentar problemas de estabilidad debido a la cercanía de sus polos a la circunferencia de radio la unidad. Por el contrario, gracias a que los filtros *FIR* no tienen polos finitos, su estabilidad no se ve comprometida conforme el orden aumenta.

Teniendo en cuenta que el ruido de cuantización debe ser atenuado de la mayor forma posible, se decide implementar un filtro *IIR*. Éste presentará una atenuación mayor a 100 dB sin retardos excesivos, y sin sacrificar su respuesta transitoria. Debido al gran orden que presentaría un filtro *FIR* para lograr la atenuación requerida, se produce un elevado retardo de la señal, lo que no es deseado en un sistema de audio.

El modulador diseñado es de cuarto orden, lo que representa una *NTF* con pendiente de 80 dB por década. Por lo tanto, se propone que el filtro tenga una banda de transición de

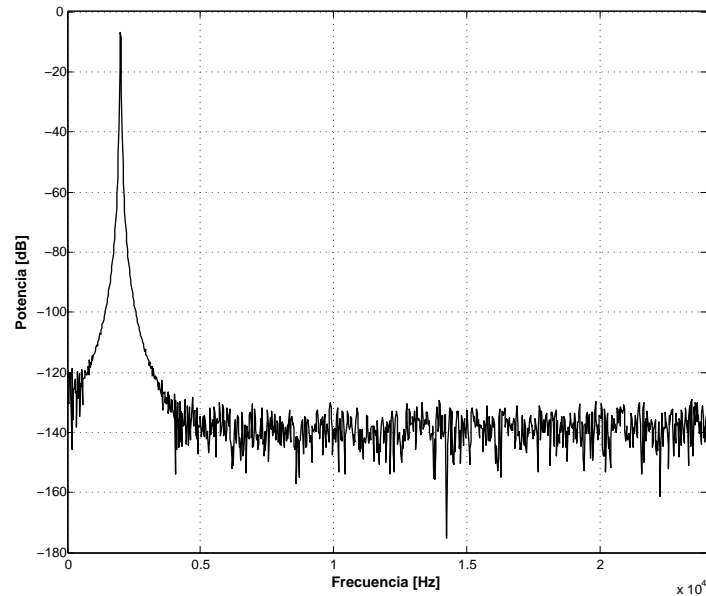


Figura 5.4: Espectro a la salida del filtro digital.

4 kHz, con una atenuación de 100 dB. Cabe resaltar el compromiso entre la pendiente de la banda de transición y el tiempo de asentamiento del filtro. Entre más estrecha sea esta zona, mayor será el orden del filtro, lo que degrada su respuesta transitoria.

Por otro lado, el factor de diezmado del filtro, debe ser igual a la relación de sobremuestreo del modulador (64), con el fin de evitar el solapamiento de los espectros digitales y no generar distorsión. De esta manera se obtiene una señal con una frecuencia de muestreo de 48 kHz, adecuadas para muestrear señales de hasta 24 kHz a la frecuencia de *Nyquist*.

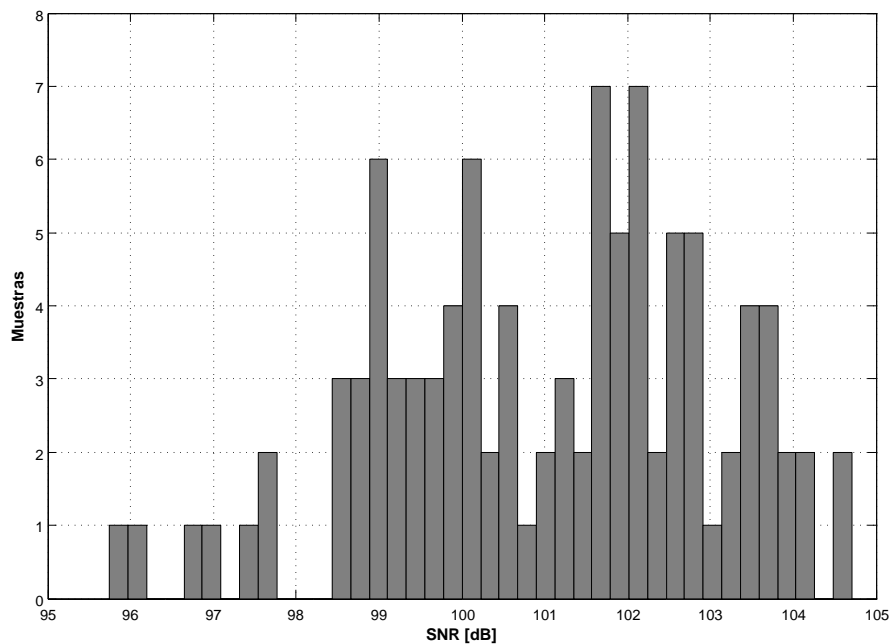
El filtro digital se implementa mediante la herramienta *Filter Design Toolbox*, del paquete *MATLAB* y que se ejecuta en el ambiente *Simulink*. Esta herramienta calcula la función de transferencia de éste teniendo en cuenta su arquitectura y las especificaciones mencionadas. A su vez, permite la generación automática de un código en *VHDL* o *Verilog*³, que facilita su síntesis o implementación en *FPGA*.

Finalmente la figura 5.4, muestra el espectro de la señal de salida del filtro, y la tabla 5.2, resume los principales parámetros de desempeño. Con esto se verifica el cumplimiento por parte de todo el *ADC* de las especificaciones de un sistema de audio digital, planteadas en el capítulo uno.

³Lenguajes de descripción de *hardware*.

| Parámetro | Valor obtenido |
|------------------------|----------------|
| SNR | 100 dB |
| Resolución | 16 bits |
| Rizado paso-banda | 0,2 dB |
| Frecuencia de muestreo | 48 kHz |

Tabla 5.2: Características de la señal digitalizada.

Figura 5.5: Análisis Monte Carlo de la SNR del ADC

5.3. Análisis Monte Carlo.

Las anteriores secciones presentan los resultados del ADC bajo condiciones de operación ideales, considerando los valores nominales de los parámetros de la tecnología $C35B4C3$, sin incluir el *mismatch* de sus componentes. En esta sección se validará el funcionamiento del modulador $\Sigma\Delta$ ante distintas condiciones de operación, simulando las variaciones propias del proceso de fabricación. Esto será llevado a cabo mediante análisis estadístico tipo Monte Carlo, el cual se basa en un muestreo aleatorio sobre los parámetros de cada transistor.

Utilizando la herramienta *Virtuoso Advanced Analysis* del paquete *CADENCE*, se generaron 100 muestras aleatorias de cada parámetro, incluyendo las variables geométricas del transistor; este número de muestras es suficiente para incluir todos los posibles efectos y cambios presentes durante el proceso de fabricación [43]. Posteriormente, para cada una

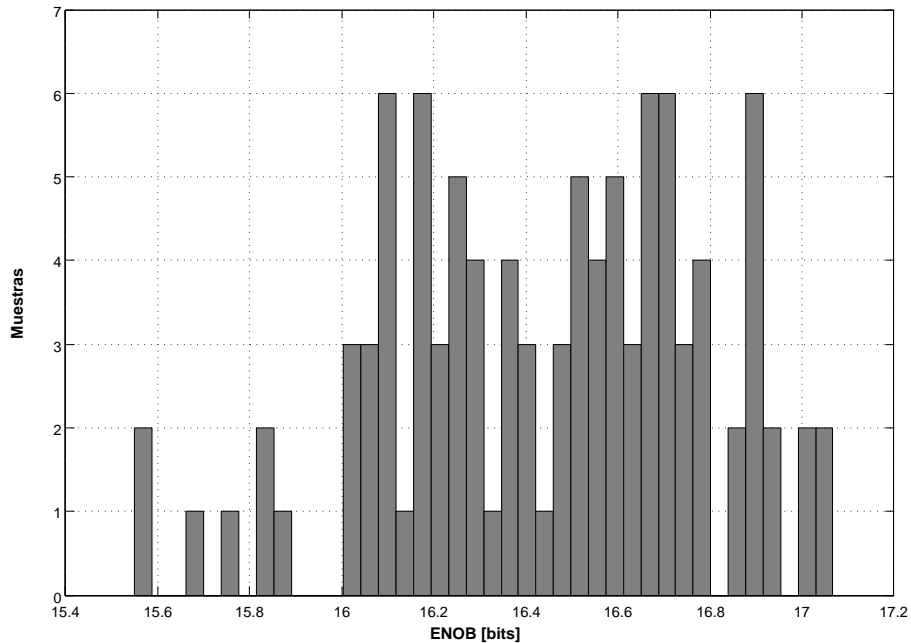


Figura 5.6: Análisis Monte Carlo del número efectivo de *bits* del *ADC*

de ellas se calculó la *SNR* del modulador y así verificar el cumplimiento en resolución y la estabilidad del circuito. Las figuras 5.5 y 5.6 exponen los resultados; de ellas se aprecia que la variación total de la *SNR* no supera los 8 dB, y sólo un pequeño porcentaje (inferir al 10 %) de las muestras está por debajo de los 16 *bits*. De esta manera se consolida a los moduladores $\Sigma\Delta$, y en especial a la arquitectura *feedforward* como sistemas muy poco sensibles a las variaciones del proceso de fabricación, permitiendo su implementación en cualquier proceso *CMOS* digital estándar.

5.4. Conclusiones.

En este trabajo se abordó el diseño de un convertidor $\Sigma\Delta$ de bajo consumo de potencia, que además cumple con las especificaciones del estándar de audio *AC'97*, el cual exige principalmente una *SNR* de 98 dB y rango dinámico mayor a 80 dB. Finalmente se obtuvo un circuito con *SNR* 101 dB y rango dinámico mayor 95 dB, cuyo consumo no supera los 3 mW para una tensión de alimentación de 3,3 V.

El modulador fue implementado usando una arquitectura *feedforward*, que permite reducir las principales especificaciones de los amplificadores, tales como ganancia, ancho de banda, *Slew Rate*, y en gran medida su rango de excursión a la salida.

La potencia consumida por un convertidor $\Sigma\Delta$ está regida principalmente por las corrientes de polarización de los amplificadores. Por lo tanto, para reducir este parámetro, es necesario

hacer un análisis cuidadoso de cada una de las especificaciones de estos circuitos, y evitar su sobredimensionamiento.

Como medida adicional para reducir el consumo de potencia, se aplicó la programación geométrica como herramienta de optimización para el diseño de dos bloques básicos: los amplificadores de transconductancia y los comparadores. Ésta, además de posibilitar la automatización del diseño, permite que el diseñador tenga una perspectiva mayor sobre el compromiso entre cada especificación del circuito, y su consumo de potencia.

El diseño fue validado mediante un análisis *Monte Carlo*, que comprueba la robustez del convertidor $\Sigma\Delta$ ante las variaciones del proceso de fabricación. Se obtuvo una relación señal a ruido (*SNR*) de 101 dB con desviación estándar de 2 dB, y un número efectivo de bits (*ENOB*) de 16,4 con desviación estándar de 0,33 *bits*.

5.5. Recomendaciones para trabajos futuros.

Además de las anteriores conclusiones, se proponen ciertas recomendaciones para trabajos futuros relacionados con los convertidores $\Sigma\Delta$:

- Una desventaja de los moduladores $\Sigma\Delta$ en cascada es el incremento del procesamiento digital, con el fin de acoplar todas sus etapas, y lograr la cancelación del ruido de cuantización. Sin embargo, en la literatura se han propuesto algunas alternativas que eliminan este procesamiento, a costa de un incremento en la complejidad del *DAC* de realimentación, y por ende, de su consumo de potencia. Se recomienda hacer un análisis de esta alternativa, y determinar la posibilidad de implementarlo en sistemas de bajo consumo.
- Los circuitos con capacitores conmutados demandan una gran cantidad de cálculos para su simulación, lo que indudablemente extiende el tiempo de diseño. Por lo tanto, se propone la búsqueda de nuevos métodos de simulación de bajo nivel, diferentes a los tradicionales simuladores *SPICE*.
- Dado el bajo consumo de potencia del comparador de voltaje, respecto a los amplificadores, se sugiere la aplicación de la cuantización multibit, con el fin de lograr la misma resolución con una relación de sobremuestreo menor.
- Se recomienda incluir dentro del programa geométrico del amplificador, restricciones respecto al ruido térmico de los transistores y la linealidad del circuito.

Bibliografía

- [1] M. Ortmanns and F. Gerfers, *Continuous-Time Sigma-Delta A/D Conversion*. Springer Berlin Heidelberg, 2006.
- [2] R. Baird and T. Fiez, “Stability analysis of high-order delta-sigma modulation for adc’s,” *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 41, no. 1, pp. 59–62, Jan 1994.
- [3] L. Sumanen, *Pipeline Analog-to-Digital Converters for Wide-Band Wireless Communications*. PhD Dissertarion - Helsinki University of Technology, 2002.
- [4] B. Razavi, *Principles of Data Conversion System Design*. IEEE PRESS, 1995.
- [5] Z. Yang and L. Yao, “A 1-V 190- μ W Delta-Sigma Audio ADC in 0.13- μ m full digital CMOS techonology,” Dec. 2008, pp. 1–4.
- [6] S.-B. Kim, “Correction to A 2.7 mW, 90.3 dB DR Continuous-Time Quadrature Bandpass Sigma-Delta Modulator for GSM/EDGE Low-IF Receiver in 0.25 μ m CMOS” [Mar 09 891-900],” *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 6, pp. 1853–1853, June 2009.
- [7] S. Gambini and J. Rabaey, “A 100KS/s 65dB DR $\Sigma - \Delta$ ADC with 0.65V supply voltage,” Sept. 2007, pp. 202–205.
- [8] ———, “Sigma-Delta Converters,” *Solid-State Circuits Newsletter, IEEE*, vol. 10, no. 1, pp. 8–9, Jan. 2005.
- [9] H. Inose and Y. Yasuda, “A unity bit coding method by negative feedback,” *Proceedings of the IEEE*, vol. 51, no. 11, pp. 1524–1535, Nov. 1963.
- [10] J. Candy, “A Use of Double Integration in Sigma Delta Modulation,” *Communications, IEEE Transactions on*, vol. 33, no. 3, pp. 249–258, Mar 1985.

-
- [11] J. Candy, Y. Ching, and D. Alexander, "Using Triangularly Weighted Interpolation to Get 13-Bit PCM from a Sigma-Delta Modulator," *Communications, IEEE Transactions on*, vol. 24, no. 11, pp. 1268–1275, Nov 1976.
- [12] B. Boser and B. Wooley, "The design of sigma-delta modulation analog-to-digital converters," *Solid-State Circuits, IEEE Journal of*, vol. 23, no. 6, pp. 1298–1308, Dec 1988.
- [13] Y. L. Guillou, "Analyzing sigma-delta ADCs in deep-submicron CMOS technologies," *RFdesing*, 2005.
- [14] J. A. Cherry and W. M. Snelgrove, *Continuous Time Delta-Sigma Modulators for High-Speed A/D Conversion*. Kluwer Academic Publishers, 2002.
- [15] M. Gustavsson, J. J. Wikner, and I. Tan, *CMOS data converters for communications*. Kluwer Academic Publishers, 2002.
- [16] S. Pamarti, "A Theoretical Study of the Quantization Noise in Split Delta-Sigma ADCs," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 55, no. 5, pp. 1267–1278, June 2008.
- [17] R. del Rio, F. Medeiro, V. Perez-Verdu, and A. Rodriguez-Vazquez, *CMOS cascade Sigma-Delta Modulators for Sensors and Telecom*. Springer, 2006.
- [18] K. Lee, J. Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi, and G. Temes, "A Noise-Coupled Time-Interleaved Delta-Sigma ADC With 4.2 MHz Bandwidth, – 98 dB THD, and 79 dB SNDR," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 12, pp. 2601–2612, Dec. 2008.
- [19] T. Wang and L. Liang, "Analysis and Design of a Continuous-Time Sigma-Delta Modulator with 20 MHz Signal Bandwidth, 53.6 dB Dynamic Range and 51.4 dB SNDR," Jan. 2008, pp. 79–84.
- [20] Y. Chae and G. Han, "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator," *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 2, pp. 458–472, Feb. 2009.
- [21] L. Breems, E. van der Zwan, and J. Huijsing, "A 1.8-mW CMOS $\Sigma - \Delta$ modulator with integrated mixer for A/D conversion of IF signals," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 4, pp. 468–475, Apr 2000.

- [22] Y.-S. Shu, B.-S. Song, and K. Bacrania, "A 65nm CMOS CT $\Sigma - \Delta$ Modulator with 81dB DR and 8MHz BW Auto-Tuned by Pulse Injection," Feb. 2008, pp. 500–631.
- [23] S. Kulchycki, R. Trofin, K. Vleugels, and B. Wooley, "A 77-dB Dynamic Range, 7.5-MHz Hybrid Continuous-Time/Discrete-Time Cascaded *SigmaDelta* Modulator," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 4, pp. 796–804, April 2008.
- [24] S. Ouzounov, E. Roza, H. Hegt, G. van der Weide, and A. van Roermund, "An 8MHz, 72 dB SFDR Asynchronous Sigma-Delta Modulator with 1.5mW power dissipation," June 2004, pp. 88–91.
- [25] B. K. Thandri and J. Silva-Martinez, "A 63 dB SNR, 75-mW Bandpass RF $\Sigma\Delta$ ADC at 950 MHz Using 3.8-GHz Clock in 0.25- μ m SiGe BiCMOS Technology," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 2, pp. 269–279, Feb. 2007.
- [26] J. Watkinson, *The Art of Digital Audio*. Focal Press, 2001.
- [27] I. Corporation, *Audio Codec AC'97, revision 2.3*. Intel Corporation, 2002.
- [28] Y. Geerts, M. Steyaert, and W. Sansen, *Design of Multi-Bit Delta-Sigma A/D Converters*. Kluwer Academic Publishers, 2002.
- [29] L. Yao, M. Steyaert, and W. Sansen, *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS*. Springer, 2006.
- [30] A. Marques, V. Peluso, M. Steyaert, and W. Sansen, "Optimal parameters for $\Delta\Sigma$ modulator topologies," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 45, no. 9, pp. 1232–1241, Sep 1998.
- [31] J. Silva, U.-K. Moon, and G. Temes, "Low-distortion delta-sigma topologies for mash architectures," vol. 1, may 2004, pp. I – 1144–7 Vol.1.
- [32] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2001.
- [33] M. Liu, *Desmitifying Switched Capacitor Circuits*. Elsevier, 2006.
- [34] W. C. Ossa, *Diseño de un Conversor Analógico-Digital Configurable Integrado en Tecnología CMOS*. Trabajo de Grado - Universidad Industrial de Santander, 2007.
- [35] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschiroto, "Behavioral modeling of switched-capacitor sigma-delta modulators," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 50, no. 3, pp. 352 – 364, mar 2003.

-
- [36] M. Waltari, *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*. PhD Thesis Helsinki University of Technology, 2002.
- [37] D. Cabrera and J. Oliveros, *Aplicación de la programación geométrica en el diseño de amplificadores operacionales integrados en tecnología CMOS*. Trabajo de Grado - Universidad Industrial de Santander, 2006.
- [38] J. Salinas and H. Gómez, *Diseño de un comparador integrado en tecnología CMOS*. Trabajo de Grado - Universidad Industrial de Santander, 2009.
- [39] S. Boyd, S.-J. Kim, L. Vandenberghe, and A. Hassibi, *A tutorial on geometric programming*. Springer Science, 2007.
- [40] S. Rabbii and B. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8- μm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 32, no. 6, pp. 783–796, jun 1997.
- [41] D. Johns and K. Martin, *Analog Integrated Circuit Design*. Jhon Wiley and Sons, 1997.
- [42] J. Watkinson, *An Introduction to Digital Audio*. Focal Press, 2002.
- [43] Synopsys, *HSPICE simulation and Analysis User Guide*. Synopsys, 2006.