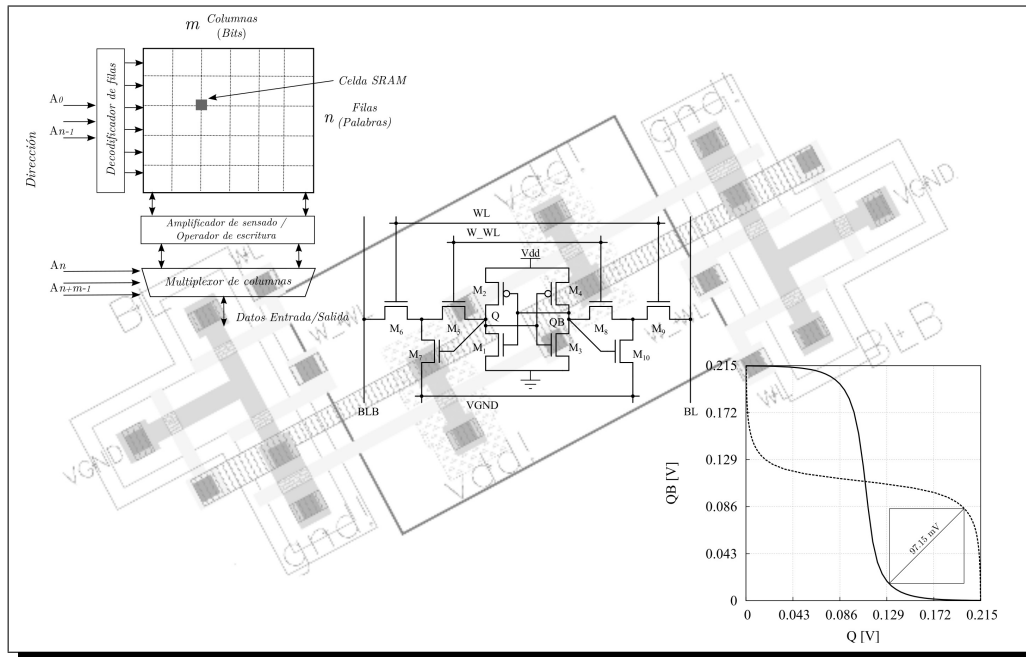


DISEÑO DE UNA CELDA DE MEMORIA SRAM INTEGRADA EN TECNOLOGÍA CMOS.



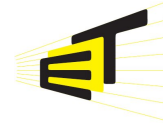
Diego Felipe Espíndola Calderón

Universidad Industrial de Santander
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga

2010



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



DISEÑO DE UNA CELDA DE MEMORIA *SRAM* INTEGRADA EN TECNOLOGÍA *CMOS*.

Diego Felipe Espíndola Calderón

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

M.Sc. Élkim Felipe Roa Fuentes

Universidad Industrial de Santander
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga

2010

*“A Dios,
A mis padres Julio Carlos y María Denis,
A mi hijo Andrés Felipe mi pincipal motivo para sobresalir,
A mi hermosa familia Clau, Andrés, Juank y Linita,
A mi abuelito Bernabé Q.E.P.D. que le quedé debiendo mi primer sueldo...”*

Agradecimientos

Quiero agradecer a mis padres, por ser los primeros maestros en mi proceso de formación y por su apoyo incondicional. A Clau por aguantarme, por la compañía y el amor. A *Pipe* por hacerme feliz. A mis hermanos Andrés, Camilo y Lina por ser mis compañeros en los mágicos senderos del camino de la vida. A mis demás familiares por creer y esperar mucho de mí. A Alex por ser un excelente compañero de trabajo en mi vida universitaria.

A Élkim por los conocimientos a lo largo de los dos y medio cursos de electrónica, sembrando poco a poco la semilla y el gusto por la microelectrónica, y por brindarme la oportunidad de pertenecer al grupo CIDIC. A mis compañeros del grupo, especialmente a Andrés y Francisco por su ayuda desinteresada y a Jairo por la insistencia en ponernos a trabajar en el proyecto. A los que participaron de la edición de éste trabajo.

A la UIS y a sus profesores, principalmente a los que formaron parte de mi proceso de enseñanza.

A todos los que de una u otra forma estuvieron presentes en la culminación de esta etapa.

Contenido

1. Introducción	15
1.1. <i>Static Random Access Memory (SRAM)</i>	17
1.1.1. La Celda <i>SRAM</i>	17
1.1.2. Amplificador de sensado	18
1.1.3. Operador de escritura	18
1.1.4. Decodificador de filas y multiplexor de columnas	20
1.2. Especificaciones de la celda <i>SRAM</i>	20
1.2.1. Estabilidad	20
1.2.2. Consumo de potencia	24
1.2.3. Frecuencia de operación	25
1.3. Estado del arte	26
2. Arquitecturas	29
2.1. Celda <i>SRAM</i> 6T	29
2.2. Celda <i>SRAM</i> 10T - Esquema de lectura simple	32
2.3. Celda <i>SRAM</i> 10T - Esquema de lectura diferencial	33
2.4. Selección de arquitectura	36
3. Diseño de la Celda <i>SRAM</i>	39
3.1. Estrategia de diseño	39
3.1.1. Centrando las <i>VTC</i>	39
3.1.2. Modelando el mínimo consumo de energía	40
3.2. Aplicación de la Programación geométrica	43
3.2.1. Celda <i>SRAM</i> 6T vía PG	44
3.3. Discusión	47
4. Resultados	49
4.1. Análisis estadístico	49

4.2. <i>Layout</i>	50
4.3. Observaciones y conclusiones	51
4.4. Recomendaciones para trabajos futuros	52
A. Caracterización en subumbral	55
A.0.1. Transistor <i>NMOS</i>	55
A.0.2. Transistor <i>PMOS</i>	55
Bibliografía	57

Lista de Figuras

1.1. Arquitectura de un microsensar inalámbrico.	16
1.2. Arquitectura de una <i>SRAM</i>	17
1.3. Celda básica <i>SRAM</i> 6T.	18
1.4. Amplificador de sensado [3].	19
1.5. Operador de escritura [3].	19
1.6. Característica de transferencia de tensión en el inversor.	21
1.7. Características de transferencia de tensión en la <i>SRAM</i>	21
1.8. Análisis de peor caso de estabilidad - <i>SNM</i>	23
1.9. <i>SNM</i> ante variaciones de V_{DD} [2].	24
1.10. Retardos en la celda <i>SRAM</i>	26
2.1. Operación de lectura de la celda <i>SRAM</i> 6T.	30
2.2. Operación de escritura de la celda <i>SRAM</i> 6T.	30
2.3. <i>VTC</i> de la celda <i>SRAM</i> 6T en operación de lectura.	32
2.4. Celda <i>SRAM</i> 10T propuesta por Chandrakasan [10].	33
2.5. <i>VTC</i> de la celda <i>SRAM</i> 10T propuesta por Chandrakasan en operación de lectura.	34
2.6. Celda <i>SRAM</i> 10T propuesta por Roy [13].	35
2.7. <i>VTC</i> de la celda <i>SRAM</i> 10T propuesta por Roy en operación de lectura.	36
3.1. <i>VTC</i> de la celda <i>SRAM</i> 10T diseñada en operación de lectura.	43
3.2. Operación de lectura de la celda <i>SRAM</i> 10T diseñada.	43
3.3. Circuito usado para plantear el programa geométrico.	45
3.4. <i>VTC</i> de la celda <i>SRAM</i> 6T diseñada vía PG en operación de lectura.	47
3.5. Operación de lectura de la celda <i>SRAM</i> 6T diseñada vía PG.	47
4.1. Análisis Montecarlo de una <i>VTC</i> de la celda <i>SRAM</i>	50
4.2. Análisis Montecarlo del <i>SNM</i> de la celda <i>SRAM</i>	51

4.3. <i>Layout</i> de la celda <i>SRAM</i>	51
A.1. Comportamiento de la corriente en el transistor tipo <i>n</i> en subumbral.	56
A.2. Comportamiento de la corriente en el transistor tipo <i>p</i> en subumbral.	56

Lista de Tablas

1.1. Trabajos de celda <i>SRAM</i> relevantes.	27
3.1. Parámetros de desempeño de la celda <i>SRAM</i> 10T diseñada.	42
3.2. Planteamiento del programa geométrico.	46
3.3. Variables de diseño de la celda <i>SRAM</i> 6T diseñada vía PG.	46
3.4. Parámetros de desempeño de la celda <i>SRAM</i> 6T diseñada vía PG.	46
A.1. Parámetros del transistor <i>NMOS</i>	56
A.2. Parámetros del transistor <i>PMOS</i>	56

RESUMEN

TÍTULO:

DISEÑO DE UNA CELDA DE MEMORIA *SRAM* INTEGRADA EN TECNOLOGÍA *CMOS**

AUTOR: DIEGO FELIPE ESPÍNDOLA CALDERÓN**

PALABRAS CLAVE: Celda *SRAM*, memoria en subumbral, bajo voltaje, bajo consumo de potencia, programación geométrica, *SNM* (*Static Noise Margin*).

DESCRIPCIÓN:

El escalamiento de la tecnología *CMOS* en circuitos integrados ha permitido incrementar el número de transistores por unidad de área, específicamente en el campo de memorias, esto significa un incremento en la capacidad de almacenamiento. Sin embargo, debido al escalamiento el proceso de fabricación es más exigente, incrementando la pérdida de datos. Por otra parte, el continuo uso de aplicaciones portátiles ha hecho de la autonomía de los dispositivos, un aspecto importante en el diseño circuitos integrados. Una solución para reducir el consumo es reducir el valor de la tensión de alimentación y operar los circuitos en región de subumbral. No obstante, las condiciones de operación son más exigentes comparadas con las regiones de saturación y triodo.

Considerando lo anterior, este trabajo aborda la *SRAM* y el diseño de una celda de almacenamiento en tecnología *UMC* 90nm. Primero, son presentadas algunas consideraciones y análisis de la arquitectura de la *SRAM* y sus componentes. Luego, es revisado el estado del arte de celdas *SRAM* y basado en este fueron escogidas dos topologías (simple y diferencial), para analizar y evaluar junto con la tradicional celda 6T. La celda 10T diferencial fue escogida para este trabajo de acuerdo con consideraciones de rendimiento y diseño.

La estrategia seguida fué: Centralizar las *VTC* de los inversores *CMOS* en antiparalelo desde las expresiones algebraicas del circuito y luego encontrar la tensión de alimentación óptima de acuerdo con el mínimo consumo de energía. Los resultados de simulación bajo *Spectre* fueron: $V_{DD} = 215$ [mV], $SNM = 68,7$ [mV], $P = 4,27$ [nW], $f = 500$ [KHz], usando el modelo BSIM4v4.3. Adicionalmente, es aplicada PG para optimizar la celda 6T y una discusión es planteada.

Finalmente, fué trazado el *layout* del circuito de acuerdo con las reglas del fabricante y validados los resultados estadísticamente por medio de simulaciones Monte Carlo considerando el *mismtach* y las variaciones del proceso.

* Proyecto de Grado

** Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.

Director MSc. Élkim Felipe Roa Fuentes.

ABSTRACT

TITLE:

DESIGN OF A SRAM BITCELL INTEGRATED IN CMOS TECHNOLOGY*

AUTHOR: DIEGO FELIPE ESPÍNDOLA CALDERÓN**

KEYWORDS: SRAM bitcell, subthreshold memory, low voltage, low power, geometric programming, SNM (Static Noise Margin).

DESCRIPTION:

The CMOS technology scaling trend on integrated circuits has allowed the increase of the number of transistors per area unit and specifically in the memories field this means an increase in the storage capacity. However, due the scaling the manufacturing process is more demanding, increasing the noise sensibility and data loss. Moreover, the continuous use of portable applications has made the autonomy of the devices an important aspect in the integrated circuits design. One solution to reduce the power consumption is to reduce the value of the supply voltage and operate the circuits in subthreshold region. Nevertheless, the operation conditions are demanding, compared to linear or saturation regions.

Considering the above, this work deals of SRAM and the design of its bitcell in UMC 90nm technology. First, some considerations and analysis of SRAM architecture and its components are presented. Then, the state of art of bitcells is reviewed and based on it, two topologies (single and differential) were chosen, in order to analyze and to evaluate with the traditional 6T bitcell. The differential 10T SRAM bitcell was chosen for this work taking into account some performance and design considerations.

The design strategy followed was: to centralize the VTC of the CMOS inverters in antiparallel from the algebraical expressions of the circuit, and then to find the optimum supply voltage according to the minimum energy consumption. The simulation results under Spectre were: $V_{DD} = 215$ [mV], $SNM = 68,7$ [mV], $P = 4,27$ [nW], $f = 500$ [KHz], using the BSIM4v4.3 model. Additionally GP was applied to the optimization of a 6T bitcell and a discussion about them is raised.

Finally, the circuit layout was drawn according to the manufacturer rules and the results were validated statistically through Monte Carlo simulations considering the mismatch and process variations.

* Degree project

** Physical-Mechanical Engineering Faculty. Electrical, Electronics and Telecommunications School. Advisor MSc. Élkim Felipe Roa Fuentes.

Capítulo 1

Introducción

Actualmente el diseño y la fabricación de circuitos integrados presentan un acelerado progreso, debido al continuo desarrollo de la tecnología *CMOS*. Siendo el escalamiento el aspecto más relevante, aumentando la densidad de transistores por unidad de área. En el campo de las memorias se puede observar este avance iniciando con la presentación de la primera *RAM*¹ de 1 Kb desarrollada por Intel en los años setenta, hasta obtener hoy en día memorias con capacidades superiores a 1 Gb [1].

Si bien, el aumento en la capacidad de almacenamiento se puede considerar una tendencia en el área de las memorias, para su diseño es importante además, tener en cuenta la aplicación de esta con el fin de analizar el tipo de memoria y sus implicaciones.

Haciendo énfasis en aplicaciones portátiles tales como dispositivos biomédicos implantables y redes de microsensores inalámbricos, donde a nivel de sistema son integrados distintos bloques analógicos y digitales debido a los requerimientos de sensado, procesamiento y almacenamiento *on-chip* (Figura 1.1) [2], la implementación de memorias caché del tipo *SRAM* (*Static RAM*), es la más acertada para la unidad de procesamiento, debido a su alta velocidad de operación y almacenamiento permanente a diferencia de la *DRAM* (*Dynamic RAM*) [3]. Cabe señalar que para el diseño de este tipo de aplicaciones inalámbricas, la disminución del consumo de potencia es una importante necesidad con el fin de brindarle autonomía al dispositivo; sin embargo, según las proyecciones del ITRS-2009 [4] un factor crítico del desempeño y costo de sistemas tipo *SoC*², radica en la implementación de circuitos de alta densidad como la *SRAM*, debido a sus requerimientos de área y consumo de potencia.

Diversas alternativas han sido propuestas al problema de potencia, entre ellas reducir el valor de la fuente de alimentación y el uso de circuitos operando en la región subumbral [5]. No obstante, aplicar estas alternativas en la *SRAM* implica condiciones exigentes de operación,

¹Siglas en inglés de *Random Access Memory*.

²Siglas en inglés de *System on Chip*.

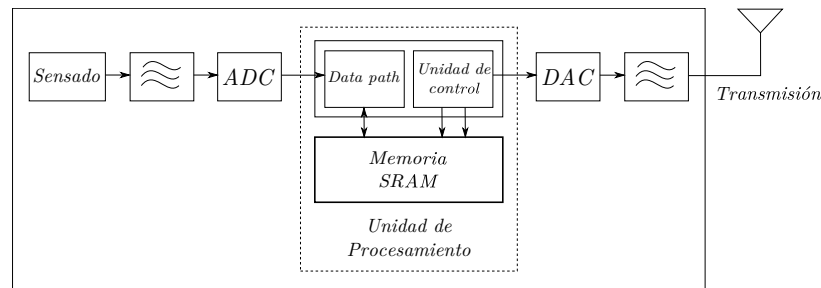


Figura 1.1: Arquitectura de un microsensado inalámbrico.

afectando el correcto funcionamiento y convirtiendo la tensión de alimentación en un problema de diseño. Adicional a esto, con el escalamiento tecnológico, el impacto del proceso litográfico en el desempeño de los circuitos integrados ha incrementado notablemente debido a distintas variaciones en este proceso³; esta limitación física es de gran importancia en el campo de las memorias, ya que aumenta la sensibilidad al ruido y la posible pérdida de datos [6]. Dicho fenómeno en la *SRAM* se observa a nivel de circuito en la reducción del margen de ruido, obligando al diseñador a considerar la variabilidad del proceso como un factor determinante en el desempeño de la *SRAM*.

De acuerdo a lo expuesto anteriormente, diseñar una *SRAM* que se ajuste de forma óptima a los requerimientos de capacidad, consumo de potencia, área y estabilidad se ha convertido en un tópico de interés en el diseño de memorias [7]. Como estrategia se ha propuesto atacar el problema desde su nivel más básico, es decir, centrar los esfuerzos al diseño y optimización de la celda [8]. En este contexto, este trabajo presenta el diseño de una celda *SRAM* operando en región subumbral, cumpliendo especificaciones de diseño de estabilidad, consumo de potencia y frecuencia de operación, buscando además reducir el área. Los resultados obtenidos son validados por simulación en tecnología de fabricación *UMC 90nm*. De esta forma se da continuidad a la iniciativa de investigación en microelectrónica propuesta por el Grupo de Diseño de Circuitos Integrados (CIDIC) de la Universidad Industrial de Santander (UIS), siendo este trabajo pionero en el diseño de memorias, aportando para el desarrollo de la electrónica en Colombia.

Con el fin de orientar al lector en el entorno relacionado con las *SRAM*, el presente capítulo describe su arquitectura, principios de operación de la celda, análisis de *SNM* (*Static Noise Margin*) como figura de mérito de estabilidad, algunas consideraciones para la celda *SRAM* y una revisión del estado del arte.

³Las variaciones pueden considerarse de forma global y local. Las variaciones globales se deben a las alteraciones de las dimensiones de los transistores (*mismatch*). Las variaciones locales se deben a las fluctuaciones en el nivel de dopaje de impurezas del semiconductor, modificando los parámetros de proceso de fabricación.

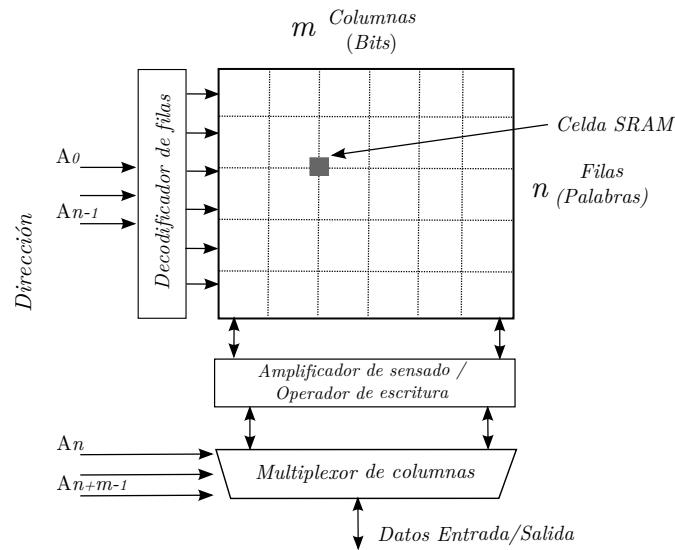


Figura 1.2: Arquitectura de una SRAM.

1.1. *Static Random Access Memory (SRAM)*

La SRAM corresponde al conjunto de memorias volátiles de tipo estático, en donde la información permanece almacenada mientras la alimentación esté presente y los datos no deben ser actualizados en cada ciclo de operación. Con la intención de ilustrar el funcionamiento de la SRAM, a lo largo de esta sección se presenta una descripción de la arquitectura de la memoria (figura 1.2), detallando los principales elementos que la componen.

1.1.1. La Celda SRAM

Es el componente fundamental en el almacenamiento de la información, allí los datos permanecen guardados y pueden ser leídos o modificados según la instrucción indicada. Una celda SRAM está constituida por un *latch*, generalmente formado por dos inversores lógicos CMOS en antiparalelo, y un acoplamiento de transistores de acceso que hacen el papel de interruptores, habilitando las etapas de lectura y escritura y proporcionando aislamiento para los datos mientras no sea necesario el acceso; la figura 1.3 presenta el circuito de una celda SRAM básica 6T⁴.

Las señales de almacenamiento en la celda SRAM son de forma diferencial, es decir, el valor de tensión entre los nodos de almacenamiento (Q y QB) corresponde al dato almacenado y el valor de tensión entre las líneas de bits (BL y BLB) corresponde al dato leído o el dato a escribir. La señal de control (WL) se encarga de habilitar el acceso, activando o desactivando

⁴6T hace referencia al número de transistores del circuito implementado.

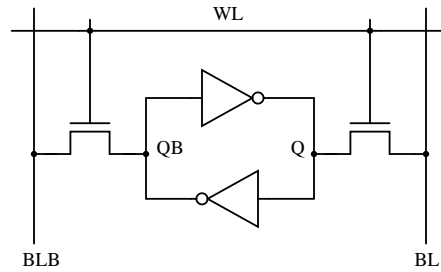


Figura 1.3: Celda básica *SRAM* 6T.

el flujo de datos desde y hacia el interior de la celda. En este tipo de memorias las líneas de bits son precargadas en cada ciclo de operación con el valor de V_{DD} , esto con el fin de aumentar la frecuencia de operación (sección 1.2.3).

El funcionamiento de la celda se divide en lectura y escritura; estas operaciones serán descritas en detalle en el capítulo 2 para distintas arquitecturas de acuerdo a su diseño.

1.1.2. Amplificador de sensado

Las señales al interior de la celda *SRAM* son analógicas y de baja amplitud, con el fin de minimizar el consumo de potencia total del arreglo. Sin embargo, la comunicación con otros componentes es digital de plena variación en amplitud. El amplificador de sensado permite conectar las líneas de bits con la interfaz digital, acoplando y ajustando una señal de entrada analógica y diferencial, de baja amplitud, a una señal de salida digital, haciendo las veces de comparador.

El proceso de sensado no debe ser destructivo, esto es, que no debe afectar los datos almacenados en la celda, ya que la información en este tipo de memorias no se actualiza continuamente. Adicionalmente, el amplificador debe satisfacer ciertas características eléctricas, como la mínima amplitud diferencial de entrada, ganancia de tensión, *offset* y *CMRR*, para una correcta operación de lectura.

En la figura 1.4 se muestra el circuito de un amplificador de sensado usado actualmente en la literatura [3]. Se observa que el amplificador de sensado puede ser habilitado por medio de la línea SAE; ésto ocurre durante la operación de lectura.

1.1.3. Operador de escritura

En la operación de escritura los valores a almacenar se encuentran presentes en las líneas de bits, no obstante, como en la *SRAM* estas líneas son precargadas antes de cada operación, debe efectuarse un ajuste de los valores de acuerdo al dato a escribir. Este ajuste se realiza a través

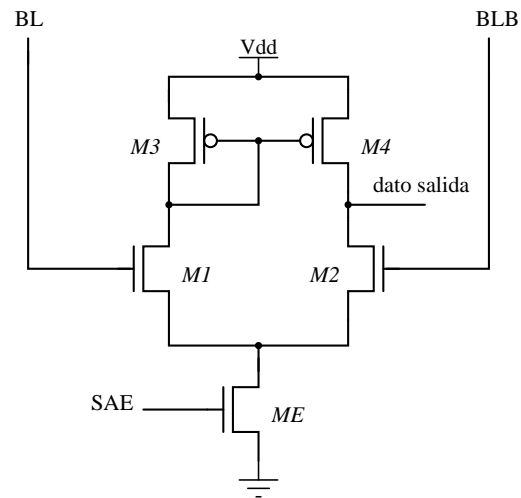


Figura 1.4: Amplificador de sentido [3].

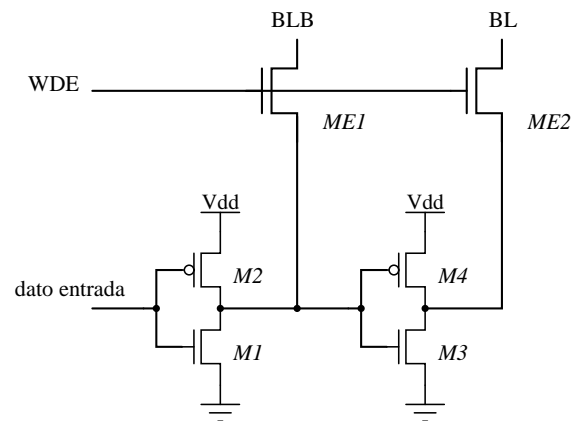


Figura 1.5: Operador de escritura [3].

del operador de escritura, descargando rápidamente una de las líneas de bits coincidiendo con el valor lógico del dato entrante.

La figura 1.5 presenta el circuito de un operador de escritura; se observa que los inversores lógicos actúan como circuito de descarga para cada línea de bits; por ejemplo, para una entrada '0', M2 y M3 se activarán fijando BLB con el valor de V_{DD} y descargando BL mientras WDE este activo (operación de escritura), ajustando así los valores a escribir.

1.1.4. Decodificador de filas y multiplexor de columnas

La *SRAM* está organizada mediante un arreglo de $n \times m$ celdas, donde n corresponde al número de filas y m el número de columnas. Las columnas a su vez pueden ser orientadas por bits u orientadas por palabras, y según el tipo de distribución se tiene acceso exclusivo por bits o por palabras de k bits (usualmente valores como 8, 16, 32 o 64). Sin embargo, de acuerdo a la organización y al protocolo de comunicación de la memoria, el almacenamiento de los datos se realiza decodificando la dirección entrante, con el fin de seleccionar la fila (WL_n) y la columna (BL_m y BLB_m) deseada, indicando cuál celda será accesada. El decodificador de filas se encarga de habilitar WL según el valor de la dirección. En el caso de las columnas, el multiplexor selecciona de acuerdo a la dirección, las líneas de bits o palabras a interconectar con el amplificador de sensado y el operador de escritura, según sea el caso. En una *SRAM* las direcciones de filas son codificadas en $\log_2 n$ bits y las direcciones de la columnas en $\log_2 m$ bits, si la memoria está orientada por bits. En caso contrario, la codificación de las direcciones de columnas dependerá del tamaño de las palabras.

El decodificador de filas y el multiplexor de columnas, son diseñados mediante lógica digital por medio de compuertas; su implementación puede ser de una o varias etapas.

1.2. Especificaciones de la celda *SRAM*

1.2.1. Estabilidad

En la figura 1.6 se observa la característica de transferencia de tensión (*VTC*) de un inversor *CMOS*, detallando diferencias entre el comportamiento ideal y real. En el comportamiento real, es importante distinguir puntos de inflexión en donde la razón de cambio es igual a la unidad, los cuales delimitan la región de operación apropiada del inversor; esta región, en el nodo de entrada corresponde a los valores de tensión inferiores a V_{IL} (bajos) y a los valores superiores a V_{IH} (altos). En el caso del nodo de salida, los valores de tensión hacen referencia al valor correspondiente en la curva para la respectiva entrada, es decir, los valores inferiores a V_{OL} son bajos y los valores superiores a V_{OH} son altos. El comportamiento del inversor en la región de transición no se considera adecuado para operar.

Para el diseño de la celda *SRAM*, es importante tener en cuenta las *VTC* de los dos inversores acoplados en antiparalelo, con el fin de establecer un análisis de estabilidad y fijar una figura de mérito. Este comportamiento es mostrado en la figura 1.7, donde según la región de operación apropiada de cada inversor, se infiere que esta región para la celda *SRAM* corresponde a la intersección de las regiones de cada inversor (área entre curvas).

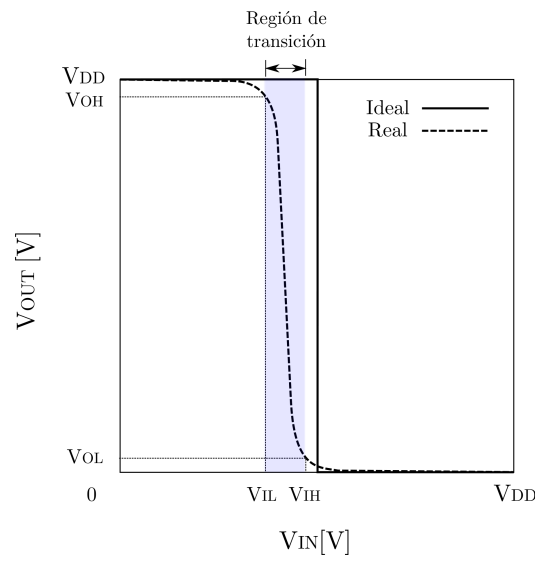


Figura 1.6: Característica de transferencia de tensión en el inversor.

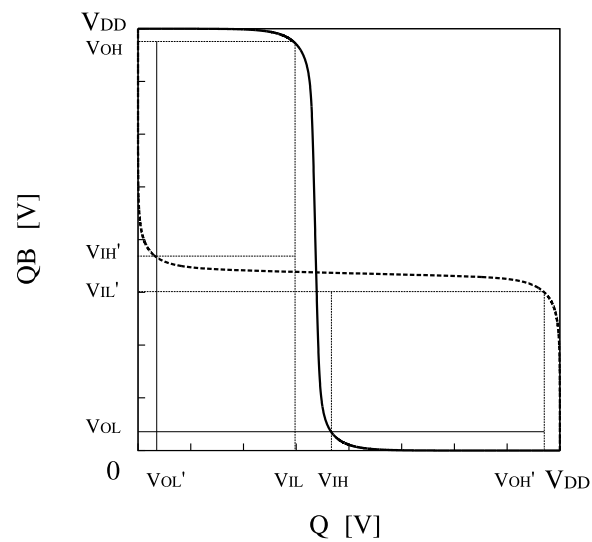


Figura 1.7: Características de transferencia de tensión en la *SRAM*.

La estabilidad de la celda *SRAM* puede definirse como la capacidad que ésta tiene para realizar su función principal de almacenamiento, manteniendo los datos correctamente ante variación de las condiciones de tensión [3].

Static Noise Margin (SNM)

Como se observa en la figura 1.7, la superposición de las *VTC* de los dos inversores permite establecer la región de operación apropiada de la celda *SRAM*, sin embargo, es necesario hacer una cuantización de la estabilidad considerando su peor caso [1]. En la literatura este valor corresponde al *SNM* de la celda.

El *SNM* puede ser definido como el valor máximo de tensión de ruido que puede ser aceptado en el nodo de entrada del inversor para mantener la correcta operación, siendo especialmente importante en la operación de lectura para no perder los datos almacenados y su cálculo es evaluado mediante el método de máximos cuadrados [8].

Para ilustrar este método de acuerdo con la figura 1.8, se efectúa una rotación de los ejes coordenados Q-QB, es decir, el sistema original es orientado a 45° en sentido horario por los ejes U-V. La sustracción algebraica *D* de las funciones *F1* y *F2* en el sistema U-V representa el comportamiento del máximo cuadrado inscrito entre curvas. Según esto, la localización de los puntos máximos y mínimos sobre *D* indicará la distancia máxima entre la curvas, y por lo tanto la máxima diagonal del cuadrado inscrito entre estas. Geométricamente, el cálculo del *SNM* corresponde al valor de D_{max} y D_{min} dividido entre $\sqrt{2}$. En algunos casos, debido a variaciones del proceso $D_{max} \neq D_{min}$; en estos casos se tomará el menor valor de *SNM* correspondiente.

En la figura 1.8 se muestra el análisis del *SNM* para la celda *SRAM* 6T en modo de espera ($WL=0$) para facilitar el análisis, sin embargo, en el capítulo 2 éste será analizado para la operación de especial interés (lectura).

A continuación es interpretado algebraicamente el algoritmo de cálculo para el método de máximos cuadrados: El comportamiento de las *VTC* de los inversores es representado en forma de función como:

$$QB = F1(Q) \quad (1.1)$$

$$Q = F2(QB) \quad (1.2)$$

Para encontrar $V = D(U)$, las ecuaciones 1.1 y 1.2 son representadas en términos de U, transformando el sistema coordenado así:

$$Q = \frac{1}{\sqrt{2}}U + \frac{1}{\sqrt{2}}V \quad (1.3)$$

$$QB = -\frac{1}{\sqrt{2}}U + \frac{1}{\sqrt{2}}V \quad (1.4)$$

Reemplazando las ecuaciones 1.3 y 1.4 en las ecuaciones 1.1 y 1.2 se tiene:

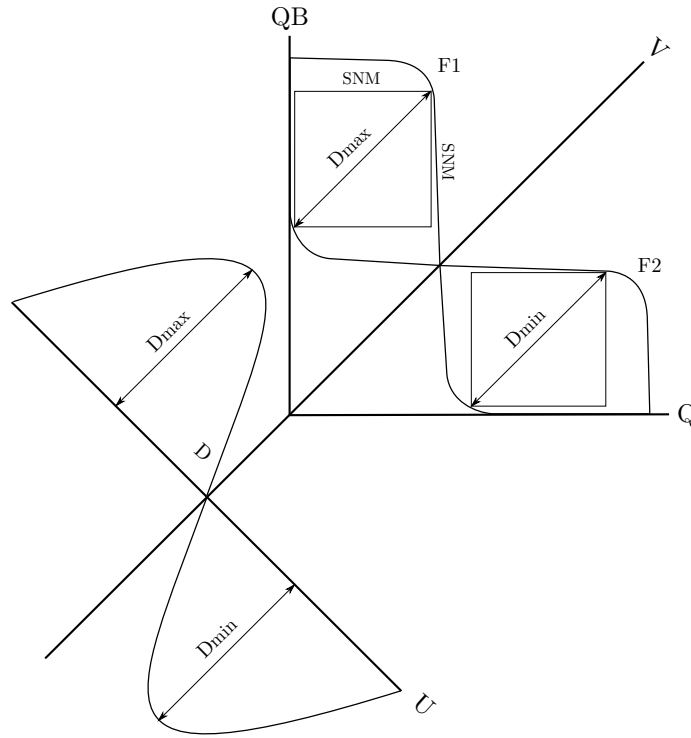


Figura 1.8: Análisis de peor caso de estabilidad - *SNM*.

$$D_1 = U + \sqrt{2}F1 \left(\frac{1}{\sqrt{2}}U + \frac{1}{\sqrt{2}}D_1 \right) \quad (1.5)$$

$$D_2 = -U + \sqrt{2}F2 \left(-\frac{1}{\sqrt{2}}U + \frac{1}{\sqrt{2}}D_2 \right) \quad (1.6)$$

La ecuación de la función D corresponde a la diferencia $D_1 - D_2$ y los puntos máximos y mínimos son encontrados por diferenciación de la función D hallada.

De acuerdo con el análisis planteado y según el comportamiento ideal del inversor, el máximo valor de *SNM* que se puede obtener está limitado por el valor de $V_{DD}/2$. Teniendo en cuenta esto, para el desarrollo del presente trabajo se debe considerar la dependencia que presenta el *SNM* con respecto a la tensión de alimentación. En la figura 1.9 se muestra la variación del *SNM* frente a variaciones de V_{DD} , notando claramente que la estabilidad de la celda *SRAM* se ve afectada con la reducción en la tensión de alimentación. Sin embargo, disminuir esta tensión conlleva a una disminución en el consumo de potencia. Por lo tanto, el diseñador debe buscar que el *SNM* se aproxime al valor máximo mientras V_{DD} sea mínimo, logrando así una buena relación porcentual entre el *SNM* y la tensión de alimentación; siendo esta relación un parámetro comparativo ya que todos los trabajos de celdas *SRAM* no tienen el mismo valor de V_{DD} .

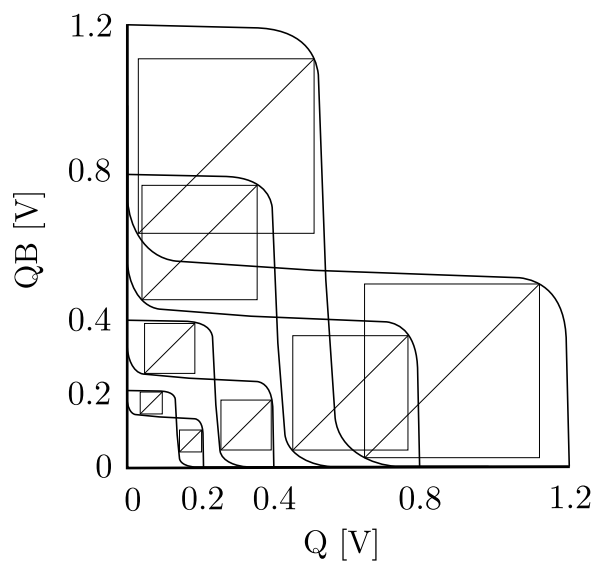


Figura 1.9: *SNM* ante variaciones de V_{DD} [2].

1.2.2. Consumo de potencia

En la *SRAM* el consumo total de potencia se debe en su mayoría al consumo específico del arreglo de celdas, a pesar de ser muy pequeño celda por celda. Por lo tanto, para diseñar una *SRAM* de muy baja potencia es importante lograr que el consumo de la celda sea mínimo, de tal forma que el arreglo completo no represente un consumo significativo.

A pesar del carácter analógico de la celda *SRAM* su consumo de potencia se asocia con el comportamiento digital de la memoria en general, relacionando entonces el consumo de potencia total en dos componentes de forma estática y dinámica (Ecuación 1.7) [3].

$$P_T = P_{est} + P_{din} \quad (1.7)$$

El consumo de potencia estático hace referencia a la cantidad de potencia consumida por la celda para mantener almacenado un dato. La potencia estática se puede representar por:

$$P_{est} = I_{est}V_{DD} \quad (1.8)$$

donde I_{est} es la corriente que consumen los dos inversores estáticamente y corresponde a la sumatoria de las corrientes de fuga en cada transistor.

El consumo de potencia dinámico, se asocia a las operaciones de lectura y escritura debido al proceso de conmutación en la tensión de los nodos [9].

$$P_{din} = fC_iV_{DD}^2 \quad (1.9)$$

donde f es la frecuencia de operación y C_i es la capacitancia de interconexión del circuito.

En las ecuaciones 1.8 y 1.9 se observa que al llevar la región de operación de la celda *SRAM* a región subumbral, el consumo de potencia se ve reducido de forma proporcional y cuadrática respectivamente. No obstante, es importante tener en cuenta que a medida que la tensión de alimentación se reduce, la amplitud de las señales presentes en la celda lo hace en igual proporción, siendo cada vez más significativas las corrientes de fuga con respecto a las corrientes características del proceso de almacenamiento, aumentando así la sensibilidad al ruido.

1.2.3. Frecuencia de operación

Luego de revisar los distintos componentes de la *SRAM*, es importante resaltar que idealmente los datos son leídos y escritos instantáneamente, sin embargo, realmente en el circuito existen retardos en amplificadores, decodificadores, etc. que afectan la velocidad de la memoria para leer y escribir datos. Esto hace que exista una frecuencia máxima de operación (Ecuación 1.10).

$$f = \frac{1}{\alpha t_d} \quad (1.10)$$

donde α es un parámetro de ajuste de frecuencia y t_d es el tiempo de retardo crítico.

Los retardos ocurren debido a la existencia de capacitancias parásitas en los caminos y las capacitancias asociadas a los transistores *MOS*, éstas no permiten cambios bruscos de tensión en sus terminales y se requiere de un instante de tiempo (tiempo de retardo) para efectuar el proceso de carga y descarga.

Debido a que el presente trabajo aborda el diseño de una sola celda *SRAM*, la frecuencia de operación se considerará la velocidad con que la celda puede leer y escribir datos consecutivamente en forma correcta, y dependerá de las capacitancias asociadas a los nodos de almacenamiento (Q y QB) y las líneas de bits (BL y BLB); para estas últimas se asumirá un valor fijo de capacitancia en cada una, representando el efecto de un arreglo completo.

La figura 1.10 muestra los retardos que aparecen en la celda *SRAM* en las operaciones de lectura y escritura, considerando que el amplificador de sensado y el operador de escritura se comportan de forma ideal. Se observa que el retardo crítico es t_{dR} (descarga de BLB), debido a que la capacitancia en el nodo de una línea de bits representa el efecto de una columna de memoria de n filas, siendo mayor que en los demás nodos del circuito; por lo tanto, el tiempo t_{dR} es considerado como el más relevante para el cálculo de la frecuencia de operación ($t_d = t_{dR}$). Para este caso, la ecuación 1.11 muestra la carga inicial del capacitor asociada al nodo BLB, que depende del valor mismo de capacitancia y del voltaje del capacitor (voltaje de alimentación).

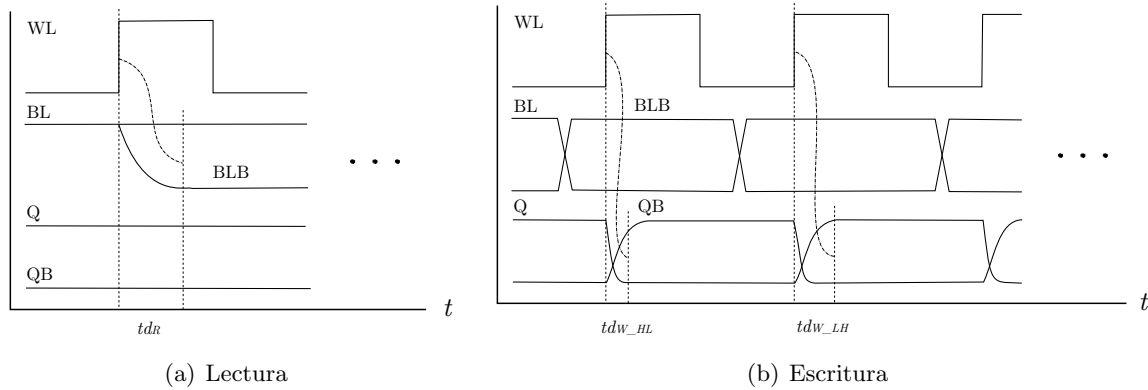


Figura 1.10: Retardos en la celda *SRAM*.

$$Q|_{t=0} = C_{BLB}V_{DD} \quad (1.11)$$

Considerando además la relación que existe entre la corriente y la variación de la carga en el tiempo (carga final cero), la ecuación 1.12 [2] describe la expresión matemática del tiempo correspondiente para descargar la capacitancia asociada al nodo BLB o tiempo de retardo.

$$t_d = \frac{KC_{BLB}V_{DD}}{I_{descarga}} \quad (1.12)$$

donde K es un parámetro de ajuste de retardo e $I_{descarga}$ es la corriente que descarga el capacitor.

1.3. Estado del arte

Recientemente en la literatura se han reportado diversos tipos de implementación de celdas *SRAM*, proponiendo mejoras en distintos aspectos de diseño, utilizando diferentes metodologías. En la tabla 1.1 se presenta una recopilación de trabajos relevantes, de acuerdo con las propuestas y los resultados que presentan, detallando algunas características importantes en el diseño de celdas *SRAM*. Se observa en cada trabajo, que el valor de *SNM* es considerado como el parámetro de rendimiento más importante. El consumo de potencia por celda es del orden de los nanovatios, sin embargo, este no es reportado en todos los trabajos. Para el caso de la frecuencia de operación, es importante tener en cuenta la diferencia que existe entre la frecuencia de una celda y la frecuencia de una *SRAM* completa, lo que imposibilita una comparación objetiva para todos los trabajos.

Se observa además, que en su mayoría la región de operación se encuentra en subumbral y la tecnología implementada está por debajo de los 90 nm. En todos los casos, se ha empleado el

Autor	Implementación	Tecnología	V_{DD} [V]	SNM [mV]/%	Potencia [W]	Frecuencia [Hz]	Tamaño [Kb]	Año
[10]	10T	65 nm	300 m	96/32	–	95 K ^a	256	2006
[11]	8T	65 nm	410 m	–	–	295 M ^a	32	2007
[12]	10T	0.13 μm	200 m	76/38	–	120 K ^a	480	2007
[13]	10T	90 nm	300 m	100/33.33	1.8 μ ^c	575 K ^a	32	2008
[6]	10T	90 nm* ^e	200 m	65/32.5	–	–	N/A	2008
[14]	9T	32 nm*	600 m	219/36.5	–	8.11 G ^b	N/A	2008
[15]	9T	65 nm*	1	300/30	–	2 G ^a	1	2008
[16]	10T	32 nm <i>FinFET</i> * ^e	300 m	96/32	4 n ^d	8.06G ^b	N/A	2009

Tabla 1.1: Trabajos de celda *SRAM* relevantes.

^a Frecuencia de la *SRAM*.

^b Frecuencia de la celda *SRAM*.

^c Potencia de la *SRAM*.

^d Potencia de la celda *SRAM*.

^e Realizado bajo la misma tecnología de este trabajo (*UMC 90nm*).

* Resultados presentados por simulación.

aislamiento de las operaciones de lectura y escritura para aumentar la estabilidad, cambiando los esquemas de acceso. En [10, 13] se proponen nuevas arquitecturas de celdas *SRAM*, donde a pesar que cada uno utilice esquemas diferentes, se conserva en el circuito el núcleo (inversores) de la celda *SRAM* 6T. Específicamente se proponen dos esquemas de lectura: Para las primeras tres arquitecturas se usa una única línea adicional de lectura, disponiendo las líneas de bits BL y BLB para el proceso de escritura; estos esquemas son de tipo simple. En la última arquitectura todo el proceso se realiza de forma diferencial, utilizando ambas líneas de bits para las dos operaciones.

Adicionalmente, autores como [6], [14, 16] presentan modificaciones a las anteriores arquitecturas mencionadas, ajustando los esquemas de acceso e implementando los circuitos en diferentes tecnologías.

Capítulo 2

Arquitecturas

En el capítulo anterior fue revisado el estado del arte de diseño de las celdas *SRAM*, donde se destacan dos tipos de implementación dependiendo del tipo de esquema de lectura, simple o diferencial. En este capítulo se describen y analizan en detalle tres arquitecturas. Se inicia con la celda 6T presentada en la figura 1.3 debido a su gran acogida en la literatura. Posteriormente y de acuerdo con la tabla 1.1 son seleccionadas las celdas que presentan los mejores resultados para cada esquema de lectura. Finalmente se hace una selección de la arquitectura más adecuada para el diseño de éste trabajo cumpliendo las especificaciones mencionadas en el capítulo 1.

2.1. Celda *SRAM* 6T

En la sección 1.1.1 se presentó una breve descripción de la celda *SRAM* 6T indicando que el funcionamiento se divide en dos operaciones: lectura y escritura; estas operaciones son explicadas en detalle a continuación:

- **Operación de lectura (*Read*)**

La operación de lectura comienza habilitando WL, interconectando las líneas de bits (precargadas con V_{DD}) con los nodos internos de la celda (Q y QB). En la figura 2.1 se muestra el comportamiento de la celda durante la operación de lectura; para este caso, se observa que la línea BL mantiene el valor precargado y la línea BLB se descarga por medio de los transistores M_3 y M_6 en serie. Es importante observar que debido al divisor de tensión presente entre M_3 y M_6 durante la descarga, el dimensionamiento de estos transistores debe ser tal que la tensión presente en la entrada del inversor $M_1 - M_2$ no afecte la salida del mismo, perdiendo los datos almacenados anteriormente. El valor en

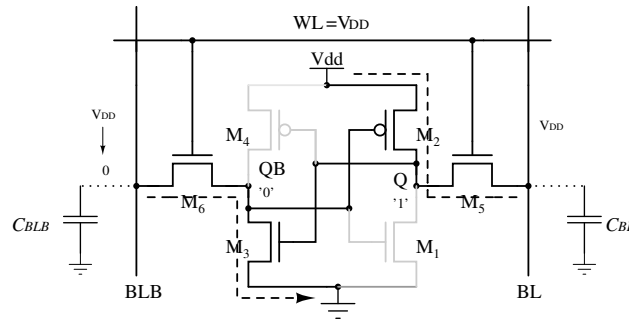


Figura 2.1: Operación de lectura de la celda *SRAM* 6T.

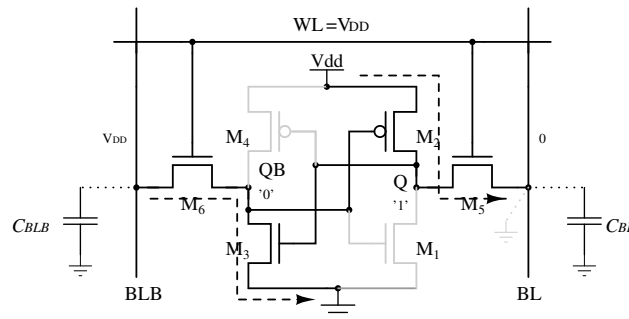


Figura 2.2: Operación de escritura de la celda *SRAM* 6T.

cada línea de bits es ajustado posteriormente mediante el amplificador de sentido para su procesamiento.

■ Operación de escritura (*Write*)

Para dar inicio a la operación de escritura los valores de las líneas de bits son ajustados mediante el operador de escritura de acuerdo al valor del dato entrante. Seguidamente es habilitado el acceso conectando los nodos Q y QB con las líneas BL y BLB respectivamente. Cuando el valor a escribir coincide con el anteriormente almacenado, no se presenta mayor inconveniente; sin embargo, en el caso de la figura 2.2, cuando el valor anterior en el nodo Q ('1') no coincide con el valor a escribir presente en BL ('0'), el divisor de tensión presente entre M₂ y M₅, debe distribuir la tensión de manera que el valor en Q sea bajo de acuerdo con la entrada de la característica de transferencia de tensión del inversor M₃ - M₄, y sea escrito un '1' en QB. En forma similar, la tensión en BLB debe ser dividida entre M₃ y M₆ para que el valor de Q cambie adecuadamente.

Teniendo en cuenta las características de funcionamiento de la celda *SRAM* 6T en las dos operaciones, se evidencia un problema de diseño en el dimensionamiento de los divisores de tensión implícitos, esto debido a que en la operación de lectura se requiere que el valor de tensión en M_3 sea bajo para no afectar el dato almacenado, sin embargo, en la operación de escritura esta tensión debe ser alta para que sea escrito un ‘0’ en el nodo Q. La razón principal de este problema es el uso de un único transistor de acceso para ambas operaciones, por lo tanto se debe plantear una relación de dimensionamiento favorable para ambos casos o modificar el esquema de acceso inicial.

Es importante además evaluar el comportamiento de la celda 6T de acuerdo con las especificaciones planteadas. Con el fin de analizar la estabilidad en la celda en la operación de interés (lectura), la ecuaciones 2.1 y 2.2 presentan la expresiones analíticas de las *VTC* de acuerdo con las corrientes en los transistores y sus parámetros intrínsecos. La ecuación 2.1 es válida para valores bajos de entrada, esta corresponde a la ecuación del inversor *CMOS* en subumbral, y se supone que los nodos BLB y QB están al mismo potencial y no existe flujo de corriente en el transistor M_6 . La ecuación 2.2 es válida para valores altos de entrada; se supone el transistor M_4 apagado y se desprecia el efecto cuerpo del transistor M_6 [17].

$$QB \approx \frac{\ln \left(\frac{I_{s2,4} \left[\exp \left(\frac{V_{DD}}{V_T} \right) - \exp \left(\frac{Q}{V_T} \right) \right]}{I_{s1,3} \left[\exp \left(\frac{Q}{V_T} \right) - 1 \right]} \right) n_n n_p V_T + n_n (n_p (Q - V_{DD}) + V_{DD} V_{th2,4}) + n_p V_{th1,3}}{n_n + n_p} \quad (2.1)$$

$$QB \approx \ln \left(\frac{I_{s5,6} \left[\exp \left(\frac{V_{DD}}{V_T} \right) - \exp \left(\frac{Q}{V_T} \right) \right]}{I_{s1,3} \left[\exp \left(\frac{Q}{V_T} \right) - 1 \right]} \right) n_n V_T + (n_n - 1) (Q - V_{DD}) \quad (2.2)$$

La función Q corresponde a la función inversa de QB, sin embargo, esta no puede ser expresada de forma explícita.

La figura 2.3 muestra la gráfica de las *VTC* para la celda 6T en operación de lectura. Se observa que el comportamiento es aproximado entre las ecuaciones y los resultados de simulación. Adicionalmente se observa que la curva presenta una degeneración, disminuyendo el área del cuadrado inscrito entre las curvas y haciendo la celda 6T menos favorable en cuanto a estabilidad se refiere.

Ya que la celda 6T no permite alcanzar un máximo de estabilidad, algunos autores plantean modificaciones del esquema de acceso, aislando las operaciones de lectura y escritura con el fin de aumentar el *SNM* de la celda *SRAM*, buscando que no se afecten los datos almacenados. Esto conlleva al uso de un mayor número de transistores en la celda, y el uso de circuitos de

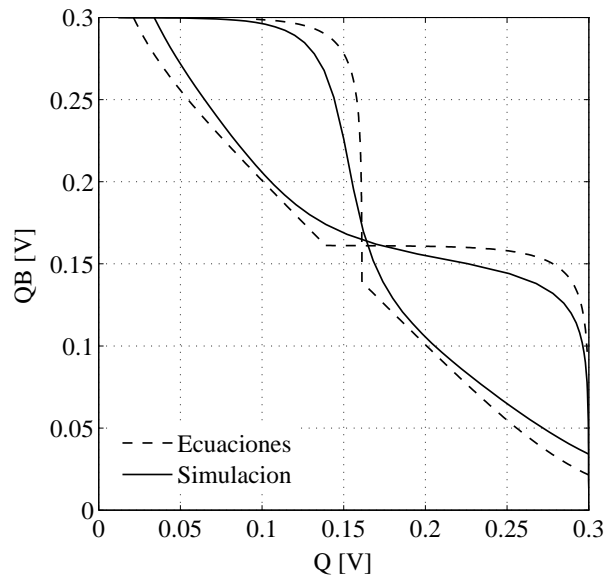


Figura 2.3: VTC de la celda *SRAM* 6T en operación de lectura.

control de lectura y escritura más complejos. A continuación se presentan las arquitecturas más sobresalientes para esquemas modificados.

2.2. Celda *SRAM* 10T - Esquema de lectura simple

La celda *SRAM* 10T de la figura 2.4(a) propuesta por Calhoun y Chandrakasan en [2], [10] y [18], se compone de un circuito idéntico a la celda 6T (transistores $M_1 - M_6$) y un circuito adicional que funciona como seguidor para la operación de lectura (transistores $M_7 - M_{10}$). La operación de escritura se realiza de la misma forma que para la celda 6T a través de los transistores M_5 y M_6 desde las líneas de bits BL y BLB. La operación de lectura se efectúa a través de la línea de bits RBL, en la cual también existe el proceso de precarga. Debido a que esta operación se realiza a través de una única línea, el esquema se conoce como de lectura simple. La señal de control para lectura (RWL) es diferente de la señal de control para escritura (WL).

La figura 2.4(b) indica el diagrama de tiempos para las señales de control respectivas en cada operación. Para la operación de lectura se observa que RWL es habilitada permitiendo que el dato almacenado en QB sea leído en forma inversa por RBL. El circuito seguidor asemeja la implementación de un transistor de acceso adicional para la operación de lectura, por la similitud con el inversor conectado al lado opuesto de QB, sin embargo, en éste M_{10} permite que disminuyan las corrientes de fuga cuando no se está en la operación de lectura, y adicionalmente permite que otras celdas compartan RBL.

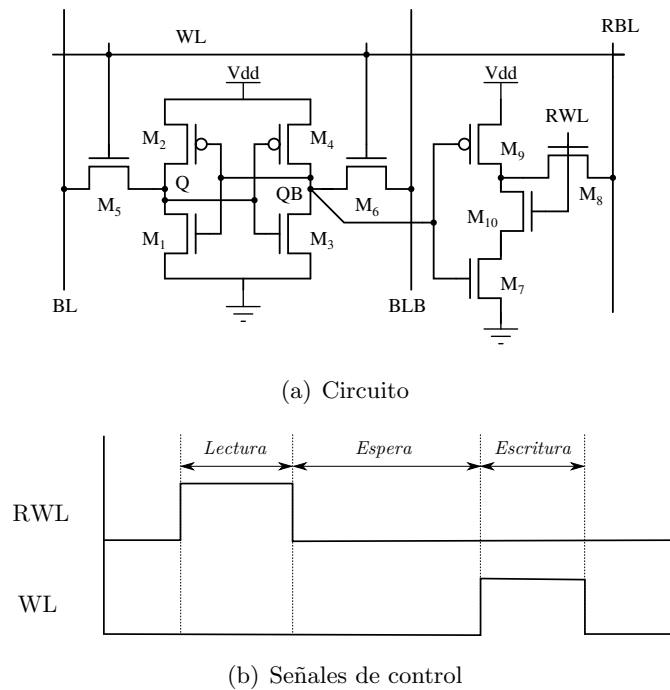


Figura 2.4: Celda SRAM 10T propuesta por Chandrakasan [10].

El seguidor brinda aislamiento entre el nodo de almacenamiento y la línea de bits durante la operación de lectura, eliminando así el problema del SNM de la celda 6T. De esta forma todo el comportamiento de las VTC se aproxima al descrito por el inversor CMOS en subumbral (Ecuación 2.1) y se muestra en la figura 2.5.

Se observa que el área inscrita entre curvas no presenta degeneraciones, lo cual hace apropiada esta celda en cuanto a especificaciones de estabilidad. No obstante, es importante evaluar más especificaciones con el fin de realizar una selección objetiva. Para el caso de la frecuencia de operación, es importante mencionar que los retardos en la celda SRAM 10T con esquema de lectura simple describen un comportamiento similar a la 6T (figura 1.10), donde t_{dR} o tiempo de retardo en lectura, es el más crítico. Para esta celda, el proceso de descarga ocurre a través de los transistores M7, M8 y M10; y se considera una capacitancia fija para las cada una de las tres líneas de bits, para efectos de simulación y evaluación.

2.3. Celda SRAM 10T - Esquema de lectura diferencial

El almacenamiento de información en la celda SRAM se efectúa en forma de señales de tipo diferencial. Las arquitecturas de celdas inicialmente implementadas en este tipo de memorias, usaban la configuración diferencial para las operaciones de lectura y escritura. Sin embargo,

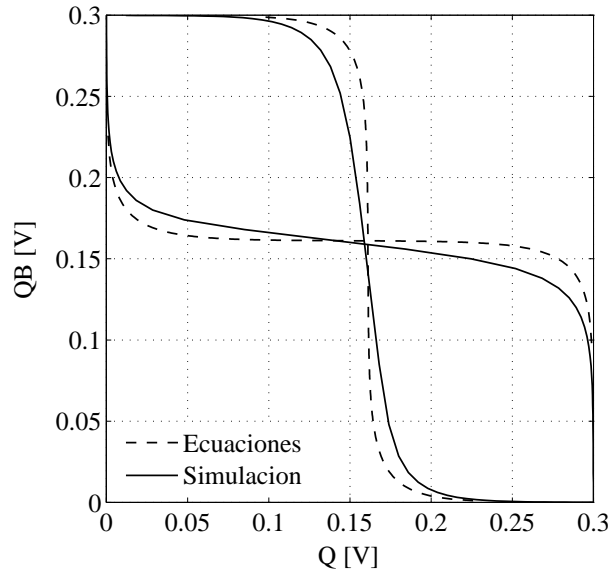


Figura 2.5: VTC de la celda SRAM 10T propuesta por Chandrakasan en operación de lectura.

pese a que en la celda 6T no es posible alcanzar un valor alto de SNM , nuevos esquemas que aíslan los datos para el proceso de lectura han sido propuestos. Específicamente estos esquemas, adicionan un seguidor para lograr dicho aislamiento, no obstante, su operación de lectura se realiza de forma simple en una única línea de bits. Realizar una lectura diferencial, brinda más inmunidad al ruido que una de tipo simple, siendo una propiedad del sensado diferencial. En la celda SRAM 10T de la figura 2.6(a) propuesta por Chang, Kim, Park y Roy en [13] y [7], se muestra la primera celda que aísla los datos en la operación de lectura y se comporta completamente diferencial.

De acuerdo con la figura 2.6(b), el principio de operación de la celda SRAM 10T se describe como:

- Para la operación de lectura WL es habilitada y VGND es forzada a cero, mientras W_WL permanece deshabilitada. M_5 y M_8 proporcionan el aislamiento necesario para los nodos Q y QB, entretanto los transistores M_7 y M_{10} son encendidos de acuerdo al valor del dato almacenado, de tal forma que las líneas de bits BL y BLB, permanezcan con el valor de V_{DD} o se descargen de manera inversa según el dato en el nodo adyacente, es decir, si existe un valor '1' en QB, M_{10} se activará descargando BL.

Debido al aislamiento en la operación de lectura, el SNM de esta celda corresponde al mismo de la celda 6T en modo de espera, y las VTC de los inversores son modeladas mediante la ecuación 2.1. En la figura 2.7 se observan las gráficas obtenidas analíticamente y por medio de simulación.

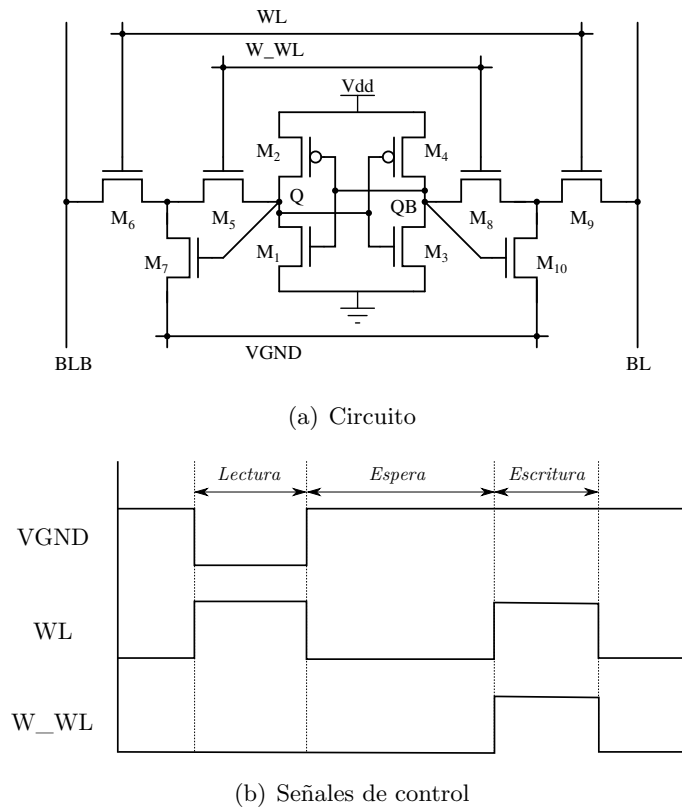


Figura 2.6: Celda *SRAM* 10T propuesta por Roy [13].

- En la operación de escritura son habilitadas WL y W_WL, de tal forma que el dato presente en las líneas de bits sea transferido a los nodos de almacenamiento.

Se observa que para mejorar el valor de *SNM* aislando los datos de las líneas de bits, es necesario adicionar cuatro transistores más, aumentando el área de la celda *SRAM*. Adicionalmente en éste circuito hace necesaria la implementación de más circuitos de control debido al uso de tres señales (WL, W_WL y VGND) en las operaciones de lectura y escritura.

Para analizar la frecuencia de operación, se observa que de la misma forma que la arquitectura con esquema de lectura simple, los retardos que se presentan son similares a la celda 6T. Para efectos de simulación se considera una capacitancia fija en las líneas de bits, siendo el valor de ésta, el número de filas multiplicado por la capacitancia en el dren de M_{6,9}; t_{dR} resulta el mayor retardo y por lo tanto el más significativo para el cálculo de la frecuencia.

Vale la pena resaltar que para el diseño de este tipo de circuito a diferencia del 6T, no existe un compromiso directo entre el dimensionamiento de los inversores con el de los transistores de acceso, ya que el aislamiento de los datos permite que exista un divisor de tensión para la operación de escritura cuando se habilita W_WL, y un divisor de tensión aislado por la puerta

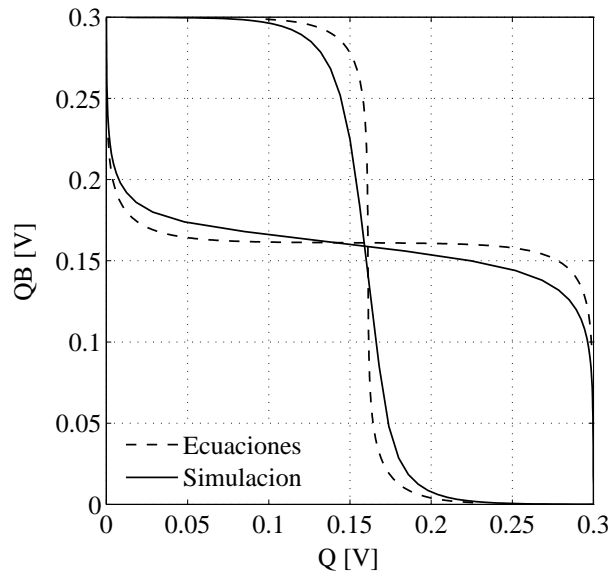


Figura 2.7: VTC de la celda *SRAM* 10T propuesta por Roy en operación de lectura.

de $M_{7,10}$ para cuando se encuentra en la operación de lectura. De la misma forma sucede para el proceso de descarga de una línea de bits, ya que la corriente que descarga el capacitor no circula por el transistor tipo n del inversor hacia tierra y en cambio lo hace por medio de $M_{7,10}$ hacia V_{GND} que se encuentra a un potencial de $0V$.

2.4. Selección de arquitectura

De acuerdo con la especificaciones planteadas en la sección 1.2 son evaluadas las arquitecturas presentadas a lo largo de este capítulo, detallando las ventajas y desventajas en cada una.

La celda *SRAM* 6T presenta un bajo valor de SNM para operación de lectura a diferencia de las 10T, siendo un factor crítico incluso a medida que se baja la tensión de alimentación (Figura 1.9), imposibilitando una reducción del consumo (Sección 1.2.2). No obstante, el bajo área utilizado en su implementación juega un papel importante, así como la simplicidad en el diseño de los circuitos de control.

De otro lado, debido a que el valor de capacitancia presente en las líneas de bits es proporcional al número de filas, el consumo de potencia total depende en gran parte de la componente dinámica, despreciando el consumo estático por corrientes de fuga. Por lo tanto, ya que el valor de capacitancia en las líneas de bits corresponde a n veces valor de la capacitancia en el drenado de los transistores de acceso, es correcto afirmar que el consumo está asociado al área de estos y es conveniente buscar una relación adecuada para reducir el consumo. Se infiere

inicialmente que el dimensionamiento mínimo de los transistores alcanza la menor capacitancia y por ende el menor consumo. Con base en este análisis y de acuerdo con la ecuación 1.12, donde el tiempo de retardo presenta una relación inversa con la corriente de descarga; si el valor de V_{DD} es constante, la arquitectura con esquema de lectura simple expone un menor rendimiento en frecuencia, debido a que en su proceso de descarga se encuentran un mayor número de transistores conectados en serie entre un mismo potencial, haciendo más lento el proceso.

Teniendo en cuenta los planteamientos anteriores, estos constituyen argumentos suficientes para seleccionar la arquitectura con esquema de lectura diferencial, para el diseño una celda *SRAM* buscando un alto valor de *SNM* y frecuencia de operación, para aplicaciones portátiles de bajo consumo.

Capítulo 3

Diseño de la Celda *SRAM*

Luego de realizar la selección de la arquitectura a implementar, en el presente capítulo se presenta el diseño de la celda *SRAM* 10T con esquema de lectura diferencial en tecnología *UMC* 90 nm, teniendo en cuenta las especificaciones mencionadas en el capítulo 1 y abordando los distintos compromisos presentes. Para realizar el diseño de la celda se plantea analíticamente la relación de dimensionamiento de los transistores que permita alcanzar la máxima estabilidad, y se utiliza la técnica de mínimo consumo de energía [2] para seleccionar el valor óptimo de tensión de alimentación que consiga reducir el consumo.

Adicionalmente se aplica la programación geométrica en el diseño de la celda *SRAM* 6T como método de optimización, con el fin de realizar una comparación y se discute acerca de los resultados obtenidos.

3.1. Estrategia de diseño

En la sección 2.3 se describió el funcionamiento de la celda *SRAM* con esquema de lectura diferencial, presentando algunas consideraciones. A continuación se plantea el desarrollo del diseño preliminar (manual) teniendo en cuenta las expresiones analíticas que describen su comportamiento, y de acuerdo con las especificaciones y reglas del fabricante de la tecnología.

3.1.1. Centrando las *VTC*

Se observó en la figura 2.7 que las *VTC* de la celda seleccionada, describen de manera aproximada el comportamiento únicamente de dos inversores en antiparalelo, siendo despreciables los efectos de los transistores de acceso, ya que esta arquitectura aísla los datos de las líneas de bits durante la operación de lectura. Considerando lo anterior, se propone diseñar los inversores de tal forma que se busque el máximo valor de *SNM*, centrando las *VTC* para obtener un comportamiento simétrico, intentado buscar el comportamiento ideal del inversor.

Para la ecuación 2.1 que describe el comportamiento de las VTC, se igualan la tensión de salida (QB) con la tensión de entrada (Q) en el punto medio de V_{DD} .

$$\frac{V_{DD}}{2} = \frac{\ln \left(\frac{I_{s2,4} \left[\exp\left(\frac{V_{DD}}{V_T}\right) - \exp\left(\frac{\left(\frac{V_{DD}}{2}\right)}{V_T}\right) \right]}{I_{s1,3} \left[\exp\left(\frac{\left(\frac{V_{DD}}{2}\right)}{V_T}\right) - 1 \right]} \right) n_n n_p V_T + n_n \left(n_p \left(\frac{V_{DD}}{2} - V_{DD} \right) + V_{DD} V_{th2,4} \right) + n_p V_{th1,3}}{n_n + n_p}$$

De la expresión anterior se obtiene la ecuación que relaciona las dimensiones de los transistores en los inversores (Ecuación 3.1). Se denota explícitamente el valor de la relación W/L para los transistores M_1 y M_3 debido a que esta relación es mayor que la que existe entre los transistores M_2 y M_4 , por lo tanto, si la última pareja de transistores se diseña con las mínimas dimensiones, es factible que la primera se diseñe con dimensiones permitidas por la tecnología.

$$\left(\frac{W}{L} \right)_{1,3} = \exp \left(\frac{\left(\frac{V_{th1,3}}{V_T} - \frac{V_{DD}}{2V_T} \right)}{n_n} + \frac{\left(\frac{V_{DD}}{2V_T} + \frac{V_{th2,4}}{V_T} \right)}{n_p} \right) \frac{\mu_p (n_p - 1)}{\mu_n (n_n - 1)} \left(\frac{W}{L} \right)_{2,4} \quad (3.1)$$

Se observa que la relación W/L para los transistores $M_{1,3}$ depende adicionalmente del valor V_{DD} , comprobando así lo planteado al final de la sección 1.2.1 donde el valor de SNM depende implícitamente de la tensión de alimentación. Entonces, de acuerdo con el valor de V_{DD} escogido, es posible diseñar los inversores de la celda SRAM, no obstante, ¿Cuál es el valor de V_{DD} más adecuado, ya que no se trabaja con 1 V que es el estándar del proceso y en cambio se trabaja en subumbral?

3.1.2. Modelando el mínimo consumo de energía

Seleccionar un punto de operación para reducir el consumo de potencia en circuitos analógicos, es una tarea que depende analíticamente de las condiciones de operación y polarización de los transistores MOS. Sin embargo, en el caso de este trabajo, donde la memoria tiene un comportamiento digital pero las señales en la celda SRAM se comportan analógicamente; la disminución del consumo depende del valor de la tensión de alimentación V_{DD} .

Si bien, reducir el valor de V_{DD} implica un menor consumo de potencia, cuando los circuitos operan en región subumbral, a medida que disminuye la tensión de alimentación las corrientes de fuga se hacen más significativas [5]. Por lo tanto, se requiere encontrar un punto de equilibrio donde el consumo debido a la conmutación y las pérdidas por corrientes de fuga no representen un mayor consumo energético.

Para el diseño de la celda *SRAM*, se emplea la técnica implementada en [2] con el fin de minimizar el consumo de energía. Allí se presenta el modelamiento del punto mínimo de energía de un filtro *FIR* para un valor de frecuencia constante, donde el modelo permite obtener analíticamente el valor óptimo para V_{DD} y V_{th} . A continuación se plantea el modelo de mínimo consumo de energía para la celda *SRAM*, donde el valor de V_{th} es constante¹.

La energía total consumida por la *SRAM* en un ciclo de operación se compone de la sumatoria de la energía estática (Ecuación 3.2) y la energía dinámica (Ecuación 3.3), y corresponde a la ecuación 3.4.

$$E_{est} = I_{est}V_{DD}\alpha t_d \quad (3.2)$$

$$E_{din} = C_i V_{DD}^2 \quad (3.3)$$

$$E_T = E_{est} + E_{din}$$

$$E_T = V_{DD}^2 \left[\alpha K C_{BLB} \exp\left(\frac{-V_{DD}}{nV_T}\right) + C_i \right] \quad (3.4)$$

Derivando la ecuación 3.4 e igualando a cero, es posible hallar los puntos máximos y mínimos de dicha función.

$$\frac{\partial E_T}{\partial V_{DD}} = \left(2 - \frac{V_{DD}}{nV_T}\right) \alpha K C_{BLB} V_{DD} \exp\left(\frac{-V_{DD}}{nV_T}\right) + 2C_i V_{DD} \quad (3.5)$$

$$\left(2 - \frac{V_{DD}}{nV_T}\right) \alpha K C_{BLB} V_{DD} \exp\left(\frac{-V_{DD}}{nV_T}\right) + 2C_i V_{DD} = 0 \quad (3.6)$$

Al reemplazar los parámetros de la tecnología en la ecuación 3.6 y aproximando los valores de capacitancia obtenidos por simulación, se encuentra que en el comportamiento de la función existe un mínimo para:

$$V_{DD} = 215mV$$

Una vez encontrado el valor de V_{DD} , se procede a obtener la relación W/L para los transistores M_1 y M_3 dando solución a la ecuación 3.1.

$$\frac{W}{L}_{1,3} = 2,4876$$

¹ V_{th} se comporta aproximadamente constante en la región de subumbral de acuerdo con el proceso de caracterización de la tecnología UMC 90 nm (Veáse apéndice A)

Parámetro	Valor
<i>SNM</i>	68.7 [mV] / 32 %
Potencia	4.27 [nW]
Frecuencia	500 [KHz]

Tabla 3.1: Parámetros de desempeño de la celda *SRAM* 10T diseñada.

Considerando que los transistores se diseñan con longitud mínima por efectos de velocidad y capacidad de corriente es hallado el valor para el ancho:

$$W_{1,3} \approx 200nm$$

Luego de obtener el valor más adecuado para las dimensiones de los transistores de los inversores y el valor de tensión de alimentación óptimo, se propone un diseño inicial en el cual los seis transistores de acceso son implementados con las dimensiones mínimas de la tecnología para disminuir las capacitancias de interconexión. Con este circuito se alcanzan los resultados presentados en la tabla 3.1.

En la figura 3.1 se presentan las *VTC* de la celda *SRAM* diseñada, donde se observa un comportamiento simétrico, logrando la máxima longitud de la diagonal del cuadrado inscrito entre curvas.

Con la intención de simular el efecto de un arreglo completo, para este trabajo se considera una memoria de 8Kb (1024 filas x 8 columnas). Por lo tanto, para obtener el valor de capacitancia en las líneas de bits se debe multiplicar el la capacitancia en el drenó de $M_{6,9}$ por el número de filas:

$$1024(180[aF]) \approx 185[fF]$$

De esta manera, se debe adicionar en el circuito una capacitancia de 185 fF en BL y BLB para efectos de simulación y así realizar el cálculo de la frecuencia de operación. La figura 3.2 muestra la operación de lectura para la celda *SRAM*, donde se identifica el tiempo de retardo t_{dR} .

Dependiendo de las especificaciones, para que la celda *SRAM* alcance mayor frecuencia de operación, es necesario aumentar la corriente de descarga del capacitor C_{BLB} , sin aumentar su valor de capacitancia. Para lograr esto, es posible aumentar las dimensiones de los transistores $M_{7,10}$. No obstante, el aumento del tamaño no es algo deseado en la celda 10T, pues una de sus desventajas es justamente el área debido al número de transistores que la componen.

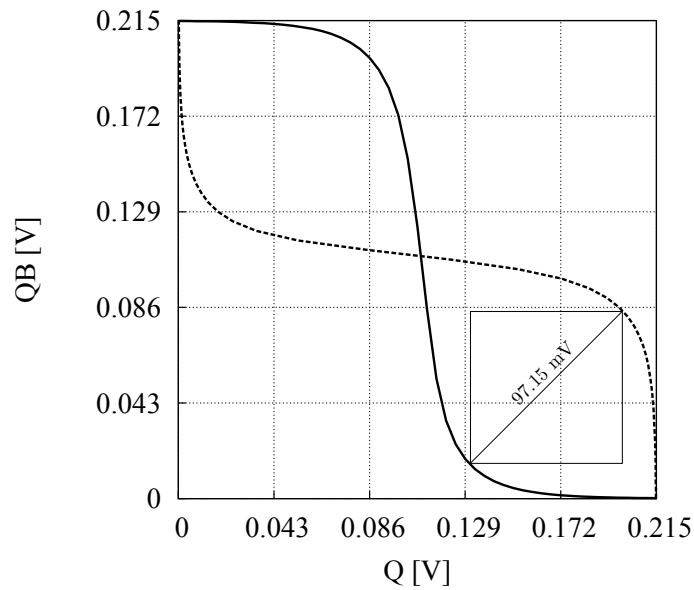


Figura 3.1: VTC de la celda *SRAM* 10T diseñada en operación de lectura.

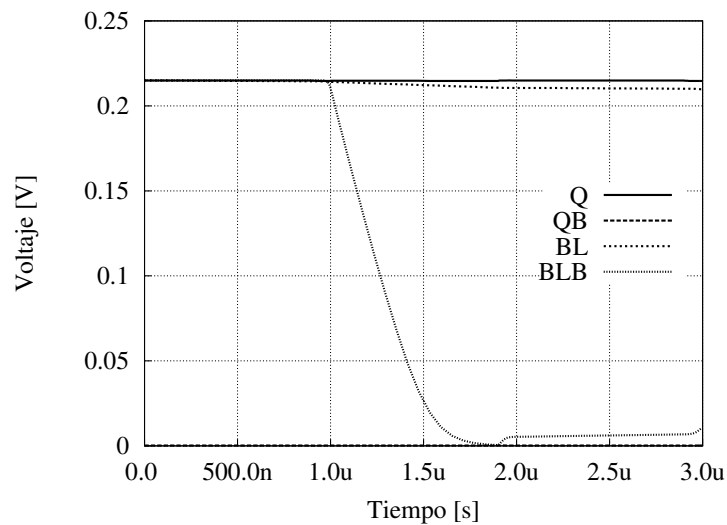


Figura 3.2: Operación de lectura de la celda *SRAM* 10T diseñada.

3.2. Aplicación de la Programación geométrica

La programación geométrica (PG) es un método de optimización convexa, que permite encontrar solución a problemas n -dimensionales, obteniendo un óptimo global de una función objetivo; o determinar la no existencia de solución de acuerdo con las restricciones dadas. Al conjunto de expresiones que definen el problema se llama programa geométrico y sigue la siguiente forma estándar:

$$\begin{aligned}
&\text{minimizar } f_0(x) \\
&\text{sujeto a } f_i(x) \leq 1, \quad i = 1, \dots, m \\
&\quad \quad g_i(x) = 1, \quad i = 1, \dots, p
\end{aligned} \tag{3.7}$$

donde $f_0(x)$ es la función objetivo, las funciones $f_i(x)$ y $g_i(x)$ son las restricciones y x_n son las variables de optimización. Las restricciones son formuladas en forma de monomios o posinomios. Un monomio es una función de la forma:

$$f(x) = kx_1^{a_1}x_2^{a_2}\dots x_n^{a_n} \tag{3.8}$$

donde k es un número real positivo y a_n un número real. Los posinomios corresponden a la suma de dos o más monomios.

Para la aplicación de PG en el diseño de circuitos integrados, es necesario que las funciones que describen el comportamiento de los transistores cumplan la forma estándar. Por lo tanto, es necesario realizar un modelado de dichas funciones. En [19] y [20] se presenta en forma detallada el desarrollo de esta etapa y una profundización sobre PG.

En el estado del arte no se encuentra reportado el uso de PG en el diseño de celdas SRAM. Este trabajo presenta el diseño de una celda 6T, aplicando dicha técnica, con el fin de realizar una discusión acerca de los resultados obtenidos por optimización de una arquitectura con gran acogida en la literatura y la arquitectura seleccionada en el capítulo 2.

3.2.1. Celda SRAM 6T vía PG

La mayoría de aplicaciones de PG en circuitos integrados, presentan condiciones de operación invariantes en el tiempo de acuerdo con la polarización de los transistores. Sin embargo, la celda SRAM es un circuito que tiene tres formas de operar (considerando el modo de espera), siendo el comportamiento de sus tensiones y corrientes comportamiento dinámico, variando las condiciones incluso en cada operación. Por lo tanto, es importante seleccionar un punto específico en su comportamiento para aplicar PG en el circuito.

Se propone utilizar la operación de lectura, ya que el valor de SNM es más bajo en dicha operación y el retardo de lectura el más crítico para la frecuencia de operación. Adicionalmente, se escoge el punto medio del valor de entrada y de salida ($V_{DD}/2$) con el fin de centrar las VTC, y lograr el máximo valor de SNM. En la figura 3.3 se muestra el circuito equivalente para la operación de lectura. Se observan únicamente tres transistores, aclarando que los otros tres son diseñados idénticamente para lograr un comportamiento simétrico.

La tabla 3.2 muestra el programa geométrico para el diseño de la celda SRAM 6T. La función objetivo escogida es potencia, debido a que es el aspecto más importante para brindar autonomía en aplicaciones portátiles. Para este caso, se busca minimizar la potencia dinámica,

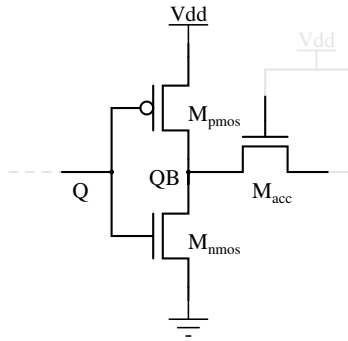


Figura 3.3: Circuito usado para plantear el programa geométrico.

ya que la celda 6T no permite operar a un voltaje muy bajo por condiciones de estabilidad; por esta razón, las corrientes de fuga no son significativas y por ende la potencia estática. Por otra parte, para el cálculo de la frecuencia de operación, se observa que la corriente que descarga del capacitor C_{BLB} es variable. Sin embargo, se logra una buena aproximación considerando esta corriente constante, cuyo valor corresponde al valor medio de la corriente al comienzo de la descarga. Vale la pena señalar que la capacitancia C_{BLB} es calculada por multiplicación de la capacitancia en el dreno de M_{acc} por el número de filas.

Para el planteamiento del programa geométrico se modelaron cuatro parámetros del circuito, como se observa en la ecuación 3.9.

$$C_{D_{acc}}, I_{D_{acc}}, I_{D_{nmos}}, I_{D_{pmos}} = K_i (V_{GS_i})^{a_i} (V_{DS_i})^{b_i} (W_i)^{c_i} (L_i)^{d_i} \quad (3.9)$$

donde los errores promedio son de 1.4 %, 3.2 %, 1.3 % y 1.7 % respectivamente.

Las restricciones de tensión en los transistores M_{acc} y M_{pmos} , pueden ser escritas en forma de igualdad, ya que la solución de estos posinomios corresponden a un monomio.

El programa geométrico es solucionado bajo *CVX* en el entorno *MatLab*. La tabla 3.3 presenta las variables de diseño obtenidas por PG y la tabla 3.4 muestra los resultados obtenidos para la celda *SRAM* 6T en el PG y en el simulador.

En la figura 3.4 se observan las *VTC* de la celda diseñada vía PG observando que se obtiene aproximadamente el mismo *SNM* que la celda diseñada manualmente, no obstante, es necesario aumentar el valor de la tensión de alimentación. En la figura 3.5 se puede observar el correcto funcionamiento de la celda 6T diseñada en operación de lectura, así como el tiempo de retardo de lectura para calcular la frecuencia de operación.

Minimizar potencia	$fC_{BLB}V_{DD}^2$
Sujeto a:	
$SNM = 68,7[mV]$	
$f \geq 500[KHz]$	
$f = \alpha(0,5I_d)C_{BLB}^{-1}V_{DD}^{-1}$	
$C_{BLB} = 1024C_{Dacc}$	
$C_{Dacc} = K_1(V_{GS})^a(V_{DS})^b(W_{acc})^c(L_{acc})^d$	
$I_d = K_2(V_{GS})^e(V_{DS})^f(W_{acc})^g(L_{acc})^h$	
$I_{nmos} = K_3(V_{GS})^i(V_{DS})^j(W_{nmos})^k(L_{nmos})^l$	
$I_{acc} = K_3(V_{GS})^i(V_{DS})^j(W_{acc})^k(L_{acc})^l$	
$I_{pmos} = K_4(V_{GS})^m(V_{DS})^n(W_{pmos})^o(L_{pmos})^p$	
$I_{nmos} = I_{pmos+acc}$	
$Q = 0,5V_{DD}$	
$QB = Q$	
$V_{GSnmos} = Q$	
$V_{DSnmos} = QB$	
$V_{GSacc} = V_{DD} - Q$	
$V_{DSacc} = V_{DD} - Q$	
$ V_{GSpmos} = V_{DD} - Q$	
$ V_{DSpmos} = V_{DD} - QB$	
$L_{acc} = L_{nmos} = L_{pmos} = L_{min}$	
$W_{pmos} = W_{min}$	
$W_{acc} \leq W_{maxacc}$	
$W_{minacc} \leq W_{acc}$	
$W_{nmos} \leq W_{maxnmos}$	
$W_{minnmos} \leq W_{nmos}$	

Tabla 3.2: Planteamiento del programa geométrico.

Parámetro	V_{DD}	W_{acc}	W_{nmos}
Valor	390 [mV]	120 [nm]	538 [nm]

Tabla 3.3: Variables de diseño de la celda SRAM 6T diseñada vía PG.

Parámetro	PG	<i>Spectre</i>	Error
SNM	68.7[mV]	69 [mV]	0.43 %
Potencia	398 [nW]	374 [nW]	6.03 %
Frecuencia	13.61 [MHz]	13.33 [MHz]	2.03 %

Tabla 3.4: Parámetros de desempeño de la celda SRAM 6T diseñada vía PG.

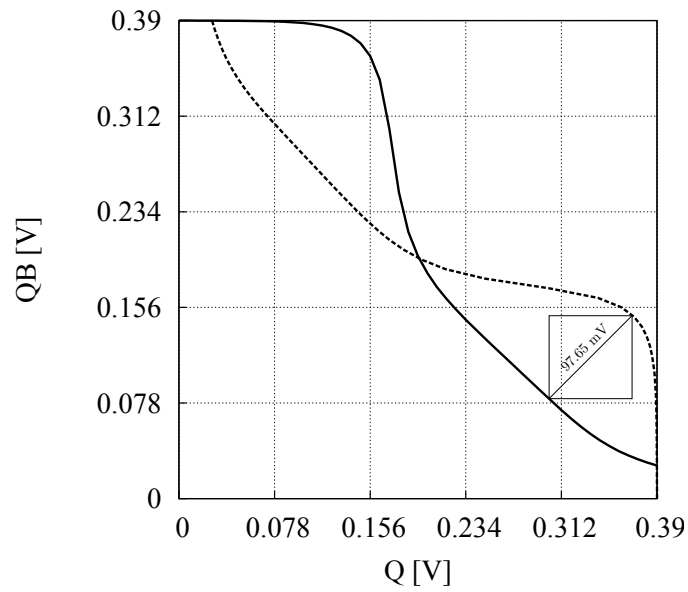


Figura 3.4: VTC de la celda *SRAM* 6T diseñada vía PG en operación de lectura.

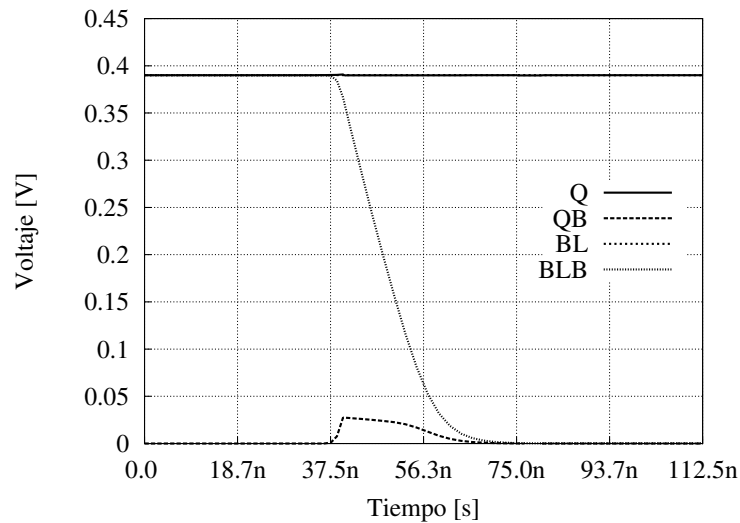


Figura 3.5: Operación de lectura de la celda *SRAM* 6T diseñada vía PG.

3.3. Discusión

En el este capítulo se presentó el diseño de la celda *SRAM* 10T a partir de las expresiones matemáticas que describen su comportamiento, y adicionalmente se utilizó PG para la optimización de la celda 6T y realizar una comparación de los resultados.

Para poder realizar una comparación objetiva, se establece una figura de mérito de cuatro aspectos de diseño con igual ponderación (25 % c/u): *SNM*, consumo de potencia, frecuencia

de operación y área. Si bien la intención del programa geométrico era que el valor de SNM fuera para la 6T el mismo que para la 10T, coincidentalmente, y a pesar de que el área del diseño dependa de las técnicas y consideraciones al momento de realizar el *layout*; para ambos casos, la sumatoria del área de los transistores es aproximadamente la misma ($0.1244 \mu\text{m}^2$ para la 6T versus $0.1248 \mu\text{m}^2$ para la 10T). En cuanto a la frecuencia de operación y el consumo de potencia se presentan una amplia diferencia, siendo la frecuencia más alta y la potencia más baja los valores base para la figura de mérito.

Para los resultados obtenidos, se obtiene que la celda 10T tiene una figura de mérito de 75.9% sobre la 6T con un 75.3%. Por otra parte, debido a que la potencia depende proporcionalmente del valor de la frecuencia de operación, se propone otro escenario de trabajo diferente, donde la celda 6T opere a 500 KHz igualando aproximadamente la mayoría de aspectos con la 10T, dejando así como única diferencia el consumo de potencia (14.03 nW para la 6T frente a 4.27 nW de la 10T); siendo evidente que la celda *SRAM* 10T es la más adecuada para lograr un bajo consumo en aplicaciones portátiles, consolidando además, un correcto proceso de selección de arquitectura.

Capítulo 4

Resultados

Una vez ha sido diseñada la celda *SRAM*, y ha sido verificado su funcionamiento, como resultado de una comparación se tiene una celda 10T con un *SNM* de 68.7 mV y un consumo de potencia de 4.27 nW operando a 500 KHz. No obstante, es importante revisar que tan robusto es este diseño ante variaciones en los parámetros del proceso de fabricación y el *mismatch*. En el presente capítulo se muestra un análisis estadístico realizado por el método de Montecarlo, en el cual se tienen en cuenta las posibles variaciones que indica el fabricante de la tecnología, validando así el diseño de la celda *SRAM*. Finalmente se realiza el *layout* del circuito diseñado y se plantean observaciones y conclusiones acerca de este trabajo, formulando además, recomendaciones para trabajos futuros en el área de memorias *SRAM*.

4.1. Análisis estadístico

Los resultados obtenidos anteriormente para la celda *SRAM*, son obtenidos considerando valores típicos de los parámetros de la tecnología *UMC 90 nm*, sin incluir el *mismatch* de sus componentes. En un circuito integrado cualquier cambio en estas características ocasionará un comportamiento diferente, por lo tanto, se hace necesario realizar un análisis que permita validar el diseño ante variaciones. El método de Montecarlo es un análisis estadístico que se basa en un muestreo aleatorio sobre los parámetros de cada transistor, de acuerdo a los límites y la distribución que indica el fabricante.

Para realizar el análisis Montecarlo se generaron 100 muestras de cada parámetro del proceso y de la geometría de los transistores siguiendo los modelos de la tecnología para este tipo de análisis. Por medio del entorno *Analog Statistical Analysis* de *Cadence* se realizó el proceso de simulación obteniendo una de las *VTC* de la celda *SRAM* ante las variaciones mencionadas (Figura 4.1).

En la figura 4.2 se observa la distribución probabilística que tiene el *SNM* de la celda *SRAM*

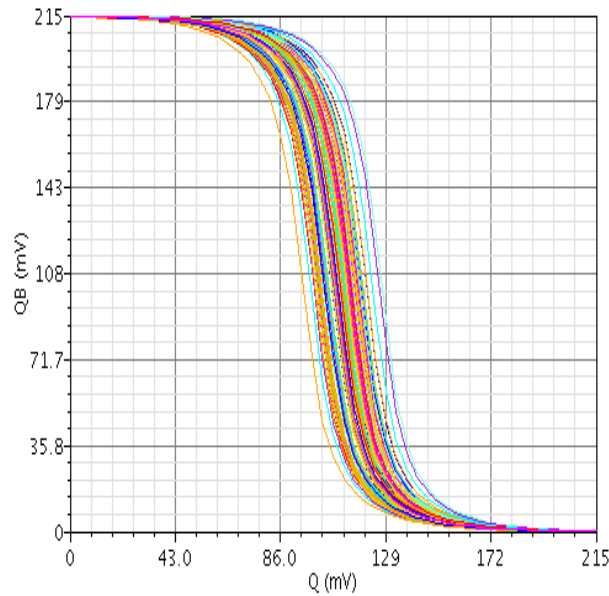


Figura 4.1: Análisis Montecarlo de una *VTC* de la celda *SRAM*.

en 100 muestras; el rango de variación es reducido (4 mV) con una desviación estándar de 0.61 mV y una media de 68.26 mV; el valor para condiciones típicas de 68.7 mV se encuentra en el intervalo de una desviación por encima de la media. Además se observa que aproximadamente el 94 % de las muestras se encuentran en 68.7 mV o por debajo de este valor, confirmando que en el diseño se logró la máxima diagonal del cuadrado inscrito entre las curvas de las *VTC* y por ende el máximo *SNM*. El 6 % restante se debe a errores de aproximación en las expresiones algebraicas.

4.2. *Layout*

Realizar el *layout* de una memoria *SRAM* puede ser una tarea tediosa si se hace celda por celda. Por lo tanto, en muchas ocasiones esta etapa, corresponde a un proceso copiar y pegar, o al posicionamiento y trazado de una síntesis automatizada. Esto permite además que la parte netamente digital (decodificadores, multiplexores, etc.) de la memoria sea diseñada conjuntamente con el arreglo de celdas. No obstante, para el proceso posicionamiento y trazado es necesario establecer una celda estándar para su posterior disposición. La figura 4.3 muestra el *layout* de la celda *SRAM* 10T, teniendo en cuenta ubicación simétrica de los transistores para reducir *mismatch*. Adicionalmente, en el diseño se consideró que la celda fuera delgada verticalmente con el fin de minimizar la distancia entre líneas de bits de la misma columna, y así reducir la capacitancia total de las líneas.

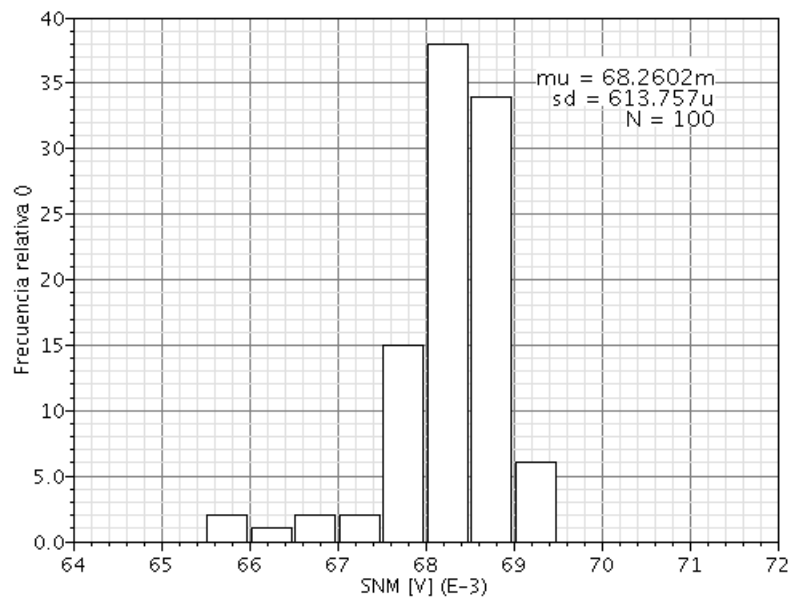


Figura 4.2: Análisis Montecarlo del SNM de la celda $SRAM$.

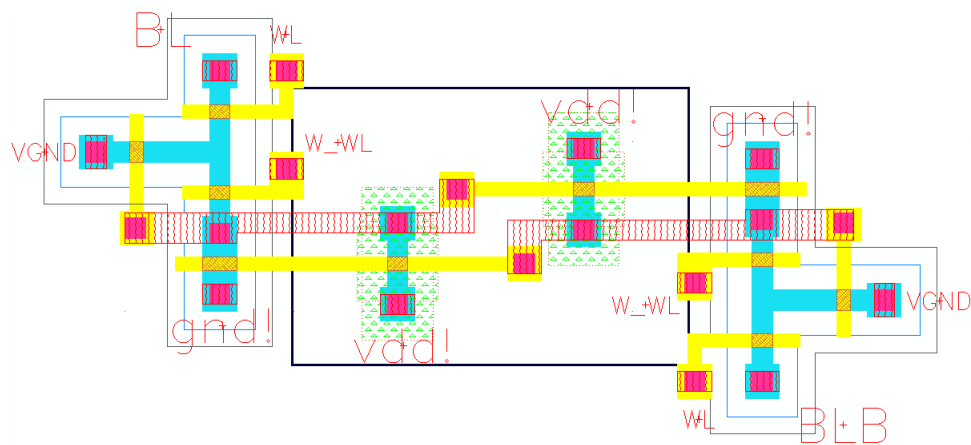


Figura 4.3: *Layout* de la celda $SRAM$.

4.3. Observaciones y conclusiones

En este trabajo se realizó el diseño de una celda $SRAM$ integrada en tecnología UMC 90 nm. La arquitectura seleccionada fue 10T con esquema de lectura diferencial, obteniendo un bajo consumo de potencia (4.27 nW) y un alto valor porcentual de SNM (32%); siendo estos valores próximos a los presentados en la literatura.

La metodología de diseño permitió seleccionar la arquitectura más adecuada, usando simulaciones realizadas en *Spectre* con el modelo *BSIM4v4.3* de nivel 54, y un análisis circuital

como criterio de selección. Adicionalmente, la estrategia propuesta para lograr el máximo valor de *SNM* cumple su objetivo presentando un pequeño error de aproximación.

A pesar de no haber alcanzado los mejores resultados aplicando programación geométrica, el diseño de la celda 6T fue optimizado logrando un rendimiento significativo versus la 10T. Así mismo, se permite mediante PG automatizar el diseño y mostrar al diseñador la relación de los compromisos de diseño. Para el caso de la celda *SRAM*, fue aplicada PG en un instante de la operación de lectura escogido por su comportamiento, ya que las condiciones de polarización y operación son variantes en el tiempo. Durante el desarrollo del trabajo se consideró aplicar PG a la celda 10T, no obstante, un análisis realizado previamente intuyó que los resultados sería similares al diseño manual, ya que este circuito no presenta demasiados compromisos de diseño. Por lo tanto, para circuitos donde todas las variables no se encuentren completamente relacionadas no se justifica aplicar programación geométrica.

El análisis estadístico arrojó una media para el *SNM* cercana al valor esperado, considerando variaciones en los parámetros del proceso y *mismatch* en los transistores, evaluando así el efecto de la integración sobre el desempeño de la celda *SRAM*. La distribución probabilística validó además la máxima diagonal de cuadrado inscrito entre las curvas de las *VTC* con un error del 6%.

4.4. Recomendaciones para trabajos futuros

Una vez formuladas la conclusiones, se proponen diferentes ideas y recomendaciones que surgen para futuros trabajos relacionados con memorias *SRAM*:

- Este trabajo presentó el diseño de una celda *SRAM* 10T, considerando para el cálculo de la frecuencia de operación una capacitancia fija de acuerdo con el número de filas. Sin embargo, es necesario realizar un análisis más aproximado del efecto de todo el arreglo de celdas. Por lo tanto, se recomienda replicar la celda, con el fin de obtener un arreglo completo y estudiar efectos de capacitancias de las líneas de bits y capacitancias parásitas en el diseño del *layout* completo. Adicionalmente, una vez teniendo el arreglo, analizar el sincronismo de las señales de control y ruido de las celdas activas sobre las que están en modo de espera.
- Analizar el efecto de las no idealidades en los demás circuitos de la memoria, tales como el amplificador de sensado, operador de escritura, decodificadores, multiplexores y circuitos de control, realizando el diseño correspondiente de estos bloques, para poder así realizar una evaluación mas precisa del desempeño y realizar el diseño de una memoria completa.

- Con la intención de brindar la tensión de alimentación correcta a la memoria, se recomienda diseñar el sistema de administración de potencia para 215 mV y otras tensiones de subumbral, presentes en una aplicación de muy bajo voltaje, ya que ésta ha sido una buena solución al problema de potencia.
- Revisar la implementación de circuitos adicionales a la celda 6T, como alternativa para incrementar el valor de SNM , ya que en la literatura se reporta el uso de variadores de nivel para lograr dicho objetivo.
- Realizar el diseño de una celda $SRAM$ sintetizable mediante lenguaje de descripción de *hardware*, con el fin de realizar el diseño de una memoria $SRAM$ (Celda + Circuitos digitales) de forma automatizada.

Apéndice A

Caracterización en subumbral

La corriente del transistor *MOS* en subumbral corresponde a la ecuación A.1 [21].

$$I_{DS} = I_s \exp\left(\frac{V_{GS} - V_{th}}{nV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (\text{A.1})$$

$$I_s = \mu C_{ox} \frac{W}{L} (n - 1) V_T^2$$

donde V_{th} es la tensión de umbral, $n = 1 + C_{DS}/C_{ox}$ es el factor de subumbral y $V_T = kT/q$ es el voltaje térmico. La ecuación anterior es válida siempre y cuando se aproxime de manera similar al comportamiento del modelo usado por simulación.

El modelo utilizado para el transistor *MOS* para simulación hace parte de la tecnología *UMC 90nm*, para el proceso *Logic/Mixed_Mode 1P9M MOSFET 1.0V SP (Standar performance)*, modelo *BSIM4v4.3* nivel 54 usando el simulador *spectre* de *Cadence*.

El proceso de caracterización se realizó con 600 puntos de simulación para cada uno de los dos transistores disponibles bajo las especificaciones anteriores.

A.0.1. Transistor *NMOS*

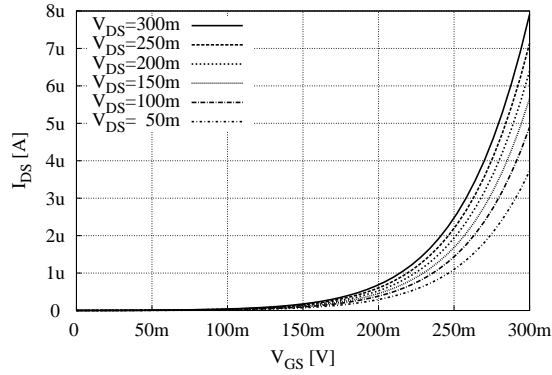
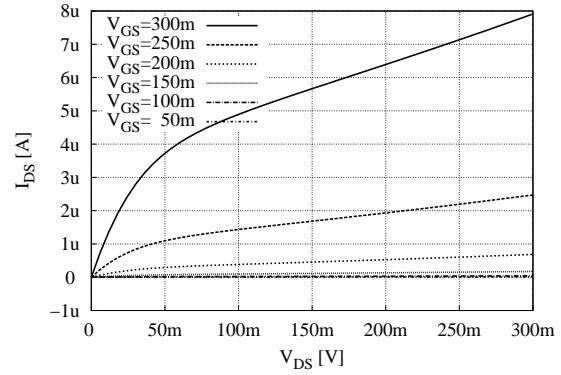
En la figura A.0.1 se muestran los resultados de la corriente variando los parámetros V_{GS} y V_{DS} del transistor *NMOS* en el simulador. La tabla A.1 presenta los parámetros para el transistor donde n_n es el valor caracterizado.

A.0.2. Transistor *PMOS*

En la figura A.0.2 se muestran los resultados de la corriente variando los parámetros V_{GS} y V_{DS} del transistor *PMOS* en el simulador. La tabla A.2 presenta los parámetros para el transistor donde n_p es el valor caracterizado.

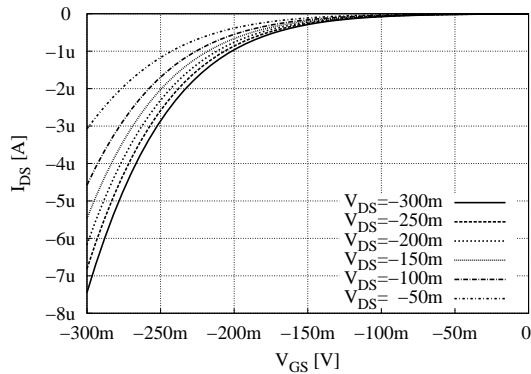
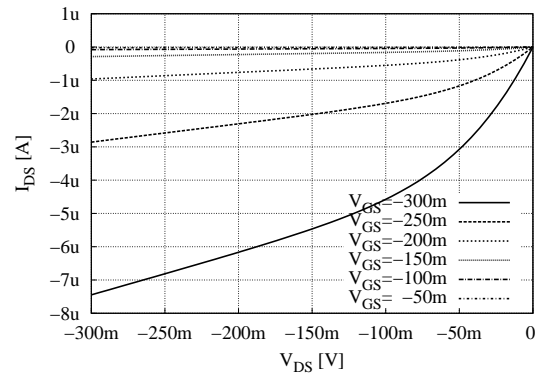
Parámetro	μ_n	C_{ox}	V_T	V_{th0}	n_n
Unidades	$\frac{cm^2}{V \cdot s}$	$\frac{fF}{\mu m^2}$	mV	mV	–
Valor	232	15.347	26	297.062	1.8017

Tabla A.1: Parámetros del transistor NMOS.

(a) I_{DS} vs. V_{GS} (b) I_{DS} vs. V_{DS} Figura A.1: Comportamiento de la corriente en el transistor tipo n en subumbral.

Parámetro	μ_p	C_{ox}	V_T	V_{th0}	n_p
Unidades	$\frac{cm^2}{V \cdot s}$	$\frac{fF}{\mu m^2}$	mV	mV	–
Valor	92.6	15.347	26	-265.638	2.0816

Tabla A.2: Parámetros del transistor PMOS.

(a) I_{DS} vs. V_{GS} (b) I_{DS} vs. V_{DS} Figura A.2: Comportamiento de la corriente en el transistor tipo p en subumbral.

Bibliografía

- [1] A. S. Pavlov, “Design and Test of Embedded SRAMs,” Ph.D. dissertation, University of Waterloo, 2005.
- [2] B. H. Calhoun, “Low Energy Digital Circuit Using Sub-threshold Operation,” Ph.D. dissertation, Department of Electrical Engineering and Computer Science of Massachusetts Institute of Technology, February 2006.
- [3] M. Sharifkhani, “Design and Analysis of Low-power SRAMs,” Ph.D. dissertation, University of Waterloo, 2006.
- [4] International Technology Roadmap for Semiconductors (ITRS-2009) update. [Internet].
Visite: <http://www.itrs.net/Links/2009ITRS/Home2009.htm>
- [5] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, *Sub-threshold Design for Ultra Low-Power Systems*. Springer, 2006.
- [6] M.-T. Chang and W. Hwang, “A fully-differential subthreshold SRAM cell with auto-compensation,” in *Circuits and Systems, 2008. APCCAS 2008. IEEE Asia Pacific Conference on*, 30 2008-Dec. 3 2008, pp. 1771–1774.
- [7] I. J. Chang, J.-J. Kim, S. Park, and K. Roy, “A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS,” *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 2, pp. 650–658, Feb. 2009.
- [8] A. Pavlov and M. Sachdev, *CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies*. Springer, 2008.
- [9] J. M. Rabaey, A. P. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits A Design Perspective*, 2nd ed. Prentice-Hall, 2002.
- [10] B. Calhoun and A. Chandrakasan, “A 256kb Sub-threshold SRAM in 65nm CMOS,” in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, Feb. 2006, pp. 2592–2601.

-
- [11] L. Chang, Y. Nakamura, R. Montoye, J. Sawada, A. Martin, K. Kinoshita, F. Gebara, K. Agarwal, D. Acharyya, W. Haensch, K. Hosokawa, and D. Jamsek, "A 5.3GHz 8T-SRAM with Operation Down to 0.41V in 65nm CMOS," in *VLSI Circuits, 2007 IEEE Symposium on*, June 2007, pp. 252–253.
- [12] T.-H. Kim, J. Liu, J. Keane, and C. Kim, "A High-Density Subthreshold SRAM with Data-Independent Bitline Leakage and Virtual Ground Replica Scheme," in *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, Feb. 2007, pp. 330–606.
- [13] I. J. Chang, J.-J. Kim, S. Park, and K. Roy, "A 32kb 10T Subthreshold SRAM Array with Bit-Interleaving and Differential Read Scheme in 90nm CMOS," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, Feb. 2008, pp. 388–622.
- [14] S. Lin, Y.-B. Kim, and F. Lombardi, "A low leakage 9t sram cell for ultra-low power operation," in *GLSVLSI '08: Proceedings of the 18th ACM Great Lakes symposium on VLSI*. New York, NY, USA: ACM, 2008, pp. 123–126.
- [15] Z. Liu and V. Kursun, "Characterization of a Novel Nine-Transistor SRAM Cell," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 16, no. 4, pp. 488–492, April 2008.
- [16] A.-R. Ahmadimehr, B. Ebrahimi, and A. Afzali-Kusha, "A high speed subthreshold SRAM cell design," in *Quality Electronic Design, 2009. ASQED 2009. 1st Asia Symposium on*, July 2009, pp. 9–13.
- [17] B. Calhoun and A. Chandrakasan, "Analyzing static noise margin for sub-threshold SRAM in 65nm CMOS," in *Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European*, Sept. 2005, pp. 363–366.
- [18] —, "A 256-kb 65-nm Sub-threshold SRAM Design for Ultra-Low-Voltage Operation," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 3, pp. 680–688, March 2007.
- [19] J. Oliveros and D. Cabrera, "Aplicación de la programación geométrica en el diseño de amplificadores operacionales integrados en tecnología CMOS," Trabajo de Grado, Universidad Industrial de Santander, 2006.
- [20] M. del Mar Hershenson, "CMOS Analog Design via Geometric Programming," Ph.D. dissertation, University of Stanford, 1999.

- [21] Y. Tsividis, *Operation and Modeling of The MOS Transistor*. Oxford University Press, 2004.