

**DISEÑO DE LA BOMBA DE CARGA PARA UN
CONVERSION DC-DC EMPLEANDO CAPACITORES
CONMUTADOS**

Andrés Felipe Otero Flórez

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2013



UNIVERSIDAD INDUSTRIAL DE SANTANDER

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Perfecta combinación entre Energía e Intelecto



DISEÑO DE LA BOMBA DE CARGA PARA UN CONVERSION DC-DC EMPLEANDO CAPACITORES CONMUTADOS

Andrés Felipe Otero Flórez

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

Ing. Jairo Güiza Argüello

Codirector

MSc. Jaime Guillermo Barrero Pérez

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2013

*“ Inténtalo una y otra vez, sin embargo procura en cada intento hacer algo diferente, seguro
encontrarás la solución”*

Andrés Felipe Otero Flórez

Agradecimientos

A toda mi familia, en especial a mis padres, Mario y Dora, por su constante apoyo, formación, gran ejemplo de vida y todo lo que soy. A mis hermanos, Mariofer y Julián, por sus valiosas enseñanzas e incondicionalidad en todo momento. A mi novia y gran amiga, Sandra Paola, por ser tan especial y a quien debo tan gratos momentos. A los *tripleweekend*, Juano y Mateo, por todas las locuras y ser tan excepcionales amigos. A David Díaz y Carlos Argüello por todas sus enseñanzas y gran amistad. Al gran *equipo no oficial de ultimate frisbee*, ellos(as) saben quienes son.

Al profesor Jaime Barrero y a los compañeros CIDIC, quienes nos acogieron y formaron, Jairo Güiza (El director), Fransisco Villota, Leonardo Mendoza, Andrés Amaya (El calificador), Ricardo Astro, Héctor Gómez, y quienes conformamos el grupo de los 5, Carlos Argüello, Jhon Alexander, Jeffer Mauricio y Edwin Villamizar, por el apoyo brindado a la realización de este trabajo.

A la Universidad Industrial de Santander, por hacer parte de mi formación como persona e ingeniero.

Finalmente quiero agradecer a todos, quienes directa e indirectamente participaron en el desarrollo de este proyecto.

Contenido

Introducción	14
1. Conversores SC DC-DC	17
1.1. Modelo simplificado de conversores SC DC-DC	19
1.2. Análisis de la impedancia de salida en conversores SC DC-DC	20
1.2.1. Límite <i>SSL</i> de la impedancia de salida	21
1.2.2. Límite <i>FSL</i> de la impedancia de salida	22
1.3. Conversores de dos fases con ciclo de trabajo de 50 %	23
1.4. Optimización del SC DC-DC	24
1.4.1. Optimización de capacitores	25
1.4.2. Optimización de interruptores	26
1.5. Estado del arte	27
2. Topologías	29
2.1. Principio de operación	29
2.1.1. Topología <i>Ladder</i>	31
2.1.2. Topología <i>Fibonacci</i>	32
2.1.3. Topología <i>Dickson charge pump</i>	33
2.1.4. Topología <i>Doubler</i>	34
2.1.5. Topología <i>Series-Parallel</i>	35
2.2. Análisis y comparación	36
2.2.1. Figura de mérito	37
2.3. Topología <i>Ladder</i>	39
2.4. Topología <i>Ban Cap</i>	42
2.5. Topología <i>Min Cap</i>	44
2.6. Comparación de Topologías	46
2.6.1. Evaluación de las figuras de mérito	46

2.6.2. Simulación con dispositivos ideales	48
2.6.3. Relación R_{out} vs área	48
2.6.4. Simulación con los modelos de la tecnología UMC90nm	50
3. Diseño	51
3.1. Especificaciones de diseño	51
3.2. Caracterización de la tecnología	53
3.3. Balance de la impedancia de salida	53
3.3.1. Impedancia de salida	54
3.3.2. Sustitución de parámetros	55
3.3.3. Análisis de pérdidas	57
3.4. Dimensionamiento	59
3.4.1. Capacitores	59
3.4.2. Interruptores	60
4. Resultados	62
4.1. Condiciones típicas del proceso de fabricación	62
4.2. Esquinas del proceso	65
4.3. Análisis estadístico	67
4.4. Comparación con el estado del arte	67
4.5. Observaciones y conclusiones	69
4.6. Recomendaciones para trabajos futuros	70
Bibliografía	72

Lista de Figuras

1.1. Conversor SC DC-DC tipo <i>ladder</i>	17
1.2. Circuitos equivalentes para las fases del conversor tipo <i>ladder</i> de la figura 1.1.	18
1.3. Modelo de un conversor SC DC-DC.	19
2.1. Topologías típicas.	30
2.2. Etapas en topología <i>Ladder</i>	32
2.3. Etapas en topología <i>Fibonacci</i>	33
2.4. Etapas en topología <i>Dickson charge pump</i>	34
2.5. Etapas en topología <i>Doubler</i>	34
2.6. Etapas en topología <i>Series-Parallel</i>	36
2.7. Topología <i>ladder</i>	39
2.8. Fases de operación topología <i>ladder</i>	40
2.9. Topología <i>Ban Cap</i>	42
2.10. Fases de operación topología <i>Ban Cap</i>	43
2.11. Topología <i>Min Cap</i>	44
2.12. Fases de operación topología <i>Min Cap</i>	45
2.13. Comparación de topologías con dispositivos ideales.	48
2.14. Comparación de la R_{SSL} de las topologías.	49
2.15. Comparación de la R_{FSL} de las topologías.	49
2.16. Comparación de topologías con modelos reales.	50
3.1. Circuitos integrados de administración de potencia.	52
3.2. β óptimo como función de la relación $\frac{K_2}{K_1}$	59
3.3. Diseño final de la bomba de carga.	61
4.1. Tensión de salida del conversor.	63
4.2. Tensión de rizo detallada.	63
4.3. Regulación de carga.	64

4.4. Eficiencia en función de la corriente de carga.	64
4.5. Tensión de rizo en función de la corriente de carga.	65
4.6. Tensión de salida con variaciones del proceso.	67
4.7. Histograma de dispersión de la eficiencia.	68
4.8. Histograma de dispersión de la tensión de rizo.	68

Lista de Tablas

- 1.1. Estado del arte. 28

- 3.1. Especificaciones. 53
- 3.2. Parámetros de la tecnología. 53
- 3.3. Valores de capacitancias. 60
- 3.4. Dimensiones de los transistores. 61

- 4.1. Características alcanzadas por el conversor. 65
- 4.2. Características alcanzadas por el conversor. 66
- 4.3. Estado del arte. 69

RESUMEN

TÍTULO:

DISEÑO DE LA BOMBA DE CARGA PARA UN CONVERTOR DC-DC EMPLEANDO CAPACITORES CONMUTADOS¹

AUTOR: ANDRÉS FELIPE OTERO FLÓREZ²

PALABRAS CLAVE: Administración de potencia, Capacitores conmutados, Convertidores DC-DC, *SoC*.

DESCRIPCIÓN:

La administración de potencia, área encargada del uso racional y óptima distribución de la energía en un sistema, está cobrando mayor interés en función del creciente desarrollo tecnológico en los últimos años. Los circuitos reguladores de tensión forman parte de los bloques administradores de potencia, grupo al que pertenecen reguladores lineales y convertidores conmutados, estos últimos incluyen los convertidores DC-DC y convertidores DC-DC con capacitores conmutados (SC DC-DC). Actualmente es posible implementar estas celdas reguladoras en SoCs (Sistemas en un chip), sin embargo su integración completa depende de la disponibilidad de circuitos compactos y eficientes. En este trabajo se aborda el diseño de la bomba de carga totalmente integrada para un convertidor SC DC-DC, orientado a aplicaciones de baja potencia, buscando obtener máxima eficiencia y reducir el consumo de área. En el capítulo se presenta un estudio detallado de este tipo de convertidores, resaltando las ventajas sobre otras celdas reguladoras de tensión en aplicaciones de baja potencia. En el capítulo 2 se evalúan diferentes topologías y se proponen dos adicionales, una de las cuales es seleccionada como la más adecuada para la implementación del circuito. El capítulo 3 muestra la metodología de diseño utilizada y finalmente, el capítulo 4 presenta los resultados obtenidos por el convertidor, el cual opera a una frecuencia de conmutación de 100MHz, entregando una tensión de 1V y corriente máxima de 1mA con una fuente de suministro de potencia de 1.8V; en condiciones de máxima carga la bomba de carga alcanza una eficiencia del 87.89% con una tensión de rizo de 10mV.

¹Proyecto de Grado

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director Ing. Jairo Güiza Argüello. Codirector MSc. Jaime Guillermo Barrero Pérez.

ABSTRACT

TITLE: DESIGN OF A SWITCHED CAPACITOR CHARGE PUMP FOR A DC-DC CONVERTER ³

AUTHOR: ANDRÉS FELIPE OTERO FLÓREZ ⁴

KEYWORDS: Power management, Switched capacitors, DC-DC converters, SoC.

DESCRIPTION:

Power management is the area in charge of the rational and optimal use of energy distribution in a system. It is acquiring interest due to the rapid technological advancements in recent years. Voltage regulator circuits are part of the power management blocks, these circuits are composed of lineal regulators and switched converters, the latter include DC-DC converters and also DC-DC converters with switched capacitors (SC DC-DC). Currently it is possible to implement these regulator cells in SoCs (Systems on Chips), however, their full integration depends in the availability of compact and efficient circuits. This work addresses the design of a fully integrated switched-capacitor charge pump for a SC DC-DC converter aimed at low-power applications focusing on maximum efficiency and reduced area. Chapter 1 presents a detailed study of this type of converters, highlighting advantages over other voltage regulator cells on low-power applications. Chapter 2 evaluates different topologies and additionally two more are proposed, one of which, after reviewed, was selected as more appropriate for circuit implementation. Chapter 3 shows the design methodology used, and finally, chapter 4 presents obtained results for the converter, which operates at 100MHz of switching frequency, delivering a voltage of 1V and a maximum current of 1mA, with a 1.8V power-supply; on maximum load conditions the charge pump reaches 87.89% of efficiency with a voltage ripple of 10mV.

³Degree project

⁴Physical-Mechanical Engineering Faculty. Electrical, Electronics and Telecommunications School. Advisor Eng. Jairo Güiza Argüello. Co Advisor MSc. Jaime Guillermo Barrero Pérez.

Introducción

La revolución tecnológica ha traído consigo la integración de funciones y miniaturización en los dispositivos de uso diario, características que conllevan al desarrollo de tecnologías cada vez más eficientes en áreas específicas. Una de éstas es la administración de potencia, área encargada del uso racional y óptima distribución de la potencia disponible en el circuito, brindando así una mayor autonomía⁵, fundamental en dispositivos portátiles e inalámbricos. Aunque nuevas técnicas para el diseño de baterías han sido implementadas, con muy buenos resultados [1], igualmente el avance en la escala de integración y los procesos de fabricación multiplica el número de transistores en un solo chip y la frecuencia de operación de los circuitos lógicos, lo que implica un aumento en el consumo de potencia. Una posible solución se encuentra en el concepto *multicores*, que se traduce en la integración de varios núcleos de procesamiento en un mismo chip [2].

No obstante, estos desarrollos se potencializan al implementar algún método de distribución adecuada de la energía disponible para el sistema, haciéndose indispensables los bloques administradores de potencia. Estos bloques son un conjunto de celdas básicas que constituyen un sistema de monitoreo, control y suministro de energía, del cual forman parte los circuitos de regulación de tensión, principalmente los reguladores lineales y reguladores conmutados o convertidores DC-DC. Las múltiples funciones y servicios que actualmente pueden prestar los dispositivos, aumentan la necesidad y complejidad de estos circuitos, puesto que cada aplicación puede solicitar niveles diferentes de potencia según los recursos que esta utilice.

Existen principalmente dos métodos para implementar convertidores DC-DC. El primero es mediante el diseño de múltiples fuentes conmutadas externas (*off-chip*) para el suministro de diferentes niveles de tensión. El número limitado de pines en el chip, la necesidad de elementos pasivos de alta calidad, el espacio requerido y los cuidados adicionales en el PCB son restricciones de este método, que generan un impacto directo en el costo final del sistema [2,3]. El segundo método es suministrar un único nivel de tensión al chip e internamente distribuirlo

⁵En sistemas que emplean baterías como fuente de alimentación, representa el tiempo de duración de una carga completa.

a los bloques que conforman el circuito, empleando reguladores de tensión y convertidores DC-DC integrados (*on-chip*).

La integración monolítica⁶ de sistemas electrónicos es actualmente una técnica para la reducción de costos, tamaño y consumo de potencia; sin embargo, los principales bloques administradores de potencia aún se construyen de manera discreta en gran parte de las aplicaciones comerciales. Los métodos utilizados para el desarrollo de *SoCs*⁷, integrando estos bloques, dependen de la disponibilidad de reguladores de tensión compactos y eficientes, además de mecanismos de control a altas velocidades [3].

Los reguladores lineales son casi exclusivamente los que aún realizan el trabajo de distribución de tensión *on-chip*, lo cual implica que la tensión de alimentación sea alta, puesto que la tensión de salida de un convertidor de este tipo es estrictamente menor que la tensión de entrada. Otro factor relevante es la diferencia de tensión entrada-salida, que al ser disipada por un dispositivo de paso en serie, solo resulta en valores de eficiencia aceptables, cuando la tensión de salida es ligeramente menor que la tensión de entrada, debido a que la máxima eficiencia corresponde con su *VCR*⁸ [3].

Los convertidores DC-DC basados en conmutación, son otra alternativa a la integración de las celdas administradoras de potencia (*on-die DC-DC converters*). Las topologías basadas en inductor utilizan un tanque *LC* para la transferencia de energía desde la entrada hacia la salida, conocidas simplemente como convertidores DC-DC, con los que generalmente se implementan también las fuentes conmutadas *off-chip*. Las topologías basadas en condensadores, conocidas también como convertidores DC-DC con capacitores conmutados⁹, únicamente emplean elementos capacitivos para la transferencia de energía [3]. Estos dos tipos de convertidores alcanzan altos valores de eficiencia en un rango más amplio de tensiones de salida y adicionalmente permiten la obtención de tensiones menores (*buck converter*) o mayores (*boost converter*) que la tensión de entrada.

A pesar de los recientes esfuerzos para disminuir el tamaño de los inductores integrados en tecnologías *CMOS*, estos requieren de costosos procesos de fabricación adicionales. La implementación de capas de metal más gruesas o la integración de materiales magnéticos en el proceso de fabricación, son técnicas empleadas para incrementar el valor de la inductancia y mejorar el factor de calidad *Q* [4,5], ya que estos inductores poseen una *ESR*¹⁰ muy alta, baja

⁶Hace referencia a los sistemas o circuitos construidos en una sola pieza de silicio.

⁷Siglas de *System on Chip*, en español Sistema en un Chip, es la integración de varios bloques de un sistema en el mismo circuito integrado.

⁸Siglas de *Voltage Conversion Ratio*, en español Relación de Conversión de Tensión, es la relación entre la tensión de salida y la tensión de entrada del regulador.

⁹En adelante se referirá a ellos como convertidores SC DC-DC, de sus siglas en inglés *Switched Capacitor DC-DC Converter*.

¹⁰Siglas de *Equivalent Series Resistance*, en español Resistencia Equivalente en Serie.

densidad de energía y por ende baja eficiencia. Por el contrario, los capacitores integrados pueden tener una *ESR* muy baja y altas densidades de capacitancia, en los procesos *CMOS* estándar no requieren de pasos adicionales para su fabricación, lo que permite alcanzar diseños muy eficientes para niveles de mediana y baja potencia de salida. Considerando lo anterior, resulta interesante el uso de convertidores DC-DC empleando capacitores conmutados, tanto a nivel académico como industrial, y en los últimos años se han publicado diversas técnicas de diseño, análisis y optimización de convertidores SC DC-DC [2, 6, 7].

Capítulo 1

Conversores SC DC-DC

Como se mencionó, la bomba de carga, en conversores SC DC-DC, emplea únicamente interruptores y capacitores para la transferencia de energía desde la entrada hacia la salida. Los conversores pueden ser multipuerto y cada puerto puede tener conectadas fuentes de tensión, corriente o cualquier otro tipo de circuito. Un SC DC-DC puede estar constituido por varios sub-conversores (etapas) en serie, lo que permite ampliar el rango de su relación de conversión, determinada por la topología¹ [6].

El circuito de la figura 1.1 muestra el esquema de la bomba de carga de un conversor SC DC-DC tipo *ladder*. Esta topología se empleará como ejemplo para el análisis del funcionamiento básico de conversores con capacitores conmutados. Este es un conversor *Buck* con relación de conversión 3:1, una etapa, una entrada (V_{in}) y una salida (V_{out}).

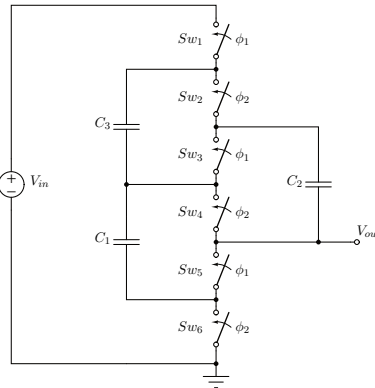


Figura 1.1: Conversor SC DC-DC tipo *ladder*.

Las etapas de un conversor SC DC-DC pueden emplear una o varias topologías, como es el

¹En el caso de los conversores SC DC-DC, una topología es un arreglo de interruptores y capacitores que permiten establecer una relación de conversión específica.

caso de los denominados conversores *multi-ratio*². Además, una sola etapa puede implementarse conectando en paralelo varias copias de una topología (o configuración de topologías), denominadas fases intercaladas. Al conectar en paralelo dos o más fases intercaladas y aplicando los métodos de control adecuados, es posible aumentar la frecuencia en la tensión de rizo a la salida al mismo tiempo que su magnitud disminuye, mejorando la calidad de la señal de salida. En una etapa con N fases intercaladas, éstas son identificadas como Φ_k , donde $k = 1, 2, \dots, N$ [6]. En el caso particular del ejemplo, el circuito no posee fases intercaladas.

En general, el funcionamiento de un conversor SC DC-DC está regido por la transferencia de carga entre los puertos de entrada y salida, V_{in} y V_{out} (figura 1.1). La transferencia de energía implica que los capacitores de la bomba de carga sean cargados y descargados continuamente a través de los interruptores. Cada interruptor es encendido por una señal de control y permanece en ese estado durante un tiempo determinado, modificando la estructura del circuito.

El período de conmutación, $\frac{1}{f_{sw}}$, siendo f_{sw} la frecuencia de operación, se compone de n subdivisiones de tiempo que no se solapan, conocidas como fases, durante las cuales hay una modificación del circuito. Las n fases de operación de un conversor son identificadas como ϕ_j , donde $j = 1, 2, \dots, n$ [6]. El circuito de ejemplo posee dos fases de operación: ϕ_1 , donde los interruptores impares entran en estado de conducción mientras los pares se mantienen en estado no conducción, y ϕ_2 , donde sucede lo contrario. La figura 1.2 muestra los circuitos resultantes para cada fase de operación.

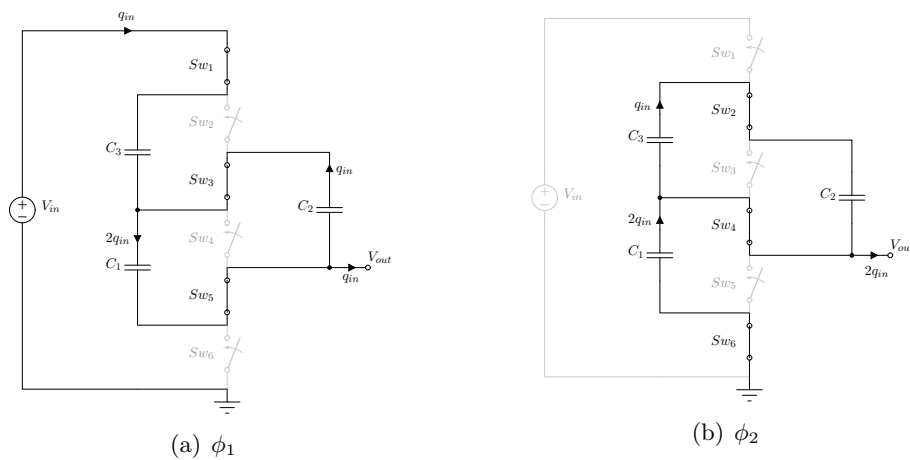


Figura 1.2: Circuitos equivalentes para las fases del conversor tipo *ladder* de la figura 1.1.

Es posible visualizar de qué manera es transferida la carga entre los dos puertos del

²Hace referencia a conversores que tienen más de una relación de conversión, esto debido a que cada topología tiene una en particular.

circuito, asumiendo que al terminal de salida es conectado un capacitor actuando como filtro y posteriormente es conectada la carga. Se hace un análisis del flujo en cada fase durante dos períodos de operación; en ϕ_1 se observa que la carga de entrada, q_{in} , fluye hacia C_3 , posteriormente en ϕ_2 la carga almacenada en C_3 es transferida a C_2 ; en el siguiente período de operación, de nuevo en ϕ_1 , se determina el flujo de carga en C_1 que es igual a $2q_{in}$, igualmente se aprecia que en el terminal de salida, durante la primera fase, fluye q_{in} y durante ϕ_2 existe un flujo de carga de salida igual a $2q_{in}$. Este análisis paso a paso, forma parte del método desarrollado en [6, 8] para el análisis y diseño de convertidores SC DC-DC.

1.1. Modelo simplificado de convertidores SC DC-DC

Debido a la carga y descarga de los capacitores durante el proceso de operación, se genera una caída de tensión a través del convertidor, proporcional a la corriente de salida. Este comportamiento puede ser modelado con una impedancia real que determine la caída de tensión en el terminal de salida, en función de la corriente de carga [6]. Dicha impedancia (denominada R_{out}) también modela las pérdidas de potencia asociadas a la resistencia finita de conducción de los interruptores y la carga y descarga de los capacitores. Este es el principal parámetro de rendimiento en convertidores SC DC-DC y es empleado para determinar tanto la eficiencia como las propiedades de regulación [8].

Es posible entonces establecer un modelo simplificado para convertidores SC DC-DC de dos puertos, como se aprecia en la figura 1.3. La relación de vueltas del transformador ideal representa la relación de conversión $n : 1$ de la topología para condiciones sin carga. Debido a que la resistencia R_{out} no afecta la relación de las corrientes de entrada y salida en el modelo, estas corrientes son fijadas por la misma relación de vueltas del transformador como:

$$I_{in} = -\frac{1}{n} I_{out} \quad (1.1)$$

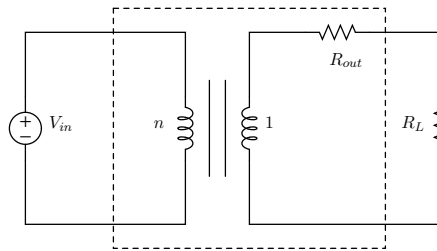


Figura 1.3: Modelo de un convertidor SC DC-DC.

1.2. Análisis de la impedancia de salida en conversores SC DC-DC

Los métodos empleados para determinar la impedancia de salida en los conversores SC DC-DC suelen ser complejos y algo complicados para realizarlos de manera intuitiva. En [6–8] los autores han desarrollado un método que facilita este análisis, el cual será base en el desarrollo de este trabajo.

Asumiendo que no hay fugas de carga ocasionadas por capacitancias parásitas en los interruptores y de acuerdo con la figura 1.3, el rendimiento de un convertor SC DC-DC se relaciona directamente con su impedancia de salida. Las pérdidas en R_{out} están asociadas únicamente a la resistencia de conducción de interruptores y conmutación de capacitores. Las pérdidas adicionales por corrientes de fuga continua, ESR , capacitancias parásitas y circuito de control no son tenidas en cuenta, y aunque pueden ser incorporadas al modelo, el modo de operación de estos conversores está gobernado principalmente por R_{out} , que es determinada con el método propuesto en [8].

El análisis se realiza suponiendo todos los dispositivos ideales, es decir, capacitores sin ESR , interruptores con resistencia finita de conducción y que no requieren esfuerzo eléctrico para cambiar de estado (conducción - no conducción o viceversa).

La impedancia de salida de un convertor SC DC-DC depende fuertemente del flujo de carga en cada elemento del circuito; para conversores de una entrada y una salida, éste es representado como el producto entre el flujo de carga de salida (q_{out}) y el vector multiplicador de carga, a_c o a_r para capacitores o interruptores respectivamente [8]. Estos vectores son denominados así debido a que multiplican el flujo de carga a la salida para determinar el flujo de carga a través de cada componente. El flujo q_{out} es la carga neta que entrega el convertor durante un período de operación en estado permanente.

Los flujos de carga en cada elemento pueden ser expresados en términos de la corriente:

$$q_c^j = a_c^j q_{out} = a_c^j \frac{I_{out}}{f_{sw}} \quad (1.2)$$

$$q_r^j = a_r^j q_{out} = a_r^j \frac{I_{out}}{f_{sw}} \quad (1.3)$$

donde q_c^j y q_r^j son los vectores del flujo de carga en los capacitores e interruptores durante la fase de operación ϕ_j . En [8] se presenta un método sencillo para determinar los vectores a_c y a_r ; el cual incluye el procedimiento que se aplicó al circuito de la figura 1.1 para determinar la transferencia de carga entre sus terminales entrada-salida. El análisis aplica para arquitecturas

con n fases de operación [6, 7].

El método propuesto establece dos condiciones de operación para el análisis de la impedancia total de salida: el límite de conmutación lenta (*SSL*, de sus siglas en inglés *Slow-Switching Limit*), donde R_{out} está dominada por las pérdidas asociadas a la carga y descarga de los capacitores; y el límite de conmutación rápida (*FSL*, de sus siglas en inglés *Fast-Switching Limit*), donde R_{out} está dominada por las pérdidas asociadas a la resistencia de conducción en los interruptores.

1.2.1. Límite *SSL* de la impedancia de salida

El límite de conmutación lenta es calculado asumiendo interruptores, capacitores y conductores de interconexión ideales, las corrientes que fluyen entre capacitores y puertos de entrada y salida del circuito son modeladas como transferencia de cargas. Evaluar la impedancia de salida en el límite *SSL*, implica que el período de conmutación de los interruptores sea considerable, lo que resulta en la oscilación acentuada de la tensión en los capacitores, ocasionando pérdida de energía. Estas pérdidas son dependientes de la frecuencia de conmutación (f_{sw}) y el tamaño de los capacitores, como se observa más adelante.

Se definen nuevos vectores multiplicadores de carga, a^j , donde $j = 1, 2, \dots, n$, de acuerdo al número de fases. El vector a^j corresponde a los flujos de carga que hay inmediatamente después que los interruptores entran en estado de conducción iniciando la fase ϕ_j . Cada uno de los elementos en a^j está relacionado a un capacitor o una fuente independiente de tensión y representa el flujo de carga de cada componente, normalizado con respecto al flujo de carga de salida, q_{out} [6]. Un vector a^j se define como:

$$a^j = \left[q_{out}^j \quad q_1^j \quad \dots \quad q_n^j \quad q_{in}^j \right]^T / q_{out} \quad (1.4)$$

que también puede ser expresado en función del vector a_c^j como:

$$a^j = \left[a_{out}^j \quad a_c^j \quad a_{in}^j \right]^T \quad (1.5)$$

El teorema de Tellegen aplicado al análisis de convertidores SC DC-DC establece que: para una red cualquiera obtenida en cada una de sus n fases, cualquier vector de tensiones de rama, que satisfaga la ley de tensiones de Kirchoff (LVK), es ortogonal a cualquier vector de corrientes de rama que satisfaga la ley de corrientes de Kirchoff (LCK), es decir, $a^j \cdot v^j = 0$, donde v^j es el respectivo vector de tensiones durante la fase j [8]. La entrada y la salida del convertidor son modeladas como fuentes de tensión independientes. Determinar la impedancia de salida del circuito requiere hacer cero la fuente de tensión de entrada y hallar el flujo de

carga hacia la fuente de tensión de salida. De esto se obtiene:

$$v_{out} \sum_{j=1}^n a_{out}^j + \sum_{i \in caps} \sum_{j=1}^n (a_{c,i}^j v_{c,i}^j) = 0 \quad (1.6)$$

manipulando esta expresión se puede determinar el límite *SSL* de la impedancia de salida como [6]:

$$R_{SSL} = -\frac{v_{out}}{i_{out}} = \sum_{i \in caps} \sum_{j=1}^n \frac{(a_{c,i}^j)^2}{2C_i f_{sw}} \quad (1.7)$$

donde C_i es el valor del i ésimo capacitor. La impedancia de salida R_{SSL} modela de manera directa las pérdidas debidas a la carga y descarga de los capacitores.

1.2.2. Límite *FSL* de la impedancia de salida

El límite *FSL* está caracterizado por un flujo casi constante de corriente entre los capacitores. La resistencia de encendido de los interruptores, la ESR de los capacitores, y las componentes resistivas de los conductores son dominantes; sin embargo el análisis únicamente toma en cuenta la resistencia de conducción de los interruptores, R_i para el i ésimo interruptor del convertidor. En el límite *FSL*, las tensiones de los capacitores son modeladas como constantes. Contrario a la R_{SSL} , la impedancia de salida evaluada en condiciones de cortos períodos de conmutación, R_{FSL} , es independiente de la frecuencia y por lo tanto de las pérdidas asociadas a la carga-descarga de los capacitores, ya que la operación del circuito a frecuencias de conmutación altas, permite que estos últimos mantengan mayor cantidad de carga durante cada período de operación.

El ciclo de trabajo del convertidor es importante cuando se analiza la R_{FSL} . Un ciclo de trabajo D_j será usado para la fase j de un convertidor de n fases.

El procedimiento inicia definiendo el multiplicador de carga $a_{r,i}^j$ como el flujo de carga que pasa a través del interruptor i durante la fase j . En cada fase los valores de $a_{r,i}^j$, para los interruptores que se encuentran en estado de conducción, se pueden determinar como una combinación lineal de los multiplicadores de carga a_c^j . Los valores de $a_{r,i}$ de los interruptores que no se encuentran en conducción se hacen cero.

En el análisis de la *FSL*, la corriente a través de los interruptores encendidos se asume constante. Teniendo en cuenta el vector de flujo de cargas, la corriente en cada interruptor durante cada fase es determinada por:

$$i_{r,i}^j = \frac{1}{D_j} q_{r,i} f_{sw} \quad (1.8)$$

donde $q_{r,i}^j$ es el flujo de carga a través del interruptor i durante el período j con una relación D_j del período de conmutación total. Al sustituir $q_{r,i} = a_{r,i}q_{out}$ y $q_{out} = \frac{i_{out}}{f_{sw}}$, se obtiene:

$$i_{r,i}^j = \frac{a_{r,i}}{D_j} i_{out} \quad (1.9)$$

de donde es posible derivar una expresión para R_{FSL} como [6]:

$$R_{FSL} = \sum_{i \in \text{interr}} \sum_{j=1}^n \frac{R_i}{D_j} (a_{r,i}^j)^2 \quad (1.10)$$

La impedancia total de salida resulta de la combinación de los dos componentes, R_{SSL} y R_{FSL} ; sin embargo, no es posible sumar directamente los dos términos para determinar la expresión que permite modelar R_{out} de manera exacta, ya que el análisis en las secciones 1.2.1 y 1.2.2 se realizó asumiendo condiciones de operación diferentes. Encontrar una ecuación exacta requiere procedimientos matemáticos complejos, que llegan a ser imprácticos en situaciones particulares, de esta manera se han propuesto métodos aproximados orientados al diseño del convertidor, simplificando el proceso. La impedancia total, de acuerdo a lo anterior, está determinada por [6, 9]:

$$R_{out} \approx \sqrt{R_{SSL}^2 + R_{FSL}^2} \quad (1.11)$$

Lo anterior permite que el análisis y optimización de los componentes pueda ser realizado de manera independiente para capacitores e interruptores, ya que en cada condición de operación las características del convertidor están gobernadas por uno de los dos conjuntos de componentes.

1.3. Conversores de dos fases con ciclo de trabajo de 50%

Típicamente los convertidores SC DC-DC utilizan únicamente dos fases de operación, trabajando en contrafase. El convertidor puede ser operado a una frecuencia de conmutación fija, empleando la variación del ciclo de trabajo para ajustar la impedancia de salida, sin embargo, la máxima eficiencia solo puede ser alcanzada optimizando la frecuencia de conmutación y operando las fases con ciclos de trabajo del 50% [2].

En convertidores con las condiciones expuestas anteriormente, los procedimientos requeridos y expresiones para el análisis, diseño y optimización del circuito pueden ser simplificados. En la sección 1.2, se establecen los métodos y modelos que son utilizados durante el estudio de la impedancia de salida (R_{out}) de convertidores con n fases de operación y ciclos de trabajo D_j , los cuales se reducen en condiciones particulares.

El análisis de transferencia de carga del i -ésimo capacitor, en circuitos con dos fases de operación, establece que el flujo de carga durante una fase debe ser igual y opuesto al flujo de carga en la otra fase, así [8]:

$$q_{ci}^1 = -q_{ci}^2 \quad (1.12)$$

Las expresiones 1.7 y 1.10, también son simplificadas en convertidores con estas condiciones, y están determinadas como [8]:

$$R_{SSL} = \sum_i \frac{(a_{c,i})^2}{C_i f_{sw}} \quad (1.13)$$

$$R_{FSL} = 2 \sum_i R_i (a_{r,i})^2 \quad (1.14)$$

La expresión aproximada para la impedancia total de salida no cambia, únicamente los dos componentes, y teniendo en cuenta que estos son los parámetros principales que gobiernan el principio de operación en convertidores SC DC-DC, el proceso de diseño y optimización es también simplificado.

1.4. Optimización del SC DC-DC

Como se mencionó anteriormente, es posible optimizar los componentes del circuito (capacitores e interruptores) de manera independiente, basándose en la contribución que cada uno hace a la impedancia de salida. Esta optimización es realizada minimizando la impedancia R_{out} , en función de una medida de costo. Adicionalmente, el método permite optimizar el diseño a nivel de sistema, teniendo en cuenta especificaciones de frecuencia de conmutación y resistencia de salida para la selección del tamaño mínimo de los componentes.

Para una topología seleccionada, el procedimiento de optimización requiere el cálculo de cuatro parámetros principalmente, los vectores a_c , a_r , v_c y v_r . Los dos primeros son los vectores multiplicadores de carga tanto para capacitores como para interruptores y se mencionaron en la sección anterior, mientras que los segundos son los vectores de tensiones de trabajo de los capacitores e interruptores respectivamente. La tensión de trabajo para un capacitor es la máxima que este puede soportar durante la operación del convertidor en estado estable. Para un interruptor, por otra parte, es la tensión que debe bloquear en su estado de no conducción cuando el circuito está operando en estado estable.

Los vectores v_c y v_r , para capacitores e interruptores respectivamente, son determinados por inspección, de manera similar al método utilizado para hallar los vectores multiplicadores

de carga. El análisis requiere asumir el valor de una fuente de tensión, que puede ser la fuente de entrada, recomendada cuando se trata de convertidores *boost*, o la tensión de salida modelada como una fuente constante, adecuada en el análisis de convertidores *buck* [6].

En un flujo de diseño, antes de aplicar un método de optimización es necesario verificar las posibles restricciones que la tecnología de fabricación impone. Un primer aspecto a tener en cuenta son las tensiones nominales de los dispositivos asociados a una determinada tecnología o tecnologías disponibles, es decir, si un componente, capacitor o interruptor se desea implementar en un proceso de fabricación, existe una restricción particular que indica la tensión máxima que puede soportar cualquier dispositivo fabricado sobre este proceso. Estas tensiones nominales son identificadas como $v_{c(rated)}$ para los capacitores y $v_{r(rated)}$ para los interruptores, y deben ser superiores (o en el peor de los casos iguales) a las tensiones de trabajo de los componentes del circuito, evitando de esta forma posibles daños ocasionados por condiciones de operación inadecuadas del circuito, donde algunas tensiones pueden exceder el máximo valor esperado cuando el sistema se encuentra en estado estable.

1.4.1. Optimización de capacitores

La contribución que hacen los capacitores a las pérdidas modeladas por la resistencia total de salida R_{out} del convertidor, están representadas en la ecuación 1.7. Este será el punto de partida para realizar la optimización de cada uno de los capacitores que son requeridos por la topología seleccionada para implementar el convertidor.

La restricción de costo que se tendrá en cuenta para este procedimiento está basada en la relación que existe entre el área requerida por el capacitor y la máxima capacidad que este tiene para almacenar energía. La energía almacenada por un capacitor está dada por:

$$E_c = \frac{1}{2} C V_c^2 \quad (1.15)$$

Considerando como límite máximo la tensión nominal de los capacitores ($v_{c(rated)}$), es posible obtener la máxima capacidad que éste tiene para almacenar energía, además si se tienen en cuenta los i capacitores que son necesarios en una topología particular, es posible determinar la capacidad total de almacenamiento de energía que tiene todo el convertidor como:

$$E_{tot} = \sum_i \frac{1}{2} (v_{c,i(rated)})^2 C_i \quad (1.16)$$

Es pertinente aclarar que la tensión $v_{c,i(rated)}$ se refiere a la tensión nominal o tensión máxima del i -ésimo capacitor y no a la tensión de operación o tensión de trabajo, v_c , del mismo.

De esta manera, empleando el método de multiplicadores de Lagrange, se busca minimizar la R_{SSL} mientras se mantiene constante la capacidad de almacenamiento de energía total del circuito; de donde se obtienen las siguientes expresiones para los valores de capacitancia y la resistencia de pérdidas ocasionadas por la carga y descarga de los capacitores [8].

$$C_i = \left| \frac{a_{c,i}}{v_{c,i(rated)}} \right| \frac{2E_{tot}}{\sum_k |a_{c,k} v_{c,k(rated)}|} \quad (1.17)$$

$$R_{SSL_{op}} = \frac{1}{2E_{tot}f_{sw}} \left(\sum_i |a_{c,i} v_{c,i(rated)}| \right)^2 \quad (1.18)$$

Existe un caso particular en los procesos o tecnologías de fabricación de circuitos integrados, donde por lo general las tensiones nominales de los dispositivos fabricados en dicho proceso son iguales, o bien como ocurre con la topología *ladder* (sección 2.3), donde las tensiones de trabajo y por ende las tensiones nominales de los capacitores son idénticas. En tal caso se restringe el valor de la capacitancia total del circuito C_{tot} , para optimizar los capacitores, en lugar de mantener constante la E_{tot} ; de esta forma, se obtienen las siguientes expresiones [8]:

$$C_i = \frac{|a_{c,i}|}{\sum_k |a_{c,k}|} C_{tot} \quad (1.19)$$

$$R_{SSL_{op}} = \frac{1}{C_{tot}f_{sw}} \left(\sum_i |a_{c,i}| \right)^2 \quad (1.20)$$

1.4.2. Optimización de interruptores

Un análisis similar es empleado en la optimización de interruptores, los cuales contribuyen con la resistencia total de salida del convertidor, expresada en la ecuación 1.10; en este caso la restricción de costo que se tiene en cuenta para el procedimiento está basada en la relación existente entre el área y el producto $V \cdot I$ de los interruptores, que corresponde al producto entre la conductancia del interruptor y el cuadrado de la tensión nominal del mismo, lo que resulta en una optimización en el tamaño del dispositivo, ya que la conductancia de un interruptor implementado con un transistor es directamente proporcional al ancho del transistor (W) e inversamente proporcional a su longitud (L). La expresión para la suma de los productos $V \cdot I$ de la totalidad de los interruptores requeridos por la topología seleccionada está dada por [8].

$$X_{tot} = \sum_{i \in \text{interruptores}} G_i(v_{r,i(rated)})^2 \quad (1.21)$$

De esta manera se desea minimizar la R_{FSL} manteniendo constante X_{tot} , para lo cual se

emplea de nuevo el método de los multiplicadores de Lagrange, obteniendo las expresiones para la conductancia de salida optimizada de cada interruptor y la R_{FSL} resultante como [8]:

$$G_i = \frac{1}{R_i} = \left| \frac{a_{r,i}}{v_{r,i(rated)}} \right| \frac{X_{tot}}{\sum_k |a_{r,k} v_{r,k(rated)}|} \quad (1.22)$$

$$R_{FSL_{op}} = \frac{2}{X_{tot}} \left(\sum_i |a_{r,i} v_{r,i(rated)}| \right)^2 \quad (1.23)$$

De nuevo es posible simplificar estas expresiones para el caso particular en el cual las tensiones nominales de todos los dispositivos son idénticas, estableciendo como restricción la conductancia total del convertidor G_{tot} , resultando:

$$G_i = \frac{|a_{r,i}|}{\sum_k |a_{r,k}|} G_{tot} \quad (1.24)$$

$$R_{FSL_{op}} = \frac{2}{G_{tot}} \left(\sum_i |a_{r,i}| \right)^2 \quad (1.25)$$

1.5. Estado del arte

En el área de la administración de potencia numerosos trabajos han sido presentados orientados al desarrollo de sistemas PMIC (*Power Management Integrated Circuits*), dentro de los cuales son incluidas las celdas reguladoras de tensión, de la que forman parte los reguladores lineales y convertidores DC-DC. Explícitamente en el campo de los convertidores DC-DC con capacitores conmutados, en los últimos años se han publicado trabajos que incluyen, no solo el desarrollo de nuevas técnicas de diseño, análisis y optimización, sino también el resultado de los esfuerzos enfocados en alcanzar los requerimientos que exige actualmente la industria de los semiconductores. En la tabla 1.1 se presentan las características principales de algunos de estos trabajos.

El grupo de investigación *CIDIC*, por otra parte, cuenta con dos trabajos previos en el área de administración de potencia, el diseño de un regulador *LDO* [10] y el diseño de un convertidor DC-DC [11], ambos totalmente integrados, desarrollados por Luis Gutierrez y Jairo Güiza respectivamente.

Trabajo	V_{in} [V]	V_{out} [V]	I_{out} [mA]	V_R [mV]	η [%]	C_{tot} [pF]	C_{out} [pF]	f_{sw} [MHz]	Proceso [nm]	Año
[12]	1.2	0.3 - 1.1	0.01 - 1	-	> 70	2400	-	15	180	2007
[13]	1.2	0.45	2 - 200	≤ 20	-	-	$16\Phi^*$	3500	65	2010
[14]	1.8	0.8 - 1	8	50	69	534	700	30	45	2010
[15]	1.8	0.8	0.1 - 4	< 15	85	4800	$16\Phi^*$	700	45	2011
[16]	3.3	1.3 - 1.6	25.5	42	86	490	50	-	180	2012
[17]	1.8	0.836	18.6	-	86	1410	Ext.*	100	32	2013

* Emplea capacitor de salida externo (Ext.) o múltiples fases intercaladas (Φ).

Tabla 1.1: Estado del arte.

Capítulo 2

Topologías

Anteriormente no existía un análisis práctico que permitiera realizar una selección adecuada entre diferentes topologías propuestas para un mismo diseño [8], sin embargo, en [6] Seeman propone una metodología que permite comparar las características de estas estructuras, empleando figuras de mérito basadas en el costo generado por consumo de área y consumo de potencia de los dispositivos utilizados en el diseño.

La mayoría de los convertidores SC DC-DC son estructuras bidireccionales, lo cual implica que intercambiando los terminales de entrada-salida entre sí, es posible configurar la arquitectura en modo *buck* o *boost* según se requiera, siendo la relación de conversión de una, el recíproco de la otra [18]. En la figura 2.1 se presentan 5 topologías empleadas frecuentemente en la literatura para el diseño de convertidores SC DC-DC. Todas estas estructuras actúan en modo *buck* cuando sus terminales V_2 son usadas como entradas y las V_1 como salidas; en caso contrario (V_1 entrada, V_2 salida), por la propiedad anteriormente descrita, las estructuras se comportan como convertidores *boost*, exceptuando la topología *series-parallel* (figura 2.1(e)), la cual requiere una pequeña variación, como se verá en detalle más adelante (sección 2.1.5). Esta propiedad es aprovechada en la metodología propuesta por Seeman, debido a que con un mismo análisis se permite evaluar las características de rendimiento de cada circuito para sus dos configuraciones [6, 8].

2.1. Principio de operación

Un breve análisis cualitativo y la descripción del principio de operación de los circuitos de la figura 2.1, permite establecer cuál o cuáles topologías resultan más adecuadas para alcanzar las especificaciones propuestas en este proyecto, descartando las demás sin necesidad de llevar a cabo un estudio riguroso. Adicionalmente, para facilitar dicho análisis, es posible representar

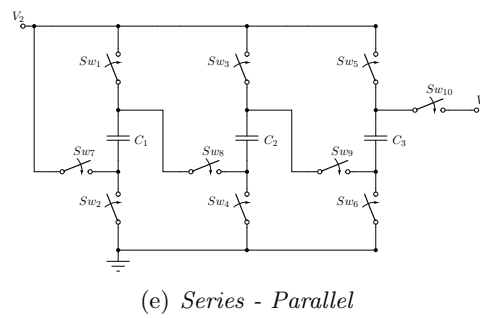
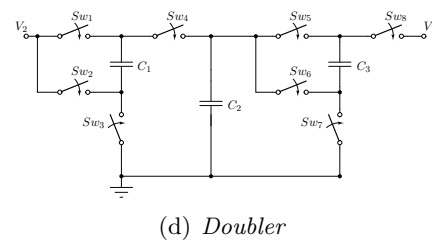
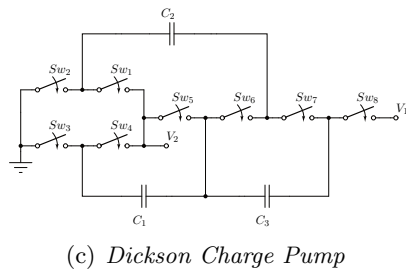
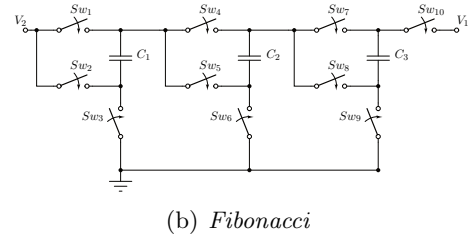
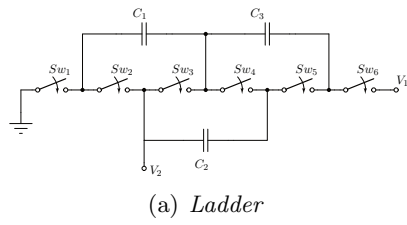


Figura 2.1: Topologías típicas.

cada topología como la interconexión en cascada de estructuras más simples, cuyo número determina la relación de conversión de cada arquitectura.

El análisis detallado de estas 5 topologías establece que, para obtener relaciones de conversión $1 : 2$ o $2 : 1$, todas las estructuras son idénticas a una etapa dobladora de tensión [6,8]; para relaciones de conversión diferentes, existe una celda base que diferencia una topología de otra, y partiendo de esta, es posible adicionar etapas idénticas para incrementar o disminuir la relación de conversión del circuito según se requiera. En esta sección, las celdas base de cada topología serán dibujadas con líneas sólidas, mientras que el resto del circuito será trazado con líneas punteadas.

Como se mencionó anteriormente, en general los conversores SC DC-DC son implementados trabajando únicamente con dos fases de operación en contrafase, con un ciclo de trabajo del 50 %, para obtener mayor eficiencia; la descripción de cada estructura se hace asumiendo estas condiciones. Es importante resaltar que todas las topologías analizadas en este capítulo tienen un capacitor a la salida, el cual actúa como filtro, pero no es tenido en cuenta durante el análisis, ya que la salida es modelada como una fuente de tensión constante V_{out} .

2.1.1. Topología *Ladder*

El circuito de la figura 2.1(a) muestra la topología *ladder*, basada en dos conjuntos; el primero conformado por una serie de capacitores conocidos como *bypass*, los cuales mantienen entre sus terminales un valor de tensión DC que es múltiplo entero de la tensión de entrada (conversores *boost*) o tensión de salida (conversores *buck*); para este caso, C_1 y C_3 cumplen la función de *bypass*. El segundo conjunto está conformado por los capacitores *flying*, encargados de administrar la carga e igualar tensiones entre los capacitores de *bypass*; en la figura 2.1(a), C_2 cumple este papel. La operación del circuito se desarrolla en dos fases, ϕ_1 y ϕ_2 , donde en la primera son activados los interruptores impares (modo conducción) y desactivados los pares (modo no conducción); durante ϕ_2 se presenta el caso contrario: interruptores impares deshabilitados, pares habilitados.

Con esta topología es posible obtener una relación de conversión $1 : n$ ó $n : 1$ conectando varias etapas idénticas conformadas, cada una, por un conjunto de dos interruptores y dos capacitores, uno de ellos actuando como *flying* y el otro como *bypass*. La figura 2.2 muestra la adición de dos etapas (líneas punteadas) a la estructura base (línea sólida). El número de capacitores empleado para obtener una relación de conversión particular, siendo n entero, está dado por $2n - 3$, mientras que el número de interruptores está definido por $2n$.

Además, es posible obtener una relación de conversión racional, ubicando el terminal V_2 entre los diferentes nodos que interconectan los capacitores *flying*, como se observa en la figura.

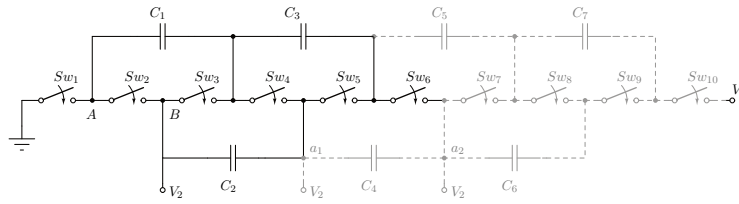


Figura 2.2: Etapas en topología *Ladder*.

Esta relación es determinada realizando el análisis de transferencia de carga, utilizado en la sección 1. La figura 2.2 presenta dos casos particulares, $n = \frac{3}{2}$ ubicando V_2 en el nodo a_1 y $n = \frac{5}{3}$ con V_2 conectado al nodo a_2 .

Una variación de esta topología se obtiene al conectar los capacitores de cada grupo en paralelo, es decir, la placa inferior de los capacitores de *bypass* es conectada al nodo A , al mismo tiempo que la placa inferior de los capacitores *flying* es conectada al nodo B (ver figura 2.2); con esta variación el nivel de tensión máximo que deben soportar los capacitores es mayor, sin embargo el flujo de carga de cada uno respecto a la carga de salida, es menor.

2.1.2. Topología *Fibonacci*

La topología *Fibonacci* (figura 2.1(b)) se caracteriza porque permite obtener la relación de conversión más alta para un número determinado de capacitores, es decir, empleando k capacitores es posible obtener una relación de conversión de $n = F_{k+2}$ [6]. El i -ésimo número de *Fibonacci*, para $i \geq 1$ está dado por:

$$F_i = \frac{\phi^i - (1 - \phi)^i}{\sqrt{5}} = 1, 1, 2, 3, 5, 8, 13, \dots \quad (2.1)$$

donde ϕ es el número áureo $\phi = \frac{1+\sqrt{5}}{2} \approx 1,6180\dots$

En la figura 2.3 se observa que esta topología presenta un patrón similar de celdas (etapas), cada una conformada por un conjunto de tres interruptores y un capacitor, excepto la etapa final, la cual requiere un interruptor adicional para conectar el terminal V_1 . El número total de etapas conectadas será proporcional a la relación de conversión, incrementando según la serie de *Fibonacci*. Cabe resaltar que V_1 estará conectado durante fases diferentes, según la cantidad de etapas que conforman el circuito. El modo de operación de los interruptores es idéntico a la topología anterior, en ϕ_1 conducen los impares y en ϕ_2 los pares. La relación de conversión está definida de acuerdo al número k de capacitores, para lo cual son requeridos $3k + 1$ interruptores.

Si se enumeran las celdas, según su capacitor asociado, es posible notar que las etapas

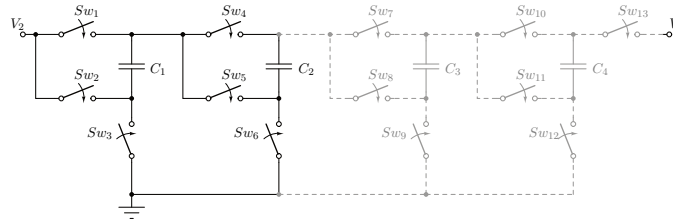


Figura 2.3: Etapas en topología *Fibonacci*.

impares operan de modo similar durante cada fase y de igual forma ocurre con el conjunto de celdas pares; para el caso particular del circuito de la figura 2.1(b), se observa que las celdas asociadas a los capacitores C_1 y C_3 tienen el mismo comportamiento, es decir, se conectan a tierra en ϕ_1 y se desconectan de tierra en ϕ_2 ; el comportamiento asociado a C_2 será entonces inverso. La figura 2.3 demuestra que si una cuarta etapa es conectada, su capacitor asociado, C_4 , tendrá un comportamiento idéntico a C_2 .

2.1.3. Topología *Dickson charge pump*

Una tercera estructura es presentada en la figura 2.1(c), conocida como topología *Dickson charge pump*. Su principio de funcionamiento es similar a la topología *ladder*, basado en dos conjuntos de capacitores. La diferencia en esta arquitectura se encuentra en que ambos conjuntos actúan como *flying* que operan en fases diferentes, transmitiendo la carga en cadena desde la entrada hacia la salida. Durante la fase ϕ_1 conducen los interruptores impares mientras los pares permanecen abiertos, permitiendo que los capacitores del conjunto superior transmitan e igualen carga a los del conjunto inferior. En la fase ϕ_2 sucede lo contrario, únicamente entran en conducción los interruptores pares, lo que permite a los capacitores del conjunto inferior transferir la carga a los del grupo superior.

Con esta topología se pueden obtener relaciones de conversión $1 : n$ ó $n : 1$, siendo n un número entero. La disposición de los componentes, como se observa en la figura 2.4, permite alcanzar una relación de conversión particular, partiendo de su estructura base y conectando una secuencia de etapas, de tal manera que se puede modificar n hasta el valor requerido. El número de capacitores e interruptores necesarios está determinado por $n - 1$ y $n + 4$ respectivamente.

Cada etapa está constituida por un conjunto capacitor - interruptor, los cuales son ubicados siguiendo un patrón estándar. Partiendo de la estructura base, todos los interruptores requeridos de acuerdo al número de etapas son conectados en serie, posteriormente los capacitores son conectados de manera alternada, es decir, el capacitor asociado a la primera etapa (C_3 en la figura 2.4) se conecta al conjunto inferior, la segunda etapa requiere un capacitor

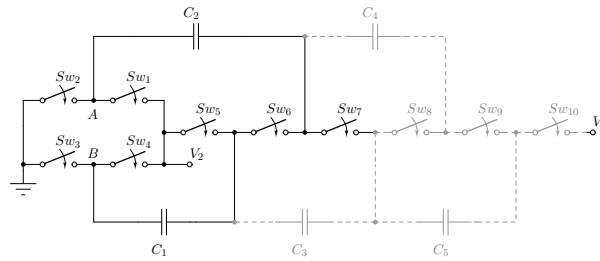


Figura 2.4: Etapas en topología *Dickson charge pump*.

adicional, C_4 , conectado al grupo superior, y así sucesivamente, dependiendo del número de etapas adicionales. Esta condición hace que el terminal V_1 sea conectado en ϕ_1 y desconectado en ϕ_2 cuando n es impar y de manera inversa para n par.

Esta topología puede modificarse conectando los dos conjuntos de capacitores en paralelo, es decir, las placas inferiores de los capacitores pares conectadas al nodo A y las placas inferiores de los demás, conectadas al nodo B (ver figura 2.4). Los capacitores en esta condición deben soportar un nivel de tensión más alto, sin embargo, el vector a_c será un vector de unos.

2.1.4. Topología *Doubler*

La topología *Doubler* (figura 2.1(d)), con un principio de operación sencillo, consiste en la conexión en cascada de un número determinado de etapas o subconvertidores con relación de conversión 1:2 o 2:1, *buck* o *boost* según sea el caso. Esta arquitectura, al igual que algunas de las anteriores, está conformada por dos grupos de capacitores con funciones específicas: en la figura 2.5, el conjunto de capacitores impares (*flying*), entregan la carga a la salida, además de administrar carga e igualar tensiones en los capacitores pares o intermedios. Estos últimos, actuando como *bypass*, se encargan de mantener fijo el nivel de tensión de entrada a cada etapa.

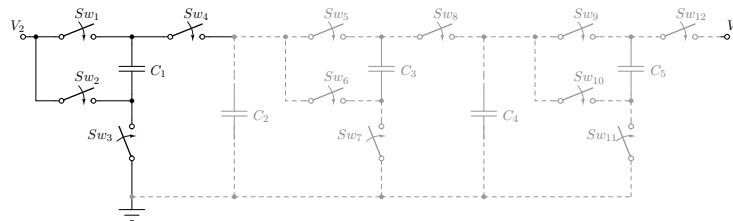


Figura 2.5: Etapas en topología *Doubler*.

La estructura base (línea sólida en la figura 2.5), que puede ser considerada una etapa más, está conformada por un capacitor y cuatro interruptores. El mismo número de componentes es requerido en etapas posteriores (líneas punteadas), sólo que estas deben estar precedidas por

un capacitor adicional, que actúa como *bypass*, como fue explicado anteriormente. El modo de operación de los interruptores es similar al mencionado en topologías anteriores; en ϕ_1 , conducen interruptores impares y en ϕ_2 los pares. La relación de conversión, $1 : n$ ó $n : 1$ está determinada según el número k de etapas como $n = 2^k$, utilizando $2k - 1$ capacitores y $4k$ interruptores.

2.1.5. Topología *Series-Parallel*

La figura 2.1(e) muestra la topología *series-parallel*, basada en un principio de funcionamiento simple, sin embargo presenta una particularidad respecto a las demás, ya que para conservar la propiedad bidireccional, necesita de un ligero ajuste. Esta condición es más clara analizando por separado cada modo de operación del circuito (*buck* y *boost*).

En modo *buck*, la fuente de tensión de entrada se conecta al terminal V_1 , mientras que la carga es conectada en V_2 ; su relación de conversión es $n : 1$, para n entero. La operación del circuito es simple, durante la fase ϕ_1 los n capacitores son conectados en serie con la fuente de tensión de entrada, permitiendo que todos sean cargados al mismo nivel de tensión, $\frac{V_1}{n}$. En la siguiente fase de operación, ϕ_2 , los n capacitores son conectados en paralelo al nodo de salida del conversor, entregando al circuito de carga, la energía almacenada durante la primera fase. El número de interruptores necesarios está determinado por $3n + 1$.

Por otra parte, en modo *boost*, la tensión de entrada corresponde al terminal V_2 , y la salida a V_1 ; en este caso, la tensión de entrada es V_2 y la de salida V_1 ; la relación de conversión, de nuevo para n entero, es $1 : n$. Durante la fase ϕ_1 son conectados en paralelo los $n - 1$ capacitores a la fuente de tensión V_2 , cargándolos a un nivel de tensión particular. En la siguiente fase, ϕ_2 , todos los capacitores son conectados en serie junto con la fuente de entrada V_2 , suministrando la carga almacena al circuito conectado a la salida del conversor. El número de interruptores requeridos para esta condición es $3n - 2$. El uso eficiente de los capacitores hace favorable esta topología para diseños de baja tensión [8].

La figura 2.6 muestra cómo esta topología es conformada por una estructura base y un conjunto de etapas idénticas, formadas por un arreglo de tres interruptores y un capacitor; la última etapa, al igual que en la topología *Fibonacci*, requiere de un interruptor adicional que conecta el terminal V_1 .

Se puede concluir que esta topología puede ser bidireccional, sin embargo como lo revela el análisis anterior, su relación de conversión no es recíproca, debido a que en modo *boost*, la fuente de tensión de entrada se mantiene conectada durante las dos fases de operación, haciendo que la relación de conversión sea mayor al número de capacitores utilizados, a diferencia del modo *buck*, donde la cantidad de elementos almacenadores de carga define la relación de

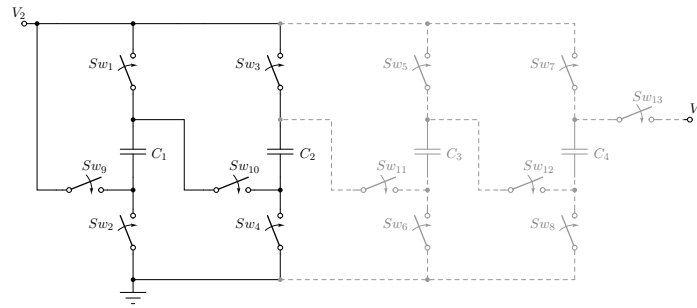


Figura 2.6: Etapas en topología *Series-Parallel*.

conversión.

En [6], es presentada una variación de esta topología, donde es posible obtener relaciones de conversión $m : n$, para $m < n$, siendo ambos números enteros. Sin embargo esta característica limita la implementación de la arquitectura modificada a convertidores tipo *boost*, ya que la variación elimina la propiedad bidireccional del circuito.

2.2. Análisis y comparación

Un análisis detallado de las 5 topologías es presentado por Seeman en [6,8], sin embargo, el estudio realizado a las características principales propias de cada topología, permite identificar algunos aspectos relevantes que limitan su aplicación a sistemas particulares. Basándose en lo anterior y de acuerdo a las especificaciones propuestas en la sección 3.1, es posible determinar qué topologías permiten alcanzar los objetivos propuestos en este proyecto.

La relación de conversión especificada para el diseño del circuito es racional, es decir $n : 1$, siendo n un número racional mayor a 1 (tipo *buck*). Partiendo de este hecho ya es posible, sin necesidad de abordar un estudio detallado, descartar tres de las topologías presentadas.

La primera, *Fibonacci*, aunque reduce el número de capacitores necesarios para alcanzar relaciones de conversión particulares, resulta inadecuada en aplicaciones que requieran un valor n diferente del conjunto de números asociados a la serie de *Fibonacci*. La topología *Doubler* sencillamente permite elevar (o reducir) la tensión de entrada en múltiplos de 2 (o múltiplos de $\frac{1}{2}$), restringiendo su aplicación a un conjunto particular de situaciones. Lo anterior indica que no es posible, de ninguna manera, adaptar la estructura del circuito para ser utilizada en el diseño del convertidor propuesto. Finalmente, el principio de funcionamiento de la bomba de carga *Dickson*, descrito anteriormente, explica que empleando esta arquitectura en convertidores SC DC-DC, es posible alcanzar únicamente relaciones de conversión donde n sea un número entero, por lo tanto es también excluida.

Las dos topologías restantes pueden ser analizadas con mayor detalle, sin embargo, antes de llevar a cabo este estudio es necesario hacer una revisión general. La topología *ladder* permite obtener relaciones de conversión de tipo racional tanto para elevar como para reducir tensiones, característica que indica que es adecuada para la implementación, sin embargo no ocurre lo mismo con la topología *series-parallel*, que permite obtener relaciones de conversión de este tipo, pero únicamente para convertidores *boost*. En principio, esta situación sugiere que la topología no presenta las características apropiadas para este proyecto, no obstante, su principio de operación es aprovechado para elaborar estructuras que permiten alcanzar una relación de conversión particular; con base en este hecho se proponen dos topologías que combinan el principio de operación de la arquitectura *series-parallel* con la teoría y técnicas del estado del arte y la literatura.

Las siguientes secciones muestran el análisis de la topología *ladder*, junto con dos topologías propuestas en este trabajo, utilizando la metodología planteada por Seeman y Sanders, descrita en el capítulo anterior. La relación de conversión utilizada es justamente la relación de conversión de interés de este trabajo (5 : 3).

Dado que la metodología requiere determinar los vectores multiplicadores de carga y tensiones de trabajo de cada circuito, es posible simplificar el análisis al observar separadamente los circuitos equivalentes en cada fase de operación, pues estos permiten visualizar de una mejor manera los flujos de carga para cada período de operación.

2.2.1. Figura de mérito

Las características de rendimiento en dispositivos o sistemas generalmente son evaluadas empleando figuras de mérito, definidas como herramientas comparativas, usando como referencia un sistema existente, o un conjunto de normas establecidas, con el propósito de definir un argumento contundente para la selección de una entre varias alternativas, en función de algunos requerimientos dados.

Restricciones impuestas en el diseño de circuitos integrados, incluyen el consumo total de área, definido en este proyecto por las dimensiones de los interruptores y capacitores implementados. En convertidores SC DC-DC, el tamaño de los dispositivos depende de las especificaciones de corriente y tensión de entrada - salida, lo que se resume en la eficiencia máxima que puede alcanzar el circuito.

El diseño y la optimización del convertidor propuesto están orientados al uso eficiente del área total consumida; partiendo de este hecho es posible plantear dos figuras de mérito que permitan evaluar las características, de manera independiente, del consumo de área aportado por interruptores y capacitores, estudiando las propiedades de la impedancia de salida en los

límites de conmutación, R_{FSL} y R_{SSL} . Estos índices de desempeño son evaluados en las tres alternativas de circuito, definiendo cuál será empleada finalmente en el diseño.

Las figuras de mérito planteadas son independientes de la tecnología de fabricación utilizada, puesto que se realiza la comparación entre la potencia máxima entregada por el convertor en los límites de frecuencia de operación, con la suma de la capacidad de almacenamiento de energía de los capacitores y el producto $V \cdot I$ de los interruptores.

La potencia entregada por el convertor, cuando la impedancia de salida es constante, es directamente proporcional al cuadrado de la tensión de salida, como se observa en la ecuación 2.2, donde R_L es la resistencia de carga.

$$P = I_{out}^2 R_L = \frac{V_{out}^2}{R_L} \quad (2.2)$$

Igualmente, la potencia disipada por la impedancia de salida del circuito está definida como:

$$P_{loss} = I_{out}^2 R_{out} \quad (2.3)$$

Partiendo de las ecuaciones 2.2 y 2.3, es posible expresar la potencia de salida en función de las pérdidas ocasionadas por la impedancia R_{out} , así:

$$P = \frac{P_{loss}}{R_{out}} R_L \quad (2.4)$$

lo cual permite verificar que la potencia entregada por el convertor, además es inversamente proporcional a su impedancia de salida. De esta manera el producto entre la conductancia y el cuadrado de la tensión de salida del convertor, $G \cdot V^2$, es utilizado para representar su disponibilidad de potencia [6].

La evaluación en el límite de conmutación lenta, asociado a las características de los capacitores, está determinado por la relación:

$$M_{SSL} = \frac{V_{out}^2}{R_{SSL} f_{sw} E_{tot}} \quad (2.5)$$

Por otra parte, el límite de conmutación rápida evalúa características asociadas a los interruptores y es determinado por la relación:

$$M_{FSL} = \frac{V_{out}^2}{R_{FSL} A_{tot}} \quad (2.6)$$

Las dos figuras de mérito pueden ser expresadas únicamente en función de los vectores multiplicadores de carga y los vectores de tensión nominal, reemplazando en 2.5 y 2.6 las

expresiones para R_{SSL} y R_{FSL} , definidas por 1.13 y 1.14 respectivamente, con lo cual se obtiene:

$$M_{SSL} = \frac{2V_{out}^2}{(\sum_i |a_{ci}v_{ci}|)^2} \quad (2.7)$$

$$M_{FSL} = \frac{V_{out}^2}{2(\sum_i |a_{ri}v_{ri}|)^2} \quad (2.8)$$

En [6], el análisis se realiza reemplazando v_{ci} y v_{ri} por los vectores de tensión nominal de los dispositivos, $v_{ci(rated)}$ y $v_{ri(rated)}$ respectivamente, sin embargo, haciendo una comparación más general sin restricción de disponibilidad de componentes, se asume que cada topología puede ser implementada empleando dispositivos con tensiones nominales iguales a las tensiones de trabajo.

2.3. Topología *Ladder*

El circuito de la figura 2.8 muestra la configuración de la estructura *ladder* que permite obtener la relación de conversión especificada para este trabajo.

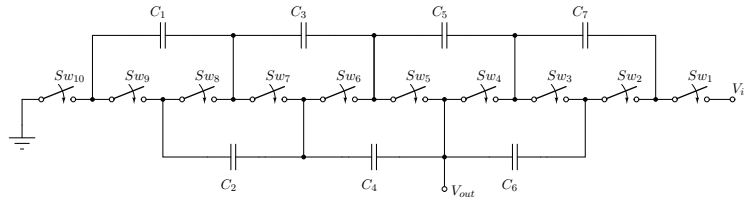


Figura 2.7: Topología *ladder*.

De acuerdo con la sección 2.1.1, han sido conectadas dos etapas adicionales a la estructura base de la topología, así como el terminal de salida se encuentra conectado al nodo que comparten los capacitores *flying* C_4 y C_6 , condición que permite alcanzar la relación de conversión 5 : 3. Los circuitos equivalentes a las dos fases de operación, en la figura 2.8, son utilizados para el estudio detallado del circuito.

El análisis de transferencia de carga se realiza por inspección; durante la fase ϕ_1 , hacia C_7 está fluyendo la carga de entrada q_{in} . Este es el punto de partida con el cual se definen los flujos de carga para C_5 y C_6 , donde se obtiene:

$$q_{c7}^2 = q_{in} \quad q_{c6}^1 = q_{in} \quad q_{c5}^2 = 2q_{in} \quad (2.9)$$

Aplicando LCK, se determina el flujo de carga en el terminal de salida durante la fase ϕ_1

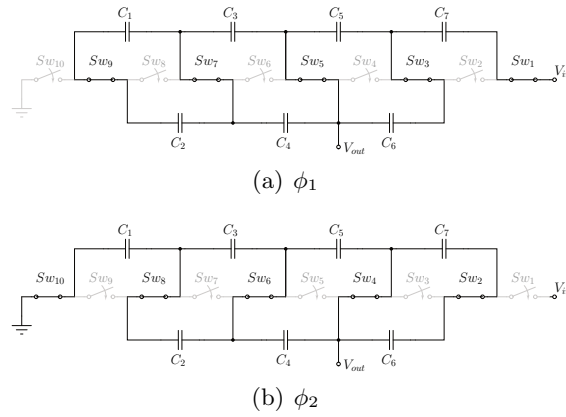


Figura 2.8: Fases de operación topología *ladder*.

como $q_{out}^1 = q_{in}$ y teniendo en cuenta la siguiente relación:

$$q_{out} = q_{out}^1 + q_{out}^2 = \frac{m}{n} q_{in} \quad (2.10)$$

se encuentra que en ϕ_1 :

$$q_{out}^1 = \left(\frac{m}{n} - 1 \right) q_{in} \quad (2.11)$$

$$q_{c1}^1 = \left(1 - \frac{m}{n} \right) q_{in} \quad (2.12)$$

Una vez se obtiene el flujo de carga del capacitor C_1 , aplicando el método de Seeman, se determina el flujo para los demás capacitores, de lo que resulta:

$$q_{c2}^1 = \left(1 - \frac{m}{n} \right) q_{in} \quad q_{c3}^1 = 2 \left(1 - \frac{m}{n} \right) q_{in} \quad q_{c4}^2 = 2 \left(1 - \frac{m}{n} \right) q_{in} \quad (2.13)$$

La relación de conversión se determina de acuerdo a estas expresiones, verificando en ϕ_1 :

$$q_{c4}^1 = 2q_{in} + \left(1 - \frac{m}{n} \right) q_{in} = \left(3 - \frac{m}{n} \right) q_{in} \quad (2.14)$$

$$q_{c4}^1 = -q_{c4}^2 \quad (2.15)$$

$$-2 \left(1 - \frac{m}{n} \right) q_{in} = \left(3 - \frac{m}{n} \right) q_{in} \quad (2.16)$$

$$\frac{m}{n} = \frac{5}{3} \quad (2.17)$$

Este mismo resultado se logra aplicando LVK en los dos circuitos equivalentes, asumiendo el valor de V_{out} constante. Una vez se verifica la relación de conversión de la arquitectura, se determinan los vectores multiplicadores de carga así:

$$q_{ci}^j = a_{ci}^j q_{out} \quad (2.18)$$

$$q_{in} = \frac{3}{5} q_{out} \quad (2.19)$$

$$a_c = \frac{1}{5} \begin{bmatrix} 2 & 2 & 4 & 4 & 6 & 3 & 3 \end{bmatrix}^T \quad (2.20)$$

El vector de tensiones de trabajo de los capacitores se obtiene por inspección, de nuevo por medio de la LVK, encontrado que todos los capacitores deben soportar la misma tensión $\frac{V_{in}}{5}$, lo que resulta en:

$$v_c = \frac{1}{5} \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}^T V_{in} \quad (2.21)$$

Determinar el vector multiplicador de carga de los interruptores es un procedimiento que puede ser realizado partiendo de los flujos de carga de los capacitores, ya que estos fluyen a través de cada interruptor, por ejemplo, es claro que el interruptor Sw_{10} , en ϕ_2 , tiene un flujo de carga igual al de C_1 ; de esta forma se obtiene:

$$a_r = \frac{1}{5} \begin{bmatrix} 2 & 2 & 2 & 2 & 2 & 2 & 3 & 3 & 3 & 3 \end{bmatrix}^T \quad (2.22)$$

Nuevamente con LVK es posible encontrar un vector de tensiones de trabajo para los interruptores.

$$v_r = \frac{1}{5} \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \end{bmatrix}^T V_{in} \quad (2.23)$$

Los vectores son formados por el valor absoluto de sus componentes, a partir de los cuales se obtienen los valores óptimos para R_{SSL} y R_{FSL} .

2.4. Topología *Ban Cap*

La topología presentada en la figura 2.9 está basada en dos arquitecturas; el principio de funcionamiento de la estructura *series-parallel*, detallada en la sección 2.1.5 y la técnica empleada por los autores en [12] para la implementación de un convertor *multi-ratio* a partir de un banco de capacitores y dos conjuntos de interruptores.

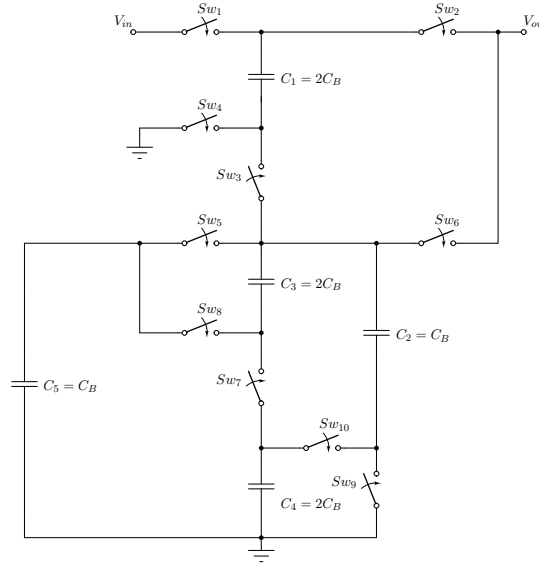


Figura 2.9: Topología *Ban Cap*.

La propuesta consiste en conectar la fuente de entrada (V_{in}) y distribuir la tensión a un arreglo de capacitores durante la primera fase de operación del circuito. En la fase posterior, los capacitores son reorganizados en subconjuntos que permiten obtener el valor de la tensión de salida, los cuales son conectados en paralelo a la carga para entregar la energía almacenada. En la figura 2.10 las dos fases de operación detallan el proceso.

Como parte de la estrategia utilizada para la implementación y análisis de la topología, los capacitores son normalizados en función de C_B , esto permite determinar los vectores multiplicadores de carga y los vectores de tensión de trabajo, empleando el método de Seeman y leyes de Kirchoff.

La capacitancia equivalente entre C_3 y C_4 es C_B , el mismo valor de capacitancia para C_2 y C_5 , esto permite que el flujo de carga en los cuatro capacitores sea el mismo durante la primera fase de operación. La carga a través del capacitor C_1 es equivalente al flujo de carga de entrada (q_{in}), que fluye hasta el nodo que comparten los capacitores C_2 , C_3 y C_5 , donde se distribuye equitativamente a las tres ramas formadas en ϕ_1 . De acuerdo al análisis anterior se obtiene:

Los vectores son expresados con el valor absoluto de sus componentes, ya que son los que se utilizan en la optimización del convertor.

2.5. Topología *Min Cap*

La segunda topología propuesta es presentada en la figura 2.11, basada en la técnica empleada para la topología *Ban Cap*, aprovechando el principio de funcionamiento de la arquitectura *series-parallel* y la estrategia de los autores en [12]. Adicionalmente Maksimovic y Makowski en [19] proponen dos teoremas asociados a las características de convertidores SC DC-DC. El primero especifica el conjunto de relaciones de conversión que pueden obtenerse para un número particular de capacitores, incluyendo la máxima alcanzable, definida en la sección 2.1.2 por la serie *Fibonacci*. El segundo teorema establece el número de interruptores que son requeridos para obtener la máxima relación de conversión con un número dado de capacitores.

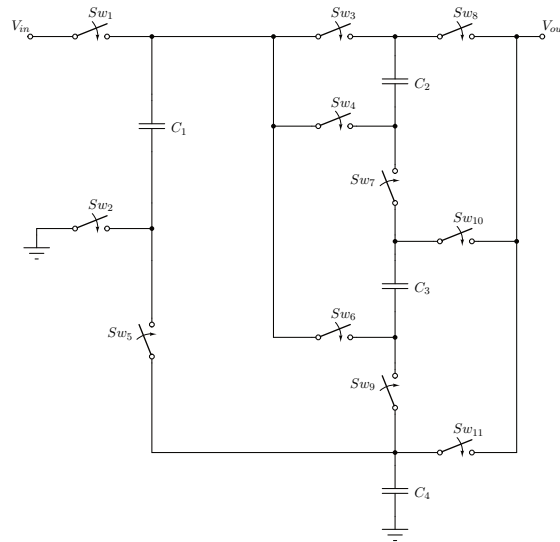


Figura 2.11: Topología *Min Cap*.

El funcionamiento del circuito es idéntico al expuesto en la sección 2.4, cargar un conjunto de capacitores a valores de tensión determinados y posteriormente entregar la carga almacenada, por el conjunto completo, al terminal de salida, reorganizando los elementos para obtener tensión V_{out} requerida. La principal diferencia en esta estructura se establece de acuerdo al teorema 1 expuesto en [19], donde los autores explican que con 4 capacitores, el conjunto de posibles relaciones de conversión incluye la requerida en este proyecto (5 : 3). Partiendo de este hecho se contruye una topología con estas características, lo que reduce el número de

capacitores necesarios a 4, que es menor a la cantidad especificada para las dos topologías anteriores, y puede representar ventajas en el consumo total del área del convertor.

La figura 2.12 presenta las dos fases de operación del circuito, que permiten realizar el análisis requerido para la determinación de los vectores de interés, utilizados posteriormente en el diseño y optimización del circuito. Los vectores están constituidos por el valor absoluto de sus elementos.

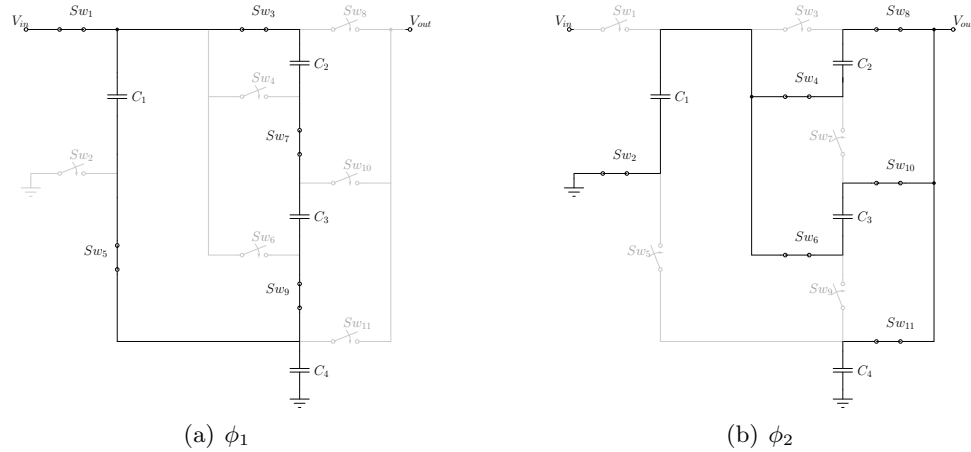


Figura 2.12: Fases de operación topología *Min Cap*.

El flujo de carga en la entrada del convertor durante la fase ϕ_1 es q_{in} , la carga se distribuye en las dos ramas del circuito equivalente e ingresa de nuevo como q_{in} al capacitor C_4 . En la siguiente fase de operación hacia C_1 fluye una carga equivalente determinada por:

$$q_{c1}^2 = q_{c2}^2 + q_{c3}^2 = \left(1 - \frac{m}{n}\right) q_{in} \quad (2.30)$$

Nuevamente en la fase ϕ_1 , la suma del flujo de carga de entrada y el flujo de carga en C_1 es equivalente al flujo de carga en los capacitores C_2 y C_3 , el valor está determinado por la relación:

$$q_{c2}^1 = q_{c3}^1 = \left(2 - \frac{m}{n}\right) q_{in} \quad (2.31)$$

De las expresiones 2.30 y 2.31 se puede verificar la relación de conversión de la topología:

$$2\left(2 - \frac{m}{n}\right) q_{in} = \left(\frac{m}{n} - 1\right) q_{in} \quad (2.32)$$

$$4 - 2\frac{m}{n} = \frac{m}{n} - 1 \quad (2.33)$$

$$\frac{m}{n} = \frac{5}{3} \quad (2.34)$$

Con los resultados obtenidos, los vectores multiplicadores de carga y de tensión de trabajo para capacitores e interruptores se pueden expresar en términos del valor absoluto de sus componentes así:

$$a_c = \frac{1}{5} [2 \quad 1 \quad 1 \quad 3]^T \quad (2.35)$$

$$v_c = \frac{1}{5} [2 \quad 1 \quad 1 \quad 3]^T V_{in} \quad (2.36)$$

$$a_r = \frac{1}{5} [3 \quad 2 \quad 1 \quad 1 \quad 2 \quad 1 \quad 1 \quad 1 \quad 1 \quad 3]^T \quad (2.37)$$

$$v_r = \frac{1}{5} [3 \quad 3 \quad 1 \quad 1 \quad 3 \quad 2 \quad 1 \quad 2 \quad 1 \quad 1 \quad 0]^T V_{in} \quad (2.38)$$

2.6. Comparación de Topologías

Las tres topologías estudiadas permiten alcanzar los objetivos planteados para este proyecto, sin embargo, es necesario establecer cuál de ellas resulta más adecuada en aspectos como el consumo de área o capacitancia total requerida, que aunque no hagan parte de las especificaciones de diseño, si representan ventajas al momento de la implementación. Un análisis comparativo es realizado para determinar cuál de las topologías es la más indicada; las figuras de mérito, simulaciones y gráficos permiten definir un argumento contundente.

2.6.1. Evaluación de las figuras de mérito

El primer análisis se realiza con la comparación de los resultados obtenidos evaluando las figuras de mérito en cada topología, de acuerdo al estudio realizado anteriormente. Las expresiones en 2.7 y 2.8 representan la relación que existe entre la disponibilidad de potencia del convertidor, la capacidad de almacenamiento de energía en capacitores y el producto $G - V^2$ de los interruptores, siendo las dos últimas, características asociadas al área requerida de los componentes.

La evaluación de las 3 topologías arroja los siguientes resultados:

- **Ladder:**

$$M_{SSL} = 0,698 \quad (2.39)$$

$$M_{FSL} = 0,167 \quad (2.40)$$

- *Ban Cap*:

$$M_{SSL} = 1,715 \quad (2.41)$$

$$M_{FSL} = 0,083 \quad (2.42)$$

- *Min Cap*:

$$M_{SSL} = 1,715 \quad (2.43)$$

$$M_{FSL} = 0,107 \quad (2.44)$$

Los indicadores permiten observar las ventajas que una topología particular tiene sobre las demás. Cuando se interpreta el resultado de M_{SSL} se analiza el modo en que cada arquitectura emplea los capacitores, es decir, cuando el valor obtenido es alto y existe una restricción en almacenamiento total de energía, la impedancia R_{SSL} es menor, lo que resulta en el uso eficiente de los capacitores. De manera análoga la M_{FSL} evalúa la eficiencia en el uso de interruptores, cuando el resultado es mayor e igualmente se especifican restricciones de costo, la impedancia R_{FSL} es menor, lo que indica mejor desempeño de estos dispositivos. Existen topologías que mantienen una proporción entre los dos indicadores, minimizando los dos componentes de la impedancia total de salida, lo que reduce pérdidas y se resume en mayor eficiencia para el convertidor, cuando existen restricciones de almacenamiento de energía y consumo de área asociada a los interruptores.

Las topologías que manejan de manera eficiente los capacitores, presentan un bajo rendimiento en el uso de interruptores, como se observa en la arquitectura *Ban Cap* (ecuaciones 2.41 y 2.42), de igual forma en la estructura *ladder* las condiciones se invierten, observando un mejor resultado de la M_{FSL} (ecuación 2.40) en comparación con las otras topologías y obteniendo el peor indicador en la M_{SSL} (ecuación 2.39).

Con estos resultados iniciales se puede concluir que ninguna de las topologías analizadas utiliza las dos clases de dispositivos de manera óptima, sin embargo la arquitectura *Min Cap* mantiene una diferencia razonable respecto a las dos topologías restantes; el resultado del indicador M_{SSL} , igual al obtenido para la estructura *Ban Cap*, es considerablemente mayor comparado con la topología *ladder*. Por otra parte, cuando se comparan los tres resultados obtenidos en la evaluación del indicador M_{FSL} , la topología *Ban Cap* presenta el peor resultado

mientras la diferencia entre la topología *ladder* y la *Min Cap* no es tan alta, haciendo más adecuado el uso de esta última en el diseño del convertor.

2.6.2. Simulación con dispositivos ideales

Una simulación con dispositivos ideales es realizada utilizando una frecuencia de operación arbitraria de 1GHz y las especificaciones propuestas para el convertor, únicamente con la finalidad de validar los resultados obtenidos de manera analítica empleando figuras de mérito. En la figura 2.13, se presentan los resultados para las tres topologías, donde se observa que la señal más aproximada a la respuesta deseada (1 V) es proporcionada por la topología *Min Cap*

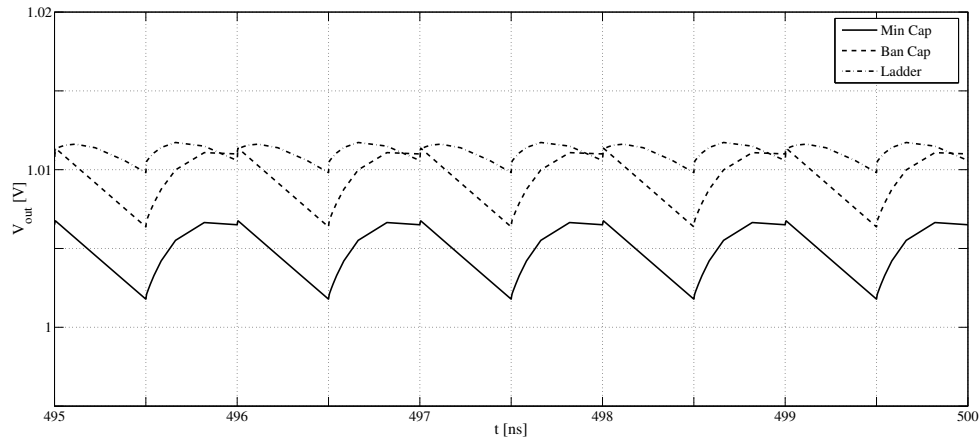


Figura 2.13: Comparación de topologías con dispositivos ideales.

Se observa que las dos arquitecturas, *ladder* y *Ban Cap*, también alcanzan valores aproximados a la respuesta deseada, sin embargo, existen factores asociados al área del convertor que deben ser identificados y evaluados.

2.6.3. Relación R_{out} vs área

El área consumida por la bomba de carga está asociada a los valores de capacitancia y las dimensiones de los interruptores, y es un parámetro considerado en la comparación y selección de la topología. El diseño y optimización del convertor están orientados al uso eficiente del área de integración, de esta forma se analiza el consumo de cada topología, presentando los resultados en un gráfico de capacitancia total utilizada, C_{tot} , versus resistencia R_{SSL} , así mismo se grafica la sumatoria del producto $G \cdot V^2$ de los interruptores versus la resistencia R_{FSL} .

En el capítulo 3, el método de diseño establece que la relación óptima entre los dos componentes de la resistencia de salida, en sus límites de conmutación, está determinada por:

$$R_{SSL} = R_{FSL} = \frac{R_{out}}{\sqrt{2}} \quad (2.45)$$

De acuerdo a las especificaciones de diseño, la resistencia de salida requerida es $R_{out} = 80\Omega$ y reemplazando en la ecuación 2.45 se obtiene:

$$R_{SSL} = R_{FSL} = 56,5685\Omega \quad (2.46)$$

Las gráficas 2.14 y 2.15 presentan los resultados de la comparación del consumo de área aportado por capacitores e interruptores respectivamente, en las tres topologías.

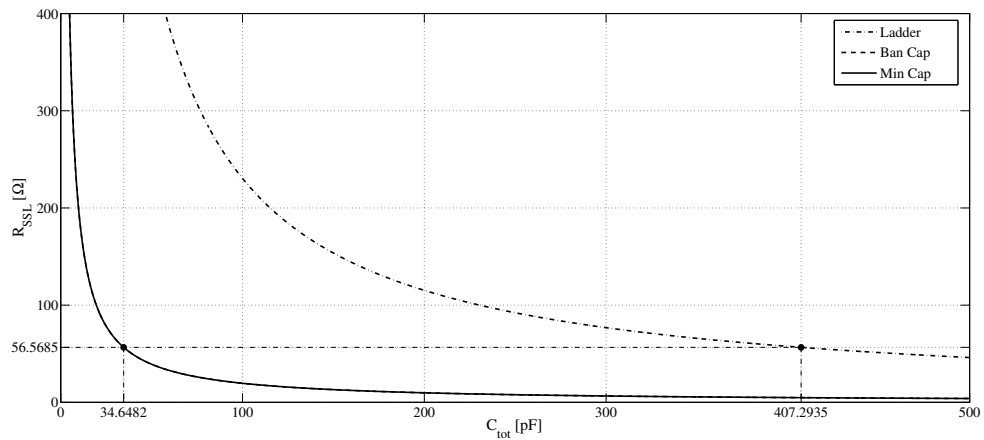


Figura 2.14: Comparación de la R_{SSL} de las topologías.

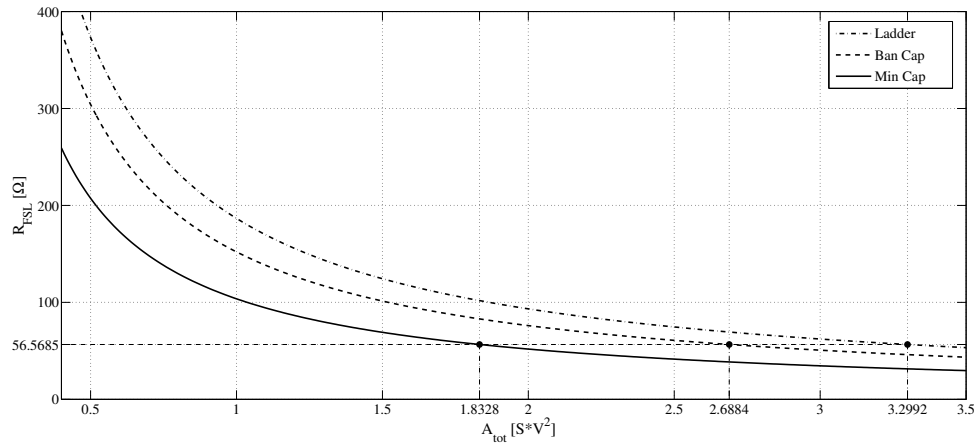


Figura 2.15: Comparación de la R_{FSL} de las topologías.

Los dos gráficos muestran la proporción de área consumida para alcanzar los valores requeridos en este proyecto, y claramente se observa la ventaja en cuanto a capacitancia total

consumida por parte de las topologías propuestas (*Ban Cap* y *Min Cap*). Adicionalmente en la comparación de la R_{FSL} , la topología *Min Cap* es dominante en ahorro de área, confirmando los resultados anteriores, con los cuales se concluye que esta topología es la más adecuada para la implementación del circuito.

2.6.4. Simulación con los modelos de la tecnología UMC90nm

Una simulación con modelos reales, para las mismas condiciones utilizadas con los modelos ideales, permite validar una vez más estos resultados. En la figura 2.16 se muestran las señales de salida de las tres topologías, siendo de nuevo la arquitectura *Min Cap* dominante.

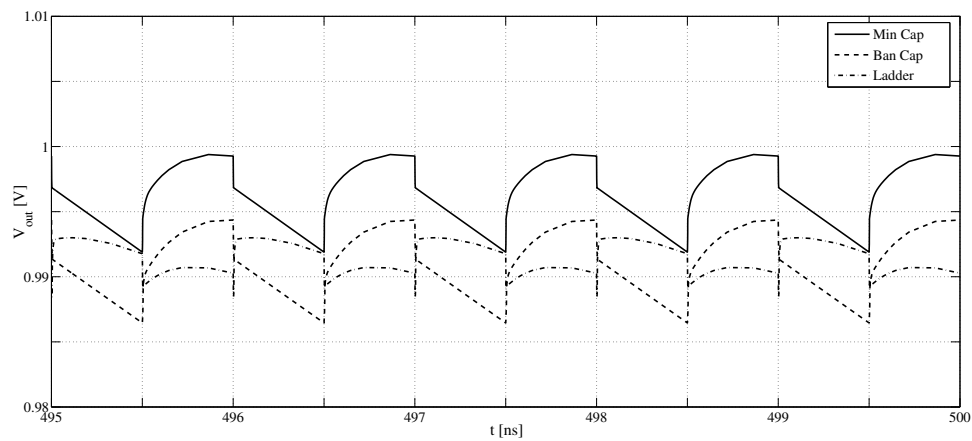


Figura 2.16: Comparación de topologías con modelos reales.

Con base en el análisis comparativo se selecciona la topología propuesta, *Min Cap*, para el diseño de la bomba de carga, de acuerdo a las especificaciones propuestas.

Capítulo 3

Diseño

Después de seleccionar una de las posibles topologías de circuito, se inicia la fase de diseño, teniendo como punto de referencia los requerimientos planteados. Para atender las especificaciones de diseño, se debe considerar de qué manera y en qué medida una característica deseada puede comprometer el rendimiento del conversor, por lo cual es necesario establecer prioridades entre ellas. El método descrito a continuación permite obtener un diseño de la bomba de carga del SC DC-DC orientado a obtener el mayor desempeño, asociado a la eficiencia del circuito y minimizando el consumo de área.

3.1. Especificaciones de diseño

Las especificaciones de diseño establecen los alcances y límites que debe tener el circuito, es decir, los resultados que se esperan obtener operando el conversor en una aplicación determinada. En [14] se presenta un esquema similar al de la figura 3.1, el cual explica la estructura básica de un sistema de administración de potencia y su relación con los diferentes bloques de circuito.

Se observa en la arquitectura, que únicamente dos reguladores conmutados están realizando una conversión de tensión directamente desde la batería, entregando un nivel de tensión para la alimentación de los bloques analógicos y de señal mezclada de 1.8V y otro nivel de tensión (1.2V) para los bloques digitales. Internamente, en los bloques analógicos, se redistribuye la potencia por medio de reguladores lineales, que mantienen niveles de tensión requeridos por los diferentes módulos, estos valores están en un rango de 0.9V y 1V [14].

La eficiencia en reguladores lineales depende directamente de la relación de conversión, lo que resulta en niveles de eficiencia bajos cuando la diferencia entre la tensión de entrada y de salida es considerable. Los conversores SC DC-DC representan una alternativa a la

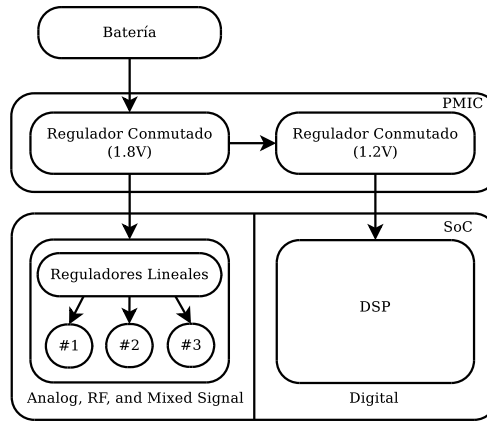


Figura 3.1: Circuitos integrados de administración de potencia.

implementación de estos bloques, por esta razón se definen para el diseño del convertor los niveles de tensión de entrada y salida, $1.8V$ y $1V$ respectivamente.

Una de las técnicas empleadas en administración de potencia es conocida como escalamiento dinámico de voltage (DVS por sus siglas en inglés), utilizada en sistemas portátiles o móviles y que permite operar un circuito con un nivel de tensión suficiente para mantener un desempeño adecuado, variando el nivel de tensión de acuerdo a los requerimientos de potencia de las funciones ejecutadas por el dispositivo, lo que representa un ahorro en el consumo total de energía. Esta técnica requiere implementar una serie de convertidores SC DC-DC que permiten obtener diferentes niveles de tensión, a partir de un mismo voltaje de entrada, cuando la tensión requerida es cercana a la fuente de entrada, es posible entregar potencias más elevadas ($1 - 2mW$ en aplicaciones de baja potencia) [12]; con estos antecedentes se especifica, para el convertor propuesto, una corriente máxima de salida de $1mA$.

En cuanto a eficiencia, la máxima alcanzable por un convertor SC DC-DC está limitada por la relación de conversión ideal (VCR_i , determinada por la topología) y la relación de conversión deseada (VCR) como:

$$\eta_{max} = \frac{VCR}{VCR_i} \quad (3.1)$$

Los valores de eficiencia reportados en la literatura se encuentran entre el 65% y el 86%, por lo cual, se establece una eficiencia entre el 80% y el 90%.

Finalmente, se espera obtener una tensión de rizo menor al 5% del voltaje de salida, el cual es un rango típico de convertidores reportados en el estado del arte. La tabla 3.1 reúne las especificaciones propuestas anteriormente, las cuales determinan el diseño final del circuito.

Especificación	Valor
V_{in}	1.8 [V]
V_{out}	1 [V]
I_{out}	1 [mA]
V_R	≤ 20 [mV]
Eficiencia	$\geq 80\%$
Relación de conversión ideal	5 : 3

Tabla 3.1: Especificaciones.

3.2. Caracterización de la tecnología

Las ecuaciones de primer y segundo orden, utilizadas en los cálculos manuales, dependen de parámetros propios de cada proceso de fabricación, los cuales varían según el punto de operación y las dimensiones de los dispositivos. Por tal razón, es usual caracterizar los parámetros de la tecnología, de acuerdo a las necesidades del circuito.

En [20] se presenta un método para la caracterización de dispositivos *CMOS*; el procedimiento desarrollado por los autores es utilizado para la extracción de parámetros de la tecnología *UMC90nm*, con la que cuenta actualmente en el grupo *CIDIC* y que será utilizada para la implementación del convertor. Los resultados son presentados en la tabla 3.2:

Símbolo	Parámetro	Modelo UMC90nm				Unidades
		SP 1.2V		I/O 1.8V		
		NMOS	PMOS	NMOS	PMOS	
K_S	Factor ganancia (Sat)	226	100	204	55	$\mu A/V^2$
K_L	Factor ganancia (Lin)	306	88	284	52	$\mu A/V^2$
V_{to}	Tensión umbral ($V_{sb} = 0$)	0.219	-0.186	0.443	-0.293	V
γ	Factor efecto cuerpo	0.149	0.183	0.440	0.625	$V^{\frac{1}{2}}$
λ	Factor modulación canal	0.275	0.375	0.162	0.131	V^{-1}

Tabla 3.2: Parámetros de la tecnología.

3.3. Balance de la impedancia de salida

El método de diseño, denominado balance de la impedancia de salida [21], está orientado a la optimización de las componentes R_{SSL} y R_{FSL} para obtener máxima eficiencia. La relación que existe entre los requerimientos planteados en la sección 3.1 y la impedancia de salida R_{out} son la base para el desarrollo de esta metodología. Adicionalmente se deben tener en cuenta detalles asociados a la implementación de los dispositivos, con el fin de analizar las pérdidas

por efectos parásitos, y minimizarlas con respecto a al factor de balance de la impedancia de salida (β).

3.3.1. Impedancia de salida

La impedancia de salida mínima está determianda por las especificaciones del conversor, su valor depende de las condiciones del circuito operando a máxima carga y la relación de conversión ideal. Como se explicó en la sección 1.1, existe una caída de tensión generada por la resistencia de salida R_{out} , cuando es conectada una carga R_L ; de esto depende el valor deseado de V_{out} , sin embargo en condiciones sin carga, la tensión de salida ideal del circuito corresponde con la relación de conversión especificada por la topología ($V_{out,ideal} = nV_{in}$). La diferencia entre $V_{out,ideal}$ y V_{out} es representada por:

$$\gamma = \frac{V_{out}}{V_{out,ideal}} \quad (3.2)$$

De la figura 1.3 es posible expresar el parámetro γ en función de R_{out} y R_L como:

$$\gamma = \frac{R_L}{R_L + R_{out}} \quad (3.3)$$

La tensión de salida, al igual que γ están determinados por las especificaciones propuestas en la sección 3.1, teniendo en cuenta los requerimientos de tensión y corriente máxima de salida, es posible definir el valor de $R_{L,min}$, y de la ecuación 3.3 se obtiene:

$$R_{out,min} = R_{L,min} \frac{1 - \gamma}{\gamma} \quad (3.4)$$

En la sección 1.2 se modela la impedancia de salida como la combinación de sus dos componentes; un valor deseado de R_{out} puede obtenerse con un valor alto de R_{SSL} y un valor pequeño de R_{FSL} o viceversa; sin embargo, no mantener un equilibrio entre los dos valores puede afectar el rendimiento del conversor, siendo necesario establecer un criterio que permita encontrar una relación adecuada para la cual se obtenga el mejor desempeño.

Hasta ahora la única expresión que vincula los dos componentes de R_{out} está determinada por la ecuación 1.11; sin embargo, es necesario definir un factor que permita cuantificar la relación que existe entre R_{SSL} y R_{FSL} , de esta manera se especifica el parámetro β con el cual se establecen las siguientes relaciones:

$$R_{SSL} = \sqrt{\beta} R_{out} \quad (3.5)$$

$$R_{FSL} = \sqrt{1 - \beta} R_{out} \quad (3.6)$$

Sustituyendo las expresiones 3.5 y 3.6 en 1.11, se observa que no se altera el resultado anterior.

3.3.2. Sustitución de parámetros

En el capítulo se determinaron las expresiones optimizadas para las componentes de la impedancia de salida, a partir de las cuales es posible realizar el dimensionamiento de los capacitores e interruptores; en las ecuaciones 1.20 y 1.23 se observan tres parámetros principales: el primero es la capacitancia total (C_{tot}), siendo, junto con el capacitor de salida C_{out} , el factor que domina el área total consumida por el circuito. Las dos características restantes, la frecuencia de conmutación f_{sw} y el tamaño total de los transistores X_{tot} , pueden ser expresadas en función del factor β como:

$$f_{sw} = \frac{(\sum_i |a_{c,i}|)^2}{\sqrt{\beta} R_{out} C_{tot}} \quad (3.7)$$

$$X_{tot} = \frac{2(\sum_i |a_{r,i} v_{r,i(rated)}|)^2}{\sqrt{1 - \beta} R_{out}} \quad (3.8)$$

Se observa la relación que existe entre C_{tot} , R_{out} y la frecuencia de conmutación f_{sw} . En [17], sin embargo se presenta un análisis de esta relación, donde se evidencia una dependencia más fuerte entre f_{sw} y C_{tot} , a diferencia de la dependencia con R_{out} , de esta manera se selecciona el valor de C_{tot} basado en el *trade-off* entre las pérdidas por conmutación, asociadas a la frecuencia de operación, y el consumo de área, asociado principalmente al valor de capacitancia total utilizada por los capacitores de la bomba de carga, excluyendo a C_{out} .

Capacitores

En la sección 1.4 fue definida la expresión que determina los valores óptimos para los capacitores de la bomba de carga del convertidor, los cuales dependen de las constantes de la topología y la capacitancia total del circuito, dicha expresión es:

$$C_i = \frac{|a_{c,i}|}{\sum_k |a_{c,k}|} C_{tot} \quad (3.9)$$

Adicionalmente se requiere especificar el valor del capacitor que actuará como filtro, denominado C_{out} , el cual debe ser conectado al terminal de salida. En [2, 13, 15, 22] el valor de la

tensión de rizo es determinada en función de la corriente de salida del convertidor, la frecuencia de conmutación y el capacitor C_{out} , partiendo de esta expresión y teniendo en cuenta que la tensión de rizo y la corriente de salida se encuentran dentro de las especificaciones del circuito, es posible despejar la ecuación y definir el valor del filtro como:

$$C_{out} = \frac{i_{out}}{2f_{sw}V_R} \quad (3.10)$$

sustituyendo f_{sw} de la ecuación 3.7, la expresión puede ser reescrita en función del factor de balance de la impedancia de salida como:

$$C_{out} = \frac{i_{out}\sqrt{\beta}R_{out}C_{tot}}{2(\sum_i |a_{c,i}|)^2 V_R} \quad (3.11)$$

Interruptores

La implementación de interruptores con transistores MOS requiere que estos sean operados en la región de triodo cuando están encendidos, de esta manera se asegura que la tensión vista entre los terminales del interruptor (V_{ds}) sea pequeña; adicionalmente, la señal de control debe tener la amplitud suficiente para asegurar estas condiciones [20]. En [8] sugieren que el valor de amplitud de la señal de control sea tan alto como lo permita la tecnología, sin sobrepasar los límites de tensión soportados por los dispositivos. La ecuación que modela la corriente a través del transistor en la región lineal e ignorando el efecto cuerpo, está definida por:

$$I_d = K_L \frac{W}{L} \left[(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (3.12)$$

Donde K_L y V_t son el factor de ganancia en la región lineal y la tensión de umbral del transistor respectivamente, parámetros extraídos en la caracterización de la tecnología, $\frac{W}{L}$ es la relación de aspecto del transistor, V_{gs} la diferencia entre amplitud de la señal de control y la tensión en la fuente del transistor y V_{ds} es la tensión entre drenador y fuente, por otra parte, la resistencia de encendido es determinada por:

$$R_{on} = \frac{V_{ds}}{I_d} = \frac{1}{K_L \frac{W}{L} \left[(V_{gs} - V_t) - \frac{V_{ds}}{2} \right]} \quad (3.13)$$

A partir de la ecuación anterior, las dimensiones de los transistores de la bomba de carga pueden ser determinadas y expresadas en función de β teniendo en cuenta la relación entre la conductancia de cada transistor G_i y el área total consumida X_{tot} , definida en la sección 1.4 como:

$$G_i = \frac{1}{R_i} = \left| \frac{a_{r,i}}{v_{r,i(rated)}} \right| \frac{X_{tot}}{\sum_k |a_{r,k} v_{r,k(rated)}|} \quad (3.14)$$

siendo R_i la resistencia de encendido de cada interruptor.

Para utilizar la menor área posible, la longitud de canal de cada transistor se restringe a la longitud mínima permitida por la tecnología, reduciendo también las pérdidas asociadas a capacitancias parásitas, las cuales dependen directamente de las dimensiones de los dispositivos. De acuerdo a lo anterior y a partir de las ecuaciones 3.13 y 3.14 las dimensiones de los interruptores están dadas por:

$$W_i = \left| \frac{a_{r,i}}{v_{r,i(rated)}} \right| \frac{2(\sum_i |a_{r,i} v_{r,i(rated)}|)^2 L_{i,min}}{\sum_k |a_{r,k} v_{r,k(rated)}| \sqrt{1 - \beta R_{out} K_L} [(V_{gs} - V_t) - \frac{V_{ds}}{2}]} \quad (3.15)$$

Una vez las ecuaciones de diseño son expresadas en función de los requerimientos del sistema, las constantes de la tecnología, las constantes de la topología y el factor de balance de la impedancia de salida, se realiza un análisis de las pérdidas del convertor para la selección adecuada del valor de β .

3.3.3. Análisis de pérdidas

La eficiencia del convertor es calculada teniendo en cuenta la potencia entregada y las pérdidas que se generan durante la operación. El análisis propuesto en el capítulo se realiza considerando únicamente los efectos que dominan la potencia disipada por el circuito, los cuales fueron modelados con la resistencia de salida R_{out} del SC DC-DC, denominadas pérdidas intrínsecas, las cuales definen la eficiencia máxima que puede alcanzar el convertor y que corresponde con el valor γ . La expresión para calcular esta potencia disipada es:

$$P_{R_{out}} = \frac{(V_{out,ideal} - \gamma V_{out,ideal})^2}{R_{out}} \quad (3.16)$$

Existen otras pérdidas que también afectan el desempeño del convertor y son propias de la implementación del circuito, denominadas pérdidas extrínsecas, de las cuales dos son dominantes. En primer lugar las asociadas a la carga y descarga de capacitancias parásitas en las compuertas de cada interruptor, definidas como:

$$P_g = f_{sw} \sum_i C_{g,i} V_{g,i}^2 \quad (3.17)$$

donde $V_{g,i}$ es la tensión de compuerta del transistor i , la cual tiene una capacitancia total asociada $C_{g,i}$, y puede ser aproximada como $C_{ox} W_i L_i$.

Los capacitores, por otra parte, también contribuyen con las pérdidas extrínsecas, asociadas al tipo de implementación, ya que en la mayoría existen capacitancias parásitas entre las placas del capacitor y el sustrato, y son modeladas así:

$$P_{cap} = f_{sw} \sum_i C_{gnd,i} V_{c,gnd,i}^2 \quad (3.18)$$

siendo $C_{gnd,i}$ la capacitancia parásita asociada al capacitor i y $V_{c,gnd,i}$ la tensión entre sus terminales.

Las ecuaciones anteriores pueden ser expresadas en función del parámetro β sustituyendo 3.7 y 3.15 en 3.17 y 3.18.

$$P_g = \frac{(\sum_i |a_{c,i}|)^2}{\sqrt{\beta} R_{out} C_{tot}} \frac{2(\sum_i |a_{r,i} v_{r,i}(rated)|)^2}{\sqrt{1 - \beta} R_{out}} \sum_i \frac{V_{g,i}^2 C_{ox} L_{min}^2}{\sum_k |a_{r,k} v_{r,k}(rated)| K_L [(V_{gs} - V_t) - \frac{V_{ds}}{2}]} \left| \frac{a_{r,i}}{v_{r,i}(rated)} \right| \quad (3.19)$$

$$P_{cap} = \frac{(\sum_i |a_{c,i}|)^2}{\sqrt{\beta} R_{out} C_{tot}} \sum_i C_{gnd,i} V_{c,gnd,i}^2 \quad (3.20)$$

Teniendo en cuenta las ecuaciones anteriores y a partir de la expresión para la eficiencia:

$$\eta = \frac{P_{out}}{P_{out} + P_g + P_{cap} + P_{R_{out}}} \quad (3.21)$$

es posible obtener máxima eficiencia minimizando las pérdidas, definidas por:

$$P_{per} = P_g + P_{cap} + P_{R_{out}} \quad (3.22)$$

Si se reescriben las ecuaciones 3.16, 3.19 y 3.20 agrupando los parámetros conocidos como constantes K_1 , K_2 y K_3 , la expresión 3.22 es simplificada:

$$P_{per} = \frac{K_1}{\sqrt{1 - \beta} \sqrt{\beta}} + \frac{K_2}{\sqrt{\beta}} + K_3 \quad (3.23)$$

Derivando la ecuación 3.23 con respecto a β e igualando a cero, se observa que el valor óptimo para β está determinado únicamente por la relación $\frac{K_2}{K_1}$ como:

$$\frac{K_2}{K_1} = -\frac{1 - 2\beta}{\sqrt{(1 - \beta)^3}} \quad (3.24)$$

En la figura 3.2 se observa la tendencia del valor β óptimo para diferentes valores de $\frac{K_2}{K_1}$.

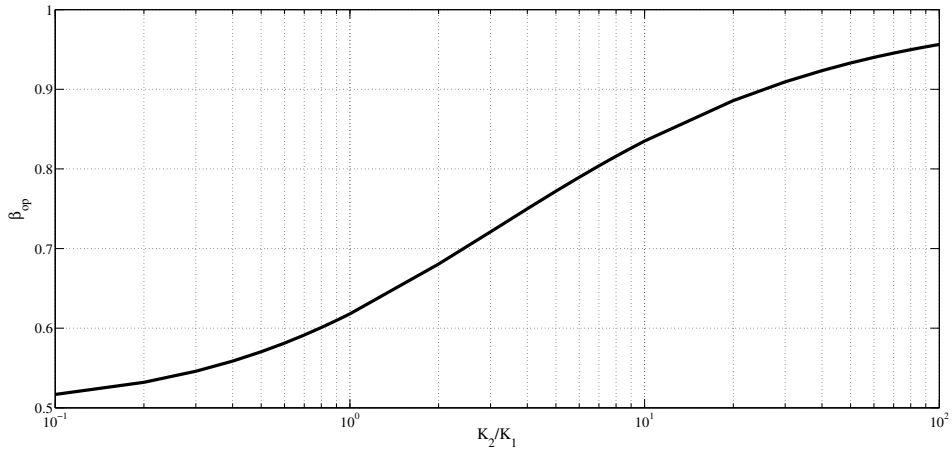


Figura 3.2: β óptimo como función de la relación $\frac{K_2}{K_1}$.

3.4. Dimensionamiento

El cálculo de las dimensiones de los dispositivos es realizado empleando las ecuaciones determinadas durante el análisis expuesto anteriormente una vez se defina el valor óptimo para β , el cual dependerá del tipo de dispositivos utilizados en la implementación.

3.4.1. Capacitores

Los capacitores *Metal-Insulator-Metal* (*MIM*), disponibles en la tecnología *UMC90nm* son seleccionados como los más adecuados para la implementación, en comparación con los otros dos tipos disponibles (*MOS* y *MOM*), por dos razones: en primer lugar, estos cuentan con mayor densidad de capacitancia, lo que permite integrar un valor de capacitancia determinado con un menor consumo de área. Por otra parte, estos capacitores pueden ser implementados sobre circuitería que no trabaje con señales sensibles al ruido y son construidos en los metales superiores del proceso, lo que disminuye notablemente los efectos parásitos asociados al acoplamiento entre las placas del capacitor y el substrato. De acuerdo con lo anterior, es posible despreciar las pérdidas P_{cap} , asociadas a los capacitores, lo que resulta para la ecuación 3.23 en un valor de $K_2 = 0$. La tendencia de la gráfica 3.2 muestra que para valores muy pequeños de $\frac{K_2}{K_1}$, el β óptimo es cercano a 0.5, resultado que puede ser verificado con la ecuación 3.24.

La resistencia de salida R_{out} es determinada a partir de la ecuación 3.4, para condiciones de máxima carga, lo que da como resultado $R_{out} = 80\Omega$. La selección del valor de capacitancia C_{tot} , del cual depende el valor de la frecuencia de operación del circuito, se realiza como se especifica en la sección 3.3.2, guardando una proporción entre el área consumida y las pérdidas

por conmutación, con base en los valores reportados en el estado del arte; de esta manera se establece un valor de $C_{tot} = 350pF$, que al ser incluido en la ecuación 3.7, y de acuerdo con los resultados obtenidos para β y R_{out} , se define la frecuencia de operación como:

$$f_{sw} \approx 100MHz \quad (3.25)$$

El cálculo del valor de cada capacitor de la bomba de carga C_i , así como el filtro a la salida se realiza a partir de las ecuaciones 3.11 y 3.9. En la tabla 3.3 se muestran los resultados obtenidos.

Capacitancia	Valor [pF]
C_1	100
C_2	50
C_3	50
C_4	150
C_{tot}	350
C_{out}	506

Tabla 3.3: Valores de capacitancias.

3.4.2. Interruptores

Los interruptores son implementados empleando transistores *NMOS* o *PMOS* de acuerdo a las condiciones de operación. Un análisis adicional es realizado para determinar la tensión de control de los dispositivos, y definir dónde es más conveniente utilizar un transistor tipo *N* y dónde un tipo *P*.

La tensión de control es seleccionada de acuerdo a los valores nominales de los dispositivos; en [8] recomiendan emplear el nivel de tensión máximo soportado, verificando que ningún dispositivo sobrepase sus límites y garantizando que $|V_{gs}| > |V_t|$. La tecnología seleccionada para la implementación cuenta con dispositivos estándar y dispositivos entrada/salida, que soportan niveles de tensión de 1,2V, 1,8V, 2,5V y 3,3V. La topología empleada para el diseño requiere transistores que soporten tensiones iguales a 1,8V, lo que hace necesario el uso de dispositivos con estas características. Estimando el valor de V_{gs} para valores diferentes de voltaje de control, se define 1,8V como el más adecuado para satisfacer las condiciones mencionadas.

Especificar el uso de transistores tipo *N* o *P* requiere conocer las tensiones de cuerpo que cada interruptor debe soportar evaluando las dos condiciones (implementado como *NMOS* y como *PMOS*), asumiendo que en transistores *NMOS* el cuerpo es conectado a la tensión más negativa del circuito y en dispositivos *PMOS* a la más positiva, de esta manera la condición

que menor contribución tenga al efecto cuerpo es la utilizada. La figura 3.3 muestra el circuito definitivo, resultado del análisis anterior. Es importante resaltar que debido a la configuración de la arquitectura son empleados transistores estándar con tensión nominal de $1,2V$ y transistores de entrada salida con tensión nominal de $1,8V$.

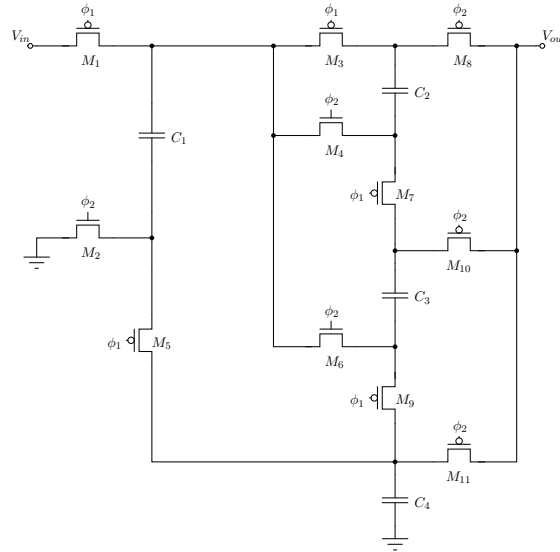


Figura 3.3: Diseño final de la bomba de carga.

Empleando la ecuación 3.15 y de acuerdo con los resultados de la caracterización de los dispositivos, resumidos en la tabla 3.2, es posible dimensionar los transistores utilizados como interruptores en el circuito. En la tabla 3.4 se muestran el tipo y las dimensiones de cada transistor, donde $N12$ y $P12$ hacen referencia a transistores con tensión nominal de $1,2V$ y $N18$ y $P18$ a dispositivos con tensión de $1,8V$.

Transistor	W [μm]	L [nm]	Tipo
M_1	140	180	$P18$
M_2	25	180	$N18$
M_3	50	180	$P18$
$M_{4,6}$	15	90	$N12$
M_5	75	90	$P12$
M_7	70	180	$P18$
$M_{8,9,10}$	40	90	$P12$
M_{11}	111	90	$P12$

Tabla 3.4: Dimensiones de los transistores.

Capítulo 4

Resultados

Como resultado del proceso descrito en el capítulo 3 se obtuvo el diseño final del convertor, el cual, de acuerdo a la metodología utilizada, atiende todas las especificaciones. En este capítulo se validan los resultados obtenidos del diseño con dichas especificaciones. La evaluación de resultados incluye un análisis estadístico donde se determinan los efectos ocasionados sobre el circuito, asociados a la variación de los parámetros del proceso de fabricación.

El estudio de resultados se ejecuta en tres fases de simulación; verificación de las características del circuito para las condiciones típicas del proceso de fabricación, empleando los modelos estándar de la tecnología. Este primer análisis permite conocer si los requerimientos son satisfechos por el diseño, realizando un cuadro comparativo entre los valores propuestos y los valores alcanzados por el circuito. Posteriormente, es necesario garantizar la correcta operación del circuito en un rango de condiciones de temperatura, así como para las posibles variaciones del proceso de fabricación; estos resultados se obtienen utilizando los modelos de esquinas suministrados por la tecnología y son comparados con los obtenidos en condiciones típicas. Finalmente, un análisis estadístico empleando el método y los modelos Montecarlo, ofrece una perspectiva del porcentaje de circuitos fabricados que cumplen con las especificaciones del convertor aún con variaciones en los parámetros del proceso.

4.1. Condiciones típicas del proceso de fabricación

Los resultados presentados a continuación se obtienen simulando el diseño final del circuito con los modelos estándar de la tecnología *UMC90nm*, adicionalmente se desarrolla un circuito de control comportamental, basado en el modelo de control por histéresis presentado en [9] y [23], para examinar las propiedades de regulación del convertor.

Las características de salida son evaluadas en condiciones de máxima carga, con la finalidad

de verificar y comparar los resultados con las especificaciones establecidas en la sección 3.1, debido a que este es el punto de operación para el cual se realiza el diseño. La figura 4.1 presenta la tensión de salida del circuito en un estado de operación estable.

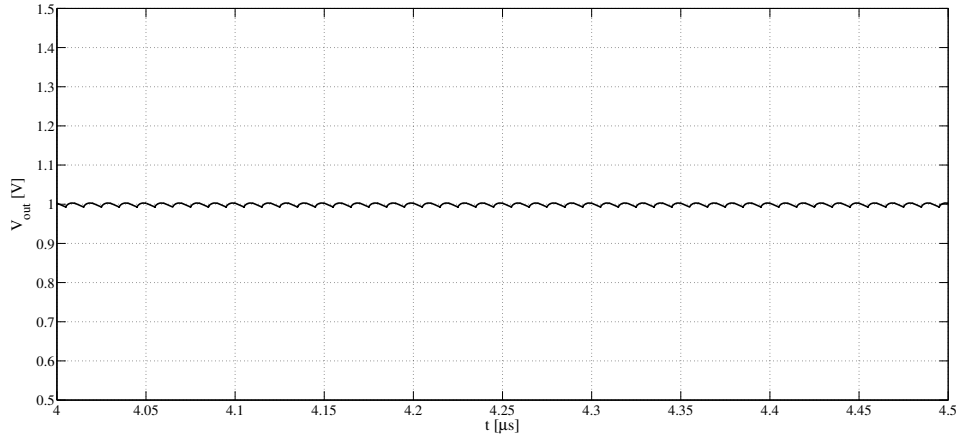


Figura 4.1: Tensión de salida del convertidor.

La señal obtenida se encuentra en el valor correspondiente a las especificaciones, $V_{out} = 1V$, y la misma es presentada en detalle en la figura 4.2, donde se nota su característica de rizado. En las condiciones establecidas, la onda presenta una oscilación con período de $10ns$, equivalente al inverso de la frecuencia de conmutación de los interruptores. Los valores de tensión máxima y mínima de la onda son $1,003V$ y $0,993V$ respectivamente, lo que resulta en una tensión de rizo $V_R = 10mV$, que satisface los requerimientos propuestos.

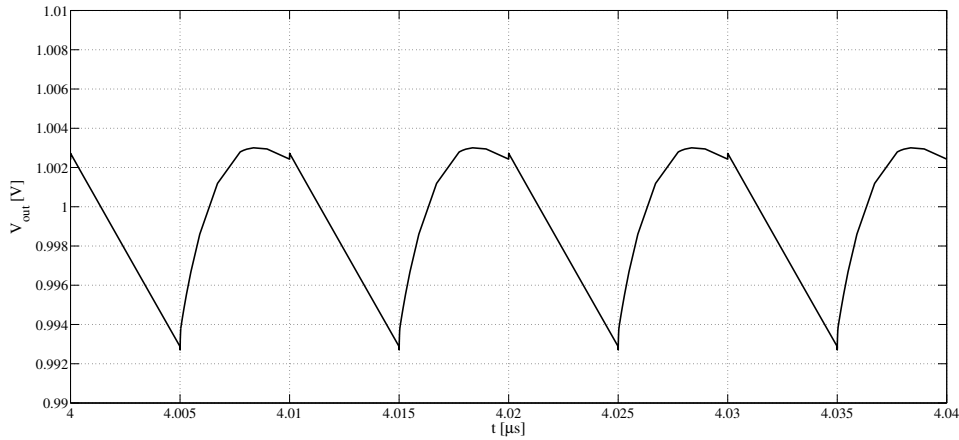


Figura 4.2: Tensión de rizo detallada.

Las propiedades de regulación también son sometidas a prueba con una simulación operando el circuito a la mitad de su capacidad máxima de potencia, aumentando hasta la condición

de máxima carga en un solo paso y regresándola de nuevo a su estado inicial, con lo cual se observa el comportamiento del circuito cuando está sujeto a variaciones de la corriente de salida, que también se conoce como regulación de carga. Los resultados de la prueba se observan en la figura 4.3, donde se determina que el convertor tiene la capacidad de operar como regulador de tensión aplicando un circuito de control adecuado.

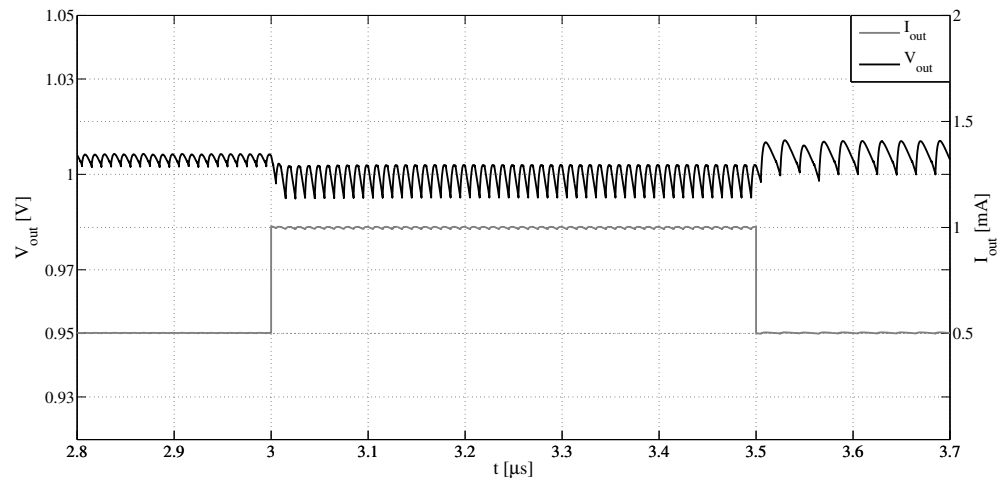


Figura 4.3: Regulación de carga.

Existe un rango de corrientes para el cual el convertor regula la tensión al nivel especificado en los requerimientos, cumpliendo además con los valores propuestos de eficiencia y rizado. En las figuras 4.4 y 4.5 se presentan los resultados obtenidos al realizar un barrido de la corriente de carga del convertor, midiendo los valores de eficiencia y tensión de rizo respectivamente, manteniendo la tensión de salida en 1V .

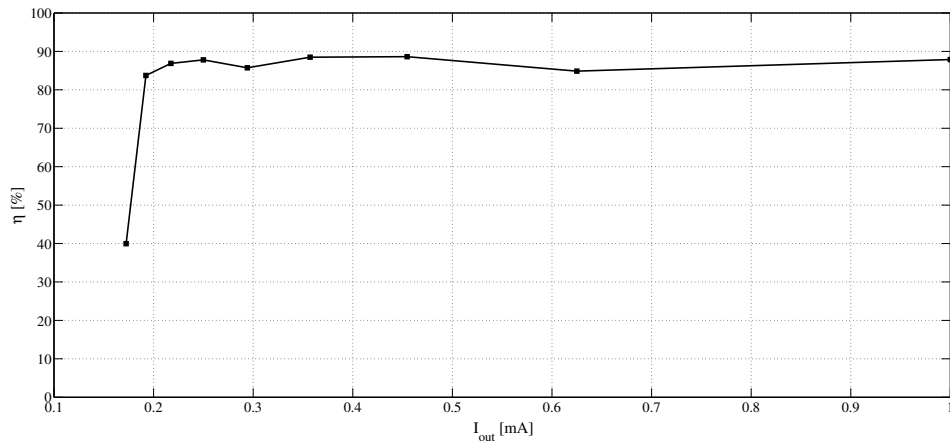


Figura 4.4: Eficiencia en función de la corriente de carga.

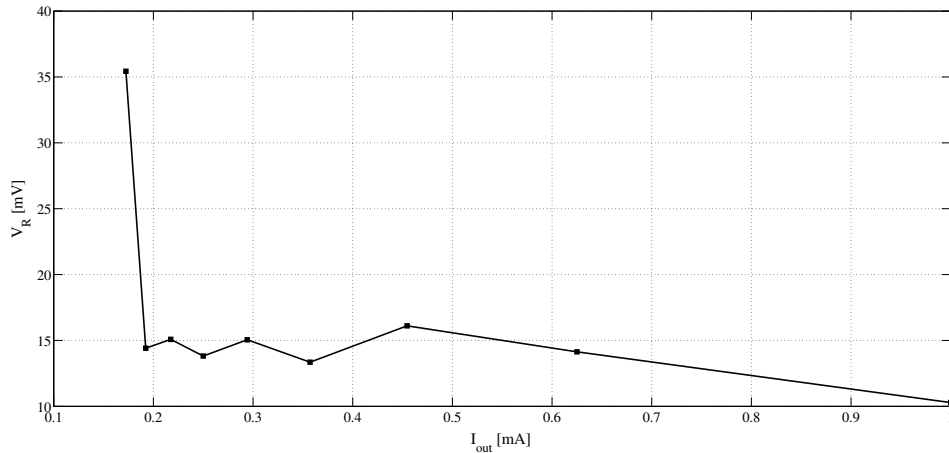


Figura 4.5: Tensión de rizo en función de la corriente de carga.

Los valores especificados, tensión de rizo y eficiencia, se satisfacen para un rango de corrientes entre $0,2mA$ y $1mA$. La eficiencia máxima alcanzada es de $88,62\%$ que equivale a una corriente aproximada de $0,45mA$, sin embargo la eficiencia medida en el punto de operación del diseño (máxima carga) es de $87,89\%$, cumpliendo una vez más con el objetivo. Por otra parte la gráfica de tensión de rizo contra corriente presenta un valor máximo de $16,1mV$ para el punto de operación de máxima eficiencia, sin embargo cumple con la especificación propuesta y en condición de máxima carga la tensión de rizo es de $10mV$.

En la tabla 4.1 se confrontan las especificaciones de diseño con los resultados obtenidos implementando la bomba de carga del convertor en las condiciones típicas del proceso.

Especificación	Valor estimado	Valor alcanzado
V_{out}	1 [V]	1 [V]
I_{out}	1 [mA]	1 [mA]
V_R	≤ 20 [mV]	10 [mV]
Eficiencia	$\geq 80\%$	87.89 %
Relación de conversión ideal	5 : 3	5 : 3

Tabla 4.1: Características alcanzadas por el convertor.

4.2. Esquinas del proceso

La siguiente etapa de resultados es realizada con los modelos de esquinas, los cuales consideran los cambios de los parámetros de los dispositivos, como resultado de las variaciones del proceso de fabricación. La evaluación de resultados de la primera fase de simulación permite prever y caracterizar el comportamiento del circuito implementado y es un punto de referen-

cia para constatar los planteamientos teóricos del diseño, ya que el modelo utilizado incluye los valores típicos de los parámetros del proceso. A pesar de la precisión que puedan tener estos modelos, la tecnología de fabricación no deja de estar sujeta a las variaciones aleatorias en algunas de sus características, luego el desempeño del circuito puede no cumplir con las expectativas. Sin embargo, existen unos límites establecidos para las variaciones mencionadas, conocidas como esquinas del proceso, las cuales definen condiciones extremas a las que puede estar sometido un dispositivo fabricado, sujeto a la variación de parámetros.

Las esquinas son cuatro, y están definidas de la siguiente manera: *Slow-Slow (SS)*, donde ambos transistores del modelo (*NMOS* y *PMOS*) son lentos; *Fast-Fast (FF)*, haciendo referencia a transistores, que afectados por las variaciones, son más rápidos. Una combinación de estas características define las dos esquinas restantes; *SlowN-FastP (SNFP)*, siendo el transistor *N* más lento y el transistor *P* más rápido; finalmente la esquina *FastN-SlowP (FNSP)*, donde sucede lo contrario.

En la tabla 4.2 se presentan las características del conversor, resultado de la simulación con los modelos mencionados anteriormente y llevando el circuito a condiciones de temperatura extrema, $-40^{\circ}C$ y $85^{\circ}C$. Se incluyen además los resultados obtenidos en la sección anterior para realizar una comparación.

Esquina	V_{out} [V]	η [%]	V_R [V]	Temperatura [$^{\circ}C$]
<i>TT</i>	1	87.89	10	27
<i>SS</i>	0.999	88.25	10.3	-40
<i>FF</i>	1.003	87.9	10.91	
<i>SNFP</i>	1.003	87.99	11	
<i>FNSP</i>	1.002	88.11	10.37	
<i>SS</i>	0.986	86.41	9.88	85
<i>FF</i>	1.001	87.93	10.38	
<i>SNFP</i>	0.996	87.53	10.11	
<i>FNSP</i>	0.993	86.84	10.13	

Tabla 4.2: Características alcanzadas por el conversor.

Se observa que la eficiencia y la tensión de rizo están siempre por encima de las especificaciones planteadas; por otra parte la tensión de salida presenta leves variaciones, en las esquinas *SS*, *SNFP* y *FNSP* para condiciones de temperatura altas, de igual forma un análisis estadístico, presentado a continuación, permite estimar un valor aproximado de cuantos circuitos implementados, teniendo en cuenta un rango más amplio de variaciones del proceso, llegan a cumplir con los requerimientos dados.

4.3. Análisis estadístico

Finalmente, se realiza el análisis Montecarlo, donde se puede establecer un estimado de los circuitos implementados en la tecnología que aún estando sometidos a variaciones del proceso de fabricación, van a cumplir con los objetivos de diseño propuestos. En este proyecto se evaluaron 500 muestras del circuito teniendo en cuenta variaciones del proceso y de las dimensiones de los transistores (*mismatch*). En la figura 4.6 se observa la fluctuación de la tensión de salida de la bomba de carga para las condiciones de máxima carga, las curvas se reparten en un rango que no representa diferencias significativas en el desempeño del conversor.

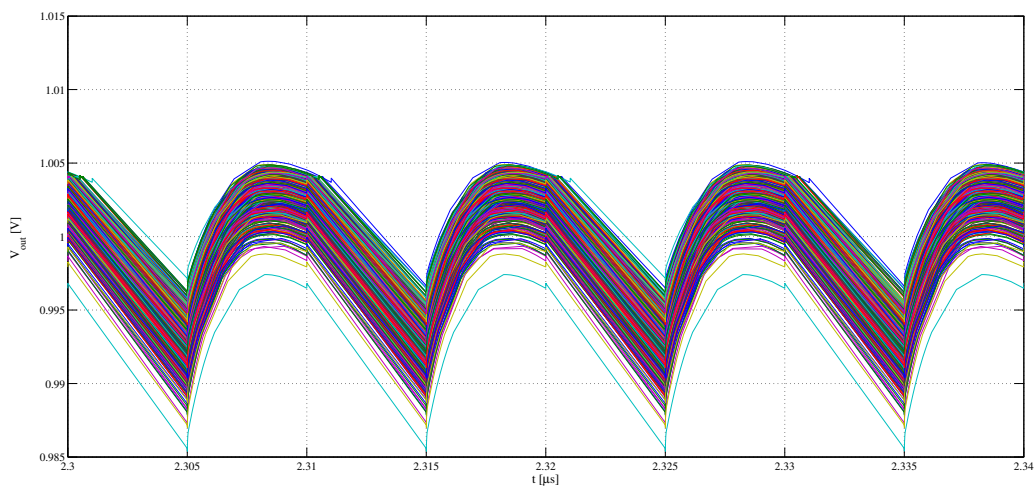


Figura 4.6: Tensión de salida con variaciones del proceso.

Las figuras 4.7 y 4.8 muestran los histogramas de dispersión de la eficiencia del circuito y la tensión de rizo respectivamente. Se observa que todas las muestras se encuentran dentro de los requerimientos planteados.

4.4. Comparación con el estado del arte

Los resultados satisfactorios, obtenidos en las secciones anteriores, permiten validar el diseño del circuito, el cual puede ser comparado con los trabajos exhibidos en el estado del arte que presenten requerimientos de diseño similares a los planteados en este proyecto. En la tabla 4.3 se resumen los resultados de seis publicaciones, a fin de compararlos con los resultados obtenidos en este proyecto. Cabe aclarar que al igual que en [13] y [15] los resultados de este trabajo son únicamente de simulación, a diferencia de los demás que son mediciones del circuito fabricado.

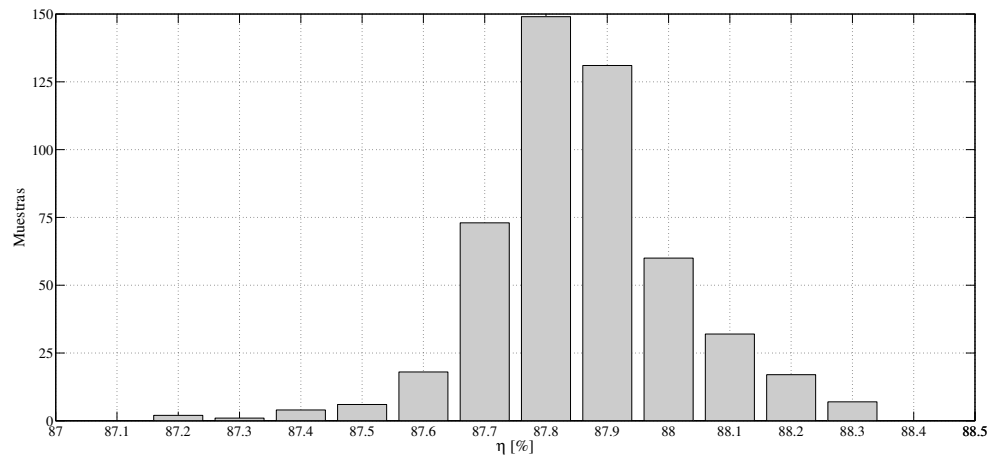


Figura 4.7: Histograma de dispersión de la eficiencia.

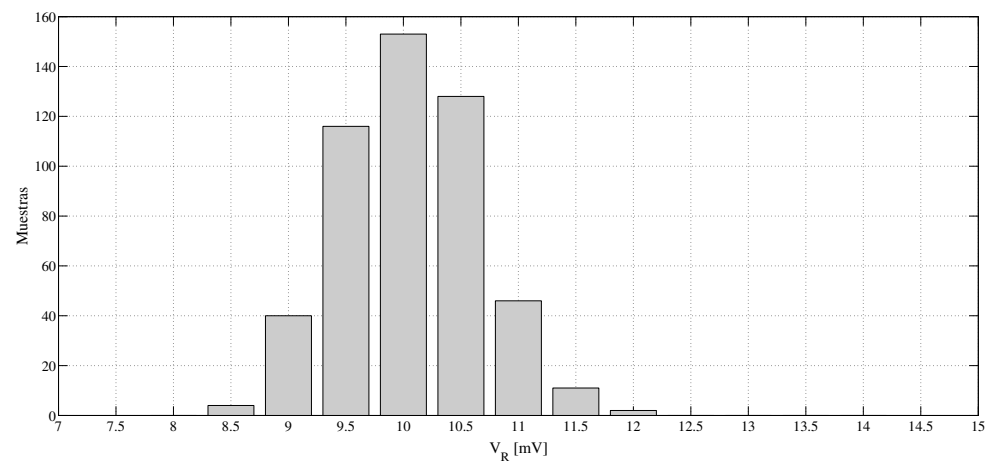


Figura 4.8: Histograma de dispersión de la tensión de rizo.

Trabajo	V_{in} [V]	V_{out} [V]	I_{out} [mA]	V_R [mV]	η [%]	C_{tot} [pF]	C_{out} [pF]	f_{sw} [MHz]	Proceso [nm]	Año
[12]	1.2	0.3 - 1.1	0.01 - 1	-	> 70	2400	-	15	180	2007
[13]**	1.2	0.45	2 - 200	≤ 20	-	-	$16\Phi^*$	3500	65	2010
[14]	1.8	0.8 - 1	8	50	69	534	700	30	45	2010
[15]**	1.8	0.8	0.1 - 4	< 15	85	4800	$16\Phi^*$	700	45	2011
[16]	3.3	1.3 - 1.6	25.5	42	86	490	50	-	180	2012
[17]	1.8	0.836	18.6	-	86	1410	Ext.*	100	32	2013
Autor**	1.8	1	1	10	87.9	350	506	100	90	2013

* Emplea capacitor de salida externo (Ext.) o múltiples fases intercaladas (Φ).

** Resultados de simulación.

Tabla 4.3: Estado del arte.

De los resultados alcanzados por el diseño se destacan: la integrabilidad completa de la bomba de carga (incluyendo el capacitor de salida), la capacitancia total requerida para la transferencia de carga (no incluye el filtro), la cual se encuentra por debajo de los valores reportados, al igual que la eficiencia y la tensión de rizo en condiciones de máxima carga; cabe recordar que el convertidor puede operar en un rango de corrientes de $0,2mA - 1mA$ con variaciones en los resultados, pero manteniéndose dentro de las especificaciones propuestas.

4.5. Observaciones y conclusiones

Finalizado el diseño de la bomba de carga del convertidor DC-DC empleando capacitores conmutados, y posterior al análisis de resultados que satisfacen los objetivos propuestos en este proyecto, es posible concluir que:

- La relación de conversión en los SC DC-DC, además de ser fija es fuertemente dependiente de la topología, lo que resulta en una gran variedad y alternativas de arquitecturas, que al mismo tiempo están limitadas a aplicaciones particulares.
- De acuerdo al estudio de las topologías en el capítulo 2, se destaca la arquitectura *ladder* por contar con las características adecuadas para la implementación del convertidor, sin embargo el principio de funcionamiento de la estructura *series-parallel* es aprovechado para proponer dos topologías que permiten alcanzar los objetivos planteados con un valor agregado muy interesante: ahorro considerable en área total consumida.
- La topología propuesta, *Min Cap*, demostró tener el mejor desempeño y sacar el máximo provecho de los elementos almacenadores de carga, manteniendo una proporción con el uso eficiente que se da a los transistores, minimizando pérdidas, lo que resulta en mayor

eficiencia para el convertor, además de representar menor consumo de área, lo que permite la integrabilidad completa de la bomba de carga.

- La impedancia de salida R_{out} , es el parámetro más influyente en el análisis, diseño y optimización de convertidores SC DC-DC, debido a que la eficiencia máxima, el modo de operación y las principales pérdidas del circuito están asociadas a este factor, adicionalmente la metodología de diseño empleada se basa en su naturaleza dual para hacer el tratamiento de capacitores e interruptores de manera independiente, orientada a minimizar pérdidas y obtener máxima eficiencia.
- Existe una dependencia inevitable, en convertidores SC DC-DC totalmente integrados, entre la frecuencia de operación, el área consumida y la eficiencia del circuito, debido a la relación que la frecuencia de conmutación presenta, directamente proporcional a las pérdidas asociadas a los efectos parásitos de los componentes e inversamente proporcional a la capacitancia total utilizada por la bomba de carga.
- El comportamiento que presentó el circuito en las tres fases de simulación para el análisis de resultados, permite validar el diseño de la bomba de carga, ya que se obtuvieron variaciones poco significativas en el desempeño del convertor.

4.6. Recomendaciones para trabajos futuros

Algunas recomendaciones son presentadas a continuación en aras de contribuir con ideas para estudios futuros en el área de administración de potencia, específicamente lo relacionado a reguladores de tensión y convertidores DC-DC conmutados, incluyendo los SC DC-DC.

- Las propiedades de regulación de la bomba de carga diseñada pueden ser explotadas realizando un diseño adecuado del circuito de control a nivel de transistor, además es posible tener en cuenta la potencia consumida por éste para el cálculo de la eficiencia total del convertor.
- Evaluar los diferentes esquemas de control presentados en la literatura para la regulación del convertor SC DC-DC, comparando su desempeño de acuerdo a las prestaciones que la bomba de carga vaya a ofrecer.
- La tensión de rizo, propia del principio de funcionamiento del circuito, se reduce en este proyecto con la implementación de un capacitor que actúa como filtro (C_{out}), conectado al terminal de salida de la bomba de carga, sin embargo se puede revisar la alternativa

de la implementación del circuito, empleando múltiples fases intercaladas, teniendo en cuenta el impacto sobre la frecuencia de operación.

- Explorar las ventajas que trae la combinación de la bomba de carga con otros bloques administradores de potencia como reguladores *LDOs* o convertidores DC-DC basados en inductor, para efectos de regulación y operación en un rango más amplio de tensiones de salida.
- Estudiar la reconfiguración de topologías de convertidores SC DC-DC permitiendo al circuito obtener diferentes relaciones de conversión a través de un mismo banco de capacitores, ofreciendo un rango más amplio de regulación empleando la menor cantidad de elementos almacenadores de carga, los cuales gobiernan el consumo total de área en el chip.

Bibliografía

- [1] X. Zhao, C. M. Hayner, M. C. Kung, and H. H. Kung, “In-Plane Vacancy-Enabled High-Power Si-Graphene Composite Electrode for Lithium-Ion Batteries,” *Advanced Energy Materials*, 2011.
- [2] H.-p. Le, S. R. Sanders, and E. Alon, “Design Techniques for Fully Integrated Switched-Capacitor DC-DC Converters,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 9, pp. 2120–2131, 2011.
- [3] M. Steyaert, T. Van Breussegem, H. Meyvaert, P. Callemeyn, and M. Wens, “DC-DC converters: From discrete towards fully integrated CMOS,” in *Solid-State Device Research Conference (ESSDERC), 2011 Proceedings of the European*. IEEE, 2011, pp. 59–66.
- [4] D. Gardner, G. Schrom, and P. Hazucha, “Integrated on-chip inductors with magnetic films,” *IEEE Transactions on magnetics*, vol. 43, no. 6, pp. 2615–2617, 2006.
- [5] D. S. Gardner, G. Schrom, F. Paillet, B. Jamieson, and T. Karnik, “Review of On-Chip Inductor Structures With Magnetic Films,” *IEEE Transactions on magnetics*, vol. 45, no. 10, pp. 4760–4766, 2009.
- [6] M. Seeman, “A design methodology for switched-capacitor DC-DC converters,” DTIC Document, Tech. Rep., 2009.
- [7] M. Seeman and S. Sanders, “Analysis and optimization of switched-capacitor DC-DC converters,” *Power Electronics, IEEE Transactions on*, vol. 23, no. 2, pp. 841–851, 2008.
- [8] M. Seeman, “Analytical and practical analysis of switched-capacitor Dc-Dc converters,” *Berkeley, CA, Tech. Rep. EECS-2006-11*, p. 66, 2006.
- [9] D. Maksimovic and S. Dhar, “Switched-capacitor DC-DC converters for low-power on-chip applications,” in *Power Electronics Specialists Conference, 1999. PESC 99. 30th Annual IEEE*, vol. 1. IEEE, 1999, pp. 54–59.

-
- [10] L. Gutiérrez, “Diseño de un regulador LDO integrable en tecnología CMOS,” Tesis de pregrado, Universidad Industrial de Santander, 2008.
- [11] J. Güiza, “Diseño de un convertor DC-DC integrable en tecnología CMOS,” Tesis de pregrado, Universidad Industrial de Santander, 2010.
- [12] Y. K. Ramadass and A. P. Chandrakasan, “Voltage scalable switched capacitor DC-DC converter for ultra-low-power on-chip applications,” in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, 2007, pp. 2353–2359.
- [13] L. Salem and Y. Ismail, “Fully integrated fast response Switched-Capacitor DC-DC converter using reconfigurable interleaving,” *2010 International Conference on Energy Aware Computing*, pp. 1–4, Dec. 2010.
- [14] Y. Ramadass and A. Fayed, “A fully-integrated switched-capacitor step-down DC-DC converter with digital capacitance modulation in 45 nm CMOS,” *Solid-State Circuits*, vol. 45, no. 12, pp. 2557–2565, 2010.
- [15] I. Jung, Y. Kim, and M. Choi, “The novel Switched-Capacitor DC-DC converter for fast response time and reduced ripple,” *Circuits and Systems (MWSCAS), ...*, vol. 1, pp. 0–3, 2011.
- [16] B. Maity and P. Mandal, “A High Performance Switched Capacitor-Based DC-DC Buck Converter Suitable for Embedded Power Management Application,” *IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEM*, vol. 20, no. 10, pp. 1880–1885, 2012.
- [17] T. Anderson, F. Krismer, J. Kolar, T. Toifl, C. Menolfi, L. Kull, T. Morf, M. Kossel, M. Brändli, P. Buchmann, and P. Francese, “A 4.6 W/mm² Power Density 86 % Efficiency On-Chip Switched Capacitor DC-DC Converter in 32nm SOI CMOS,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC 2013)*, no. Isscc, 2013.
- [18] A. Lopez, R. Diez, G. Perilla, and D. Patino, “Analysis and Comparison of Three Topologies of the Ladder Multilevel DC/DC Converter,” *Power Electronics, IEEE Transactions on*, vol. 27, no. 7, pp. 3119–3127, 2012.
- [19] M. S. Makowski and D. Maksimovic, “Performance Limits of Switched-Capacitor DC-DC Converters,” in *Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE*, 1995, pp. 1215–1221.

- [20] P. Allen and D. Holberg, *CMOS analog circuit design*, 2nd ed. Oxford University Press, 2002.
- [21] T. V. Breussegem and M. Steyaert, *CMOS integrated capacitive DC-DC converters*. Springer, 2013.
- [22] T. Van Breussegem and M. Steyaert, “A fully integrated gearbox capacitive DC/DC-converter in 90nm CMOS: Optimization, control and measurements,” in *Control and Modeling for Power Electronics (COMPEL), 2010 IEEE 12th Workshop on*. IEEE, June 2010, pp. 1–5.
- [23] M. D. Seeman, S. R. Sanders, and J. M. Rabaey, “An ultra-low-power power management IC for energy-scavenged Wireless Sensor Nodes,” *2008 IEEE Power Electronics Specialists Conference*, pp. 925–931, June 2008.