DISEÑO DE UN OSCILADOR PARA RADIOFRECUENCIA INTEGRADO EN TECNOLOGÍA CMOS

Jorge Enrique Prada Rojas

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES

UNIVERSIDAD INDUSTRIAL SANTANDER

Bucaramanga–Octubre de 2005

DISEÑO DE UN OSCILADOR PARA RADIOFRECUENCIA INTEGRADO EN TECNOLOGÍA CMOS

Jorge Enrique Prada Rojas

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director
MSc. Elkim Felipe Roa Fuentes

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES

UNIVERSIDAD INDUSTRIAL SANTANDER
Bucaramanga–Octubre de 2005

TÍTULO: DISEÑO DE UN OSCILADOR PARA RADIOFRECUENCIA, INTEGRADO EN TECNOLOGÍA CMOS[*]

Autor: Jorge Enrique Prada Rojas[**]

Palabras clave: Oscilador controlado por voltaje, ruido de fase, inductor integrado, varactor integrado.

Descripción: Este trabajo es un aporte en la construcción de una experiencia local alrededor del diseño de circuitos integrados. El diseño de un oscilador para radiofrecuencia, motiva el estudio detallado de algunas particularidades que lo ubiquen dentro de un sistema de comunicaciones integrado como un oscilador controlado por voltaje (VCO: *Voltage Controlled Oscillator*). A partir de las relaciones entre variables de diseño, se percibe el impacto de la característica integrada del oscilador, involucrando la dependencia entre las dimensiones de los elementos con la aparición de fenómenos parásitos, cuyo impacto se busca mitigar. Particularmente, se verifica el notable impacto del inductor integrado en la definición del factor de calidad del circuito resonante, y así, del desempeño del circuito.

Una estrategia de diseño es propuesta, y se somete a las exigencias del estandar *Bluetooth* (frecuencia 2.402 GHz a 2.483 GHz, ruido de fase -128 dBc/Hz a 3 MHz de *offset*). El diseño realizado alcanza un ruido de fase de -128 dBc/Hz a 3 MHz de *offset*, con 22.33 mW de consumo de potencia. Adicionalmente, la posibilidad de integración del oscilador diseñado, mantiene presente el compromiso de considerar parámetros de fabricación a lo largo de toda la tarea de diseño.

Se aplican los parámetros de proceso de AMS (*Austria Micro Systems*) para tecnología CMOS de 0,35μm. Se propone una disposición de los elementos atendiendo criterios para la reducción de mismatch, y se extrae el equivalente circuital del sistema integrado modelado, incluyendo las capacitancias parásitas debidas al proceso, arrojando -128 dBc/Hz a 3 MHz de *offset* de ruido de fase, con 30.25 mW de consumo de potencia.

---

[*]Modalidad: trabajo de grado

[**]Facultad de Ingenierías Físico–Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes.

TITLE: DESIGN OF A RADIOFREQUENCY OSCILLATOR, INTEGRATED ON CMOS TECHNOLOGY[*]

Author: Jorge Enrique Prada Rojas[**]

Key words: Voltage controlled oscillator, phase noise, integrated inductor, integrated varactor.

Description: This work is a contribution to local experience building around integrated circuits design. The radiofrequency oscillator motivates a detail study about some features which place it into a integrated communication system as voltage integrated oscillator. From those relationships between design variables, it is perceptible the impact of oscillator integrated feature, involve the dependence between dimensions and parasitic phenomena appearance, whose influence must decrease. Actually, it verifies the integrated inductor impact on tank circuit quality factor, and so, totally circuit performance.

A design strategy is proposed, and this is tested by Bluetooth standar specifications (frequency 2.402 GHz up to 2.483 GHz, phase noise -128 dBc/Hz at 3 MHz offset). The proposed design reaches -128 dBc/Hz of phase noise at 3 MHz offset and 22.3 mW of power consumption. In addition, the integration possibility of this design, takes account of fabrication parameters trade-offs along all design task.

It applies AMS (Austria Micro Systems) CMOS 0,35μm fabrication parameters. It propose a elements layout, attending mismatch reduction criteria, and it extracts the lumped circuit of integrated system, including parasitics capacitances due to integrated process, proposing some corrections reaching for post-layout design -128 dBc/Hz phase noise at 3 MHz offset and 30.25 mW power consumption.

[*]Modality: Degree Work

[**]Physics–Mechanics Engineering Faculty. Electrical, Electronic and Telecomunication School. Director: MSc. Elkim Felipe Roa Fuentes.

“ Las máquinas se entendían. Las máquinas evolucionaban. Durante milenios adquirieron complejidad, crearon nuevos géneros y especies, desarrollando sensibilidades, aptitudes y cegueras tales como el mundo nunca había soñado. Algunas crecieron en tamaño, otras llegaron a ser infinitesimales...”

BRIAN ALDISS–“ Galaxias como granos de arena”, 1960.

Agradecimientos

Este proyecto de grado es fruto de un esfuerzo continuo alrededor de la adapatación de nuevos conocimientos, razón por la cual quiero agradecer a todos aquellos que me acompañaron durante la evolución intelectual y académica que significó para mí la realización de este proyecto.

En primer lugar, agradezco a mis padres y hermanos, a quienes le debo su cariño, paciencia y apoyo.

A mis amigos, y con especial mención a Hugo Hernández y Armando Ayala, quienes fortalecieron mi trabajo con sus críticas y recomendaciones.

A mi director, Elkim Roa, a quién le debo un nuevo estilo de trabajo, y una nueva visión de la electrónica adquirido de las asignaturas de Microelectrónica 1, Microelectrónica 2 y las auxiliaturas de Electrónica 3.

Y a todos quienes creyeron en mi.

Contenido general

1. ¿Qué es un oscilador controlado por voltaje? 1
- 1.1. ¿Qué es un oscilador eléctrico? . . . 1
- 1.2. Oscilador integrado en un sistema de comunicaciones . . . 4
- 1.3. Topologías para VCO . . . 9
- 1.4. Estado del arte . . . 11

2. Fundamentos del VCO LC diferencial 17
- 2.1. Descripción del oscilador LC diferencial . . . 17
  - 2.1.1. Conceptos acerca del oscilador con resonador LC . . . 17
  - 2.1.2. Conceptos acerca del oscilador LC diferencial . . . 20
- 2.2. Descripción circuital del VCO LC complementario . . . 25
- 2.3. Delimitación del diseño . . . 28
- 2.4. Compromiso entre variables de diseño . . . 29
  - 2.4.1. Punto de operación . . . 30
  - 2.4.2. Compromisos de diseño a partir del ruido de fase . . . 35
  - 2.4.3. Aplicación de las especificaciones . . . 36

3. Resonador LC integrado 37
- 3.1. Introducción . . . 38
- 3.2. Inductor integrado . . . 38
  - 3.2.1. Descripción del inductor integrado . . . 39
  - 3.2.2. Compromiso entre variables de diseño . . . 41
  - 3.2.3. Selección del inductor integrado . . . 49
- 3.3. Varactor integrado . . . 55
  - 3.3.1. Descripción del varactor integrado . . . 55
  - 3.3.2. Compromiso entre variables de diseño . . . 57
  - 3.3.3. Estrategia de selección del varactor integrado . . . 60

4. Diseño del VCO complementario 67
- 4.1. Introducción . . . 67
- 4.2. Estrategia de diseño . . . 68
  - 4.2.1. Selección del inductor . . . 68
  - 4.2.2. Selección de elementos activos y varactor . . . 68
  - 4.2.3. Adaptación de la etapa de salida . . . 75
- 4.3. Aplicación de la estrategia de diseño . . . 77
- 4.4. Simulación y resultados . . . 80
- 4.5. Oscilador integrado . . . 87

4.5.1. Disposición geométrica 87
4.5.2. Realimentación del diseño 91

5. Conclusiones y recomendaciones **97**
5.1. Introducción 97
5.2. Impacto de la estrategia de diseño 97
5.3. Revisión del desempeño alcanzado 98
5.3.1. Figura de mérito 101
5.4. Conclusiones 101
5.5. Recomendaciones 103

A. Modelos **107**
A.1. Modelo circuital simplificado en pequeña señal del oscilador LC 107
A.2. Factor de calidad del resonador LC 107
A.3. Inductor planar 108
A.3.1. Pérdidas en el inductor planar 108
A.3.2. Modelo circuital del inductor planar 112
A.4. Topologías para varactor integrado 114

B. Teoría del ruido de fase **119**
B.1. Ruido de fase en sistemas de comunicación 122
B.2. Relaciones a partir del ruido de fase 124
B.2.1. Fuentes de ruido 125

Índice de figuras

1.1. Resonador LC puro y señal generada 2
1.2. Resonador LC con pérdidas y señal generada 2
1.3. Esquema de un sistema con realimentación. 3
1.4. Resonador con amplificador en lazo de realimentación positiva. 3
1.5. Circuito equivalente de la figura 1.4 3
1.6. Algunas implementaciones de resonador con realimentación 4
1.7. VCO multivibrador. 5
1.8. Esquema básico de un *transceiver* 6
1.9. Esquema de *transceiver* en arquitectura homodina 6
1.10. Esquema general de sintetizador con VCO. 7
1.11. Esquema de señal interferente hacia VCO a través del sustrato 8
1.12. Esquema de oscilador en anillo 10
1.13. Esquema de oscilador diferencial NMOS 10
1.14. Esquema de oscilador diferencial PMOS, aplicando diodo varactor . . . 10
1.15. Esquema de oscilador diferencial PMOS-NMOS 10
1.16. Esquema de un generador de cuadratura 11
1.17. Tendencia del ruido de fase a 3 MHz de offset, para 0.35μm 13
1.18. Tendencia del consumo de potencia, para 0.35μm 13

2.1. Circuito lazo abierto para el sistema realimentado de la figura 1.4 . . . 18
2.2. Alternativa de conexión para el transistor con divisor capacitivo. Se omiten conexiones de polarización 19
2.3. Alternativa de conexión para el transistor con divisor inductivo. Se omiten conexiones de polarización 19
2.4. Modelo de resonador LC y amplificador de transconductancia con salida diferencial 20
2.5. Aplicación de par diferencial con resonador LC. Se omite polarización . 20
2.6. Osciladores diferenciales NMOS y PMOS 21
2.7. Osciladores diferenciales NMOS y PMOS con transistor de "cabecera". 21
2.8. Esquema del circuito de prueba 23
2.9. Relación I_{PRUEBA} contra V_{PRUEBA} para diferentes anchos de canal. . . 23
2.10. Relación I_{PRUEBA} contra V_{PRUEBA}, para W_{MTAIL} constante. 24
2.11. Consumo de corriente para diferentes anchos de canal, para W_{MTAIL} constante. 24
2.12. Representación esquemática para un VCO LC complementario. 25
2.13. Esquema de la espira plana y modelo circuital π del inductor planar . . 26
2.14. Esquema de la varactor y modelo circuital 26

2.15. Modelo circuital simplificado para un VCO LC complementario 27
2.16. Modelo RLC equivalente para el oscilador LC diferencial expuesto . . . 28
2.17. Relación C-W para I = 8 mA con inductor Q = 6.0 33
2.18. Relación C-W para I = 6.5 mA con inductor Q = 6.0 33
2.19. Relación C-W para I = 8 mA con inductor Q = 2.5 34

3.1. Espiras planas de metal 38
3.2. Asociación de los elementos del modelo pi con un proceso típico. 40
3.3. Modelo circuital π para el inductor planar. 41
3.4. Equivalente en parámetros Y del modelo pi 41
3.5. Factor de calidad calculado en función del diámetro promedio. 43
3.6. Factor de calidad calculado en función del diámetro promedio, para diferente número de vueltas, $w = 10\mu m$, $s = 5{,}0\mu m$. 44
3.7. Factor de calidad calculado en función del diámetro promedio, para diferente número de vueltas, $w = 20\mu$m, $s = 5{,}0\mu$m. 45
3.8. Factor de calidad calculado en función del diámetro promedio, para diferentes espaciamientos, con $w = 15\mu$m, $n = 4$. 46
3.9. Factor de calidad calculado en función del diámetro promedio, para diferentes espaciamientos, con $w = 10\mu$m, $n = 8$ 47
3.10. Ruido de fase calculado contra inductancia para diferentes factores de calidad. 50
3.11. Máximo factor de calidad alcanzado en cada diámetro externo, aplicando el proceso C35B4C3 51
3.12. Ruido de fase calculado contra inductancia para los inductores presenatdos en la tabla 3.1. Frecuencia central 2.44 GHz 53
3.13. Inductor dual con terminales externos opuestos. 54
3.14. Inductor dual con terminales externos alineados. 54
3.15. Modelo circuital pi para el inductor seleccionado. 55
3.16. Tendencia del ruido de fase respecto la corriente de operación, para $L =$ 1,17nH, $Q = 2{,}7$, $f_0 = 2{,}44GHz$ 56
3.17. Capacitancia de varactor calculada respecto a la corriente de operación, para $L = 1{,}17$nH, $Q = 2{,}7$, $f_0 = 2{,}44GHz$ 57
3.18. Relación capacitancia voltaje para un varactor IMOS 58
3.19. Relación capacitancia voltaje para un varactor IMOS 59
3.20. Relación de conversión amplitud-capacitancia a través de $C(V)$. 59
3.21. Proporcionalidad de la capacitancia respecto al área de compuerta . . . 60
3.22. Aproximación de la zona lineal 61
3.23. Relación de capacitancias de varactor contra ancho de canal NMOS, aplicando inductancia de 1.17 nH 62
3.24. Factor de calidad del varactor respecto V_{BG}, para diferentes anchos de compuerta. 63
3.25. Factor de calidad del varactor respecto V_{BG}, para diferentes longitudes de compuerta. 64
3.26. Esquema circuital de varactor asumido por AMS 64
3.27. Diagrama de pendientes capacitancia/voltaje para varactor con W=1000μm, L=0.65μm. 65

4.1. Estrategia propuesta para diseño de oscilador controlado por voltaje. . 69
4.2. Relación C-W para $I_{operación}$ = 4,5mA, L = 1.17 nH, Q = 2.7. Se ilustra el lugar geométrico de la capacitancia central, mínima y máxima del varactor, junto a la capacitancia máxima y mínima de la región lineal, y las correspondientes a las frecuencias extremas del estándar *Bluetooth*. . 70
4.3. Esquema simplificado para el cálculo de las tensiones con $V_{DIF} = 0$ . . 71
4.4. Voltajes de polarización para $V_{DIF} = 0$, respecto al ancho de canal NMOS, con $I_{operación}$ = 4,5mA 72
4.5. Esquema simplificado para el cálculo de las tensiones con $V_{DIF,MAX}$ . . 73
4.6. Relación calculada entre tensión V_{DT} y ancho de canal NMOS, para $V_{DIF} = 0$ y V_{DIF} máximo, con $I_{operación}$ = 4,5mA, L = 1,17nH, y Q = 2,7 74
4.7. Relación calculada entre tensión V_{DT} y corriente de operación, para $V_{DIF} = 0$ y V_{DIF} máximo, con $W_n = 240\mu$m, L = 1,17nH, y Q = 2,7 . . 76
4.8. Esquema circuital de la etapa de acople básica PMOS y NMOS. 76
4.9. Tendencia del ruido de fase respecto la corriente de operación, para L = 1,34nH, Q = 6,1, $f_0 = 2{,}44GHz$ 78
4.10. Relación C-W para $I_{operación}$ = 2,5mA, L = 1,34nH, Q = 6,1 78
4.11. Relación calculada entre tensión V_{DT} y ancho de canal NMOS, para $V_{DIF} = 0$ y V_{DIF} máximo, con $I_{operación}$ = 2,5mA, L = 1,34nH, y Q = 6,1 79
4.12. Alternativas consideradas para la elección del transistor de *corriente*. $L_T = 1{,}2\mu m$. 81
4.13. Resultados de simulación aplicando L = 1,17nH, Q = 2,7, $I_{operación}$ = 4,5mA 83
4.14. Resultados de simulación aplicando L = 1,17nH, Q = 2,7, $I_{operación}$ = 6,75mA 84
4.15. Resultados de simulación aplicando L = 1,17nH, Q = 2,7, $I_{operación}$ = 6,75mA 85
4.16. Resultados de simulación aplicando L = 1,17nH, Q = 2,7, $I_{operación}$ = 6,75mA 86
4.17. Resultados de simulación aplicando L = 1,17nH, Q = 2,7, $I_{operación}$ = 6,75mA 87
4.18. Resultados de simulación aplicando L = 1,34nH, Q = 6,1, $I_{operación}$ = 2,5mA 88
4.19. Resultados de simulación aplicando L = 1,34nH, Q = 6,1, $I_{operación}$ = 2,5mA 89
4.20. Resultados de simulación aplicando L = 1,34nH, Q = 6,1, $I_{operación}$ = 2,5mA 90
4.21. Resultados de simulación aplicando L = 1,34nH, Q = 6,1, $I_{operación}$ = 2,5mA 91
4.22. *Layout* del oscilador integrado por voltaje propuesto en la sección 4.2 . 91
4.23. Resultados de simulación para el primer diseño, involucrando capacitancias parásitas de la extracción. 93
4.24. Redefinición del espacio C-W ante la adición de 205.25 fF de capacitancia parásita entre los nodos de salida 94
4.25. Resultados de simulación para el primer diseño con acople, involucrando capacitancias parásitas de la extracción. 95

4.26. Resultados de simulación para el primer diseño con acople, involucrando capacitancias parásitas de la extracción. Corriente de operación aumentada 1.41 veces. 96

5.1. Tendencia del ruido de fase a 3 MHz de *offset*, para MOS 0.35μm, incluyendo los diseños A (con indutor modelado), y B (con inductor caracterizado). 99
5.2. Tendencia en el consumo de potencia, para MOS 0.35μm,incluyendo los diseños A (con indutor modelado), y B (con inductor caracterizado). . . 100
5.3. Ruido de fase medido en simulación pre-*layout* y post-*layout* 100
5.4. Figura de mérito PFN para MOS 0,35μm, incluyendo los diseños A (con inductor modelado), y B (con inductor caracterizado). 101
5.5. Aplicación del inductor para el filtrado de corriente a $2f_0$ 104
5.6. Inductores simétricos 105
5.7. Distorsión de la señal sobre los nodos de salida, para el diseño presentado en la sección 4.3 106

A.1. Modelo pequeña señal resonador LC. 108
A.2. Esquema de la profundidad de piel en un conductor. Área efectiva sombreada. 109
A.3. Esquema de capacitancia parásita del hacia el sustrato a través del óxido, y resistencia parásita del sustrato 110
A.4. Esquema de la corriente de *eddy* inducida por el flujo magnético. 110
A.5. Esquema de las corrientes de *eddy* inducidas sobre la espira. 111
A.6. Equivalentes circuitales del inductor referenciado en el puerto de entrada y de salida. 114
A.7. Equivalentes en serie de la impedancia tomada en un puerto y diferencialmente 114
A.8. Estructura del diodo varactor. 115
A.9. Relación capacitancia–voltaje del diodo varactor 116
A.10. Estructura del varactor PMOS. 116
A.11. Estructura del varactor PMOS de inversión. 117
A.12. Estructura del varactor de acumulación. 117

B.1. Modelo del oscilador ideal. 119
B.2. Diagrama de bloques del proceso de conversión del ruido en ruido de fase. 121
B.3. Espectro del desplazamiento de la señal debida a un oscilador ideal. . . 123
B.4. Mezcla señal de entrada (datos e interferencia), con señal oscilador real 123
B.5. Oscilador LC complementario con fuentes de ruido 125
B.6. Circuito equivalente con fuentes de ruido 126

Índice de tablas

1.1. Especificaciones de oscilador para diferentes estándares inalámbricos . . 7
1.2. Reporte de algunos de los diseños de VCO más recientes 14
1.3. Reporte de algunos de los diseños de VCO más recientes 15

2.1. Variables de diseño y elementos que modifica directamente. 30

3.1. Registro de geometrías para inductores de mejor Q, por diámetro externo, obtenido con ASITIC. 52

A.1. Coeficiente para el modelo de Wheeler 112

Introducción

La creciente demanda de sistemas de comunicación portátiles, confiables y de bajo costo, ha llevado a proponer soluciones de diseño y construcción de sistemas electrónicos dentro de un mismo circuito integrado (SoC: *System of Chip*), con el fin de mejorar desempeño, reducir costos y tamaño. A nivel internacional esta tendencia se alimenta con la participación de la academia en proyectos de investigación dirigidos al diseño e implementación de tales dispositivos. A nivel local este importante derrotero apenas se conoce, ya que no se han adelantado estudios y trabajos continuos en el área de diseño de circuitos integrados, incrementando la brecha tecnológica existente entre nuestro país, y las naciones productoras de tecnología de punta. El único antecedente de diseño de circuitos integrados en la Universidad Industrial de Santander, corresponde a un proyecto de pregrado basado en el diseño y simulación de un modulador *Sigma–Delta* [1]. Esta carencia hace necesario impulsar nuevos trabajos en torno a esta área, con el fin de asumir su creciente importancia en el escenario científico y tecnológico, adaptando metodologías de diseño existentes en el estado del arte para el desarrollo de circuitos integrados de aplicación específica.

El trabajo descrito en este documento, es un aporte en la construcción de una experiencia local alrededor del diseño de circuitos integrados. El diseño de un oscilador para radiofrecuencia, motiva el estudio detallado de algunas particularidades que lo contextualizen dentro de un sistema de comunicaciones integrado, como un oscilador controlado por voltaje (VCO: *Voltage Controlled Oscillator*). En primer lugar, una revisión de las topologías propuestas por en el estado del arte ofrece una visión de la potencialidad de la tecnología CMOS y su aplicación en osciladores integrados, verificando que existe especial interés en la satisfacción de los límites de ruido de fase propuestos por estándares de comunicación. Basado en las recomendaciones planteadas en la literatura, la topología LC complementaria se constituye en la alternativa de más acogida para el cumplimiento de tal criterio, y es elegida como la topología del diseño aquí presentado. Posterior a la elección de la topología, la descripción de sus variables de diseño, facilita la identificación de relaciones favorables a la luz de los modelos matemáticos propuestos en la literatura. A partir de las relaciones entre variables de diseño, se percibe el impacto de la característica integrada del oscilador, involucrando la dependencia entre las dimensiones de los elementos con la aparición de fenómenos parásitos, cuyo impacto se busca mitigar. Particularmente, se verifica la notable influencia del inductor integrado en la definición del factor de calidad del circuito resonante, y así, del desempeño del circuito. Una revisión de la equivalencia entre su planeación geométrica y su comportamiento eléctrico, revela la complejidad del diseño del inductor integrado, convirtiéndolo en un elemento que merece especial atención.

Como resultado de la observación de la dependencia entre variables, se propone una

estrategia de diseño que busca para el oscilador, no solo la satisfacción de los requisitos del estándar de comunicaciones, sino alcanzar un desempeño equiparable a los presentados en el estado del arte. La estrategia de diseño se somete a las exigencias del estandar *Bluetooth* (frecuencia 2.402 GHz a 2.483 GHz, ruido de fase -128 dBc/Hz a 3 MHz de *offset*), y arroja un diseño en cuya realización se ilustran los diferentes compromisos asumidos en la satisfacción de tales especificaciones. Así mismo, la estrategia de diseño presentada es sometida a la aplicación de inductores caracterizados, con el fin de verificar su viabilidad dentro del estándar adoptado y el estado del arte, y cuyo contraste con el diseño original ilustra el papel protagónico del factor de calidad en el desempeño del oscilador LC integrado.

Adicionalmente, la posibilidad de integración del oscilador diseñado, mantiene presente el compromiso de considerar parámetros de fabricación a lo largo de toda la tarea de diseño. Para este trabajo, se aplican los parámetros de proceso presentados por AMS (*Austria Micro Systems*) para tecnología CMOS de 0.35 μm. Junto a los parámetros, se consideran especiales recomendaciones, dadas por AMS, alusivas la disposición del *layout* para el oscilador diseñado. Se propone una disposición de los elementos atendiendo criterios para la reducción de *mismatch*, y se extrae el equivalente circutal del sistema integrado modelado, incluyendo las capacitancias parásitas debidas a este proceso verificando su desempeño, con el fin de proponer los correctivos necesarios para alcanzar las especificaciones propuestas inicialmente.

Es así como este trabajo aporta una sencilla pero valiosa experiencia en el campo de diseño de circuitos analógicos integrados, comprometiendo a la ingeniería electrónica como herramienta en la identificación y solución de problemas de diseño en esta área. De esta forma, este trabajo espera ser punto de partida para trabajos futuros que enriquezcan el naciente interés mostrado en la academia local, y lo conviertan en nicho potencial de investigación y desarrollo.

Organización del documento

Este documento describe el diseño de un oscilador controlado por voltaje, integrado en tecnología CMOS 0.35μm, haciendo un recorrido por diferentes etapas del proceso.

Con el título *¿Qué es un oscilador controlado por voltaje?*, el capíulo 1 encabeza este documento, trayendo una recopilación de conceptos básicos acerca del oscilador. Contextualiza el oscilador para radiofrecuencia como el oscilador controlado por voltaje dentro de un sistema de comunicación inalámbrica, y amplía la visión del estado del arte para osciladores integrados, presentando algunas características de su desempeño.

En el capítulo 2 (*Fundamentos del VCO LC diferencial*), se exponen conceptos básicos del oscilador controlado por voltaje complementario, específicamente, aquel que aplica el resondor LC. Se consigna una breve descripción de los modelos circuitales y matemáticos propuestos, en aras de identificar las variables diseño generales del oscilador. También se ofrece una visión del compromiso entre tales variables y la búsqueda un desempeño óptimo en términos de ruido de fase y consumo de potencia.

El capítulo 3 (*Resonador LC*), profundiza acerca de la descripción y selección del inductor y el varactor, para el resonador LC. Debido a la particularidad de su implementación, estos dispositivos merecen comprensión y discusión de nuevos modelos circuitales y matemáticos, que permitan indagar diferentes relaciones entre variables

geométricas y su comportamiento eléctrico. A partir de estos compromisos, se seleccionan un inductor y un varactor buscando rango de sintonía y reducción de pérdidas, con el fin de satisfacer las condiciones propuestas al resonador LC en el capítulo 2.

Después de seleccionar el resonador LC, debe realizarse una selección de los elementos activos, con el fin de concretar la tarea de diseño preeliminar. Es así, como el capítulo 4 (*Diseño del VCO complementario*), contiene la aplicación de una estrategia de diseño para elementos activos, enfocada en la minimización del ruido de fase y consumo de potencia. Buscando la integrabilidad, se extiende el diseño el oscilador realizado a la aplicación de un proceso de fabricación típico CMOS 0.35μm. Para ello, se modela el diseño en un *layout*, realimentando el circuito equivalente, y redefiniendo las elecciones hechas en el diseño pre-*layout*.

Para finalizar, el capítulo 5 (*Conclusiones y recomendaciones*) arroja un compendio de los resultados alcanzados, a la luz de las actividades realizadas. Este último capítulo ofrece también algunas perspectivas del diseño de un oscilador integrado, recogidas de la experiencia que da el presente trabajo. Algunas conclusiones y recomendaciones cierran este apartado, buscando motivar futuros trabajos.

Capítulo 1

¿Qué es un oscilador controlado por voltaje?

Antes de abordar la pregunta que le da nombre a este capítulo, surgen algunas cuestiones simples, pero no por ello triviales, que deben encender inquietud en el diseñador que desee abordar estos dispositivos: *¿qué es un oscilador?*, *¿para qué sirve un oscilador?*, y como diseñador, *¿qué significa un 'oscilador óptimo', y qué se necesita para llevarlo a cabo?* La fundación de tales cuestiones no es exclusiva de este componente RF, ya que cualquier otro componente dentro de un *transceiver*[1] también merece esta aproximación introspectiva en aras de dominar los pormenores de su operación. Sin embargo, como se verificará a lo largo de este capítulo, y quizás a lo largo de todo este documento, el oscilador es uno de los sistemas eléctricos más desafiantes y complejos, debido a que su funcionamiento se funda en la no linealidad y la varianza en el tiempo.

Encausando el afán del lector por conocer acerca del oscilador controlado por voltaje, este capítulo propone una revisión de las bases conceptuales acerca del oscilador eléctrico. Se ubicará al *oscilador controlado por voltaje* dentro del sistema de comunicaciones, y se citarán algunas de las topologías propuestas en el estado del arte, distinguiendo fortalezas y particularidades. A partir de los fundamentos básicos que se expondrán a continuación, será más sencillo comprender la singularidad de este bloque funcional, y comprender en qué sentido el oscilador no tiene parangón dentro de un sistema de comunicaciones.

1.1. ¿Qué es un oscilador eléctrico?

Un oscilador eléctrico es un generador de señal periódica en el tiempo. Asumir la ocurrencia periódica de un fenómeno eléctrico lleva a considerar la existencia de mecanismos de carga y descarga los cuales son excitados a intervalos regulares de tiempo, como el fenómeno descrito por la carga y descarga de un resonador puro. Para el caso de un resonador LC (figura 1.1), una perturbación introducida de corriente genera una señal oscilante y autosostenible debido a la dependencia mutua entre voltaje y corriente.

Si un impulso de corriente $I\delta(t)$ es aplicado al resonador, la respuesta en el dominio

[1] Denominación para sistema integrado transmisor–receptor

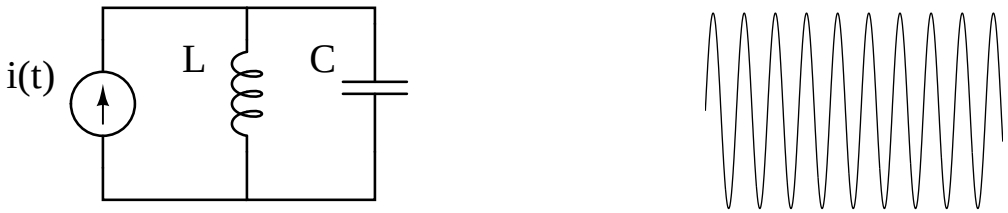

Figura 1.1: Resonador LC puro y señal generada

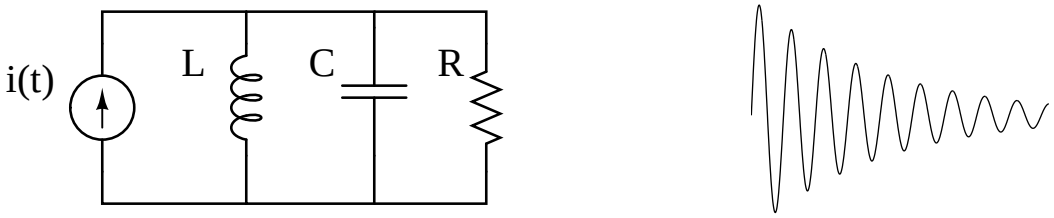

Figura 1.2: Resonador LC con pérdidas y señal generada

del tiempo se expresa como:

$$v(t) = \frac{\sqrt{2}I}{C} \cdot \cos\left(\sqrt{\frac{1}{LC}} \cdot t\right) \tag{1.1}$$

donde la frecuencia de resonancia está dada por:

$$\omega_0 = \sqrt{\frac{1}{LC}} \tag{1.2}$$

Sin embargo, la abstracción del oscilador puro se desdibuja ante la aparición de pérdidas debidas a resistencias parásitas. Para este caso, el resonador real exhibe una respuesta como la registrada en la figura 1.2. Aplicando un impluso de corriente $I\delta(t)$ al resonador con pérdidas, se obtiene una señal de tensión expresada como:

$$v(t) = \frac{\sqrt{2}I \exp\left(\frac{-t}{2RC}\right)}{C} \cdot \cos\left(\sqrt{\frac{1}{LC} - \frac{1}{4R^2C^2}} \cdot t\right) \tag{1.3}$$

que claramente corresponde a una oscilación que decae exponencialmente.

Para contrarrestar la disipación de energía en el resonador y acercar su comportamiento al del resonador ideal, se incluye en paralelo una transconductancia "negativa" que cancelará exactamente la transconductancia parásita, y desplazará los polos del resonador hacia el eje imaginario. La nueva resistencia equivalente tenderá a infinito, y la ecuación (1.3) se igualará al resultado indicado en la ecuación (1.1). La transconductancia negativa es otra abstracción matemática, pero sus efectos pueden ser generados dentro de un lazo amplificador con realimentación positiva. En la figura 1.3 se identifica el diagrama de bloques para la función $H(s)$ del resonador realimentado positivamente.

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 - H(s)} \tag{1.4}$$

La ecuación (1.4) describe la función de transferencia, para el sistema realimentado de la figura 1.3. Un comportamiento oscilatorio en el sistema realimentado se alcanza

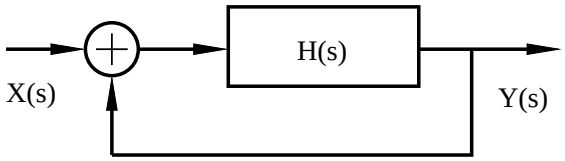

Figura 1.3: Esquema de un sistema con realimentación.

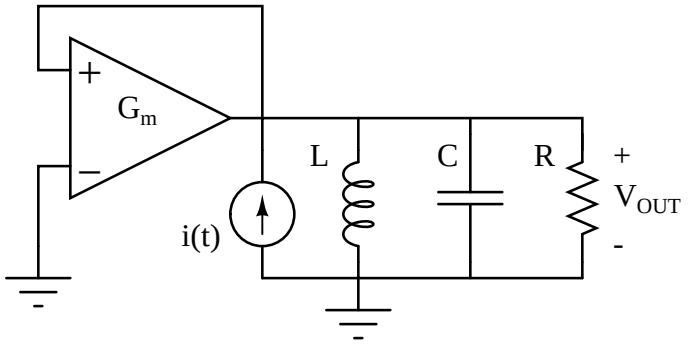

Figura 1.4: Resonador con amplificador en lazo de realimentación positiva.

a la frecuencia s_0, si $H(s_0) = 1$. Solo si s_0 es puramente imaginaria, como es el caso de $H(s_0 = j\omega_0)$, se obtendrá una oscilación estable de amplitud constante. Estas condiciones se formalizan estableciendo para la frecuencia ω_0 que la ganancia de lazo, $|H(j\omega_0)|$, debe ser unitaria, y que el desplazamiento de fase alrededor del lazo, $\angle H(j\omega_0)$, debe ser cero (o 180° si la realimentación es negativa). El conjunto de las anteriores condiciones, conocido como criterio de Barkhausen, implica que el sistema realimentado puede oscilar si su ganancia de lazo y su desplazamiento de fase son apropiadamente escogidos.

Solo si se cumplen las condiciones del criterio de Barkhausen, puede generarse un comportamiento en el sistema similar al efecto que tendría implementar la resistencia "negativa". Con la ganancia unitaria, se garantiza que las pérdidas son exactamente compensadas por la amplificación. En caso de superar las pérdidas, la amplitud de la oscilación crecerá indefinidamente debido a la realimentación positiva. En caso contrario, la señal decrecerá hasta anularse. El dispositivo amplificador incluido en el lazo de realimentación positiva debe diseñarse para brindar la amplificación que compense las pérdidas, y hacer posible la ganancia unitaria de lazo. Algunas implementaciones de resonador en un lazo de realimentación positiva con amplificador, se esquematizan en

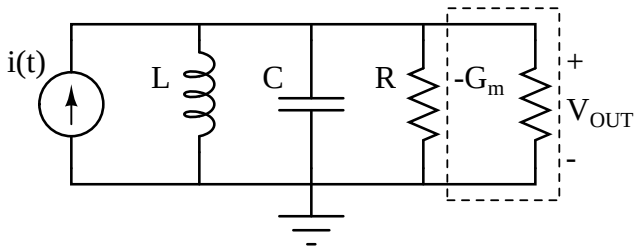

Figura 1.5: Circuito equivalente de la figura 1.4

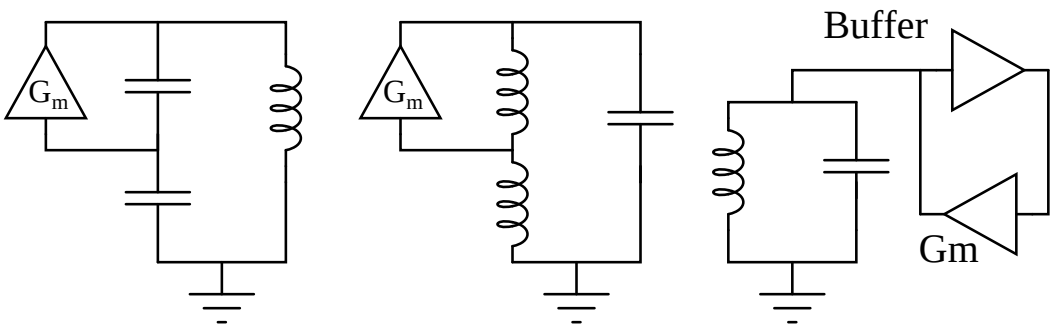

Figura 1.6: Algunas implementaciones de resonador con realimentación [2]. Inductores y capacitores con pérdidas

las figuras 1.4 y 1.6.

El funcionamiento de osciladores con resonador LC, y osciladores con resonador de cristal se fundamenta en el concepto anteriormente descrito. Para efectos ilustrativos, la operación del oscilador en estado estable puede modelarse con un sistema LTI. No obstante, fenómenos como el arranque, la distorsión introducida por los dispositivos activos, y la presencia de ruido, involucran modelos no lineales y variantes en el tiempo al análisis del oscilador real.

Por último, existen otras clases de generadores de señal periódica que carecen de resonador, como los osciladores de relajación y los osciladores en anillo. En los primeros, la carga y descarga de un capacitor hacia una tensión umbral determina la oscilación. El multivibrador esquematizado en la figura 1.7 pertenece a este tipo. En los segundos, se propaga una señal a través de una serie de inversores, obteniendo un retardo final a la salida que es realimentado a la entrada. Estos dos esquemas presentan realimentación con el fin de reutilizar la señal de salida para excitar los mecanismos de carga y descarga, excursionando la señal en los elementos activos hacia regiones no lineales, por lo que la señal de salida difícilmente será armónica. Los osciladores R–C permiten un rango de sintonía más extenso, pero presentan importantes niveles de distorsión y ruido de fase [3].

1.2. Oscilador integrado en un sistema de comunicaciones

Proponer soluciones a necesidades de comunicación ante nuevas exigencias de distancia, fiabilidad y costo, motiva a la academia y a la industria electrónica a ofrecer soluciones creativas enmarcadas dentro de topologías de sistema aceptadas teóricamente, que han demostrado un notable desempeño práctico. La representación de uno de los esquemas más básicos para un sistema de comunicación inalámbrica se muestra en la figura 1.8. Allí se representan los bloques de recepción de señal, demodulación, procesamiento, así como para modulación y transmisión. La señal RF es recibida por una antena que se acopla a un amplificador de bajo ruido, para ser convertida por el demodulador hacia rangos de frecuencias más bajos, asequibles por el procesador de señal, que interpreta la información contenida como los datos del mensaje originalmente transmitido. En transmisión, y para efecto ilustrativo, la señal revierte sus “pasos”,

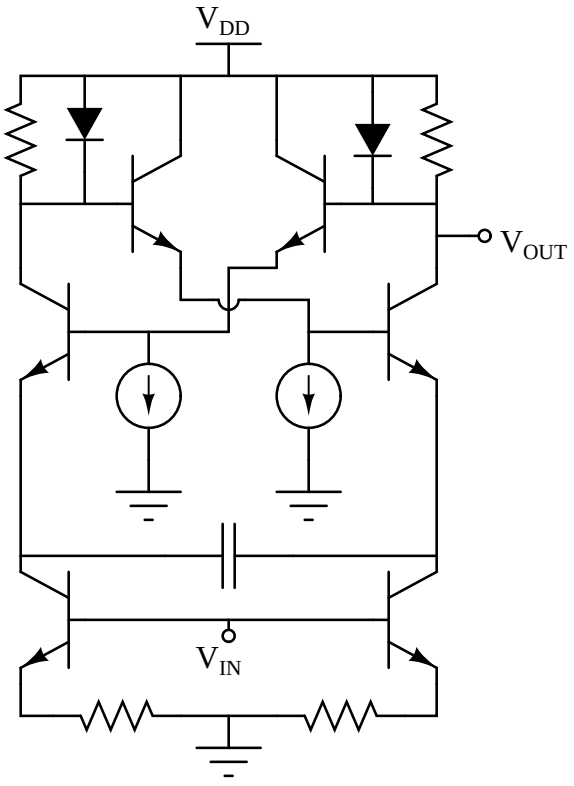

Figura 1.7: VCO multivibrador. La tensión V_{in} controla el tiempo de carga y descarga del capacitor central.

y a través de la ruta del modulador y el amplificador de potencia, es desplazada hacia altas frecuencias, donde es difundida como señal RF.

Las topologías para sistemas de comunicación pueden ser clasificadas de acuerdo con su esquema de conversión de señal RF, como topologías de conversión indirecta, o topologías de conversión directa, identificándose en diferentes arquitecturas para transmisión y recepción. En conversión indirecta, el espectro de la señal RF es desplazado hacia una frecuencia intermedia más baja, donde es filtrada y procesada. Por otro lado, en conversión directa, el espectro de la señal RF es enviado a frecuencias cercanas a cero, donde su procesamiento se simplifica en aras de obtener la señal mensaje en banda base [4]. La tendencia en el desarrollo de sistemas RF completamente integrados, motiva a los diseñadores a considerar arquitecturas basadas en el esquema homodino o de conversión directa, debido a la sencillez de su topología, y a la omisión de dispositivos para el tratamiento de la frecuencia intermedia que típicamente son *off-chip* [5].

La implementación de un esquema de conversión homodina en dispositivos totalmente *on-chip* como el *transceiver*, conlleva el rediseño y mejoramiento continuo de bloques estructurales como LNA, *mixer*, oscilador y sintetizador (figura 1.9). Estos componentes devengan la atención de los arquitectos y fabricantes de sistemas inalámbricos, que no solo buscan integrabilidad total, sino altas relaciones señal–ruido, precisión de sintonía, y bajos consumos de potencia, a frecuencias cada vez más altas. La calidad de la conversión directa recae, con especial compromiso, en el oscilador, que junto con el sintetizador de frecuencia fija la frecuencia de operación, permitiendo la modulación y demodulación de señales RF. Así, la importancia del oscilador es tan evidente, que

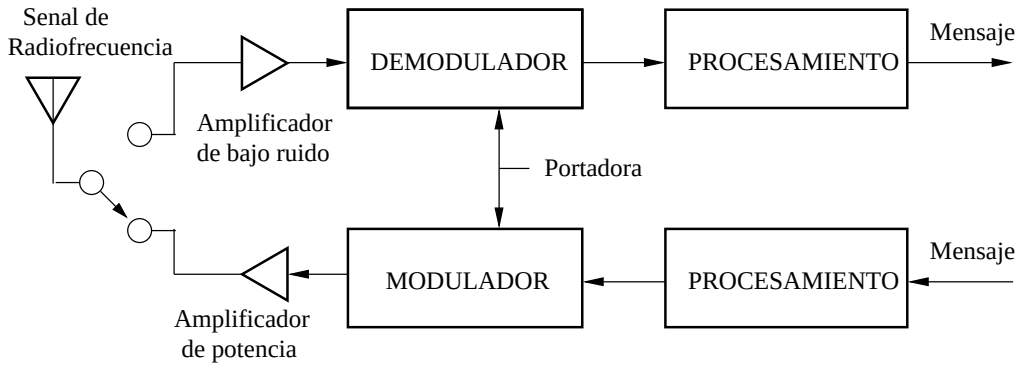

Figura 1.8: Esquema básico de un *transceiver*

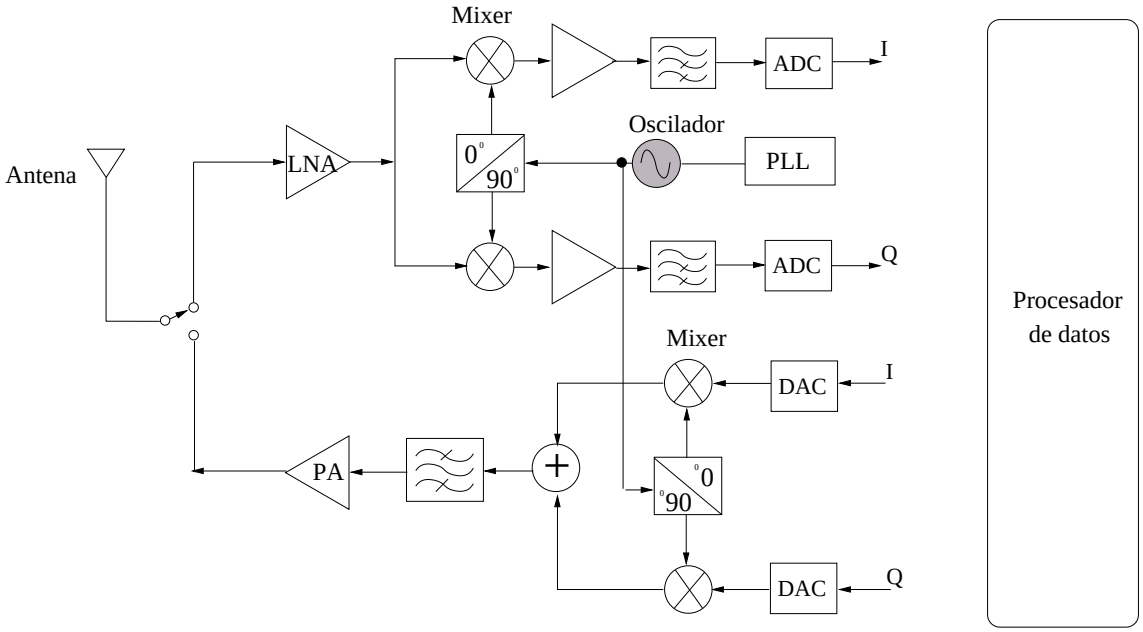

Figura 1.9: Esquema de *transceiver* en arquitectura homodina

algunos lo consideran como el "corazón" del *transceiver* de radio frecuencia [6].

La frecuencia central del oscilador local (LO) dentro del esquema de recepción–transmisión homodina, establece la frecuencia central para modulación o demodulación. Debido a esta función, la frecuencia del oscilador local, en un sistema de comunicaciones, está sujeta a los requisitos formulados en los estándares de comunicaciones, que determinan diversos parámetros que deben ser alcanzados por tal oscilador. Para ello, se concibe el oscilador a través de una variedad de topologías que atiendan necesidades de precisión, reducción de ruido de fase y consumo de potencia. Tratándose del oscilador en un sistema de comunicaciones, debe darse la posibilidad de su sintonía para un conjunto de frecuencias o canales, sugiriéndose su control con una señal de tensión. A partir de esta exigencia, el oscilador controlado por voltaje (VCO: *Voltage Controlled Oscillator*) es una alternativa, cuyo diseño permite ajustar los criterios deseables en un oscilador, con las prestaciones exigidas en los estándares. En la tabla1.1 se citan algunas especificaciones para tres de los estándares de comunicación inalámbrica más populares [7].

Estándar	Frecuencia central (MHz)	% Ancho de banda respecto portadora	Ruido de fase para 3 MHz [dBc/Hz]
GSM	900/1800	3.9 % 1.9 %	-143
Bluetooth	2440	3.3 %	-128
WLAN	5250	5.7 %	-116

Tabla 1.1: Especificaciones de oscilador para diferentes estándares inalámbricos

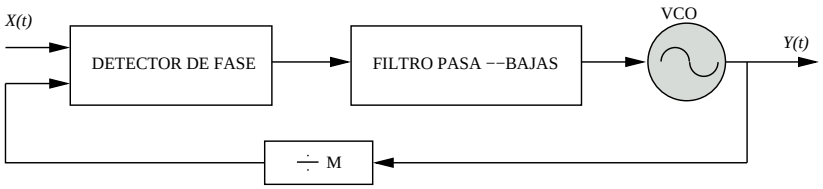

Figura 1.10: Esquema general de sintetizador con VCO.

Para la mayoría de las aplicaciones, los osciladores deben ser sintonizables. La frecuencia ω_{out} de la señal de salida para un VCO ideal, es una función lineal del voltaje de control V_{cont}, así:

$$\omega_{out} = \omega_0 + K_{VCO}V_{cont} \tag{1.5}$$

donde K_{VCO} denota la ganancia o sensitividad del VCO en $\frac{rad}{Vs}$. La fase se considera la integral de la frecuencia respecto al tiempo:

$$y(t) = A\cos\left[\omega_0 t + K_{VCO}\int_{-\infty}^{t} V_{cont}\ dt\right] \tag{1.6}$$

En el caso que V_{cont} sea una señal de voltaje constante llamada V_0, entonces:

$$y(t) = A\cos\left[(\omega_0 + K_{VCO}V_0)t + \phi_0\right] \tag{1.7}$$

donde ϕ_0 representa el valor inicial de la fase. Asumiendo que el voltaje de control V_{cont} es constante y diferente de cero para operación estable, la frecuencia de oscilación solo será desplazada $K_{VCO}V_{cont}$ radianes por segundo. Por otro lado, si la señal de control varía en el tiempo, el comportamiento del VCO se asemeja al de un modulador de frecuencia, de acuerdo a la ecuación (1.6).

Dentro del lazo de control de un sintetizador, un oscilador controlado por voltaje debe sintonizarse a sendas frecuencias tal como lo exija la canalización del estándar aplicado. Como se ilustra esquemáticamente en la figura 1.10, el sintetizador entrega una tensión de control al VCO, al mismo tiempo que realimenta la señal del oscilador, con el fin de mantener la frecuencia de operacion hacia el valor requerido. Cualitativamente, junto a criterios como el consumo de potencia, o ruido de fase, el desempeño de un VCO se determina por la forma en que este dispositivo converja de manera unívoca, generando una señal de frecuencia constante ante una señal de control.

Como se mencionó anteriormente, la señal del oscilador desplaza en frecuencia la señal banda base o la señal RF, en procesos de modulación o demodulación respectivamente. Sin embargo, en sistemas de comunicación reales, la descripción del oscilador local se aleja del modelo ideal, debido a pérdidas de energía por disipación, presencia

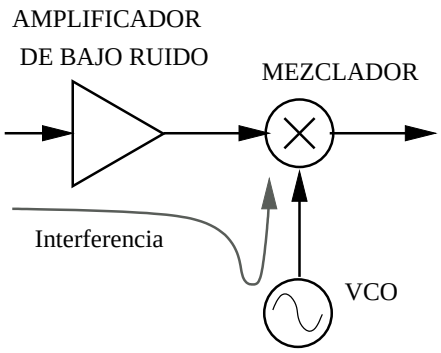

Figura 1.11: Esquema de señal interferente hacia VCO a través del sustrato

de ruido, e intermodulación. Estos fenómenos afectan la precisión de la sintonía, y favorecen la aparición de ruido de fase y distorsión. Particularmente, a nivel de circuitos integrados, el bajo factor de calidad de inductores y capacitores restringe la libertad de las variables de diseño en la búsqueda de prestaciones competitivas para un VCO. Lograr un desempeño adecuado dentro de las exigencias de precisión dadas por algún estándar de comunicaciones, se convierte en un problema de diseño que involucra el compromiso de variables físicas.

En primer lugar, el diseño de circuitos integrados para altas frecuencias debe considerar fenómenos parásitos, e irregularidades debidas al proceso de fabricación CMOS, tales como el efecto *mismatch*. Este efecto consiste en la desviación de las proporciones geométricas entre capas o fluctuaciones microscópicas de las dimensiones. A este efecto se suma la heterogenidad de párametros físicos tales como la conductividad, la capacitancia específica, la resistencia del material, el gradiente de concentración del sustrato de silicio, entre otros [8].

Al mismo tiempo, la integración de circuitos RF y circuitos digitales en un mismo *chip* favorece el acople de señales digitales, ya sea a través de los sustratos de baja resistividad usados en CMOS, por medio del acople magnético entre diferentes líneas de metal, o capacitivamente a través de uniones p-n [9]. La presencia de componentes armónicas y sub-armónicas del reloj digital puede manifestarse en forma de señales interferentes para los circuitos RF, donde en el oscilador, se modulan en frecuencia y amplitud generando ruido de fase (ver apéndice B).

Así, el modelo se aleja de la descripción precisa del circuito dada por análisis convencionales que aplican fuentes de señal y dimensiones determinísticas para los transistores. La existencia de estos fenómenos es inevitable desde el punto de vista de diseño, e inciden directamente en la aparición de señales de ruido estático, ciclo-estacionario [3], e interferencias a través del sustrato [10], caso que se ilustra en la figura 1.11. Sin embargo, a partir del diseño se pueden mitigar estos efectos y anular sus consecuencias dentro de los rangos de calidad exigidos. Particularmente, el diseño de un oscilador integrado debe enfocarse, especialmente, en reducir las perturbaciones de amplitud de la señal y variaciones indeseables de la frecuencia de operación debidas al ruido de fase.

Esta dispersión parásita del espectro en frecuencia se debe a la modulación de señales espurias, y se manifiesta con una distribución desigual de los cruces por cero de la señal oscilante [11]. Desde el espectro en frecuencia, la distribución desigual de cruces por cero implica una variación de la frecuencia instantánea de la señal, produciéndose bandas

laterales parásitas alrededor de la frecuencia de la señal portadora, afectando principalmente los canales adyacentes al canal sintonizado por el sistema de comunicación. Le corresponde al diseñador de osciladores integrados proponer topologías que reduzcan la potencia de esa banda de ruido.

1.3. Topologías para VCO

El oscilador controlado por voltaje, dentro del sistema de comunicaciones, debe ser ajustable a algún estándar o conjunto de especificaciones, dentro de la amplia gama ofrecida por la industria. A partir de esta variedad de requisitos se proponen diferentes topologías, cada una de las cuales se caracteriza por maximizar alguna prestación o minimizar alguna debilidad, dentro del compromiso de las variables en el diseño. A lo largo del tiempo, la disponibilidad de topologías se ha renovado a la par con la tecnología disponible para su implementación, algunas veces simplificando antiguos y complicados esquemas, o proponiendo otros nuevos que le den vigencia y continuidad al estado del arte.

Actualmente, la tecnología CMOS goza de excelente acogida entre diseñadores y fabricantes de sistemas de comunicación integrados (RF–SoC), debido a su bajo consumo de potencia, alta escala de integración, y buen desempeño en alta frecuencia [10, 12]. Es fácil distinguir esta tecnología en diferentes topologías del estado del arte, donde se identifican diversos intereses como la reducción del ruido de fase, el ahorro de potencia, o el escalamiento de la frecuencia central, dentro de límites cada vez más rigurosos, permitiéndole al VCO integrado en tecnología CMOS ser competitivo en estándares cada vez más exigentes, y continuar la tendencia propuesta por los sistemas RF–SoC.

En la figuras se registran algunas propuestas de topologías para el VCO integrado comunes en la literatura. El oscilador en anillo mostrado en la figura 1.12, consiste en una conexión en cascada de inversores que, dispuestos en cantidad impar, propagan una señal de tensión que se realimenta en contrafase respecto a la señal inicial, manteniendo un comportamiento oscilatorio limitado por la carga y descarga de las capacitancias en cada etapa [13]. El oscilador en anillo demanda un área reducida de integración comparado con el oscilador LC, pero es más suceptible a ruido de fase y distorsión [3].

Aplicando resonadores LC, en las figuras 1.13 y 1.14 se muestran dos esquemas para osciladores LC, usando transistores NMOS y PMOS respectivamente. Los transistores presentan una conexión cruzada para garantizar la realimentación positiva. Las trasconductancias son diseñadas con el fin que compensen las pérdidas del resonador LC, y garantizar oscilaciones sostenidas. Generadores en cuadratura, como el registrado en la figura 1.16 (presentado en [14]), son ejemplo de la aplicación de esta topología. Como una alternativa mejorada, se presenta el oscilador LC NMOS-PMOS (figura 1.15), que contiene las dos clases de transistores complementarios. Con esta topología se aumenta la resistencia negativa del tanque, sin aumentar las dimensiones de los transistores, mientras consume la misma corriente de polarización [15]. La sintonía se ajusta variando la capacitancia del tanque, por medio de un varactor, o capacitancia controlada por señal de tensión dada por el sintetizador. La topología NMOS-PMOS permite una mejor reducción del ruido de fase [3], y mayores amplitudes de oscilación. Sin embargo, la disposición de la inductancia integrada demanda un área considerable, favoreciendo la

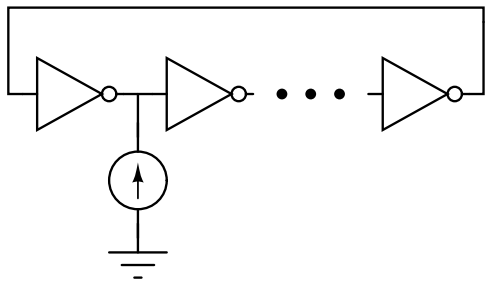

Figura 1.12: Esquema de oscilador en anillo

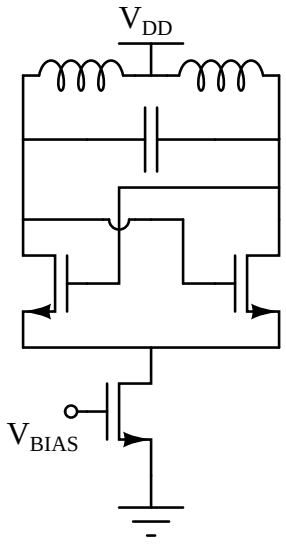

Figura 1.13: Esquema de oscilador diferencial NMOS

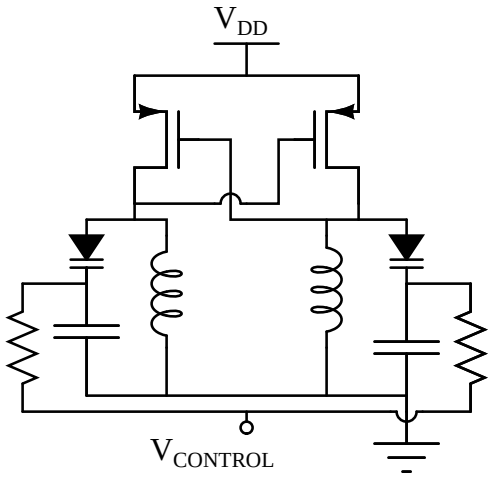

Figura 1.14: Esquema de oscilador diferencial PMOS, aplicando diodo varactor

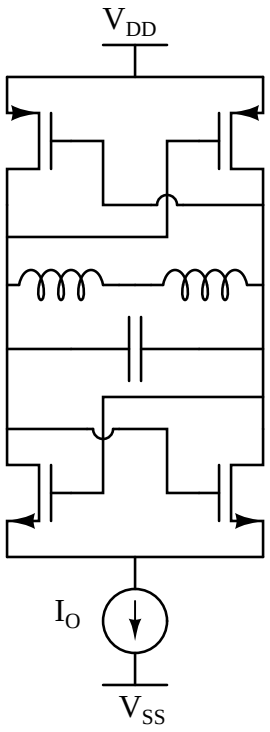

Figura 1.15: Esquema de oscilador diferencial PMOS-NMOS

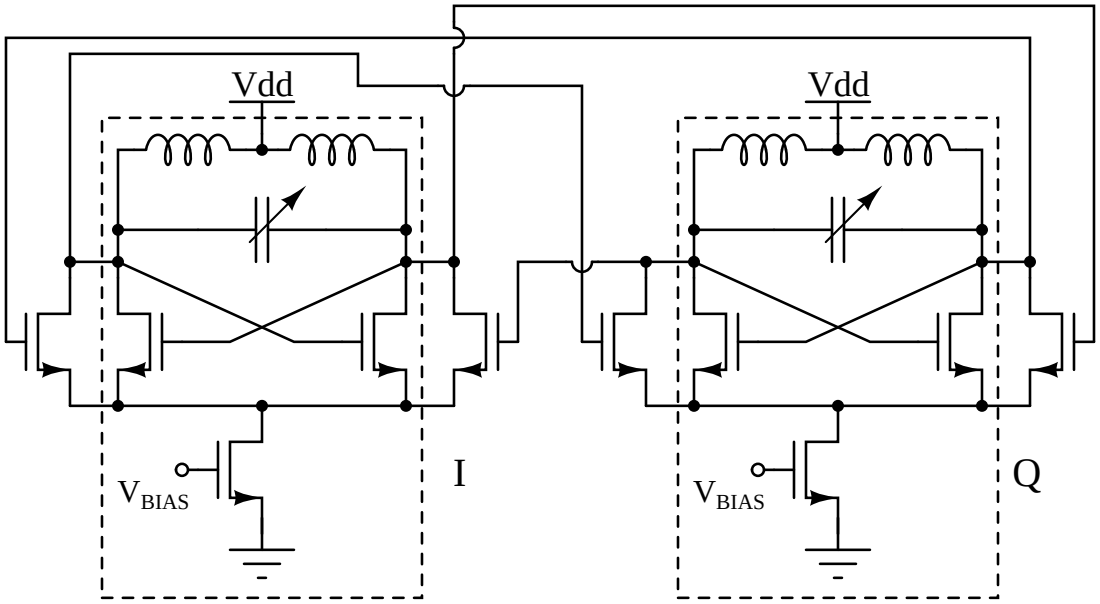

Figura 1.16: Esquema para un VCO en cuadratura

aparición de capacitancias parásitas y pérdidas hacia el sustrato, y por ende, reduciendo considerablemente el factor de calidad del resonador LC [10].

Una revisión de los trabajos recientes acerca del VCO integrado, demuestra la acogida que ha tenido la topología diferencial NMOS-PMOS, proponeniendo diseños enfocados hacia la reducción de ruido de fase. Conocer el estado del arte permite establecer criterios de comparación para el desempeño de las variables más relevantes, en diferentes topologías.

1.4. Estado del arte

El oscilador LC diferencial se identifica en el estado del arte como una topología que rinde un óptimo compromiso entre variables como ruido de fase, consumo de potencia, y rango de sintonía. La topología diferencial permite anular señales de ruido de orden par, y mejorar el acople con el mezclador de señal, el cual se implementa, típicamente, con topología de celda de Gilbert doblemente balanceada [15]. Por otro lado, el oscilador LC diferencial NMOS-PMOS es fabricable en un proceso de integración CMOS, y más económico que alternativas como MEMS (micro resonadores mecánicos [16, 17]), o tecnologías de alta frecuencia como HEMT[2] o arsenurio de galio.

En las tablas 1.2 y 1.3 se presentan algunos de los trabajos de diseño más relevantes para VCO. Se identifican diferentes relaciones entre variables como ruido de fase, potencia consumida y frecuencia central, asociadas con diferentes topologías para sentar indicios sobre su desempeño. En términos de frecuencia de operación, son interesantes los resultados alcanzados por [18] con tecnología HEMT, y [19] usando dispositivos ópticos. La aplicación de *fases distribuidas* y de líneas de retardo, permite escalar la frecuencia de un oscilador mezclando réplicas desplazadas en fase, como se asume en [20]

[2] *High Electron Mobility Transistor*

con BiCMOS de 0.35μm. Posteriormente, se alcanzaron altas frecuencias como las registradas en [21] y [22] para tecnologías de 0.18μm SiGe y 0.2μm SiGe, respectivamente, destinadas a transmisión digital de datos de alta velocidad.

Por otro lado, un buen desempeño en ruido de fase puede alcanzarse con tecnologías típicas como CMOS. Los mejores resultados registrados en las tabla 1.2 y 1.3 corresponden a un generador en cuadratura con osciladores LC [23], y un oscilador diferencial NMOS-PMOS [24], los dos implementados en CMOS de 0.35μm. Los primeros resultados registrados en la tabla con CMOS, fueron obtenidos por M. Steyaert y A. Abidi en 1996 [25, 26] aplicando NMOS de 0.7μm y 1.0μm respectivamente. Posteriorente, A. Hajimiri y T. Lee propusieron una nueva teoría para ruido de fase [3], y apoyados en ella surgieron trabajos como los indicados en [27–29] que sugieren el diseño de osciladores NMOS-PMOS aplicando programación geométrica.

En la figura 1.17 se relacionan los diferentes diseños realizados en CMOS para longitud de 0.35μm, en los últimos años. Como se mencionó anteriormente, el ruido de fase se identifica con la potencia de bandas espurias adyacentes a la frecuencia de oscilación, medida que se asocia a una frecuencia offset, que es la distancia desde la frecuencia central al punto de interés. Alinear este indicador de desempeño a un mismo offset de medida, asegura la idoneidad de la comparación como aquí se propone para 3 MHz[3]. La ecuación (1.8) sugiere una conversión del ruido de fase $L\{\Delta f_M\}$ medido a una frecuencia offset f_M, para calcular el ruido de fase equivalente $L\{\Delta f_{off}\}$ en la frecuencia offset patrón (f_{off}) [30]:

$$L\{\Delta f_{off}\} = L\{\Delta f_M\} + 10 \cdot \log\left(\frac{f_M^2}{f_{off}^2}\right) \tag{1.8}$$

donde se asume que la banda de ruido tiene una pendiente de -20 dB por década en la región $1/f^2$. Cuando haya lugar a comparaciones de ruido de fase, no solo se deben alinear las figuras de mérito a una misma frecuencia, sino que debe verificarse a que región del espectro pertenece la medida, que habitualmente se reporta sobre la region $1/f^2$. El ruido de fase se describe de maneras diferentes tanto para región $1/f^2$ como para la región $1/f^3$ (ver apéndice B).

El consumo de potencia arrojado por los diseños referidos en la figura 1.17, se muestra en la figura 1.18. Los datos allí ilustrados pueden ser útiles en la verificación de la relación entre ruido de fase y potencia. A partir de inspección se deduce que para menores ruidos de fase, existe una mayor demanda de potencia. Tal es el caso de los resultados arrojados por [27, 28] comparados con los expuestos en [31]. Por otro lado, se verifica en la figura 1.18, que el resultado arrojado por [32] es mayor, haciendo pensar en la influencia que tiene la tecnología BiCMOS, comparada con la CMOS estándar, en cuanto a consumo de potencia.

[3]Esta frecuencia *offset* facilita la comparación respecto a las especificaciones propuestas en la tabla1.1.

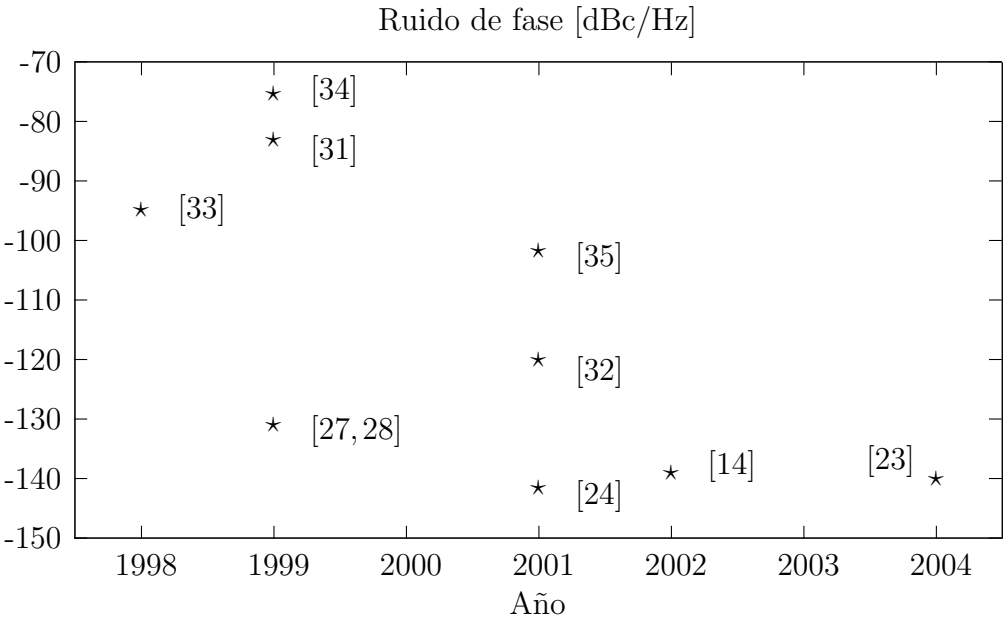

Figura 1.17: Tendencia del ruido de fase a 3 MHz de offset, para 0.35μm

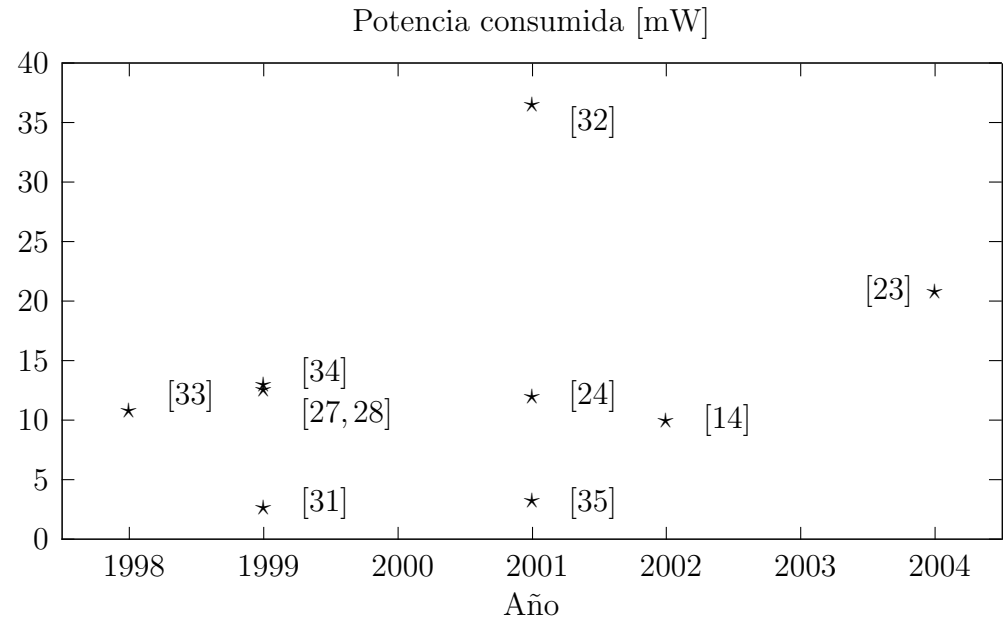

Figura 1.18: Tendencia del consumo de potencia, para 0.35μm

Ref.	Año	Frec. central	Polarización		Potencia	Rango de	Ruido de fase		Tecn.	Topología
		[MHz]	[mA]	[V]	[mW]	frec. [MHz]	dBc/Hz	Frec. Offset		
[36]	1992	1750	14.0	5.0	70	200	-88	100 kHz		Bipolar
[25]	1996	1800	8.0	3.0	24.0	126	-85	10 kHz	0.7μm	NMOS[a]
[26]	1996	900	10.0	3.0	30.0	120	-85	100 kHz	1.0μm	NMOS
[37]	1998	1800	7.0			468	-104	100 kHz	0.6μm	C-Switch[b]
[30]	1998	5000	1.15	2.5	2.9	1000	-34	10 kHz	0.25μm	PMOS/NMOS[b]
[33]	1998	4570	4.0	2.7	10.8		-70	10 kHz	0.35 μm	NMOS
[34]	1999	5080	5.2	2.5	13.0		-50.52	10 kHz	0.35 μm	NMOS
[31]	1999	6020	1.8	1.5	2.7		-58.4	10 kHz	0.35 μm	NMOS
[38]	1999	2400	9.0	2.5	22.5	360	-118	1 MHz	0.8μm	NMOS
[27, 28]	1999	1800	5.0	2.5	12.5	180	-124	600 kHz	0.35μm	PMOS/NMOS
[29]	1999	1800			6.0		-121	600 kHz	0.25μm	PMOS/NMOS
[39]	2000	2500	7.0	2.0	14.0		-104	100 kHz	Bipolar	AAC[d]
[18]	2000	47000					-93	100 kHz	0.25μm[e]	Colpitts
[35]	2001	2500	1.0	3.3	3.3		-77	10 kHz	0.35 μm	PMOS/NMOS
[40]	2001	2170			14.8	460	-138.6	3 MHz		
[41]	2001	2500	7.0	2.0	14.0	500	-104	100 kHz	Bipolar	Diferencial
[32]	2001	4300	14.6	2.5	36.5	2000	-113	600 kHz	0.35μm[f]	Diferencial
[42]	2001	5000	5.5	2.5	13.8	900	-94	100 kHz	0.25μm	PMOS/NMOS
[43]	2001	10000	20	2.5	50.0	2800	-127	3 MHz	0.25μm	NMOS
[44]	2001	2600	7.0	2.0	14.0		-104	100 kHz	Bipolar	Diferencial

Tabla 1.2: Reporte de algunos de los diseños de VCO más recientes

[a] Aplica *bond-wires*.
[b] Capacitores conmutados.
[c] Oscilador diferencial con tanque resonante LC.
[d] Circuito de control automático de amplitud.
[e] Tecnología HEMT.
[f] Tecnología BiCMOS.

Ref.	Año	Frec. central	Polarización		Potencia	Rango de	Ruido de fase		Tecn.	Topología
		[MHz]	[mA]	[V]	[mW]	frec. [MHz]	dBc/Hz	Frec. Offset		
[45]	2001	5500	8.5	3.3	28.1	800	-110	1 MHz	MESFET	Colpitts
[46]	2001	5500	8.3	1.8	15.0	350	-94.5	100 kHz	0.18μm	Colpitts
[47]	2001	1900	13.0			800	-120	500 kHz	0.4μm	NMOS
[24]	2001	1800	6.0	2.0	12.0	270	-141.5	3 MHz	0.35μm	PMOS/NMOS
[48]	2002	5000	8.75	2.5	22	600	-124	1 MHz	0.25μm	Distribuido
[14]	2002	2100	4.0	2.5	10	650	-139	3 MHz	0.35μm[e]	Colpitts
[14]	2002	1870	4	1.0	4.0	300	-100.7	600 kHz	0.18μm[e]	Cuadratura
[49]	2002	5150	2.9			1080	-128	3 MHz	0.25μm	
[19]	2002	40000	2.0			4000	-98	1 MHz	0.13μm	Opt. NMOS[f]
[16]	2003	1900	0.3	1.0	0.3		-120	100 kHz	0.18μm	MEMS[a]
[50]	2003	5800	4.5	1.8	8.1	166	-110	1 MHz	0.18μm	PMOS
[13]	2004	1810				760	-105.5	1 MHz	0.18μm	9-anillo[b]
[13]	2004	5790				770	-99.5	1 MHz	0.18μm	3-anillo[b]
[21]	2004	19200	59			2020	-103	1 MHz	0.18μm[c]	16 fases[d]
[22]	2004	16240	10	2.2	22	3260			0.2μm[c]	Cuadratura
[51]	2004	5360	12	1.8	21.6	445	-142	10 MHz	0.18μm	Circular
[23]	2004	2000	16	1.3	20.8		-140	3 MHz	0.35μm	Cuadratura
[20]		10000	14.0	2.5	35	1200	-114	1 MHz	0.35μm[e]	Distribuido
[17]		10000						-130	1.65 Hz	MEMS[a]

Tabla 1.3: Reporte de algunos de los diseños de VCO más recientes

[a] Resonadores micro–mecánicos.
[b] Oscilador en anillo.
[c] Tecnología silicio–germanio.
[d] Oscilador distribuido por corrimiento de fase.
[e] Tecnología BiCMOS.
[f] Tecnología óptica.

Capítulo 2

Fundamentos del VCO LC diferencial

Después de conocer aspectos básicos acerca de la operación de un oscilador controlado por voltaje, este capítulo pretende introducir al lector en la descripción del VCO LC diferencial. En las secciones siguientes, se expone está topología de oscilador desde el punto de vista circuital, señalando la influencia de diferentes parámetros en su funcionamiento. Contextualizando esta topología de oscilador con la tarea de diseño, se describe el conjunto de variables que pueden modificarse y cómo estas dependen mutuamente, donde diferentes alternativas de optimización llevan a satisfacer diferentes criterios de desempeño para el oscilador controlado por voltaje (por ejemplo, bajo consumo de potencia, mínimo ruido de fase, o área reducida de integración).

2.1. Descripción del oscilador LC diferencial

Como se indicó en la sección 1.3, el oscilador controlado por voltaje implementado con topología LC diferencial, es uno de los circuitos CMOS para RF que mejor desempeño ha demostrado dentro del diseño de sistemas de comunicación integrados *on-chip*. Como características deseables se encuentran su amplio rango de excursión de señal, y reducido ruido de fase comparado con otras topologías. Sin embargo, como se mencionó anteriormente, la considerable porción de área que demanda su integración, y el bajo factor de calidad de inductores, exigen un análisis detallado del ciruito que modela el comportamiento eléctrico de este oscilador, para posteriormente identificar algún compromiso entre variables de diseño que puedan superar los inconvenientes planteados.

2.1.1. Conceptos acerca del oscilador con resonador LC

Tal como se representó en la figura 1.4 de la sección 1.1, el oscilador basado en el tanque resonante LC requiere la conexión de un amplificador en lazo de realimentación positiva, que reinyecte la energía perdida en las resistencias parásitas del tanque LC. Para este caso particular, un amplificador de transconductancia censará el voltaje en el resonador, para redituar corriente en un factor G_m. La ganancia en lazo abierto del circuito de la figura 2.1 está dada por:

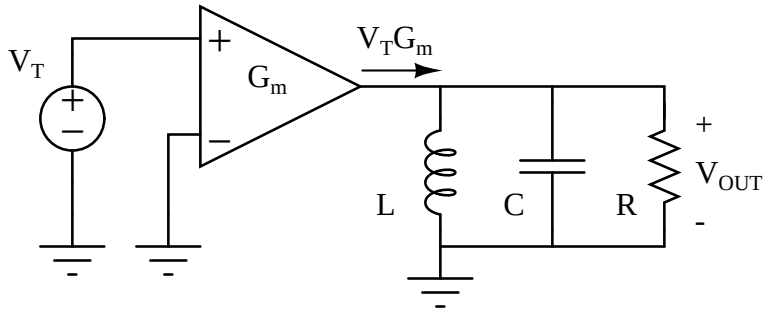

Figura 2.1: Circuito lazo abierto para el sistema realimentado de la figura 1.4

$$A\beta = \frac{V_{OUT}}{V_T} = \frac{s}{C} \cdot \frac{G_m}{s^2 + s \cdot \frac{1}{RC} + \frac{1}{LC}} \tag{2.1}$$

de donde se obtiene que los polos del sistema en lazo cerrado son:

$$s_{1,2} = \frac{G_m}{2C} - \frac{1}{2RC} \pm \sqrt{\left(\frac{1}{2RC} - \frac{G_m}{2C}\right)^2 - \frac{1}{LC}} \tag{2.2}$$

se verifica que G_m se resta de $\frac{1}{R}$, y que el ajuste de la transconductancia del amplificador puede modificar el comportamiento del circuito. También conocida como red $-G_m$ [15], esta configuración compensa exactamente las pérdidas en el resonador, desplazando los polos hacia el eje imaginario, y así cuando $G_m = \frac{1}{R}$, la frecuencia de oscilación estable es:

$$\omega_0 = \sqrt{\frac{1}{LC}} \tag{2.3}$$

El transistor ocupa el lugar del amplificador de transconductancia en la mayoría de topologías para osciladores con resonador LC. Sin embargo, la característica voltaje–corriente del transistor CMOS depende de la tensión de polarización aplicada, y se considera lineal solo dentro de un rango de voltajes en sus terminales. Asumiendo que el transistor se encuentra debidamente polarizado en región lineal, y que se obvian los efectos de canal corto, la transconductancia se expresa como:

$$g_m = \left.\frac{\partial I_D}{\partial V_{GS}}\right|_{Polarizado} = \mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS} - V_t) \tag{2.4}$$

donde *Polarizado* significa que la derivada se calcula cuando el transistor opera en región lineal. El diseño para un transistor que cumpla el papel del amplificador de transconductancia, debe comprender una cuidosa selección de la geometría del dispositivo, y la aplicación de señales de polarización que mantengan la magnitud de g_m constante, y equivalente a las pérdidas del resonador.

Aprovechando la relación que existe entre la corriente de dreno y el voltaje compuerta fuente, y basado en las alternativas para la red $-G_m$ presentadas en la figura 1.6, el transistor y el resonador pueden implementarse en algunas configuraciones como se indica en las figuras 2.2 y 2.3. Estas configuraciones se caracterizan por retornar la señal censada por medio de un divisor de tensión capacitivo (topología Colpitts), o inductivo (topología Hartley). A pesar de la sencillez de su implementación, el rango de

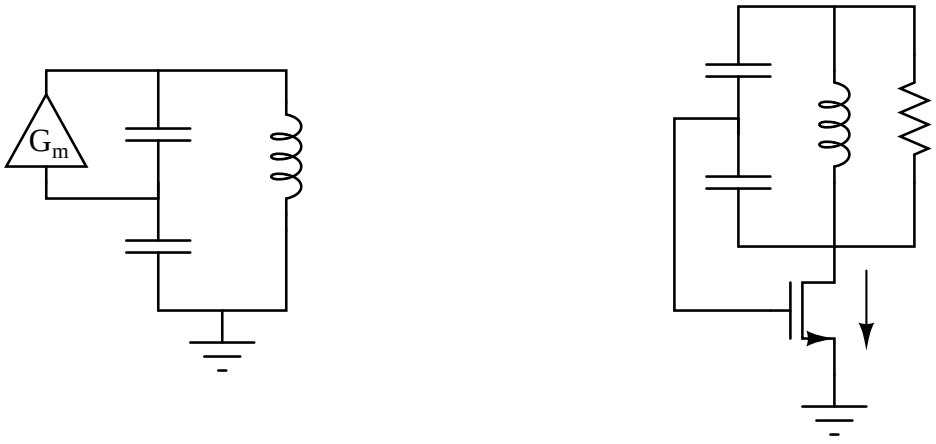

Figura 2.2: Alternativa de conexión para el transistor con divisor capacitivo. Se omiten conexiones de polarización

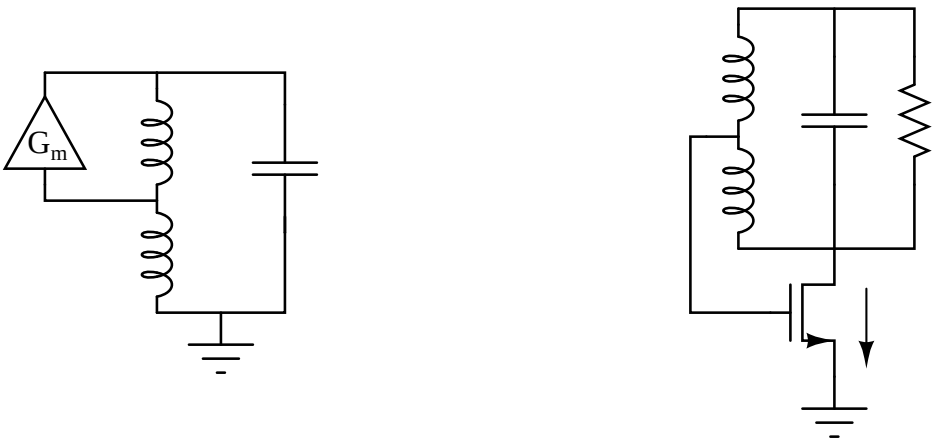

Figura 2.3: Alternativa de conexión para el transistor con divisor inductivo. Se omiten conexiones de polarización

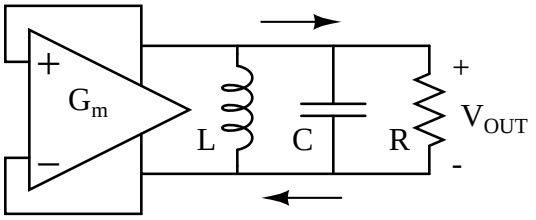

Figura 2.4: Modelo de resonador LC y amplificador de transconductancia con salida diferencial

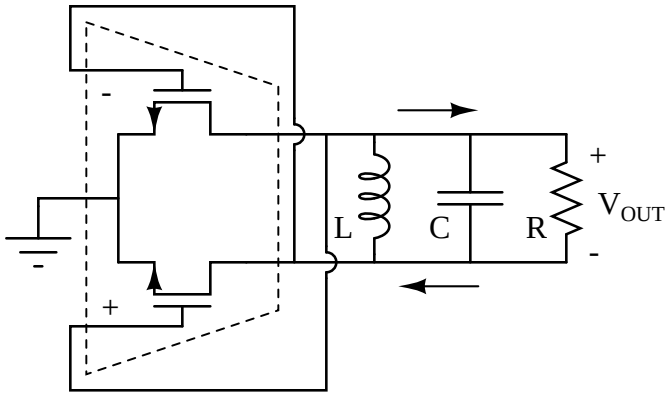

Figura 2.5: Aplicación de par diferencial con resonador LC. Se omite polarización

excursión de la señal de salida, típicamente medido en el drenador (o colector) del transistor, está restringido entre el nivel de polarización V_{DD} y el límite satruración–triodo del elemento activo.

2.1.2. Conceptos acerca del oscilador LC diferencial

Un amplificador de transconductancia con salida diferencial puede conectarse al resonador LC como se indica en la figura 2.4. La señal de corriente sigue un camino cerrado saliendo del amplificador, generando una tensión en el resonador, y retornando de nuevo. La realimentación positiva se identifica en la conexión del terminal no inversor con el potencial superior del resonador, y el terminal inversor con el potencial inferior[1]; y a diferencia de la configuración *single–ended* (figura 1.4), la señal de salida se mide diferencialmente. El amplificador de transconductancia diferencial puede ser implementado con un par de transistores como se sugiere en la figura 2.5. La inversión de señal debida a la configuración fuente común de cada transistor, obliga la conexión cruzada entre compuertas y drenadores para lograr la conexión que garantice realimentación positiva. Tomar la señal diferencialmente cancela la distorsión armónica de orden par y aumenta el rango de excursión de la señal.

La tarea de diseño aplicada a la selección de la geometría y tensiones de polarización debe conciliarse con la caracterización del resonador. La elección del inductor y capacitor integrado, involucra una disposición espacial de los componentes, que repercute en la

[1]Si la señal de tensión en el resonador aumenta, crece la señal de entrada al amplificador y la corriente inyectada

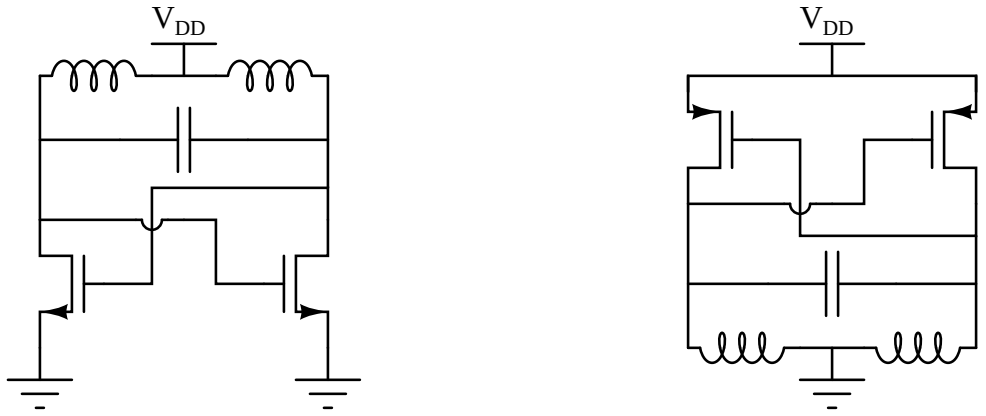

Figura 2.6: Osciladores diferenciales NMOS y PMOS

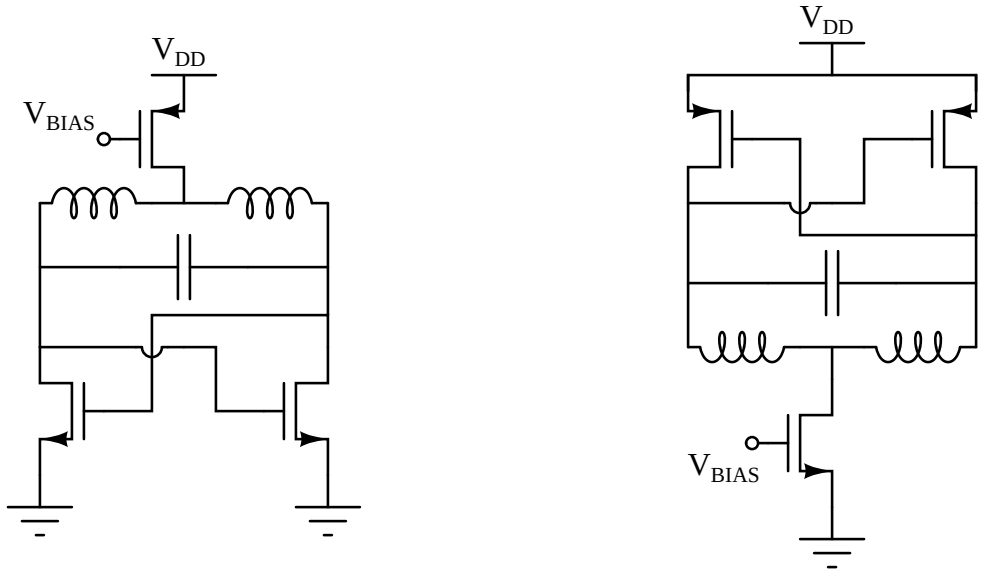

Figura 2.7: Osciladores diferenciales NMOS y PMOS con transistor de "cabecera".

aparición de capacitancias y resistencias parásitas, afectando el factor de calidad. Una vez fijadas las características del resonador (frecuencia central, factor de calidad), se ajustan las variables de los transistores, tal que la transconductancia compense las pérdidas del resonador previamente establecido.

Para osciladores NMOS o PMOS como los mostrados en la figura 2.6, la cantidad de corriente de polarización que fluye a través de alguno de los dos circuitos representados, depende de la transconductancia del elemento activo, la cual es función de sus tensiones de polarización, y de la geometría del transistor. Con la conexión mostrada, la señal oscilante de salida fija el voltaje en la compuerta, y con ella, la demanda de corriente de polarización del circuito. Una mejora simple se adiciona a los osciladores de la figura 2.7, con un transistor de "cabecera", limitando el consumo de corriente por medio de un voltaje de polarización V_{BIAS} en su compuerta [15].

La transconductancia de los transistores determina en qué cantidad la disipación de energía puede ser compensada. Mayores transconductancias devengan mayores voltajes de polarización o mayores anchos de canal, aumentando la influencia de la capaci-

tancia parásita de compuerta. El oscilador NMOS-PMOS o complementario reduce la dependencia al sobredimensionamiento, adicionando la transconductancia del transistor PMOS, con el mismo consumo de corriente del NMOS simple. Sin embargo, la excursión de la señal de salida alterna la operación de los transistores entre tríodo y saturación, haciendo útil la identificación de zonas de trabajo lineal y no lineal.

Con el fin de hacer una estimación de tales zonas de trabajo, se propone reemplazar el circuito tanque por una fuente de voltaje tal, que establezca una diferencia de potencial entre los dos nodos de salida, como se muestra en la figura 2.8. Esta fuente de voltaje modela la diferencia de potencial ocasionada por la excursión diferencial de la señal de salida, y el desplazamiento de corriente según la transconductancia vista. Una lectura de la corriente I_{PRUEBA} para cada valor de la fuente de tensión V_{PRUEBA}, como se registra en la figura 2.9, identifica un conjunto de tensiones donde la respuesta de corriente es casi lineal con pendiente negativa. Conociendo que esta relación se obtuvo de simulación[2] para un circuito con $V_{DD} = 3{,}0$ V, el rango de tensiones donde la transconductancia vista entre los nodos de salida es "negativa", abarca aproximadamente desde $-\frac{V_{DD}}{2}$ a $\frac{V_{DD}}{2}$. Precisamente, la entrada a triodo de los transistores PMOS (cuando la magnitud de V_{PRUEBA} supera V_{tp}, ya que V_{tp} es el menor voltaje umbral), marca un cambio en la tendencia de la corriente, mermando la magnitud de la transconductancia a medida que se reduce la tensión fuente–drenador en MP1 o MP2 (hacia los máximos y mínimos de la gráfica). Después de $\frac{V_{DD}}{2}$ (o antes de $-\frac{V_{DD}}{2}$) la corriente se reduce drásticamente debido a la fuerte influencia de la reducida tensión fuente–drenador sobre los transistores en triodo.

Para mayores W_n, la magnitud de la tranconductancia crece, así como la corriente máxima que circula por la fuente de prueba. Para el caso registrado en la figura 2.9, la corriente controlada por M_{TAIL} no tiene restricciones, debido a que su ancho de canal es el doble del que le corresponda a W_n. Sin embargo, diseños reales exigen un control de la corriente hacia valores fijos, estableciendo una única geometría para M_{TAIL} (transistor de *corriente*). Intentando recoger esta condición, la figura 2.10 registra la relación entre corriente y tensión de prueba, para diferentes anchos W_n, pero con $W_{MTAIL} = 12\mu$m, y $V_{BIAS} = 3{,}3$. En la gráfica se identifica una deformación de la característica de la corriente, debido a que mayores anchos de canal, reducen la tensión drenador–fuente ante el flujo de una misma corriente. Reduciendo esta tensión, el transistor sobredimensionado entrará a triodo con mayor facilidad, constriñiendo la región de respuesta lineal. A la par con la reducción de la tensión drenador–fuente en los transistores centrales (MP1, MP2, MN1 y MN2), la tensión de drenador del transistor M_{TAIL} aumentará, registrando en esos puntos un leve aumento de la corriente consumida, como se indica en la figura 2.11.

De los comportamientos observados se deduce la influencia de la elección de un punto de polarización en el rango de excursión de la señal. Sobredimensionar los transistores, ante un mismo consumo de corriente, conlleva a un aumento del punto de polarización central (es decir, sobre los nodos de salida), y con mayor facilidad los transistores entrarán en triodo. Una alternativa puede significar aumentar la corriente, con el fin de restablecer el punto de operación medio cercano a $\frac{V_{DD}}{2}$, incrementando el consumo de potencia. Así, el rango efectivo de excursión diferencial a la salida está limitado, pero

[2]La elección de las dimensiones de los transistores no está sujeta a alguna condición particular. Se aplicaron largos mínimos ($0{,}35\mu m$), $W_{TAIL} = W_p$, $W_n/W_p = 1{,}35$

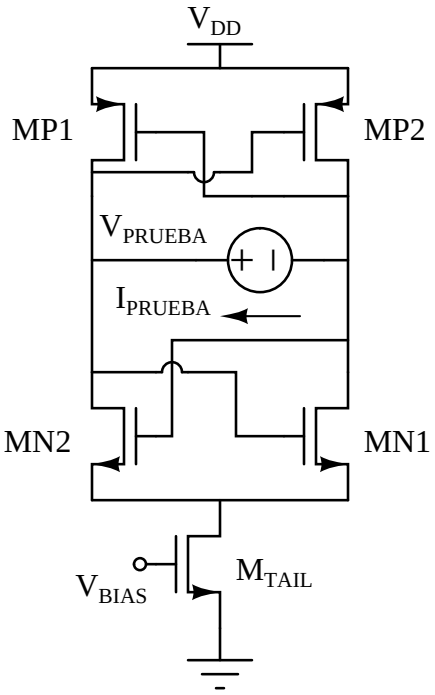

Figura 2.8: Esquema del circuito de prueba

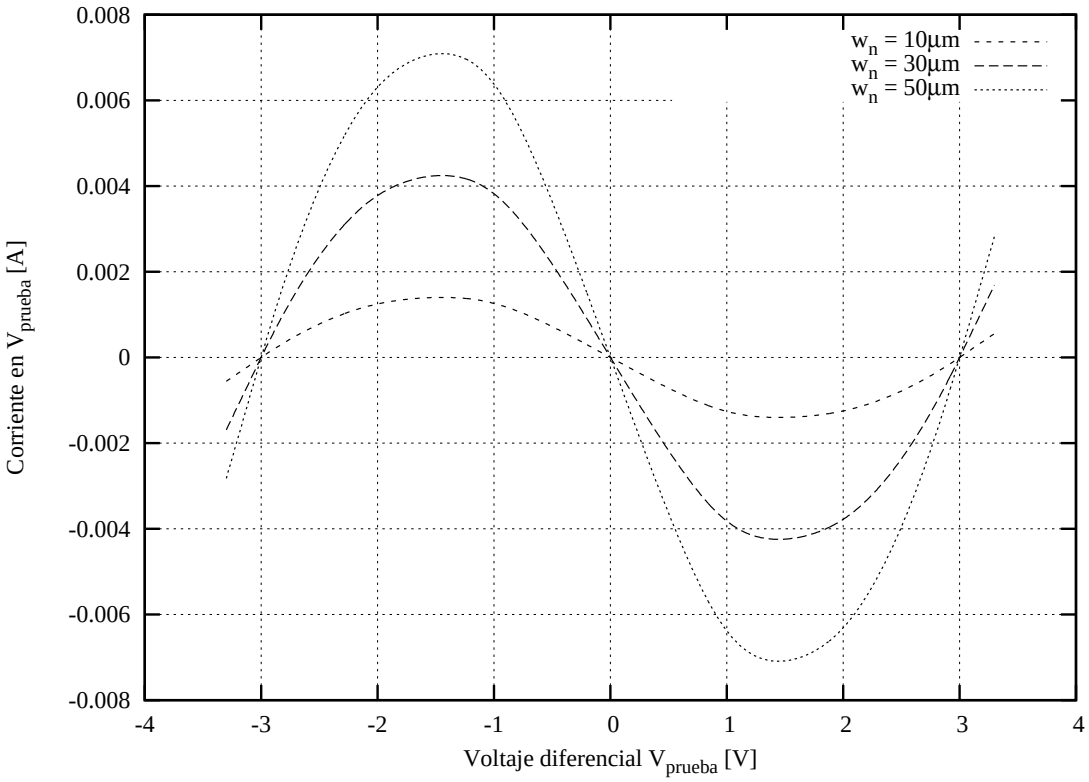

Figura 2.9: Relación I_{PRUEBA} contra V_{PRUEBA} para diferentes anchos de canal.

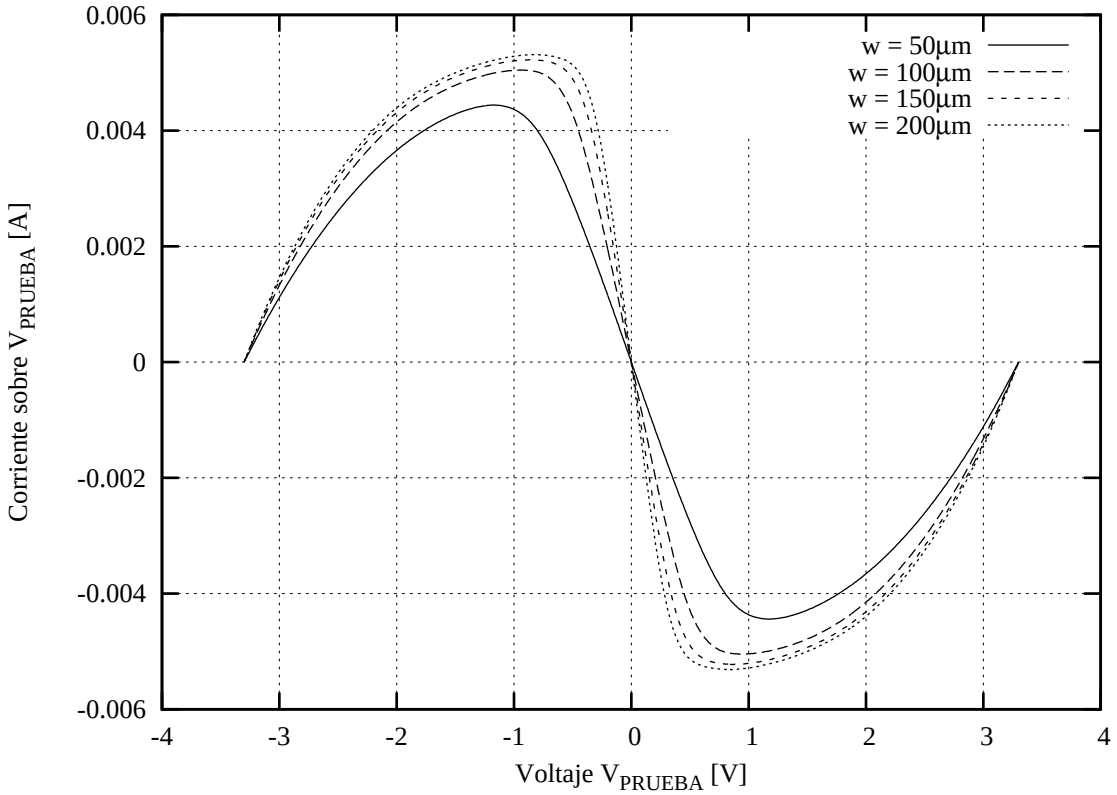

Figura 2.10: Relación I_{PRUEBA} contra V_{PRUEBA}, para W_{MTAIL} constante.

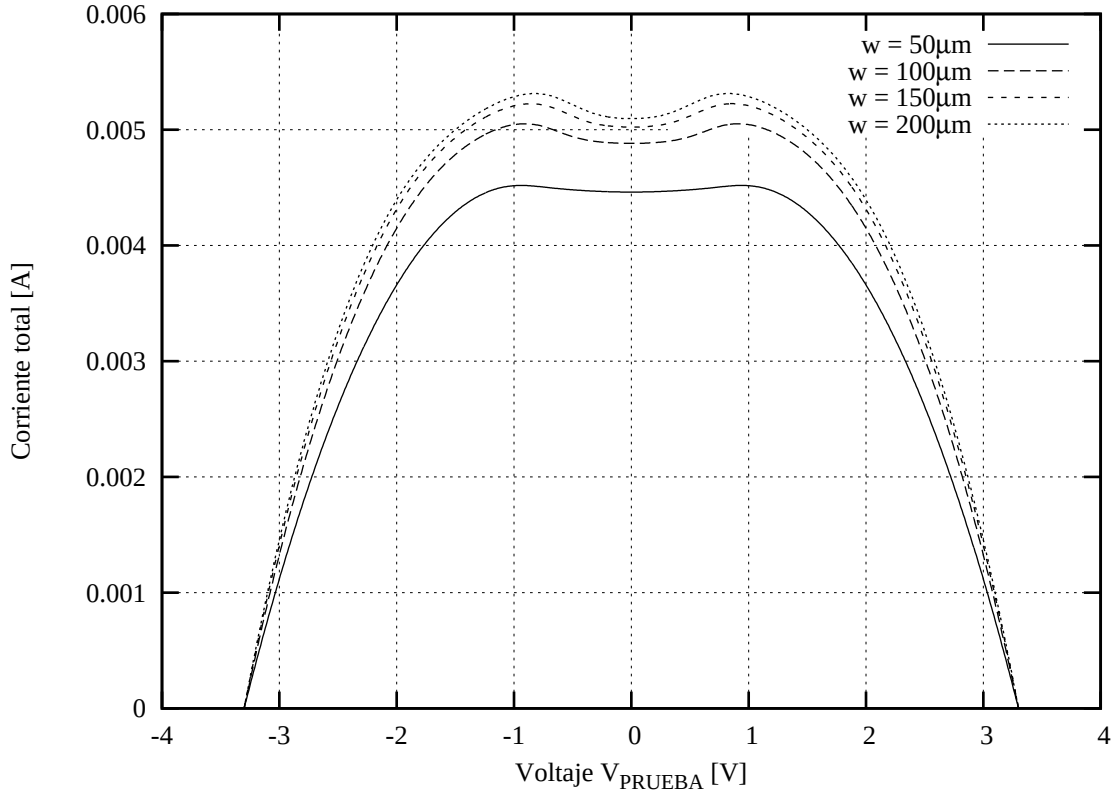

Figura 2.11: Consumo de corriente para diferentes anchos de canal, para W_{MTAIL} constante.

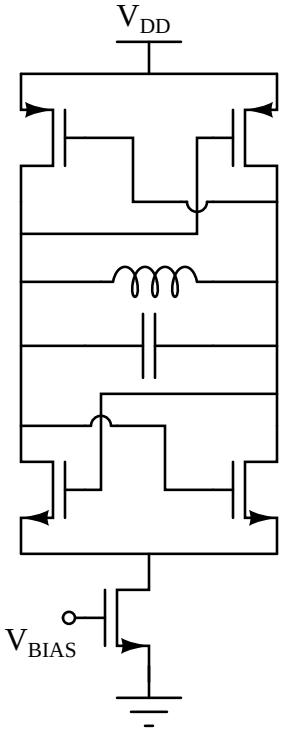

Figura 2.12: Representación esquemática para un VCO LC complementario.

se verifica la existencia de transconductancia negativa para un conjunto particular de tensiones diferenciales, donde los transistores deben estar individualmente polarizados en región activa.

2.2. Descripción circuital del VCO LC complementario

Una vez asimilado el origen del oscilador LC NMOS-PMOS (conocido como oscilador LC complementario), a partir de los fundamentos básicos planteados, conviene puntualizar acerca de su comportamiento eléctrico a través de un modelo circuital. Diferentes dispositivos como capacitores, inductores, y transistores dibujan la topología esquemática que hasta el momento se ha mostrado. Sin embargo, cada uno de ellos presenta un modelo aun más complejo, donde se tienen en cuenta fenómenos parásitos intrínsecos, o comportamientos característicos debidos a las señales a las que estén sometidos.

Un ejemplo del primer caso se presenta con el modelo del inductor planar integrado. La literatura especializada propone asumir tal dispositivo con una red RLC [2,27,29,52, 53], como se muestra en la figura 2.13. Además de la obvia presencia de la inductancia, se muestra la resistencia que ofrece la espira de metal ante el paso de corriente, y la capacitancia debida al área dispuesta para la implementación del inductor planar. Otros elementos como la resistencia ofrecida por el efecto piel[3] o la impedancia parásita hacia el sustrato de silicio, aportan complejidad al modelo, e influencian parámetros

[3]Reducción del área de conducción, o *profundidad de piel*, debida al aumento de la frecuencia.

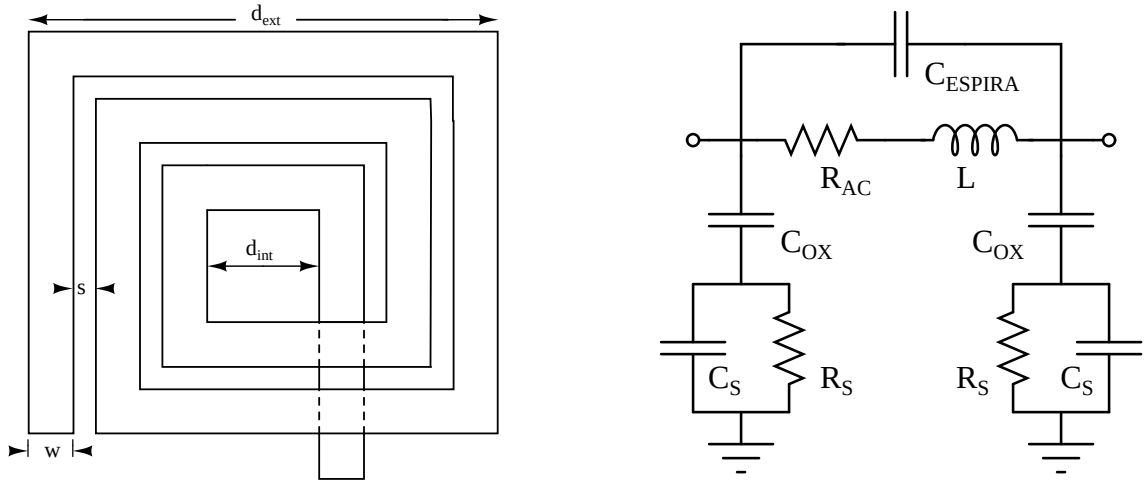

Figura 2.13: Esquema de la espira plana y modelo circuital π del inductor planar

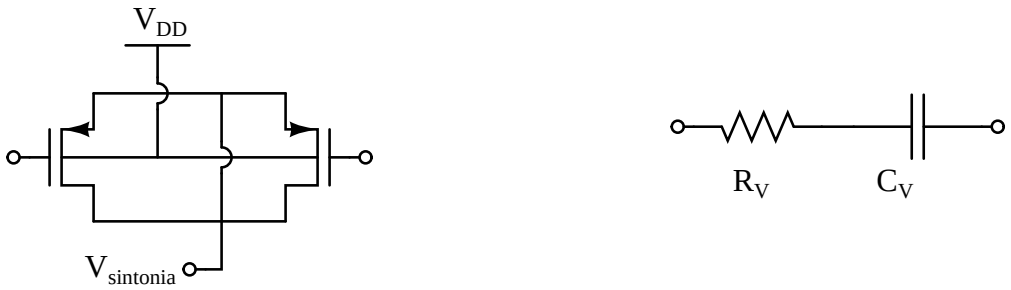

Figura 2.14: Esquema de la varactor y modelo circuital

como el factor de calidad y la frecuencia de autorresonancia, cuyas características serán profundizadas en el sección 3.2.

La validez de un modelo también puede estar supeditada a las señales a las que está sometido, como sucede con el transistor MOS. Su modelo en pequeña señal consiste en una linealización del comportamiento del transistor, que solo es válida dentro del rango de tensiones de polarización que ubican al transistor en región de saturación. El rango de excursión de señal sobre el transistor debe considerarse, ya que una variación instantánea de las tensiones de polarización más allá de los límites de operación lineal, agregará distorsión a la respuesta del dispositivo, la cual, dentro de una aplicación para RF como un oscilador, puede repercutir en la aparición de ruido ciclo-estacionario, o "enganche" falso del sintetizador.

Debido a la dificultad para variar la magnitud de la inductancia integrada, el capacitor del oscilador controlado por voltaje debe ser ajustable para permitirle al oscilador sintonía a diferentes frecuencias. Por medio de un varactor se alcanza tal cometido, siendo controlado por un señal de tensión, que en este caso particular es entregada por el sintetizador. El varactor típico se implementa como se muestra en la figura 2.14, con dos transistores PMOS, aprovechando la zona lineal de la respuesta de la capacitancia de compuerta ante una señal en drenador y fuente. La resistencia parásita de la compuerta se concentra en R_v, en serie con la capacitancia controlada por tensión.

A partir de las anteriores consideraciones, y asumiendo que el oscilador se encuentre en estado de operación estable, donde sean válidos los modelos por dispositivo anterior-

mente planteados, se puede presentar un modelo circuital equivalente smplificado como el registrado en la figura 2.15 [27].

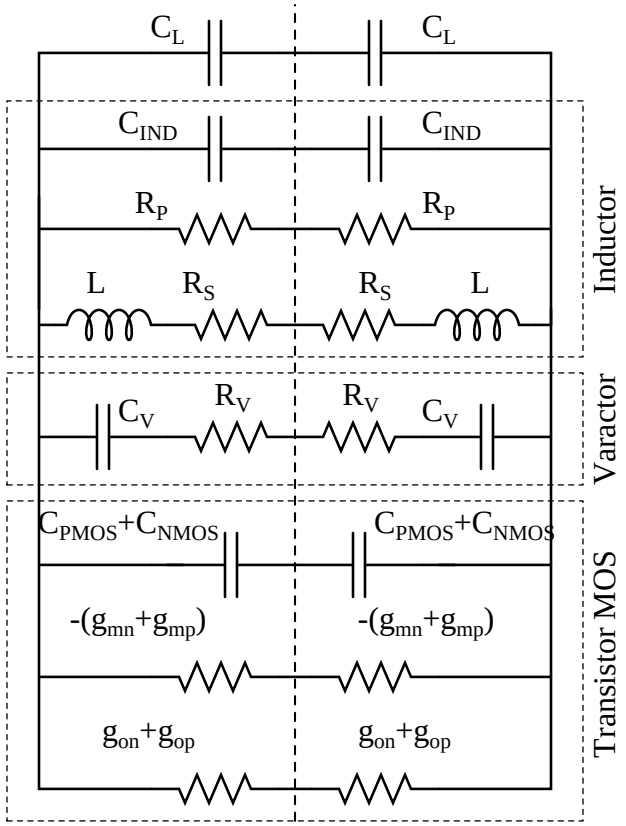

Figura 2.15: Modelo circuital simplificado para un VCO LC complementario

Las pérdidas asociadas a cada uno de estos modelos se presentan como resistencias parásitas concentradas, asi como las transconductancias g_{d0} y g_m de los transistores NMOS y PMOS reflejan la influencia que preseneta el modelo pequeña señal de estos elementos activos. A partir del modelo expuesto en la figura 2.15, estos elementos parásitos se asocian tal y como describen las siguientes expresiones [54] (sección A.1):

$$2g_{tanque} = g_{d0,n} + g_{d0,p} + g_v + g_L \tag{2.5}$$

$$2g_{activos} = g_{m,n} + g_{m,p} \tag{2.6}$$

$$L_{tanque} = 2L \tag{2.7}$$

$$2C_{tanque} = C_{NMOS} + C_{PMOS} + C_s + C_p + C_v + C_{IND} + C_{carga} \tag{2.8}$$

donde:

$$C_{NMOS} = C_{gs,n} + C_{db,n} + 4C_{gd,n} \tag{2.9}$$

$$C_{PMOS} = C_{gs,p} + C_{db,p} + 4C_{gd,p} \tag{2.10}$$

$$g_L = \frac{1}{R_p} + \frac{R_s}{L\omega^2} \tag{2.11}$$

$$g_v = \frac{C_v \omega}{Q_v} \tag{2.12}$$

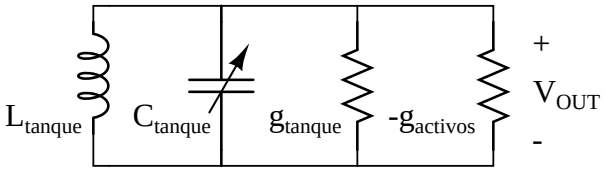

Figura 2.16: Modelo RLC equivalente para el oscilador LC diferencial expuesto

A partir de las anteriores relaciones, es sencillo formular una equivalencia entre el modelo circuital del oscilador diferencial LC complementario, con la descripción realizada para el resonador LC de transconductancia negativa (figura 2.16).

2.3. Delimitación del diseño

Uno de los objetivos del diseño de un oscilador controlado por voltaje, consiste en satisfacer las especificaciones propuestas para su utilización dentro de un sistema de comunicaciones. Así mismo, se aplican algunas restricciones para definir la libertad de las variables, en aspectos como consumo de potencia, área de integración, etc; dentro de las cuales deben optimizarse criterios de desempeño como mínimo consumo de potencia, o reducción de ruido de fase. La aplicación de estas restricciones al oscilador plantea nuevas relaciones entre los elementos anteriormente indicados en el modelo circuital.

En primer lugar, la restricción en el consumo de potencia, fija el producto voltaje–corriente de polarización. Para una tensión determinada[4], la demanda de corriente está acotada por una corriente máxima. Esta relación se expresa como:

$$I_{polarización} \leqslant I_{máximo} \tag{2.13}$$

donde:

$$P_{máx} = V_{DD} I_{máx} \tag{2.14}$$

La restricción sobre la magnitud de la corriente de polarización repercute directamente en la selección de la transconductancia para los elementos activos, influenciando el dimensionamiento de sus geometrías, o sus puntos de polarización. Además de fluir a través de los transistores, esta corriente circula entre los extremos del resonador LC, del cual se ha definido un modelo circuital que incluye una transconductancia parásita g_{tanque} dada en (2.5).

$$V_{tanque} = \frac{I_{polarización}}{g_{tanque,máx}} \tag{2.15}$$

donde $g_{tanque,máx}$ indica máximo valor que puede tomar la transconductancia del tanque [53]. Es válido pensar que una vez establecida alguna restricción para la amplitud mínima de la señal de salida, debe fijarse el valor de g_{tanque} para este "peor caso", y proceder a diseñar los elementos del tanque siguiendo una "ruta" óptima de compromisos que lleve a máximizar el desempeño sobre el criterio impuesto. Alternativamente, la selección de los elementos del tanque puede preceder la elección de un valor de corriente que pemita ampliar el rango de excursión de V_{tanque}, según la incidencia de la pérdidas

[4]Usualmente, esta tensión es característica del proceso de integración aplicado.

del tanque en la estimación de g_{tanque}. Particularmente, el diseño de los elementos activos demanda una transconductancia $g_{activos}$, formulada en (2.6), que cumpla con la compensación de las pérdidas del tanque:

$$g_{activos} \geqslant \alpha g_{tanque,máx} \tag{2.16}$$

donde α es un factor de seguridad (entre 2 y 3 [27, 53]) para iniciar las oscilaciones.

La frecuencia de operación es uno de los parámetros más dicientes sobre el estándar de comunicación aplicado. Adaptando la ecuación (2.3) al modelo expuesto del VCO LC complementario, la frecuencia de oscilación se expresa como:

$$f_{central} = \frac{1}{2\pi\sqrt{L_{tanque}(C_{parásita} + C_v)}} \tag{2.17}$$

donde C_v es la capacitancia del varactor, L_{tanque} proviene de (2.7), y la capacitancia parásita sigue la relación:

$$2C_{parásita} = C_{NMOS} + C_{PMOS} + C_s + C_p + C_{IND} + C_{carga} \tag{2.18}$$

Según (2.17), a medida que $C_{parásita}$ se hace significativa respecto a C_v, la frecuencia de operación se hace menos sensible a la capacitancia del varactor, reduciendo la controlabilidad de la frecuencia, y el rango de sintonía del oscilador. Este conjnto de frecuencias donde el espectro de la señal debe desplazarse, responde a criterios de canalización propios del estándar de comunicaciones. A partir de estas especificaciones, debe delimitarse la frecuencia mímina y máxima de operación, expresadas como:

$$f_{máx} = \frac{1}{2\pi\sqrt{L_{tanque}C_{tanque,mín}}} \tag{2.19}$$

$$f_{mín} = \frac{1}{2\pi\sqrt{L_{tanque}C_{tanque,máx}}} \tag{2.20}$$

El rango de sintonía se formula en términos de los parámetros anteriormente planteados, como:

$$Sintonía = \frac{f_{máx} - f_{mín}}{f_{central}} = 2\frac{f_{máx} - f_{mín}}{f_{máx} + f_{mín}} \tag{2.21}$$

aplicando (2.8), (2.19) y (2.20), se obtiene:

$$Sintonía = \frac{\frac{1}{2\pi\sqrt{(C_{parásita}+C_{v,mín})}} - \frac{1}{2\pi\sqrt{(C_{parásita}+C_{v,máx})}}}{\frac{1}{2\pi\sqrt{(C_{parásita}+C_{v,mín})}} + \frac{1}{2\pi\sqrt{(C_{parásita}+C_{v,máx})}}} \tag{2.22}$$

donde se observa que el mayor rango de sintonía se obtiene con la menor capacitancia parásita posible [15].

2.4. Compromiso entre variables de diseño

Consiste en la manera en cómo son escogidas las características del sistema. Para un mismo conjunto de variables de diseño se establecen diferentes relaciones con el

fin de modelar alguna característica del sistema. Para el caso del oscilador, diferentes elecciones de capacitancias e inductancias pueden resultar una misma frecuencia de operación, pero representar diferentes efectos para características como ruido de fase o potencia consumida. Es posible que una variable de diseño afecte directamente alguna propiedad del sistema, e indirectamente influya en la estimación de otra, mientras exista una dependencia mutua entre variables.

Las características de desempeño del VCO LC complementario, se simplifican en términos de once variables de diseño, a través de expresiones simplificadas e identificadas en la literatura [53–55]. Cada una de ellas le da al diseñador un grado de libertad para variar las propiedades del sistema de acuerdo con algún criterio de desempeño. En la tabla 2.1 se registran las variables de diseño propuestas. Las dimensiones de los transistores indicadas como W_p, W_n, L_p y L_n afectan directamente la transconductancia de los elementos activos y el tamaño de sus capacitancias parásitas. $C_{v,máx}$, $C_{v,mín}$ representan la capacitancia máxima y mínima del varactor, que junto con el valor de la inductancia, ajustan el rango de sintonía del oscilador. Respecto al inductor, las variables w, d_{ext}, s y n indican el ancho de la espira, el diámetro externo, el espaciamento entre espiras, y el número de vueltas respectivamente (figura 2.13). Diferentes escogencias de estas cuatro variables geométricas, obtienen diferentes valores de inductancia, con diferentes factores de calidad.

2.4.1. Punto de operación

Es el conjunto de variables fijadas en determinada combinación, buscando alcanzar un desempeño deseado. Para el caso del oscilador controlado por voltaje, la combinación de este conjunto de variables determina aspectos como la frecuencia de operación, el rango de excursión y el consumo de potencia.

Como se discutió en la sección 2.1.2, la excursión de la tensión diferencial en los nodos de salida, presenta una zona donde el comportamiento es lineal respecto a la corriente consumida. En esta región, la transconductancia mostrada por los elementos activos es casi constante, y según (2.16), debe ser mayor que la transconductancia del resonador. Cabe anotar, que una correcta elección de la geometría de los transistores, también debe garantizar un punto de polarización en los nodos de salida, tal que la señal pueda excursionar con más amplitud sobre la región lineal. En esta región de operación, la amplitud está *limitada en corriente*, y formulada como:

$$V_{tanque} \approx \frac{I}{g_{tanque}} \tag{2.23}$$

Variable de diseño	**Elemento**
W_p, W_n, L_p, L_n	Transistor
$C_{v,máx}$, $C_{v,mín}$	Varactor
$I_{polarización}$	Corriente polarización
w, d_{ext}, s, n	Inductor

Tabla 2.1: Variables de diseño y elementos que modifica directamente.

Por otro lado, si la excursión de la señal de salida crece más allá de los límites donde los transistores entran en tríodo, el flujo de corriente no será proporcional a la diferencia de tensión, sino que tenderá a un valor máximo. En esta zona de operación, la amplitud de la señal está *limitada por voltaje* [29], aproximadamente hacia una tensión límite.

$$V_{tanque} \approx V_{límite} \tag{2.24}$$

Como se discutió a partir de la figura 2.11, el rango de excursión límite, donde el consumo de corriente es máximo, se ve reducido si el punto de polarización en los nodos de salida se desvía facilitando la entrada a triodo de los transistores.

La descripción de las zonas de operación donde la señal de salida se encuentre *limitada por corriente* o *limitada por voltaje*, redefine la interpretación de algunos fenómenos a la luz de las variables fundamentales. Con el fin de abordar la revisión de estos comportamientos, previo al diseño del oscilador, deben adoptarse las relaciones fundamentales expuestas en la sección 2.2 en términos de las variables propuestas al inicio de la sección 2.4.

Un método gráfico, como el expuesto en [53], permite abordar la revisión de tales relaciones, a través de una simplificación de variables, es decir, fijar sus valores o dependencia a cantidades prácticas. En primera instancia, el largo de canal L_n y L_p se fijan a la menor dimensión permitida por la tecnología de fabricación, con el fin de reducir capacitancia parásita. Posteriormente, establecer una proporción constante entre W_n y W_p permite satisfacer que $g_{mn} = g_{mp}$ para el punto medio de polarización, buscando simetría en la señal de salida. La capacitancia del varactor introduce una sola variable, ya que la relación $C_{v,máx}/C_{v,min}$ permanece constante según la estructura del varactor [53].

Posterior a estas simplificaciones, el punto de operación debe ubicarse a partir de las condiciones de polarización y presencia de pérdidas. Es así, como se fija la corriente de operación, junto con un rango de excursión, con el fin de verificar su "factibilidad" ante el conjunto de relaciones impuestas. La elección de un inductor juega rol importante en la definición de las pérdidas que actuarán sobre el sistema. La búsqueda de un inductor óptimo debe resolver la elección de n, s, w, d_{ext} a favor de la reducción de pérdidas, debido a la fuerte influencia de g_L en la transconductancia del resonador. Una vez diseñado el inductor, la relación entre el valor de la inductancia y la transconductancia g_L es constante, y definida por:

$$g_L = \frac{1}{\omega \cdot QL} \tag{2.25}$$

donde Q es el factor de calidad del inductor. Valores más altos para Q, favorecen con menos pérdidas para un mismo valor de inductancia.

Una vez fijadas algunas variables a valores prácticos, el conjunto descrito inicialmente se reduce al valor de la capacitancia del varactor y el ancho W_n, supeditados a la elección de la corriente de operación, el rango de excursión, y el inductor (inductancia y factor de calidad). Las expresiones formuladas en la sección 2.2 se redefinen en términos

de estas tres variables (I, C_v, W_n), así:

$$2g_{tanque} = \left(\frac{1}{L_{canal}E_{satn}} + \frac{1}{L_{canal}E_{satp}}\right)I + \frac{\omega}{Q_v}\cdot C_v + \frac{1}{\omega \cdot QL} \tag{2.26}$$

$$C_v = \frac{1}{\omega^2 L} - (C_{NMOS} + C_{PMOS}) \tag{2.27}$$

$$2g_{activo} = \sqrt{K_n \frac{W_n}{L_n} I} + \sqrt{K_p \frac{W_p}{L_p} I} \tag{2.28}$$

$$\omega^{-2} = L \cdot C_{total} \tag{2.29}$$

donde

$$2I_{dreno} = I \tag{2.30}$$

$$W_p = \frac{\mu_n}{\mu_p} W_n \tag{2.31}$$

$$L_{dn,p} = \frac{2}{3} X_{jn,p} \tag{2.32}$$

$$C_{NMOS} = C_{gs,n} + 4C_{gd,n} \tag{2.33}$$

$$C_{PMOS} = C_{gs,p} + 4C_{gd,p} \tag{2.34}$$

$$C_{gd,n} = C_{ox} W_n L_{dn} \tag{2.35}$$

$$C_{gd,p} = C_{ox} W_p L_{dp} \tag{2.36}$$

$$C_{gs,n} = \frac{2}{3} C_{ox} W_n L_n \cdot (L_n - 2L_{dn}) + C_{ox} W_n L_{dn} \tag{2.37}$$

$$C_{gs,p} = \frac{2}{3} C_{ox} W_p L_p \cdot (L_p - 2L_{dp}) + C_{ox} W_p L_{dp} \tag{2.38}$$

siendo $X_{jn,p}$ la profundidad de la difusión n ó p. Esta sencilla reinterpretación de modelos lineales[5] facilita la aplicación de un método gráfico, donde se pueda ilustrar el impacto de cada una de las relaciones, y verificar tendencias en la selección de las varibles. Como se expone en [53–57], la simplificación de estas relaciones se aplican para optimización por programación geométrica. Este método de optimización no será discutido en el presente trabajo, y la exposición del método gráfico basado en las anteriores simplificaciones solo pretende arrojar nociones sobre las relaciones entre variables de diseño.

En la figura 2.17 se ilustran las diferentes relaciones, que una vez definidas en términos de i, c_{var} y w_n, se exponen en el diagrama C-W. Para ilustrar, se escoge una corriente de 8 mA y una inductancia de 2.7 nH con $Q = 6{,}0$. La recta *frecuencia* confirma la relación inversa entre la capacitancia parásita de los elementos activos (que aumenta con w_n) y la capacitancia del varactor, para una misma frecuencia de oscilación. Por otro lado, la recta *arranque* representa la condición propuesta en (2.16) para $\alpha = 3$. Los puntos C-W a la derecha de la recta de arranque, son puntos de operación en los que su W_n, garantiza que las pérdidas del resonador son sustentadas por la transconductancia de los elementos activos, en la medida indicada por (2.16). Por último, la recta de *rango* delimita todo los lugares C-W pertenecientes a puntos de operación cuyo rango de excursión sea un voltaje límite, en este caso 3.0 V. La región superior de la recta reune

[5]Considera la operación del transistor en región de saturación

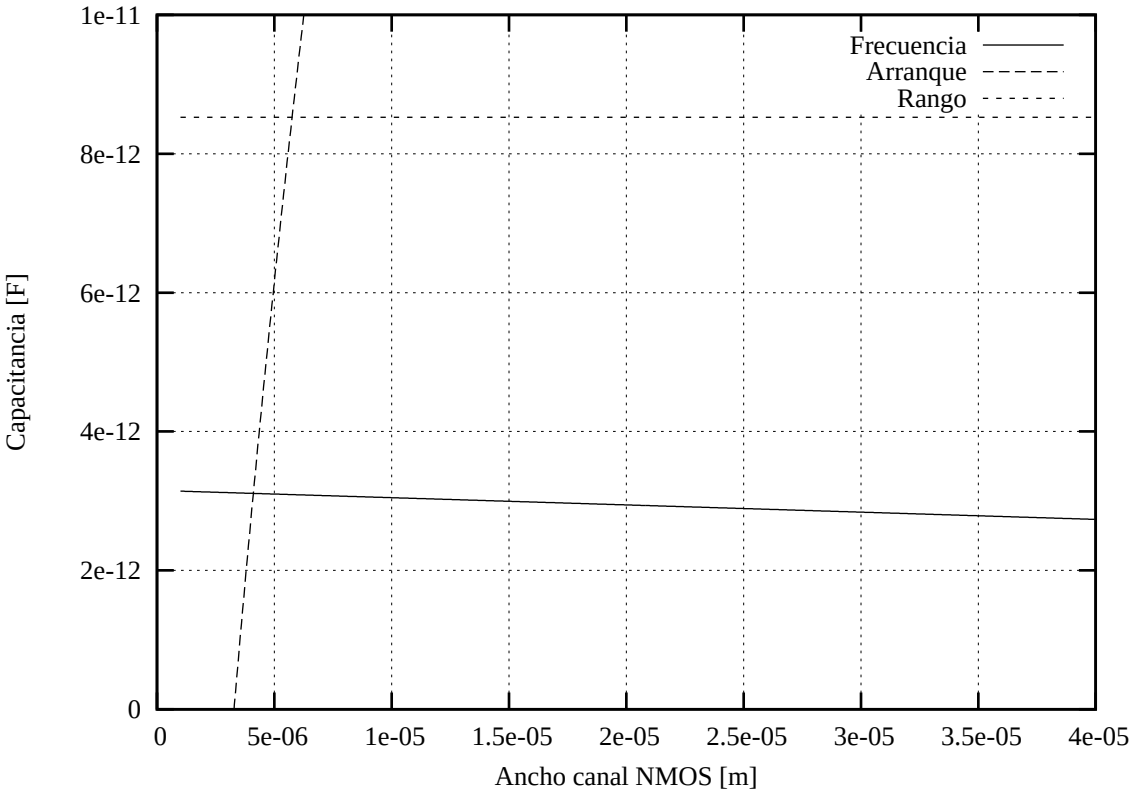

Figura 2.17: Relación C-W para I = 8 mA con inductor Q = 6.0

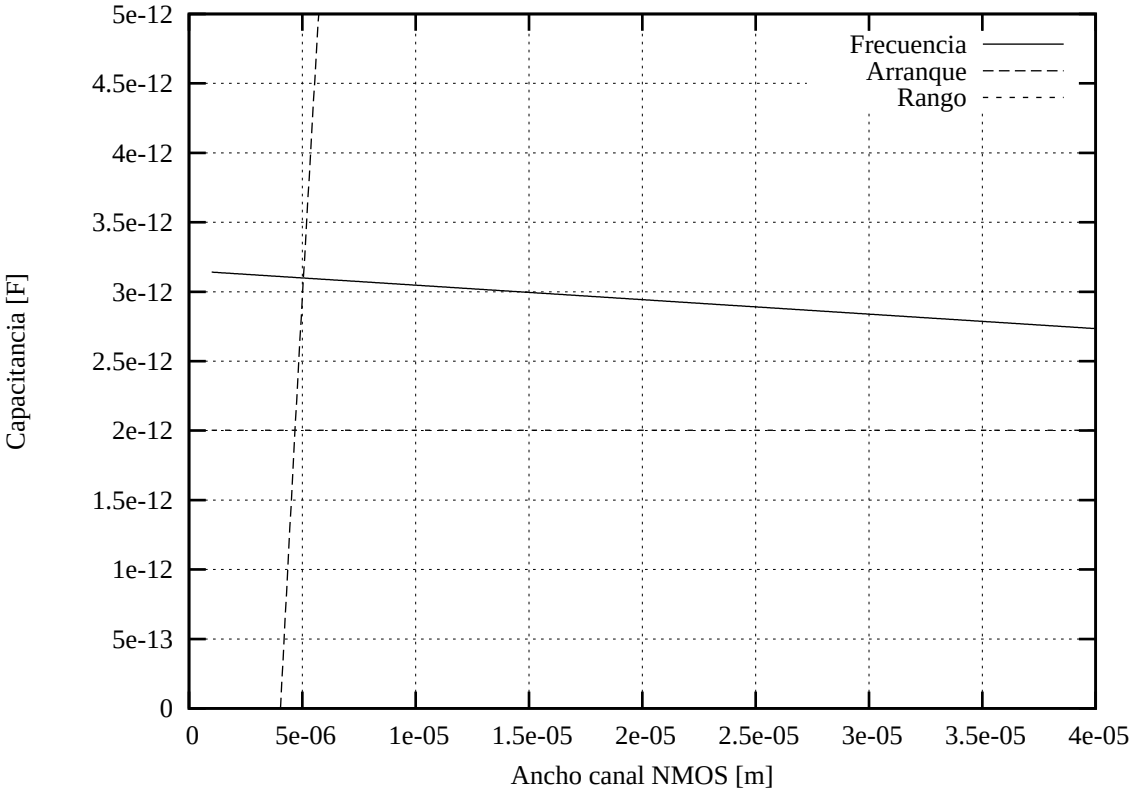

Figura 2.18: Relación C-W para I = 6.5 mA con inductor Q = 6.0

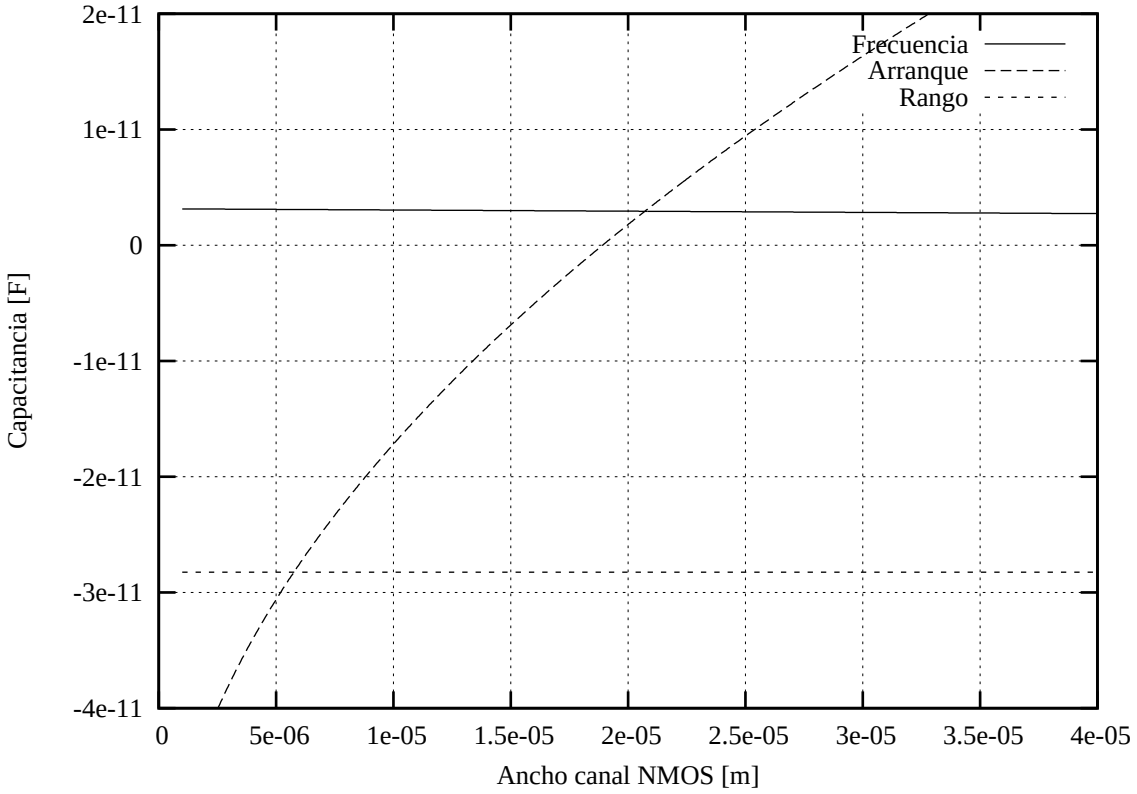

Figura 2.19: Relación C-W para I = 8 mA con inductor Q = 2.5

los puntos donde el rango de excursión es menor que este voltaje, según (2.15) y (2.26), mientras que la zona inferior, todo aquellos que, matemáticamente, corresponden con un rango de excursión superior. Si esta tensión se establece hacia $V_{límite}$ (ec. (2.24)), la recta *rango* se constituye en la línea divisoria entre los puntos de operación *limitados por corriente*, y los *limitados por voltaje*. Así, cuando el punto de operación C-W donde las condiciones de *arranque* y *frecuencia* coinciden se ubica justo debajo de la división dada por *rango*, se espera que el rango de excursión se mantenga constante hacia $V_{límite}$, es decir, se encuentre *limitado por voltaje*.

Reduciendo la corriente, pero aplicando el mismo inductor, como se propone en la figura 2.18, desplaza la recta *rango* hacia abajo, ubicando el punto de intersección entre *arranque* y *frecuencia* en la zona *limitada por corriente*. Allí se espera que el rango de excursión sea proporcional al consumo d corriente, pero menor que el alcanzado en la figura 2.17, observando una notable influencia de la corriente en la amplitud de la oscilación. Del mismo modo se verifica un leve desplazamiento de la recta *arranque* hacia anchos de canal más amplios, indicando que es necesario aumentar la geometría de los transistores, con el fin de mantener la transconductancia de los elementos activos en presencia de una menor corriente. Por otro lado, una reducción del factor de calidad, como sugiere la figura 2.19, aumenta la transconductancia del resonador, y eleva la geometría mínima que los transistores deben mostrar para satisfacer el criterio de arranque. Debido al escalamiento de las pérdidas, el rango de excursión se reduce drásticamente, reflejado en un descenso sustancial de la línea *rango* hacia valores negativos[6], dado que

[6]Estos valores son negativos debido al resultado matemático de aplicar (2.25) en (2.26), y despejar

las pérdidas del inductor propuesto superan ampliamente al $g_{L,máx}$ que permitiría una excursión de 3.0 V con 8 mA. Particularmente, el punto de operación fijado en el cruce de *arranque* y *frecuencia* (que garantiza se cumplan las dos criterios simultáneamente), alcanzará un rango de excursión mucho menor, dentro de la zona *limitada por corriente*.

2.4.2. Compromisos de diseño a partir del ruido de fase

Tomando la expresión simplificada para ruido de fase expuesta en la ecuación (B.43) después de ajustar la geometría de los transitores, y la frecuencia de operación, se obtiene que:

$$\mathcal{L}\{f_{off}\} \propto \frac{L^2 \cdot I}{V_{tanque}^2} \tag{2.39}$$

donde se ha asumido la dominancia de la corriente de ruido del drenador, y se ha aproximado Γ_{rms}^2 a 0.5[7]. Como se discutió en las secciones 2.1.2 y 2.4.1, la estimación de amplitud de señal en el resonador considera la zona de operación, sea *limitada en corriente* o *limitada en voltaje*, donde la amplitud de la señal es proporcional a la corriente, o ajustada a una tensión limite respectivamente. A través de estas interpretaciones, (2.39) se redefine como:

$$\mathcal{L}\{f_{off}\} \propto \begin{cases} L^2 g_L^2 / I_{polar} & \text{limitado en corriente} \\ L^2 I_{polar} / V_{DD}^2 & \text{limitado en voltaje} \end{cases} \tag{2.40}$$

A partir de allí se verifica, que en la zona *limitada por corriente* el ruido de fase se reduce con la corriente, mientras que sobre la región *limitada por voltaje* se incrementa. Así, la corriente debe incrementarse hasta que el punto de operación se ubique en el límite de las dos zonas. De las figuras 2.17 y 2.18 se dedujo que un aumento en la corriente de operación puede llevar a un cambio de región. Un incremento de corriente más allá del límite de las dos zonas (línea *rango*) introducirá el punto de operación a la región *limitada por voltaje* donde el rango de excursión permancerá casi constante, y según (2.40), el ruido de fase aumentará.

Conocer este sencillo compromiso justifica la búsqueda de amplios rangos de excursión, para los menores consumos de corriente, o aquellos que permitan el consumo de potencia propuesto. Junto con el ruido de fase, los compromisos entre variables de diseño expuestos en esta sección hallanan el camino para la selección de un punto de operación que satisfaga simultáneamente los requisitos cuyos modelos se han planteado anteiormente. Llevar a cabo la operación de diseño consiste en la selección sistemática de cada variable, con el fin cerrar el espacio de diseño a conjuntos más estrechos, y a relaciones más directas. Previo a la selección de las condiciones de polarización del circuito, la tarea de diseño debe enfocarse a la selección de los elementos pasivos, cuya influencia es decisiva en el control de la frencuencia central, y la aparición de pérdidas. Las características de estos elementos pasivos no presentan dependencia visible con la corriente de operación, razón por la cual se sugiere resolver su diseño en primera medida, para abordar posteriormente elementos activos, cuya selección no solo depende de

C_v. Cantidades negativas significan que este rango de excursión no es alcanzable bajo las condiciones dadas.

[7]Sección B.2

las condiciones de polarización, sino de las caracterísctcas mostradas por los elementos pasivos previamente escogidos.

2.4.3. Aplicación de las especificaciones

Atendiendo a las especificaciones formuladas por el estándar *Bluetooth* para el oscilador controlado por voltaje, como son frecuencia central (2.44 GHz), frecuencia mínima (2.40 GHz), frecuencia máxima (2.483 GHz), y ruido de fase (-128 dBc/Hz a 3 MHz), se aplican los compromisos formulados en la sección 2.4.2. Asumiendo la dominancia de la corriente de ruido del drenador, la ecuación (B.43) calculada con valores prácticos[8] y con los propuestos por el estándar *Bluetooth*, obtiene:

$$\begin{aligned} -128 = 10 \cdot \log \Bigg[16\pi^2 \cdot 1{,}38 \cdot 10^{-23} \cdot 300 \cdot \frac{2}{3} \cdot \Bigg[\left(0{,}35 \cdot 10^{-6} \cdot \frac{2 \cdot 4{,}824 \cdot 10^4}{1{,}323 \cdot 10^{-2}} \right)^{-1} \\ + \left(0{,}35 \cdot 10^{-6} \cdot \frac{2 \cdot 7{,}58 \cdot 10^4}{6{,}268 \cdot 10^{-2}} \right)^{-1} \Bigg] \cdot \frac{(2{,}44 \cdot 10^9)^4}{(3{,}0 \cdot 10^6)^2} \cdot \frac{L^2 I}{V_{tanque}^2} \Bigg] \end{aligned} \tag{2.41}$$

donde se sigue que:

$$-128 \geq 10 \cdot \log \left(10{,}126 \cdot 10^6 \right) + 10 \cdot \log \left(\frac{L^2 I}{V_{tanque}} \right) \tag{2.42}$$

para que satisfaga la condición impuesta por el ruido de fase. Aplicando (2.40) se obtiene:

$$1{,}565 \cdot 10^{-20} = \begin{cases} L^2 g_{tanque}^2 / I_{polar} & \text{limitado en corriente} \\ L^2 I_{polar} / V_{límite}^2 & \text{limitado en voltaje} \end{cases} \tag{2.43}$$

A partir de esta simplificación, pueden encontrarse los primeros indicios para la selección de la inductancia, posterior a la selección de la corriente de operación. En este sentido, para que el diseño alcance prestaciones como las propuestas por el estado del arte, se adopta un consumo de potencia inicial para el diseño del oscilador. En la figura 1.18 se registra la potencia consumida por diferentes VCO en tecnología CMOS 0.35 μm, con valores entre 2.7 mW y 36.5 mW. Una elección inicial razonable para este diseño es 15.0 mW, ya que constituye un punto intermedio de este rango. Esta apreciación cualitativa es válida como opción inicial, ya que el tarea de diseño se encargará de afirmar o descartar ese punto. Teniendo en cuenta que V_{DD} será 3.3 V, el consumo de corriente inicial se estima alrededor de 4.5 mA. Este consumo de corriente puede parecer insuficiente, comparado con los empleados en las figuras 2.17, 2.18, y 2.19, donde se usaron valores mayores, incluso en los dos últimos donde el rango de excursión quedó *limitado por corriente*. Sin embargo, la búsqueda de bajos ruido de fase no solo se alcanza por la vía de un aumento en la excursión de la señal (aumentando I), sino que también se puede lograr con la reducción de g_{tanque} (acotando g_L).

Alternativamente, la elección del inductor puede estar limitada dentro de un conjunto de pocos ejemplares caracterizados físicamente por el fabricante. Para este caso donde la relación g_L contra inductancia es fija, la estrategia de diseño debe supeditar la elección de la corriente de operación a las características del inductor propuesto, tal que le permitan alcanzar niveles de ruido de fase exigidos por el estándar de comunicación, a pesar de la posibilidad de alejarse de la tendencia en consumo de potencia.

[8] Aplica los parámetros dados por modelo BSIM3v3 de *Austria Micro Systems*

Capítulo 3

Resonador LC integrado

Después de abordar las relaciones entre variables de diseño como se esbozaron en el capítulo anterior, es consecuente adaptar tales compromisos en el diseño de los elementos pasivos involucrados en la implementación del oscilador controlado por voltaje. Para este propósito, deben conocerse las características de los mismos, y las particularidades que le atañen a su disposición dentro de un circuito integrado, siendo estas peculiaridades relevantes y decisivas para su descripción circuital. Establecidas las relaciones entre sus características físicas y su comportamiento eléctrico, la tarea de diseño de elementos pasivos integrados alrededor del dimensionamiento y adapatación a un proceso de fabricación, se concentra en alcanzar prestaciones que favorezcan el desempeño del oscilador integrado en un punto de operación.

El diseño del oscilador controlado por voltaje, demanda un resonador LC que le permita sintonizarse con exactitud dentro del rango de frecuencias propuestas por las especificaciones del sistema de comunicaciones, así como mantener un bajo consumo de potencia y ruido de fase. Materializar tales exigencias a través de los elementos involucrados en la implementación del oscilador integrado, requiere una cuidadosa identificación de sus características físicas, y selección de variables enfocadas a satisfacer requisitos como frecuencia central, rango de sintonía y reducción de ruido, principalmente.

Una revisión de elementos integrados pasivos como el inductor y el varactor, será presentada en este capítulo. Inicialmente, se dedicará una descripción del inductor integrado, para indagar acerca de la importante relación entre sus variables geométricas y sus características eléctricas, seguida por la aplicación de una estrategia de diseño enfocada en la búsqueda de un inductor óptimo. A continuación, una aproximación básica al varactor integrado dará luces sobre los compromisos de diseño que deben cumplirse para este dispositivo. Una vez fijadas las características del inductor, las variables del varactor serán ajustadas buscando que sea posible satisfacer las especificaciones para la frecuencia de oscilación. Finalmente, la extracción de algunos parámetros concentrados del resonador diseñado, arrojará una visión cuantitativa del modelo circuital equivalente, con el fin de establecer criterios de desempeño, útiles en el diseño de los elementos acivos.

3.1. Introducción

En la sección 1.1 se discutió acerca de la existencia de elementos pasivos almacenadores de energía, como inductores y capacitancias, que conforman el resonador LC. Despreciando las pérdidas óhmicas, un impulso de corriente inyectado en el resonador bastaría para obtener una señal de oscilación estable, como se indica en la ecuación (1.1). Sin embargo, la implementación de inductores y capacitancias variables integradas no solo involucran pérdidas, sino que hacen más compleja la descripción de fenómenos parásitos en términos de las variables geométricas.

A partir de la teoría básica sobre osciladores, expuesta brevemente en capítulos anteriores, se deduce que el diseño del resonador debe enfocarse a la reducción de pérdidas, con el fin de mejorar prestaciones como ruido de fase y consumo de potencia, así como satisfacer especificiaciones de frencuencia central, de la forma como se expresa en (2.19) y (2.20). Un reconocimiento de las estructuras integradas equivalentes a la inductancia y la capacitancia variable, es paso necesario para la identificación de una estrategia de diseño que asocie el comportamiento eléctrico de tales elementos con su dimensionamiento.

3.2. Inductor integrado

El inductor integrado es la aplicación de la inductancia para el resondor LC, dentro de la topología de oscilador complementario, mencionada en capítulos anteriores. La particular disposición del inductor integrado en forma de espira plana de metal (figura 3.1), involucra una variedad de fenómenos eléctricos dependientes de la distribución geométrica, concentrando la tarea de diseño alrededor de compromisos entre área y pérdidas de energía. Una revisión del modelo circuital que aproxime estas dependencias dará luces sobre la compleja relación entre las variables del inductor, fortaleciendo el criterio de selección de la inductancia, y con ello, delimitando sus efectos para las demás variables de diseño del oscilador.

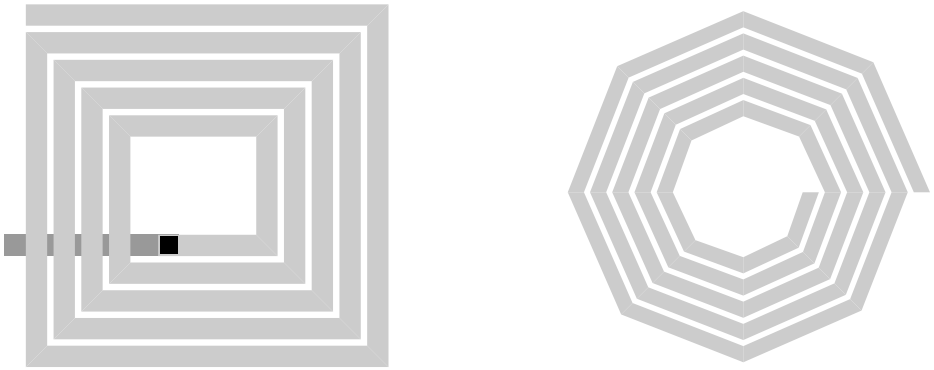

Figura 3.1: Espiras planas cuadrada y octagonal

El inductor integrado es un elemento protagónico dentro del diseño del oscilador integrado debido a que la variedad de formas en que puede implementarse repercute en una igual diversidad de maneras en que las variables de otros elementos del circuito, como los elementos activos, o la capacitancia variable, pueden comprometerse. El diseño

del inductor óptimo debe tener en cuenta la influencia que este elemento tiene en el desempeño del oscilador. Frecuencia de oscilación, amplitud de la señal de salida y ruido de fase son fenómenos donde la inductancia está directamente involucrada, siendo estos tres, criterios posibles para la selección del inductor.

Contextualizado en la aplicación de un estándar de comunicación inalámbrica, el diseño del oscilador debe enfocarse en reducción del ruido de fase debido a los efectos indeseados que este ejerce sobre los canales adyacentes, como se indicó en la sección 1.2, conociendo además, que la presencia de esta perturbación está influenciada por cada uno de los componentes del oscilador. A partir de la ecuación (B.26), se deduce el impacto de la magnitud de la inductancia en el ruido de fase. De allí surge la necesidad de alcanzar un diseño de inductancia reducida, sin olvidar el compromiso con la disminución de pérdidas óhmicas del inductor, que se planteó en las ecuaciones (2.5) y (2.11).

Particularmente, la búsqueda de relaciones favorables en el diseño del inductor, es equivalente a la búsqueda de altos factores de calidad. El factor de calidad calculado arrojará una estimación acerca de la relación entre la impedancia reactiva equivalente y la impedancia real, siendo este último síntoma de la existencia de pérdidas óhmicas. Se hace necesaria una descripción de los fenómenos eléctricos, en términos elementos circuitales concentrados, con el fin de discretizar las relaciones más importantes entre comportamiento y dimensionamiento, y simplificar la búsqueda de inductores óptimos a la luz de un proceso de fabricación.

3.2.1. Descripción del inductor integrado

El inductor integrado típico consiste en una espira plana de segmentos de material conductor, similar a las registradas en la figura 3.1. Debido a su particular distribución dentro de un circuito integrado, el comportamiento eléctrico de esta estructura encierra un conjunto de importantes fenómenos parásitos, que deben ser enunciados e interpretados a partir de la influencia que tengan las variables geométricas en la incidencia de tales espurios.

La característica más importante de la espira, es la magnitud de la inductancia. Así como los arrollamientos de metal o bobinas, la inductancia de la estructura integrada es directamente proporcional al flujo magnético que se desplaza a través del eje de la espira. Mayores áreas de flujo y mayor número de vueltas aportan a esta magnitud, representando por otro lado repercusiones colaterales en la aparición de otros fenómenos parásitos. Uno de ellos, es la presencia de corrientes de *eddy* en el sustrato. Dada la particularidad de tratarse de una espira de metal plana integrada, el flujo magnético ocasionado penetra el sustrato, induciendo corrientes parásitas, que circulan en sentido contrario que las corrientes sobre el inductor. Como se describe en la sección A.3.1, la presencia de corrientes de *eddy* en el sustrato y sobre las espiras interiores del inductor, afecta el desplazamiento de la corriente sobre el metal, representando un aumento de la resistencia equivalente y una disminución de inductancia, que simultáneos, perjudican el factor de calidad total.

Tan importante como precisar acerca del valor de la inductancia, es la identificación de los demás fenómenos parásitos presentes en el inductor integrado. Una discretización en elementos circuitales concentrados se ilustra en la figura 3.2. De una sencilla inspección de los fenómenos descritos en la sección A.3, surge el esquema equivalente que aquí se muestra. Las pérdidas óhmicas del inductor, cuyo comportamiento se describe

dependiente de la frecuencia, se concentran como una resistencia en serie con la inductancia. La capacitancia entre espira y sustrato, hace pensar acerca de la dependencia de este elemento parásito con el ancho de la espira y la altura de metal. Una capacitancia lateral entre espiras, resulta proporcional a la longitud total del arrollamiento, e inversamente proporcional al espaciamiento entre espiras, alertando sobre el papel de estas dimensiones. Por último, las pérdidas hacia sustrato han sido concentradas en una red RC, cuyo valor depende del dopamiento y la profundidad de esta estructura, y cuya descripción se resuelve a partir de complejas relaciones electromagnéticas, que suelen recurrir a herramientas de *software* para su estimación [2]. El modelo circuital pi condensa los anteriores elementos, y los dispone en una red RLC como la mostrada en la figura 3.3. Esta red reune equivalentes pasivos como resistencias, capacitancias, y lógicamente, una inductancia.

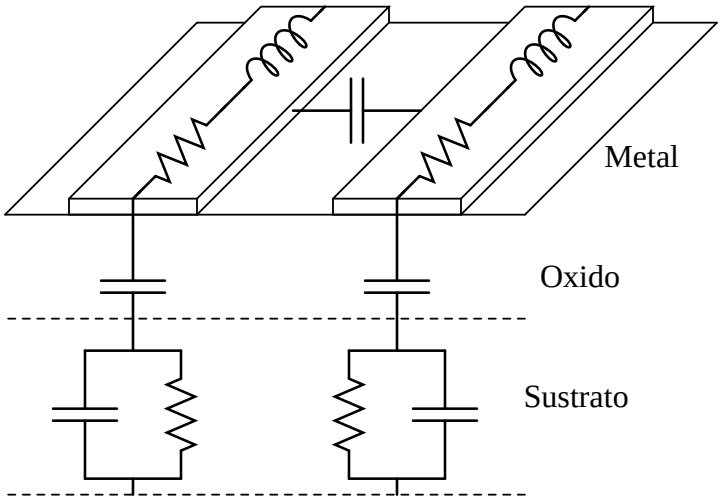

Figura 3.2: Asociación de los elementos del modelo pi con un proceso típico.

Una vez conocido este equivalente RLC, el estimador de desempeño más útil es el factor de calidad, expresado como la relación entre la energía almacenada, contra la energía disipada. Para redes pasivas, el factor de calidad se calcula sobre la impedancia equivalente, con la expresion:

$$Q = \frac{|Im(Z_{eq})|}{|Re(Z_{eq})|} \tag{3.1}$$

Para hacer uso de tal relación, debe identificarse el modelo pi como una red de dos puertos, y estimar la impedancia equivalente sobre uno de ellos que será conocido como "externo", y sobre el opuesto que se conocerá como "interno". Así mismo, la impedancia diferencial que resulta de aplicar una tensión entre los dos extremos de la red, ayudará a calcular el factor de calidad diferencial. Aplicando un inductor cuadrado como el mostrado en la figura 3.1, la impedancia equivalente vista en el terminal externo es diferente a la vista en el terminal interno, debido a la adaptación en este último de un segmento de metal inferior para salida de señal, aumentando allí la capacitancia equivalente. Así, se espera que el factor de calidad calculado en el terminal externo, sea ligeramente mayor que el correspondiente al terminal interno [2].

La obtención del factor de calidad para cada puerto y diferencialmente, se facilita

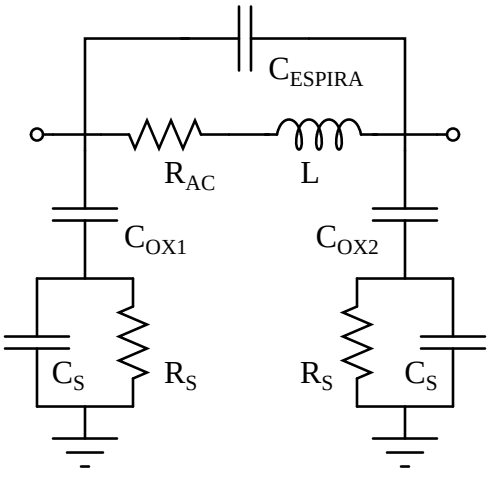

Figura 3.3: Modelo circuital π para el inductor planar. Las capacitancias C_{OX} son diferentes debido a la inclusión del segmento de salida en el terminal "interior" del inductor.

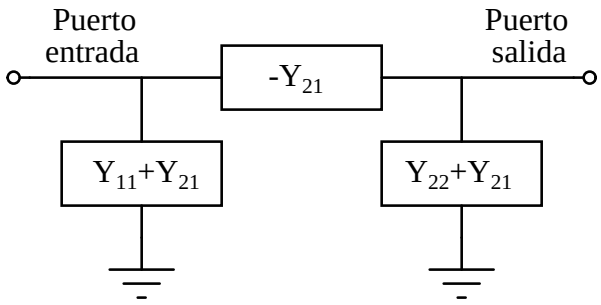

Figura 3.4: Equivalente en parámetros Y del modelo pi

interpretando esta red pasiva en términos de su equivalente Y de dos puertos[1], como se muestra en la figura 3.4. Una vez calculados cada uno de los elementos del modelo pi, la conversión al modelo Y se facilita por la simitud entre sus topologías.

A partir de esta conveniente representación, el cálculo de la impedancia diferencial se expresa como:

$$Z_{diferencial} = R_{dif} + jX_{dif} = \left(\frac{1}{-Y_{12}}\right) \Bigg|\Bigg| \left(\frac{1}{Y_{11}+Y_{12}} + \frac{1}{Y_{22}+Y_{12}}\right) \tag{3.2}$$

$$= \frac{Y_{11}+Y_{22}+2Y_{12}}{Y_{11}Y_{22}-Y_{12}^2} \tag{3.3}$$

asumiendo que el nodo de referencia como una tierra virtual. Este punto de vista propuesto en [35], ofrece una estimación indirecta del impacto de cada uno de los fenómenos parásitos en la impedancia equivalente.

3.2.2. Compromiso entre variables de diseño

Después de identificar las relaciones posibles entre las variables geométricas del inductor planar y los diferentes fenómenos parásitos, es útil encontrar una ruta óptima

[1]Para una red pasiva, se asume $Y_{12} = Y_{21}$

de diseño que garantice que la selección de las dimensiones conlleve a un inductor óptimo en términos de factor de calidad, acotando que el factor de calidad aún se considera un indicador cualitativo del inductor. A pesar que el factor de calidad se estima cuantitativamente con (3.1), el diseño no persigue converger a un valor exacto, sino alcanzar el mayor posible para un conjunto de dimensiones dadas.

El ancho de la espira de metal, es una de las variables geométricas más evidentes del inductor, teniendo importante repercusión en la capacitancia parásita hacia sustrato, y en la resistencia total del inductor. Espiras más anchas facilitarán el paso de la corriente, que en suma, representarían menores pérdidas óhmicas. Sin embargo, mayores anchos de espira, implican inductores más grandes para un número de vueltas dado, y junto con una expansión del área del metal, mayor es la capacitancia parásita, y más fácil el acople de la señal hacia sustrato, aumentando de nuevo la impedancia equivalente.

La inductancia es proporcional al cuadrado del número de vueltas (ecuación (A.7)), y se espera que para un valor de inductancia dado se mantenga la misma cantidad de giros. Mantener un número de vueltas constante para diferentes áreas de inductor trae diferentes consecuencias. Una cantidad de arrollamientos fija, en un área reducida (quizás en busca de menor capacitancia) aproxima las espiras interiores hacia el centro del inductor, haciéndolas suceptibles a corrientes de *eddy* y aumentando la impedancia total del inductor. Así que los inductores que busquen menores áreas, deben apuntar a menor número de vueltas, pero deben afrontar una reducción de la magnitud de la inductancia total. Alternativamente, la "negociación" con el área puede ceder un poco y buscar mayor área, ya que la inductancia también es proporcional al flujo magnético, y este a su vez depende del área transversal por el cual fluye. Sin embargo, áreas más grandes aumentan las pérdidas de energía debidas al flujo magnético ocasionado por las corrientes de *eddy* en el sustrato. Puede pensarse en hacer uso del espaciamiento entre espiras para dar más libertad al diseño, y relacionar las variables de una forma más conveniente, y así, aprovechar un menor espaciamiento para introducir más vueltas en un área determinada. Pero el espacimiento entre espiras también influye en la forma de capacitancia entre espiras, cuyo magnitud es proporcional a la longitud del trazado el inductor (ecuación (A.11)), Un aumento de la inductancia, por la vía de mayor número de vueltas, incrementará esta capacitancia parásita.

Existen diferentes maneras de asociar las variables del inductor. Esto supone que debe existir un punto intermedio que "negocie" entre lo deseable y lo indeseable, y que solo se conoce teniendo una relación determinística entre dimensiones y desempeño, que aún no es evidente, o hallarlo aplicando el modelo circuital equivalente, en función de los modelos matemáticos expuestos en la sección A.3.2. Con el fin de hacer descriptiva esta aplicación, deberá barrerse una variable dentro de rangos factibles o propuestos por la literatura especializada, y verificar el impacto en el factor de calidad diferencial del inductor.

Para ilustrar este dinámica, se programa un *script* en Octave con las ecuaciones (3.1), (3.2)[2], (A.7), (A.10), y (A.11) considerando un inductor cuadrado. La "oquedad" del inductor, considerada como un estimador de la "densidad" de área del inductor, se redefine como:

$$\phi = \frac{n \cdot w + (n-1)s}{d_{prom}} \tag{3.4}$$

[2]No se incluye una relación directa entre las dimensiones, C_s y R_s. Se asumió un mismo valor promedio para todos los cálculos

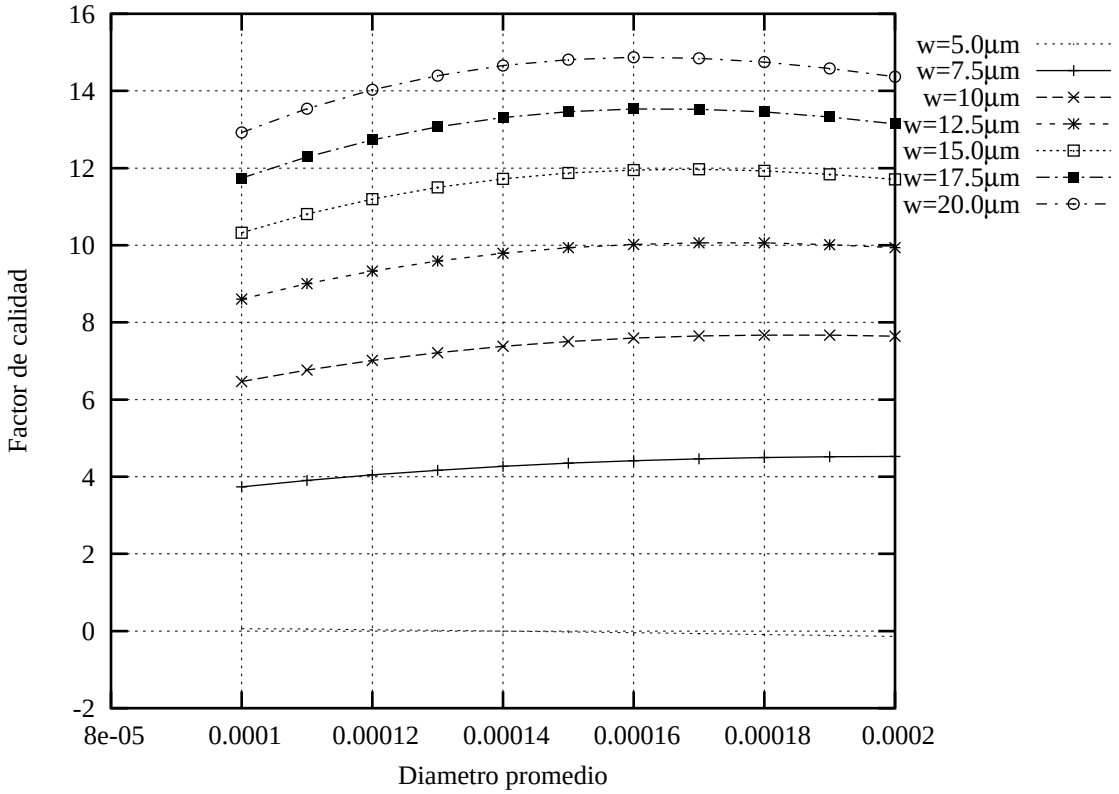

Figura 3.5: Factor de calidad calculado en función del diámetro promedio, para diferentes anchos de espira.

donde d_{prom} es el obtenido con (A.8), n es número de vueltas, w es el ancho de la espira, y s el espaciamiento interespira. Para un inductor cuadrado, la longitud total del trazado de la espira se aproxima con:

$$l_{trazo} = 4 \cdot n \cdot d_{prom} \tag{3.5}$$

Como se propone en [35], el barrido de las variables se realiza con rangos típicos para las dimensiones, recomendadas en trabajos previos. Para el diámetro exterior se comprende un rango de 100μm a 200μm, ancho de espira desde 5μm a 20μm, y espaciamientos entre 2μm y 10μm. El uso del diámetro externo e interno en el modelo puede simplificarse con el diámetro promedio, que se calcula con (3.4). Para cada combinación de dimensiones, resulta un número de diferente de vueltas posibles, y con ello, de inductancia, resistencia, capacitancia parásita, etc. La figura 3.5 ilustra el factor de calidad calculado numéricamente con (3.1) y (3.2), para diferentes anchos de espira.

El factor de calidad calculado por este método no necesariamente corresponde con el obtenido en una implementación real, pero su tendencia arroja un entendimiento acerca de cuáles son las variables más decisivas en la estimación de tal factor. En la figura 3.5 se identifica que el factor de calidad aumenta ligeramente a medida que se incrementa el diámetro promedio. Esto obedece a que un incremento del área de la espira permite mayor paso de flujo magnético reflejándose en un escalamiento de la inductancia equivalente. También se distingue que el factor de calidad aumenta con el ancho de espira, resultado del que se puede comprobar que la impedancia diferencial equivalente, como se propone en (3.2), es menos dependiente de $\frac{1}{Y_{11}+Y_{12}}$ (que comprende

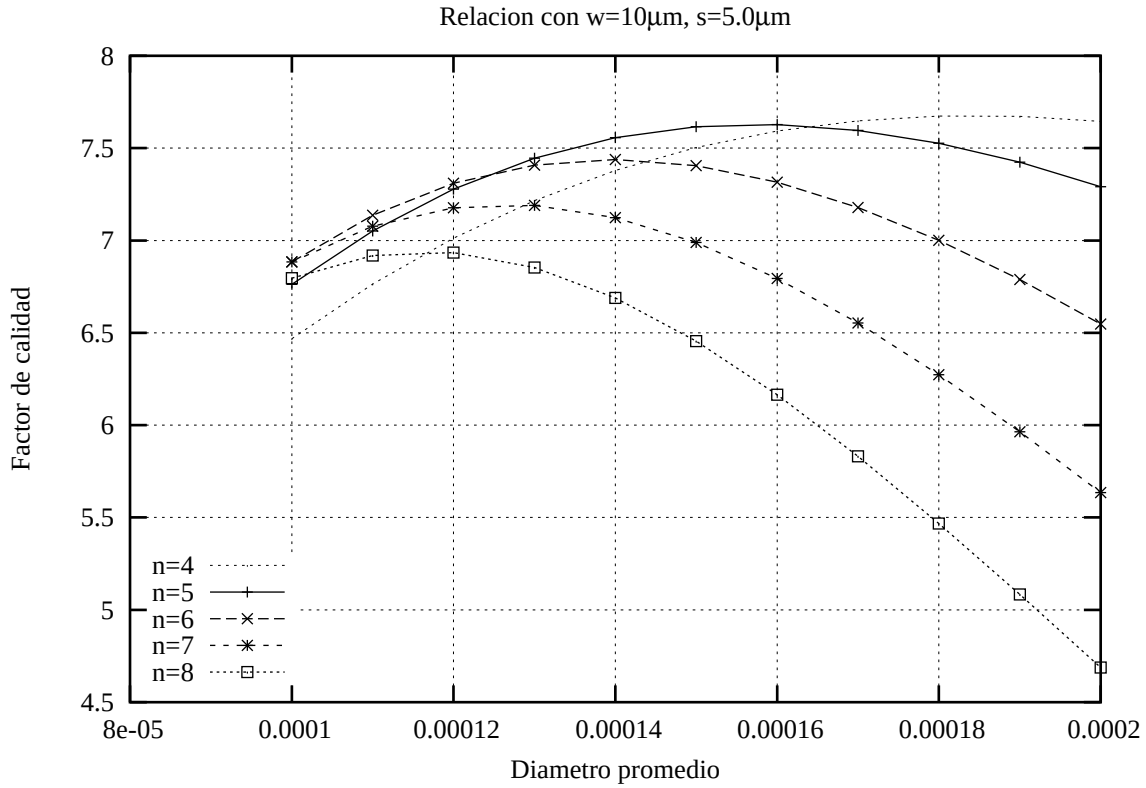

Figura 3.6: Factor de calidad calculado en función del diámetro promedio, para diferente número de vueltas, $w = 10\mu m$, $s = 5{,}0\mu m$.

C_{oxido}), y más dependiente de $\frac{-1}{Y_{12}}$ que incluye R_{AC} (cuya resistencia disminuye con el aumento de w). Otras variables, como el número de vueltas y el espaciamiento se fijan constantes, con el fin de reparar plenamente en los efectos del diámetro promedio y el ancho de espira. Para este caso, n se establece en 4, y s en 5,0μm

Aumentar el número de vueltas n para un mismo diámetro promedio, disminuye el factor de calidad, como se ilustra en las figuras 3.6 y 3.7. Este comportamiento revela que un mayor número de arrollamientos dentro de un área dada aumenta la presencia de corrientes de *eddy* en las espiras más internas, oponiéndose más fuertemente al paso de corriente de señal, y por lo tanto, disminuyendo el factor de calidad diferencial. Para la figura 3.7 se establece $w = 20\mu$m y $s = 5{,}0\mu$m, indicando que el factor de calidad del grupo de muestras aumenta siguiendo la tendencia descrita en la figura 3.5 (mayor factor de calidad a mayor w), pero localmente se reivindica la reducción relativa del factor de calidad ante un aumento de n.

En las figuras 3.8 y 3.9 se ilustra el factor de calidad calculado variando el espacio entre espiras s. En 3.8 se muestra cómo el factor de calidad disminuye para interespacios más grandes, ante un número de vueltas y ancho de espira fijos, comprobando que con espaciamientos mayores las espiras son desplazadas hacia el punto central del inductor, donde aumentan las pérdidas por corrientes de *eddy* sobre el metal. Sin embargo, para diámetros mayores, la tendencia parece revertirse, debido a que la longitud del trazado de la espira se hace más grande, y con él la capacitancia C_{espira} aumenta su impacto en la reducción de la reactancia equivalente y el factor de calidad. La figura 3.9 registra los resultados calculados para un mayor número de vueltas, implicando una

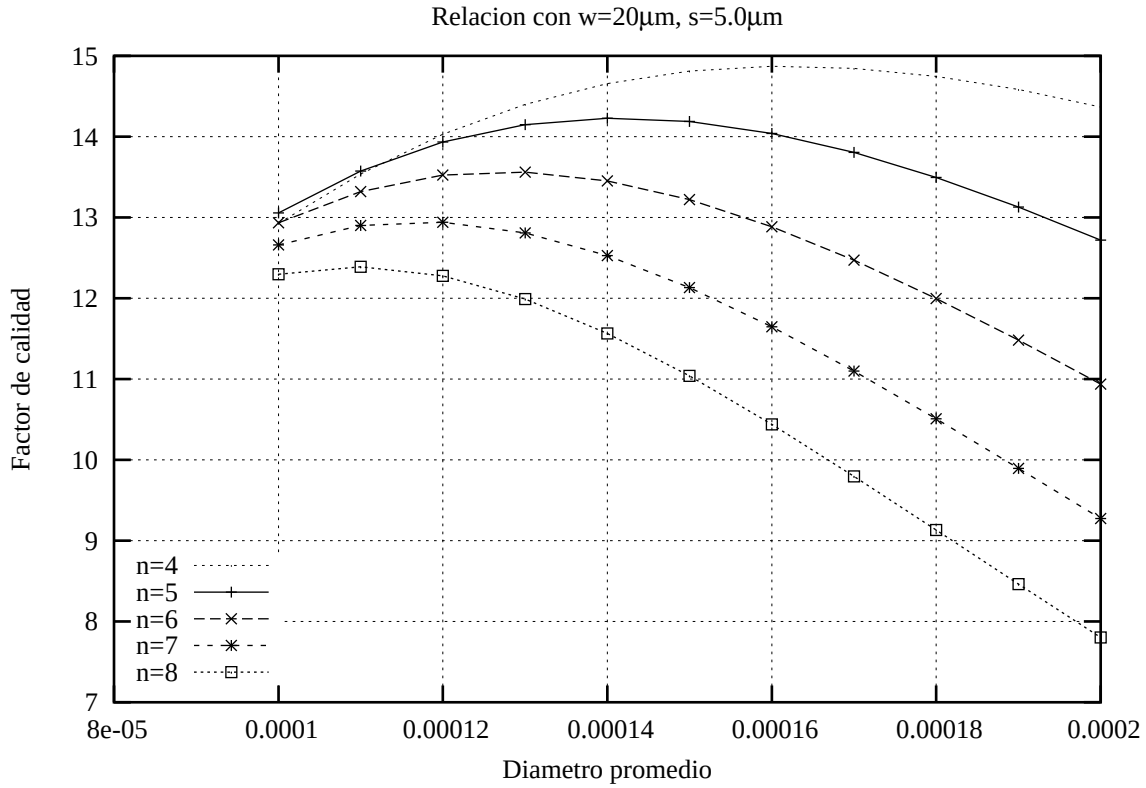

Figura 3.7: Factor de calidad calculado en función del diámetro promedio, para diferente número de vueltas, $w = 20\mu$m, $s = 5{,}0\mu$m.

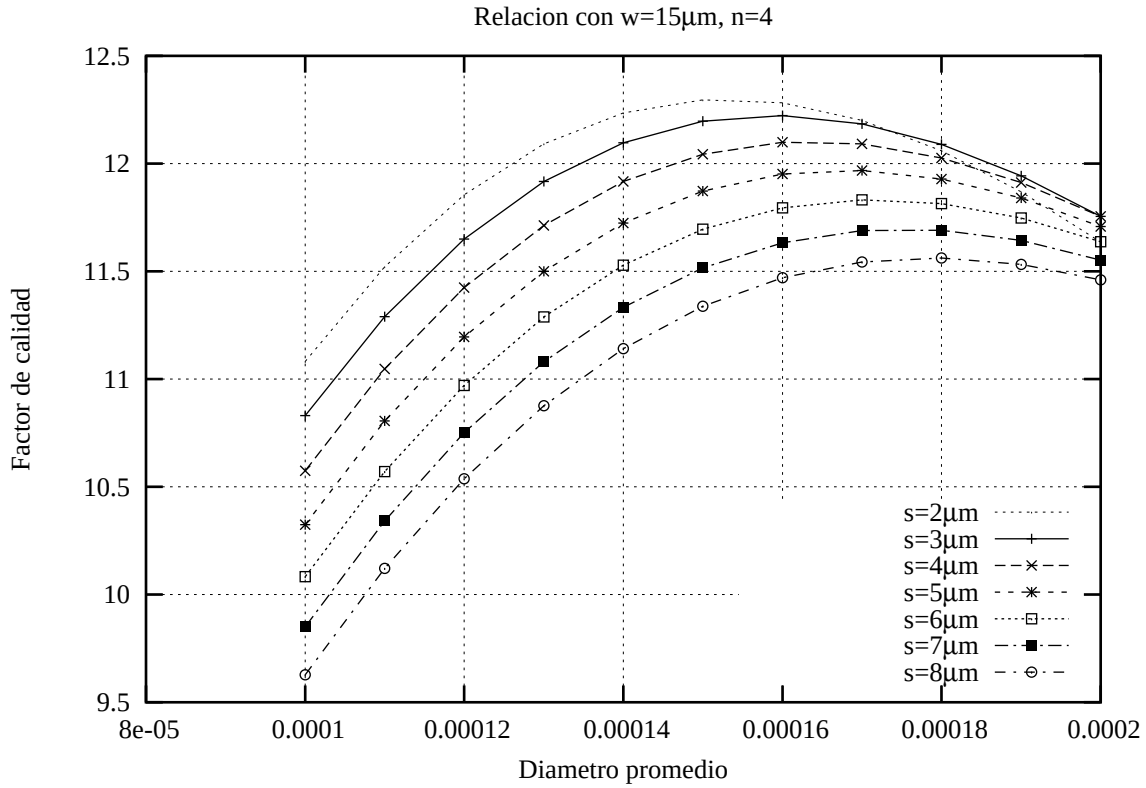

Figura 3.8: Factor de calidad calculado en función del diámetro promedio, para diferentes espaciamientos, con $w = 15\mu$m, $n = 4$.

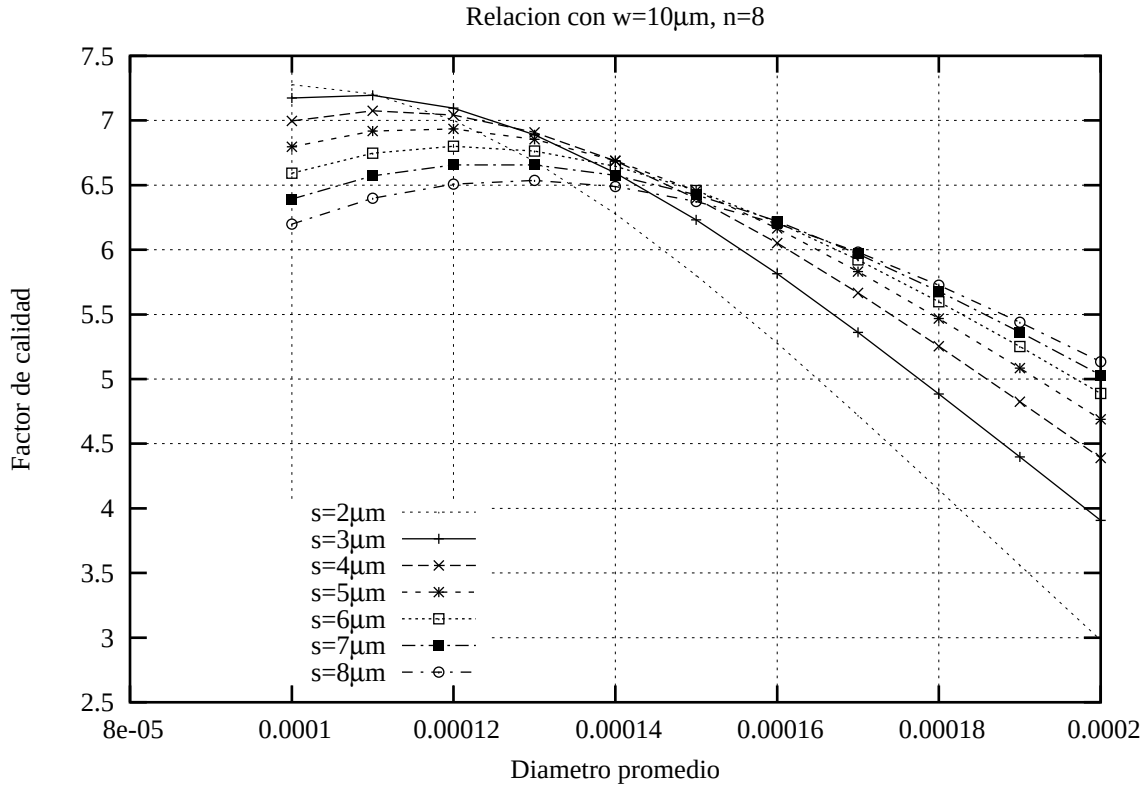

Figura 3.9: Factor de calidad calculado en función del diámetro promedio, para diferentes espaciamientos, con $w = 10\mu$m, $n = 8$

longitud de trazado más grande aun. Bajo la condición de mayor número de vueltas, la ventaja mostrada por inductores "huecos" queda descartada ante el escalamiento de la capacitancia interespira, mostrando una tendencia decreciente del factor de calidad para $w = 10\mu m$ y $n = 8$.

Debido a que estas figuras arrojan datos calculados a partir de los modelos matemáticos para inductancia, resistencias y capacitancias, las dimensiones para diámetro promedio se barren indistintamente de si pertencen a regiones fabricables o no, dados un ancho y espaciamiento entre espiras. Una simple inspección de la gráfica 3.9 da cuenta que el conjunto diámetros promedio posibles para un inductor cuadrado con $w = 10{,}0\mu m$, $n = 8$ y $s = 8{,}0\mu m$, inicia alrededor de $140\mu m$, y no desde $100\mu m$ como lo hace el barrido, ya que un inductor con tales características no es realizable con un diámetro promedio menor que $140\mu m$. Hacer extensiva esta consideración a la lectura de los resulatdos arrojados por las demás combinaciones, fortalecerá la interpretación de las tendencias mostradas.

Claras tendencias arrojan los anteriores resultados, pudiendo condensarse a modo de compromisos de diseño. Según se observa, la busqueda de mejores factores de calidad no excluye totalmente diámetros mayores, siempre y cuando el número de vueltas se mantenga reducido. Al parecer el mejor crecimiento del factor de calidad ante un diámetro dado, se obtiene ampliando el ancho de la espira, como ilustra la figura 3.5. Para permitir la ampliación de esta dimensión, debe entonces reducirse el número de vueltas y el espaciamiento para que la longitud del trazado sea menor, y para que los segmentos del inductor se dispongan más alejados del centro. Según la figura 3.8 la elección del menor espaciamiento mejora el factor de calidad, compromiso que puede revertirse si el número de vueltas aumenta como en la figura 3.9.

Después de hacer una idea de estos "gradientes" de desempeño, puede considerarse que el espaciamiento entre espiras tiene un impacto sustancial en la variación del factor de calidad, y debe ser ajustado al mímino. La literatura recomienda un valor de aproximadamente $2{,}0\mu$m como mínimo de este valor, satisfaciendo simultáneamente el espaciamiento entre metales exigido por el proceso de fabricación. Esta elección no tendría validez para inductores de un considerable número de vueltas, por lo que la cantidad de giros debe tender a su reducción. A pesar de ser proporcional al cuadrado de n, el valor de la inductancia también depende directamente del flujo encerrado y del área que lo contiene, por lo que una reducción del número de vueltas se compensaría con un aumento del diámetro promedio del inductor. Si bien por este medio se hallaría un ligero aumento de la inductancia (ya que aumenta la presencia de corrientes de *eddy* en el sustrato), el destino de la ruta de diseño es encontrar el mejor factor de calidad posible, sea a través de un aumento de la reactancia equivalente, o de una disminución de las pérdidas óhmicas. El primer cometido está limitado por la ingente cantidad de área que demandaría su implementación, y porque, según se describió en (B.26) y en la sección 2.4, la inductancia equivalente favorece la presencia de ruido de fase. En contraparte, una reducción de las pérdidas óhmicas del inductor significa una reducción de la resistencia equivalente y de la transconductancia del resonador, que, como se mencionó en la sección 2.4, da mucha más libertad a las demás variables de diseño del oscilador. Por esta razón, el ancho de la espira no debe fijarse al mínimo, sino que debe aumentarse paulatinamente como resultó en el cálculo de la figura 3.5, quizás hasta justo antes que la capacitancia C_{oxido} revierta el crecimiento de Q.

Con este entendimiento de los compromisos de diseño, la descripción del inductor

planar con herramientas de cómputo será más provechoso. Tales recursos ofrecen una visión mucho más detallada de estas tendencias, y a partir de allí se fijan las variables de diseño que reunan las características buscadas en un inductor óptimo.

3.2.3. Selección del inductor integrado

Las anteriores relaciones ayudan a hacer una idea del impacto de los fenómenos eléctricos en términos de las dimensiones, que así definidas, son la piedra de toque en la tarea de diseño de inductores planares. Sin embargo, deben conocerse con exactitud la magnitud de los variables ajustadas. Cuantificar cada resultado, contextualizado además con un proceso de fabricación, es el proceso definitivo en el diseño del inductor, siendo menester en ello, herramientas de cómputo que asuman las relaciones anteriormente planteadas y las describan en forma numérica. Sin embargo antes de hacer selección de tales variables geométricas, debe contextualizarse al inductor a partir de su relación con el ruido de fase, con el fin de delimitar la búsqueda hacia valores convenientes.

Usando las relaciones indicadas en la sección 2.4.2, se delimita el espacio de búsqueda para la inductancia, empleando las especificaiones de diseño. En la figura 3.10 se identifica el comportamiento calculado del ruido de fase respecto a la inductancia, identificando en cada curva los efectos de la zona de operación. Para operación *limitada por corriente*, la ecuación (2.43) pronostica una fuerte dependencia del ruido de fase con g_L. Ante mayores factores de calidad, esta transconductancia se reduce según (2.25), reduciendo el ruido de fase, en presencia de una misma corriente. El punto de inflexión para cada curva, corresponde a la entrada en operación *limitada por voltaje*. Los valores de inductancia y factor de calidad para tales puntos garantizan que el rango de excursión, modelado según (2.15), alcanza la tensión límite, que en este cálculo se fija en 3.3 V. Una vez alcanzada esta tensión, el ruido de fase según (2.43) crecerá con la inductancia. La corta separación entre las curvas de la figura 3.10, entrada la operación *limitada por voltaje*, es despreciable, indicando de esa forma la pírrica influencia del factor de calidad (y la transconductancia del inductor) en el cálculo del ruido de fase para esta zona de operación. De la figura 3.10 se deduce la importancia de aplicar mayores factores de calidad en con el fin de reducir ruido de fase. Encontrar el mejor punto de diseño aplicando los parámetros de proceso, demanda una extensiva búsqueda en el espacio de variables del inductor, para encontrar una combinación que satisfaga los requisitos deseados.

Para este propósito, se emplea una herramienta de cómputo que adapate los parámetros de fabricación, con el cálculo de diferentes variables eléctricas del oscilador, sobre un amplio conjunto de ejemplares (dicho en otras palabras, combinaciones de dimensiones). ASITIC es una herramienta CAD interactiva para el análisis, descripción, y optimización de elementos pasivos y estructuras de interconexión sobre sustratos conductivos, que facilita esta tarea. Se trata de un *software* desarrollado por la Universidad de California en Berkeley por Ali Niknejad, cuyos principios básicos están contenidos en [58]. Esta herramienta permite el cálculo de características eléctricas como parámetros S, Y, Z, modelos pi para inductores de diferentes geometrías, a diferentes frecuencias. Los parámetros del proceso ingresan en forma de archivo con extensión *.tek*, asociando los fenómenos calculados con un proceso de fabricación real.

Por medio de ASITIC, se realizó un barrido de inductores, producto de considerar

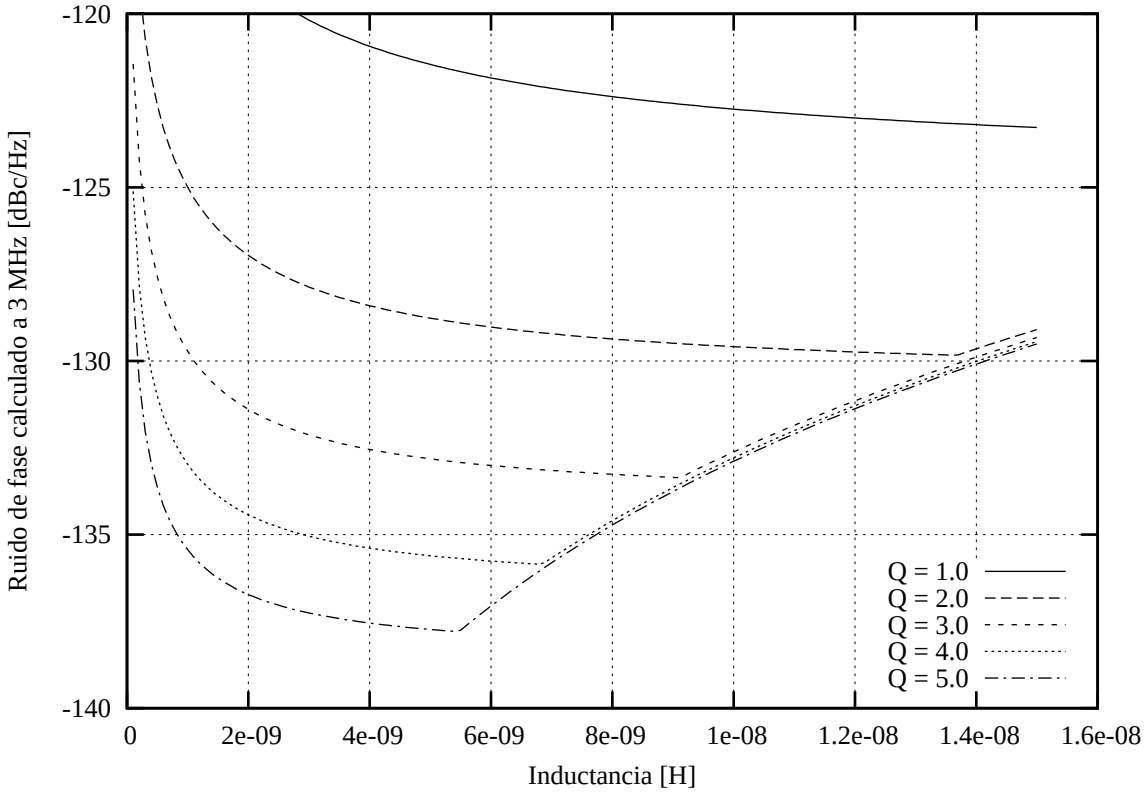

Figura 3.10: Ruido de fase calculado contra inductancia para diferentes factores de calidad. Frecuencia central 2.44 GHz

diversas combinaciones posibles de dimensiones, dentro de los rangos tipícos propuestos por la literatura, para el inductor cuadrado. Este conjunto de dimensiones inscribe al diámetro externo entre 100μm y 250μm, el ancho de la espira entre 10μm y 25μm, y el espaciamiento ajustado a 2μm siguiendo la recomendación de mínimo s expuesta anteriormente. El proceso de fabricación introducido es el C35B4C3[3] de AMS, que contempla una capa de metal de nivel 4, y cuya utilización reduciría la capacitancia hacia sustrato anteriormente mencionada. Se aplica el peor caso de los parámetros de fabricación[4] sobre la variedad de inductores arrojados, y se buscará al menos uno que satisfaga los requisitos dados en la sección 2.4.3 para ruido de fase.

Los resultados se clasifican según el diámetro externo, y se registra el máximo factor de calidad hallado para cada diámetro. La tendencia obtenida se ilustra en la figura 3.11, donde se verifica que el mejor factor de calidad por diámetro externo, aumenta monótonamente con la dimensión del inductor. Es interesante identificar la diferencia entre los factores de calidad alcanzados con los parámetros típicos, y aquellos obtenidos aplicando los peores casos. A partir de allí, y de la dependencia expuesta respecto al factor de calidad, puede esperarse que diseños dimensionados para el peor caso, satisfagan holgadamente las relaciones propuestas para ruido de fase, y condición de arranque en presencia de parámetros típicos. Para este caso particular, la estrategia de

[3]Este conjunto de reglas es propiedad de *Austria Micro Systems*, y gracias a contactos interinstitucionales, se permite su aplicación en este trabajo de grado.

[4]Consiste en la introducción de las mayores resistencias y menores alturas de las capas de metal, garantizadas por AMS

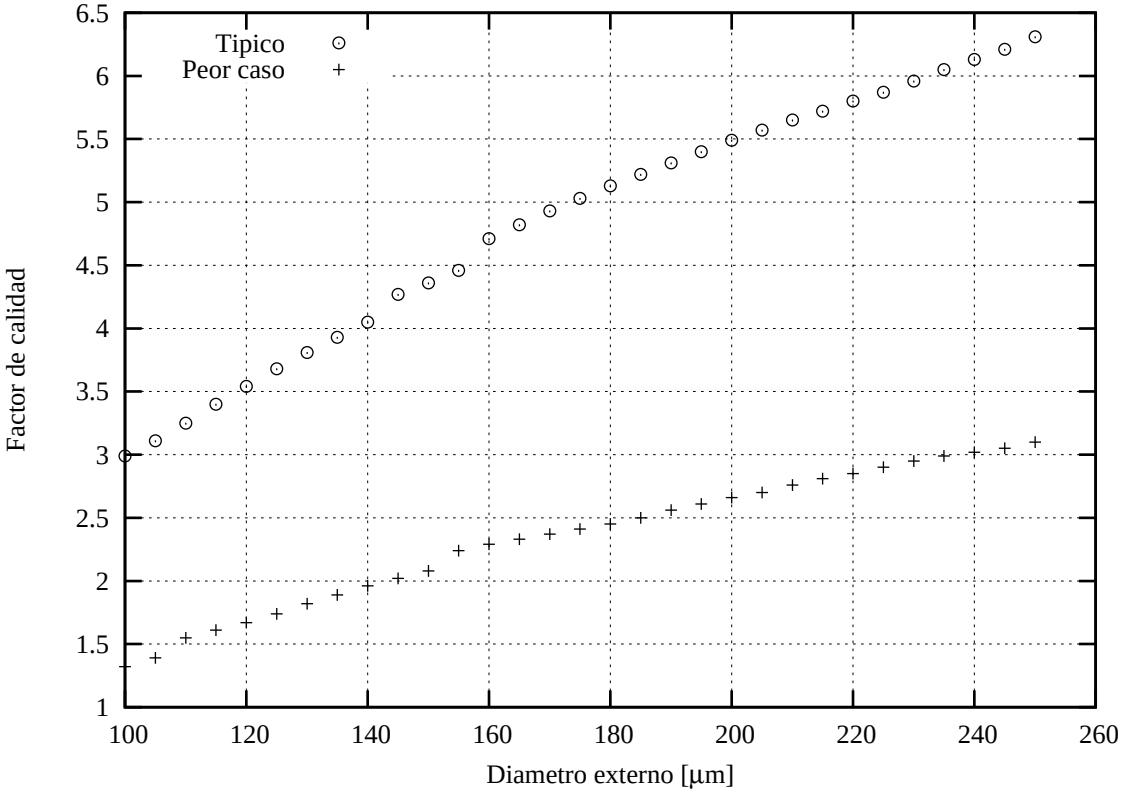

Figura 3.11: Máximo factor de calidad alcanzado en cada diámetro externo, aplicando el proceso C35B4C3

selección del inductor se trabajará sobre el peor caso del proceso C35B4C3, en aras de alcanzar un diseño robusto. Las características geométricas de los inductores con mejores Q para el peor caso del proceso por diámetro externo, se indica en la tabla 3.1.

Como se había mencionado, el factor de calidad no solo depende del diámetro externo, sino de la combinación entre ancho de espira, espaciamiento y número de vueltas. Se comprueba que los mejores factores de calidad se obtienen con los menores espaciamientos, solo si el número de vueltas es relativamente bajo. Los resultados arrojados por ASITIC muestran que el ancho de la espira no tiende al mínimo, sino que se inclina hacia valores máximos, reivindicando las suposiciones hechas en la sección 3.2.2 con la figura 3.5, sobre el impacto de la resistencia R_{AC} en el factor de calidad total. De la tendencia ilustrada en la tabla 3.1 se puede deducir que el máximo factor de calidad por diámetro externo podía continuar incrementándose monótonamente[5], debido al crecimiento del área encerrada por el flujo magnético. Sin embargo está tendencia podría verse limitada por restricciones en el área de intergración o por la inductancia máxima permitida para un ruido de fase exigido (en caso que la transconductancia g_L y la corriente de operación permitan alcanzar operación *limitada por voltaje*).

Las caraterísticas de los inductores seleccionados, se introducen al modelo de ruido de fase descrito, y sus resultados se consignan en la figura 3.12. A diferencia de los datos descritos en la figura 3.10, cada uno de los inductores escogidos se se caracteriza por un tener un factor de calidad único, que es el mayor posible para su diámetro, dentro

[5]Los resultados fueron obtenidos habilitando ASITIC para análisis con corrientes de *eddy*.

Diámetro externo [μm]	Ancho de espira [μm]	Espaciamiento [μm]	Número de vueltas	Inductancia eq. [nH]	Factor de calidad dif.
100.0	10.0	2.0	2.5	0.69	1.32
105.0	10.0	2.0	3.25	0.9	1.39
110.0	15.0	2.0	2.25	0.53	1.55
115.0	15.0	2.0	2.25	0.59	1.61
120.0	15.0	2.0	2.5	0.68	1.67
125.0	15.0	2.0	2.25	0.5	1.74
130.0	20.0	2.0	2.25	0.55	1.82
135.0	20.0	2.0	2.25	0.6	1.89
140.0	20.0	2.0	2.25	0.66	1.96
145.0	20.0	2.0	2.25	0.71	2.02
150.0	20.0	2.0	2.25	0.76	2.08
155.0	25.0	2.0	1.5	0.51	2.24
160.0	25.0	2.0	1.5	0.54	2.29
165.0	25.0	2.0	1.5	0.57	2.33
170.0	25.0	2.0	1.5	0.6	2.37
175.0	25.0	2.0	1.5	0.63	2.41
180.0	25.0	2.0	1.5	0.66	2.45
185.0	25.0	2.0	2.25	0.94	2.5
190.0	25.0	2.0	2.25	1.0	2.56
195.0	25.0	2.0	2.25	1.05	2.61
200.0	25.0	2.0	2.25	1.11	2.66
205.0	25.0	2.0	2.25	1.17	2.7
210.0	25.0	2.0	2.5	1.31	2.76
215.0	25.0	2.0	2.5	1.38	2.81
220.0	25.0	2.0	2.5	1.45	2.85
225.0	25.0	2.0	2.5	1.52	2.9
230.0	25.0	2.0	2.5	1.59	2.95
235.0	25.0	2.0	2.5	1.66	2.99
240.0	25.0	2.0	2.5	1.73	3.02
245.0	25.0	2.0	2.5	1.81	3.05
250.0	25.0	2.0	2.5	1.88	3.1

Tabla 3.1: Registro de geometrías para inductores de mejor Q, por diámetro externo, obtenido con ASITIC.

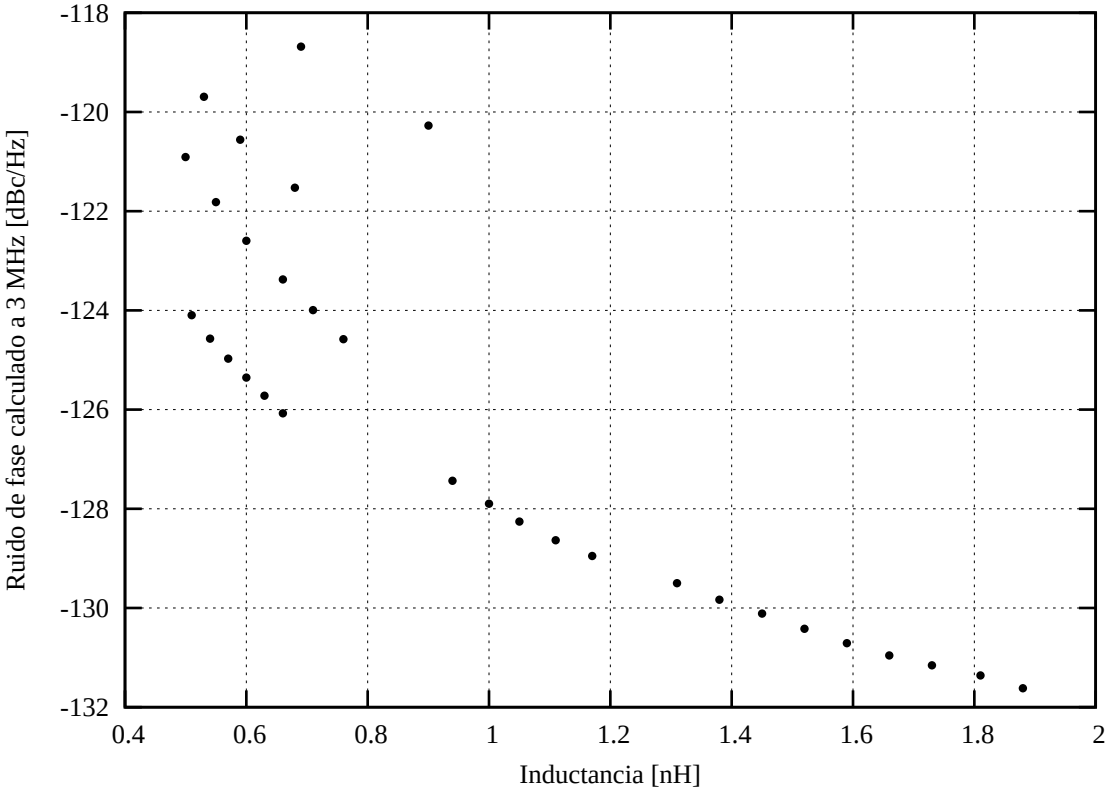

Figura 3.12: Ruido de fase calculado contra inductancia para los inductores presenatdos en la tabla 3.1. Frecuencia central 2.44 GHz

del rango de dimensiones mencionado anteriormente. Si cada punto representa el mejor factor de calidad por diámetro, entonces cada ruido de fase en la figura 3.10 representa el mejor ruido de fase calculado por diámetro externo, ante una corriente de operación de 4.5 mA. A partir de esta observación, los mejores inductores se hallarán hacia la parte inferior de la figura, correspondiendo a aquellos de mayores dimensiones.

Otra consideración que hasta ahora no se ha tomado en cuenta, es el número de vueltas y su impacto en la distribución del *layout*. Debido a la implementación dual del inductor (propuesta en la figura 2.15, y recomendada en [2]), debe disponerse un espacio para la interconexión entre inductores, y de inductores a transistores y varactor. El número de vueltas puede determinar si los terminales exteriores del inductor dual están máximamente alejados, o tan cercanos como la distancia que separa las espiras. En el primer caso, los terminales estarán a una distancia considerablemente grande del centro de la estructura dual (figura 3.13), en donde típicamente se disponen los elementos activos, haciendo prohibitivo el uso de largas conexiones de metal debido a su notable efecto capacitivo y desplazamiento de la impedancia equivalente. El segundo caso simplifica la conexión, ya que los terminales quedan alineados hacia el centro de la estructura, como se distingue en la figura 3.14. Esta consideración para inductores cuadrados se convierte en un nuevo criterio de selección a partir del número de vueltas, que como se considera en la tabla 3.1 puede ser entero o fraccional. Número de vueltas entero, o entero más 1/4 o 3/4 garantiza que el terminal interno se derive hacia el mismo costado que lo hace el externo, facilitando la conexión del inductor.

Haciendo extensiva esta consideración a los inductores cuyo registro en la figura

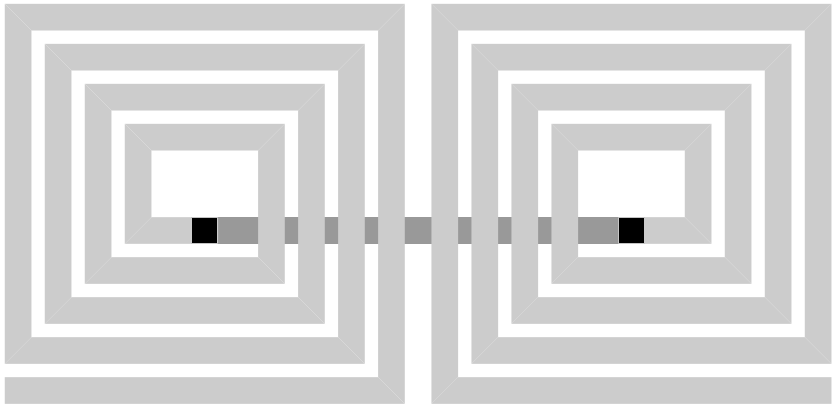

Figura 3.13: Inductor dual con terminales externos opuestos.

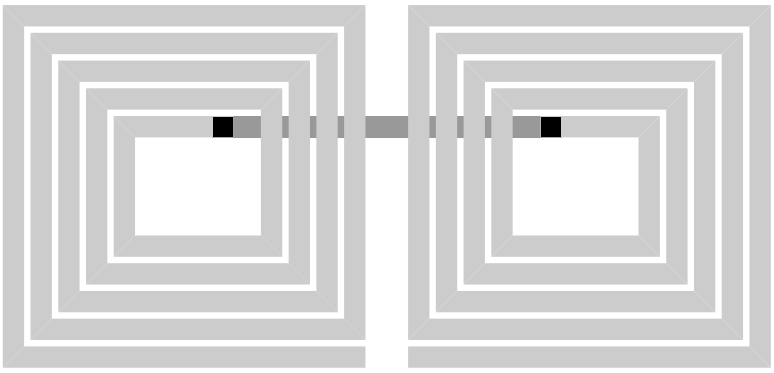

Figura 3.14: Inductor dual con terminales externos alineados.

3.12 sea menor que -128 dBc/Hz, se resuelve que el inductor de diámetro externo de 205μm, es la estructura que presenta el menor ruido de fase calculado (-128.95 dBc/Hz), entre aquellas que satisfacen el criterio de número de vueltas anteriormente planteado. El equivalente pi de este inductor se ilustra en la figura 3.15. Cabe anotar, que el modelo matématico de ruido de fase, empleado en la clasificación del inductor planar, asume la dominancia de la corriente de ruido del drenador, cuya densidad espectral de potencia [6] compromete directamente longitud de canal, 0.35μm, cuya elección se definió conveniente desde la sección 2.4.1.

Para esta elección (L=1.17 nH, Q=2.7), la tendencia del ruido de fase respecto la corriente de operación se registra en la figura 3.16. Esta relación se estima a partir de los modelos expuestos en la sección 2.4.1. Es importante aclarar que, a pesar de calcular menores ruidos de fase ante corrientes inferiores de 3.5 mA, no hay diseño realizable por debajo de este valor de corriente, ya que los transistores deberían sobredimensionarse tanto que desplazarían la capacitancia del varactor a valores "negativos" para mantener la frecuencia central de 2.44 GHz (figura 3.17).

[6] Ecuación (B.43).

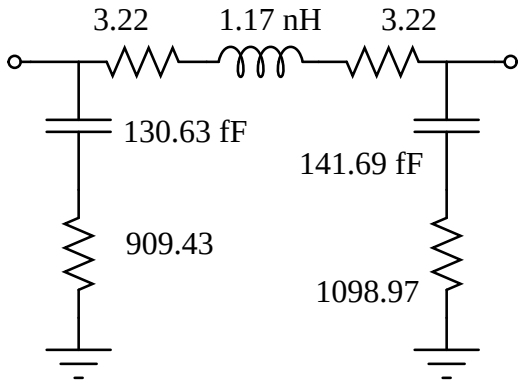

Figura 3.15: Modelo circuital pi para el inductor seleccionado.

3.3. Varactor integrado

El diseño del oscilador controlado por voltaje, demanda un resonador LC que le permita sintonizarse con exactitud dentro del rango de frecuencias porpuestas por las especificaciones del sistema de comunicaciones. Materializar tales exigencias a través de los elementos involucrados en la implementación del oscilador integrado, requiere una cuidadosa identificación de sus características físicas, y selección de variables enfocadas a satisfacer requisitos como frecuencia central, rango de sintonía y reducción de ruido, principalmente. En la sección anterior, se abrió la ruta de diseño con la identificación y selección del inductor planar, debido a su visible impacto en el desempeño del oscilador. El varactor integrado será tratado en este apartado, dando así forma al resonador LC.

3.3.1. Descripción del varactor integrado

Una vez descartada la posibilidad de aplicar a este diseño inductancias sintonizables, la variación de la frecuencia debe encargarse al desplazamiento controlado del valor de la capacitancia. Así como se sugiere en la literatura, y tal como se planteó en la sección 1.2, una señal de control proveniente del sintetizador regula la frecuencia de oscilación del VCO. Una capacitancia controlada por voltaje o varactor, es dispuesta como parte del resonador LC, y varía su capacitancia según la señal de tensión aplicada. Dependiendo de la respuesta de voltaje contra capacitancia mostrada por este elemento, se escogen los rangos de excursión permisibles a la señal de control, a partir del conjunto de frecuencias de oscilación permitidas por el estandar de comunicación.

Típicamente, la implementación de la capacitancia variable aprovecha la particular manera cómo se distribuyen los portadores mayoritarios en un semiconductor ante un campo eléctrico, en regiones como acumulación, agotamiento o inversión, mostrando marcada similitud con un capacitor de placas paralelas de distancia variable. La señal de voltaje que ocasiona el campo eléctrico, modula por este medio el grosor de estas regiones, y así, la capaciatncia equivalente. Para el varactor integrado, diferentes disposiciones de difusiones p y n son usadas para reproducir esta característica, arrojando diferentes relaciones capacitancia-voltaje, que ubicadas dentro del resonador LC, pueden representar diferentes rangos de frecuencia, así como demandar diferentes condiciones de polarización y señal de control.

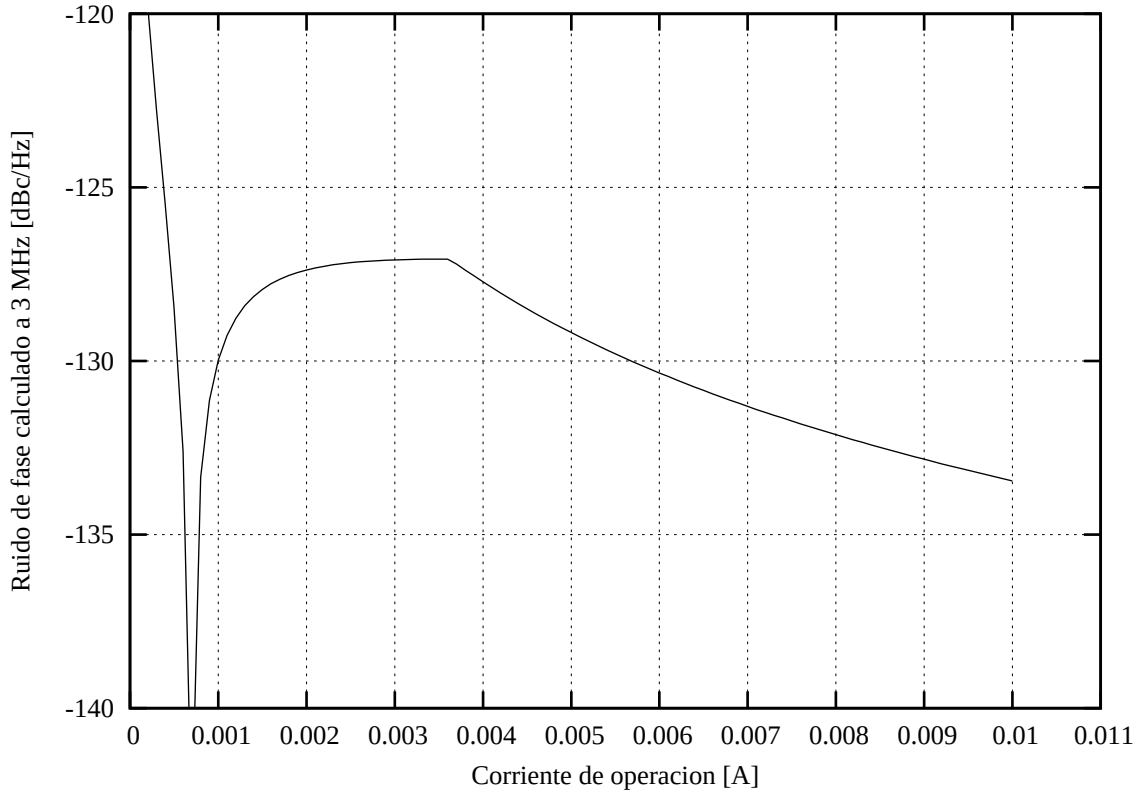

Figura 3.16: Tendencia del ruido de fase respecto la corriente de operación, para $L = 1{,}17$nH, $Q = 2{,}7$, $f_0 = 2{,}44GHz$

Diferentes estructuras semiconductoras se proponen para cumplir la función de capacitancia variable. Estructuras como diodos varactores, varactores PMOS, varactores de inversión, y varactores de acumulación, aprovechan la característica mostada por la unión semiconductora, arrojando diferente desempeño. Como se muestra en la sección A.4, el diodo varactor es la estructura más sencilla, pero una vez polarizado directamente, la capacitancia mostrada se incrementa exponencialmente, sin mencionar el consumo de corriente que este punto de operación devengue. Aprovechando la presencia de uniones p-n, y la ubicación en un pozo con diferente potencial que el sustrato, la capacitancia de compuerta del transistor PMOS también puede ser controlada por tensión, aplicando una señal de voltaje entre compuerta y un nodo común formado por drenador, cuerpo y fuente.

Con el fin de adoptar un comportamiento monótono, el cuerpo del varactor PMOS es conectado al potencial más alto del circuito, evitando que la estructura entre en región de acumulación (es decir, evitar la acumulación de portadores mayoritarios que sucede cuando $V_g \geq V_b$), manteniéndose en región de inversión (de allí que esta configuración se conozca como IMOS). Sin embargo, hacia $V_s = V_g + |V_{tp}|$ la formación de canal incrementa abruptamente la capacitancia, como se distingue en la figura 3.18, donde la variación de la capacitancia es más sensible a señales parásitas.

Como alternativa, la formación de canal se inhibe con el reemplazo de ls difusiones p+, por difusiones n+ (ver figura A.12). Por este medio, la capacitancia varía desde regiones de acumulación a agotamiento, variando la tensión sobre el pozo n con la aplicación de la tensión de control. También conocido como AMOS (MOS de acumulación),

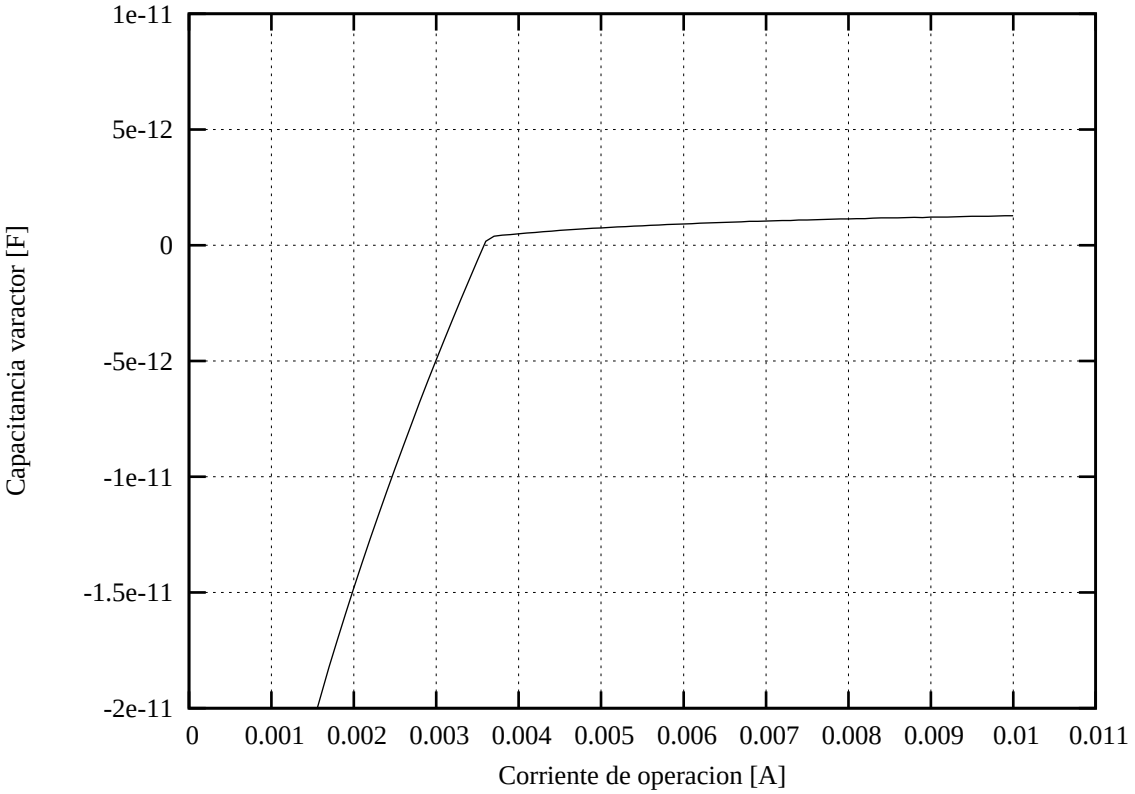

Figura 3.17: Capacitancia de varactor calculada respecto a la corriente de operación, para $L = 1{,}17$nH, $Q = 2{,}7$, $f_0 = 2{,}44GHz$. La región "factible" corresponde al conjunto de corrientes donde la capacitancia sea positiva.

este varactor presenta una característica monótona y suave como se distingue en la figura 3.19. Para esta topología, la señal de control se aplica sobre el pozo n, y la señal oscilante sobre la compuerta. La tensión efectiva sobre el varactor será la diferencia entre la tensión de control y el punto de medio de la señal oscilante. El diseño del varactor AMOS debe buscar que esta tensión diferencia corresponda con la zona central y máximamente lineal de la capacitancia, para que el valor medio de la capacitancia corresponda aproximadamente con la equivalente al valor medio de la tensión diferencia (figura 3.20).

3.3.2. Compromiso entre variables de diseño

El varactor de acumulación presenta las mejores prestaciones en cuanto monotonía, linealidad y rango de sintonía [59]. Partiendo de esta recomendación, el varactor de acumulación será la topología a usar en el diseño de la capacitancia variable.

Dependiendo de la diferencia de tensión aplicada entre compuerta y cuerpo, los portadores se distribuyen formando regiones de acumulación o agotamiento. Cuando la tensión sobre compuerta supera la del cuerpo, los portadores son *acumulados* hacia la compuerta, reduciendo su separación. De esta forma, la capacitancia es máxima, y se aproxima a $C_{ox} \cdot W \cdot L$. Por otro lado, la capacitancia es mínima cuando la tensión en el pozo n supera la aplicada sobre la compuerta, atrayendo los portadores del pozo, y agotando la difusión.

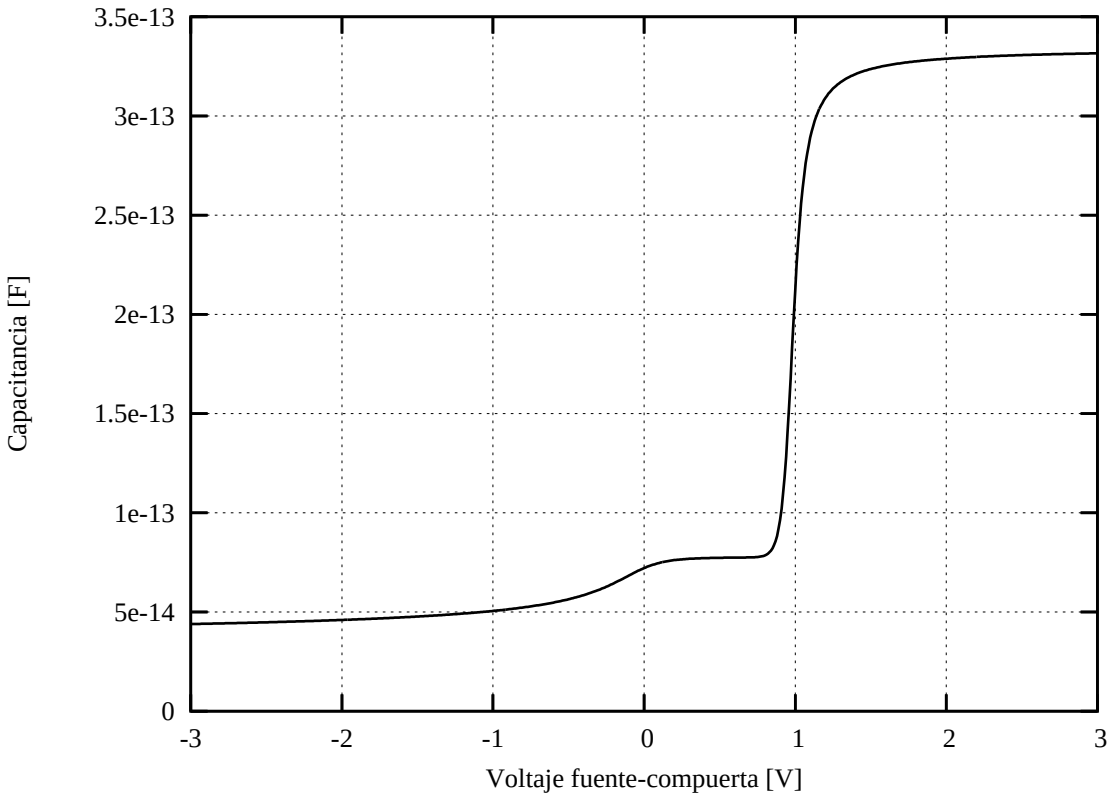

Figura 3.18: Relación capacitancia voltaje para un varactor IMOS

No es sencillo precisar la capacitancia debida a este último fenómeno, ya que depende de forma como se disponga la región de agotamiento, la cual depende de la distribución de las difusiones, la compuerta, la concentración de portadores, etc. Sin embargo, el escalamiento del área de la compuerta ($C_{ox} \cdot W \cdot L$) influye proporcionalmente sobre toda la relación capacitancia–tensión, como se ilustra en la figura 3.21.

A pesar de la característica monótona de la capacitancia, la relación no lineal respecto a la tensión de pozo-n ocasiona distorsión de la señal de capacitancia para un amplio rango voltajes. Se hace útil la identificación de una región máximamente lineal sobre la relación C-V, como se muestra en la figura 3.22. La identificación de esta zona lineal reduce el rango de excursión que la señal de control debe aplicar para alcanzar las frecuencias extremas requeridas por las especificaciones. No obstante, así como la capacitancia se reduce proporcional con el área, también lo hace el rango de capacitancia en la zona lineal, incluso, por debajo del rango de capacitancias necesario para satisfacer $f_{mín}$ y $f_{máx}$ en presencia de un inductor. Esta importante consideración se aplica en el modelo expuesto en la sección 2.4.1, adicionando las tendencias para $C_{v,máx}$ y $C_{v,mín}$, que son las capacitancias máxima y mínima necesarias para alcanzar de $f_{mín}$ a $f_{máx}$, como se registra en la figura 3.23

Para el cálculo de la figura 3.23 se aplica el inductor seleccionado en la sección anterior en configración dual (ver figura 2.15). Retomando la tendencia de la capacitancia de varactor expuesta en la sección 2.4.1, se verifica que un aumento del ancho de canal reduce C_v, así como constriñe el rango de excursión de la región lineal del varactor. La capacitancia central del varactor se selecciona hacia el centro de la zona lineal, posición caracterizada unívocamente por una sola área de compuerta $W_v \cdot L_v$. El incremento de

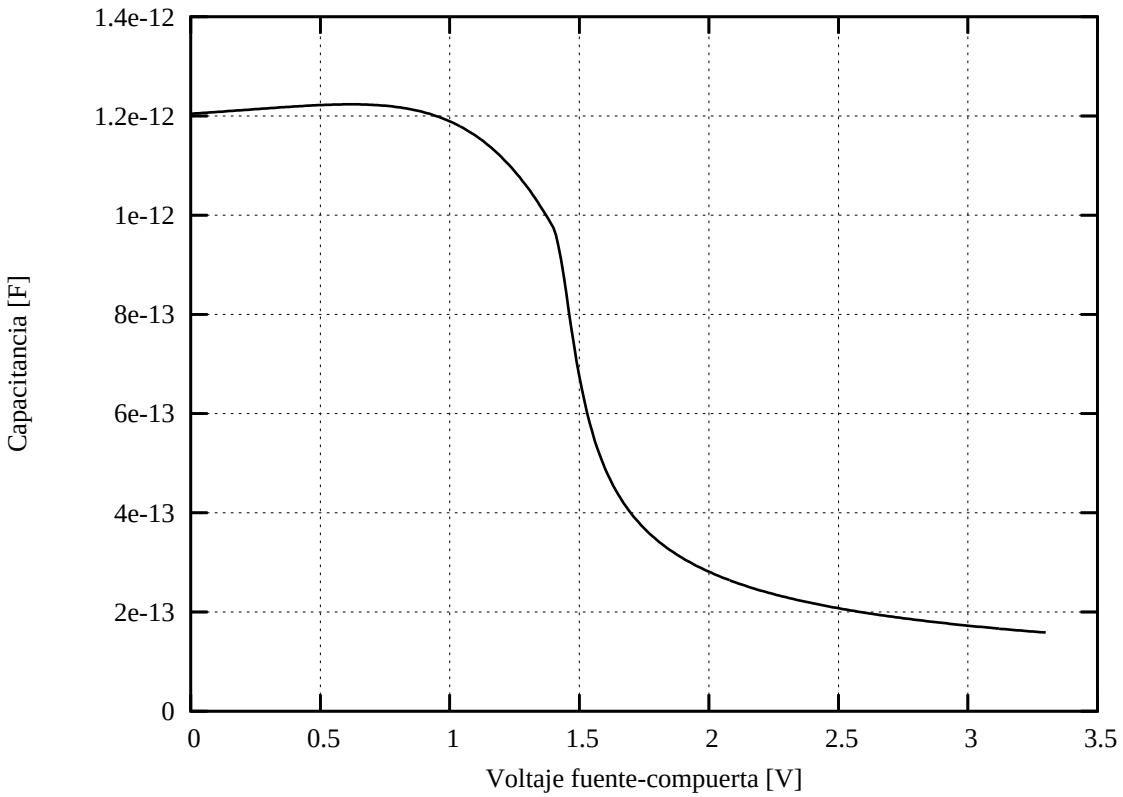

Figura 3.19: Relación capacitancia voltaje para un varactor IMOS

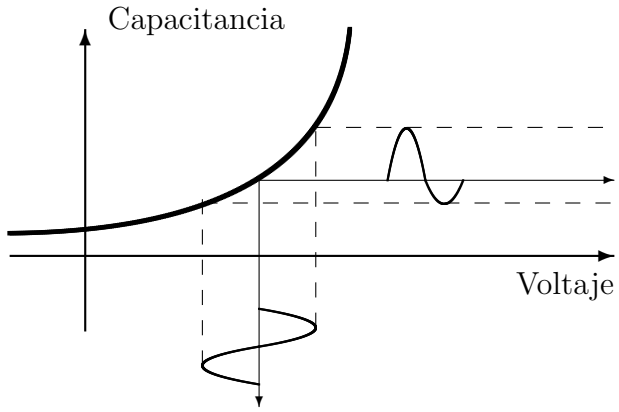

Figura 3.20: Relación de conversión amplitud-capacitancia a través de $C(V)$.

la capacitancia parásita de los elementos activos, obliga a reducir C_v, y con ella la geometría del varactor, que a su vez repercute en una redución proporcional de los límites máximos y mínimos de capacitancia, y con ellos, del rango de sintonía posible.

En el cálculo del modelo presentado se asume un alto factor de calidad para el varactor ($Q > 50$). Esta característica se mantiene válida, siempre que se conozcan las condiciones geométricas lo garantizan. Según [60], la resistencia serie a la compuerta

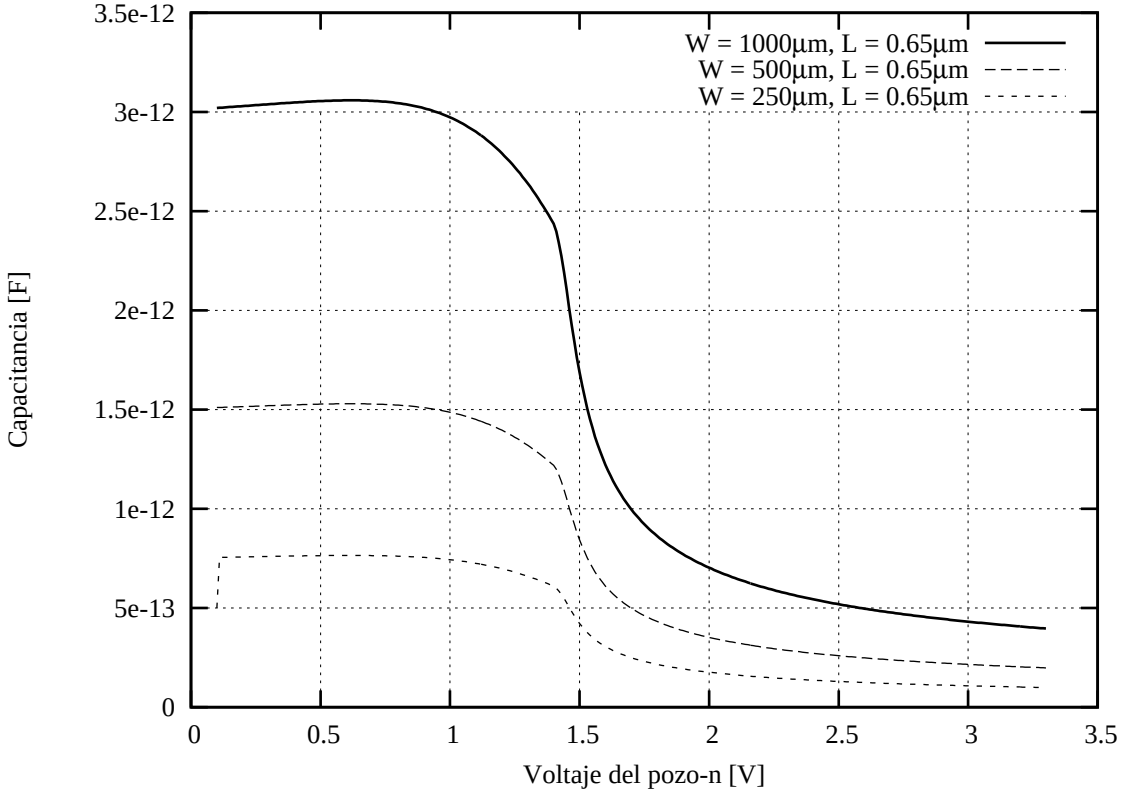

Figura 3.21: Proporcionalidad de la capacitancia respecto al área de compuerta

del varactor se aproxima a:

$$R_s = \frac{1}{12N} \cdot \left(R_{nw,\square} \cdot \frac{L}{W} + R_{poli,\square} \cdot \frac{W}{L} \right) \tag{3.6}$$

$$R_s = \frac{1}{12 \cdot A} \cdot \left(R_{nw,\square} \cdot L^2 + R_{poli,\square} \cdot W^2 \right) \tag{3.7}$$

donde $R_{nw,\square}$ es la resistencia del pozo-n (obviando su dependencia respecto a la tensión de pozo), $R_{poli,\square}$ la resistencia de polisilicio, y A es el área del varactor. Debido a la dominancia de R_{nw}, la resistencia en serie está fuertemente influenciada por la longitud del canal. Con ello, el factor de calidad:

$$Q_v = \frac{1}{\omega C R_s} = \left[\frac{\omega \cdot c_{unidad}}{12} \cdot \left(R_{pozo-n,\square} \cdot L^2 + R_{poli,\square} \cdot W^2 \right) \right]^{-1} \tag{3.8}$$

estará influenciado favorablemente por una reducción en la longitud de canal.

3.3.3. Estrategia de selección del varactor integrado

La escogencia del varactor se basa en la selección de la geometría que permita ubicar la capacitancia central en medio de la región lineal de la característica C-V. Como se mencionó, el punto medio es característico para cada área de compuerta, así como el rango de excursión lineal de la capacitancia.

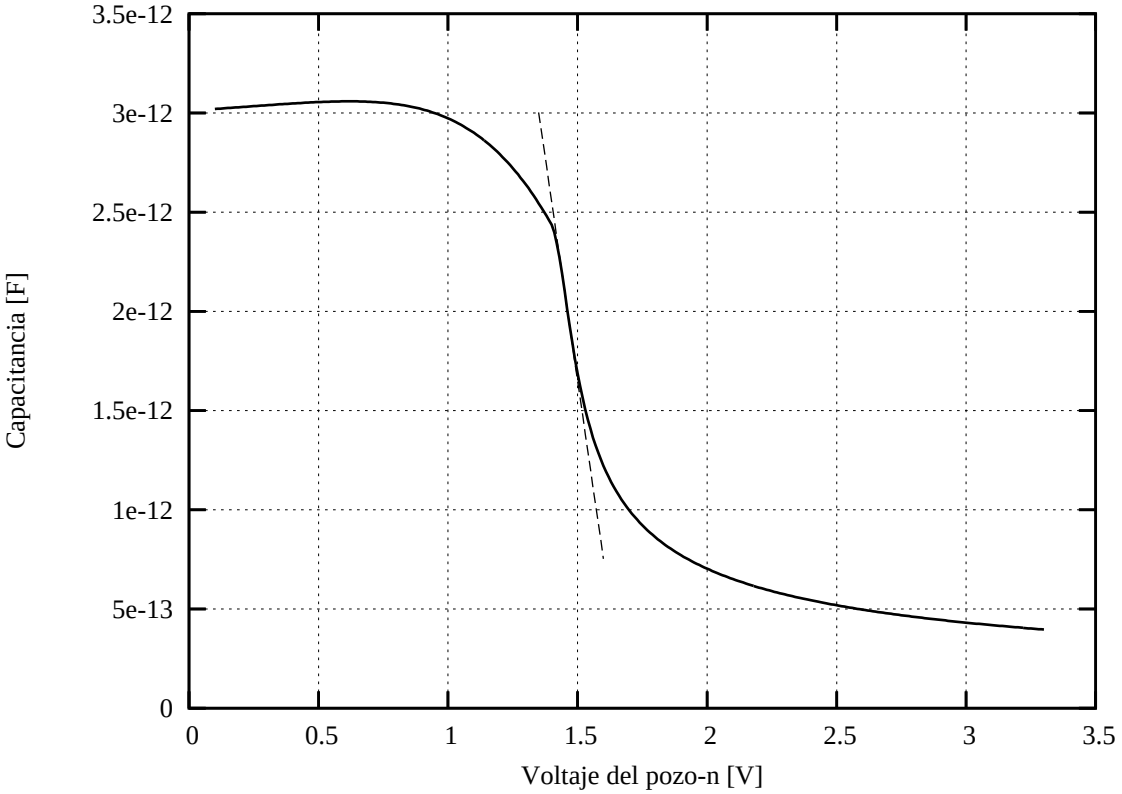

Figura 3.22: Aproximación de la zona lineal

Definir una estrategia de diseño para el varactor requiere conocer cómo están definidos parámetros de fabricación como la movilidad, concentración de los portadores, voltajes de umbral, etc; como se definen en la sección A.4. Por otro lado, adoptar un modelo circuital dado por un fabricante para el varactor asegura la concentración de los anteriores parámetros en un equivalente circuital, sobre el cual se aplican señales de tensión y se verifican valores de capacitancia, con ayuda de un *software* de simulación, con la certidumbre que tales desempeños se aproximan a los medidos experimentalmente.

Para este caso, se aplica el modelo de varactor *CVAR*, ofrecido por AMS. Este modelo asume el varactor como el circuito que se ilustra en la figura 3.26, donde R_A y D_A son la resistencia y el diodo debidos a la unión de sustrato con pozo-n, R_{sw} y D_{sw} la resistencia y el diodo debidos la unión lateral, L_G y R_G son la inductancia parásita y la resistencia de compuerta, y R_{o1} y R_{o2} previenen el incremento abrupto de la capacitancia en región de inversión ocurrida en el transistor PMOS (figura 3.18).
Simulaciones realizadas sobre dimensiones ajustadas para este modelo de varactor (W=1000μm : máximo recomendado, L=0.65μm : ancho fijo recomendado), arrojaron que un valor de capacitancia máxima de 3.06 pF y mínima de 0.396 pF. La capacitancia del punto de máxima pendiente ($-9 \cdot 10^{-12} \frac{F}{V}$), es 2.1 pF, correspondiendo a una tensión $V_{BG} = -0{,}05V$. Para esta geometría se estima una región lineal desde 1.37 pF hasta 2.44 pF, con una capacitancia central de 1.9 pF para una $V_{BG} = -0{,}03V$.

Debido a que la capacitancia decrece en la misma proporción que el área de compuerta del varactor, W_v es escalable a dimensiones menores para ajustar la capacitancia central a la frecuencia de oscilación. Para ilustrar cómo, asúmase despreciable la capacitancia de los elementos activos pronosticada en la sección 2.4.1, es decir, que

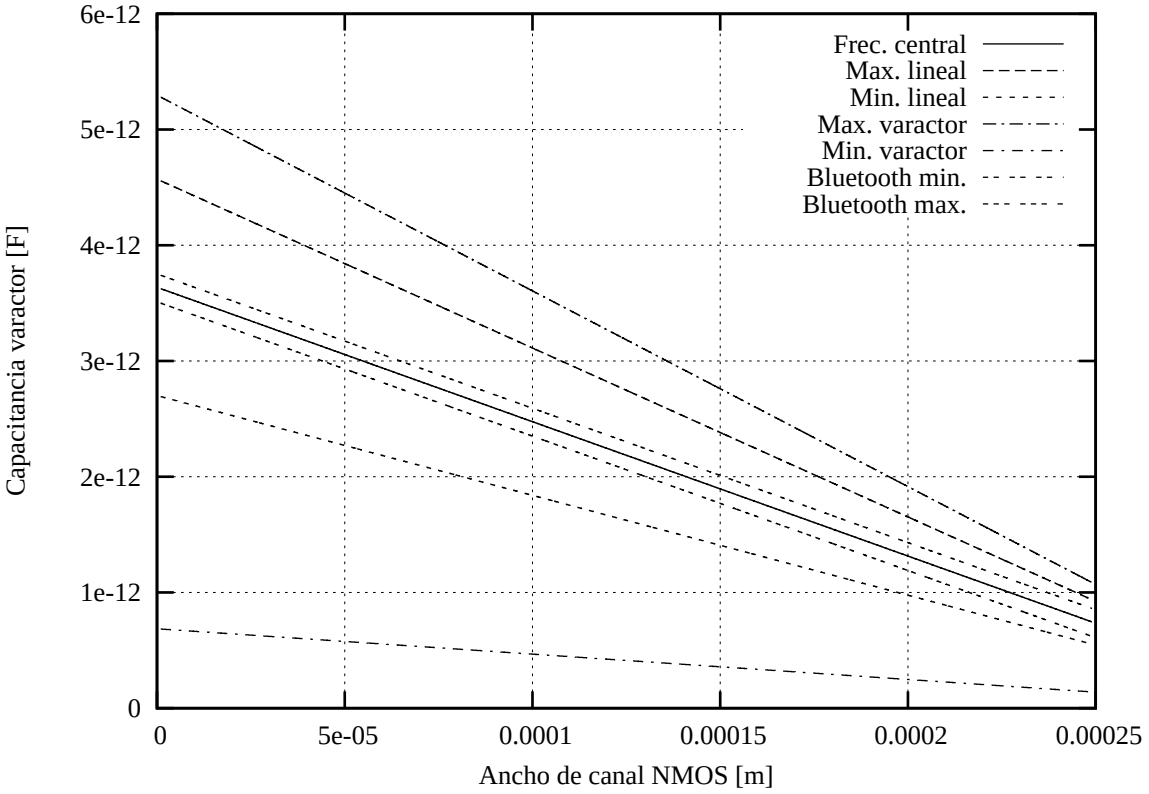

Figura 3.23: Relación de capacitancias de varactor contra ancho de canal NMOS, aplicando inductancia de 1.17 nH

$\omega^2_{central} = (L \cdot C_{v,central})^{-1}$. Aplicando la inductancia hallada de 1.17 nH, y la frecuencia central de 2.44 GHz, se estima una capacitancia de varactor de 3.64 pF. Este valor supera el límite máximo dado por la estructura de mayor ancho permitido, por tanto, debe disponerse dos varactores (W=1000μm, L=0.65μm) en paralelo a cada lado del resonador, cada un de los cuales ajusta su geometría para que el punto central de la región lineal coincida con 1.82 pF. Retomando la proporcionalidad entre área de compuerta y capacitancia, se formula la siguiente proporción:

$$\frac{1{,}9 \cdot 10^{-12}}{1000\mu m \cdot 0{,}65\mu m} = \frac{1{,}82 \cdot 10^{-12}}{W \cdot 0{,}65\mu m} \tag{3.9}$$

$$W = 957{,}9\mu m \tag{3.10}$$

donde los extremos de la región lineal se obtienen:

$$\frac{2{,}44 \cdot 10^{-12}}{1000\mu m \cdot 0{,}65\mu m} = \frac{C_{máx,lineal}}{957{,}9\mu m \cdot 0{,}65\mu m} \tag{3.11}$$

$$\frac{1{,}37 \cdot 10^{-12}}{1000\mu m \cdot 0{,}65\mu m} = \frac{C_{mín,lineal}}{957{,}9\mu m \cdot 0{,}65\mu m} \tag{3.12}$$

$C_{máx,lineal}$ = 2.33 pF, y $C_{mín,lineal}$ = 1.31 pF. Las frecuencias extremas del estándar *Bluetooth*, representan capacitancia máxima y mínima de 3.7 pF y 3.5 pF respectivamente, o 1.85 pF y 1.75 pF para cada varactor en paralelo. De allí se observa que la

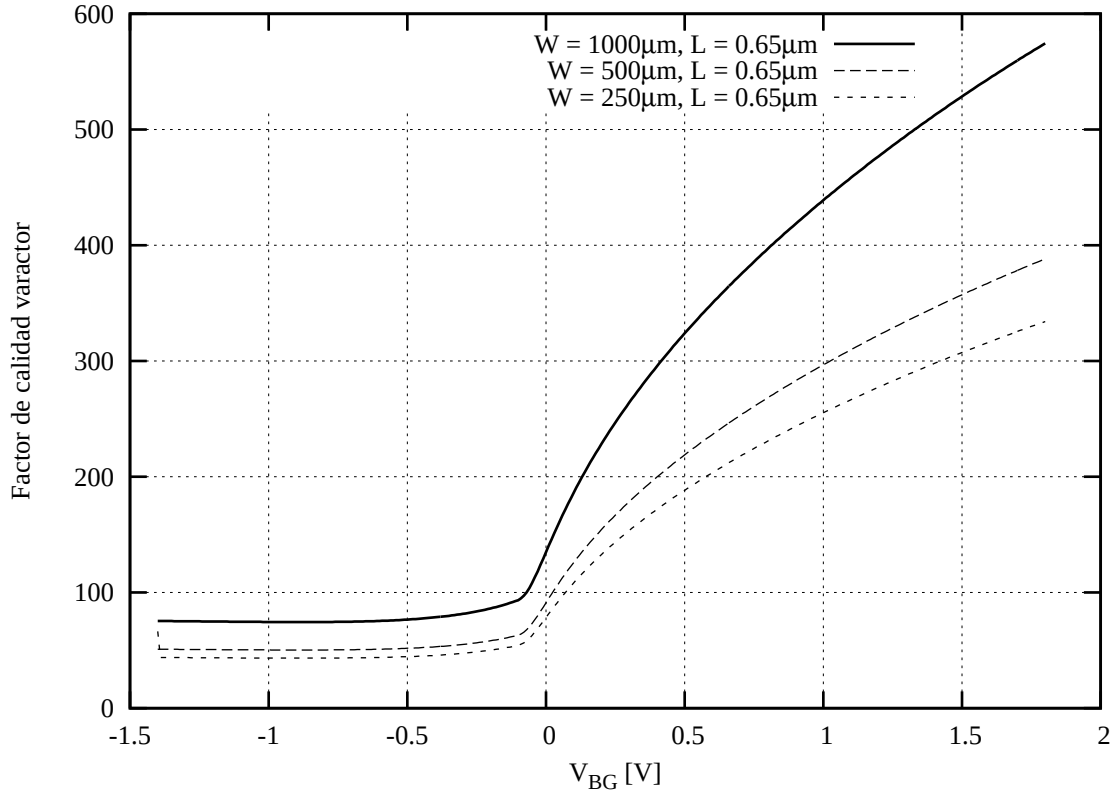

Figura 3.24: Factor de calidad del varactor respecto V_{BG}, para diferentes anchos de compuerta.

región lineal dada por el arreglo en paralelo de la capacitancia satisface holgadamente el requisito de rango de sintonía, incluso dando la apariencia de un sobredimensionamiento innecesario. Si bien este el rango de excursión de la capacitancia es reducido, la frecuencia media, para una inductancia de 1.17 nH, exige un valor de capacitancia importante.

Teniendo en cuenta las capacitancias parásitas de los elementos activos, las cuales se consideran fijas dentro de una zona de operación, la capacitancia central exigida al varactor puede reducirse sustancialmente, y con ella el ancho de la compuerta, cuya reducción, como se ilustra en la figura 3.24, desfavorece el factor de calidad del varactor. La importancia de aplicar una estrategia de diseño para el varactor, consiste en adaptar un comportamiento caracterizado para este elemento, y disponerlo tal que permita el rango de sintonía propuesto dentro de la zona máximamente lineal, una vez la estrategia de diseño global del oscilador estime las dimensiones de los transistores.

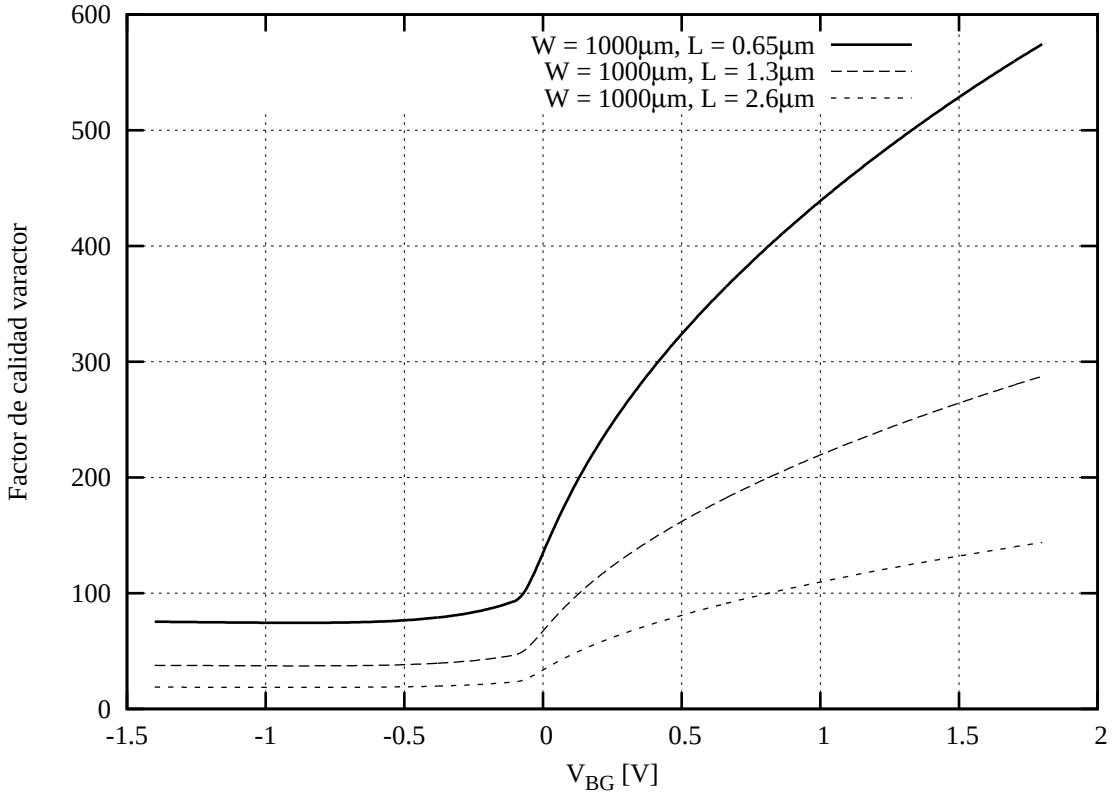

Figura 3.25: Factor de calidad del varactor respecto V_{BG}, para diferentes longitudes de compuerta.

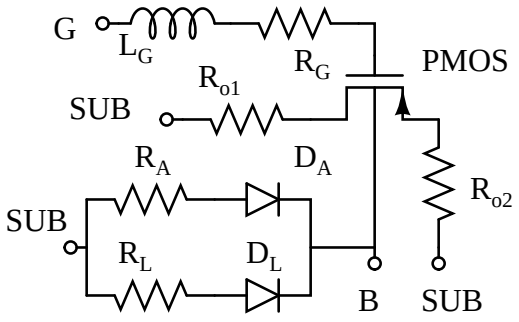

Figura 3.26: Esquema circuital de varactor asumido por AMS

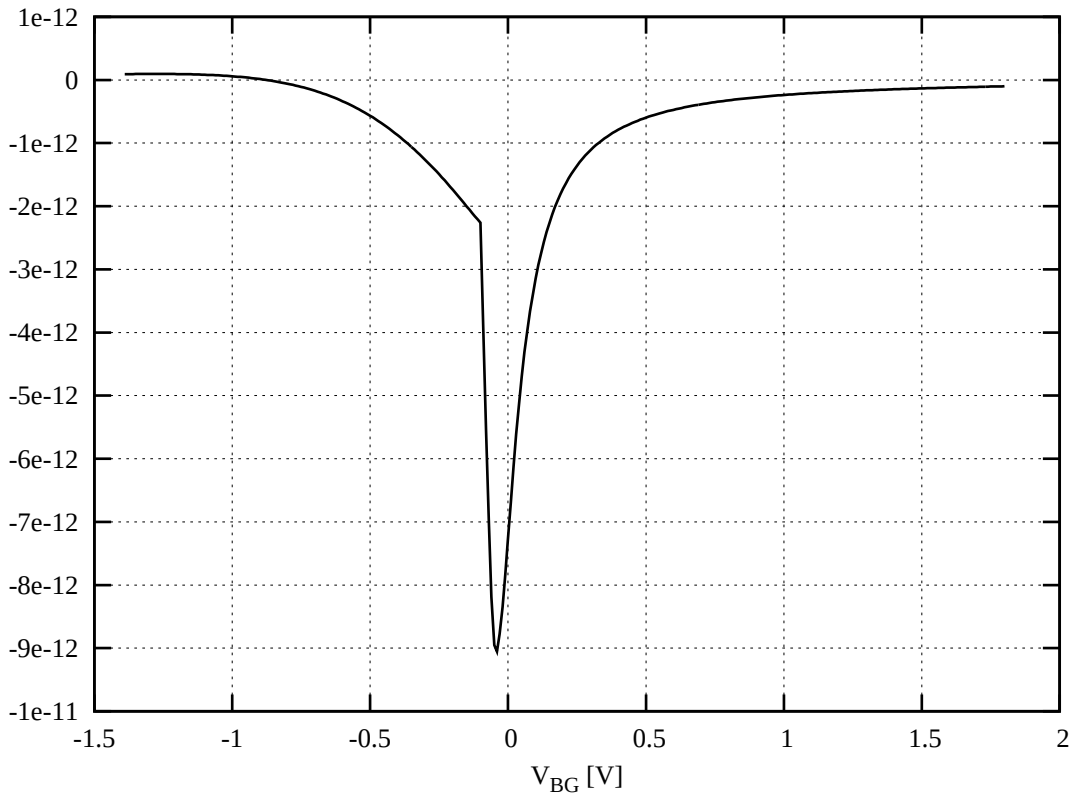

Figura 3.27: Diagrama de pendientes capacitancia/voltaje para varactor con W=1000μm, L=0.65μm.

Capítulo 4

Diseño del VCO complementario

4.1. Introducción

En capítulos anteriores se discutió acerca de la conveniencia de seleccionar elementos pasivos que ofrecieran pérdidas mínimas. El modelo propuesto en la sección 2.2, sugiere la influencia de los elementos activos a través de la transconductancia "negativa". Esta característica depende directamente de la transconductancia de los transistores, y por ende, de la selección de corrientse de operación, ancho de canal, y parámetros de proceso. Después de fijar estos últimos a los valores propuestos por AMS para el proceso C35B4C3, las características geométricas de los transistores, asi como las tensiones y corrientes de polarización deben comprometerse para hallar un punto de operación que, dadas las especificaciones de diseño, satisfaga condiciones como arranque del oscilador y frecuencia de operación. Estos compromisos, planteados en la sección 2.4.1 por medio de un método gráfico, describen lugares geométricos en el espacio C-W, donde se satisfacen las especificaciones dadas en presencia de una corriente y un inductor.

El capítulo anterior sentó la importancia de establecer una estrategia de selección para inductores planares, que se enfocó en encontrar el inductor que calculara el menor ruido de fase. Posterior a esta selección, el diseño continúa con selección de la geometría de los transistores para constituir el oscilador bajo las condiciones expuestas en capítulos anteriores. Alternativa a la aplicación de la estrategia de diseño presentada para el inductor, el diseño práctico de osciladores obvia el barrido sobre el extenso espacio de alternativas que ofrezca el inductor planar, y se focaliza en la selección a partir de unos pocos ejemplares disponibles y caracterizados por el fabricante. Tanto para el caso donde el inductor sea detalladamente seleccionado, como para el caso donde sea propuesto, una estrategia de diseño global debe plantearse con el fin de verificar la adaptabilidad del resonador con los elementos activos, bajo las especificaciones dadas para el oscilador. La adaptabilidad de diferentes componentes exige una negociación de restricciones como el consumo de potencia[1], con el fin de satisfacer en lo posible aquellas que si son obligatorias, como el ruido de fase y el rango de frecuencia.

[1]En la sección 2.4.2 se propuso un consumo de potencia acorde con el estado del arte como punto de partida para la corriente de operación.

4.2. Estrategia de diseño

El conjunto de pasos que debe seguir la selección de las variables de diseño, constituye la estrategia de diseño. Inicialmente, el oscilador controlado por voltaje debe contextualizarse dentro de un sistema de comunicaciones adaptando las especificaciones dadas por un estándar, o por requisitos que le imponga el sistema (por ejemplo, acople de señal, consumo de potencia, etc). El diseño propuesto en este trabajo sigue las directrices que indica el estándar *Bluetooth* (IEEE 802.11b) para el oscilador controlado por voltaje, como son frecuencia máxima (2.483 GHz), frecuencia mínima (2.402 GHz), y ruido de fase (-128 dBc/Hz a 3 MHz). A partir de allí, diversas combinaciones de las variables de diseño podrían satisfacer los criterios planteados.

4.2.1. Selección del inductor

Después de asumir las especificaciones del estándar, y algunas restricciones del espacio de diseño, la metodología debe iniciar con la selección del inductor integrado, ya sea modelado u ofrecido por el fabricante. Debido a la importante influencia de esta estructura en la aparición de pérdidas de energía en el resonador LC, un presupuesto inicial de sus efectos hace coherente la posterior selección de los elementos activos que los contrarresten. El diseño del inductor está claramente influenciado por la búsqueda de mejores factores de calidad, representando menores pérdidas, mayor rango de excursión ante una corriente dada y menor ruido de fase en operación *limitada por corriente* (sección 2.4.2).

Por otro lado, el inductor ofrecido por el fabricante expone una geometría fija. Para estos inductores, la elección de la corriente inicial se basa en el ruido de fase calculado a partir del factor de calidad mostrado. Ya que la estrategia de diseño global desconoce de antemano el inductor que será sometido por este medio, la corriente inicial puede representar un consumo de potencia dentro del rango propuesto por el estado del arte, o por el contrario, devengar valores mayores, dependiendo del factor de calidad que presente en la frecuencia de operación.

Para el diseño que propone este trabajo, el inductor fue seleccionado aplicando los criterios formulados en la sección 3.2.3. La inductancia arrojó un valor de 1.17 nH, con un factor de calidad Q de 2.7 a 2.44 GHz (frecuencia central del estándar aplicado).

4.2.2. Selección de elementos activos y varactor

Considerando el bajo factor de calidad de los inductores planares comparado con el alto factor de calidad de los varactores MOS, las pérdidas en el resonador LC son atribuibles principalmente al primer elemento. Posterior al diseño del inductor y la estimación de su transconductancia parásita, la selección de las dimensiones de los transistores *centrales* ajusta la transconductancia negativa, necesaria para alcanzar oscilaciones estables.

A partir de las relaciones indicadas en la sección 2.4.1, se establce un espacio C-W para una corriente de operación de 4.5 mA, y un inductor con $L = 1{,}17$nH, y factor de calidad 2.7. Aplicando un factor de arranque $\alpha = 3{,}0$, los lugares C-W que satisfacen las relaciones se ilustran en la figura 4.2. El punto donde la recta de *frecuencia* coincide con la recta de *arranque* corresponde a un ancho NMOS de 240μm. Con el fin de facilitar

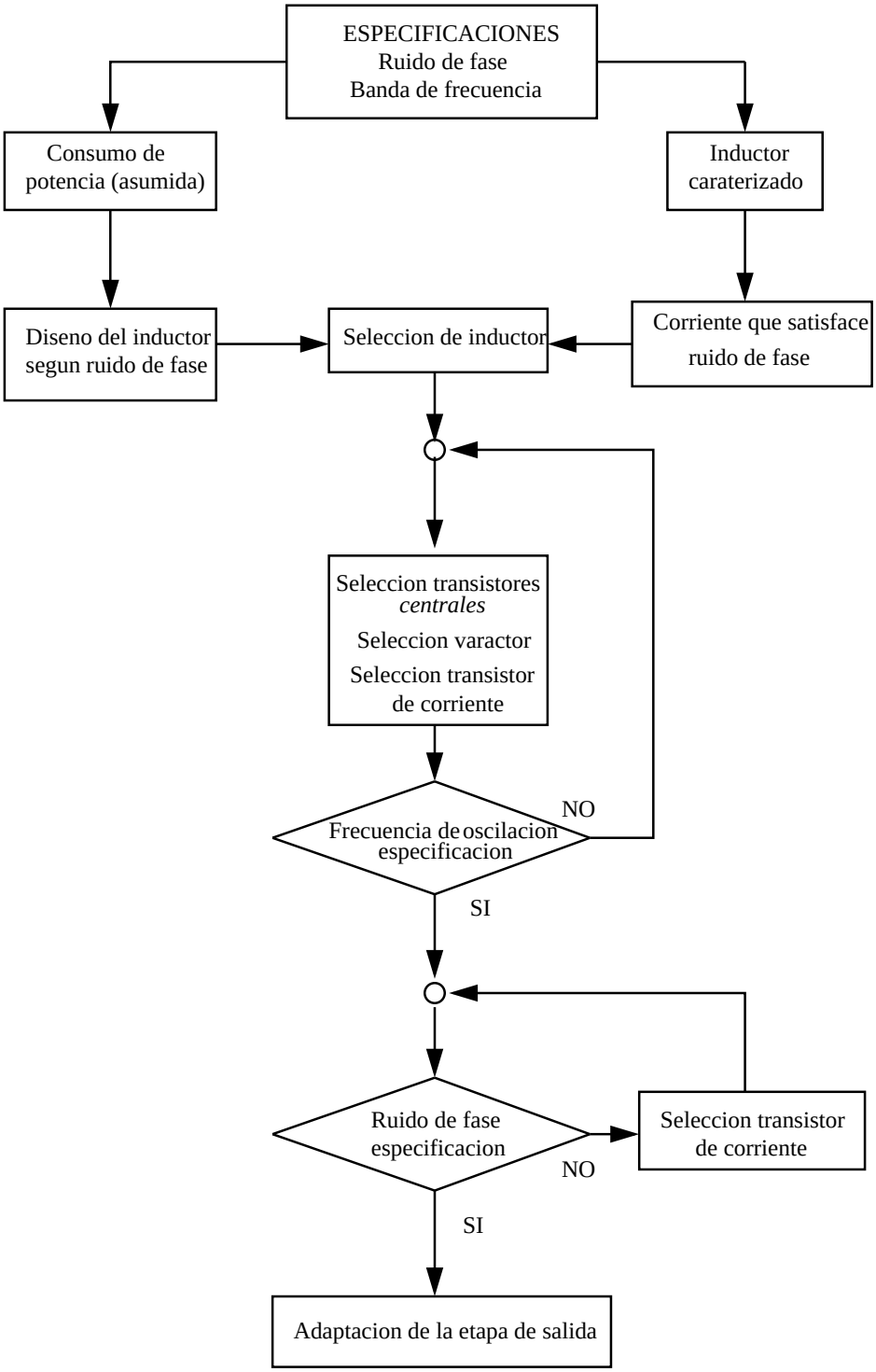

Figura 4.1: Estrategia propuesta para diseño de oscilador controlado por voltaje.

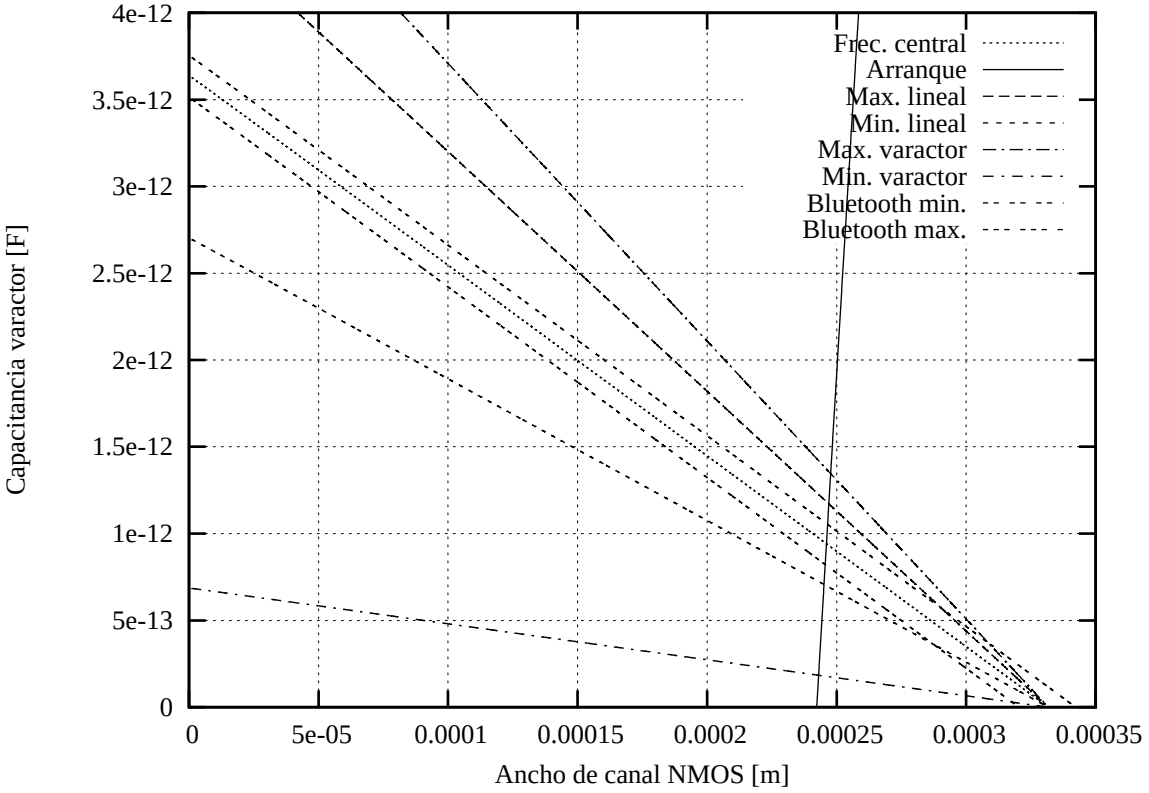

Figura 4.2: Relación C-W para $I_{operación} = 4{,}5$mA, L = 1.17 nH, Q = 2.7. Se ilustra el lugar geométrico de la capacitancia central, mínima y máxima del varactor, junto a la capacitancia máxima y mínima de la región lineal, y las correspondientes a las frecuencias extremas del estándar *Bluetooth*.

la simetría de la señal oscilante, el ancho para los transitores PMOS se fija μ_{0n}/μ_{0p} veces el ancho escogido para los NMOS. En este caso, un factor de 4.75 relaciona tales dimensiones, que junto con la búsqueda de simetría, es condición favorable para la reducción del ruido $1/f^3$ [53, 55]. Para esta selección, se estima una capacitancia media de varactor de 0.945 pF, calculada para $W_v = 448\mu$m, y $L_v = 0{,}65\mu$m.

Debido a la capacitancia párasita mostrada por los elementos activos, el aporte que le corresponde al varactor disminuye con el incremento de W_n. Por esta razón, la elección del varactor está supeditada a la selección realizada sobre la geometría de los transistores *centrales*. En la figura 4.2 se identifican los lugares C-W para la capacitancia máxima y mínima ofrecida por el varactor. Esta relación se desprende del hecho que la capacitancia del varactor es proporcional a su geometría. Como se discutió en la sección 3.3.2, una única capacitancia central para una tensión $V_{BG} = 0$ identifica cada geometría de varactor. Así, cada ancho W_n corresponderá a un único varactor, donde la capacitancia indicada por la recta de *frecuencia* señala la capacitancia central en la zona lineal. Si las pérdidas en el resonador llegasen a exigir mayores amplitudes del canal NMOS, el rango de capacitancia variable se reduciría, incluso por debajo del rango mínimo exigido por la banda de frecuencia del estándar aplicado, y debe replantearse la inductancia hacia valores menores, sin olvidar la búsqueda de los mejores factores de calidad posibles.

En la figura 4.2 se presenta la tendencia de la capacitancia central del varactor en la

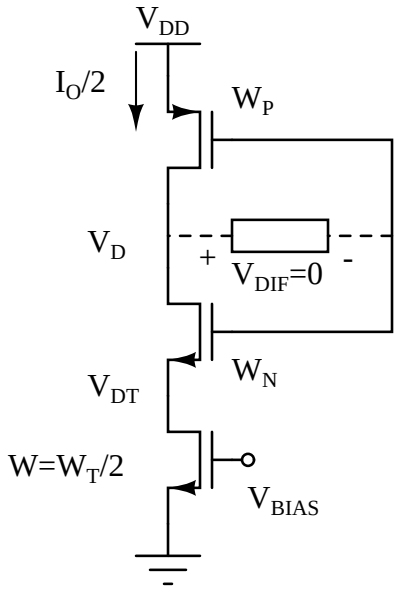

Figura 4.3: Esquema simplificado para el cálculo de las tensiones con $V_{DIF} = 0$

recta *Frec. central*. El lugar C-W donde *Arranque* coincide con *Frec. central* corresponde a $W_n = 246\mu m$ (que se ajusta a $W_n = 240\mu m$ atendiendo restricciones de *layout*[2]), con una capacitancia central C_v de 0.946 pF, correspondiente a $W_v = 448\mu m$. Así como se formulan las anteriores dimensiones, debe indicarse una tensión para la señal de control, que ubique la capacitancia del varactor en la región especificada (sección 3.3.2). Con el fin de estimar la tensión control central, es importante conocer cómo afecta la selección de W_n en el desplazamiento del punto medio de polarización sobre los nodos de salida.

El aumento del ancho del canal de los transistores *centrales*, y el consecuente escalamiento de la transconductancia, desplaza el punto medio de polarización, tanto en el nodo de salida como en el drenador del transistor de *corriente*. Para estimar este desplazamiento, se considera el punto donde la tensión entre los nodos de salida es cero, y el flujo de corrientes por el circuito es simétrico, simplificando su análisis con el circuito mostrado en la figura 4.3. La tendencia de estas tensiones cuando $V_{DIF} = 0$, respecto al ancho de canal NMOS, se ilustra en la figura 4.4. Las tensiones son desplazadas hacia valores superiores a medida que la transconductancia de los transistores *centrales* aumenta. A partir de la tendencia mostrada por la tensión *modo común* de salida, la tensión de control para el varactor se fija alrededor de 2.4 V ($V_{BG} \approx 0$ en la zona media lineal de C_v).

La variación del voltaje *modo común* sobre el drenador del transistor de *corriente* (V_{DT}) hace pensar acerca de la influencia que tendría esta tensión en el flujo de la corriente de operación del oscilador. Aplicar un transistor operando en región de saturación, como transistor de *corriente*, reduce la dependencia del flujo de corriente respecto a variaciones de la tensión drenador–fuente. Esta característica no solo permite mayor estabilidad en el consumo de corriente en operación dinámica (donde la tensión de drenador oscila alrededor de V_{DT} con una frecuencia de $2 \cdot f_0$), sino que permite su utilización sobre una amplia variedad de W_n, cuando la exploración de un punto de

[2]El modelo para el transistor RF propuesto por *Austria Micro Systems* recomienda segmentar el canal cada $10\mu m$ o $5\mu m$.

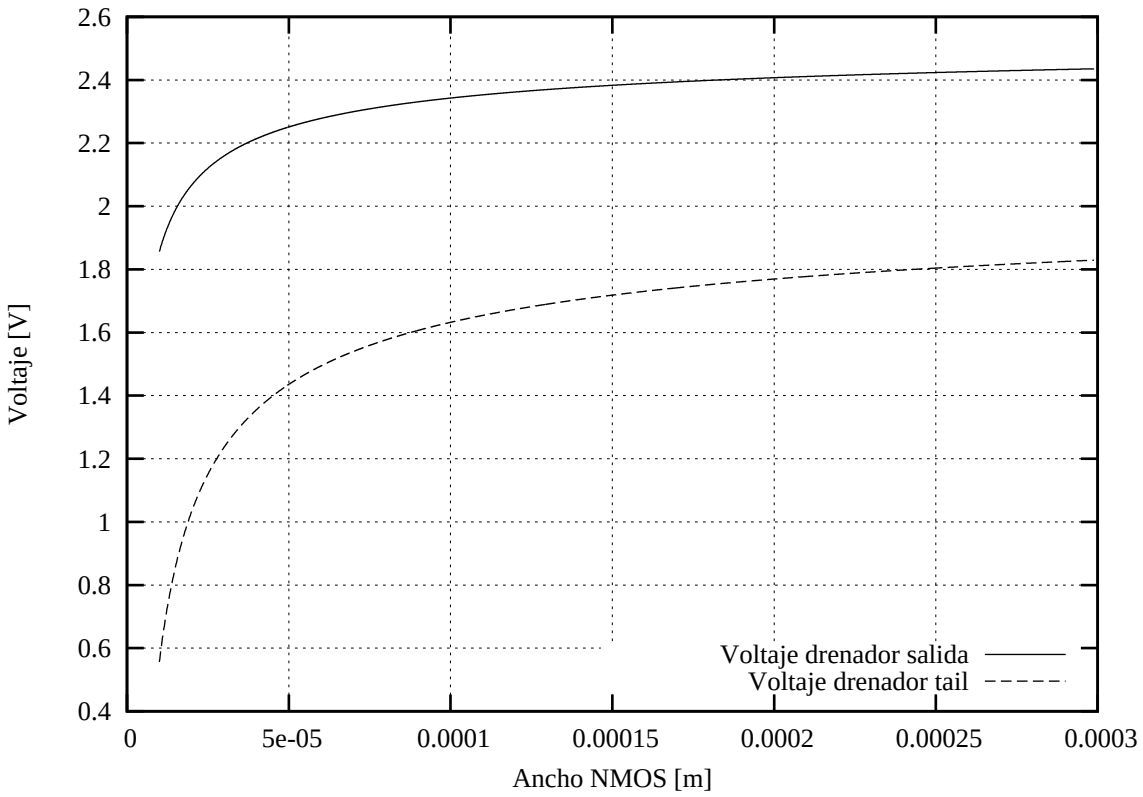

Figura 4.4: Voltajes de polarización para $V_{DIF} = 0$, respecto al ancho de canal NMOS, con $I_{operación} = 4{,}5\text{mA}$

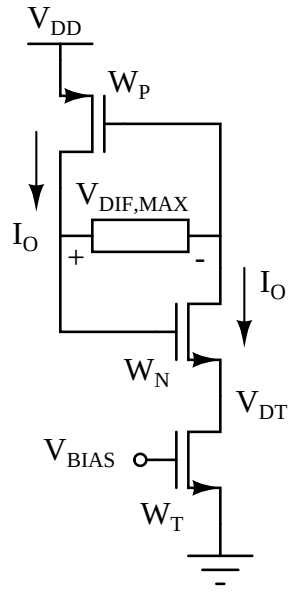

Figura 4.5: Esquema simplificado para el cálculo de las tensiones con $V_{DIF,MAX}$

oscilación demande un barrido sobre tales dimensiones. La realimentación indicada en la figura 4.1 para los elementos activos se propone en aras del anterior cometido, y no necesariamente obliga un replanteamiento paulatino del transistor de *corriente*.

Para conservar la operación en región de saturación, la tensión de compuerta no debe superar al voltaje del drenador en V_{TN} volts. Conocer la tendencia de V_{DT} respecto W_n facilitará la identificación de una tensión V_{BIAS} que permita la operación en saturación del transistor de *corriente*. Para estimar este comportamiento se asume el esquema circuital mostrado en la figura 4.5, que considera $V_{DIF,MAX} = I_{operación/g_{tanque}}$. La figura 4.6 ilustra la tendencia calculada para V_{DT}, contrastando la situación donde $V_{DIF} = 0$ con aquella donde V_{DIF} sea máxima. Para un amplio rango de W_n, se observa que la tensión V_{DT} correspondiente a $V_{DIF} = 0$ es menor, constituyéndose en la tensión de referencia para la elección de V_{BIAS}.

La elección de mayores tensiones compuerta–fuente, reduce el efecto *mismatch* que tiene sobre la corriente las variaciones en el proceso de fabricación [8]. Atender este criterio en la elección de V_{BIAS}, beneficia la estabilidad de la corriente de operación, y reduce las perturbaciones de amplitud, cuya modulación representa ruido de fase en la banda $1/f^3$. Así mismo, la ampliación de la tensión compuerta–fuente podría incidir en la reducción de la densidad espectral de ruido blanco. Según [61], la densidad espectral de ruido blanco para la corriente en saturación e inversión fuerte, se aproxima a:

$$S_{iw} = 4kT \cdot \left[\frac{2}{3} \cdot \frac{W}{L} \cdot \mu C_{ox}(V_{gs} - V_T)\right] \tag{4.1}$$

que con $I_{operación}$ fija, se aproxima a que:

$$S_{iw} \propto \frac{I_{operación}}{(V_{gs} - V_T)} \tag{4.2}$$

Para una corriente dada, un aumento de la tensión compuerta–fuente favorece la reducción de la densidad espectral de ruido. Así mismo, según (4.1), la ampliación de

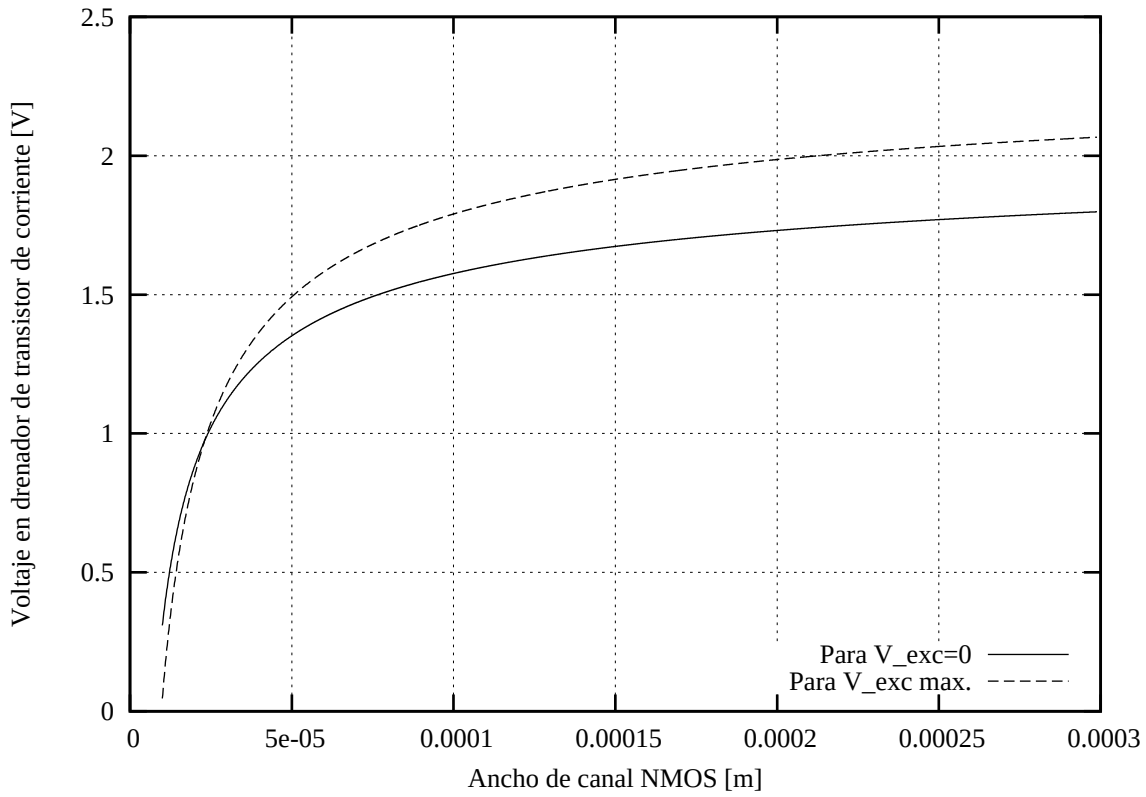

Figura 4.6: Relación calculada entre tensión V_{DT} y ancho de canal NMOS, para $V_{DIF} = 0$ y V_{DIF} máximo, con $I_{operación} = 4{,}5\text{mA}$, $L = 1{,}17\text{nH}$, y $Q = 2{,}7$

la longitud del canal reduciría S_{iw}. Sin embargo, un aumento de L_n trae consigo una reducción de la frecuencia de ganancia unitaria del transistor pronunciando los fenómenos de ruido que se pretenden conjurar. Por otro lado, definir la longitud de canal como *canal corto*, acentúa los efectos adicionales ocasionados por la modulación de canal, teniendo especial repercusión en el potencia del ruido. Adaptar una estrategia de diseño para valores precisos de la densidad espectral de ruido en función de la geometría del transistor requiere de modelos matemáticos más complejos que no serán tratados en este trabajo. Para obviar los efectos de canal corto en el transistor de *corriente*, y al mismo tiempo evitar una ampliación innecesaria (quizás desventajosa) de la longitud de canal, se fija esta dimensión a $1{,}2\mu m$[3].

Con las anteriores selecciones para el ancho del canal NMOS ($W_n = 240\mu$m) y longitud de canal del transistor de *corriente*, y siguiendo la tendencia calculada para la figura 4.6, se fija un límite superior de 1.75 V para V_{BIAS}. Con este último, se estima[4] un ancho para este transistor (W_T) de 60μm. La estrategia de diseño contempla correcciones en el diseño del transistor de *corriente* ya sea para reducir la densidad espectral de potencia de ruido blanco aportada (si se aplicase modelo detallado), o para replantear la corriente de operación. Este último caso es el que pretende explorar la estrategia de diseño presentada, ya que una corrección de la corriente de operación varía la amplitud de V_{DIF} en operación *limitada por corriente*, ofreciendo por esta vía, la libertad de satisfacer la especificación del ruido de fase (ecuación 2.40). Contemplar la corrección de la corriente de operación, no puede dejar de lado la estimación del correspondiente desplazamiento de V_{DT}. La figura 4.7, calculada fijando $W_n = 240\mu$m, ilustra la tendencia calculada para V_{DT} respecto a la corriente de operación. A partir de allí se sugiere que un cambio en la corriente de operación va más allá de cambiar el ancho del canal, y podría involucrar una nueva elección de la tensión de compuerta, con el fin de mantener la operación en saturación.

4.2.3. Adaptación de la etapa de salida

Considerando la aplicación de la señal del oscilador a un mezclador, o a un terminal de salida para ser medida directamente, se incluye la adaptación de una etapa que acople la impedancia de salida del oscilador, con la impedancia de la carga. Modificar la impedancia de salida del oscilador desplazaría la frecuencia de oscilación, e incluso, podría significar un desvío de la señal de corriente, aumentando la transconductancia de los nodos de salida, y con ello, anular la condición de arranque del oscilador.

En la figura 4.8 se distingue una sencilla topología para acople de impedancia basada en un transistor en configuración fuente común degenerada inductivamente. Así, la impedancia equivalente a la entrada se aproxima a:

$$Z_{entrada} \approx \frac{1}{j\omega C_{gs}} + \frac{Lg_m}{C_{gs}} + j\omega L_s \tag{4.3}$$

Para cancelar la parte imaginaria de la impedancia, y con ello evitar la introducción de reactivos que desplacen la frecuencia de oscilación, L_s y C_{gs} son ajustdos para que resuenen a la frecuencia media de oscilación (2.44 GHz). Por otro lado, la parte real de la

[3] La transición de *canal corto* a *canal largo* es visible desde $L = 0{,}5\mu m$ [61]

[4] A partir de la corriente observada simulando el transistor individualemente, aplicando tensiones DC de compuerta y dreno de 1.75 V.

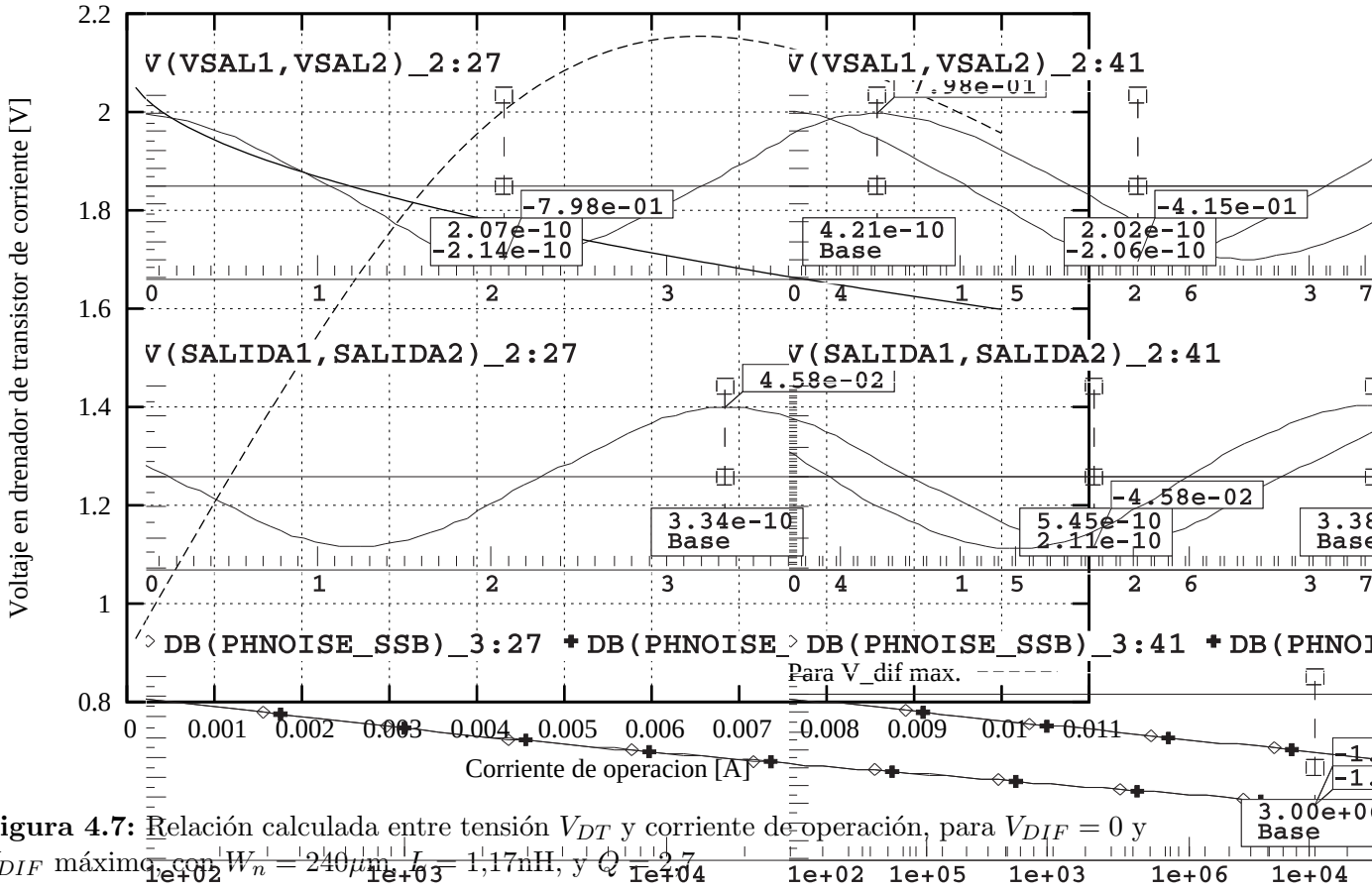

Figura 4.7: Relación calculada entre tensión V_{DT} y corriente de operación, para $V_{DIF} = 0$ y V_{DIF} máximo, con $W_n = 240\mu$m, $L_n = 1{,}17$nH, y $Q = 2{,}7$.

Figura 4.8: Esquema circuital de la etapa de acople básica PMOS y NMOS.

impedancia debe maximizarse, para evitar el aporte de transconductancia al resonador, sugiriendo un escalamiento de L_S, g_m o una reducción de C_{gs}. Por último, se busca que la impedancia mostrada por el nodo de salida sea real, por ejemplo 50Ω para acoplar con instrumentos de medida, buscando que L_D y C_D resuenen a la frecuencia de la señal.

Dado el importante nivel de modo común a la salida (2.6 V), la topología PMOS constituye la mejor elección como etapa de salida. Aplicar un transistor NMOS con esta tensión de compuerta demandaría un importante consumo de potencia. Podría sugerirse una reducción del ancho del canal para mitigar este consumo, sin embargo, menores dimensiones representa una menor capacitancia C_{gs} que obligaría un incremento de la inductancia, que como ya se mencionó, su implementación no es favorable a medida que aumente su magnitud. Aplicando PMOS a esta adaptación, se escoge un ancho de canal $W_A = 350\mu m$, con $L = 1{,}2\mu m$. Un inductor con $L_S = 3{,}08$nH, y $Q = 2{,}8$ se ubica en la fuente del transitor. Aprovechando esta misma elección para el inductor del drenador, se calcula que una capacitancia de 1.412 pF resuena junto con L_D a 2.44 GHz.

4.3. Aplicación de la estrategia de diseño

La estrategia de diseño expuesta en la figura 4.1 puede aplicarse para diferentes inductores. Considerando las especificaciones formuladas por el estándar *Bluetooth*, la estrategia se somete al caso donde el inductor caracterizado es dado por el fabricante, y se verificará su viabilidad en el alcance de las especificaciones formuladas para el oscilador.

Para este primer caso, se adopta uno de los inductores caracterizados por *Austria Micro Systems*, identificado como SP014S300D. La inductancia y factor de calidad extraídos a 2.4 GHz son 1.34 nH y 6.1 respectivamente. De allí, se estima una transconductancia de inductor aproximada de:

$$g_{inductor} = \frac{1}{2 \cdot 2{,}44 \cdot 10^9 \cdot 1{,}34 \cdot 10^{-9} \cdot 6{,}1} = 7{,}98 \cdot 10^{-3} \tag{4.4}$$

resultando la transconductancia de resondor:

$$g_{tanque} \approx \frac{g_{inductor}}{2} = 3{,}98 \cdot 10^{-3} \tag{4.5}$$

A continuación se estima la corriente de operación inicial que satisfaga el límite de ruido de fase. Aplicando las relaciones expuestas en la sección 2.4.1, el ruido de fase calculado respecto a la corriente se ilustra en la figura 4.9. Con una corriente de operación mayor que 2.5 mA el ruido de fase calculado es menor de -128 dBc/Hz. Con el ánimo de reducir el consumo de potencia, se aplica la menor corriente que satisfaga este límite. Fijando la corriente de operación inicial a 2.5 mA, junto a las características del inductor propuesto, se desarrolla la relación C-W que se ilustra en la figura 4.10. El punto C-W donde cortan las rectas *Frec. central* y *Arranque* es $W_n = 97{,}25\mu m$ y $C_v = 2{,}11$pF. El ancho del transistor es reajustado a $100\mu m$ facilitando la disposición de su *layout*, mientras que el ancho de compuerta del varactor (W_v) se corrige del ancho calculado ($1005\mu m$) al máximo valor recomendado por *Austria Micro Systems* ($1000\mu m$) para W_v. La tensión de control se establece alrededor de 2.3 V, observando la tensión en modo común indicada en la figura 4.11 para $W_n = 100\mu m$.

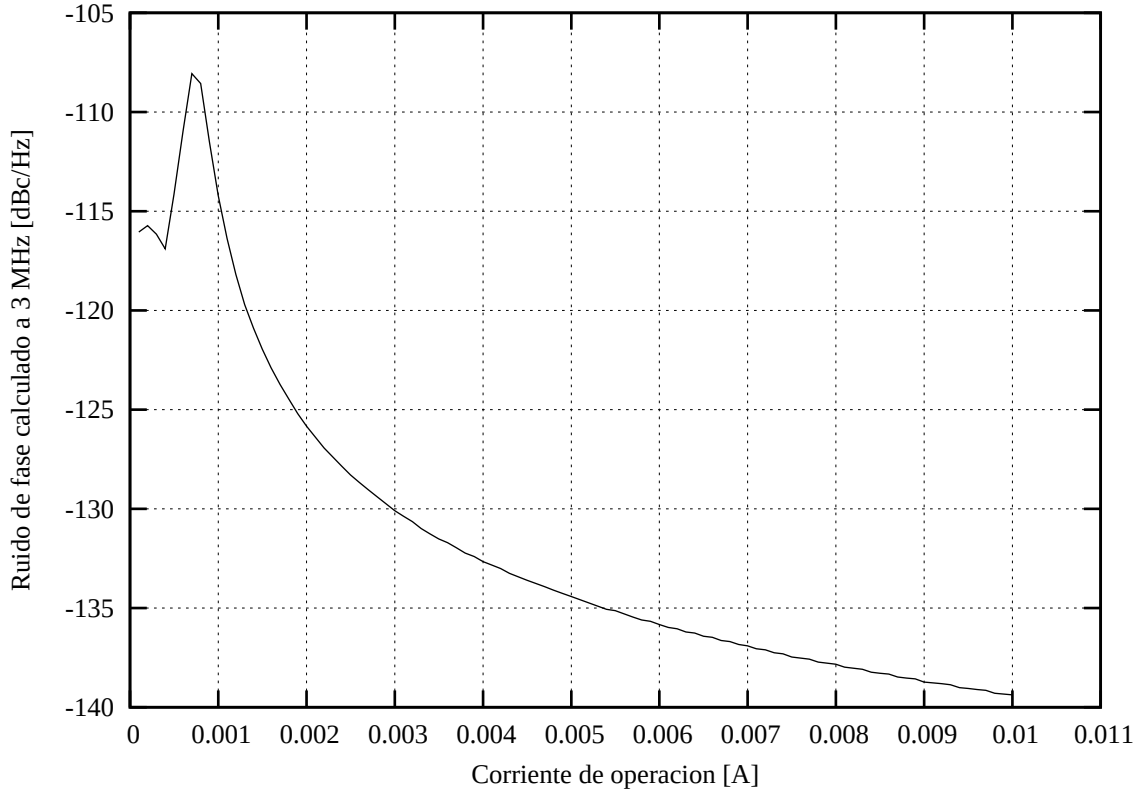

Figura 4.9: Tendencia del ruido de fase respecto la corriente de operación, para $L = 1{,}34$nH, $Q = 6{,}1$, $f_0 = 2{,}44GHz$

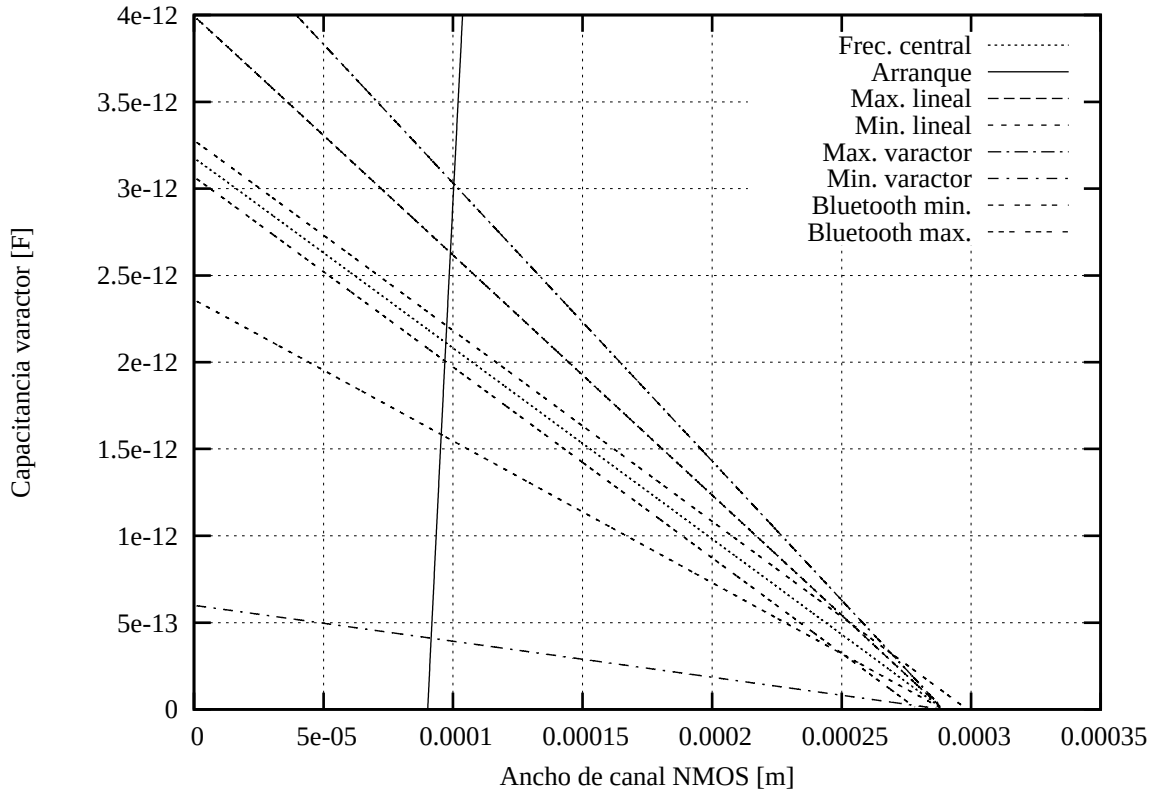

Figura 4.10: Relación C-W para $I_{operación} = 2{,}5$mA, $L = 1{,}34$nH, $Q = 6{,}1$

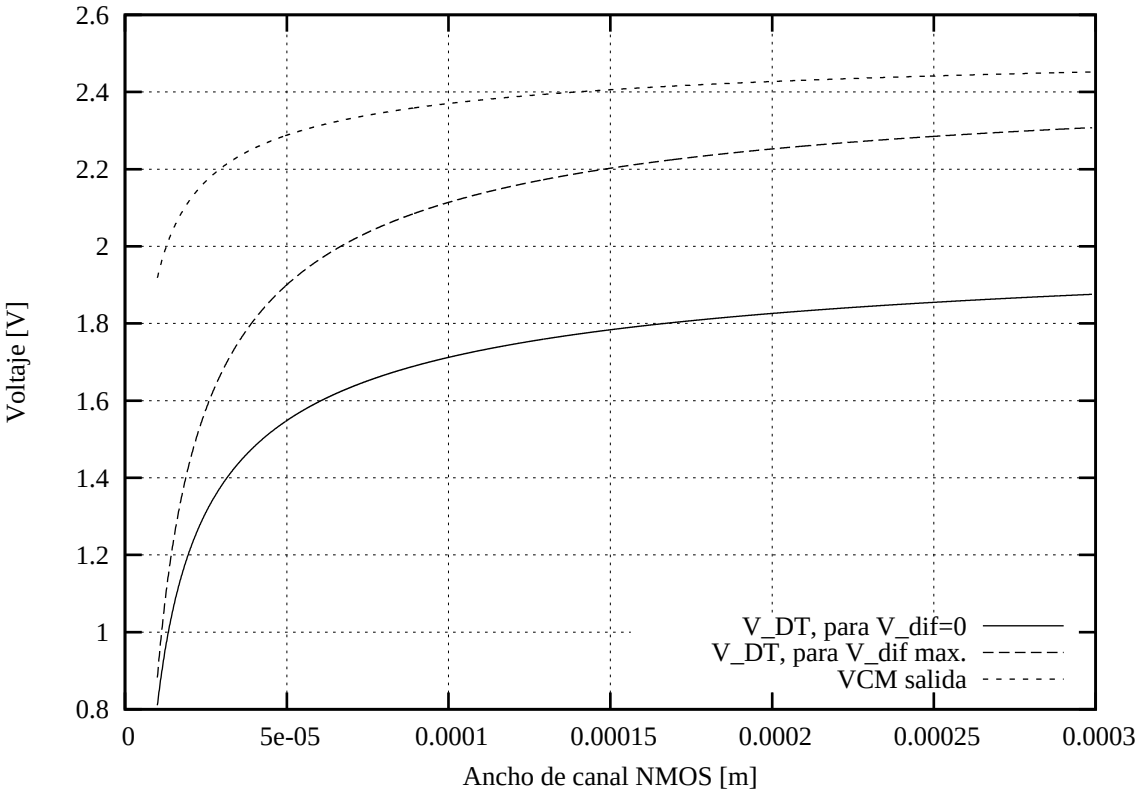

Figura 4.11: Relación calculada entre tensión V_{DT} y ancho de canal NMOS, para $V_{DIF} = 0$ y V_{DIF} máximo, con $I_{operación} = 2{,}5\text{mA}$, $L = 1{,}34\text{nH}$, y $Q = 6{,}1$

Para definir la tensión de compuerta del transistor de *corriente*, se verifica la tendencia de V_{DT} respecto al ancho de canal, dada la corriente de operación y las características del resonador. La figura 4.11 ilustra esta tendencia, arrojando $V_{DT} = 1{,}71$ V como la mínima tensión sobre este nodo, dado $W_n = 100\mu$m. Fijar la tensión de compuerta a este valor no solo garantiza la saturación, sino que ofrece un margen de V_{TN} volts hacia abajo para desviaciones de la tensión V_{DT} que se puedan presentar. A partir de estas condiciones de polarización, se encuentra que el ancho para este transistor es $35\mu m$[5].

4.4. Simulación y resultados

Aplicando ELDO versión 6.1, se verifican los anteriores compromisos de diseño. Para circuitos *autónomos* como el oscilador, ELDO provee instrucciones para el análisis de resonancia en estado estable, sin dejar de lado la importancia de aplicar análisis transitorio. Si bien obtener resultados para el análisis en estado estable, indica que las condiciones de oscilación están dadas, un análisis transitorio rinde cuenta acerca del tiempo de arranque, o de establecimiento para oscilaciones de amplitud estable.

Tanto la propuesta de diseño, como la aplicación de la estrategia de diseño con inductor caracterizado son sometidas a simulación, arrojando los resultados que se muestran a continuación. Para la propuesta de diseño, donde el inductor fue modelado, se fijaron las variables $L = 1{,}17$nH, $Q = 2{,}7$, $W_n = 240\mu m$, $W_T = 60\mu m$, $V_{BIAS} = 1{,}75$ V, $W_v = 448\mu m$, con una corriente de operación de 4.5 mA, y una tensión de control central de 2.4 V. Como lo plantea la estrategia ilustrada en la figura 4.1, la validación de tales elecciones se lleva a cabo verificando la ocurrencia de algunas condiciones. La primera de ellas, es la convergencia hacia una frecuencia de oscilación en el análisis de estado estable. La estrategia propone realimentar el caso desfavorable con una nueva geometría W_n, recordando el impacto de la transconductancia activa en la compensación de las pérdidas (ecuación 2.16). Una vez alcanzada la convergencia a un frecuencia, debe atenderse su valor para tomar los correctivos necesarios en la sintonía, reajustando la tensión de control del varactor. Debido a la notable sensibildad del varactor A-MOS operando cerca de $V_{BG} = 0$, un desplazamiento de tensión ajustaría la frecuencia de oscilación dentro de un amplio rango. Si bien esto puede ahorrar la redefinición de W_v, también desplaza el punto de capacitancia central hacia valores fuera de los requeridos por la banda de operación. Entre otras causas, la desviación de la capacitancia de varactor presupuestada también se atribuye a un escalamiento de la geometría del transistor de *corriente*. Sin embargo, los modelos empleados en el curso de la estrategia no contemplan una relación precisa para esta influencia, recomendando anchos W_T reducidos, y corrección con la tensión de control.

Con las variables fijadas, el análisis en estado estable converge para una frecuencia de oscilación de 2.429 GHz, que está comprendida en la banda de interés. En la figura 4.13 se registran las señales en el tiempo y el espectro del ruido de fase, obtenidas con Xelga versión 3.8. Para esta corriente de operación, el ruido de fase medido a 3 MHz de *offset* no satisface el límite de -128 dBc/Hz. Esta falla obliga realimentar este segundo criterio por la vía de un replanteamiento del transistor de corriente. Aprovechando la operación *limitada por corriente* donde la amplitud de la señal de tensión diferencial es proporcional a la corriente de operación, y basado en la dependencia formulada

[5]Dimensión encontrada en simulación, con $V_{DT} = 1{,}71$ V, $V_G = 1{,}71$ V, $L_T = 1{,}2\mu m$, $I_D = 2{,}5$mA

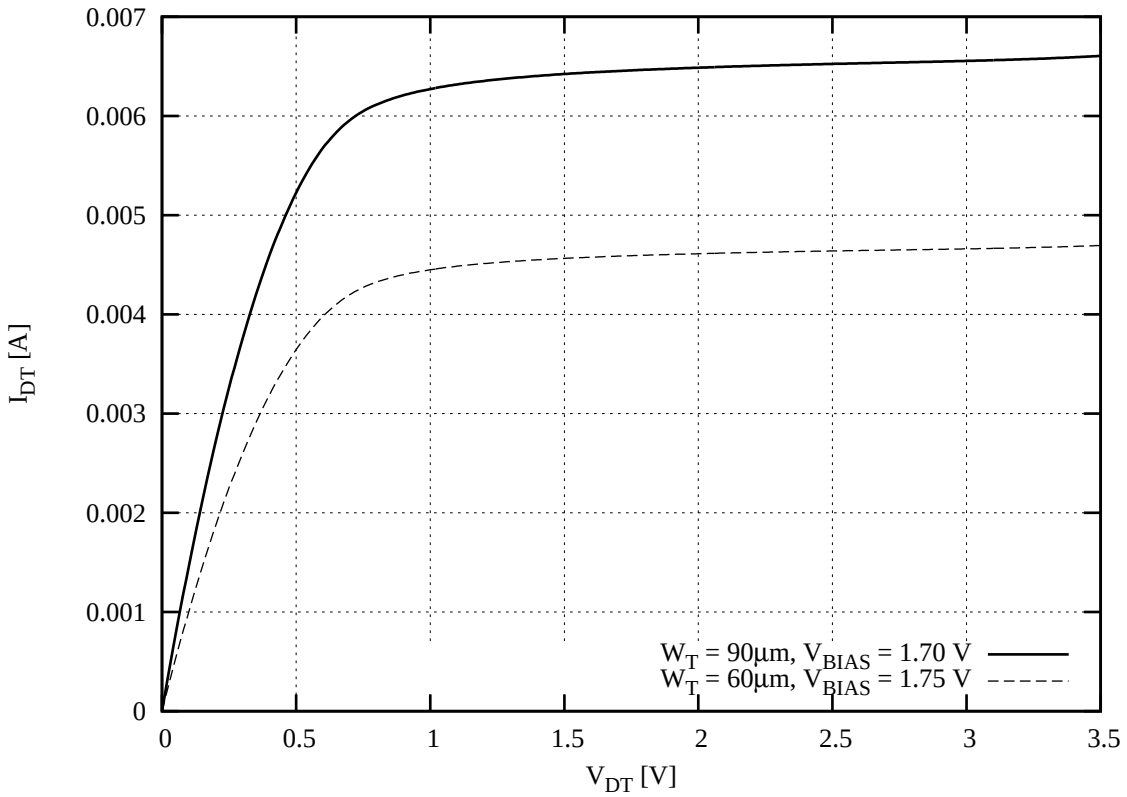

Figura 4.12: Alternativas consideradas para la elección del transistor de *corriente*. $L_T = 1{,}2\mu m$.

por (B.27) entre el ruido de fase y $I_{operación}$, un escalamiento de la corriente reduce el ruido de fase en proporción logarítmica. Así, para recuperar 5 dBc/Hz la corriente debe incrementarse aproximadamente 1.5 veces. Esta redefinición está soportada por un ensanchamiento del canal del transistor de *corriente*, obteniendo con ello un flujo de corriente de 6.75 mA. Un cambio en la corriente de operación puede desviar la tensión V_{DT}, tendencia calculada que se ilustra en la figura 4.7. Particularmente, $V_{DT,MIN}$ calculado se desplaza de 1.76 V a 1.70 V para una corrección de 4.5 mA a 6.75 mA. Redefiniendo la tensión de compuerta a 1.70 V, y con la tensión en drenador de 1.70 V, simulaciones realizadas sobre un transistor NMOS, arroja una corriente a través del drenador de 6.45 mA para $W_T = 90\mu m$ (figura 4.12). La *selección del transistor de corriente* que contiene la realimentación por ruido de fase solo persigue variar el flujo de corriente hacia valores convenientes, a través del escalamiento de la geometría, y en dado caso, de la tensión de compuerta. Así mismo, esta *re–selección* no descarta una optimización del transistor de *corriente* en términos del ruido aportado al sistema, y así reducir el impacto que sobre el consumo de potencia tiene la búsqueda de mejores ruidos de fase. Una estrategia tal, demandaría modelos detallados que relacionen el ruido introducido por el transistor de *corriente* al ruido de fase total[6], los cuales no son tratados en este trabajo.

Como resultado de aplicar esta corrección, se alcanza un ruido de fase inferior a

[6]A pesar que existen modelos de ruido de fase que consideran cuantitativamente el ruido introducido por el transistor de *corriente*, en el modelo de ruido de fase expuesto en la sección B.2 (que se usa en este trabajo) su inclusión no es evidente.

-128 dBc/Hz a 3 MHz de *offset*, un consumo de potencia aproximado de 22.33 mW, y el desplazamiento de frecuencia central a 2.405 GHz debido posiblemente al aumento de la capacitancia ofrecida por el transistor de *corriente*. Las figuras 4.14 y 4.15 también rinden detalle acerca de las tensiones en cada nodo de salida, en el nodo drenador del transistor de *corriente*, así como de la señal de corriente que fluye a través de él. Para finalizar, la figura 4.16 muestra cómo se relaciona la frecuencia de operación con la señal de control aplicada en el varactor. Allí se verifica que un aumento en la tensión de control, incrementa el potencial sobre el pozo-n, ensanchando la zona de agotamiento bajo la compuerta del varactor A-MOS, reduciendo su capacitancia, y con esto, aumentando la frecuencia de operación. Una diferencia de tensión de 0.172 V correspondiente a la excursión entre frecuencia mínima y máxima advierte sobre la sensibilidad del varactor aplicado a este diseño.

La aplicación de la estrategia de diseño hecha con un inductor caracterizado, se verifica de la misma manera que el diseño anterior. Posterior a la elección del punto de operación, en términos de corriente y geometrías ($I_{operación} = 2{,}5$mA, $W_n = 100\mu$m, $W_v = 1000\mu$m, $W_T = 35\mu$m), se somete el diseño preeliminar a simulación. Dadas las anteriores características, el análisis de estado estable converge a una frecuencia de oscilación de 2.442 GHz. Ya que este valor pertenece a la banda de frecuencias requeridas, la estrategía continúa con validación del ruido de fase cuyo resultado se ilustra, junto con la señal de salida, en la figura 4.18. Es claro que el factor de calidad de este inductor ha influido de forma significativa en la existencia de más amplias excursiones, para un consumo de potencia más reducido (8.24 mW) que el diseño anterior. Las caraterísticas del inductor favorecen la elección de anchos W_n menores, y por ende, menores capacitancias parásitas, dejando lugar para un varactor de mayores dimensiones. A pesar que esta circunstancia reporte un mejor factor de calidad para el varactor (ecuación (3.8)), también representa un importante aporte de ruido $1/f^3$ [49], debido a la amplia excursión de la capacitancia en un periodo de la señal. A pesar que el punto medio de la señal de control coincida con el nivel en modo común de la salida, para que $V_{BG} = 0$ en el punto medio de C_v (sección 3.3.2), la excursión de la señal de salida cambia la tensión sobre la compuerta del varactor en cada instante de tiempo. Cuando V_{DIF} es máximo, la tensión en la compuerta de un varactor es máxima, mientras que para el varactor complementario, es mínima. En ese instante, y dada una tensión de control, la capacitancia del primero aumenta reduciendo la frecuencia instantánea de la señal sobre ese nodo. Para el segundo, la capacitancia ofrecida por la compuerta del varactor será mínima ya que V_{BG} aumenta, y la frecuencia instantánea de la señal sobre ese crece. Es así como la señal de tensión en cada uno de los nodos de sala es más pronunciada hacia los mínimos, y más obtusa hacia los máximos. Esta característica es evidente en los resultados mostrados en la figura 4.19.

Estimar cuantitativamente el impacto de la excursión del varactor sobre el ruido de fase $1/f^3$ no es sencillo, y aún es tema de estudio [49]. La excursión de la señal de salida puede reducirse para minimizar el desplazamiento de la frecuencia instantánea, llevando a considerar conveniente el recorte de la corriente de operación. Así mismo, ampliar los transistores *centrales* reduciría el rango permitido al varactor, acotándolo a geometrías menores. Esta ampliación de W_n favorecería la condición de arranque (2.16), hasta el punto de considerar una relación directa entre α mayores y una redución del ruido $1/f^3$ ocasionado por este fenómeno.

Otra consecuencia del amplio rango de excursión de la capacitancia, es la sensi-

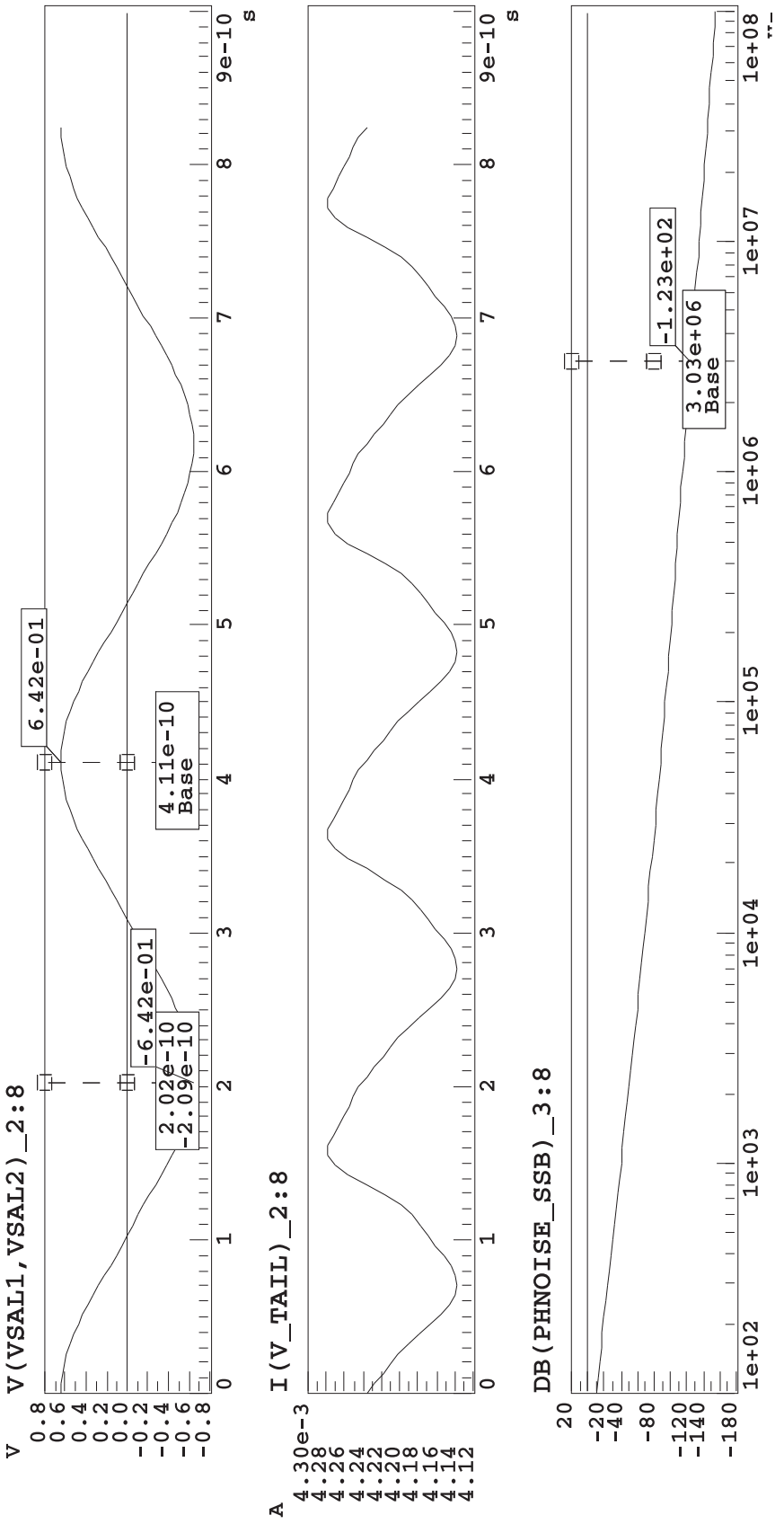

Figura 4.13: Tensión diferencial de salida, corriente a través del drenador del transistor de *corriente*, y espectro del ruido de fase. Resultados de simulación aplicando $L = 1{,}17\text{nH}$, $Q = 2{,}7$, $I_{operación} = 4{,}5\text{mA}$

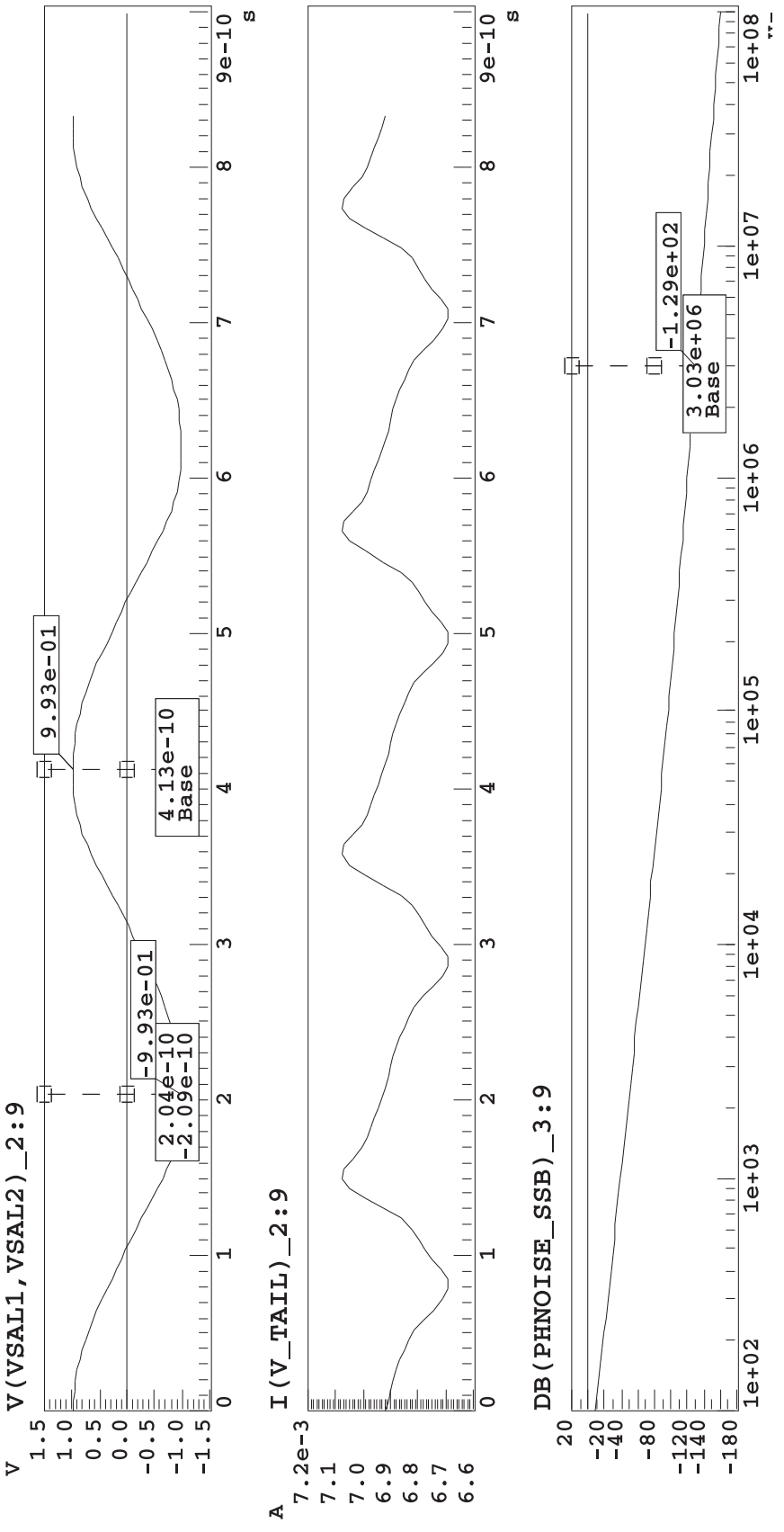

Figura 4.14: Tensión diferencial de salida, corriente a través del drenador del transistor de *corriente*, y espectro del ruido de fase. Resultados de simulación aplicando $L = 1{,}17\text{nH}$, $Q = 2{,}7$, $I_{operación} = 6{,}75\text{mA}$

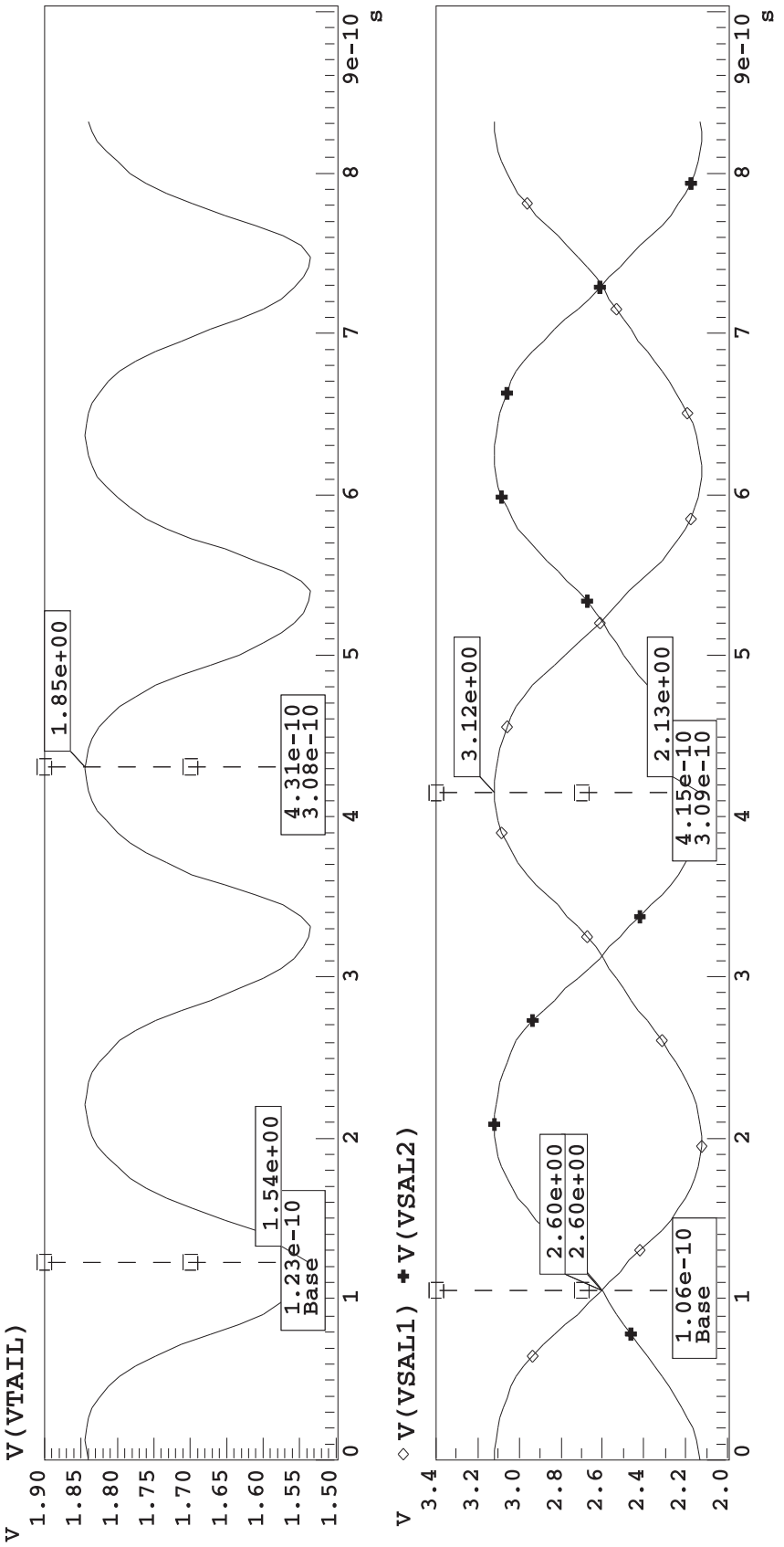

Figura 4.15: Tensiones de salida, y tensión sobre el drenador del transistor de *corriente*. Resultados de simulación aplicando $L = 1{,}17\text{nH}$, $Q = 2{,}7$, $I_{operación} = 6{,}75\text{mA}$

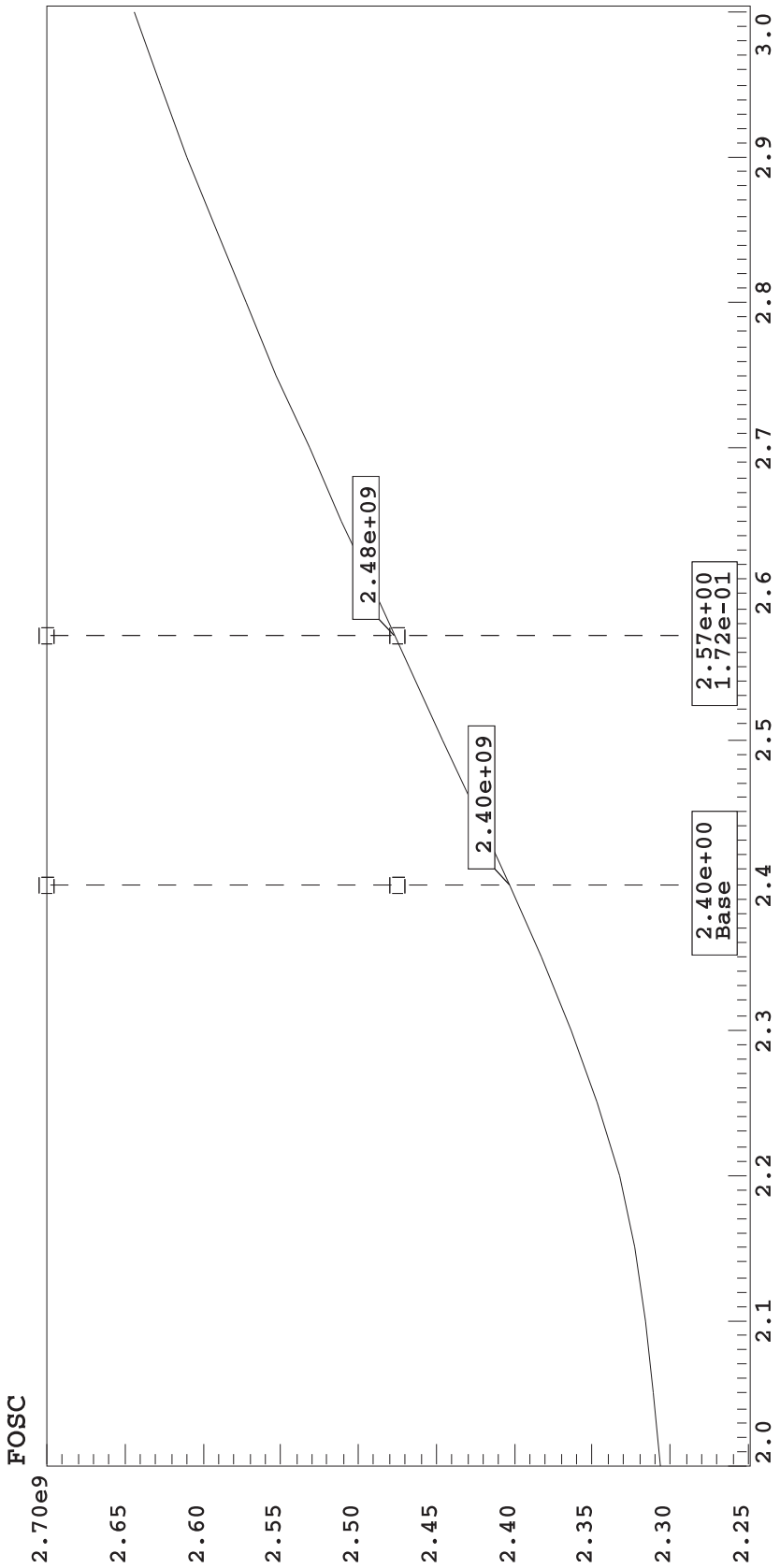

Figura 4.16: Frecuencia de oscilación respecto tensión de control. Resultados de simulación aplicando $L = 1{,}17\text{nH}$, $Q = 2{,}7$, $I_{operación} = 6{,}75\text{mA}$

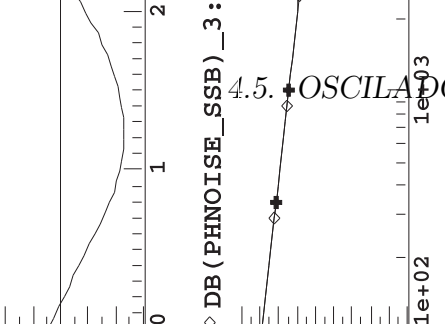

Figura 4.17: Señal de salida del oscilador. Señal diferencial a la salida del acople. Ruido de fase a la entrada y salida del acople. Resultados de simulación aplicando $L = 1{,}17$nH, $Q = 2{,}7$, $I_{operación} = 6{,}75$mA. La frecuencia central de operación se desplaza a 2.34 GHz

bilidad del varactor ante pequeñas tensiones de control, representado en importantes desplazamientos de la frecuencia central. Como se distingue en la figura 4.20, la banda de frecuencias es comprendida por una diferencia de tensión de 0.071 V, exigiendo un paso de tensión por canal muy reducido (0.9 mV). Esto hace pensar en la conveniencia de adaptar nuevos criterios para la selección del punto de operación del varactor, o replantear las metodologías expuestas en la literatura para la elección de los transistores centrales a valores que obliguen una reducción de la capacitancia de varactor, al menos hasta valores que garanticen la sintonía dentro del estándar de comunicación aplicado.

La aplicación de la etapa de acople propuesta influye sensiblemente en el desempeño del oscilador. A pesar que los valores presentados en la sección 4.2.3 para L_S y C_{gs} buscan minimizar la impedancia reactiva vista en la entrada del acople (asumiendo (4.3)), la frecuencia de oscilación central es afectada, desplazándose a 2.35 GHz, para el primer diseño (figura 4.17), mientras la del segundo diseño se desplza solo a 2.43 GHz. Estos desplazamientos de frecuencia pueden corregirse verificando el comportamiento individual de la etapa de acople como red de dos puertos, observando la impedancia arrojada a la frecuencia de interés.

4.5. Oscilador integrado

4.5.1. Disposición geométrica

Las característcas geométricas anteriormente ofrecidas por la estrategia de diseño se materializan en un circuito integrado. Allí algunos fenómenos pronosticados, como capacitancias parásitas, son evidentes debido a las importantes extensiones de metal y difusión que demandan tanto elementos activos como pasivos. El circuito integrado que materializa el oscilador diseñado en la sección 4.2, se muestra en la figura 4.22. Llama la atención la importante porción de área usada en la disposición de los inductores planares. Los inductores de la parte superior corresponden al resonador LC, conectados en configuración dual, cada uno de ellos con $205\mu m$ de lado. Contiguo hacia abajo, el varactor de acumulación se implementa aplicando "dedos" distribuyendo $W_v = 448\mu m$ en cuatro sectores de 17 segmentos, cada uno con $W_{seg} \approx 6{,}6\mu m$. La señal de control hacia el varactor se transmite a través del segmento de metal, que tiene salida en el pad superior.

Los transistores *centrales* se disponen en segmentos de $10\mu m$, como lo recomiendan las reglas de diseño de AMS para transistores RF. Así cada transistor PMOS se distribuyen en 114 "dedos" de $10\mu m$, mientras los NMOS usan 24. Del mismo modo se implementa el transistor de *corriente*, teniendo la precaución de fortalecer su conexión

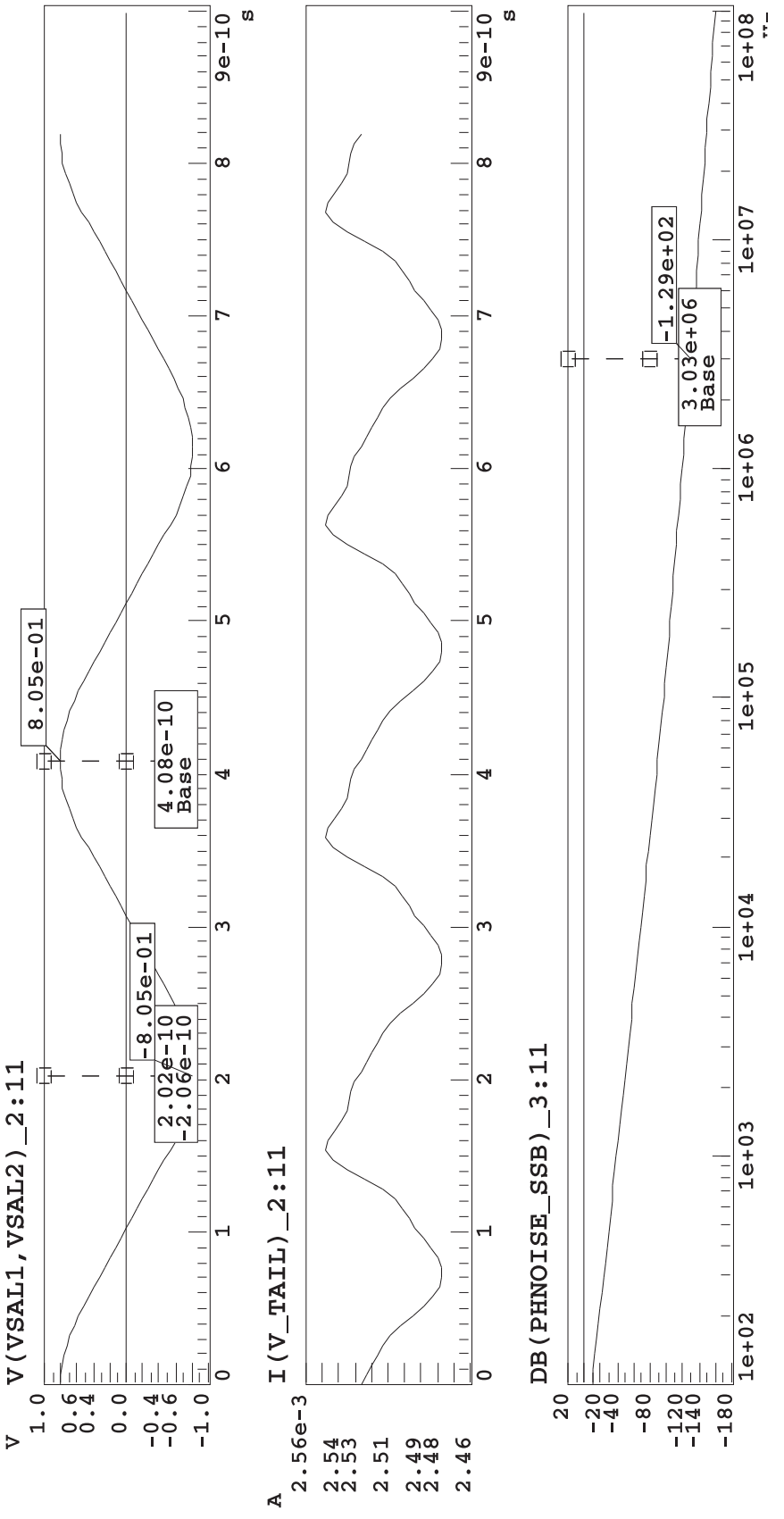

Figura 4.18: Tensión diferencial de salida, corriente a través del drenador del transistor de *corriente*, y espectro del ruido de fase. Resultados de simulación aplicando $L = 1{,}34\text{nH}$, $Q = 6{,}1$, $I_{operación} = 2{,}5\text{mA}$

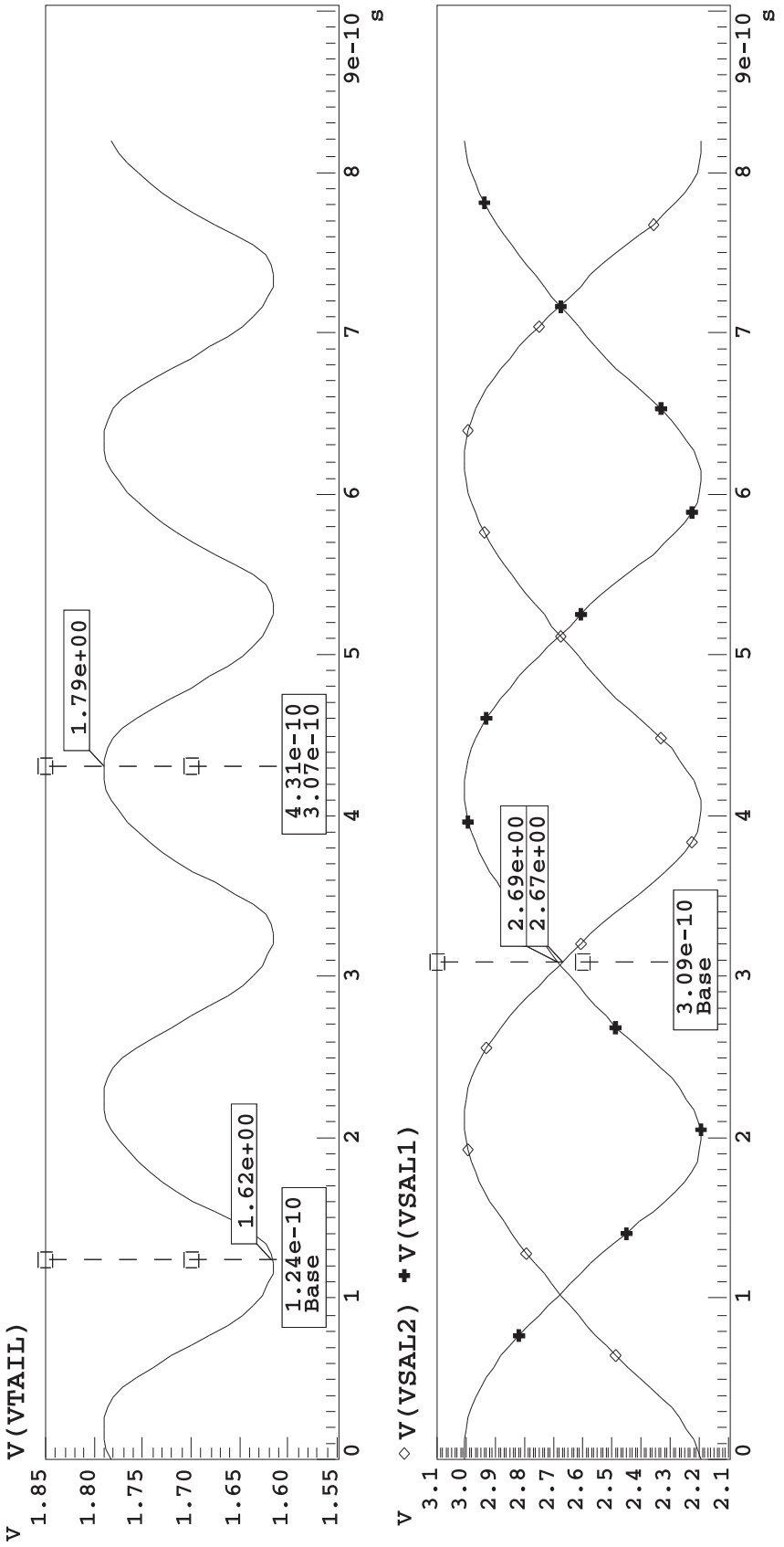

Figura 4.19: Tensiones de salida, y tensión sobre el drenador del transistor de *corriente*. Resultados de simulación aplicando $L = 1{,}34\text{nH}$, $Q = 6{,}1$, $I_{operación} = 2{,}5\text{mA}$

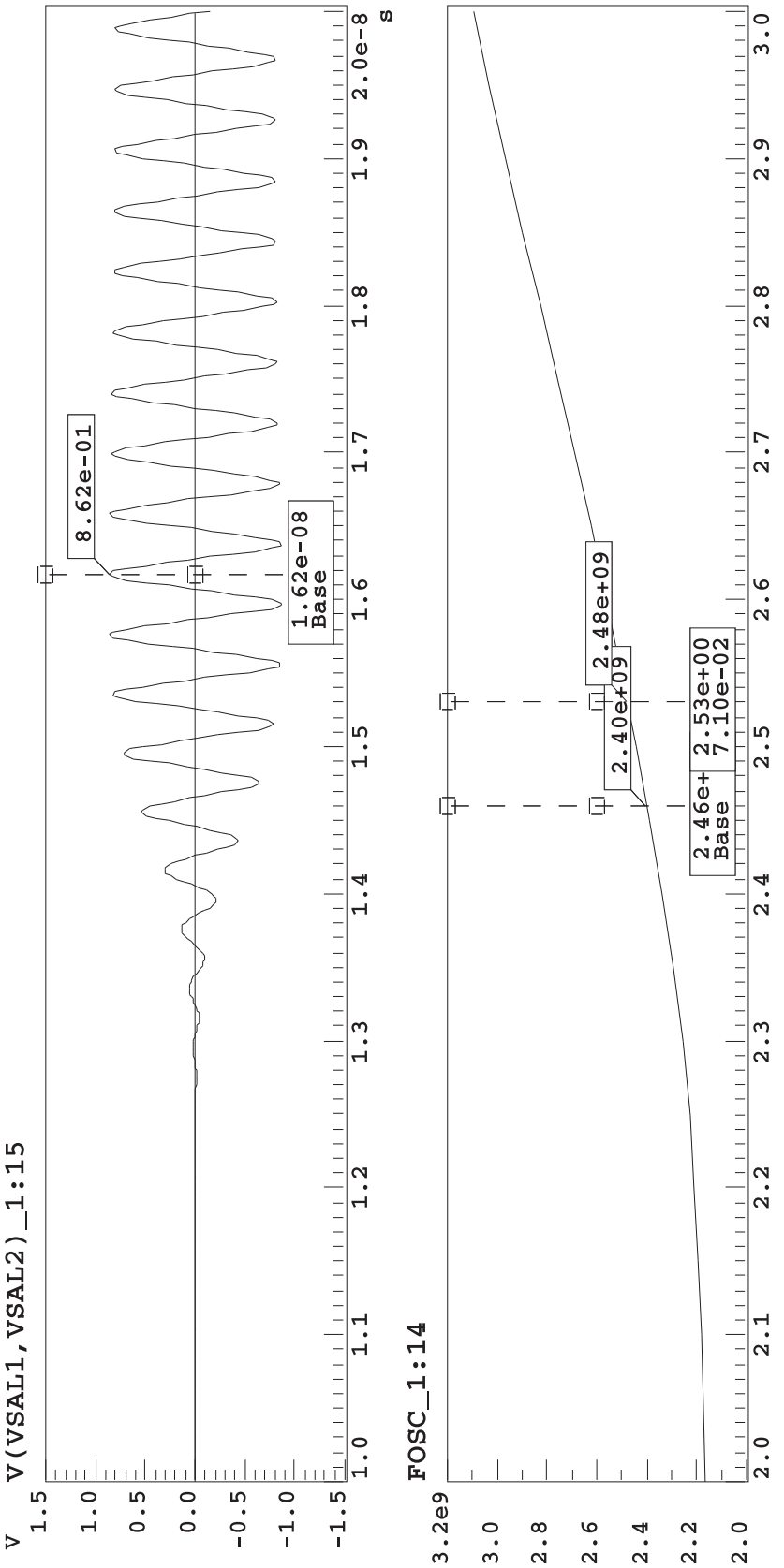

Figura 4.20: Respuesta transitoria a un pulso de tensión en t=0 segundos, y frecuencia de oscilación respecto tensión de control. Resultados de simulación aplicando L = 1,34nH, Q = 6,1, $I_{operación}$ = 2,5mA

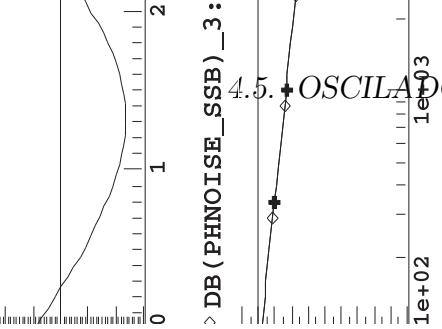

Figura 4.21: Señal de salida del oscilador. Señal diferencial a la salida del acople. Ruido de fase a la entrada y salida del acople. Resultados de simulación aplicando $L = 1{,}34\text{nH}$, $Q = 6{,}1$, $I_{operación} = 2{,}5\text{mA}$. La frecuencia de oscilación se desplaza a 2.433 GHz

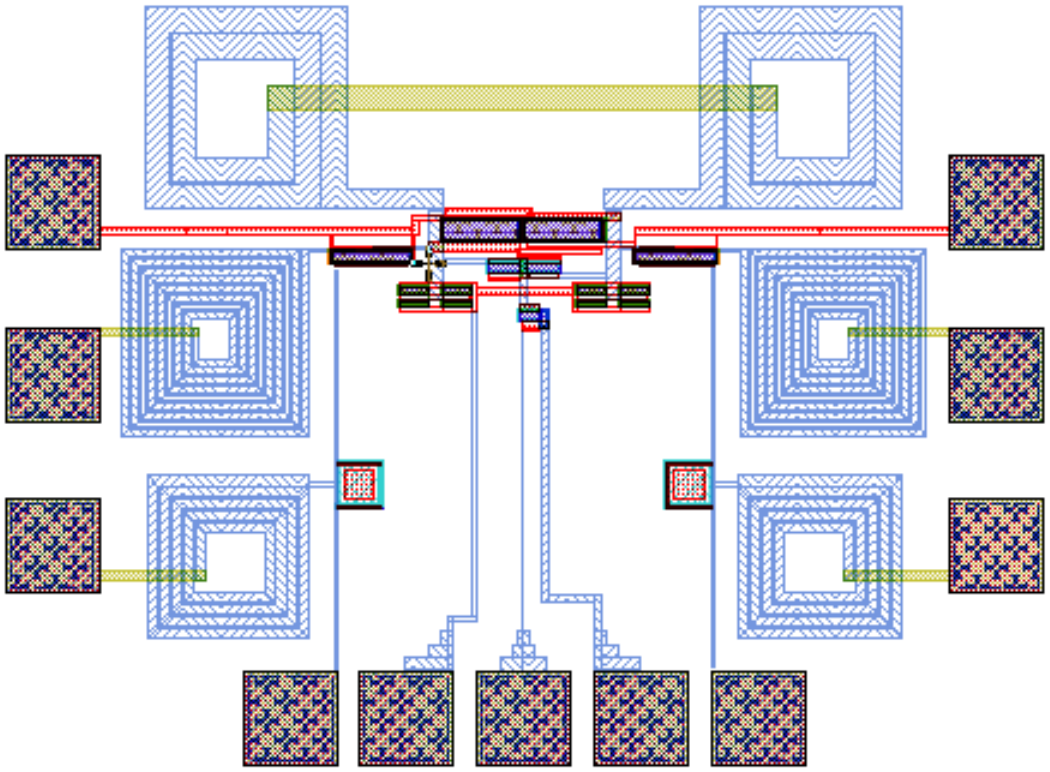

Figura 4.22: *Layout* del oscilador integrado por voltaje propuesto en la sección 4.2

entre fuente y sustrato. A los costados del *layout*, se disponen los acoples de salida, cada uno de ellos usando dos inductores de 3.08 nH, y capacitancias de 1.412 pF. Esta visión hace reflexionar en el alto costo que representa la integración de circuitos resonantes para filtros, acoples o aplicaciones de banda estrecha.

4.5.2. Realimentación del diseño

Hasta ahora, la estrategia de diseño planteada, propone pautas sobre los resultados arrojados por la simulación del equivalente circuital básico del oscilador. Modelar el oscilador como circuito integrado, adiciona capacitancias parásitas debido a la disposición planar de las capas del proceso. Entre las más notables, se encuentran las capacitas que aparecen entre los nodos de salida y sustrato, y entre los nodos de salida y V_{DD}, siendo estas las capacitancias que mayor impacto tendrían en el desplazamiento de la frecuencia central. De los valores concentrados arrojados por Mentor IC para tales elementos,

se estima la adición de una capacitancia equivalente de 205.25 fF entre los nodos de salida. Tal impacto repercute en el espacio C-W del oscilador, desplazando la capacitancia permitida al varactor, como se registra en la figura 4.24. Así, la capacitancia media del varactor descenderá a 0.547 pF, y $W_v = 260\mu m$.

Sometiendo a simulación el circuito extraido correspondiente al oscilador, junto con el rediseño del varactor, se obtienen los resultados ilustrados en la figura 4.23, donde la frecuencia de resonancia es 2.445 GHz, con una tensión de control de 2.6 V, y un consumo de potencia de 21.12 mW. Aplicando el acople propuesto, la frecuencia de resonancia es 2.45 GHz para una tensión de control de 2.5 V, consumo de potencia de 22 mW, y ruido de fase de -125 dBc/Hz a 3 MHz de *offset* (figura 4.25). Usando la estrategia de diseño, para reducir 3 dBc/hz necesarios para satisfacer el estándar, es necesario un escalamiento de la corriente de operación 1.41 veces. Redimensionando el transistor de corriente con $W_T = 125\mu m$, el consumo de potencia aumenta a 30.26 mW, mientras la frecuencia central desciende a 2.4 GHz.

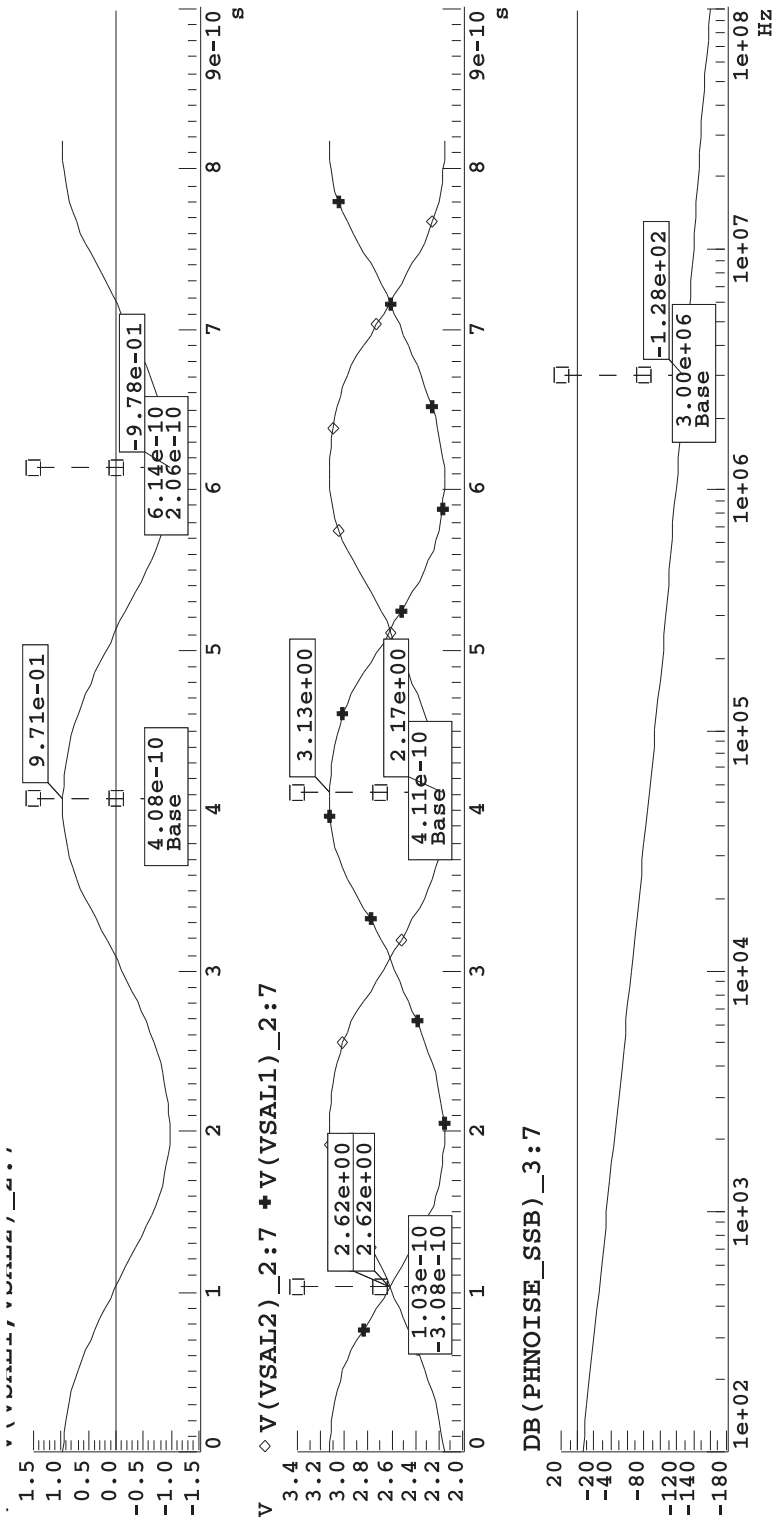

Figura 4.23: Tensión diferencial a la salida del oscilador, tensiones sobre los nodos de salida, y espectro del ruido de fase. Resultados de simulación para el primer diseño, involucrando capacitancias parásitas de la extracción.

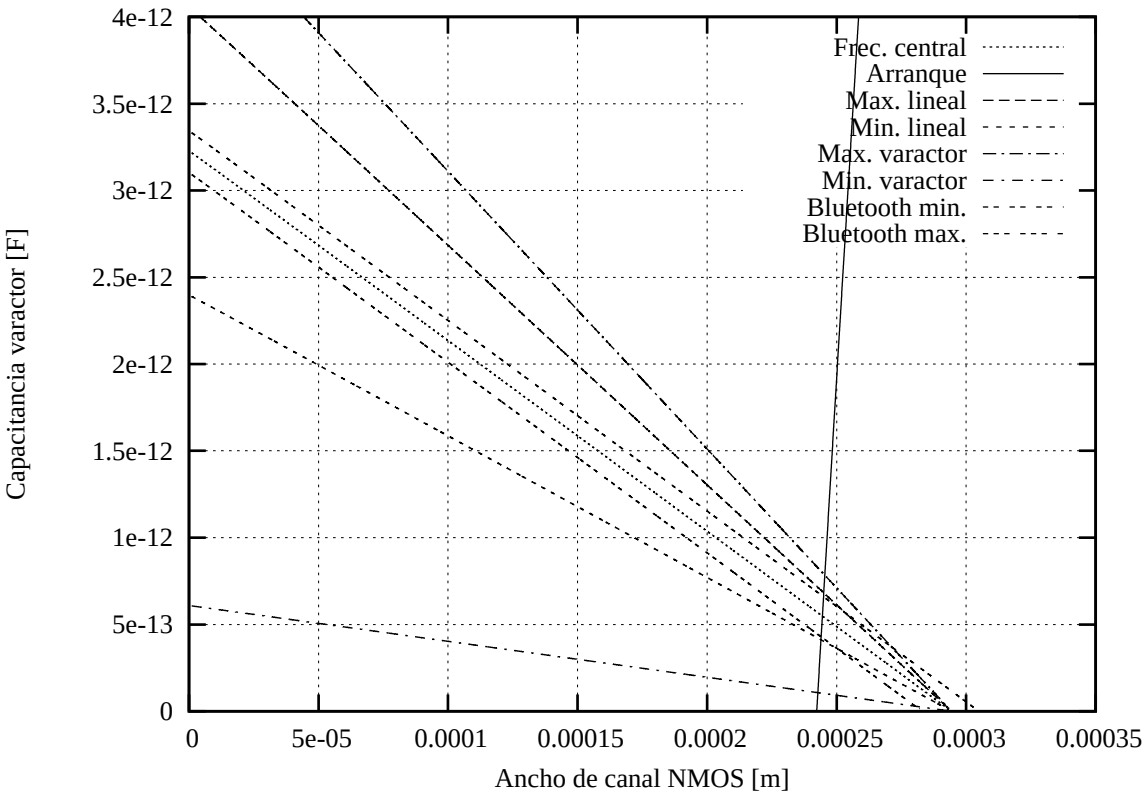

Figura 4.24: Redefinición del espacio C-W ante la adición de 205.25 fF de capacitancia parásita entre los nodos de salida

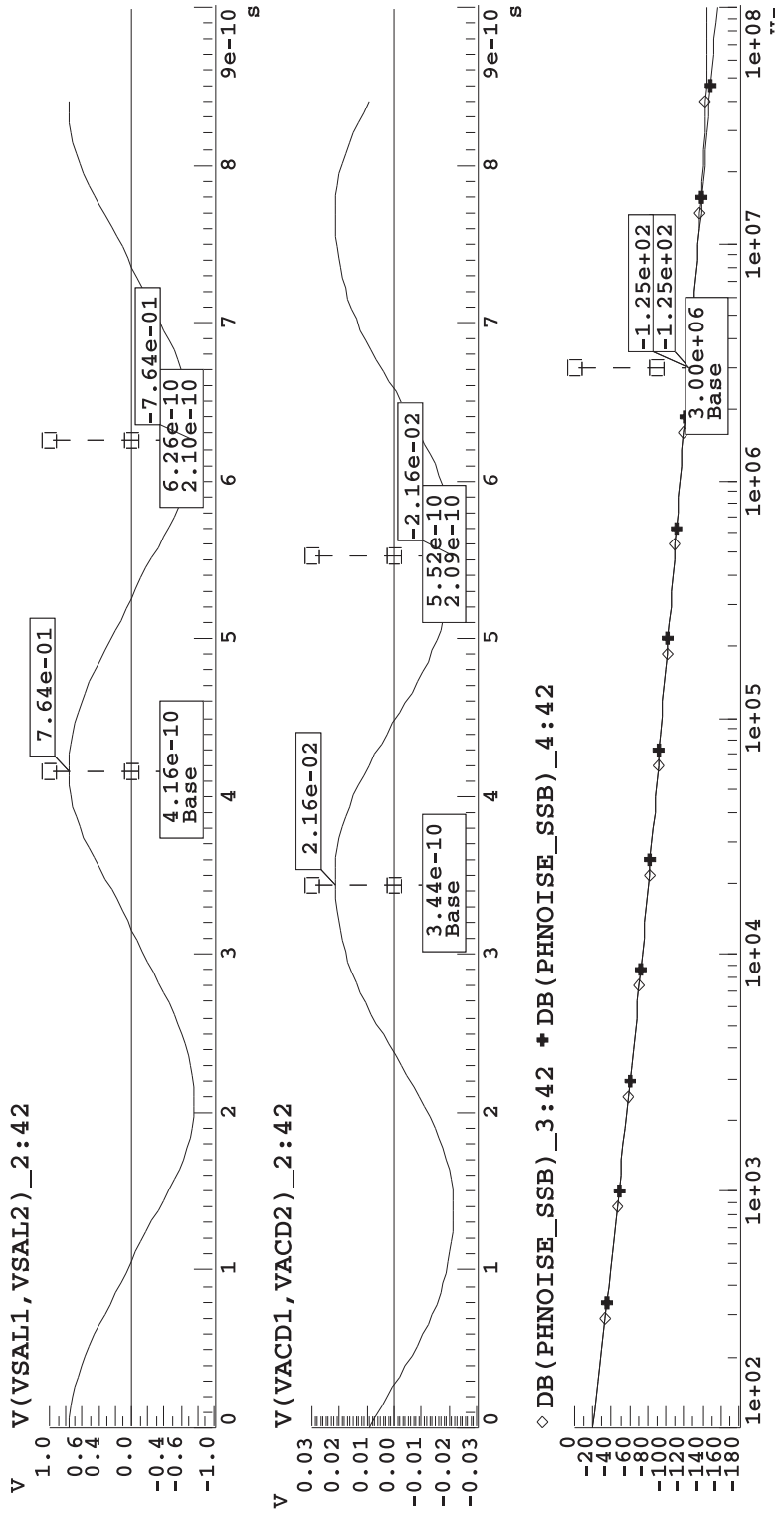

Figura 4.25: Tensión diferencial a la salida del oscilador, tensión diferencial a la salida del acople propuesto, y espectro del ruido de fase. Resultados de simulación para el primer diseño, involucrando capacitancias parásitas de la extracción.

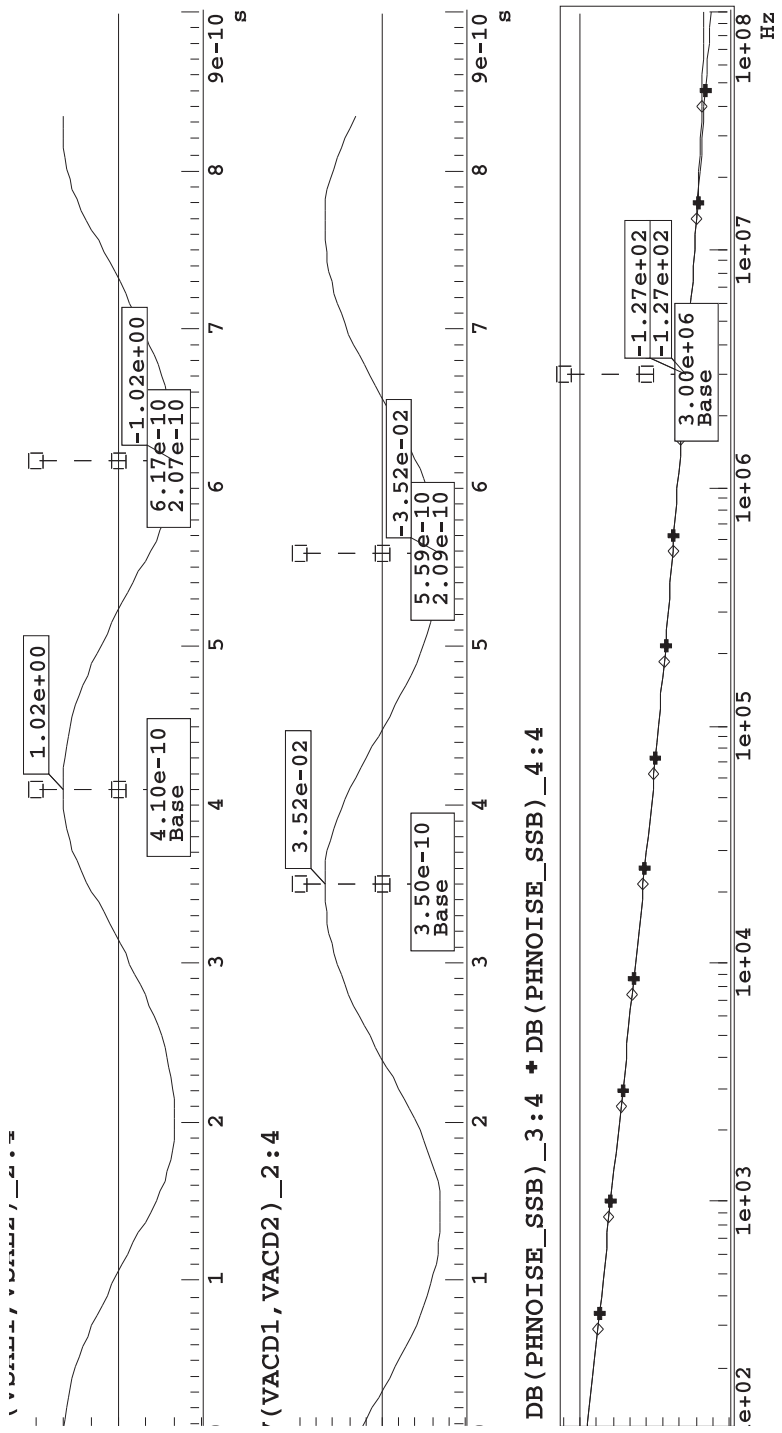

Figura 4.26: Tensión diferencial a la salida del oscilador, tensión diferencial a la salida del acople propuesto, y espectro del ruido de fase. Resultados de simulación para el primer diseño, involucrando capacitancias parásitas de la extracción. Corriente de operación aumentada 1.41 veces.

Capítulo 5

Conclusiones y recomendaciones

5.1. Introducción

Una revisión del trabajo realizado cierra esta serie de capítulos dedicados a la presentación del diseño de un oscilador controlador por voltaje, integrado en tecnología CMOS. A través de todo el documento se deja entrever el rol protagónico que este circuito analógico juega dentro de un sistema de comunicaciones. Prueba de ello es la constante preocupación por satisfacer la exigencia ruido de fase, que matiza todas las acividades del diseño del oscilador.

Por encima de satisfacer un estándar de comunicación, el diseño de un oscilador integrado se convirtió en un reto donde se aplicaron tanto fundamentos básicos de electrónica, como conceptos detallados acerca de su disposición como circuito integrado. El diseño de un circuito analógico RF tan singular como el oscilador, da una amplia visión sobre las potencialidades que presenta el desarrollo de circuitos integrados para la implementación de sistemas electrónicos integrados para radiofrecuencia.

5.2. Impacto de la estrategia de diseño

Como lo advierte la literatura especializada [55], importantes "negociaciones" entre diferentes variables de diseño deben efectuarse para dar cabida a las especificaciones de ruido de fase y frecuencia de oscilación. Las diferentes relaciones posibles entre geometrías de elementos integrados, y señales de corriente y tensión, diversifican las alternativas que puede asumir el diseño analógico, explorando para cada una sendas rutas hacia el cumplimiento de las especificaciones. La ingeniería aplicada a la resolución de estas relaciones busca discretizar las amplias libertades del diseño analógico proponiendo metodologías para la identificación y selección de las variables. Como se verificó en el desarrollo de este trabajo, el seguimiento de una estrategia de diseño reduce paso a paso la libertad de las variables, reduciendo la visión del impacto conjunto que tienen en el diseño final.

A favor la discretización del espacio de variables, está la linealización de los fenómenos por medio de modelos matématicos determinísticos, posterior a la identificación de puntos de operación que validen su aplicación. La visión de "conjunto" ofrecida por este medio es condicionada, y solo da cuenta de una región del espacio de diseño. Prueba de esto, es la adaptación de la metodología de diseño para VCO expuesta en [53–57], a

términos de los modelos matemáticos simples, como los expuestos en la sección 2.4.1. La aplicación de tales modelos resulta atractiva porque limita la descripción de los elementos a equivalentes circuitales lineales, asumiendo un punto de operación en saturación para elementos activos. Gracias a las relaciones lineales descritas, fue posible identificar una ruta de diseño a partir de las restricciones, reduciendo el conjunto original de variables mostradas en la sección 2.4, a un par de características (capacitancia de varactor y ancho de NMOS), representadas en un plano C-W. Sin embargo, en la literatura no es evidente una secuencia que estructure la aplicación de los modelos, y exponga una estrategia usando tales simplificaciones, limitándose a indicar los resultados por ellas obtenidos. La adaptación de estos modelos en la estrategia de diseño presentada en este trabajo, es fruto del análisis de los resultados mostrados y de identificar cómo, en este caso, todas las variables propuestas podrían depender del ancho de canal NMOS. Este punto de vista sesga la visión de la compleja interdependencia no lineal entre variables, que apenas se pudo percibir aplicando una herramienta de simulación especializada, pero facilitó la elaboración de la estrategia dada en la sección 4.2. No es posible considerar la estrategia planteada como aquella que brinda los mejores puntos de operación en términos de ruido de fase y potencia, ya que demandaría verificar los beneficios dados por otras rutas de diseño que inicien, por ejemplo, con la selección de W_n antes que el inductor, o que fortalezcan los criterios de diseño de dimensiones a partir de detallados modelos para ruido en función de la geometría. El valor de la estrategia planteada radica en el hecho que es producto de la identificación de las variables y su impacto en el desempeño del oscilador integrado.

El modelo matemático propuesto para el ruido de fase también se constituye en una linealización de un fenómeno claramente no lineal y variante en el tiempo, como es la ponderación de la influencia de las fuentes de ruido en la distorsión de la fase en la señal de salida. El modelo asumido para el cálculo del ruido de fase, adopta la simplificación de la ecuación (B.43), presentada en [55]. En ella, se adopta el modelo circuital equivalente del resonador LC presentado en la figura 2.15, así mismo se considera que la ponderación de las fuentes de ruido conectadas al resonador es la misma, simplificando $\Gamma_{rms}^2 = 0{,}5$. A pesar de esta dramática simplificación respecto al modelo dado por la ecuación (B.25), los resultados arrojados por la simulación se presentan cercanos a los estimados. Sin profundizar con modelos más detallados, sería apresurado abogar por la precisión de los modelos empleados, y describir una región en el espacio de variables donde se alcance. Los modelos aplicados, son simplificaciones de otros validados por la experiencia real, valiosa prenda de garantía de la que gozan muchos de los trabajos publicados.

A pesar de ello, no existe aún una estrategia de diseño que contemple todas las posibles combinaciones de las variables de diseño. Sin embargo, adaptar una sencilla metodología para una exclusiva región de las variables de diseño, mejora la comprensión y la capacidad de pronóstico de los resultados, abriendo la posibilidad de reducir los ciclos de corrección dados en el paso desde el planteamieno del diseño a su implementación real.

5.3. Revisión del desempeño alcanzado

A la luz de los resultados reportados en el estado del arte que aplican tecnología MOS 0.35μm en la implementación del VCO, se contextualizan los resultados alcanzados por

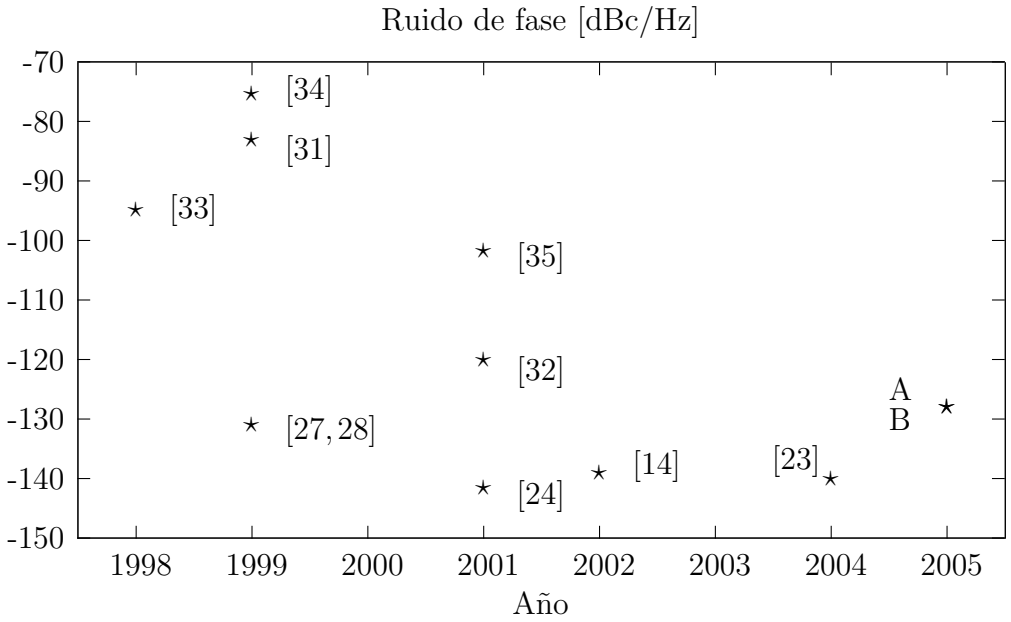

Figura 5.1: Tendencia del ruido de fase a 3 MHz de *offset*, para MOS 0.35μm, incluyendo los diseños A (con indutor modelado), y B (con inductor caracterizado).

la estrategia de diseño presentada en este trabajo a nivel de criterios como el ruido de fase y el consumo de potencia. La figura 5.1 revela la tendencia arrojada por el estado del arte incluyendo los resultados alcanzados tanto por el diseño propuesto con inductor modelado, como aquel que emplea inductor caracterizado. Debido a la dependencia directa entre el ruido de fase y consumo de corriente que muestra la estrategia, los diseños se establecen justo al valor exigido por el estándar en aras de reducir el consumo de potencia. Por lo tanto, los dos exponentes de este trabajo figuran bajo el mismo registro.

El consumo de potencia, característica decisiva de los sistemas de comunicación inalámbrica, se muestra para diferentes VCO en la figura 5.2. El diseño que aplica el inductor de menor factor de calidad representa un mayor consumo debido a la demanda de corriente, no solo para ajustar la condición de oscilación ante mayores pérdidas, sino también para alcanzar la exigencia de ruido de fase, que inicialmente era insuficiente. Por otro lado, el diseño que aplica un mejor factor de calidad se beneficia con una posición más baja, al nivel de los trabajos presentados en el estado del arte. Tales trabajos aseguran alcanzar altos factores de calidad a pesar de reportar resultados medidos experimentalmente sobre osciladores integrados. De hecho, la comparación propuesta en las figuras 5.1 y 5.2 entre el estado del arte, y los diseños arrojados por este trabajo, no es completamente idónea, ya que obvia el impacto real de la integración. Sin embargo cobra validez al referir los resultados alcanzados, y al mostrar la estrategia de diseño planteada como alternativa para negociar compromisos de diseño a la luz de los desempeños alcanzados por el estado del arte.

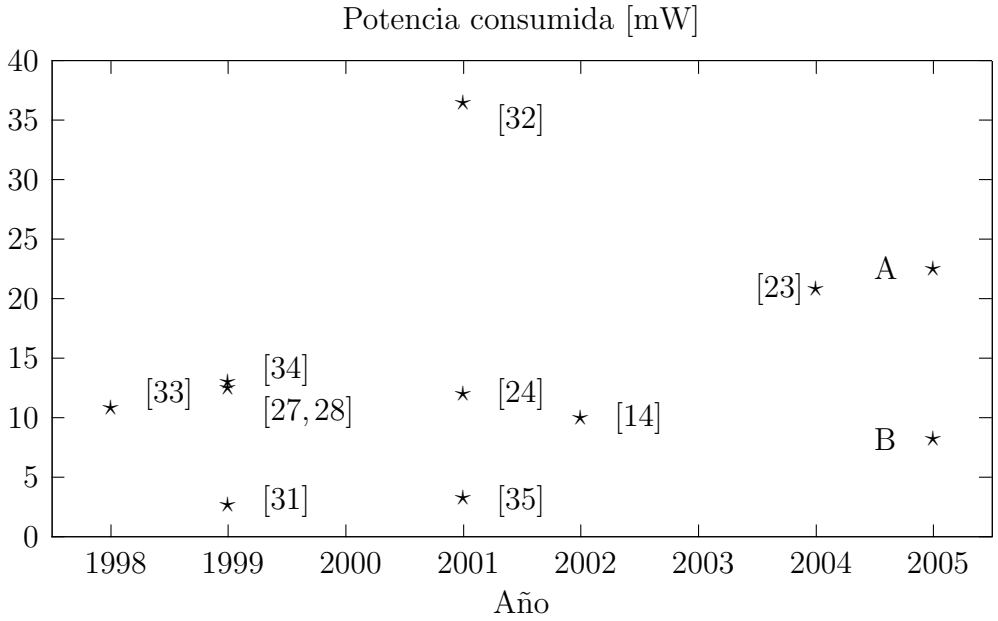

Figura 5.2: Tendencia en el consumo de potencia, para MOS 0.35μm,incluyendo los diseños A (con indutor modelado), y B (con inductor caracterizado).

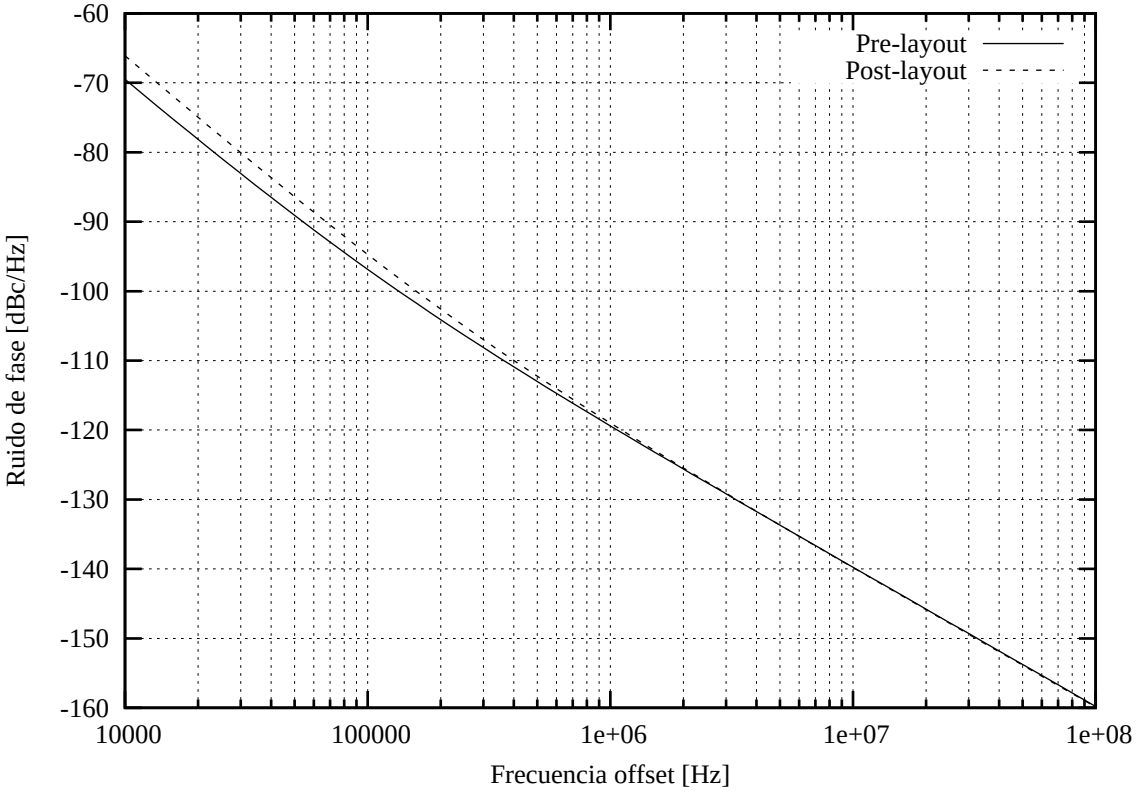

Figura 5.3: Ruido de fase medido en simulación pre-*layout* y post-*layout*

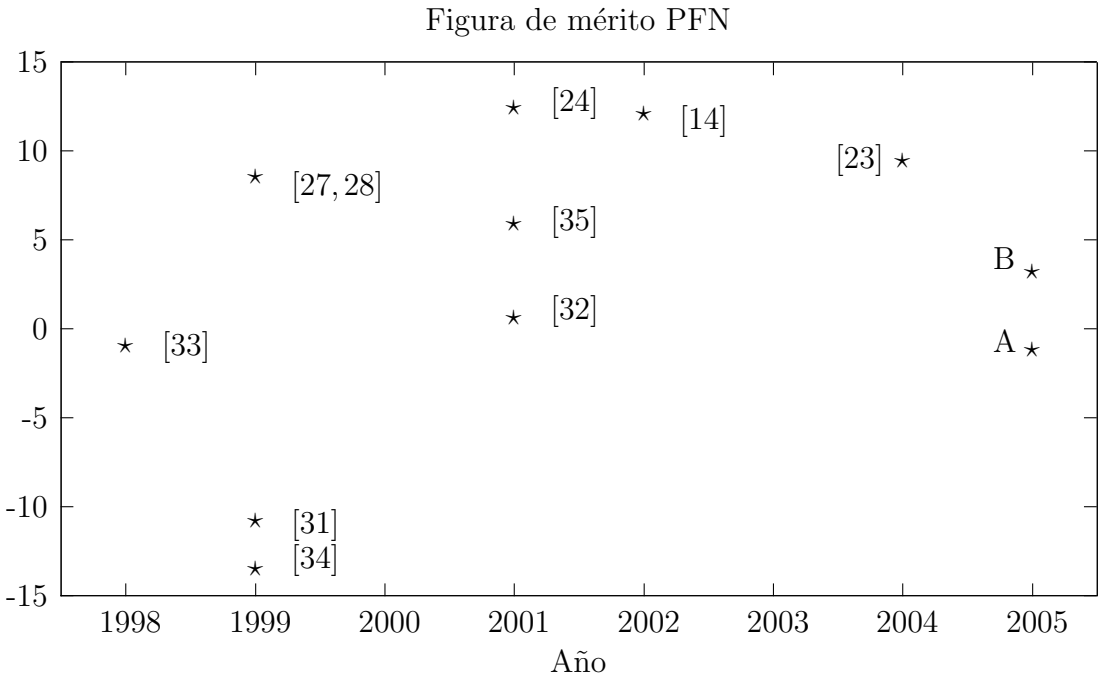

Figura 5.4: Figura de mérito PFN para MOS 0,35μm, incluyendo los diseños A (con inductor modelado), y B (con inductor caracterizado).

5.3.1. Figura de mérito

Una comparación más coherente entre resultados, aun reconociendo la distancia entre los resultados experimentales citados, y los conseguidos en este trabajo, es aquella que combina un conjunto de características, afirmando que el compromiso mutuo entre variables repercute en la calidad del diseño. La relación:

$$10 \cdot \log \left[\frac{kT}{P_{operación}} \cdot \left(\frac{f_0}{f_{off}} \right)^2 \right] - \mathcal{L}\{f_{off}\} \tag{5.1}$$

conocida como PFN *Power Frequency Normalized* se propone en [55] como estimador de desemepeño asociando simultáneamente potencia consumida con ruido de fase. La aplicación de esta relación para los resultados del estado del arte en MOS 0.35μm, así como para los alcanzados en este trabajo, se ilustra en la figura 5.4. Nuevamente, el diseño aplicando el inductor de mejor factor de calidad muestra mejor resultado, en este caso, representado en un compromiso más "eficiente" entre los criterios de desempeño involucrados. Sin embargo, otros resultados del estado del arte mejoran ese factor, debido a su reducido consumo de potencia.

5.4. Conclusiones

- Junto al paralelo mostrado entre este trabajo y los descritos en el estado del arte, vale la pena identificar los resultados alcanzados con los objetivos propuestos inicialmente para este trabajo. Como objetivo general se planteó el diseño de un oscilador para radiofrecuencia, integrado en tecnología CMOS 0,35μm, aplicable un sistema de comunicación inalámbrica. La satisfacción de este objetivo

se evidencia en la propuesta de diseño que este trabajo presenta de un oscilador controlado por voltaje, elemento protagónico en los procesos de modulación y demodulación de sistemas de comunicaciones RF, aplicando una tecnología CMOS estándar como $0{,}35\mu m$.

- Entre los objetivos específicos se planteó la búsqueda de bajos ruido de fase, bajos consumos de potencia, amplios rangos de excursión de la señal de salida, acople de impedancia a la carga, respuesta rápida ante la señal de control, amplio rango de sintonía, y baja distorsión. A través de la experiencia de diseño se identificaron compromisos mutuos entre las anteriores exigencias, haciendo que no sea posible señalar optimizaciones para cada uno de los criterios, sino el reconocimento de la mutua dependencia en la satisfacción de las especificaciones del estándar aplicado. Por ejemplo, la búsqueda de bajos ruido de fase demandaría mayores consumos de corriente según la estrategia planteada, así que la especificación de ruido de fase se cumplió ajustadamente para no incrementar innecesariamente el consumo de potencia. Apreciación extensible al rango de excursión de señal, cuya magnitud depende notablemente de la calidad de los elementos pasivos empleados, que entre otras cosas, dió pie a la propuesta de una estrategia de diseño para inductores y varactores en el capítulo 3.

- Se encontró que respuesta rápida ante la señal de control y el amplio rango de sintonía son dos condiciones opuestas, debido a que una ampliación de los elementos activos y la transconductancia "negativa" recorta el rango de capacitancia para el varactor, constriñendo la banda de frecuencias sintonizables. Por último, el acople de impedancia a la carga y baja distorsión, son dos criterios que añaden robustez al diseño del oscilador. La adaptación de un acople contextualiza la aplicación del oscilador dentro de un sistema electrónico integrado, donde el desempeño del VCO debe protegerse no solo ante el acople con otras etapas del sistema de comunicación integrado, sino también ante instrumentos de medida. Por otro lado, la distorsión armónica es un indicador de calidad de la señal, y su reducción mitigaría el impacto de las frecuencias armónicas a lo largo del sistema. Sin embargo, mayores rangos de excursión de la señal de salida, conmutan más profundamente los transistores *centrales* entre saturación, tríodo y corte, introduciendo distorsión en el sistema, así como sucede con el desplamiento de la capacitancia instantánea en el varactor.

- Por la vía de una ampliación de la señal de salida, ruido de fase y distorsión armónica son dos condiciones antagónicas. Por otro lado, el oscilador en un sistema de comunicaciones se emplea con mayor interés para el establecimiento de una base de tiempo con período constante, cobrando especial protagonismo la búsqueda de menores ruidos de fase en lugar de bajas distorsiones armónicas. Aún así, para la topología presentada en este trabajo, la adaptación de una etapa de salida también pretende reducir el paso a frecuencias diferentes a la de oscilación con la inclusión del resonador en el nodo de salida. Otras topologías pueden arrojar mejores desempeños al respecto, por medio del filtrado de la señal de corriente sobre el transistor de *corriente*, pero demandaría el uso de inductores *off-chip*, o inductores integrados de altos factores de calidad, cuya materialización aún es tema de estudio.

- Modelar el VCO integrado en una herramienta CAD, asociar coherentemente los parámetros de diseño con los requisitos de fabricación para diseñar su respectivo *layout*, y la verificación mediante simulaciones, son tres objetivos específicos alcanzados, íntimamente relacionados en la aplicación de herramientas de cómputo para modelamiento y simulación, cuyo empleo se describió en las secciones 3.2.3, 3.3.3, 4.4 y 4.5.

- La tarea de diseño analógico contextualizada en los circuitos integrados brinda una visión básica de la cadena de producción de componentes electrónicos, desde la aplicación de herramientas CAD (*Computer–Aided Design*), hasta los pormenores de su implementación en un circuito integrado. Esta visión, hasta ahora recogida de la experiencia de otras personas e instituciones, comienza a materializarse en forma de investigación en la academia local. Este trabajo brinda su cuota al cumplimiento del objetivo estratégico que consiste en el establecimiento de un precedente sobre la viabilidad de diseñar e investigar en el área de microelectrónica.

5.5. Recomendaciones

La estrategia de diseño presentada en este trabajo surge de la identificación de los modelos lineales presentados en la literatura, y el análsis de las relaciones entre variables de diseño por medio tales modelos. Por tanto, la estrategia planteada no explora todo el espacio de variables, y recurre de correcciones basadas en modelos de una sola variable, es decir, cada realimentación se propone para el barrido de una sola característica. Se recomienda a trabajos futuros hallanar el camino para el análisis de modelos no lineales, y busqueda sobre un espacio de variables más amplio, por ejemplo, teniendo en cuenta los cambios de región de operación de los transistores en un período, para cuantificar otras características como distorsión armónica. Así mismo, se sugiere la adaptación de una estrategia de diseño que recurra a los modelos de ruido presentados en el estado del arte, que puedan aplicarse a la selección de geometrías óptimas en este sentido. Para ello resulta crucial la identificación detallada de las fuentes de ruido más influyentes en la ponderación del ruido de fase, para lograr diseño óptimos que no deban recurrir al escalamiento del consumo de potencia.

Algunas mejoras a nivel de topología, son propuestas por la literatura para el oscilador LC diferencial PMOS-NMOS. En la figura 5.5 se muestra la aplicación de un inductor entre el drenador del transistor de *corriente* y las fuentes de los transistores NMOS *centrales*, con el fin de filtrar la señal de corriente a $2f_0$, y atenuar el ruido a otras frecuencias. Junto con el inductor se dispone un capacitor en derivación que permita reducir el valor de la inductancia. Esta configuración no se empleó para los diseños del presente trabajo, debido a los bajos factores de calidad arrojados por los inductores. En el mismo sentido, la topología del oscilador controlado por voltaje puede modificarse para cubrir un extenso rango de frecuecias. Bajo este requisito, la capacitancia sintonizable es reemplazada por un arreglo de capacitores conmutados como se presenta en [10, 62]. Una señal de control digital se introduce a este arreglo de capacitores, aportando nuevos fenómenos parásitos, producto de manejar señales analógicas y digitales en un mismo circuito.

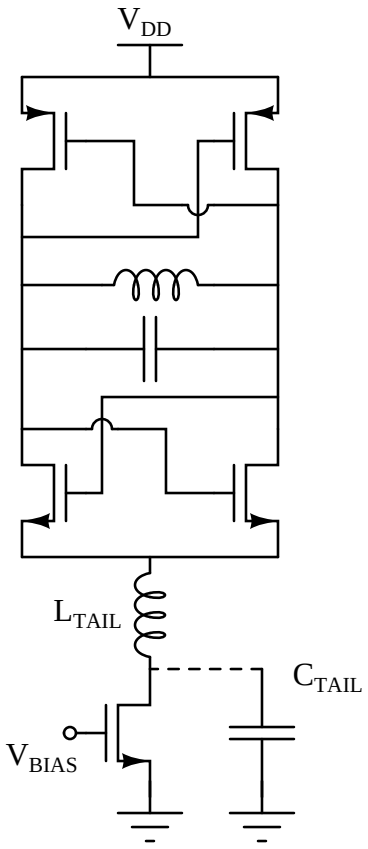

Figura 5.5: Aplicación del inductor para el filtrado de corriente a $2f_0$

Aparte de los alcances que puede tener la topología LC diferencial, reviste especial interés los nuevos modelos para elementos pasivos como el inductor. Entre ellos, se recomienda el estudio de la aplicación de los "blindajes" hacia sustrato, discutitos en [63, 64]. También analizar la conveniencia de aplicar inductores simétricos (figura 5.6), y verificar la aplicabilidad de nuevos modelos circuitales para describirlos. En cuanto a estructura, los inductores "verticales", aún en etapa de investigación [65], podrían significar una valiosa alternativa a los inductores planares, recomendando su estudio para trabajos futuros.

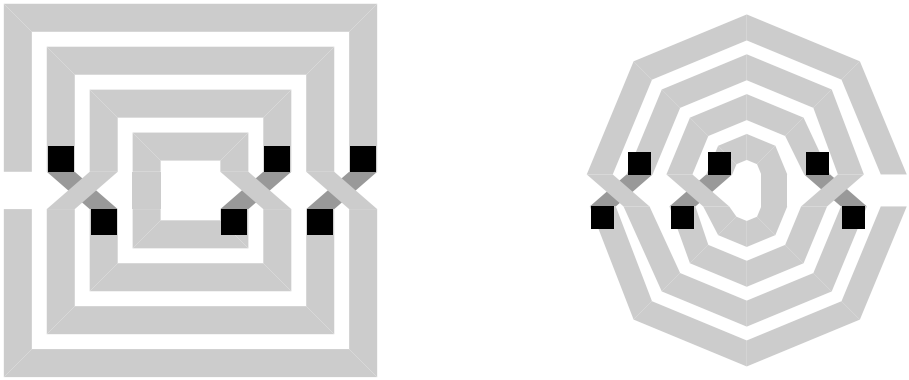

Figura 5.6: Inductores simétricos cuadrado y octagonal

Al mismo tiempo que se replantean los modelos aplicados al diseño, se recomienda una inspección más cuidadosa del varactor integrado, y su incidencia en la aparición de ruido en la región $1/f^3$, como sugiere [49]. Como se discutió en la sección 4.4, el rango de excursión de la señal de salida sobre la compuerta del varactor desplaza la capacitancia en un período, y con ella, la frecuencia instantánea causando deformación de la señal como se muestra en la figura 5.7. Incluso, el ruido de amplitud en la corriente de operación del oscilador, perturba del mismo modo la señal de salida, y por medio de varactor, desplaza levemente la frecuencia de oscilación, describiendo una conversión AM-PM [66]. Aún más útil, sería cuantificar este tipo de influencia, especialmente en osciladores aplicados a sistemas de comunicación con canalización estrecha, donde las exigencias de ruido de fase refieren frecuencias *offset* dentro de la banda $1/f^3$

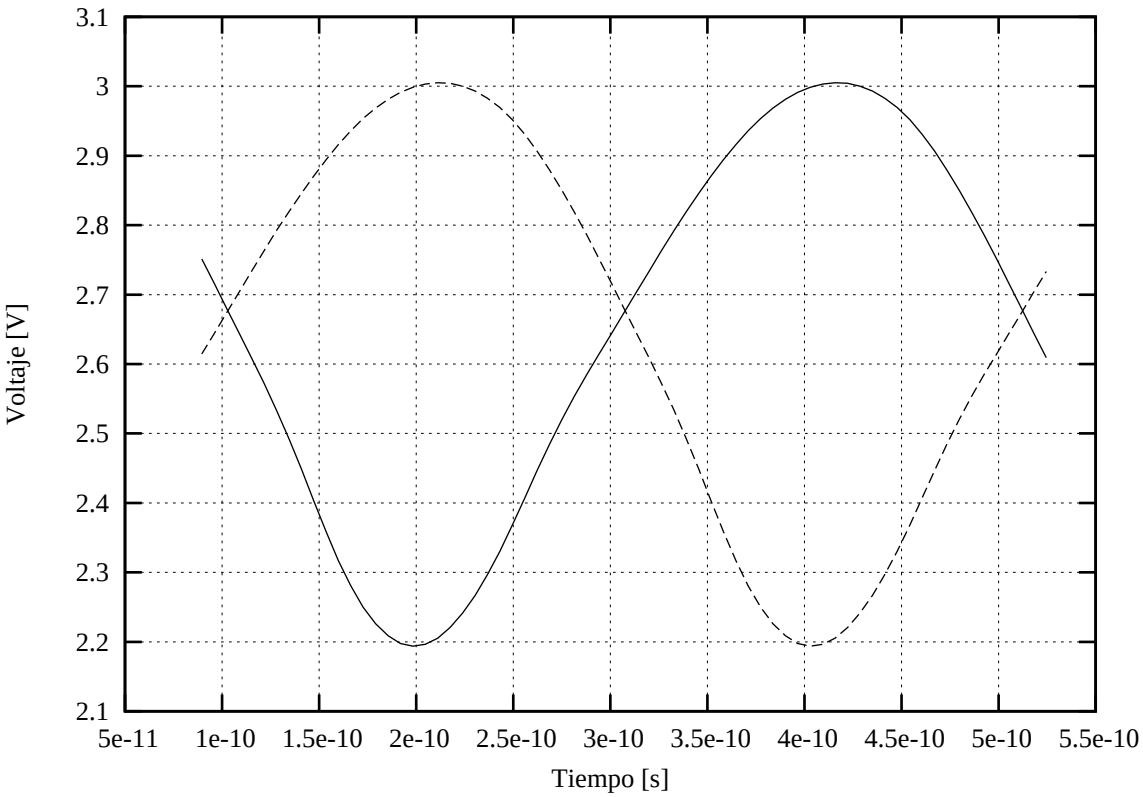

Figura 5.7: Distorsión de la señal sobre los nodos de salida, para el diseño presentado en la sección 4.3

Apéndice A

Modelos

A.1. Modelo circuital simplificado en pequeña señal del oscilador LC

La figura A.1 condensa el modelo pequeña señal de los elementos conectados a los estremos del resonador. La etiqueta *Inductor* comprende el equivalente circuital pi para el inductor planar, indicado en la figura 2.13, mientras *Varactor* denota la red RC mostrada en la figura 2.14 que simplifica la capacitancia variable MOS. Este modelo simétrico asume los transistores *centrales* operando en región de saturación, situación ocasionada cuando la tensión diferencial de salida se acerca a cero. Se obvia la influencia del transistor de *corriente*, asumiendo tierra *virtual*.

La simetría de este modelo circuital permite la deducción de las expresiones señaladas en la sección 2.2, facilitando la extracción de los equivalentes RLC del resonador.

A.2. Factor de calidad del resonador LC

Ante la redefinición de relaciones que sugiere la aplicación del resonador LC integrado, es bastante útil conocer de qué forma su diseño lo hace suceptible o no a fenómenos parásitos. Una estimación cualitativa de la presencia de estos elementos en el resonador integrado se indica relacionando la energía almacenada con la energía disipada, siendo el primer fenómeno indicio de la magnitud de la reactancia equivalente, y el último, síntoma inequívoco de resistencia parásita en los elementos. Una relación así, se expresa como:

$$Q = 2\pi \cdot \frac{energía\ almacenada}{energía\ disipada\ en\ un\ periodo} \tag{A.1}$$

donde Q es el *factor de calidad*. Esta relación se aplica tanto a inductores como capacitores con el fin de cuantificar su "pureza", siendo los elementos con Q más alto, aquellos cuyo comportamiento se acerca al ideal. Además de asociar elementos reactivos con un factor de calidad, la relación dada en (A.1) se aplica a redes pasivas, usando la expresión equivalente:

$$Q = \frac{|Im(Z_0)|}{|Re(Z_0)|} \tag{A.2}$$

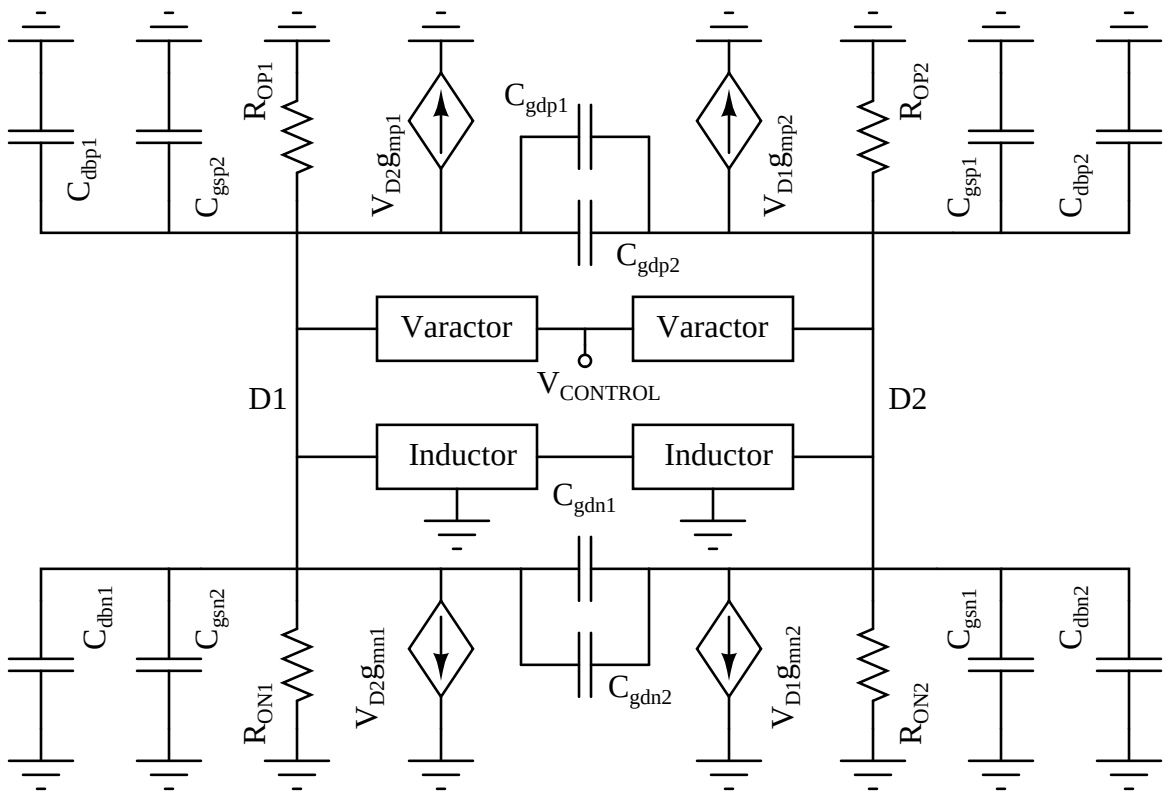

Figura A.1: Modelo pequeña señal resonador LC.

donde se indica una relación entre la magnitud de la componente imaginaria de la impedancia equivalente, y la magnitud de su componente real [2]. Precisamente, el resonador LC de un oscilador, incluyendo sus conductancias parásitas, se constituye en una red pasiva RLC con un factor de calidad total. Aplicando (A.2) y tomando la impedancia diferencial del resonador, es verificable que el factor de calidad total sigue la relación dada por:

$$\frac{1}{Q_{total}} \approx \frac{1}{Q_L} + \frac{1}{Q_V} \tag{A.3}$$

donde se identifica que el factor de calidad total está determinado por el factor de calidad más bajo entre el inductor y el varactor.

A.3. Inductor planar

A.3.1. Pérdidas en el inductor planar

A primera vista, la imagen física que se asocia a la palabra inductor se asemeja a la de una espira o arrollamiento de conductor alrededor de un eje. El modelo circuital más simple de un inductor con pérdidas se remite a esta imagen física para condensar las pérdidas óhmicas del conductor, en una resistencia en serie, donde, conocida la conductividad del metal empleado, y la longitud de la espira, un cálculo simple estimará su magnitud.

Igualmente, el inductor planar integrado está elaborado (dependiendo del proceso

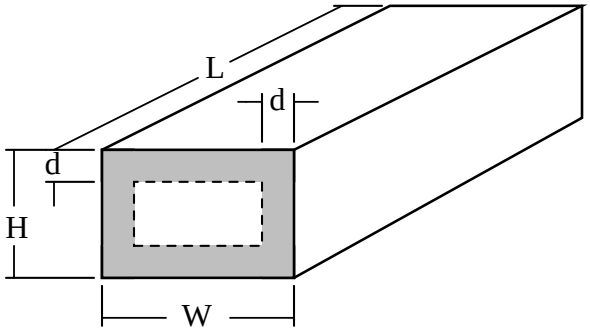

Figura A.2: Esquema de la profundidad de piel en un conductor. Área efectiva sombreada.

de fabricación) con metales como aluminio, con una conductividad DC característica, pero AC dependiente de la frecuencia. Así mismo, un flujo magnético ocasionado por el paso de corriente en el inductor, fluye transversalmente por el centro de la espira, pero también atraviesa capas contiguas donde corrientes parásitas son inducidas. A partir que la señal a través del inductor planar contiene frecuencias tan altas como gigahertz, hay flujo de las cargas almacenadas entre la espira plana y otras capas estructurales del proceso de integración, a modo de capacitancia parásita. Fenómenos como estos, merecen la atención de los diseñadores de circuitos integrados para radiofrecuencia, debido al uso extendido de inductores en elementos como LNA, osciladores, y amplificadores de potencia integrados.

El primer fenómeno que desvía al inductor integrado del modelo simple, es el *efecto piel*. Consiste en la reducción de la profundidad del área de conducción del metal, a medida que se incrementa la frecuencia. La profundidad de "piel" se expresa como:

$$\delta(f) = \sqrt{(\frac{\rho}{f\pi\mu})} \tag{A.4}$$

donde f es la frecuencia, μ es la permeabilidad del metal, y ρ es su resistivdad expresada en Ω–m. Aplicando (A.4) al esquema mostrado en la figura A.2, la resistencia AC efectiva es equivalente a:

$$R_{AC} = \frac{\rho L}{area\ efectiva} = \frac{\rho L}{W \cdot H - (W - 2 \cdot \delta(f)) \cdot (H - 2 \cdot \delta(f))} \tag{A.5}$$

donde se deduce que R_{AC} es dependiente de la frecuencia. Espiras más anchas aumentan el área efectiva de conducción, pero incrementan el valor de la capacitancia parásita hacia otras capas del proceso, como se ilustra en la figura A.3. En la gráfica, se esquematiza la capacitancia parásita entre las espiras de metal y el sustrato, a través del óxido de pasivación. Un aumento de la capacitancia parásita conlleva a una reducción de la reactancia equivalente, y un descenso de la frecuencia de autorresonancia hacia valores cercanos a la frecuencia del oscilador, perturbando sensiblemente el valor de la inductancia en el punto de operación. Capacitancias parásitas considerables, reducen el conjunto de capacitancias posibles del varactor, constriñiendo el rango de sintonía del oscilador (ec. (2.22)). Otras son las consideraciones para las pérdidas ohmicas hacia sustrato, que en la figura A.3 se modelan como resistencias, donde el efecto de estas pérdidas depende de la concentración del sustrato. Sustrato altamente dopados, ofrecen

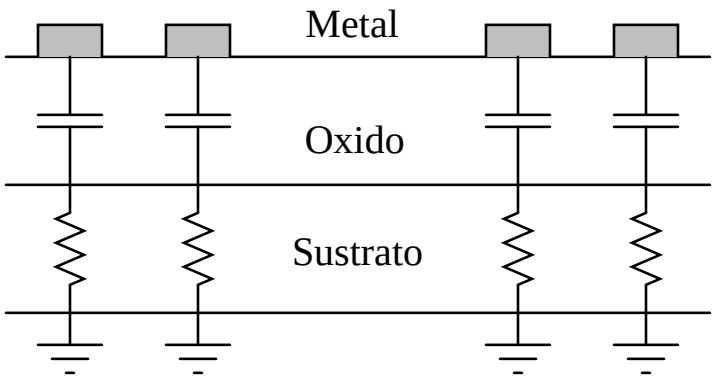

Figura A.3: Esquema de capacitancia parásita del hacia el sustrato a través del óxido, y resistencia parásita del sustrato

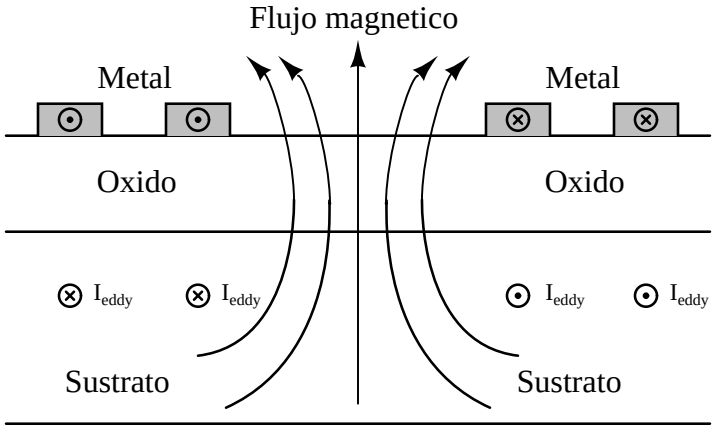

Figura A.4: Esquema de la corriente de *eddy* inducida por el flujo magnético.

menores resistencias, y un desvío de baja impedancia para la señal que circula en la espira.

Así mismo, estos sustratos de baja resistencia facilitan el paso a corrientes de *eddy*, inducidas por el flujo magnético transversal a la espira. Como se ilustra en la figura A.4, las corrientes de *eddy* son inducidas en sentido contrario que las corrientes que circulan sobre la espira. De acuerdo a la ley de Faraday–Lenz:

$$\oint \vec{E} \cdot d\vec{l} = -\int\int_S \frac{\partial \vec{B}}{\partial t} \cdot d\vec{s} \tag{A.6}$$

un campo magnético variante en el tiempo induce corrientes en elementos conductores cercanos. La magnitud del campo eléctrico generado es proporcional a $\frac{\partial B}{\partial t}$, así que su influencia aumenta a frecuencias más altas. Las corrientes de *eddy* generadas reducen el flujo magnético neto, decrementando la inductancia total de la espira. La profundidad de penetración del campo magnético en el sustrato es cercano al radio del inductor [67], por lo cual, inductores más extensos, están más expuestos a pérdidas debidas a corrientes de *eddy*.

El flujo magnético del inductor planar reune los flujos magnéticos ocasionados por cada una de las espiras, y su área efectiva de flujo encierra, en buena medida, la extensión de la espira. La circulación de corriente a través de las espiras de mayor diámetro causa

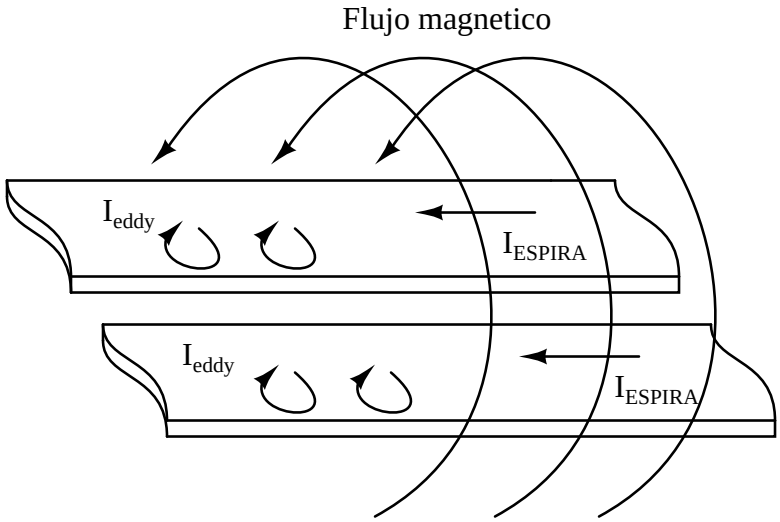

Figura A.5: Esquema de las corrientes de *eddy* inducidas sobre la espira.

un flujo magnético que atraviesa perpendicularmente las espiras de menor diámetro, induciendo corrientes de *eddy* sobre sus superficies. En la figura A.5 se ilustra este efecto, identificándose que el sentido de las corrientes parásitas es contrario al de la corriente de la espira en el borde externo de la lámina, e igual hacia el borde interno. Sobre las espiras de menor diámetro, la diferencia de longitud entre borde externo e interno es considerable, presentando estas por efecto de las corrientes de *eddy*, mayor resistencia al paso de la corriente de señal. Por ejemplo, para operación en 2 GHz, se ha encontrado que mientras la resistencia de las espiras externas aumenta un 18 % respecto a su resistecia DC, la resistencia de las espiras internas a la misma frecuencia aumenta 480 % sobre el valor presentado en DC [15]. En este sentido, la búsqueda de altos factores de calidad inicia con inductores de área reducida, cuyas espiras se mantengan, en lo posible, más alejadas del centro.

A riesgo de parecer antagónica, la anterior formulación de condiciones acerca de altos factores de calidad, en inductores pequeños, pero con diámetros internos relativamente grandes, impone complejas relaciones electromagnéticas a la selección de las dimensiones del inductor planar. Si bien la teoría desarrollada alrededor del inductor planar ha validado la aplicación de equivalentes concentrados y lineales para facilitar el modelamiento las pérdidas ocasionadas por tales fenómenos, el diseño de estos elementos aun recurre a la selección sobre un conjunto de parámetros observados experimentalmente. Sin embargo, conocer las estrechas relaciones físicas entre los fenómenos parásitos anteriormente mostrados, fortalece el criterio de selección de las dimensiones óptimas, y contribuye a sentar precedente acerca de las potencialidades que puede ofrecer una tecnología de fabricación, a la implementación de un sistema integrado.

A nivel de diseño del oscilador, el efecto combinado de los elementos parásitos ilustrados en las figuras A.3, A.4 y A.5, disminuye el factor de calidad equivalente. Una reducción de este parámetro, indica un aumento de la resistencia total mostrada por el inductor, obligando a la transconductancia negativa de los transistores a incrementarse, y en consecuencia, a escalar la geometría de los elementos activos, y demandar un mayor consumo de corriente para mantener un rango de excursión constante (2.15). La necesidad de un modelo ciruital que discretice las características eléctricas del inductor en el

punto de operación se justifica, debido a la sencillez con que, junto con los equivalentes circuitales de transistor y varactor, permite verificar los criterios de funcionamiento y desempeño establecidos en capítulos anteriores para el funcionamiento del oscilador.

A.3.2. Modelo circuital del inductor planar

Recientemente, algunos modelos geométricos se han presentado para inductor planar cuadrados, hexagonales y octagonales [52], como:

$$L = K_1 \mu \frac{n^2 d_{prom}}{1 + K_2 \phi} \tag{A.7}$$

donde μ es la permeabiliad magnética del medio, n el número de vueltas, y d_{prom} es el diámetro promedio calculado como:

$$d_{prom} = \frac{d_{ext} + dint}{2} \tag{A.8}$$

mientras ϕ indica la "oquedad" del inductor, expresada así:

$$\phi = \frac{d_{ext} - d_{int}}{d_{ext} + d_{int}} \tag{A.9}$$

con ello se indica que inductores más "huecos" (es decir, con $d_{ext} \approx d_{int}$), presentan más inductancia que aquellos "rellenos" (donde $d_{ext} \gg d_{int}$). Esta interpretación tiene sentido, ya que las vueltas más internas del inductor planar están más expuestas a las corrientes de *eddy* sobre la espira, y su reducido diámetro disminuye el aporte que ofrecen a la inductancia total. Los valores para K_1 y K_2 se registran en la tabla A.1, y son constantes según la geometría usada.

Las anteriores expresiones, conocidas como fórmúlas de Wheeler, ofrecen una estimación bastante precisa del valor de inductancia [2], dados parámetros geométricos como diámetros y número de vueltas. Llama la atención la manera como se asignan los valores para K_1 y K_2, sugiriendo que provienen de un ajuste estadístico para el valor de la inductancia, observada experimentalmente en las diferentes geometrías. Sencillos

Geometría	K_1	K_2
Cuadrada	2.34	2.75
Hexagonal	2.33	3.82
Octagonal	2.25	3.55

Tabla A.1: Coeficiente para el modelo de Wheeler

cálculos ayudan a estimar los equivalentes pasivos del modelo pi. Junto con las ecuaciones (A.5) y (A.7), la capacitancia hacia sustrato se formula como:

$$C_{OX1} = \frac{\epsilon_0 \cdot \epsilon_{óxido} \cdot W \cdot L}{2h} \tag{A.10}$$

donde ϵ_0 y $\epsilon_{óxido}$ son las permitividades del vacío y la relativa del óxido respectivamente. W es el ancho de la espira, y L es la longitud total de la espira, cuyo producto determina

el área de metal que forma el capacitor de placas paralelas que (A.10) calcula. Se divide en dos porque es una capacitancia distribuida en toda la superficie, y C_{OX1} ofrece el equiavlente visto desde el puerto de entrada. Para el puerto de salida $C_{OX2} = C_{OX1}+C_{traslape}$, donde $C_{traslape}$ es la capacitancia formada por los segmentos traslapados en el puerto de salida. La capacitancia entre espiras se calcula como:

$$C_{espira} = \frac{\epsilon_0 \cdot \epsilon_{óxido} \cdot d \cdot L}{s} \tag{A.11}$$

Allí, d representa el grosor del metal, y s el espaciamiento entre espiras. A medida que el número de espiras y el diámetro del inductor aumenta, la longitud total de la espira L aumentará y con ella la capacitancia, así como espaciamientos más holgados reducirán su valor. R_s y C_s representan las pérdidas hacia sustrato. Estas dependen del dopamiento del sustrato y de la disposición de área y forma que presente el inductor. Su cálculo comprende complejas relaciones no lineales, cuya ejecución corre por cuenta de métodos numéricos basados en la aplicación de elementos finitos, proporcionada por herramientas de cómputo.

La obtención del factor de calidad para cada puerto y diferencialmente, se facilita interpretando esta red pasiva en términos de su equivalente Y de dos puertos[1], como se muestra en la figura 3.4. Una vez calculados cada uno de los elementos del modelo pi, la conversión al modelo Y se facilita por la simitud entre sus topologías.

La expresión (A.2) es aplicable a esta nueva representación, hallando la impedancia equivalente en términos de los parámetros Y, el factor de calidad para el puerto de entrada se redefine como:

$$Q_{ent} = \frac{\left| Im\left(\frac{1}{Y_{11}}\right)\right|}{\left| Re\left(\frac{1}{Y_{11}}\right)\right|} \tag{A.12}$$

mientras para el puerto de salida:

$$Q_{sal} = \frac{\left| Im\left(\frac{1}{Y_{22}}\right)\right|}{\left| Re\left(\frac{1}{Y_{22}}\right)\right|} \tag{A.13}$$

La impedancia equivalente en un puerto se calcula con el puerto contrario conectado al nodo de referencia, como se ilustra en la figura A.6. Esta impedancia equivalente tiene la forma $R_{eq} + jX_{eq}$ y puede verse como la conexión en serie de una resistencia y una reactancia equivalentes, denotadas por R_{eq} y X_{eq} respectivamente. De una simple inspección se deduce que la impedancia de entrada es diferente a la tomada en la salida debido a la inclusión de la capacitancia $C_{traslape}$. Esta asimetría se ve reflejada en el factor de calidad que es diferente en cada uno de los puertos, siendo ligeramente mayor en el puerto de entrada [2].

Diferencialmente, el cálculo de la impedancia equivalente reviste nuevas consideraciones. Una señal diferencial debe alimentar la red RLC entre sus terminales de entrada

[1]Para una red pasiva, se asume $Y_{12} = Y_{21}$

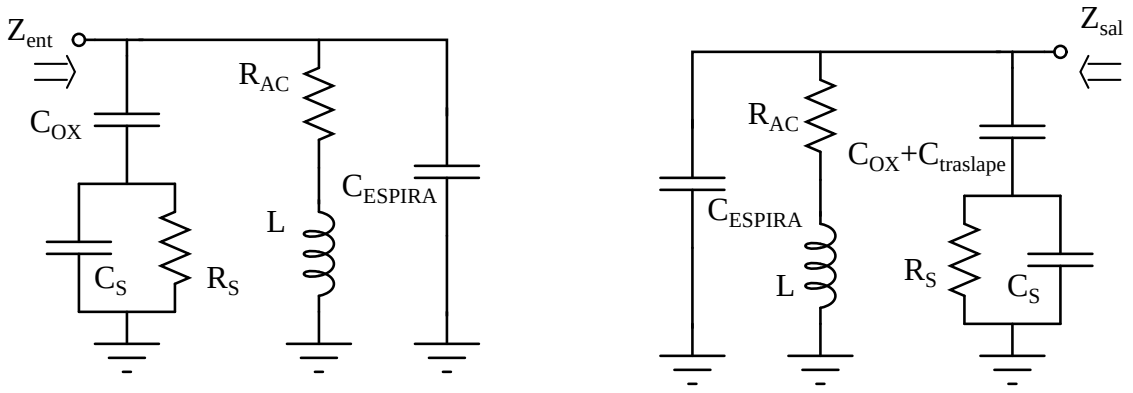

Figura A.6: Equivalentes circuitales del inductor referenciado en el puerto de entrada y de salida.

Figura A.7: Equivalentes en serie de la impedancia tomada en un puerto y diferencialmente

y salida, obteniendo una expresión en términos de los parámetros Y de la figura 3.4, así:

$$Z_{diferencial} = R_{dif} + jX_{dif} = \left(\frac{1}{-Y_{12}}\right) \Bigg|\Bigg| \left(\frac{1}{Y_{11}+Y_{12}} + \frac{1}{Y_{22}+Y_{12}}\right) \tag{A.14}$$

$$= \frac{Y_{11}+Y_{22}+2Y_{12}}{Y_{11}Y_{22}-Y_{12}^2} \tag{A.15}$$

donde se asume que el nodo de referencia es una tierra virtual. Este punto de vista propuesto en [35], ofrece una estimación indirecta del impacto de cada uno de los fenómenos parásitos en la impedancia equivalente.

A.4. Topologías para varactor integrado

Diferentes estructuras para varactor aprovechan las propiedades de la capacitancia de unión presentada entre una difusión p y n. La estructura más sencilla de esta clase, es el diodo varactor, cuyo esquema se ilustra en la figura A.8. Esta estructura consiste en una difusión n y otra p, localizadas en un pozo n[2], sobre las cuales se aplica una

[2]Existen otras configuraciones como n+ en sustrato p, que requieren de tensiones negativas para polarizar inversamente el diodo. Además, la unión p+/pozo-n presenta menor resistencia serie, mejorando la característica de su factor de calidad [35].

diferencia de potencial que polarice inversamente el diodo, creando una región de agotamiento de portadores. La capacitancia equivalente entre los terminales depende de la diferencia de tensión aplicada, similar a la registrada en la figura A.9. Esta magnitud se aproxima a la siguiente expresión:

$$C(V) = \frac{W \cdot L \cdot C_J}{\left(1 + \frac{V}{P_B}\right)^{MJ}} + \frac{2 \cdot (W + L) \cdot C_{JSW}}{\left(1 + \frac{V}{P_B}\right)^{MJ}} \tag{A.16}$$

donde C_J es la capacitancia por unidad de área, C_{JSW} es la capacitancia lateral por unidad de longitud, P_B es el potencial de la unión, M_J es el coeficiente de grado de la unión, y M_{JSW} el coeficiente de grado de la unión lateral. Para evitar que el diodo sea polarizado directamente, esta configuración es poco recomendable en topologías donde la señal en los terminales del varactor presente un amplio rango de excursión, como el caso del resonador LC propuesto para el oscilador.

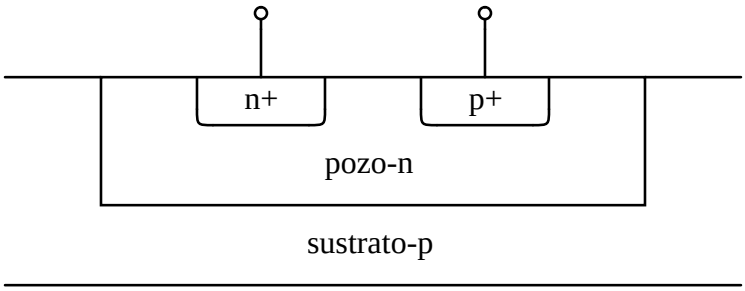

Figura A.8: Estructura del diodo varactor.

El comportamiento de la región de agotamiento en un transistor MOS, reune la característica capacitiva de las uniones p–n mostrada anteriormente, con la posibilidad de modular la región de agotamiento por medio de un potencial aplicado en la compuerta. Se fija la conexión entre dreno, fuente y cuerpo a un mismo nodo, y se aplica una diferencia de tensión entre este y la compuerta, como se ilustra en la figura A.10. La aplicación de difusiones p sobre pozo n, característica del transistor PMOS, facilita el desplazamiento de la tensión de cuerpo, en lugar de tener que fijarlo a un potencial, como sucede con el sustrato p, en caso de aplicacar un dispositivo NMOS.

La excursión de la tensión V_{BG} involucra la operación del dispositivo MOS dentro de regiones de acumulación, agotamiento, e inversión fuerte. Cuando la tensión en la compuerta es mayor que la del pozo, los portadores mayoritarios son atraídos hacia el canal, y la capacitancia vista en la compuerta se aproxima a C_{ox}. Una vez aumenta la tensión de pozo respecto a la de compuerta, los portadores mayoritarios son repelidos hacia el pozo, aumentando la profundidad de la zona de agotamiento, y reduciendo la capacitancia vista en la compuerta. Por último, cuando la tensión del pozo supera la de compuerta en $|V_T|$, la inyección de portadores minoritarios formando canal bajo la compuerta, reduce de nuevo la profundidad de la región de agotamiento, aumentando rápidamente la capacitancia. Así, para la región de inversión fuerte ($V_B \geq V_G$), la capacitancia vista se aproxima de nuevo a C_{ox} [59].

Como alternativa, la formación de canal se inhibe con el reemplazo de ls difusiones p+, por difusiones n+ (ver figura A.12). Por este medio, la capacitancia varía desde

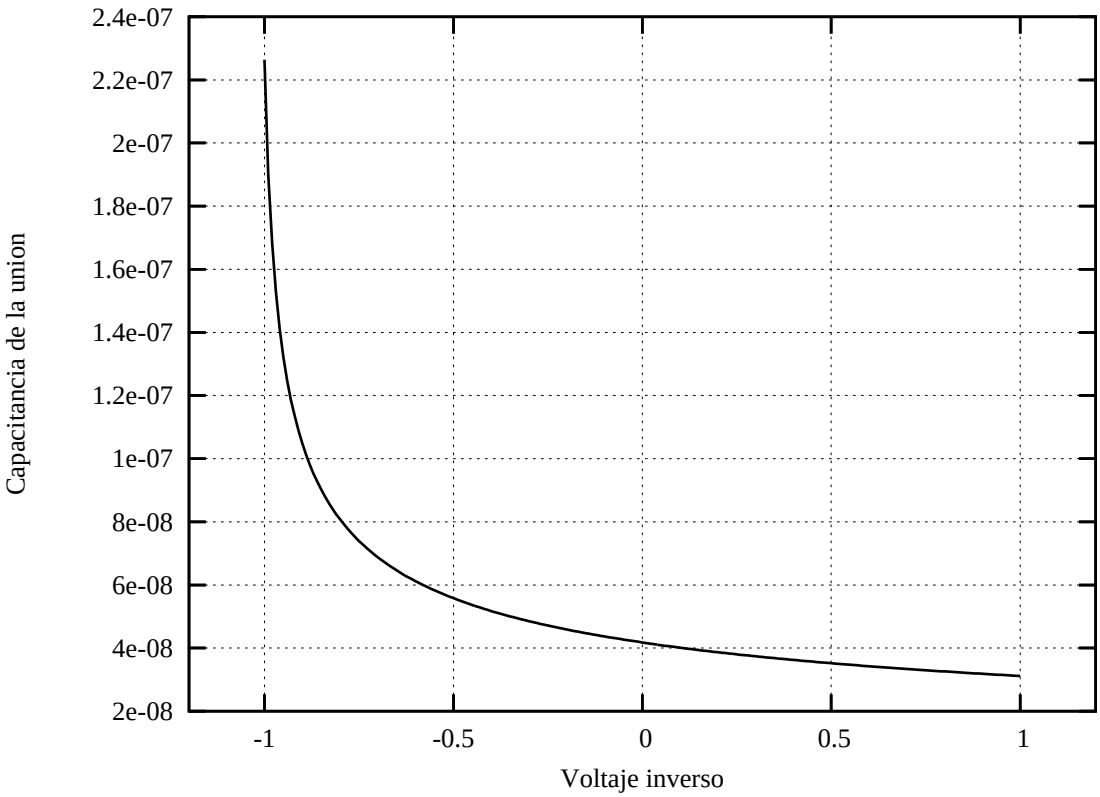

Figura A.9: Relación capacitancia–voltaje del diodo varactor

regiones de acumulación a agotamiento, variando la tensión sobre el pozo n con la aplicación de la tensión de control. También conocido como AMOS (MOS de acumulación), este varactor presenta una característica monótona y suave como se distingue en la figura 3.19. Para esta topología, la señal de control se aplica sobre el pozo n, y la señal oscilante sobre la compuerta. La tensión efectiva sobre el varactor será la diferencia entre la tensión de control y el punto de medio de la señal oscilante. El diseño del varactor AMOS debe buscar que esta tensión diferencia corresponda con la zona central y máximamente lineal de la capacitancia, para que el valor medio de la capacitancia corresponda aproximadamente con la equivalente al valor medio de la tensión diferencia.

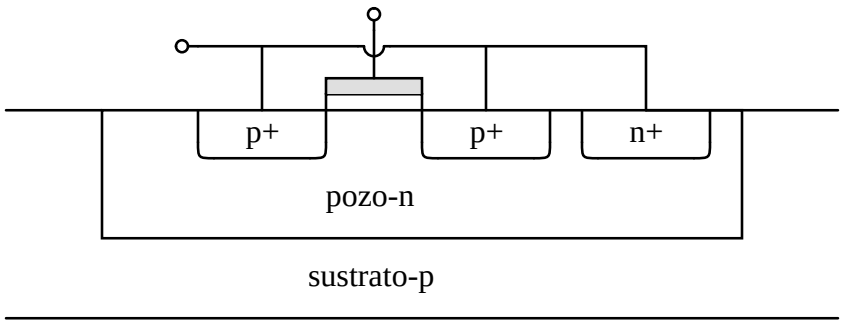

Figura A.10: Estructura del varactor PMOS.

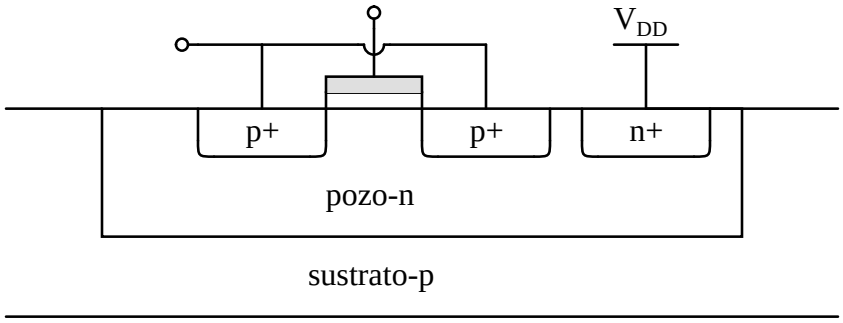

Figura A.11: Estructura del varactor PMOS de inversión.

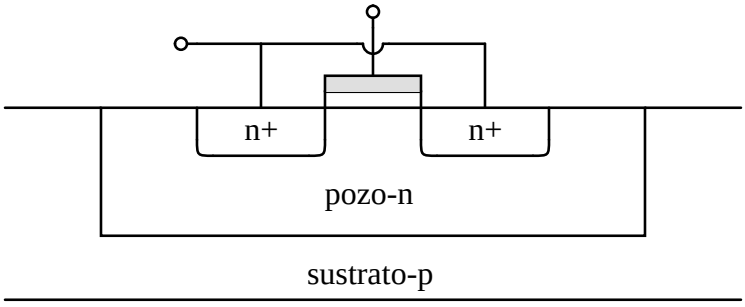

Figura A.12: Estructura del varactor de acumulación.

Apéndice B

Teoría del ruido de fase

Una de las maneras más sencillas de asumir un oscilador eléctrico, se registra en la figura B.1. Allí se distingue claramente la combinación de un sistema restaurador de energía y un resonador, como la red inductor–capacitor. A pesar de la idealización de este modelo, el oscilador es visiblemente un dispositivo no lineal. Tan solo con verificar el proceso de arranque del oscilador, se encuentra que una perturbación transitoria inicial en el sistema debe ocasionar una señal armónica de frecuencia estable como salida. Además, el momento de ocurrencia de un fenómeno perturbatorio en medio de la operación estable, tendrá una influencia en la fase de la señal de salida, haciendo el sistema variante en el tiempo[1].

Un impulso de corriente que excite un oscilador LC en algún momento, afecta tanto la amplitud de la oscilación como el período de cruces por cero, siendo este período un parámetro para cuantificar la fase. La ocurrencia de la perturbación determinará la cantidad de variación de la fase de la señal. Una manera sencilla de comprender este proceso consiste en asumir un sistema LTV que modele la respuesta al impulso de la fase, así:

$$h_\phi(t,\tau) = \frac{\Gamma(\omega_0\tau)}{q_{máx}} u(t-\tau) \tag{B.1}$$

donde $\Gamma(\omega_0 t)$ representa la función de *suceptibilidad* del oscilador ante algún impulso perturbador en el instante de tiempo $t = \tau$, ω_0 es la frecuencia de oscilación, y $q_{máx}$ es la carga máxima almacenada en el nodo de salida. La función $\Gamma(\omega_0 t)$ es adimensional y períodica. Sus máximos ocurren cuando la señal del oscilador LC cruza por cero y sus mínimos se presentan cuando hay valores pico en la salida, indicando los momentos de

[1]La teoría mostrada en este apartado es una adaptación de la teoría de ruido de fase expuesta en [3, 11]

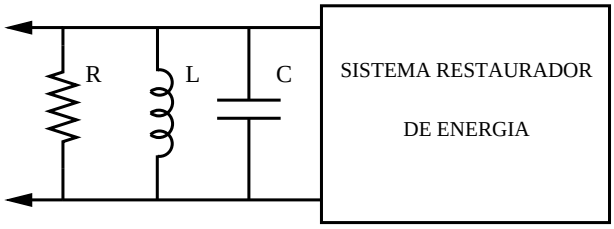

Figura B.1: Modelo del oscilador ideal.

mayor y menor suceptibilidad del oscilador respectivamente. De acuerdo con el modelo propuesto en (B.1), una corriente de ruido $i(t)$ causará un corrimiento de fase dado por:

$$\begin{aligned}\phi(t) &= \int_{-\infty}^{\infty} h_\phi(t,\tau) i(\tau)\ d\tau \\ &= \int_{-\infty}^{t} \frac{\Gamma(\omega_0\tau)}{q_{máx}} i(\tau)\ d\tau\end{aligned} \tag{B.2}$$

Ya que $\Gamma(\omega_0 t)$ es periódica, se puede expresar como una serie:

$$\Gamma(\omega_0\tau) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos\left(n\omega_0\tau + \theta_n\right) \tag{B.3}$$

donde θ_n es una variable aleatoria. El producto $\Gamma(\omega_0 t)i(t)$ consiste en la adición de todos los desplazamientos en frecuencia del espectro de $i(t)$, ocasionados por cada componente $c_n \cos\left(n\omega_0\tau\right)$ de $\Gamma(\omega_0 t)$ [3].

$$\phi(t) = \frac{1}{q_{máx}}\left[\frac{c_0}{2}\int_{-\infty}^{t} i(\tau)\ d\tau + \sum_{n=1}^{-\infty} c_n \int_{-\infty}^{t} i(\tau)\cos\left(n\omega_0\tau\right) \mathrm{d}\tau\right] \tag{B.4}$$

La aplicación de la integral sobre el producto $\Gamma(\omega_0 t)i(t)$ atenuará las componentes espectrales más altas, y producirá un espectro concentrado alrededor de cero para $\phi(t)$. Este espectro banda base es resultado de la modulación entre componentes de ruido a una distancia $\Delta\omega$ de alguna frecuencia $n\omega_0$, y componentes *m–ésimas* de $\Gamma(\omega_0 t)$ cuando $n = m$. La sumatoria de los aportes dados por cada vecindad de ruido alrededor de $n\omega_0$, y la atenuación aplicada por la integral a frecuencias altas [3,11], aproxima la expresión de fase a:

$$\phi(t) \approx \frac{I_n \sin\left(\Delta\omega t\right)}{2q_{máx}\Delta\omega} \sum_{n=0}^{\infty} c_n \tag{B.5}$$

Con la expresión (B.5) se logra una cuantificación de la perturbación de fase debido a la presencia de corrientes de ruido. ¿De qué manera afecta este desplazamiento de fase a la señal del oscilador?. Recordando la ecuación general del oscilador armónico:

$$\begin{aligned}y(t) &= A(t)\cdot\cos\left(\phi_{TOTAL}(t)\right) \\ &= A(t)\cdot\cos\left(\omega t + \phi(t)\right)\end{aligned} \tag{B.6}$$

se observa la dependencia de la señal respecto a la variación de $\phi(t)$. Asumiendo que la amplitud $A(t)$ y la frecuencia central ω se mantienen constantes, la fase total crecerá con la magnitud de la señal de ruido. Es allí donde el ruido de fase se asocia a la distorsión provocada por la modulación de señales espurias. De forma general, el esquema de la figura B.2 muestra la combinacoión en cascada de los procesos anteriormente descritos, que llevan a una corriente de ruido a convertirse en ruido de fase.

El espectro en frecuencia de (B.6) corresponde a dos bandas laterales alrededor de la frecuencia central ω_0. De la teoría de modulación de fase, la potencia de estas bandas es consecuencia de la distrosión de fase provocada por el ruido. Sobre el espectro de frecuencia, el ruido de fase se cuantifica relacionando la potencia de la banda medida a

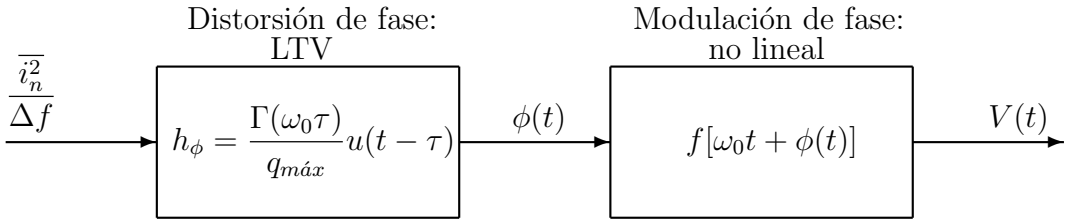

Figura B.2: Diagrama de bloques del proceso de conversión del ruido en ruido de fase.

una distancia $\Delta\omega$ de la frecuencia de oscilación, y la potencia de la componente centrada en la frecuencia de oscilación:

$$L\{\Delta\omega\} = 10 \cdot \log\left[\frac{\mathcal{P}_{B.LATERAL}(\omega_0 + \Delta\omega, 1Hz)}{\mathcal{P}_{PORTADORA}}\right] \tag{B.7}$$

expresándose en dBc/Hz. Reemplazando (B.5) en (B.6), asumiendo la densidad espectral de potencia del ruido como $\overline{i_n^2}/\Delta f$ [3], y relacionando la potencia de la banda y la de portadora como en (B.7), se obtiene:

$$L\{\Delta\omega\} = 10 \cdot \log\left(\frac{\frac{\overline{i_n^2}}{\Delta f}\sum_{n=0}^{\infty} c_n}{4q_{máx}^2\Delta\omega^2}\right) \tag{B.8}$$

Aplicando la relación de Parseval para (B.3):

$$\sum_{n=0}^{\infty} c_n^2 = \frac{1}{\pi}\int_0^{2\pi} |\Gamma(x)|^2 \; dx = 2\Gamma_{rms}^2 \tag{B.9}$$

y reemplazando en (B.8)

$$L\{\Delta\omega\} = 10 \cdot \log\left(\frac{\overline{i_n^2}/\Delta f}{2q_{máx}^2} \cdot \frac{\Gamma_{rms}^2}{\Delta\omega^2}\right) \tag{B.10}$$

Esta ecuación cuantifica el aporte de una sola fuente de ruido, con $\Gamma(\omega_0 t)$ como la función de suceptibilidad del oscilador ante sus efectos [3,11]. Es necesario simplificar los términos de la ecuación (B.10) a expresiones equivalentes que puedan ser aprovechadas en la actividad de diseño:

$$\frac{\overline{i_n^2}}{\Delta f} = \frac{4kT}{R_P} \tag{B.11}$$

$$Q = R_P C \omega_0 \tag{B.12}$$

$$P_{senal} = \frac{V_{rms}^2}{R_P} \tag{B.13}$$

$$V_{máx}^2 = 2V_{rms}^2 \tag{B.14}$$

donde k es la constante de Boltzman, $k \approx 1{,}38 \cdot 10^{-23}\frac{J}{K}$, T es la temperatura absoluta en Kelvin, y R_P es la resistencia en paralelo con la capacitancia. La ecuación (B.10) se simplifica como:

$$L\{\Delta\omega\} = 10 \cdot \log\left(\Gamma_{rms}^2 \cdot \frac{4kT}{2R_P} \cdot \frac{1}{\Delta\omega^2} \cdot \frac{1}{C^2 V_{máx}^2}\right) \tag{B.15}$$

$$L\{\Delta\omega\} = 10 \cdot \log\left[\Gamma_{rms}^2 \cdot \frac{kT}{P_{senal}} \cdot \left(\frac{\omega_0}{Q\Delta\omega}\right)^2\right] \tag{B.16}$$

Con la ecuación (B.15) se relacionan variables que se ajustan en la operación de diseño. Por ejemplo, allí se muestra que incrementando el factor de calidad, o la potencia de la señal, el ruido de fase ocasionado por esa corriente de ruido decrece. El valor de Γ_{rms}^2 puede ser minimizado si se diseña un oscilador que distribuya simétricamente la señal genrada por su respectiva fuente de ruido [3].[2] Para el caso de una fuente de voltaje que modele el ruido en el inductor, las ecuaciones se redefinen como:

$$h_\phi = \frac{\Gamma(\omega_0\tau)}{\Phi_{máx}} u(t-\tau) \tag{B.17}$$

$$L\{\Delta\omega\} = 10 \cdot \log\left(\frac{\overline{v_n^2}/\Delta f}{2\Phi_{máx}^2} \cdot \frac{\Gamma_{rms}^2}{\Delta\omega^2}\right) \tag{B.18}$$

$$\Phi_{máx} = LI_{máx} \tag{B.19}$$

$$Q = \frac{\omega_0 L}{R_S} \tag{B.20}$$

$$P_{senal} = I_{rms}^2 R_S \tag{B.21}$$

$$I_{máx}^2 = 2I_{rms}^2 \tag{B.22}$$

donde $\overline{v_n^2}/\Delta f$ es la densidad espectral de potencia del voltaje de ruido en serie con el inductor, $\Phi_{máx}$ es el flujo magnético, y R_S es la resistencia en serie que modela las pérdidas del inductor. Con estas expresiones se simplifica (B.17) a la siguiente relación:

$$L\{\Delta\omega\} = 10 \cdot \log\left(\Gamma_{rms}^2 \cdot \frac{4kTR_S}{2\Delta\omega^2} \cdot \frac{1}{L^2 I_{máx}^2}\right) \tag{B.23}$$

$$L\{\Delta\omega\} = 10 \cdot \log\left[\Gamma_{rms}^2 \cdot \frac{kT}{P_{senal}} \cdot \left(\frac{\omega_0}{Q\Delta\omega}\right)^2\right] \tag{B.24}$$

donde se evidencia que el efecto se cuantifica de la misma forma que (B.15). De esta manera, se verifica el efecto de las fuentes de ruido dentro del circuito como perturbadores de la fase de la señal del oscilador, y por ende de su espectro en frecuencia. Este efecto tiene importantes repercusiones cuando el oscilador funciona dentro de un *transceiver* que aplica un estándar de comunicaciones, donde la perturbación hacia canales adyacentes está acotada por un ruido de fase máximo.

B.1. Ruido de fase en sistemas de comunicación

Para lograr una aproximación al efecto del ruido de fase en sistemas de comunicación, considérese un *transceiver* como el indicado en la figura 1.9. Allí, la señal del oscilador

[2] La función Γ se determina para cada fuente de ruido.

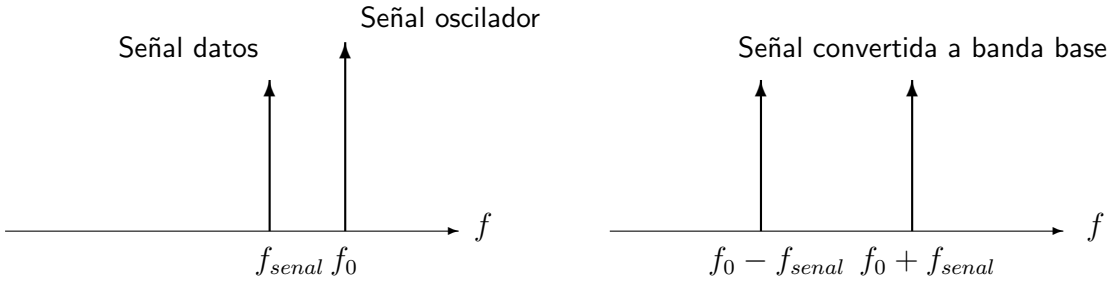

Figura B.3: Espectro del desplazamiento de la señal debida a un oscilador ideal.

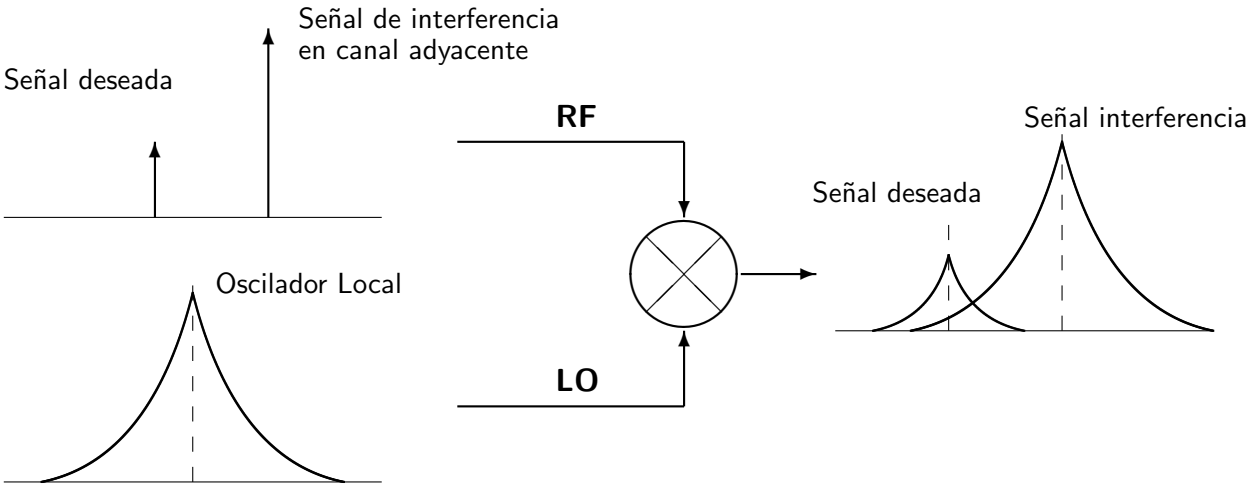

Figura B.4: Mezcla señal de entrada (datos e interferencia), con señal oscilador real

local es mezclada con la señal entrante y la señal saliente del sistema de comunicaciones. Si la señal del oscilador local se encuentra corrupta por ruido de fase, las señales de datos serán mezcladas produciendo una conversión distorsionada del espectro en frecuencia, como se explicará a continuación.

Con el ánimo dei comparar, asúmase el espectro de la señal del oscilador local como un impulso ideal en la frecuencia de conversión. El espectro de cualquier señal entrante o saliente se mezclará, desplazándose en frecuencia, como se registra en la figura B.3, manteniendo la misma forma del conjunto de componentes frecuenciales de entrada. Cuando la señal del oscilador local presenta ruido de fase, se identifica un espectro en frecuencia como el registrado en la figura B.4, donde se deduce que conlleva el aporte de múltiples componentes frecuenciales diferentes a la frecuencia del oscilación nominal. Este fenómeno ubica al espectro de la señal del oscilador, mas que en un emplazamiento puntual, en un conjunto de frecuencias alrededor de la frecuencia central, abarcando un rango que puede alcanzar canales adyacentes al canal de interés, y por ende, obtener mezclas de señales indeseables o interferencias cercanas, y quizá, apantallamiento de la señal propia con señales vecinas de mayor potencia.

B.2. Relaciones a partir del ruido de fase

Los exigentes requisitos de canalización impuestos por los estándares de comunicaciones, se confirman en la constante demanda de pureza espectral para una mayor cantidad de canales dentro de un ancho de banda dado, convirtiendo el ruido de fase en una especificiación que merece especial atención, y en criterio principal de diseño para la mayoría de osciladores destinados a un sistema de comunicaciones. El ruido de fase consiste en la distribución desigual de la fase de la señal oscilante [3,11], o perturbación de los cruces por cero de la señal, degradando la calidad en procesos de modulación o demodulación, o afectando la uniformidad de la referencia de tiempo que usan dispositivos como conversores y procesadores digitales. Desde el espectro en frecuencia, la distribución desigual de cruces por cero implica una variación de la frecuencia instantánea de la señal, produciéndose bandas laterales parásitas alrededor de la frecuencia de la señal portadora, y afectando principalmente los canales adyacentes al sintonizado por el sistema de comunicación.

La minimización del ruido de fase en un oscilador LC, implica la reducción de potencia de tales bandas espurias, tarea que requiere una expresión explicita que modele el ruido de fase en términos de las variables de diseño (una demostración acerca del modelo para el ruido de fase, se encuentra en el apéndice B). En la región $1/f^2$, el ruido de fase se formula como [53–55]:

$$\mathcal{L}\{f_{off}\} = \frac{1}{8\pi^2 f_{off}^2} \cdot \frac{1}{q_{máx}^2} \cdot \sum_n \left(\frac{\overline{i_n^2}}{\Delta f} \cdot \Gamma_{rms,n}^2 \right) \tag{B.25}$$

donde f_{off} es la frecuencia offset respecto a la frecuencia de oscilación central, y $q_{máx}$ es la carga máxima desplazada en el tanque. La sumatoria de $\overline{i_n^2}/\Delta f$, cuantifica el aporte de todas las fuentes de ruido en el sistema (ruido de inductor, ruido de varactor, ruido de compuerta, ruido de drenador), ponderado con $\Gamma_{rms,n}$ que es el valor RMS de la función de suceptibilidad para cada una de tales fuentes de ruido [3]. La ecuación (B.25) se expresa de forma equivalente como:

$$\mathcal{L}\{f_{off}\} = \frac{2L^2 f_0^4}{f_{off}^2 V_{tanque}^2} \cdot \sum_n \left(\frac{\overline{i_n^2}}{\Delta f} \cdot \Gamma_{rms,n}^2 \right) \tag{B.26}$$

donde se evidencia que la amplitud máxima de la señal de salida, dada por V_{tanque}, reduce el ruido de fase, mientras que un incremento de la inductancia lo aumenta cuadráticamente. De (B.26) se llega a otra expresión equivalente como:

$$\mathcal{L}\{f_{off}\} = \frac{1}{2f_{off}^2} \cdot \frac{f_0}{Q^2 I^2} \cdot \sum_n \left(\frac{\overline{i_n^2}}{\Delta f} \cdot \Gamma_{rms,n}^2 \right) \tag{B.27}$$

donde el ruido de fase es inversamente proporcional al cuadrado del factor de calidad, y directamente proporcional a la frecuencia de operación. Junto con la dependencia explícita del ruido de fase respecto a diferentes variables determinísiticas, también se considera la influencia del ruido aportado por el sistema, haciendo útil una revisión del aporte que cada elemento del oscilador remite a la señal de ruido total.

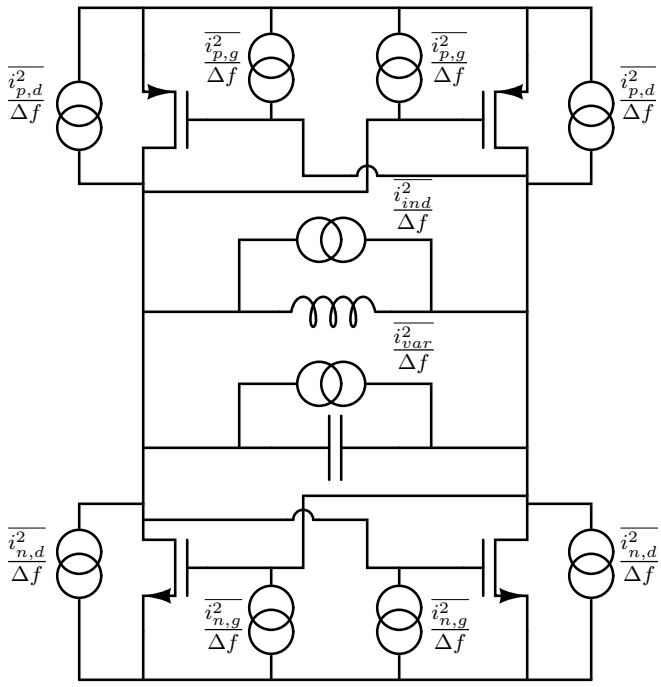

Figura B.5: Oscilador LC complementario con fuentes de ruido

B.2.1. Fuentes de ruido

Como se indica en (B.25), la influencia de las fuentes de ruido se expresa como la suma de la densidad espectral de potencia aportada por cada elemento "ruidoso", ponderada con la función Γ. En la figura B.5 se muestra el modelo esquemático del oscilador LC complementario, con las fuentes de corriente de ruido que aporta cada componente del circuito. La densidad espectral de potencia para cada una de ellas, esta dada por:

$$\frac{\overline{i_d^2}}{\Delta f} = 4kT\gamma g_{d0} \tag{B.28}$$

$$\frac{\overline{i_g^2}}{\Delta f} = \frac{4kT\delta\omega^2 C_{gs}^2 E_{sat} L}{5I_{bias}} \tag{B.29}$$

$$\frac{\overline{i_{ind}^2}}{\Delta f} = 4kT\gamma g_L \tag{B.30}$$

$$\frac{\overline{i_{var}^2}}{\Delta f} = 4kT\gamma g_{v,máx} \tag{B.31}$$

donde solo se tiene en cuenta el ruido térmico[3] ocasionado por las transconductancias parásitas de inductor y varactor, junto con el ruido de canal y drenador de los transistores. Aplicando el modelo de pequeña señal presentado en la figura 2.15, con las expresiones para la densidad de ruido de cada componente, se encuentra que las

[3]El ruido de fase en la región $1/f^2$, se estima a partir del ruido blanco o térmico (véase Apéndice B)

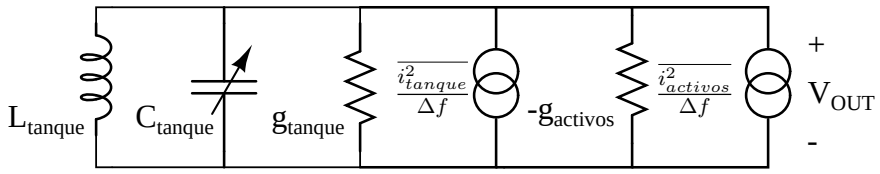

Figura B.6: Circuito equivalente con fuentes de ruido

densidades de ruido aportadas diferencialmente a la señal de salida son:

$$\frac{\overline{i^2}_{dren}}{\Delta f} = 2kT\gamma(g_{d0,n} + g_{d0,p}) \tag{B.32}$$

$$\frac{\overline{i^2}_{canal}}{\Delta f} = \frac{2kT\delta\omega^2}{5}\left(\frac{C_{gs,n}^2}{g_{d0,n}} + \frac{C_{gs,p}^2}{g_{d0,p}}\right) \tag{B.33}$$

$$\frac{\overline{i_{IND}^2}}{\Delta f} = 2kT\gamma g_L \tag{B.34}$$

$$\frac{\overline{i_{VAR}^2}}{\Delta f} = 2kT\gamma g_{v,máx} \tag{B.35}$$

donde g_L y g_v se calculan a partir de (2.11) y (2.12) repectivamente, aplicando el modelo de la figura 2.15. Con la suma de las densidades de ruido diferencial equivalente se obtienen las densidades de ruido total, como se indica en la figura B.6; donde:

$$\frac{\overline{i_{tanque}^2}}{\Delta f} = \frac{\overline{i_{VAR}^2}}{\Delta f} + \frac{\overline{i_{IND}^2}}{\Delta f} + \frac{\overline{i^2}_{dren}}{\Delta f} \tag{B.36}$$

$$\frac{\overline{i_{activos}^2}}{\Delta f} = 4kT\gamma g_{activos} \tag{B.37}$$

La dominancia de la corriente de ruido del drenador es una característica inherente de cualquier oscilador LC CMOS [53, 55]. Como prueba de ello, se considera que la corriente de ruido introducida por el resonador cumple que:

$$\frac{\overline{i_{IND}^2}}{\Delta f} + \frac{\overline{i_{VAR}^2}}{\Delta f} < 4kTg_{tanque,máx} \tag{B.38}$$

Mientras $g_m = g_{d0}$ para transistores de canal largo, $g_m < g_{d0}$ para transistores de canal corto, específicamente relacionados así [53, 55]:

$$\frac{g_m}{g_{d0}} = \frac{L_{canal}E_{sat}}{2(V_{GS} - V_{th})} < 1 \tag{B.39}$$

Aplicando (2.6) y (B.32) a la anterior relación, se deduce que:

$$\frac{\overline{i^2}_{dren}}{\Delta f} \geq 4kT\gamma g_{activos} \tag{B.40}$$

donde la igualdad se cumple solo para transistores de canal largo ($g_m \approx g_{d0}$), y con $\overline{i^2}_{dren}/\Delta f$ calculado con (B.32). La proporción de corriente de ruido introducida por el resonador respecto a la inyectada por los drenadores de los transistores se obtiene como:

$$\frac{\overline{i^2_{IND}}/\Delta f + \overline{i^2_{VAR}}/\Delta f}{\overline{i^2}_{dren}\Delta f} < \frac{4kTg_{tanque,máx}}{4kT\gamma g_{activos}} \tag{B.41}$$

simplificando la expresión y aplicando la condición dada en (2.16):

$$\frac{\overline{i^2_{IND}}/\Delta f + \overline{i^2_{VAR}}/\Delta f}{\overline{i^2}_{dren}\Delta f} \leq \frac{1}{\gamma\alpha} \tag{B.42}$$

se consigue estimar un límite superior para la relación (B.41), a partir de la condición de arranque mostrada en la sección 2.3.

Con las anteriores expresiones se establece la dependencia del ruido a la relación entre parámetros físicos. El diseño del oscilador enfocado a minimizar ruido de fase hace uso de los compromisos anteriormente planteados. Más allá de la descripción del fenómeno de ruido, es importante conocer cómo las variables de diseño planteadas intervienen en la fórmulación de expresiones sencillas y útiles en la tarea de diseño.

Modelo simplificado para el ruido de fase Retomando la dominancia de la corriente de ruido del dreno sobre el ruido total, y reemplazando la ecuación B.32 en B.26, se obtiene que:

$$\mathcal{L}\{f_{off}\} \approx \left[\frac{16\pi^2 kT\gamma}{(L_{canal}E_{sat})_p} + \frac{16\pi^2 kT\gamma}{(L_{canal}E_{sat})_n}\right] \cdot \frac{f^4L^2I}{f^2_{off}V^2_{exc}} \tag{B.43}$$

donde g_{d0} fue reemplazado por $2I_{dreno}/(L_{canal}E_{sat})$ para canales cortos, y Γ^2_{rms} fue aproximado a 0.5, asumiendo ISF como una señal senoidal pura [53, 55].

Bibliografía

[1] E. Camacho and E. Colmenares, "Diseño y simulación de un modulador Sigma-Delta," Tesis de pregrado de la Universidad Industrial de Santander, 2000.

[2] J. Rogers and C. Plett, *Radio Frequency Integrated Circuit Design.* Norwood, MA: Artech House, 2003.

[3] A. Hajimiri and T. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, 1998.

[4] B. Razavi, *RF Microelectronics.* Prentice Hall Communications Engineering and Emerging Technologies Series, 1998.

[5] A. Matsuzawa, "RF–SoC—Expectations and Required Conditions," *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 1, pp. 245–253, January 2002.

[6] D. Lie and L. E. Larson, "RF-SoC: Technology Enablers and Current Design Trends for Highly Integrated Wireless RF IC Transceivers," *International Journal on Wireless & Optical Communications*, vol. 1, no. 1, pp. 1–23, April 2003.

[7] C. Samori, S. Levantino, and A. Lacatia, "Integrated LC Oscillators for Frequency Synthesis in Wireless Applications," *IEEE Commun. Mag.*, pp. 166–171, May 2002.

[8] A. Hastings, *The Art of Analog Layout.* Upper Saddle River, NJ: Prentice Hall, 2001.

[9] K. Benaissa, J.-Y. Tang, D. Crenshaw, B. Williams, S. Sridar, J. Ai, G. Boselli, S. Zhao, S. Tang, S. Ashburn, P. Madhani, T. Blythe, N. Mahalingam, and H. Shichijo, "RF CMOS on High-Resistivity Substrates for System-on-Chip Applications," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 567–576, March 2003.

[10] A.Abidi, "RF CMOS Comes to Age," *IEEE Microwave Wireless Compon. Lett.*, pp. 47–60, December 2003.

[11] T. Lee and A. Hajimiri, "Oscillator Phase Noise: A Tutorial," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 326–336, March 2000.

[12] A. Abidi, "CMOS Wireless Transceivers: The New Wave," *IEEE Commun. Mag.*, pp. 119–124, August 1999.

[13] Y. A. Eken and J. Uyemura, "A 5.9–GHz Voltage-Controlled Ring Oscillator in 0.18-μm CMOS," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 230–233, January 2004.

[14] R. Aparicio and A. Hajimiri, "A Noise–Shifting Differencial Colpitts VCO," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1728–1736, December 2002.

[15] R. L. Bunch, "A Fully Monolithic 2.5 GHz LC Voltage Controlled Oscillator in 0.35 μm CMOS Technology," April 2001.

[16] B. P. Otis and J. M. Rabaey, "A 300-μW 1.9-GHz CMOS Oscillator Utilizing Micromachined Resonators," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1271–1274, July 2003.

[17] C.Ñguyen and R. Howe, "An Integrated CMOS Micromechanical Resonator High-Q Oscillator," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 440–455, April 1999.

[18] U. Rohde, "Oscillator Basics and Low-Noise Techniques for Microwave Oscillators and VCOs," Departament of Electrical Engineering, University of Oradea, Bradford, and George Washington.

[19] B. Razavi, "Prospects of CMOS Technology for High-Speed Optical Communication Circuits," *IEEE J. Solid-State Circuits*, vol. 37, no. 9, pp. 1135–1145, September 2002.

[20] H. Wu and A. Hajimiri, "A 10-GHz CMOS Distributed Voltage Controlled Oscillator," Departament of Electrical Engineering, California Institute of Technology, Passadena, CA 91125, USA.

[21] H. Hashemi, X. Guan, and A. Hajimiri, "A Fully Integrated 24-GHz 8-Path Phased-Array Receiver in Silicon," in *ISSCC 2004*. IEEE, February 2004.

[22] D. K. Ma and J. R. Long, "A Subharmonically Injected LC Delay Line Oscillator for 17-GHz Quadrature LO Generation," *IEEE J. Solid-State Circuits*, vol. 39, no. 9, pp. 1434–1445, September 2004.

[23] P. Andreani and X. Wang, "On the Phase-Noise and Phase-Error Performances of Multiphase LC CMOS VCOs," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 1883–1893, November 2004.

[24] P.Andreani and H.Sjoland, "A 1.8 GHz CMOS VCO with reduced phase noise," *Symposium VLSI Circuits*, pp. 121–122, 2001.

[25] J. Craninckx and M. Steyaert, "A CMOS 1.8 GHz Low-Phae-Noise Voltage-Controlled Oscillator with Prescaler," in *IEEE International Solid-State Circuits Conference*, 1996.

[26] A. Rofougaran, J. Rael, M. Rofougaran, and A. Abidi, "A 900 MHz CMOS LC-Oscillator Quadrature Outputs," in *IEEE International Solid-State Circuits Conference*, 1996.

[27] M. Hershenson, A. Hajimiri, S. Mohan, S. Boyd, and T. Lee, "Design and optimization of LC oscillators," 1999.

[28] M. del Mar Hershenson, "CMOS Analog Circuit Design Via Geometric Programming," Ph.D. dissertation, Stanford University, November 1999.

[29] A. Hajimiri and T. Lee, "Design Issues in CMOS Differential LC Oscillators," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 717–724, May 1999.

[30] T. Dellsperger, C. Kromer, and G. Sialm, *Design of a 5 GHz VCO in CMOS*. Swiss Federal Institute of Technology Zürich Institut für Elektronik, 1998.

[31] T.P.Liu, "A 6.5 GHz monolothic CMOS voltage–controlled oscillator." *IEEE J. Solid-State Circuits*, pp. 404–405, 1999.

[32] P. Väänänen, M. Metsänvirta, and N. Tchamov, "A 4.3–GHz VCO with 2–GHz Tunning Range and Low Phase Noise," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, pp. 142–146, January 2001.

[33] P.Kinget, "A fully integrated 2.7 V, 0.35 μm CMOS VCO for 5 GHz wireless applications," *IEEE J. Solid-State Circuits*, pp. 226–227, 1998.

[34] C.Lam and B.Razavi, "A 2.6 GHz/5.2 GHz CMOS voltage–controlled oscillator," *IEEE J. Solid-State Circuits*, pp. 402–403, 1999.

[35] R.Bunch and S.Raman, "A 0.35 μm CMOS 2.5 GHz complementary–gm VCO using PMOS inversion mode varactors," *Radio Frequency Integrated Circuits Symp*, pp. 49–52, 2001.

[36] N. M. Nguyen and R. G. Meyer, "A 1.8 GHz Monolithic LC Voltage–Controlled Oscillator," in *IEEE International Solid State-Circuits Conference*, 1992.

[37] A. Kral, F. Behbahani, and A. Abidi, "RF-CMOS Oscillators with Switched Tuning," Electrical Engineering Departament, University of California, Los Angeles, CA 90095-1594.

[38] P. Andreani and S. Mattison, "A 2.4 GHz CMOS Monolithic VCO based on a MOS Varactor," *IEEE Trans. Circuits Syst.*, vol. 2, 1999.

[39] A. Zanchi, A. Bonfanti, S. Levantino, C. Samori, and A. Lacaita, "Automatic Amplitude Control Loop for a 2-V, 2.5-GHz LC-tank VCO," Politecnico di Milano–Dip. dei Elettronica ed Informazione, Milano, Italia.

[40] E. Cijvat, "A 0.35 μm CMOS DCS Front–End with Fully Integrated VCO," pp. 1595–1598, 2001.

[41] A. Zanchi, C. Samori, S. Levantino, and A. Lacaita, "A 2V 2.5GHz –104-dBc/Hz at 100kHz Fully Integrated VCO with Wide–Band Low–Noise Automatic Amplitude Control Loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 4, pp. 611–619, April 200.

[42] C. Samori, S. Levantino, and V. Boccuzzi, "A -94 dBc/Hz @ 100 kHz, fully integrated, 5-GHz, CMOS VCO with 18 % tunning range for Bluetooth applications," *IEEE Custom Integrated Circuits Conference*, pp. 201–204, 2001.

[43] W. DeCook and M. Steyaert, "A CMOS 10-GHz Voltage Controlled LC-Oscillator with integrated high-Q inductor," Katholieke University Leuven, Leuven, Belgium.

[44] C. Samori, A. Zanchi, S. Levantino, and A. Lacaita, "A Fully-Integrated Low-Power Low-Noise 2.6-GHz Bipolar VCO for Wireless Applications," *IEEE Microwave Wireless Compon. Lett.*, vol. 11, no. 5, pp. 199–201, May 2001.

[45] J. Anderson, "Design of a Low-Voltage 5 to 6 GHz Voltage-Controlled Oscillator for 802.11 Applications," Plexus Technology Group.

[46] Y. Lin, K. To, J. Hamel, and W. Huang, "Fully Integrated 5-GHz CMOS VCOs with Chip Low frequency Feedback Circuit for 1/f Induced Phase Noise Suppresion," Departament of Electrical & Computer Engineering, University of Waterloo. Waterloo, Ontario, canada.

[47] F. Herzel, H. Erzgräber, and P. Weger, "Integrated CMOS wideband oscillator for RF applications," *IEEE Electron Device Lett.*, vol. 37, no. 6, March 2001.

[48] S. Gierkink, S. Levantino, R. Frye, and V. Boccuzzi, "A Low-Phase-Noise 5-GHz Quadrature CMOS VCO using Common-Mode Inductive Coupling," Agere Systems, 600 Mountain Ave., Murray Hill NJ 07974, USA.

[49] S. Levantino, C. Samori, A. Bonfanti, S. Gierkink, A. Lacaita, and V. Boccuzzi, "Frequency Dependence on Bias Current in 5-GHz CMOS VCOs: Impact on Tunning Range and Flicker Noise Upconversion," *IEEE J. Solid-State Circuits*, vol. 37, no. 8, pp. 1003–1011, August 2002.

[50] Y.-K. Chu and H.-R. Chuang, "A Fully Integrated 5.8 GHz U-NI Band 0.18μm CMOS VCO," *IEEE J. Solid-State Circuits*, vol. 13, no. 7, pp. 287–289, July 2003.

[51] R. Aparicio and A. Hajimiri, "Circular-Geometry Oscillators," in *ISSCC 2004*. IEEE, February 2004.

[52] M. Hershenson, A. Hajimiri, S. Mohan, S. Boyd, and T. Lee, "Simple Accurate Expressions for Planar Spiral Inductances," *IEEE J. Solid-State Circuits*, vol. 34, no. 10, pp. 1419–1424, October 1999.

[53] D.Ham and A.Hajimiri, "Concepts and methods in optimization of integrated LC VCOs," *IEEE J. Solid-State Circuits*, vol. 6, no. 36, pp. 896–909, June 2001.

[54] M. Hershenson, A. Hajimiri, S. Mohan, S. Boyd, and T. Lee, "Design and Optimization of LC oscillators," in *IEEE Trans. Computer-Aided Design*, November 1999, pp. 65–69.

[55] C. Toumazou, G. Moschytz, and B. Gilbert, *Trade–Offs in Analog Circuit Design*. Kluwer Academic Publishers, 2002.

[56] D. Ham and A. Hajimiri, "Design and optimization of a Low Noise 2.4 GHz CMOS VCO with Integrated LC Tank and MOSCAP Tunning," California Institute of Technology, Pasadena, CA 91125, USA.

[57] W. A. Mergado and J. V. do ValeÑeto, "Programação Geométrica Aplicada ao Projeto de um Oscilador LC Controlado por Tensão," Escola Politécnica da USP.

[58] A. M. Niknejad, "Analysis, Simulation, and Applications of Pasive Devices on Conductive Substrates," Ph.D. dissertation, University of California, 2000.

[59] P. Andreani and S. Mattisson, "On the Use of MOS Varactors in RF VCO's," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 905–910, June 2000.

[60] C.-M. Hung, I.-C. W. Yo-Chuol Ho, and K. O., "High–Q Capacitors Implemented in a CMOS Process for Low–Power Wireless Applications," *IEEE Trans. Microwave Theory Tech.*, vol. 46, no. 5, pp. 505–511, May 1998.

[61] Y. Tsividis, *Operation and Modeling of the MOS Transistor*, 2nd ed. Oxford University Press.

[62] A. Ismail and A. Abidi, "CMOS Differential LC Oscillator with Suppressed Up-Converted Flicker Noise," *IEEE J. Solid-State Circuits*, February 2003.

[63] C. P. Yue and S. S. Wong, "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's," Center for Integrated Systems, Stanford University, Standford, CA 94305.

[64] A. dos Anjos, J. aoÑavarro, and L. C. Moreira, "Comparação de Métodos para Modelamento de Indutores Passivos em Tecnologia CMOS," Laboratório de Sistemas Integráveis-Departamento de Engenharia de Sistemas Eletrônicos, Escola Politécnica da Universidade de São Paulo.

[65] L. C. Moreira, W. A. M. V. Noije, A. dos Anjos, and J.Ñ. S. Jr, "Estudo Comparativo entre Indutores Planares com Fluxo Magnético Vertical e Horizontal na Tecnologia CMOS 0.18μm," Laboratório de Sistemas Integráveis-Departamento de Engenharia de Sistemas Eletrônicos, Escola Politécnica da Universidade de São Paulo.

[66] S. Levantino, C. Samori, A. Zanchi, and A. Lacaita, "AM–to–PM Conversion in Varactor Tuned Oscillators," *IEEE Trans. Circuits Syst.*, vol. 49, no. 7, pp. 509–513, July 2002.

[67] A. R. Kral, "A 2.4 GHz Frequency Synthesizer in 0.6 μm CMOS," March 1998.