

**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN  
MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA,  
INTEGRADOS EN TECNOLOGÍA CMOS.**

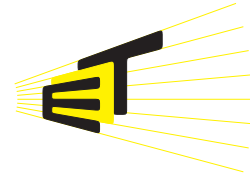
ARMANDO AYALA PABÓN

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE FISICOMECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

Bucaramanga – 2005



UNIVERSIDAD INDUSTRIAL DE SANTANDER  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE TELECOMUNICACIONES  
Perfecta combinación entre Energía e Intelecto



# DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA CMOS.

ARMANDO AYALA PABÓN

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. ELKIM FELIPE ROA FUENTES

Co-Director

Ing. ALFREDO RAFAEL ACEVEDO PICON

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE FISICOMECAÑICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

Bucaramanga–Noviembre de 2005

*Este trabajo está dedicado a mis padres los cuales han consagrado toda su vida para garantizar el bienestar y superación de nuestra familia, a mis hermanos quienes siempre han sido una gran fuente de motivación para seguir adelante a pesar de las dificultades.*

## AGRADECIMENTOS

El autor expresa sus agradecimientos:

Inicialmente le agradezco a DIOS y a mi familia por todas las bendiciones recibidas, y por haber puesto en mi camino todas las herramientas necesarias para alcanzar tan anhelada meta. A mis amigos por su incondicional apoyo y motivación; en especial a Angélica Duarte Moya, Arnol R. Marriaga Cabrales, Oscar A. Abreu Silva, Jerson D. Lindao Argüello y sus familias, ya que sin su apoyo este logro no habría sido posible.

A la Universidad Industrial de Santander y a todos los docentes que han contribuido en mi formación profesional y personal. En especial a mi director Elkim F. Roa Fuentes y a mi co-director Alfredo R. Acevedo Picon por haber dirigido mi trabajo de pregrado, por su incondicional motivación y respaldo. Al profesor Jose A. Amaya Palacios por su apoyo logístico, sugerencias y valiosas discusiones en torno a mi trabajo. Al grupo CIDIC y a todos sus miembros por su colaboración, y por creer en la posibilidad de diseñar circuitos integrados en Colombia.

Finalmente, agradezco a la Señorita Virginia Pinilla Ardila y al Fondo Rotario para la Educación en Colombia por haberme apoyado económicamente durante estos últimos años.

## RESUMEN

### TÍTULO: DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA CMOS\*

AUTOR: ARMANDO AYALA PABÓN\*\*

**PALABRAS CLAVES:** *RF*, amplificador de bajo ruido, mezclador de señal, radiofrecuencia, circuito integrado, *LNA*, *Mixer*, *Bluetooth*.

#### DESCRIPCIÓN

Este proyecto plantea el diseño de un amplificador de bajo ruido (*LNA*) y un mezclador de señal (*Mixer*) completamente integrados dentro de un mismo chip, para su posterior aplicación en un sistema de recepción de radiofrecuencia (*RF*) en tecnología CMOS.

En este trabajo el problema de diseño del amplificador de bajo ruido y el mezclador de señal en tecnología CMOS, es abordado mediante la adaptación de metodologías ya existentes en la literatura, cumpliendo con los compromisos entre cada una de las variables de diseño para una aplicación *Bluetooth* 2,45 GHz, con una frecuencia intermedia de salida de 1MHz. Con el fin de realizar un trabajo acorde con el estado del arte de circuitos integrados analógicos para radiofrecuencia, los análisis presentados en este trabajo son derivados mediante la adaptación y revisión cuidadosa de diferentes trabajos especializados.

El diseño del *LNA* y el *Mixer* fue realizado para el proceso de fabricación 0,35μm CMOS C35B4 de AMS (*Austria-MicroSystems*). Algunas de las especificaciones de desempeño del sistema en cascada del amplificador de bajo ruido y el mezclador de señal diseñados, obtenidas mediante simulación, son las siguientes: figura de ruido 7,9 dB, ganancia de voltaje total 27 dB, punto de intersección de tercer orden referido a la entrada  $P_{IIP3} = -14,4$  dBm, sensibilidad de -85 dBm y un consumo de potencia total de 15,6 mW para una tensión de alimentación de 3,3V.

---

\* Modalidad: Trabajo de grado.

\*\* Facultad de Ingenierías Físicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: Ing. Alfredo R. Acevedo Picon.

## SUMMARIZE

### **TITLE: DESIGN OF A LOW NOISE AMPLIFIER AND A SIGNAL MIXER FOR RADIOFREQUENCY, INTEGRATED IN CMOS TECHNOLOGY\***

**AUTHOR:** ARMANDO AYALA PABÓN\*\*

**KEY WORDS:** RF, low noise amplifier, signal mixer, radiofrequency, integrated circuit, LNA, Mixer, Bluetooth.

### **DESCRIPTION**

This project presents the design of a low noise amplifier (LNA) and a signal mixer (Mixer) completely integrated inside the same chip, for its subsequent application in a radiofrequency (RF) receiver system in CMOS technology.

In this work the design problem of the low noise amplifier and the signal mixer in CMOS technology, is approached through adjustment of already existing methodologies (in the literature), fulfilling with commitments between each variable of design for a Bluetooth 2,45  $GHz$  application, with an out intermediate frequency of 1  $MHz$ . In order to achieve a work according to the art state of analogical integrated circuits for radiofrequency, the analyses presented in this work are derived by means of adjustment and a careful review of different specialized works.

The design of the LNA and the Mixer was realized for the 0,35  $\mu m$  CMOS C35B4 manufacturing process of AMS (Austria-MicroSystems). Some of the performance specifications of the system in cascade of the low noise amplifier and the signal mixer designed, obtained through simulation, are the following: Noise figure of 7,9  $dB$ , total voltage gain 27  $dB$ , third order input intercept point  $P_{IIP3} = -14,4 \text{ dBm}$ , sensitivity of  $-85 \text{ dBm}$  and a total power consumption of 15,6  $mW$  to a supply voltage of 3,3  $V$ .

---

\*Degree Project

\*\*Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director: MSc. Elkim Felipe Roa Fuentes, Co-Director: Ing. Alfredo R. Acevedo Picon.

# Contenido general

<b>1. Introducción</b>	<b>1</b>
1.1. Consideraciones a nivel de sistema . . . . .	2
1.1.1. Arquitectura del receptor . . . . .	2
1.1.2. Compromisos en el diseño de un <i>LNA</i> y un mezclador de señal . . . . .	3
1.2. Estado del arte de <i>LNAs</i> CMOS . . . . .	5
1.3. Estado del arte de mezcladores de señal CMOS . . . . .	6
1.4. Organización del documento . . . . .	7
<b>2. Especificaciones</b>	<b>9</b>
2.1. Consideraciones generales . . . . .	9
2.2. Amplificador de bajo ruido . . . . .	9
2.2.1. Ganancia . . . . .	9
2.2.2. Ruido . . . . .	10
2.2.3. Acople de impedancias . . . . .	10
2.2.4. Aislamiento de puertos . . . . .	10
2.2.5. Linealidad . . . . .	11
2.3. Mezclador de señal . . . . .	11
2.3.1. Ganancia de conversión . . . . .	12
2.3.2. Problema de la banda de frecuencia imagen . . . . .	13
2.3.3. Ruido . . . . .	13
2.3.4. Aislamiento de puertos . . . . .	14
2.3.5. No-Linealidad . . . . .	15
2.4. Selección de la topología del <i>LNA</i> . . . . .	15
2.5. Selección de la topología del mezclador de señal . . . . .	17
<b>3. Ruido</b>	<b>19</b>
3.1. Introducción . . . . .	19
3.2. Etapa de transconductancia . . . . .	19

3.2.1.	Impedancia de entrada . . . . .	20
3.2.2.	Ganancia . . . . .	22
3.2.3.	Análisis de ruido térmico . . . . .	23
3.2.4.	Dispositivo cascode . . . . .	28
3.3.	Par conmutado . . . . .	29
3.3.1.	Comportamiento en gran señal . . . . .	30
3.3.2.	Ganancia . . . . .	31
3.3.3.	Análisis de ruido térmico . . . . .	32
3.4.	Ruido <i>flicker</i> . . . . .	35
3.4.1.	Carga de salida . . . . .	36
3.4.2.	Etapas de transconductancia . . . . .	36
3.4.3.	Par conmutado . . . . .	37
<b>4.</b>	<b>Linealidad</b>	<b>43</b>
4.1.	Introducción . . . . .	43
4.2.	Etapas de transconductancia . . . . .	44
4.2.1.	Consideraciones generales . . . . .	44
4.2.2.	Distorsión por intermodulación de tercer orden . . . . .	47
4.2.3.	Dispositivo cascode . . . . .	52
4.3.	Par conmutado . . . . .	54
<b>5.</b>	<b>Diseño del Amplificador de Bajo Ruido y el Mezclador de señal</b>	<b>57</b>
5.1.	Consideraciones de diseño del <i>LNA</i> . . . . .	58
5.2.	Estrategia y diseño del <i>LNA</i> . . . . .	60
5.3.	Consideraciones de diseño del mezclador de señal. . . . .	70
5.4.	Estrategia y diseño del mezclador de señal. . . . .	72
<b>6.</b>	<b>Resultados y Conclusiones</b>	<b>83</b>
6.1.	Especificaciones de desempeño <i>pre-layout</i> . . . . .	83
6.1.1.	Amplificador de bajo ruido . . . . .	84
6.1.2.	Mezclador de señal . . . . .	88
6.1.3.	<i>LNA</i> y mezclador de señal . . . . .	90
6.2.	Consideraciones en el diseño del <i>layout</i> . . . . .	92
6.3.	Especificaciones de desempeño <i>post-layout</i> . . . . .	94
6.3.1.	Amplificador de bajo ruido . . . . .	95
6.3.2.	Mezclador de señal . . . . .	99
6.3.3.	Amplificador de bajo ruido y mezclador de señal . . . . .	100

---

6.4. Observaciones y conclusiones . . . . .	103
6.5. Recomendaciones para trabajos futuros . . . . .	104
<b>A. Algunos Fundamentos para el Diseño de Circuitos en Radiofrecuencia</b>	<b>107</b>
A.1. Redes de dos puertos . . . . .	107
A.1.1. Parámetros-S de una red de dos puertos . . . . .	108
A.2. Ruido . . . . .	109
A.2.1. Fuentes de ruido en transistores MOSFET . . . . .	109
A.2.2. Figura de ruido . . . . .	111
A.2.3. Ruido en una red de dos puertos . . . . .	111
A.2.4. Figura de ruido de bloques RF en cascada . . . . .	112
A.2.5. Sensibilidad . . . . .	113
A.3. No Linealidad . . . . .	113
A.3.1. Distorsión Armónica . . . . .	114
A.3.2. Compresión de ganancia . . . . .	115
A.3.3. Intermodulación . . . . .	115
A.3.4. Rango dinámico . . . . .	116
A.3.5. Bloqueo . . . . .	117
<b>B. Derivadas de la Corriente de Dreno de un Transistor MOS</b>	<b>119</b>



# Índice de figuras

1.1. Receptor con arquitectura de conversión directa. . . . .	3
2.1. (a) Filtración de la señal del oscilador local a la entrada y salida del <i>LNA</i> ; (b) filtración de la señal <i>RF</i> de entrada al puerto del oscilador local. . . . .	14
2.2. Arquitecturas para acople de impedancia de entrada: (a) Fuente común con acople resistivo; (b) Fuente común con realimentación; (c) Compuerta común; (d) Fuente común con degeneración inductiva. . . . .	16
2.3. Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple. . . . .	18
3.1. (a) Etapa de transconductancia CMOS con degeneración en la fuente; (b) Modelo equivalente en pequeña señal. . . . .	20
3.2. Modelo para análisis de ruido de la etapa de transconductancia. . . . .	24
3.3. (a) Dispositivo cascode de la etapa de transconductancia. (b) Modelo de ruido equivalente en pequeña señal. . . . .	29
3.4. (a) Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple; (b) Modelo básico de un mezclador CMOS de conmutación de corriente. . . . .	30
3.5. Modelo para análisis de ruido del par conmutado. . . . .	34
3.6. (a) Voltaje equivalente de entrada del par conmutado y (b) corriente de salida del mezclador descompuesta en respuesta ideal sin ruido y pulsos de ruido. . . . .	39
3.7. Mecanismo indirecto para un oscilador local (LO) sinusoidal: Mezclador de señal de la figura 3.3.1, reemplazado con un seguidor de fuente. . . . .	41
4.1. (a) Etapa de transconductancia CMOS de fuente común con degeneración en la fuente; (b) Modelo equivalente en pequeña señal para análisis de linealidad. . . . .	45
4.2. Topología de fuente común con degeneración inductiva en la fuente y transistor en cascada. . . . .	53

5.1. Topología seleccionada para el <i>LNA</i> . . . . .	59
5.2. Estrategia de diseño del <i>LNA</i> . . . . .	62
5.3. (a) Estimación teórica del factor de ruido de la etapa de transconductancia; (b) Estimación teórica del factor de ruido del dispositivo cascode $M_2$ . . . . .	65
5.4. Estimación del factor de ruido total del <i>LNA</i> . . . . .	66
5.5. Estimaciones teóricas. (a) Figura de ruido mínima que se puede alcanzar para diferentes puntos de polarización; (b) Potencia disipada por el <i>LNA</i> ; (c) Ancho de $M_1$ para el cual se minimiza $F_{LNA}$ ; (d) Punto de intersección de tercer orden referido a la entrada. . . . .	67
5.6. Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple. . . . .	72
5.7. Estrategia de diseño del Mezclador de señal. . . . .	73
5.8. (a) Factores de ganancia normalizados; (b) Estimación teórica del punto de intermodulación referido a la entrada de la etapa de transconductancia del mezclador de señal. . . . .	77
5.9. (a) Estimación teórica del factor de ruido de la etapa de transconductancia; (b) Estimación teórica del factor de ruido del dispositivo cascode $M_2$ . . . . .	79
6.1. Resultados de simulación <i>pre-layout</i> del <i>LNA</i> : (a) ganancia de voltaje; (b) coeficiente de reflexión en la entrada; (c) aislamiento reverso; (d) parte real de la impedancia de entrada. . . . .	84
6.2. Figura de ruido del <i>LNA</i> , resultados <i>pre-layout</i> . . . . .	86
6.3. (a) $P_{IIP3}$ con $L_s$ y $L_g$ ideales; (b) $P_{IIP3}$ con $L_s$ y $L_g$ modelados en <i>ASITIC</i> ; (c) Punto de compresión de un decibelio con $L_s$ y $L_g$ ideales; (d) Punto de compresión de un decibelio con $L_s$ y $L_g$ modelados en <i>ASITIC</i> . . . . .	87
6.4. Resultados <i>pre-layout</i> del mezclador de señal: (a) ganancia de voltaje; (b) figura de ruido <i>SSB</i> ; (c) $P_{IIP3}$ para $f_{LO} = 2,449 \text{ GHz}$ , $f_1 = 2,451 \text{ GHz}$ y $f_2 = 2,452 \text{ GHz}$ . . . . .	89
6.5. Resultados <i>pre-layout</i> del sistema en cascada <i>LNA</i> y mezclador de señal. (a) Ganancia de voltaje; (b) Figura de ruido <i>SSB</i> ; (c) $P_{IIP3}$ para $f_{LO} = 2,449 \text{ GHz}$ , $f_1 = 2,451 \text{ GHz}$ y $f_2 = 2,452 \text{ GHz}$ . . . . .	91
6.6. <i>Layout</i> del amplificador de bajo ruido y el mezclador de señal diseñados. . . . .	94
6.7. Resultados <i>pos-layout</i> del <i>LNA</i> . (a) Coeficiente de reflexión en la entrada; (b) aislamiento reverso; (c) parte real de la impedancia de entrada; (d) parte real de la impedancia de salida. . . . .	96

6.8. Resultados post- <i>layout</i> : (a) figura de ruido del <i>LNA</i> ; (b) $P_{IIP3}$ sin tener en cuenta la capacitancia parásita $C_{1par}$ de $C_1$ ; (c) $P_{IIP3}$ teniendo en cuenta $C_{1par}$ , para $L_s = 0,3nH$ y $C_A = 270fF$ . . . . .	98
6.9. Resultados pos- <i>layout</i> del mezclador de señal: (a) Ganancia de voltaje; (b) figura de ruido <i>SSB</i> ; (c) $P_{IIP3}$ para $f_{LO} = 2,449 GHz$ , $f_1 = 2,451 GHz$ y $f_2 = 2,452 GHz$ . . . . .	100
6.10. Resultados pos- <i>layout</i> del sistema en cascada <i>LNA</i> y mezclador de señal. (a) Ganancia de voltaje; (b) Figura de ruido <i>SSB</i> ; (c) $P_{IIP3}$ para $f_{LO} = 2,449 GHz$ , $f_1 = 2,451 GHz$ y $f_2 = 2,452 GHz$ , sin tener en cuenta la capacitancia parásita $C_{1par}$ de $C_1$ ; (d) $P_{IIP3}$ teniendo en cuenta $C_{1par}$ con $L_s = 0,3nH$ y $C_A = 270fF$ .102	
A.1. Red de dos puertos con representación de parámetros-S. . . . .	108
A.2. Modelo típico de las fuentes de ruido de canal y de puerta. . . . .	109
A.3. Representación equivalente de una red ruidosa de dos puertos LIT. . . . .	112



# Índice de tablas

1.1. Selección de trabajos publicados sobre LNAs integrados en CMOS. . . . .	5
1.2. Selección de mezcladores integrados en tecnología CMOS. . . . .	6
5.1. Parámetros para el transistor NMOS en la tecnología AMS C35B4 0,35 $\mu m$ CMOS . . . . .	58
5.2. Especificaciones del estándar Bluetooth . . . . .	58
5.3. Especificaciones de diseño para el LNA . . . . .	61
5.4. Valores y dimensiones seleccionados para el LNA. . . . .	70
5.5. Especificaciones de diseño para el mezclador de señal . . . . .	74
5.6. Valores y dimensiones seleccionados para el mezclador de señal. . . . .	81
6.1. Especificaciones del LNA diseñado . . . . .	99
6.2. Especificaciones de desempeño del mezclador de señal diseñado . . . . .	101
6.3. Especificaciones del sistema en cascada del LNA y el mezclador de señal . . . .	103

# Capítulo 1

## Introducción

Una de las tendencias actuales de la electrónica es diseñar y construir todos los sistemas electrónicos (como sistemas de comunicación y control), dentro de un mismo circuito integrado con el fin de mejorar desempeño, reducir costos y tamaño. A pesar de esta tendencia, a nivel local no se han adelantado estudios y trabajos continuos en el área de diseño de circuitos integrados, lo cual incrementa la brecha tecnológica existente en nuestro país. Por tanto, se hace necesario el desarrollo de nuevos trabajos en torno a esta área, en aras de estar acorde a la tendencia de la electrónica a nivel internacional y de adaptar localmente las metodologías de diseño existentes en el estado del arte, para el desarrollo de aplicaciones específicas.

Precisamente, una manifestación de los seres humanos por generar entornos confortables, se evidencia en su afán por suplir la necesidad básica de comunicación. Tener la posibilidad de acceder a la información en cualquier lugar, condición y tiempo ha impulsado la demanda de sistemas portátiles que promuevan dicho fin. Como respuesta a esta creciente demanda, la academia y la industria electrónica han desarrollado sistemas de transmisión y recepción inalámbricos (*transceivers*<sup>1</sup>), los cuales han adquirido gran importancia en el escenario tecnológico mundial.

Un *transceiver* esta conformado básicamente por bloques de procesamiento de datos y bloques de radiofrecuencia. Inicialmente los circuitos de radiofrecuencia se desarrollaron en tecnologías de buen desempeño operando a altas frecuencias (Bipolar, GaAs, BiCMOS); sin embargo, los altos costos de éstas tecnologías y la incompatibilidad de integración con los circuitos de procesamiento de datos digitales<sup>2</sup>, comprometen la disminución de costos y tamaño.

---

<sup>1</sup>Se utilizará este término en inglés debido a que la traducción utilizada por algunos autores, la cual corresponde a tranceptor, no ha sido plenamente aceptada por la academia internacional y no encierra la esencia del dispositivo al que se hace referencia. En adelante, los términos en inglés usados se presentarán en forma de letra cursiva.

<sup>2</sup>Los circuitos digitales son comúnmente realizados en tecnología CMOS, debido a que el continuo escalamiento de las dimensiones de los dispositivos en esta tecnología ha permitido mayor integración y mejor

En un sistema de recepción es indispensable utilizar un amplificador de bajo ruido (*Low Noise Amplifier*, *LNA*) para amplificar las señales de entrada provenientes de la antena, ya que estas no llegan con suficiente potencia para ser procesadas. Adicionalmente, como se muestra en la figura 1.1 para un receptor con arquitectura de conversión directa, después de que las señales son amplificadas, los bloques mezcladores de señal trasladan en frecuencia la señal RF a banda-base, donde la información puede ser fácilmente recuperada y procesada.

El *LNA* y el mezclador de señal son bloques muy importantes dentro del receptor, ya que estos corresponden a la etapa de entrada del sistema, y por consiguiente, afectan el desempeño total y el requerimiento de desempeño de los bloques adyacentes o subsecuentes que conforman el receptor. Por tanto, el diseño de un amplificador de bajo ruido y un mezclador de señal es crítico en cualquier sistema de recepción.

En este trabajo el problema de diseño del amplificador de bajo ruido y el mezclador de señal en tecnología CMOS, es abordado mediante la adaptación de metodologías ya existentes en la literatura, cumpliendo con los compromisos entre cada una de las variables de diseño para una aplicación *Bluetooth* 2.45 GHz<sup>3</sup>, con una frecuencia intermedia de salida de 1MHz. Con el fin de realizar un trabajo acorde con el estado del arte de circuitos integrados analógicos para radiofrecuencia, se presentan análisis que abordan las características más relevantes de desempeño, los cuales exponen el compromiso entre cada una de las variables de diseño y hacen énfasis en las posibles estrategias de optimización de desempeño de cada una de las etapas que conforman el *LNA* y el mezclador de señal; estos análisis son derivados mediante la adaptación y revisión cuidadosa de diferentes trabajos especializados, como tesis doctorales, tesis de maestría y publicaciones en revistas internacionales.

Con el propósito de crear un marco contextual en el diseño del *LNA* y del mezclador de señal CMOS, en este capítulo se exponen brevemente las consideraciones a nivel de sistema y el estado del arte en el diseño de cada uno de estos bloques. Finalmente, se presenta la forma como está organizado el documento.

## 1.1. Consideraciones a nivel de sistema

### 1.1.1. Arquitectura del receptor

La arquitectura superheterodina ha sido ampliamente usada para receptores inalámbricos. Sin embargo, desde que el desarrollo de sistemas portátiles apunta a la disminución del factor desempeño de estos circuitos. Adicionalmente el aumento en la frecuencia de operación ha perfilado la tecnología CMOS como una opción viable para implementación de circuitos RF [1].

---

<sup>3</sup>Se selecciona esta frecuencia de operación, debido a que hace parte de una de las bandas de radiofrecuencia *ISM* destinadas internacionalmente para usos no comerciales con propósitos industriales, científicos y médicos.

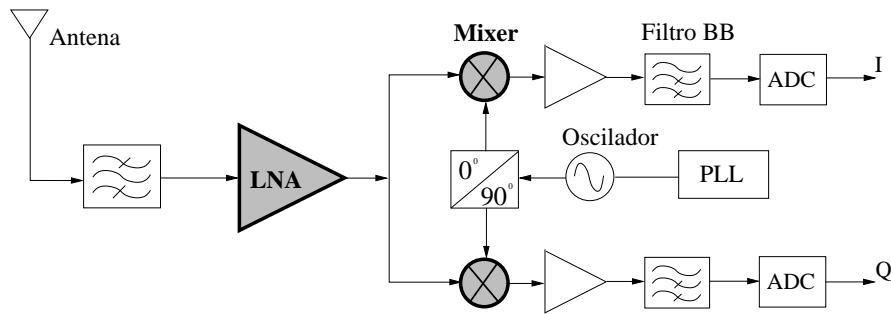


Figura 1.1: Receptor con arquitectura de conversión directa.

tamaño, costo y potencia, la arquitectura de conversión directa comenzó a ser interesante para la implementación del receptor.

Receptores de arquitectura de conversión directa, también llamada arquitectura homodina o *zero-IF* (Frecuencia Intermedia igual a cero), son altamente integrables en un sólo circuito integrado, debido a que el filtro de rechazo de imagen no es requerido<sup>4</sup>, y las etapas subsiguientes al mezclador de señal son reemplazadas por filtros pasa bajos y amplificadores de banda base. No obstante, esta arquitectura presenta algunas desventajas como la alta sensibilidad a las tensiones *offset DC*, infiltraciones del oscilador local, desbalance entre la ruta de señal directa (I) y la ruta de señal en cuadratura (Q)<sup>5</sup>, así como la distorsión de orden par y ruido *flicker* que contaminan la señal banda base de frecuencia cero [2]. La arquitectura *Weaver* y arquitecturas de frecuencia intermedia baja (*Low-IF receivers*), las cuales emplean filtros de polifase complejos en bajas frecuencias, son otras alternativas [3]. En la figura 1.1 se muestra un receptor con arquitectura de conversión directa; en especial se resaltan el *LNA* y el mezclador de señal, los cuales son bloques fundamentales que determinan el desempeño del receptor, ya que corresponden a la etapa de entrada del sistema.

### 1.1.2. Compromisos en el diseño de un *LNA* y un mezclador de señal

El diseño de un *LNA* y un mezclador de señal, es crítico en el desempeño de un sistema de recepción, ya que estos bloques corresponden a la etapa de entrada del sistema. Estos bloques deben estar en la capacidad de sostener señales relativamente grandes con baja distorsión y proveer una ganancia suficientemente alta a los bajos niveles de potencia provenientes de la antena –sin degradar la relación señal a ruido (*SNR*)– para superar las contribuciones de ruido de los circuitos posteriores, los cuales pueden de otra manera degradar la sensibilidad

<sup>4</sup>Los filtros de rechazo de imagen generalmente deben ser implementados fuera del circuito integrado, ya que deben ser altamente selectivos trabajando a frecuencias intermedias.

<sup>5</sup>Arquitecturas de conversión directa con salidas en cuadratura, son requeridas para sistemas de radio transmisión que trabajan con señales moduladas en frecuencia y fase para evitar pérdidas de información.

del sistema de recepción.

El rango dinámico del receptor es determinado por su figura de ruido y los productos de distorsión de intermodulación (IM) generados; el desempeño de intermodulación del receptor es usualmente dominado por el mezclador de señal [4]. Además, la etapa anterior al *LNA* generalmente es la antena, siendo necesario acoplar la impedancia de entrada a un valor específico que garantice máxima transferencia de potencia.

Por consiguiente, el diseño del *LNA* y del mezclador de señal requiere compromisos entre: ganancia suficiente, baja figura de ruido, alta linealidad –típicamente medida en términos del punto de intersección de tercer orden, *IIP3*–, impedancia de entrada estable, aislamiento de puertos y bajo consumo de potencia. Un impedimento adicional para diseñar circuitos integrados de radiofrecuencia CMOS, ha sido la carencia de modelos adecuados para los dispositivos. En particular, diferentes modelos frecuentemente usados fueron desarrollados originalmente para aplicaciones de baja frecuencia, y no son adecuados para predecir correctamente algunos factores como ruido y parámetros de los sistemas en radiofrecuencia [5]. Por tanto, una estrategia de diseño de dispositivos CMOS en alta frecuencia depende de una buena caracterización de los dispositivos para circuitos analógicos, no obstante, a medida que aumentan los esfuerzos en esta caracterización, el escalamiento o reducción del canal degrada la precisión de los modelos. Para cumplir con el compromiso de las especificaciones de diseño, es necesario que los modelos de los dispositivos consideren el comportamiento DC, AC, linealidad, fuentes de ruido, y además deben tener en cuenta el escalamiento, extracción de parámetros, variaciones de temperatura y tolerancias del proceso [6].

De otro lado, la demanda de ciclos cortos de diseño ha impulsado la necesidad de optimizar diferentes bloques de circuitos analógicos que trabajan en alta frecuencia. Una estrategia de diseño de *LNAs* RF CMOS que involucra la optimización del desempeño de ruido y linealidad, con ganancia y disipación especificadas, ya está disponible en la literatura [7]. Esta metodología es propuesta mediante una formulación de expresiones analíticas, encontrando la geometría y punto de polarización de los diferentes dispositivos, tal que, la disipación de potencia, ganancia, frecuencia de operación, acople de impedancias, desempeño de ruido y linealidad sean adecuados. En el caso del mezclador de señal existe una investigación [3] que profundiza el análisis y diseño de mezcladores CMOS de conmutación de corriente, la cual provee una técnica para optimizar sistemáticamente el diseño de estos dispositivos.

En la siguiente sección se muestran algunas de las publicaciones y trabajos realizados en el diseño de *LNAs* y mezcladores de señal CMOS, con el fin de crear un marco contextual que permita evidenciar la tendencia en el diseño de estos bloques, de acuerdo al estado del arte de diseño de circuitos integrados analógicos para radiofrecuencia.

Tabla 1.1: Selección de trabajos publicados sobre *LNA*s integrados en CMOS.

Autor	NF (dB)	Ganancia $S_{21}$ (dB)	$P_{IP3}$ (dBm)	Potencia (mW)	Frecuencia (GHz)	Tecnología	Año
[9] <sup>c</sup>	0.8	20	-10.8 <sup>a</sup>	9	1.23	0.25 $\mu$ m CMOS	2001
[10]	2.6	5	5 <sup>b</sup>	22.5	0.9	0.35 $\mu$ m CMOS	2001
[10] <sup>d</sup>	2.8	2.5	18 <sup>b</sup>	45	0.9	0.35 $\mu$ m CMOS	2001
[8] <sup>c</sup>	3.5	22	12.7 <sup>b</sup>	30	1.5	0.6 $\mu$ m CMOS	1997
[11] <sup>c</sup>	2.2	15.2	-3.2 <sup>a</sup>	20	0.9	0.5 $\mu$ m CMOS	1996

<sup>a</sup> Referido a la entrada.

<sup>b</sup> Referido a la salida.

<sup>c</sup> Arquitectura de degeneración inductiva.

<sup>d</sup> Arquitectura con mejoramiento de linealidad.

## 1.2. Estado del arte de *LNA*s CMOS

Hasta 1996, solo cuatro publicaciones sobre *LNA*s existían en la literatura [8]; sin embargo, algunas configuraciones interesantes de diseño que optimizan la figura de ruido y/o linealidad con consumos de potencia moderados han dominado en los últimos años. En la tabla 1.1 se muestran algunos de los diseños más representativos de *LNA*s CMOS.

El diseño realizado por Leroux [9] alcanza una de las figuras de ruido más bajas reportadas hasta el momento, consumiendo menor potencia comparada con otros diseños, sin embargo, presenta un menor desempeño con respecto a linealidad (medida en términos del punto de intersección de tercer orden,  $P_{IIP3}$ ) y una resistencia de entrada menor a  $50\Omega$  comprometiendo el coeficiente de reflexión a la entrada. Por otro lado, el diseño implementado por Ding maximiza  $P_{IIP3}$  mediante la introducción de una arquitectura innovadora [10], utilizando una técnica de cancelación de las componentes de tercer orden, con lo cual se logra la más alta linealidad reportada en un *LNA* en los últimos años. La desventaja de este diseño es que utiliza potencia adicional debido al circuito auxiliar empleado, que a su vez produce una reducción en la ganancia del *LNA*.

El diseño presentado por Karanicolas es un sistema representativo de alto desempeño [11], reportando la más baja figura de ruido y alto  $P_{IIP3}$  por unidad de potencia, sin embargo no es aplicable a sistemas totalmente integrados ya que necesita de elementos externos para acoplar impedancias.

Los trabajos mencionados anteriormente corresponden a implementaciones para arquitecturas de receptor estándar, como superheterodinos y de conversión directa, los cuales logran su alta selectividad y sensibilidad mediante operación en banda angosta para sólo un rango

de frecuencias de entrada. Estos modos de operación limitan el ancho de banda aprovechable del sistema, la robustez a variaciones del canal y por tanto su funcionalidad.

Por lo anterior y debido al diverso rango de aplicaciones inalámbricas modernas, se hace necesario sistemas de comunicación con más ancho de banda y flexibilidad, conocidos como sistemas multi-estándar, es decir que pueden manejar varios estándares de comunicación. Las diferentes implementaciones de *LNAs* propuestas para sistemas multi-estándar pueden ser clasificadas de la siguiente forma: *LNAs* convencionales banda-dual, *LNAs* de banda ancha y *LNAs* multi-banda concurrentes [12]. Los *LNAs* multi-banda concurrentes proveen simultáneamente acople de entrada de banda angosta en cada una de las bandas de operación, ganancia en múltiples bandas de frecuencia y bajo ruido. Su funcionamiento se basa en que la transconductancia intrínseca del dispositivo activo es inherentemente de banda ancha y puede ser usada en múltiples frecuencias simultáneamente. Hashemi *et. al.* en [12] introducen el concepto de un *LNA* multi-banda concurrente, para ser utilizado como la parte esencial de un receptor multi-estándar, y suministra una metodología general para alcanzar simultáneamente ganancia en banda angosta y acople de entrada, manteniendo una baja figura de ruido.

### 1.3. Estado del arte de mezcladores de señal CMOS

Tabla 1.2: Selección de mezcladores integrados en tecnología CMOS.

Autor	NF (dB)	$S_{21}$ (dB)	$P_{IIP3}$ (dBm)	Potencia (mW)	$f_{RF}$ (GHz)	IF (MHz)	Topología	Tecn.	Año
[13]	18 <sup>a</sup>	-6	27	12	0.9	10	Muestreo y retención	1 $\mu$ m	1993
[14]	8.5 <sup>a</sup>	6.5	-3	39.3	1.9	250	Celda de Gilbert	0.8 $\mu$ m	1996
[11]	6.7 <sup>b</sup>	8.8	-4.1	7	0.9	100	Re-uso de corriente	0.5 $\mu$ m	1996
[15]	3.4 <sup>b</sup>	23	-1.5	20.7	2.1	12	Fusión LNA y Mezclador	0.35 $\mu$ m	2003

<sup>a</sup> Figura de ruido de banda lateral única (*SSB NF*).

<sup>b</sup> Figura de ruido de doble banda lateral (*DSB NF*).

En la tabla 1.2 se muestran algunos diseños e implementaciones de mezcladores de señal CMOS realizados en los últimos años. El primer mezclador de señal CMOS operando en RF [13], presenta la más alta linealidad de los trabajos referenciados; sin embargo, esta configuración presenta pérdidas por conversión, degradando la figura de ruido del mismo.

Por otro lado, Karanicolas utiliza una técnica de re-uso de corriente [11], obteniendo un buen desempeño con respecto a ruido y linealidad con un bajo consumo de potencia,

desafortunadamente no es aplicable a sistemas totalmente integrados ya que necesita elementos externos para acoplar impedancias; otros diseños con características de desempeño similares con respecto a ruido y linealidad han sido presentados pero con un consumo de potencia más elevado [14].

Por último, se presenta un diseño de *LNA* y mezclador de señal fusionados en cuadratura [15], el cual disminuye ruido y mejora linealidad con bajo consumo de potencia; este diseño puede ser considerado como un mezclador de bajo ruido con acople de impedancia de entrada.

## 1.4. Organización del documento

El capítulo 2 describe en resumen los términos de operación y no idealidades de los amplificadores de bajo ruido y los mezcladores de señal. Se establece el compromiso existente entre cada una de las especificaciones de diseño, y finalmente se hace una selección de las topologías en función de estos compromisos.

En el capítulo 3 se presenta el análisis de ruido de cada una de las etapas que conforman el *LNA* y el mezclador de señal, particularmente para las topologías seleccionadas. Se plantea el desempeño de ruido de los dos bloques, y se indican cuales son los posibles procedimientos de optimización, haciendo énfasis en el compromiso entre las variables de diseño.

En el capítulo 4 se desarrolla el análisis de linealidad para las etapas de transconductancia con degeneración inductiva, el dispositivo cascado, y el par conmutado. Se plantean posibles estrategias de optimización del desempeño de linealidad del *LNA* y el mezclador de señal.

En el capítulo 5 se plantean las estrategias a utilizar en el diseño del *LNA* y el mezclador de señal, con base en los análisis realizados en los capítulos 3 y 4. Posteriormente, se realiza el diseño de los dos bloques cumpliendo con los compromisos mínimos entre las especificaciones del estándar *Bluetooth*.

En el capítulo 6 se presentan las consideraciones del diseño del *layout*<sup>6</sup> y, se realiza la extracción y análisis de resultados por medio de simulaciones, antes de realizar el *layout* y después de realizarlo. Seguidamente, se contrastan los resultados con las expectativas iniciales. Finalmente, se condensan las experiencias, resultados obtenidos, conocimientos adquiridos y recopilados, en forma de observaciones, conclusiones y recomendaciones para trabajos futuros.

En el apéndice A se realiza una breve revisión de algunos de los conceptos básicos en el diseño de circuitos RF y en el apéndice B se presentan las derivadas de la corriente de drenó del transistor MOS en las tres regiones de inversión (inversión débil, inversión moderada e inversión fuerte), cuando el transistor se encuentra en saturación.

---

<sup>6</sup>Término en inglés usado aquí para describir el dibujo que se realiza mediante software y que representa el diseño final de las máscaras utilizadas en el proceso de fabricación de un circuito integrado.



## Capítulo 2

# Especificaciones

En este capítulo inicialmente se hace una introducción a los términos de operación y no idealidades de los amplificadores de bajo ruido y los mezcladores de señal. Finalmente, en función de los compromisos entre cada una de las especificaciones de diseño, se hace una selección de las topologías del *LNA* y el mezclador de señal, basándose en trabajos previamente publicados.

### 2.1. Consideraciones generales

El problema de diseño de un amplificador de bajo ruido y un mezclador de señal CMOS, puede ser abordado de varias maneras. La forma convencional de enfrentar el problema es considerar los dos bloques por separado, y posteriormente hacer el acople entre éstos sin afectar considerablemente sus especificaciones de desempeño. Otra forma es implementar el amplificador de bajo ruido y el mezclador de señal como un sólo bloque, como se muestra en [15]. A continuación se presentan las especificaciones de diseño más importantes de los *LNAs* y los mezcladores de señal por separado.

### 2.2. Amplificador de bajo ruido

Como se mencionó en el capítulo 1 el desempeño de este bloque puede llegar a dominar el desempeño del receptor completo. Por consiguiente, en esta sección se mencionarán algunas de las características más relevantes de desempeño, con el fin de formar un marco contextual en el diseño del amplificador de bajo ruido.

#### 2.2.1. Ganancia

El amplificador de bajo ruido RF es típicamente el primer bloque de ganancia en un receptor. Por tanto, este debe suministrar ganancia suficiente a los pequeños niveles de potencia que llegan de la antena para sobreponerse al ruido generado por la etapas subsecuentes (por

ejemplo, el mezclador de señal), garantizando una buena relación señal a ruido para que la información pueda ser procesada de forma adecuada. Como se muestra en la sección A.2.4 aumentar la ganancia del *LNA* disminuye la figura de ruido total del receptor y por consiguiente, mejora su sensibilidad, ya que el aporte a la figura de ruido total de las etapas subsecuentes es atenuado por la ganancia en cascada que precede cada una de las etapas. Adicionalmente, cuando un filtro no es usado entre la antena y el *LNA*, éste bloque debe suministrar ganancia de forma selectiva sólo a la banda de frecuencia de interés, en ésta situación típicamente el *LNA* es diseñado como un circuito de banda estrecha.

### 2.2.2. Ruido

Al ser el amplificador de bajo ruido la primer etapa de un sistema de recepción, su figura de ruido se adhiere directamente a la figura de ruido total (ver sección A.2.4). Por está razón la figura de ruido del *LNA* debe ser lo menor posible para mejorar la sensibilidad del receptor, la cual determina o establece el límite más bajo de señal que puede ser detectado. Precisamente, para minimizar la figura de ruido de una red ruidosa existe una teoría clásica, la cual se basa en el uso de una impedancia de fuente óptima definida por los parámetros de ruido [16]. Ésta teoría tiene algunas consideraciones, por ejemplo, la impedancia de fuente que minimiza la figura de ruido generalmente difiere de la impedancia que maximiza la transferencia de potencia, y no está asociada al compromiso con el consumo de potencia, el cual es un factor muy importante en la tendencia actual de diseño de circuitos integrados [17].

### 2.2.3. Acople de impedancias

La entrada del *LNA* es alimentada directamente por la antena o es conectada a la antena a través de un filtro pasabanda. En cualquiera de los casos, existe la necesidad de acoplar la impedancia de entrada a un valor específico, por ejemplo  $50\Omega$ , para garantizar máxima transferencia de potencia. Cuando existe un filtro entre la antena y el *LNA* también es necesario acoplar la entrada del *LNA* a  $50\Omega$ , púes un desvío en la carga del filtro resulta en un pobre desempeño de éste. Un diseño de *LNA* aislado requiere terminaciones con  $50\Omega$  debido a las impedancias de entrada de los instrumentos de medida.

### 2.2.4. Aislamiento de puertos

El aislamiento inverso del *LNA* determina la cantidad de la señal del oscilador local (*LO*) que se filtra desde el mezclador de señal a la antena. En receptores heterodinos con altas frecuencias intermedias, el filtro de rechazo de imagen suprime de manera significativamente la filtración debido a que la frecuencia del *LO* cae fuera de su banda de paso. De otro lado, en arquitecturas de conversión directa las filtraciones son atenuadas principalmente por las

características de aislamiento inverso del *LNA* [18]. Precisamente, en algunas topologías de *LNAs* es utilizado un dispositivo en configuración cascodo para disminuir el efecto *Miller* y así mejorar las características de aislamiento inverso.

### 2.2.5. Linealidad

Además del compromiso entre figura de ruido, ganancia, acople de entrada y aislamiento de puertos, la linealidad es una importante consideración debido a que el *LNA* no sólo debe amplificar, sino que también debe mantener operación lineal cuando recibe una señal débil en presencia de una fuerte interferencia [17]. En el peor de los casos, el *LNA* puede llegar a establecer el límite superior de señal de entrada recibida aceptable. Este límite superior es establecido por la distorsión del *LNA*, el cual causa compresión de ganancia y tonos de frecuencia no deseada en la banda de señal (ver sección A.3). Usualmente se asume que en la entrada del *LNA* se presenta un tono en la frecuencia de portadora, no obstante, siempre existen interferencias las cuales crean intermodulación. El comportamiento no lineal en pequeña señal, en presencia de señales de interferencia en la entrada, es descrito típicamente por su definición de  $P_{IIP3}$  como una medida del nivel de potencia a la entrada que causa distorsión significativa, el cual es dominado por las no linealidades de tercer orden. Otra, medida importante de linealidad es el punto de compresión de 1-dB ( $P_{-1dB}$ ), la cual es representativa para evaluar el comportamiento no lineal en gran señal sin tener en cuenta señales de interferencia, incluyendo las contribuciones de todas las no linealidades de orden impar. Particularmente,  $P_{-1dB}$  estima el nivel de la potencia de entrada que causa que la ganancia de la componente fundamental se reduzca 1dB (ver secciones A.3.3 y A.3.2).

## 2.3. Mezclador de señal

Un mezclador de señal es un circuito con tres puertos, el puerto de entrada *RF*, el puerto del oscilador local *LO*, y el puerto de salida *IF*, como se muestra en la figura 1.1. En vista de que los circuitos lineales e invariantes en el tiempo (LIT) no pueden producir salidas con componentes espectrales que no estén presentes en la entrada, en principio los mezcladores de señal deben ser elementos no-lineales o variantes en el tiempo para proveer una traslación de frecuencia.

En la literatura un mezclador de señal ideal es fundamentalmente un multiplicador cuya salida es igual al producto de la señal de entrada con una forma de onda proveniente del oscilador local (*LO*). Si el *LO* es una forma de onda sinusoidal, el espectro de la señal de salida del mezclador está conformado por las componentes suma (función *up-conversion*) y diferencia (función *down-conversion*) del espectro de la señal de entrada con la frecuencia del

oscilador local ( $LO$ ). En sistemas de recepción la componente de diferencia de frecuencia es la banda deseada, y la frecuencia de la componente suma es rechazada por el filtro de rechazo de imagen o el filtro banda-base (en el caso de la arquitectura de conversión directa).

Un mezclador de señal real no es un multiplicador ideal. Aunque la señal del oscilador local sea una forma de onda sinusoidal pura, la función de salida del mezclador de señal contiene todas las combinaciones posibles de los productos de mezclado de las componentes armónicas de la frecuencia del  $LO$   $\omega_{LO}$ , y de la señal RF  $\omega_{RF}$  debido a las no-linealidades del dispositivo de mezclado. Es decir, en el puerto de salida se presentan componentes espectrales con frecuencias de la forma:

$$\omega_{IF} = m\omega_{RF} + n\omega_{LO} \quad (2.1)$$

donde

$$m, n = 0, \pm 1, \pm 2, \dots \quad (2.2)$$

Como se mencionó con anterioridad las señales que se producen por fuera de la banda de interés pueden ser removidas por medio de filtrado. Sin embargo, algunos productos de mezclado no deseados caen en la banda de interés los cuales son conocidos como respuestas o señales espurias en banda.

A continuación se realizará una revisión de las características más significativas de los mezcladores de señal, con el fin de establecer algunas de las consideraciones a tener en cuenta en el diseño de este bloque. Adicionalmente, con base en esta revisión se determinará cuales son las variables más relevantes que afectan el desempeño y que por consiguiente, deben ser estudiadas con más detenimiento en los capítulos posteriores.

### 2.3.1. Ganancia de conversión

La ganancia de conversión de un mezclador de señal puede ser definida como la relación entre el nivel de la señal de salida deseada y el nivel de la señal de entrada RF. La ganancia de conversión puede ser positiva o negativa<sup>1</sup>, ganancias de conversión negativas son comúnmente referidas como pérdidas de conversión. Al aumentar las pérdidas de conversión se incrementa la figura de ruido del sistema, y por tanto, es necesario que las etapas anteriores al mezclador de señal suministren mayores niveles de amplificación, lo cual puede llegar a incrementar el consumo de potencia de las etapas anteriores al mezclador. Aumentar la ganancia de conversión del mezclador de señal mejora el rango dinámico del receptor mediante la reducción de la figura de ruido total del mismo. Sin embargo, altos niveles de ganancia no siempre son deseables debido a que estos pueden degradar la linealidad del sistema [4].

La ganancia de conversión del mezclador de señal es típicamente especificada por medio de la ganancia de potencia, que se define como la relación de la potencia entregada a la impedancia

<sup>1</sup>Expresando la ganancia en decibelios (dB).

de carga en la frecuencia de salida deseada  $IF = f_{RF} - f_{LO}$  y la potencia suministrada por el puerto de entrada:

$$Ganancia = 10 * \log\left(\left(\frac{V_{out}}{V_{in}}\right)^2 \frac{R_S}{R_L}\right) (dB) \quad (2.3)$$

donde  $R_S$  y  $R_L$  son las resistencias de la fuente y de la carga, respectivamente.  $V_{in}$  es el voltaje de entrada RF y  $V_{out}$  es el voltaje de salida en la frecuencia  $IF$ . La ecuación 2.3 es particularmente válida cuando la impedancia de entrada y de salida del mezclador están acopladas a la impedancia de la fuente y la resistencia de la carga, respectivamente.

### 2.3.2. Problema de la banda de frecuencia imagen

Como se evidencia en la ecuación 2.1, un mezclador de señal transfiere una señal desde una única banda de frecuencia a varias bandas de frecuencia de salida. Similarmente la señal en una banda de salida se puede originar desde múltiples bandas de frecuencia de entrada; estas múltiples bandas de frecuencia en la entrada y la salida son llamadas bandas laterales o bandas imágenes.

Bandas imágenes que están localizadas lejos de la banda de la señal de entrada en el dominio de la frecuencia son fácilmente filtradas. Sin embargo, en mezcladores de señal utilizados en receptores heterodinos, donde la salida es obtenida en la frecuencia  $f_{IF}$  y la señal de entrada está en la frecuencia  $f_{RF} = f_{LO} + f_{IF}$ , la señal en la banda imagen  $f_{IM} = f_{LO} - f_{IF}$  es también trasladada a  $f_{IF}$ . El espectro usualmente contiene información no deseada o ruido en la frecuencia imagen la cual contamina la salida [3]. Frecuentemente se utilizan filtros antes del mezclador para eliminar la banda imagen. En sistemas de recepción con frecuencia intermedia  $f_{IF}$  baja se hace más difícil el filtrado ya que la banda de entrada y la banda imagen son muy cercanas en frecuencia. Implementar estos filtros adicionalmente compromete la capacidad de integración y aumenta los costos de fabricación. Como se mencionó en la sección 1.1.1 el problema de la banda imagen desaparece en los receptores con arquitectura de conversión directa o *zero IF*, sin embargo, estos presentan otras desventajas que no están presentes en receptores con otras arquitecturas.

### 2.3.3. Ruido

La función de mezclado es inherentemente ruidosa, debido a que mientras el mezclador transfiere señal sólo desde la banda de entrada a la salida, este transfiere ruido a la salida desde múltiples bandas de frecuencia. Por tanto, la figura de ruido de los mezcladores de señal tiende a ser considerablemente más grande que la de los amplificadores y por consiguiente, este bloque es un contribuyente significativo de ruido en muchos sistemas de comunicación.

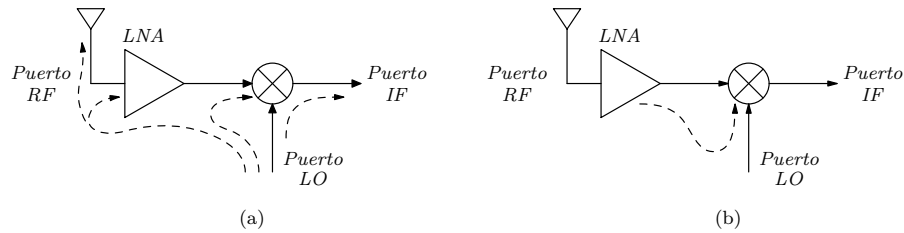


Figura 2.1: (a) Filtración de la señal del oscilador local a la entrada y salida del *LNA*; (b) filtración de la señal *RF* de entrada al puerto del oscilador local.

Adicionalmente se debe tener en cuenta que el ruido generado en un mezclador tiene estadísticas periódicamente variantes en el tiempo. Esto se debe a que el punto de operación de los dispositivos cambia periódicamente con el tiempo, y el procesamiento de la señal desde el punto en el cual el ruido es generado a la salida puede ser periódicamente variante en el tiempo [19].

La figura de ruido del mezclador puede ser especificada mediante la figura de ruido de banda lateral única (*SSB NF*) o de doble banda lateral (*DSB NF*). *SSB NF* es usado para mezcladores cuya señal deseada se encuentra en solo una de las bandas laterales de la entrada, como es el caso de los mezcladores de señal en los receptores heterodinos, donde la banda imagen no hace parte de la banda de señal deseada. *DSB NF* es usada para sistemas que usan la frecuencias RF y las frecuencias imágenes como entradas deseadas, por ejemplo, los receptores de conversión directa [17]. *SSB NF* es calculada tomando en cuenta sólo el ruido introducido a la salida por la banda de frecuencia RF de entrada, mientras, *DSB NF* es calculada considerando el ruido introducido a la salida por la banda de entrada RF y su banda de frecuencia imagen. Por lo tanto, cuando la ganancia de conversión de la banda RF y la banda imagen son iguales, la potencia de ruido de la impedancia de la fuente en el caso *SSB* es la mitad que en el caso *DSB*, y *SSB NF* es 3dB más alta que *DSB NF*.

#### 2.3.4. Aislamiento de puertos

La única señal útil que se transfiere en el mezclador es desde la banda de señal en el puerto de entrada a la banda de señal en el puerto de salida, cualquier otra potencia transferida es parásita y es posiblemente perjudicial.

Cualquier filtración de la fuerte señal del LO a la salida actúa como una interferencia para los circuitos que siguen el mezclador de señal, mientras filtraciones del LO al puerto de entrada en un receptor pueden alcanzar la antena y ser transmitidos causando problemas a otros usuarios, figura 2.1(a). Además como se ilustra en la figura 2.1(b) filtraciones del LO al puerto de entrada y viceversa, pueden causar *offsets DC* en la salida, los cuales son un problema significativo en aplicaciones de conversión directa [2].

Por éstas razones, un parámetro de gran importancia es el aislamiento entre los puertos RF, IF y LO. En implementaciones tradicionales de *transceivers* con componentes discretos, filtros han sido usados para satisfacer los requerimientos de aislamiento. No obstante en soluciones integradas modernas, el filtrado de alta frecuencia no es fácilmente implementado y además la separación entre las diferentes bandas de frecuencia puede ser pequeña o cero<sup>2</sup>. Por lo tanto, estructuras balanceadas que desempeñen una cancelación de las señales no deseadas son extensamente usadas [3].

### 2.3.5. No-Linealidad

La señal amplificada por el LNA (y en algunos casos filtrada por un filtro de rechazo de imagen) es aplicada al puerto RF del mezclador de señal. Por consiguiente, éste puerto debe exhibir suficientemente bajo ruido y alta linealidad debido a que interferencias próximas son amplificadas por el LNA y por tanto pueden producir fuertes productos de intermodulación [18].

En la práctica el mezclador de señal exhibe no-linealidades y en cuanto a su comportamiento, éste puede ser considerado como un sistema variante periódicamente en el tiempo y débilmente no-lineal [3], la última consideración es válida cuando los niveles de señal aplicados al mezclador son suficientemente pequeños. La relación entrada-salida de estos sistemas en alta frecuencia puede ser descrita con una serie de Volterra con coeficientes variantes periódicamente en el tiempo<sup>3</sup> (ver sección A.3):

$$y = P_1(t, f_a) \circ x + P_2(t, f_a, f_b) \circ x^2 + P_3(t, f_a, f_b, f_c) \circ x^3 + \dots \quad (2.4)$$

y tomando una expansión en series de Fourier de los coeficientes, se tiene:

$$y = \sum_{n=-\infty}^{+\infty} [P_{1,n}(f_a) \circ x + P_{2,n}(f_a, f_b) \circ x^2 + P_{3,n}(f_a, f_b, f_c) \circ x^3 + \dots] e^{j2\pi n f_{LO} t} \quad (2.5)$$

La serie de Volterra que describe la intermodulación en la banda de frecuencia de interés puede ser extraída tomando los primeros coeficientes de la serie de Fourier de  $P_1(t, f_a)$ ,  $P_2(t, f_a, f_b)$ , y  $P_3(t, f_a, f_b, f_c)$  respectivamente.

## 2.4. Selección de la topología del LNA

Diferentes topologías de LNAs han sido investigadas con el fin de encontrar una topología que mejor se adapte al cumplimiento entre los compromisos existentes entre las diferentes variables de diseño.

<sup>2</sup>Por ejemplo, en receptores con arquitectura de conversión directa donde la señal del LO y la señal de entrada son indistinguibles en frecuencia.

<sup>3</sup>Se utilizará la notación empleada en [3] para representar las series de Volterra.

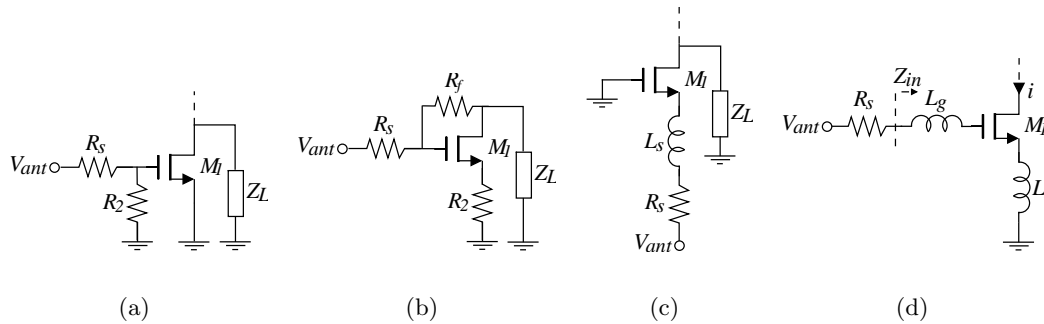


Figura 2.2: Arquitecturas para acople de impedancia de entrada: (a) Fuente común con acople resistivo; (b) Fuente común con realimentación; (c) Compuerta común; (d) Fuente común con degeneración inductiva.

Los primeros *LNAs* fueron implementados en tecnologías diferentes de CMOS, como Bipolar, Arseniuro de Galio (*GaAs*) o BICMOS, con estrategias de diseño las cuales dependen de la selección de un dispositivo (con geometría fija), de circuitos de polarización y de acople de impedancias para obtener un mejor desempeño en función de las especificaciones. Como estas tecnologías presentan buenas características AC operando a alta frecuencia (RF), el mayor interés de los diseñadores es hacer un acople para máxima transferencia de potencia sin degradar el desempeño de ruido. Con este fin, diferentes arquitecturas han sido propuestas para hacer un acople de entrada, las cuales se pueden clasificar en cuatro arquitecturas y se muestran en forma simplificada en la figura 2.2 [8].

La primera arquitectura, figura 2.2(a), usa terminación resistiva del puerto de entrada para proveer un acople de impedancia; desafortunadamente, el uso de resistores en esta forma degrada la figura de ruido, debido al ruido térmico adicionado. Una segunda arquitectura es una topología fuente común con realimentación, figura 2.2(b). Este amplificador es de banda ancha, presentando una disipación de potencia mayor comparado con otros diseños que poseen un desempeño de ruido similar, lo cual lo hace poco atractivo para aplicaciones portátiles. La tercera arquitectura usa una configuración de compuerta común, figura 2.2(c), donde se utiliza la impedancia vista desde la fuente del transistor, para acoplar la entrada a una impedancia de fuente bien definida, esto se logra seleccionando adecuadamente las dimensiones de los dispositivos y sus puntos de polarización. Sin embargo, se puede mostrar que la figura de ruido tiene un límite inferior de 2.2dB, para un transistor CMOS de canal largo perfectamente acoplado [8]; para transistores de canal corto este límite inferior puede aumentar a causa de los efectos del canal y al exceso de ruido térmico [20].

Por último, otra topología usada en el diseño de *LNAs*, es la configuración fuente común con degeneración inductiva, figura 2.2(d), la cual puede mejorar la relación señal a ruido de sa-

lida. Su gran uso se debe al acople de impedancia de entrada sintonizada sin utilizar elementos resistivos generadores de ruido térmico. La realimentación inductiva ideal sin pérdidas mueve la impedancia de fuente hacia el acople de potencia óptimo con el menor incremento posible de ruido [20]. Desafortunadamente, en implementaciones de silicio, las pérdidas asociadas con los inductores degradan la figura de ruido. En casos prácticos, comúnmente la configuración cascodo se utiliza para mejorar la estabilidad y aislamiento inverso (aislamiento de puertos) del amplificador.

Cada una de éstas topologías puede ser implementada en forma de entrada simple o diferencial. Las formas o topologías de entrada diferenciales comúnmente requieren el uso de un *balun*<sup>4</sup> o elemento similar, para transformar la señal que llega de la antena usualmente en terminación simple a una señal diferencial, lo que aumenta el número de componentes comprometiendo la capacidad de integración dentro del mismo circuito integrado. Adicionalmente, los *baluns* en la práctica introducen pérdidas extras en altas frecuencias, las cuales aumentan la figura de ruido total. De otro lado, si el *LNA* es diseñado como un circuito diferencial, este requiere un mayor consumo de potencia para obtener un desempeño de ruido comparable a las configuraciones de entrada simple [2, 7].

Como se demuestra en [7, 8, 21] la topología que mejor cumple los compromisos entre las variables de diseño es la configuración de fuente común con degeneración inductiva con entrada simple, utilizando un dispositivo cascodo en su salida para mejorar el aislamiento de puertos. En el diseño del *LNA* presentado en este trabajo se utilizará esta topología y los análisis presentados en los siguientes capítulos aplican particularmente a esta configuración.

## 2.5. Selección de la topología del mezclador de señal

En el mundo de los circuitos bipolares los mezcladores de conmutación de corriente prevalecen. Aunque los mezcladores pasivos basados en FETs como interruptores analógicos eran apropiados para CMOS, el primer mezclador CMOS operando en RF fue basado en un circuito clásico de muestreo, seguimiento y retención con capacitores conmutados [13]. Sin embargo, se notó que un circuito de seguimiento de banda ancha también seguiría el ruido blanco generado por los circuitos posteriores, lo cual degrada la figura de ruido del mezclador de señal. Por estas razones esta propuesta fue reemplazada por otras versiones de mezcladores de señal CMOS [22].

De acuerdo a la capacidad de proveer ganancia, los mezcladores pueden ser clasificados como activos o pasivos. Los mezcladores activos son aquellos que pueden potencialmente am-

---

<sup>4</sup>Un *balun* típicamente es un dispositivo diseñado para convertir una señal eléctrica no balanceada a balanceada, o viceversa; adicionalmente, algunos *baluns* también proveen transformación de impedancias. Estos son casi siempre implementados a través del uso de transformadores.

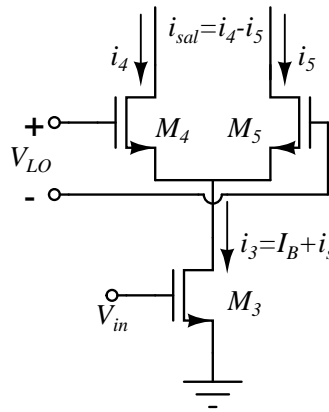


Figura 2.3: Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple.

plificar la señal de entrada, mientras que los mezcladores pasivos siempre presentan pérdidas (al menos en términos de potencia) [3].

Los mezcladores activos comúnmente usados en forma integrada son los mezcladores de conmutación de corriente ya que proveen un alto aislamiento de puertos, ganancia suficiente de voltaje, alta linealidad y un buen desempeño con respecto a ruido. Los mezcladores con la configuración de re-uso de corriente (*current-reuse configuration*) [11], los mezcladores activos de un solo transistor, mezcladores de compuerta dual, mezcladores que inyectan la señal del oscilador local por el terminal del cuerpo del transistor (*back-gate mixer*), son otros ejemplos de configuraciones de mezcladores activos CMOS que pueden ser encontrados en la literatura. Los mezcladores pasivos más comúnmente usados son los mezcladores pasivos conmutados, ya que presentan una excelente linealidad; sin embargo presentan considerables pérdidas de conversión y requieren una potencia más alta de oscilador local comparado con los mezcladores activos. Otras configuraciones de mezcladores pasivos que han sido implementadas, son los mezcladores de submuestreo [13] y mezcladores que utilizan el transistor en la región de triodo [23]. Una breve descripción de cada una de las configuraciones de mezcladores de señal CMOS mencionados anteriormente se encuentra en [3].

De acuerdo a lo expuesto anteriormente y debido a que ya existe una investigación que propone una técnica para optimizar sistemáticamente el diseño [3], se selecciona la configuración de mezcladores de señal CMOS de conmutación de corriente, figura 2.3. Nuevamente, en este caso se selecciona una topología con arquitectura de entrada simple por razones similares a las mencionadas en 2.4. Los análisis presentados en los capítulos posteriores aplican particularmente a los mezcladores de señal de conmutación de corriente.

# Capítulo 3

## Ruido

### 3.1. Introducción

Con base en lo expuesto en los capítulos 1 y 2 es evidente que algunas de las características más relevantes en el diseño de un amplificador de bajo ruido y un mezclador de señal son: la ganancia, el desempeño con respecto a ruido y linealidad. Por tanto es necesario estudiar cada una de estas características de una forma más detallada. En este capítulo se presenta el análisis de la impedancia de entrada, ganancia y ruido de cada una de las etapas que conforman el *LNA* y el mezclador de señal.

Debido a que las topologías seleccionadas para el *LNA* y el mezclador de señal CMOS, tienen en común la etapa de transconductancia, en este capítulo se presenta el análisis de impedancia de entrada, ganancia y ruido de las etapas funcionales que conforman cada uno de estos bloques. Inicialmente se presenta el análisis de la etapa de transconductancia CMOS de fuente común, dando especial interés al análisis de ruido térmico en esta etapa. Seguidamente se presenta el análisis del comportamiento en gran señal, ganancia y ruido térmico en el par conmutado del mezclador de señal. Finalmente, se presenta un análisis cualitativo que permite estimar el efecto del ruido *flicker* en el desempeño de la etapa de transconductancia, el par conmutado y la carga de salida.

### 3.2. Etapa de transconductancia

Con el fin de encontrar un compromiso entre varias especificaciones de diseño, inicialmente se presentarán expresiones analíticas que estimen la impedancia de entrada y la ganancia de la etapa de transconductancia. Posteriormente, se plantea el análisis de ruido de la etapa de transconductancia en función de los diferentes parámetros del circuito. Al finalizar la sección, se discute el efecto sobre el desempeño de ruido de utilizar un dispositivo en configuración de compuerta común en cascodo con la etapa de transconductancia.

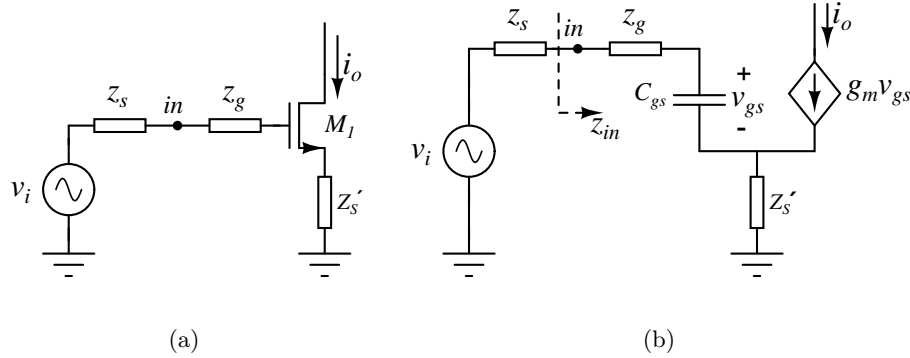


Figura 3.1: (a) Etapa de transconductancia CMOS con degeneración en la fuente; (b) Modelo equivalente en pequeña señal.

### 3.2.1. Impedancia de entrada

En la figura 3.1(a) se muestra una etapa de transconductancia CMOS con degeneración en la fuente. La fuente de voltaje  $V_s$  y la impedancia  $Z_s$  representan el equivalente de Thevenin de los elementos conectados al nodo  $in$ , incluyendo la fuente de señal y la impedancia equivalente del circuito de polarización. En la figura 3.1(b) se muestra el modelo equivalente de pequeña señal, en el cual se desprecia el efecto cuerpo, la capacitancia compuerta-dreno  $C_{gd}$ , la resistencia parásita de la compuerta y la resistencia de salida del transistor. Tomando como base este modelo aproximado, se puede hacer una estimación de la impedancia de entrada  $Z_{in}$  mediante un análisis AC en pequeña señal de la siguiente forma:

$$i_{in} = \frac{V_{gs}}{Z_{gs}} \quad (3.1)$$

$$V_{in} = i_{in} Z_g + V_{gs} + (i_{in} + g_m V_{gs}) Z_s' \quad (3.2)$$

donde  $Z_{gs}$  representa la impedancia equivalente conectada entre compuerta y fuente del transistor  $M_1$ . Seguidamente, substituyendo (3.1) en (3.2) y definiendo  $Z_{in} = V_{in}/i_{in}$  se obtiene:

$$Z_{in} = \frac{V_{in}}{i_{in}} = Z_g + Z_s' + Z_{gs} + g_m Z_s' Z_{gs} \quad (3.3)$$

Si se desea acoplar la impedancia de entrada para que halla máxima transferencia de potencia en una banda estrecha de frecuencia, es necesario que  $Z_{in} = Z_s^*$  en la banda de frecuencia de interés. Por tanto, si la impedancia de la fuente es predominantemente resistiva,  $Z_s \approx R_s$ , y si  $Z_{gs}$  corresponde a la impedancia de la capacitancia  $C_{gs}$  intrínseca del transistor<sup>1</sup>,

<sup>1</sup>En algunas implementaciones es usual conectar una capacitancia adicional entre compuerta y fuente del transistor de la etapa de transconductancia, para disminuir los requerimientos en el tamaño del transistor.

lo más conveniente es que  $Z_s'$  y  $Z_g$ <sup>2</sup> sean elementos inductivos, para que la red serie de entrada esté en resonancia y se acople a un valor específico de la resistencia de entrada, sólo en la banda de frecuencia deseada. Es decir, con una etapa de transconductancia con degeneración inductiva en la fuente, se puede obtener acople de impedancias para máxima transferencia de potencia en una banda estrecha de frecuencia<sup>3</sup>.

Asumiendo que  $Z_s'$  y  $Z_g$  son elementos inductivos con resistencias parásitas en serie,  $Z_s' = R_{L_s} + j\omega L_s$  y  $Z_g = R_{L_g} + j\omega L_s$ ,  $Z_{gs} = 1/j\omega C_{gs}$  y que la red de entrada se encuentra en resonancia en la frecuencia de interés  $\omega_0$ , se puede deducir de (3.3) que  $Z_{in}$  se puede expresar aproximadamente como:

$$Z_{in} \approx R_{L_s} + R_{L_g} + r_g + \frac{g_m}{C_{gs}} L_s \quad (3.4)$$

donde  $r_g$  representa la resistencia parásita de la compuerta del transistor. Si las resistencias parásitas son despreciables comparadas con el último término de (3.4), la impedancia de entrada en la frecuencia de resonancia  $\omega_0$  se simplifica a:

$$Z_{in} \approx \frac{g_m}{C_{gs}} L_s \approx \omega_T L_s \quad (3.5)$$

siendo  $\omega_T$  la frecuencia de ganancia unitaria de corriente y

$$\omega_0^2 \approx \frac{1}{(L_s + L_g)C_{gs}} \quad (3.6)$$

Por tanto, para obtener máxima transferencia de potencia se debe cumplir:

$$\omega_T L_s = R_s \quad (3.7)$$

De (3.5) y (3.7) es importante destacar, que la resistencia de entrada bajo condiciones de resonancia despreciando las resistencias parásitas, depende directamente de la frecuencia de ganancia unitaria de corriente  $\omega_T$  y del valor del inductor  $L_s$ . Por tanto, para un valor de resistencia de entrada determinado, el valor requerido de inductancia  $L_s$  aumenta si  $\omega_T$  disminuye. Un incremento en el valor de la inductancia  $L_s$  causa un mayor consumo de área, y típicamente un deterioro en el factor de calidad del inductor, lo cual se ve representado en la presencia de resistencias parásitas considerables que afectan las condiciones de resonancia, y deterioran el desempeño de ruido (ver sección 3.2.3). En este sentido, existe un compromiso de diseño entre la frecuencia de ganancia unitaria de corriente  $\omega_T$ , el valor de la inductancia  $L_s$  y la resistencia de entrada requerida  $R_s$ .

<sup>2</sup>La impedancia  $Z_g$  permite un mayor grado de libertad entre la banda de frecuencia de interés y el requerimiento de una resistencia de entrada específica.

<sup>3</sup>De otro lado, si se desea hacer acople de impedancias en múltiples bandas de frecuencia, se pueden utilizar impedancias externas entre compuerta-dreno, compuerta-fuente, que permitan alcanzar máxima transferencia de potencia en las diferentes bandas de interés [12].

De igual forma, existe un compromiso entre la frecuencia de resonancia requerida  $w_0$ , el tamaño del transistor de la etapa de transconductancia y el valor de los inductores  $L_s$  y  $L_g$ , ya que de acuerdo a la ecuación (3.6) la frecuencia de resonancia depende inversamente del valor de la capacitancia  $C_{gs}$  y del valor de los inductores  $L_s$  y  $L_g$ . Si el tamaño de los transistores se reduce, la capacitancia  $C_{gs}$  intrínseca del transistor disminuye, y por consiguiente aumenta el valor requerido de  $L_s + L_g$  para una frecuencia de resonancia determinada; lo cual conlleva nuevamente a un mayor consumo de área y a un incremento en las resistencias parásitas.

### 3.2.2. Ganancia

A continuación se presenta el análisis para determinar la ganancia de la etapa de transconductancia en función de los parámetros de diseño del circuito de la figura 3.1(a). Definiendo como ganancia la función de transferencia que relaciona la corriente de salida  $i_o$  con el voltaje de entrada  $V_s$ , del modelo simplificado de la figura 3.1(b) se deduce el siguiente análisis:

$$i_o = g_m V_{gs} \quad V_{gs} = i_{in} Z_{gs} \quad (3.8)$$

$$i_{in} = \frac{V_i}{Z_s + Z_{in}} \quad (3.9)$$

Combinando (3.8) y (3.9), se encuentra que la ganancia puede ser expresada como:

$$G_{Transc} = \frac{i_o}{V_i} = \frac{g_m Z_{gs}}{Z_s + Z_{in}} \quad (3.10)$$

substituyendo (3.3) en (3.10) se obtiene:

$$|G_{Transc}| = \left| \frac{i_o}{V_i} \right| = \frac{g_m |Z_{gs}|}{|Z_s + Z_g + Z_{gs} + Z_s'(1 + g_m Z_{gs})|} \quad (3.11)$$

De (3.11) se concluye que en principio para maximizar la ganancia de la etapa de transconductancia, es necesario que la función del denominador de (3.11) se minimice. Lo anterior se logra particularmente cuando la red de entrada se encuentra en resonancia en la frecuencia de interés. Bajo estas consideraciones, suponiendo nuevamente que la impedancia de la fuente es predominantemente resistiva,  $Z_s \approx R_s$ , la impedancia  $Z_{gs}$  corresponde a la impedancia de la capacitancia  $C_{gs}$ ,  $Z_s' = R_{L_s} + jwL_s$  y  $Z_g = R_{L_g} + jwL_s$ , y que la red RLC serie equivalente de entrada se encuentra en resonancia, de (3.11) y (3.4) la ganancia de la etapa de transconductancia se aproxima a:

$$|G_{Transc}| \approx \frac{g_m}{w_0 C_{gs}} \left[ \frac{1}{R_s + R_{L_g} + R_{L_s} + r_g + w_T L_s} \right] \quad (3.12)$$

Despreciando las resistencias parásitas de los inductores, la resistencia parásita de la compuerta del transistor, y asumiendo que se presenta acople de impedancias para máxima trans-

ferencia de potencia, de (3.12) sigue:

$$|G_{Transc}| \approx \frac{w_T}{w_0} \frac{1}{R_s + w_T L_s} \approx \frac{w_T}{2w_0 R_s} \quad (3.13)$$

Finalmente, teniendo en cuenta que  $w_T$  para un transistor NMOS en la región de saturación es aproximadamente:

$$w_T = \frac{3\mu_n(V_{gs} - V_t)}{2L^2} \quad (3.14)$$

donde  $\mu_n$  es la movilidad de los portadores,  $V_{gs}$  es el voltaje compuerta fuente,  $V_t$  es el voltaje de umbral y  $L$  es la longitud del canal del transistor; de (3.13) es importante notar que, la ganancia de la etapa de transconductancia con degeneración inductiva en condiciones de resonancia para máxima transferencia de potencia, es independiente de la transconductancia  $g_{m1}$  y del ancho del transistor  $M_1$ , pero depende directamente de  $w_T$  y por consiguiente del voltaje efectivo  $V_{gs} - V_t$  aplicado al transistor de la etapa de transconductancia. Adicionalmente, la ganancia se incrementa con el aumento de la relación  $w_T/w_0$ .

### 3.2.3. Análisis de ruido térmico

Habiendo establecido expresiones analíticas que relacionan la impedancia de entrada y la ganancia con los parámetros del circuito, a continuación se presentará el análisis de ruido térmico para la etapa de transconductancia de la figura 3.1(a). El transistor NMOS se modelará con sus fuentes de ruido intrínsecas  $i_{n,d}$  e  $i_{n,g}$  como se muestra en la figura 3.2 (ver sección A.2.1); en este modelo se desprecia el efecto de la capacitancia compuerta-dreno, el efecto cuerpo y la resistencia de salida del transistor, porque esto reduce la complejidad del análisis y permite obtener expresiones simplificadas que muestran de forma aproximada el compromiso existente entre las variables de diseño más relevantes. La corriente de ruido  $i_{n,d}$  representa el ruido térmico del canal, mientras  $i_{n,g}$  representa el ruido del canal acoplado o inducido en la compuerta a través de la capacitancia de canal distribuida  $C_{gs}$ .

Para realizar un análisis AC de un circuito con fuentes de ruido se debe usar un método de Fourier, ya que este permite evaluar valores medios cuadráticos aplicando técnicas de la teoría básica de circuitos [20]. El método plantea que una variable aleatoria  $x(t)$  puede ser expresada en términos de su intensidad espectral  $S_x(f)$ , y por consiguiente, una tensión aleatoria  $V_x(t)$  puede ser expresada como  $[S_V(f)\Delta f]^{1/2}$ , de la misma forma una representación análoga puede ser obtenida para una corriente aleatoria.

De forma consecuente con el enunciado anterior, en el modelo de ruido de la figura 3.2 se usa  $i_{n,d} = [\overline{i_{n,d}^2}]^{1/2}$  e  $i_{n,g} = [\overline{i_{n,g}^2}]^{1/2}$  para las fuentes de ruido de compuerta y dreno, respectivamente. Por tanto se puede hacer un análisis AC para determinar la influencia de las fuentes de ruido  $i_{n,d}$  e  $i_{n,g}$  en el desempeño de la figura de ruido, y la dependencia de este con respecto a las impedancias  $Z_g$ ,  $Z_{gs}$ ,  $Z_s$  y  $Z_s'$ .

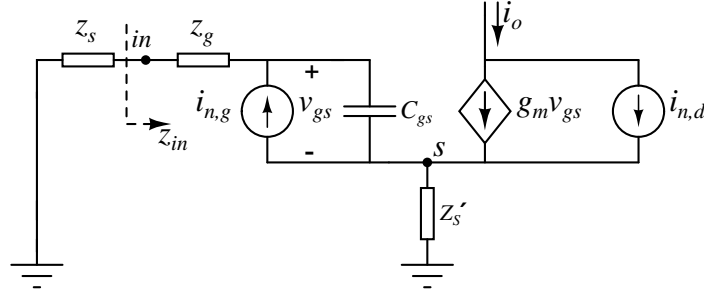


Figura 3.2: Modelo para análisis de ruido de la etapa de transconductancia.

Aplicando técnicas de circuitos y realizando un análisis AC de la figura 3.2, teniendo en cuenta solo las fuentes de ruido intrínsecas  $i_{n,d}$  e  $i_{n,g}$  del transistor NMOS, se obtienen las siguientes expresiones:

$$V_s = (g_{m1}V_{gs} + i_{n,d})Z_s' + \left(\frac{V_{gs}}{Z_{gs}} - i_{n,g}\right)Z_s' \quad (3.15)$$

$$V_s = -V_{gs} - \left(\frac{V_{gs}}{Z_{gs}} - i_{n,g}\right)(Z_g + Z_s) \quad (3.16)$$

$$i_{n,o} = g_{m1}V_{gs} + i_{n,d} \quad (3.17)$$

igualando (3.15) y (3.16) se obtiene:

$$V_{gs} = \frac{i_{n,g}(Z_g + Z_s + Z_s') - i_{n,d}Z_s'}{1 + \frac{g_{m1}}{Z_s'} + \frac{Z_s'}{Z_{gs}} + \frac{Z_g + Z_s}{Z_{gs}}} \quad (3.18)$$

Substituyendo (3.18) en (3.17), se encuentra la corriente de ruido referida a la salida  $i_{n,o}$  en función de las fuentes de ruido  $i_{n,d}$  e  $i_{n,g}$ :

$$i_{n,o} = \frac{(Z_s' + Z_{gs} + Z_g + Z_s)}{Z_s'(1 + g_{m1}Z_{gs}) + Z_{gs} + Z_g + Z_s} i_{n,d} + \frac{g_{m1}Z_{gs}(Z_s' + Z_g + Z_s)}{Z_s'(1 + g_{m1}Z_{gs}) + Z_{gs} + Z_g + Z_s} i_{n,g} \quad (3.19)$$

Ahora, escribiendo (3.19) de la forma:

$$i_{n,o} = x i_{n,d} + y i_{n,g} \quad (3.20)$$

y teniendo en cuenta que  $i_{n,d}$  e  $i_{n,g}$  están correlacionadas por medio de (A.7), se puede expresar (3.20) en función de los valores medios cuadráticos de  $i_{n,o}$ ,  $i_{n,d}$  e  $i_{n,g}$  de la siguiente forma:

$$\overline{i_{n,o}^2} = |x|^2 \overline{i_{n,d}^2} + |y|^2 \overline{i_{n,g}^2} + \text{Re}\{2x^*y i_{n,d}^* i_{n,g}\} \quad (3.21)$$

$$\overline{i_{n,o}^2} = |x|^2 \overline{i_{n,d}^2} + |y|^2 \overline{i_{n,g}^2} + 2 \cdot \text{Re}\{x^*y c\} \sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}} \quad (3.22)$$

donde  $c \approx -j0,395$  representa la correlación existente entre las fuentes de ruido  $i_{n,d}$  e  $i_{n,g}$ . Substituyendo de (3.19) los valores correspondientes de  $x$  y  $y$  en (3.22) se encuentra que el

valor medio cuadrático de la corriente de ruido referida a la salida es aproximadamente:

$$\begin{aligned} \overline{i_{n,o}^2} &= \frac{|Z_s' + Z_{gs} + Z_g + Z_s|}{|Z_s'(1 + g_{m1}Z_{gs}) + Z_{gs} + Z_g + Z_s|^2} \overline{i_{n,d}^2} \\ &+ \frac{g_{m1}^2 |Z_{gs}|^2 |Z_g + Z_s + Z_s'|^2}{|Z_s'(1 + g_{m1}Z_{gs}) + Z_{gs} + Z_g + Z_s|^2} \overline{i_{n,g}^2} \\ &+ \frac{2 \cdot \text{Re}\{(Z_s' + Z_{gs} + Z_g + Z_s)^* g_{m1} Z_{gs} (Z_g + Z_s + Z_s') c\}}{|Z_s'(1 + g_{m1}Z_{gs}) + Z_{gs} + Z_g + Z_s|^2} \sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}} \end{aligned} \quad (3.23)$$

En seguida, definiendo el factor de ruido como la relación entre el ruido total a la salida y el ruido a la salida debido únicamente a la fuente de entrada:

$$F = 1 + \frac{\overline{i_{n,o}^2}}{\overline{v_{n,s,o}^2}} \quad (3.24)$$

donde  $\overline{i_{n,o}^2}$  representa el ruido introducido por la fuente de entrada referido a la salida, y asumiendo que el ruido introducido por la fuente de entrada referido a la salida, está asociado exclusivamente con el ruido térmico introducido por la parte real de la impedancia del generador,  $R_s$ , se obtiene:

$$\overline{v_{n,s,o}^2} = |G_{Transc}|^2 \overline{v_{n,s}^2} \quad \text{con} \quad \overline{v_{n,s}^2} = 4kTR_s \Delta f \quad (3.25)$$

donde  $|G_{Transc}|$  está dada por (3.11),  $k$  es la constante de Boltzman y  $T$  es la temperatura en grados Kelvin [20]. Reemplazando (3.23), (3.25) y (3.11) en (3.24), se encuentra el factor de ruido expresado en función de los valores medios cuadráticos de las fuentes de ruido y de las impedancias asociadas con el circuito de la figura 3.2:

$$\begin{aligned} F &= 1 + \frac{|1 + Y_s(Z_{gs} + Z_g + Z_s')|^2}{g_{m1}^2 |Z_{gs}|^2} \frac{\overline{i_{n,d}^2}}{|Y_s|^2 \overline{V_{n,s}^2}} + |1 + Y_s(Z_g + Z_s')|^2 \frac{\overline{i_{n,g}^2}}{|Y_s|^2 \overline{V_{n,s}^2}} \\ &+ \frac{2}{g_{m1}} \text{Re}\left\{ \frac{(1 + Y_s(Z_{gs} + Z_g + Z_s'))^*}{Z_{gs}^*} (1 + Y_s(Z_g + Z_s')) c \right\} \frac{\sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}}{|Y_s|^2 \overline{V_{n,s}^2}} \end{aligned} \quad (3.26)$$

representando  $Y_s = 1/Z_s$  la admitancia del generador de entrada. En la ecuación anterior se desprecian las contribuciones de ruido térmico de las impedancias  $Z_{gs}$ ,  $Z_g$  y  $Z_s'$ ; si estos elementos presentan alguna resistencia parásita considerable, su contribución de ruido térmico se adhiere directamente al factor de ruido aproximadamente de la forma  $R_p/R_s$ , siendo  $R_p$  la resistencia parásita de cada uno de los elementos.

Cabe destacar que comúnmente el efecto de la corriente de ruido de drenaje  $i_{n,d}$  es el más significativo en el factor de ruido de la etapa de transconductancia<sup>4</sup>, por tanto, de (3.26) se

<sup>4</sup>Sin embargo, en altas frecuencias el ruido inducido en la compuerta  $i_{n,g}$  puede llegar a ser dominante [20].

deduce que en principio para reducir el factor de ruido es conveniente que la red de entrada se encuentre en resonancia<sup>5</sup> [12], es decir:

$$Z_{gs} + Z_g + Z_s' = 0 \quad (3.27)$$

En consecuencia, asumiendo que  $Z_{gs}$  es la impedancia de la capacitancia intrínseca  $C_{gs}$ , lo más oportuno es que  $Z_g + Z_s'$  tenga un efecto inductivo; por esta razón nuevamente utilizar degeneración inductiva en la fuente del transistor de la etapa de transconductancia es lo más conveniente.

Suponiendo que  $Z_g$  y  $Z_s'$  son inductores ideales ( $Z_g = j\omega L_g$  y  $Z_s' = j\omega L_s$ ),  $Y_s$  es completamente real ( $Y_s = 1/R_s$ ), que la condición (3.27) se satisface, y reemplazando (A.5), (A.6), (3.25) y  $c \approx -j0,395$  en (3.26) sigue:

$$F \approx 1 + \frac{w}{w_T} \gamma \omega C_{gs} R_s \left\{ \frac{1}{\alpha} + \frac{\delta \alpha}{5\gamma} \left( 1 + \frac{\omega^2 (L_g + L_s)^2}{R_s^2} \right) - 0,79 \sqrt{\frac{\delta}{5\gamma}} \right\} \quad (3.28)$$

donde  $\gamma$  y  $\delta$  son parámetros dependientes de la polarización,  $w_T \approx g_{m1}/C_{gs}$ , y  $\alpha = g_{m1}/g_{d0}$ , siendo  $g_{d0}$  la conductancia dren-fuente con el voltaje dren-fuente igual a cero. Bajo condiciones de resonancia:

$$w^2 = \frac{1}{(L_g + L_s)C_{gs}} \quad \rightarrow \quad \omega(L_g + L_s) = \frac{1}{\omega C_{gs}}; \quad (\omega = \omega_0) \quad (3.29)$$

y considerando la red de entrada como una red RLC serie en resonancia se puede definir (3.28) en función del factor de calidad de la red de entrada como sigue:

$$F = 1 + \frac{w}{w_T} \frac{\gamma}{Q_{in}} \left\{ \frac{1}{\alpha} + \frac{\delta \alpha}{5\gamma} (1 + Q_{in}^2) - 0,79 \sqrt{\frac{\delta}{5\gamma}} \right\} \quad (3.30)$$

con

$$Q_{in} = \frac{\omega(L_s + L_g)}{R_s} = \frac{1}{\omega C_{gs} R_s} \quad (3.31)$$

de esta manera, (3.30) se puede definir de la siguiente forma:

$$F = 1 + \frac{w}{w_T} \gamma f(Q_{in}) \quad (3.32)$$

donde

$$f(Q_{in}) = \frac{1}{Q_{in}} \left\{ \frac{1}{\alpha} + \frac{\delta \alpha}{5\gamma} (1 + Q_{in}^2) - 0,79 \sqrt{\frac{\delta}{5\gamma}} \right\} \quad (3.33)$$

---

<sup>5</sup>No obstante, como se menciona en la sección 2.2.2 y A.2.3, existe una teoría clásica que minimiza el factor de ruido mediante la utilización de una impedancia de fuente óptima, sin embargo, esta optimización no permite obtener un compromiso entre máxima transferencia de potencia y consumo de potencia. Ésta optimización es particularmente útil cuando se tiene un dispositivo con una geometría fija y, se puede variar la impedancia de la fuente  $Z_s$ .

De (3.33) es posible obtener un factor de calidad óptimo  $Q_{in,opt}$  para el cual  $f(Q_{in})$  presenta un mínimo y por consiguiente el factor de ruido se minimiza para una frecuencia de ganancia unitaria  $w_T$  determinada, obteniéndose así:

$$Q_{in,opt} = \sqrt{1 + \frac{5}{\alpha^2} \frac{\gamma}{\delta} - \frac{0,79}{\alpha} \sqrt{5 \frac{\gamma}{\delta}}} \quad (3.34)$$

De la misma forma, aproximando la capacitancia  $C_{gs}$  del transistor MOS en la región de saturación a:

$$C_{gs} = \frac{2}{3} W L C_{ox} \quad (3.35)$$

se puede obtener de (3.31) un ancho óptimo para el transistor de la etapa de transconductancia, el cual minimiza el factor de ruido bajo condiciones de resonancia:

$$W_{1,opt} = \frac{3}{2\omega R_s C_{ox} L Q_{in,opt}} \quad (3.36)$$

donde  $Q_{in,opt}$  está dado por (3.34),  $R_s$  es la resistencia de la fuente de entrada,  $C_{ox}$  es la capacitancia del óxido de silicio entre compuerta y fuente por unidad de área,  $L$  es la longitud del canal del transistor y  $w$  es la frecuencia de interés (frecuencia de resonancia).

Es importante resaltar de (3.30) y (3.34), que las expresiones que estiman el factor de ruido y el factor de calidad óptimo  $Q_{in,opt}$ , son funciones dependientes de los parámetros  $\gamma$  y  $\delta$ . Debido a que éstos parámetros dependen de las tensiones de polarización y de la longitud del canal de una forma no especificada aún en la literatura, no es posible hacer una optimización y cuantificación exacta del desempeño de ruido del circuito. No obstante, en algunas publicaciones se asume que a pesar de que los parámetros  $\gamma$  y  $\delta$  varían con las condiciones de polarización y la tecnología de fabricación utilizada, su relación  $\delta/\gamma$  se mantiene aproximadamente constante e igual a 2 [8].

Retomando (3.34) y (3.32) se puede hacer una estimación del factor de calidad óptimo y el factor de ruido mínimo, substituyendo por valores aproximados  $\gamma \approx 4/3$ ,  $\delta \approx 8/3$  y  $\alpha \approx 0,8$  para transistores de canal corto [24]:

$$Q_{in,opt} \approx 1,83 \quad (3.37)$$

$$F_{min,Q_{opt}} \geq 1 + 1,9 \frac{w}{w_T} \quad (3.38)$$

En este contexto y teniendo en cuenta que  $w_T$  se puede aproximar con (3.14) en la región de saturación, de (3.38) y (3.13) se puede deducir que inicialmente para minimizar la figura de ruido y aumentar la ganancia de la etapa de transconductancia es conveniente adoptar  $L = L_{min}$ , para maximizar el valor de  $w_T$ . Otra posibilidad es aumentar el voltaje efectivo  $V_{gs} - V_t$  aplicado al transistor de la etapa de transconductancia, sin embargo, este aumento de tensión ocasiona a su vez un incremento en la potencia total disipada por la etapa de

transconductancia, lo cual compromete la tendencia actual en el diseño de circuitos integrados. Por tanto, hasta el momento es evidente que para la etapa de transconductancia con degeneración inductiva existe un compromiso de diseño entre desempeño de ruido, ganancia y consumo de potencia.

### 3.2.4. Dispositivo cascode

Usualmente un dispositivo cascode en configuración de compuerta común es conectado a la salida de la etapa de transconductancia, como se muestra en la figura 3.3(a); la fuente de corriente  $I_B$  representa la etapa de transconductancia. En el caso del *LNA* el dispositivo cascode  $M_2$  provee aislamiento de puertos y garantiza estabilidad, mientras en el caso de un mezclador activo de conmutación de corriente, este dispositivo representa los transistores del par conmutado<sup>6</sup>.

La figura 3.3(b) presenta el modelo aproximado de ruido equivalente para analizar la contribución de ruido del dispositivo cascode a la salida  $i_{n,o2}$ , sin tener en cuenta el ruido introducido por la etapa de transconductancia. Suponiendo que el polo asociado con las capacitancias  $C_{gs2}$  y  $C_p$  está suficientemente alejado de los polos asociados con la capacitancia compuerta dren  $C_{gd2}$  del transistor  $M_2$  y las capacitancias parásitas del circuito, se puede deducir del modelo de la figura 3.3(b), mediante un análisis en AC, que se forma un polo en la frecuencia:

$$w_p \approx \frac{g_{m2} + g_{mb2}}{C_p + C_{gs2}} \quad (3.39)$$

donde  $g_{m2}$  y  $g_{mb2}$  son la transconductancia de compuerta y cuerpo del transistor  $M_2$  respectivamente,  $C_p$  es la capacitancia parásita total a tierra (o algún otro nodo de baja impedancia) y,  $C_{gs2}$  es la capacitancia compuerta-fuente del transistor  $M_2$  si la compuerta del transistor  $M_2$  está conectada a un nodo de baja impedancia.

Asumiendo que la compuerta del transistor  $M_2$  está conectado a un nodo de baja impedancia se puede hacer una estimación del ruido adicionado a la salida debido al transistor  $M_2$ , mediante un análisis AC del circuito equivalente de la figura 3.3(b), como sigue:

$$i_{n,o2} \approx \frac{g_{m2} + g_{mb2}}{g_{m2} + g_{mb2} + jw(C_{gs2} + C_p)} i_{n,g2} + \frac{jw(C_p + C_{gs2})}{g_{m2} + g_{mb2} + jw(C_p + C_{gs2})} i_{n,d2} \quad (3.40)$$

$$i_{n,o2} \approx \frac{1}{1 + j\frac{w}{w_p}} i_{n,g2} + \frac{j\frac{w}{w_p}}{1 + j\frac{w}{w_p}} i_{n,d2} \quad (3.41)$$

<sup>6</sup>Esta representación es particularmente válida cuando uno de los transistores del par conmutado está apagado o en la región de corte.

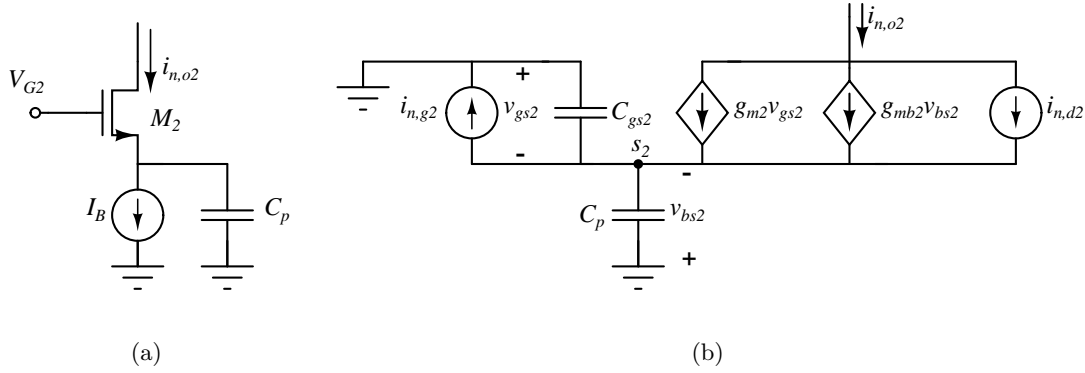


Figura 3.3: (a) Dispositivo cascode de la etapa de transconductancia. (b) Modelo de ruido equivalente en pequeña señal.

y aplicando la definición de (3.22) en (3.41), se deduce que:

$$\overline{i_{n,o2}^2} \approx \frac{1}{1 + \left(\frac{w}{w_p}\right)^2} \overline{i_{n,g2}^2} + \frac{\left(\frac{w}{w_p}\right)^2}{1 + \left(\frac{w}{w_p}\right)^2} \overline{i_{n,d2}^2} - 2|c| \frac{\frac{w}{w_p}}{1 + \left(\frac{w}{w_p}\right)^2} \sqrt{\overline{i_{n,g2}^2} \overline{i_{n,d2}^2}} \quad (3.42)$$

Reemplazando (A.5) y (A.6) en (3.42) se puede deducir que el efecto de la corriente de ruido inducida en la compuerta del transistor cascode es comúnmente pequeña, y por consiguiente puede ser despreciada. Bajo estas consideraciones la contribución de ruido del transistor  $M_2$  a la salida es aproximadamente:

$$\overline{i_{n,o2}^2} \approx \frac{\left(\frac{w}{w_p}\right)^2}{1 + \left(\frac{w}{w_p}\right)^2} \overline{i_{n,d2}^2} = \frac{\left(\frac{w}{w_p}\right)^2}{1 + \left(\frac{w}{w_p}\right)^2} 4kT\gamma g_{d02} \quad (3.43)$$

donde  $g_{d02}$  es la conductancia del dren de  $M_2$  en triodo, para el mismo voltaje de polarización  $V_{gs2}$  y  $V_{ds2} = 0V$ .

Es importante resaltar de (3.43) que si  $w \ll w_p$ , la contribución de ruido del dispositivo cascode a la corriente de salida es despreciable comparada con la contribución de ruido de la etapa de transconductancia. Por lo tanto, si el valor de  $w_p$  es dominado por la capacitancia entre compuerta y fuente  $C_{gs2}$  del dispositivo cascode, es conveniente seleccionar el transistor  $M_2$  con las menores dimensiones posibles, ya que esto aumenta  $w_p$  y por consiguiente mejora el desempeño de ruido del dispositivo cascode.

### 3.3. Par conmutado

En seguida se presenta el comportamiento en gran señal, la ganancia, y el análisis de ruido del par conmutado de un mezclador activo balanceado con entrada simple, como el mostrado

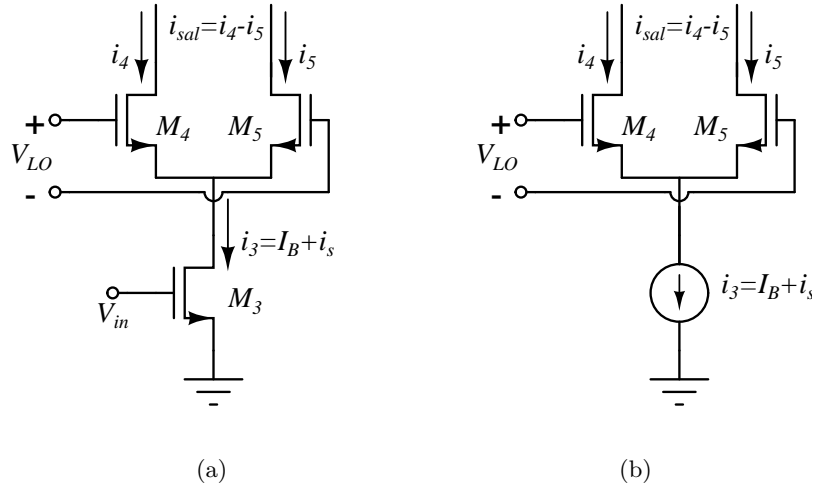


Figura 3.4: (a) Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple; (b) Modelo básico de un mezclador CMOS de conmutación de corriente.

en la figura 3.4(a). El análisis del comportamiento en gran señal y ganancia, fue tomado y adaptado de [25].

Debido a que el modelo simple de ley cuadrática del transistor MOS no es apropiado para tecnologías modernas de canal corto, en esta sección se utilizará una mejor aproximación para la relación corriente-voltaje del transistor MOS en la región de saturación fuerte, el cual está dado por:

$$I = K \frac{(V_{gs} - V_t)^2}{1 + \theta(V_{gs} - V_t)}; \quad K \approx \mu C_{ox} \frac{W}{2L} \quad (3.44)$$

donde  $I$  es la corriente de dren,  $V_{gs}$  es el voltaje compuerta-fuente, y  $V_t$  es el voltaje de umbral del transistor. El parámetro  $K$  depende de la movilidad de los portadores  $\mu$ , de la capacitancia del óxido de silicio por unidad de área  $C_{ox}$ , es proporcional al ancho del transistor  $W$  e inversamente proporcional a la longitud del canal  $L$ . El parámetro  $\theta$  modela en primer orden la resistencia serie de la fuente, la degradación de movilidad debido al campo vertical, y la velocidad de saturación debida al campo lateral en transistores de canal corto; éste parámetro es dependiente de la longitud del canal  $L$  y es independiente del efecto cuerpo [26].

### 3.3.1. Comportamiento en gran señal

Si una señal periódica  $V_{LO}$  suficientemente grande es aplicada al par conmutado formado por los transistores  $M_4$  y  $M_5$ , como se indica en la figura 3.4(b), la polarización de los transistores  $M_4$  y  $M_5$  varía periódicamente con el tiempo. Cuando un voltaje diferencial  $V_{LO}$  más grande que un cierto valor  $V_x$  es aplicado entre las compuertas de los transistores, uno de ellos se apaga; si el valor absoluto del voltaje instantáneo del oscilador local es más bajo

que  $V_x$  la corriente entregada por la etapa de transconductancia  $M_3$ , es compartida entre los dos transistores  $M_4$  y  $M_5$ . Por tanto en el último caso, es conveniente expresar la corriente de drenaje de cada transistor en función del voltaje del oscilador local  $V_{LO}$  y la corriente de la etapa de transconductancia  $I_B$ .

En el análisis posterior se asume que la resistencia de salida de los transistores es muy grande y por consiguiente  $M_3$  se puede modelar con una fuente de corriente ideal  $I_B$ . También se asume que la carga de  $M_4$  y  $M_5$  es tal que, los transistores permanecen en saturación durante el intervalo de tiempo que están conduciendo. Bajo éstas consideraciones, despreciando la conducción en subumbral y asumiendo que los transistores  $M_4$  y  $M_5$  son simétricos, el comportamiento en gran señal del par conmutado es descrito aproximadamente por medio del siguiente sistema de dos ecuaciones:

$$K \frac{(V_{GS4} - V_{t4})^2}{1 + \theta(V_{GS4} - V_{t4})} + K \frac{(V_{GS5} - V_{t5})^2}{1 + \theta(V_{GS5} - V_{t5})} = I_B \quad (3.45)$$

$$V_{GS4} - V_{GS5} = V_{LO} \quad (3.46)$$

donde  $V_{GS4}$  y  $V_{GS5}$  son los voltajes compuerta-fuente de los transistores  $M_4$  y  $M_5$ , respectivamente. Despreciando el efecto cuerpo, asumiendo  $V_{t4} = V_{t5} = V_t$ , substituyendo (3.46) en (3.45) y resolviendo para  $V_{GS4} - V_t$ , se encuentra el límite inferior del voltaje del oscilador local  $V_{LO}$  necesario para que se presente conmutación, es decir, para que uno de los transistores del par conmutado esté en corte. En el instante en el que  $V_{GS5} - V_t = 0$  y considerando  $V_{LO}$  positivo se cumple:

$$K(V_{GS4} - V_t)^2 = I_B(1 + \theta(V_{GS4} - V_t)) \quad \text{con} \quad V_{GS4} - V_t = V_{LO} \quad (3.47)$$

por lo tanto, el límite inferior de  $V_{LO}$  para el cual toda la corriente de polarización  $I_B$  circula a través de un sólo transistor se aproxima a:

$$|V_{LO,min}| = V_x = \frac{\theta}{2K} I_B + \sqrt{\frac{\theta^2 I_B^2}{4K^2} + \frac{I_B}{K}} \quad (3.48)$$

De (3.48) se deduce que  $V_x$  depende de la corriente de polarización  $I_B$ , de los parámetros  $K$  y  $\theta$ , es decir, depende de la tecnología utilizada, de la longitud del canal y del ancho de los transistores del par conmutado.

### 3.3.2. Ganancia

Si los efectos capacitivos son despreciados, el comportamiento del mezclador balanceado de la figura 3.3.1 es función del voltaje instantáneo del oscilador local  $V_{LO}$  y, de la corriente de salida de la etapa de transconductancia  $I_3 = I_B + i_s$ , siendo  $I_B$  la corriente de polarización e  $i_s$  la corriente de pequeña señal;

$$I_{sal} = I_4 - I_5 = f(V_{LO}(t), I_B + i_s) \quad (3.49)$$

Teniendo en cuenta que en aplicaciones típicas de RF  $i_s$  es pequeña, al aplicar una expansión de Taylor de primer orden a (3.49) se obtiene:

$$I_{sal} \approx f(V_{LO}(t), I_B) + \frac{\partial}{\partial I_B} f(V_{LO}(t), I_B) i_s \quad (3.50)$$

$$I_{sal} \approx p_0(t) + p_1(t) i_s \quad (3.51)$$

donde  $p_0(t)$  y  $p_1(t)$  son formas de onda periódicas, con período igual al período del oscilador local  $T_{LO}$ . Durante un intervalo de tiempo  $\Delta$ , cuando  $V_{LO}(t)$  está entre  $V_x$  y  $-V_x$ , y ambos transistores están encendidos,  $p_0(t)$  y  $p_1(t)$  dependen de  $V_{LO}(t)$ , de  $I_B$ , y de la característica corriente-voltaje de los transistores. La corriente de pequeña señal de cada rama del par conmutado es determinada por un divisor de corriente y se puede demostrar despreciando el efecto cuerpo que:

$$p_1(t) \approx \frac{g_{m4}(t) - g_{m5}(t)}{g_{m4}(t) + g_{m5}(t)} \quad (3.52)$$

donde  $g_{m4}(t)$  y  $g_{m5}(t)$  representan la transconductancia en pequeña señal de  $M_4$  y  $M_5$ .

De acuerdo a (3.51) el producto entre  $p_1(t)$  e  $i_s$  representa una traslación en frecuencia del espectro de la señal  $i_s$ , por cada uno de los armónicos que conforman  $p_1(t)$ . Es importante mencionar que con un buen acople de los transistores  $M_4$  y  $M_5$ ,  $p_1(t)$  presenta simetría de media onda y por consiguiente tiene sólo componentes armónicas de orden impar.

En sistemas de recepción usualmente el desplazamiento por el primer armónico de  $p_1(t)$  es de interés, ya que este corresponde a un desplazamiento de la señal de entrada en el dominio de la frecuencia por una frecuencia del oscilador local. Por consiguiente en este caso, la ganancia de conversión del par conmutado puede ser expresada como:

$$G_c = |p_{1,1}| \quad (3.53)$$

donde  $p_{1,1}$  representa el primer coeficiente de Fourier de  $p_1(t)$ . Para altas amplitudes del oscilador local,  $p_1(t)$  se aproxima a una forma de onda cuadrada y  $G_c$  es aproximadamente  $2/\pi$ . Por consiguiente, el par conmutado disminuye la señal proveniente de la etapa de transconductancia.

Después de haber analizado de forma muy general el comportamiento en gran señal y la ganancia del par conmutado, a continuación se presenta el análisis del ruido térmico generado por el par conmutado.

### 3.3.3. Análisis de ruido térmico

Las expresiones presentadas en la sección A.2.1 para modelar el ruido de los transistores MOS asumen que el transistor tiene un punto de polarización constante. Como ya se ha mencionado, el par conmutado es un circuito con un punto de operación variante en el tiempo;

sin embargo, se ha demostrado que si el punto de operación cambia con el tiempo, el ruido resultante se puede modelar todavía como ruido blanco [27], con una densidad espectral de potencia variante en el tiempo dada por la misma formula como para el caso invariante en el tiempo, si se reemplazan los valores constantes por sus valores variantes en el tiempo. En este análisis se modela el ruido térmico generado por los transistores del par conmutado de la misma forma como se presenta en la sección A.2.1.

Cuando uno de los transistores  $M_4$  o  $M_5$  del par conmutado de la figura 3.3.1 está apagado, la operación del par conmutado es equivalente a la de un dispositivo cascode en configuración de compuerta común, como el mostrado en la figura 3.3, pero con un punto de polarización variante en el tiempo. Como se discutió en la sección 3.2.4, bajo ciertas condiciones, el ruido referido a la salida aportado por el dispositivo cascode es despreciable comparado con el ruido referido a la salida introducido por la etapa de transconductancia, y por consiguiente, se puede despreciar el ruido introducido por el par conmutado cuando uno de los transistores  $M_4$  ó  $M_5$  está apagado.

Sin embargo, durante el intervalo de tiempo en que el valor absoluto de  $V_{LO}$  es menor que  $V_x$ , los transistores  $M_4$  y  $M_5$  están encendidos y pueden contribuir significativamente al ruido de salida. En seguida se presenta el análisis de ruido correspondiente, sin tener en cuenta la resistencia de salida de los transistores, asumiendo que los transistores permanecen en saturación durante el período de tiempo que están encendidos y suponiendo que las compuertas de los transistores  $M_4$  y  $M_5$  están conectadas a un nodo de baja impedancia. En la figura 3.5 se presenta el circuito correspondiente para el análisis de ruido del par conmutado, las fuentes de corriente  $i_{n,d4}$ ,  $i_{n,g4}$ ,  $i_{n,d5}$  e  $i_{n,g5}$  representan el ruido térmico de canal y el ruido inducido en las compuertas de los transistores  $M_4$  y  $M_5$  respectivamente, y  $C_p$  representa la capacitancia asociada con el dreno del transistor  $M_3$  de la etapa de transconductancia.

Realizando un análisis AC del circuito de la figura 3.5 y definiendo:

$$C_T = C_p + C_{gs4} + C_{gs5} \quad (3.54)$$

$$g = g_{m4} + g_{mb4} + g_{m5} + g_{mb5} \quad (3.55)$$

$$w_{pT} = \frac{g}{C_T} = \frac{g_{m4} + g_{mb4} + g_{m5} + g_{mb5}}{C_p + C_{gs4} + C_{gs5}} \quad (3.56)$$

se obtiene después de algunas simplificaciones el ruido térmico introducido por el par conmutado referido a la salida como:

$$\begin{aligned} i_{n,sal} = & i_{n,d4} \left[ \frac{2(g_{m5} + g_{mb5}) + jwC_T}{g(1 + j\frac{w}{w_{pT}})} \right] - i_{n,d5} \left[ \frac{2(g_{m4} + g_{mb4}) + jwC_T}{g(1 + j\frac{w}{w_{pT}})} \right] \\ & + i_{n,g4} \left[ \frac{(g_{m4} + g_{mb4}) - (g_{m5} + g_{mb5})}{g(1 + j\frac{w}{w_{pT}})} \right] + i_{n,g5} \left[ \frac{(g_{m4} + g_{mb4}) - (g_{m5} + g_{mb5})}{g(1 + j\frac{w}{w_{pT}})} \right] \end{aligned} \quad (3.57)$$

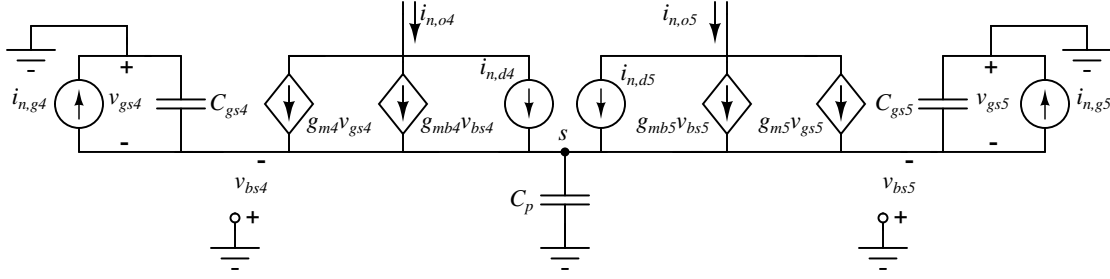


Figura 3.5: Modelo para análisis de ruido del par conmutado.

De (3.57) se puede concluir que el mayor aporte de cada una de las fuentes de corriente de ruido inducido en las compuertas,  $i_{n,g4}$  e  $i_{n,g5}$ , se presenta cuando uno de los transistores del par conmutado está apagado, no obstante, como ya se mencionó en la sección 3.2.4 su contribución al ruido referido a la salida llega a ser despreciable comparado con el ruido térmico introducido por las fuentes de ruido de canal de los transistores  $M_4$  y  $M_5$ ,  $i_{n,d4}$  e  $i_{n,d5}$ .

Despreciando el efecto de la corriente de ruido inducida en las compuertas de los transistores del par conmutado, asumiendo que las fuentes de ruido  $i_{n,d4}$  e  $i_{n,d5}$  no están correlacionadas, y expresando los términos de la ecuación (3.57) en función de sus valores medios cuadráticos, el ruido introducido por el par conmutado referido a la salida se aproxima a:

$$\overline{i_{n,sal}^2} = 4 \frac{(g_{m5} + g_{mb5})^2}{g^2} \frac{1 + (\frac{w}{w_{p5}})^2}{1 + (\frac{w}{w_{pT}})^2} \overline{i_{n,d4}^2} + 4 \frac{(g_{m4} + g_{mb4})^2}{g^2} \frac{1 + (\frac{w}{w_{p4}})^2}{1 + (\frac{w}{w_{pT}})^2} \overline{i_{n,d5}^2} \quad (3.58)$$

donde

$$w_{p4} = \frac{2(g_{m4} + g_{mb4})}{C_T} \quad w_{p5} = \frac{2(g_{m5} + g_{mb5})}{C_T} \quad (3.59)$$

La transconductancia y las capacitancias asociadas con los transistores del par conmutado varían con el tiempo, por tanto, para cuantificar la contribución de ruido de los transistores  $M_4$  y  $M_5$  es necesario hallar el valor promedio de (3.58) en un período del oscilador local. No obstante, si se desprecian los efectos capacitivos en (3.58), no se tiene en cuenta el efecto cuerpo, se aproxima  $g_m \approx g_{d0}$  y se substituyen  $\overline{i_{n,d4}^2}$  e  $\overline{i_{n,d5}^2}$  por (A.5), se puede obtener una expresión simple que permite observar el comportamiento de la densidad espectral de ruido térmico introducido por el par conmutado de la siguiente forma<sup>7</sup>:

$$\overline{i_{n,sal}^2} \approx 16kT\gamma \left( \frac{g_{m4}(t)g_{m5}(t)}{g_{m4}(t) + g_{m5}(t)} \right) \quad (3.60)$$

<sup>7</sup>Dado que se carece de una expresión que relacione el parámetro  $\gamma$  con el punto de polarización, en este caso se asume  $\gamma$  constante. En casos prácticos se toma el valor de  $\gamma$  correspondiente a la tensión de polarización cuando la tensión del oscilador local es cero [3], dado que en este instante de tiempo es donde el par conmutado contribuye más ruido ya que los dos transistores se encuentran operando simultáneamente en la región de saturación.

Adicionalmente, si se asume que la forma de onda del oscilador local es sinusoidal y que la amplitud del mismo es suficientemente grande, la densidad espectral promedio de la contribución de ruido del par conmutado a la salida puede ser aproximada como [3],

$$\overline{i_{n,sal}^2} \approx \frac{16kT\gamma I_B}{\pi A} \quad (3.61)$$

donde  $A$  es la amplitud del oscilador local e  $I_B$  es la corriente de polarización suministrada por la etapa de transconductancia. De la aproximación mostrada en la ecuación (3.61) se deduce que la contribución de ruido del par conmutado disminuye con el incremento de la amplitud del oscilador local y es proporcional a la corriente de polarización  $I_B$  de la etapa de transconductancia. Lo cual era de esperarse ya que a mayor amplitud del oscilador local se reduce el intervalo de tiempo en el cual los dos transistores  $M_4$  y  $M_5$  se encuentran encendidos simultáneamente. De otro lado, a mayor corriente de polarización  $I_B$  de la etapa de transconductancia mayor contribución de ruido del par conmutado, ya que la tensión necesaria  $V_x$  para que se presente una conmutación completa de  $M_4$  y  $M_5$  se incrementa (ecuación (3.48)), y por consiguiente, el intervalo de tiempo en el cual están encendidos también aumenta.

Por tanto, para reducir el aporte de ruido del par conmutado es conveniente aumentar en cuanto sea posible la amplitud del oscilador local y reducir la corriente de polarización  $I_B$  de la etapa de transconductancia. Sin embargo, lo último puede llegar a degradar el desempeño de ruido de la etapa de transconductancia y el desempeño de linealidad del mezclador de señal. Por consiguiente, existe un compromiso entre el aporte de ruido de la etapa de transconductancia y el aporte de ruido del par conmutado.

### 3.4. Ruido *flicker*

En los análisis de ruido presentados con anterioridad sólo se ha tenido en cuenta el efecto del ruido térmico generado por los transistores MOS, sin embargo, en el caso de un receptor inalámbrico de conversión directa (*zero-IF*) o frecuencia intermedia baja (*Low IF*), el incremento del ruido de los dispositivos semiconductores en bajas frecuencias puede comprometer la sensibilidad total del receptor. Generalmente, este exceso de ruido en bajas frecuencias es conocido como ruido *flicker* y, de acuerdo a algunas investigaciones y trabajos publicados, su densidad espectral de potencia es aproximadamente proporcional al inverso de la frecuencia, por esta razón el ruido *flicker* en algunos casos es también llamado ruido  $1/f$  [3].

Particularmente es de interés en este trabajo discutir el efecto del ruido *flicker* en la operación del mezclador de señal CMOS seleccionado, ya que este bloque es el encargado de demodular la señal *RF* presente en el puerto de entrada a baja frecuencia, y por consiguiente, los efectos del ruido *flicker* pueden afectar su desempeño.

En las secciones 3.4.1-3.4.3 se presenta un análisis cualitativo del efecto del ruido *flicker* en un mezclador activo conmutado CMOS con entrada simple, basándose en un modelo físico simple publicado para el análisis de ruido en mezcladores de señal CMOS en radiofrecuencia [28]. Este modelo estima el ruido *flicker* en la salida de un mezclador activo conmutado mediante la formulación de expresiones simples, las cuales establecen una dependencia entre el ruido del mezclador, la amplitud del oscilador local y otros parámetros del circuito.

Un mezclador activo CMOS con entrada simple básicamente está conformado por una etapa de transconductancia, un par conmutado y una carga de salida. Inicialmente se describe cualitativamente la contribución de ruido de la carga de salida y de la etapa de transconductancia, y seguidamente se presenta el análisis cualitativo del comportamiento del par conmutado con respecto a ruido *flicker*, mediante la adaptación de los resultados encontrados en [28].

### 3.4.1. Carga de salida

En un mezclador de señal con arquitectura de conversión directa, el ruido *flicker* en la carga de salida afecta directamente el desempeño de ruido del mezclador. Este ruido puede ser disminuido con una selección apropiada de la carga de salida. Por ejemplo, los transistores PMOS muestran menor ruido *flicker* comparados con transistores NMOS de las mismas dimensiones [26], y por consiguiente, cargas PMOS pueden ser usadas. Por otro lado, la carga del mezclador puede ser resistores de polisilicio, los cuales son libres de ruido *flicker*, sin embargo, usualmente esto se realiza a expensas de una caída de tensión mayor en estos elementos [28].

### 3.4.2. Etapa de transconductancia

Usualmente el ruido *flicker* de la etapa de transconductancia es modelado con una fuente de tensión en serie con la compuerta del transistor de la etapa de transconductancia. Asumiendo ésta representación, el ruido *flicker* de la etapa de transconductancia es trasladado en frecuencia de la misma forma presentada en la sección 3.3.2, por tanto éste aparece en la salida del mezclador de señal alrededor de la frecuencia del oscilador local  $f_{LO}$  y todos sus armónicos de orden impar, ya que si los transistores del par conmutado son simétricos la función  $p_1(t)$  presenta simetría de media onda y por consiguiente, sólo tiene componentes de orden impar. Si la banda de frecuencia de interés a la salida es cercana a banda base, la etapa de transconductancia no contribuye ruido *flicker* a la salida después de la traslación de frecuencia, debido a que la frecuencia de corte del ruido *flicker* de los transistores MOS es usualmente más baja que la frecuencia del oscilador local  $f_{LO}$ . No obstante, debido a que típicamente se presenta desacople en los transistores del par conmutado, una pequeña contribución del ruido *flicker* de la etapa de transconductancia puede aparecer en la salida del

mezclador de señal.

### 3.4.3. Par conmutado

El modelo presentado en [28] asume que los transistores del par diferencial de la figura 3.4(a), conmutan instantáneamente<sup>8</sup> y por consiguiente el ruido *flicker* de los transistores  $M_4$  y  $M_5$  puede ser representado por medio de una fuente de voltaje de entrada equivalente independiente de la polarización, y con una densidad espectral de potencia proporcional al inverso de la frecuencia. A pesar de éstas simplificaciones, los resultados obtenidos teóricamente son buenas aproximaciones comparados con resultados experimentales. Este modelo plantea que el par conmutado de un mezclador activo contribuye ruido flicker a la salida del mezclador en dos maneras o mecanismos diferentes, denominados mecanismo directo y mecanismo indirecto.

#### Mecanismo directo

El ruido *flicker* presenta comúnmente constantes de tiempo más grandes que el período típico de oscilación del par conmutado  $T_{LO}$ , y por consiguiente, se puede asumir que las fluctuaciones de carga en los transistores  $M_4$  y  $M_5$  debidas al ruido flicker, pueden ser referidas como un voltaje  $\overline{V}_n$  en la compuerta del transistor  $M_4$  con un valor *RMS* constante y una densidad espectral de potencia proporcional a  $1/f$  [28], como sigue:

$$\overline{V}_{n,rms} = \sqrt{2 * \frac{K_f}{W_{eff}L_{eff}C_{ox}f} \Delta f} \quad (3.62)$$

donde  $K_f$  es una constante dependiente del proceso de fabricación,  $W_{eff}$  y  $L_{eff}$  son el ancho efectivo y la longitud efectiva del canal del transistor,  $C_{ox}$  es la capacitancia del óxido de silicio por unidad de área y  $f$  es la frecuencia. El factor de 2 representa el ruido no correlacionado de los dos transistores  $M_4$  y  $M_5$ .

El efecto de  $\overline{V}_n$  puede ser interpretado como una modulación aleatoria de los instantes de tiempo en los cuales el par diferencial formado por  $M_4$  y  $M_5$  conmuta. En cada evento de conmutación el desplazamiento en el instante de conmutación modula la forma de onda de corriente diferencial  $i_{sal}$  en la salida del mezclador. Aunque la amplitud de la forma de onda de la corriente de salida permanece constante, el ruido  $\overline{V}_n$  avanza o retarda el tiempo de cruce en cero por un tiempo  $\Delta t$ , como se ilustra en la figura<sup>9</sup> 3.6. Si se aproxima el voltaje del oscilador local  $V_{LO}(t)$  en el intervalo de tiempo  $\Delta t$  como una línea recta con pendiente  $S$ , correspondiente a la pendiente de  $V_{LO}(t)$  en sus cruces por cero, el intervalo de tiempo en el cual se desplace el instante de conmutación se puede aproximar por  $\Delta t \approx V_n(t)/S$ .

<sup>8</sup>Se supone que una pequeña excursión del voltaje diferencial  $V_{LO}$  causa que la corriente de la etapa de transconductancia  $I_B + i_s$  conmute completamente de  $M_4$  a  $M_5$ .

<sup>9</sup>Figura adaptada de [28].

Bajo estas consideraciones, la forma de onda de corriente de salida  $i_{sal}$  en el mezclador de señal consiste de una onda cuadrada de frecuencia  $w_{LO}$  y amplitud  $I_B$ , superpuesta con un tren de pulsos de ancho aleatorio  $\Delta t$  y amplitud  $2I_B$  con frecuencia  $2w_{LO}$ , el cual representa el efecto del ruido *flicker* a través del mecanismo directo, como se muestra en la figura 3.6 (b). El efecto de  $V_n$  puede ser estimado mediante el valor promedio de la corriente de salida  $i_{sal}$  sobre un período, de la siguiente forma:

$$\overline{i_{fn1,sal}} = \frac{2}{T_{LO}} 2I_B \Delta t = 4I_B \frac{\overline{V_n}}{ST_{LO}} \quad (3.63)$$

donde  $T_{LO}$  es el período del oscilador local. De (3.63) se deduce que el ruido *flicker* equivalente en la compuerta del transistor  $M_4$ , aparece en la salida en bajas frecuencias y por consiguiente afecta una señal demodulada a una frecuencia cercana a banda base. En el caso de una forma de onda de oscilador local sinusoidal,  $ST$  es aproximadamente  $2\pi A$ , donde  $A$  es la amplitud del voltaje diferencial del oscilador local  $V_{LO}$ .

Con el fin de hacer una estimación del desempeño del mezclador de señal con respecto a ruido *flicker* para el mecanismo directo, se predice la relación señal a ruido  $SNR_1$  en la salida de un mezclador activo con entrada simple y etapa de transconductancia con degeneración inductiva en la fuente. Expresando la ganancia de la etapa de transconductancia  $G_{Transc}$  con (3.13), el ruido *flicker* equivalente a la salida con (3.63) y aproximando la ganancia del par conmutado  $G_{par}$  a  $2/\pi$ , la relación señal a ruido  $SNR_1$  correspondiente para una forma de oscilador local sinusoidal y una resistencia de entrada equivalente  $R_s$  es:

$$SNR_1 \approx \frac{G_{Transc} G_{par} V_{in}}{\overline{i_{fn1,sal}}} \approx \frac{\frac{w_{T3}}{w} \frac{1}{(R_s + w_{T3} L_s)} \frac{2}{\pi} V_{in}}{4I_B \frac{\overline{V_n}}{2\pi A}} \approx \frac{A}{(R_s + w_{T3} L_s)} \frac{1}{w C_{gs3}} \frac{g_{m3}}{I_B} \frac{V_{in}}{\overline{V_n}} \quad (3.64)$$

donde  $I_B$ ,  $g_{m3}$ ,  $w_{T3}$ ,  $C_{gs3}$  son respectivamente la corriente, la transconductancia, la frecuencia de ganancia unitaria y la capacitancia compuerta-fuente de la etapa de transconductancia, y  $L_s$  es la inductancia de degeneración utilizada en la fuente del transistor de la etapa de transconductancia.

De igual manera expresando la relación corriente-voltaje de los transistores MOS por medio de (3.44), la relación  $g_{m3}/I_B$  y por consiguiente, la relación señal a ruido  $SNR_1$  se aproximan a:

$$\frac{g_{m3}}{I_B} \approx \frac{1}{(V_{GS3} - V_t)} \left\{ \frac{2 + \theta(V_{GS3} - V_t)}{1 + \theta(V_{GS3} - V_t)} \right\} \quad (3.65)$$

$$SNR_1 \approx \frac{A}{(R_s + w_{T3} L_s)} \frac{1}{w C_{gs3}} \frac{1}{(V_{GS3} - V_t)} \left\{ \frac{2 + \theta(V_{GS3} - V_t)}{1 + \theta(V_{GS3} - V_t)} \right\} \frac{V_{in}}{\overline{V_n}} \quad (3.66)$$

siendo  $w$  la frecuencia RF de la señal de entrada y  $V_{GS3} - V_t$  el voltaje efectivo aplicado a la compuerta del transistor  $M_3$  de la etapa de transconductancia.

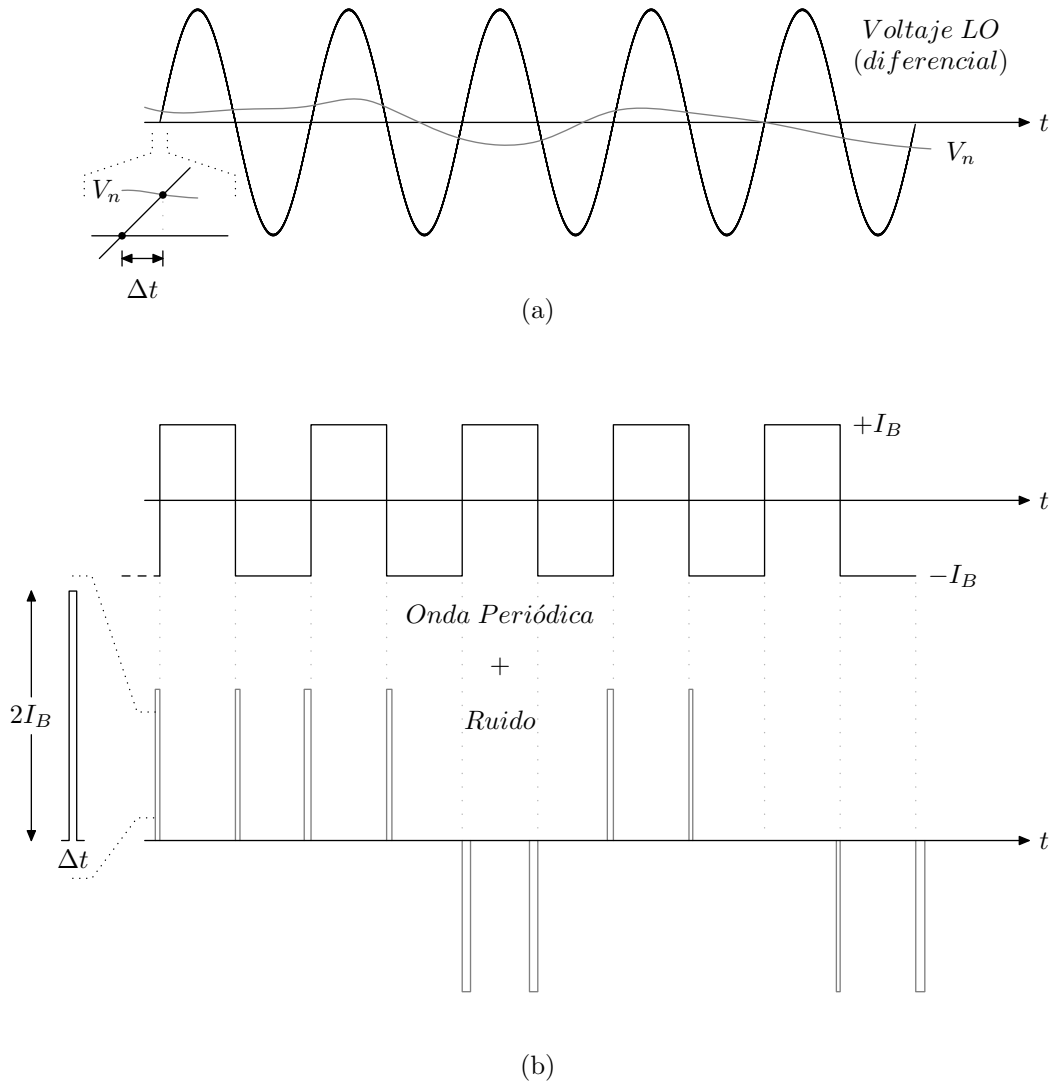


Figura 3.6: (a) Voltaje equivalente de entrada del par conmutado y (b) corriente de salida del mezclador descompuesta en respuesta ideal sin ruido y pulsos de ruido.

Por consiguiente de (3.66) se deduce que la relación señal a ruido, teniendo en cuenta solamente ruido flicker a través del mecanismo directo, mejora con el aumento de la amplitud del oscilador local  $A$ , con la reducción del voltaje efectivo  $V_{GS3} - V_t$  y la disminución del área de la compuerta del transistor  $M_3$  de la etapa de transconductancia, ya que esto último reduce directamente la capacitancia entre compuerta y fuente  $C_{gs3}$ .

Adicionalmente,  $SNR_1$  también mejora con el aumento del área de la compuerta de los transistores del par conmutado, debido a que este aumento reduce el ruido flicker equivalente  $\overline{V_n}$  asociado con los transistores  $M_4$  y  $M_5$  (ecuación (3.62)). Del mismo modo, como era de esperarse, un aumento en la frecuencia RF de la señal de entrada  $w$  reduce la relación señal a ruido, ya que esto causa una disminución en la ganancia de la etapa de transconductancia

$G_{Transc}$ . Sin embargo aumentar el área de la compuerta de los transistores del par conmutado y disminuir  $V_{GS3} - V_t$  usualmente degrada el ancho de banda del mezclador de señal, lo cual puede llegar a comprometer su buen desempeño en altas frecuencias.

De otro lado, disminuir el voltaje efectivo  $V_{GS3} - V_t$  aplicado al transistor  $M_3$  aumenta la figura de ruido debida al ruido térmico generado por la etapa de transconductancia (sección 3.2.3), lo cual compromete el desempeño de ruido del mezclador de señal. Teniendo en cuenta todo lo anterior, se puede concluir que existe un compromiso de diseño entre el desempeño con respecto a ruido térmico y ruido *flicker*, al menos en lo que al mecanismo directo se refiere.

### Mecanismo indirecto

El análisis presentado en el ítem anterior, según la ecuación (3.63), sugiere que el ruido *flicker* en la salida del mezclador de señal puede ser eliminado si la forma del oscilador local es una onda cuadrada perfecta, con pendiente infinita en los cruces por cero. Sin embargo, conforme la pendiente del oscilador local aumenta aparece ruido *flicker* a través de otro mecanismo, llamado mecanismo indirecto, que depende de la frecuencia del oscilador local y las capacitancias asociadas con el circuito.

Si se aplica una forma de onda sinusoidal diferencial  $V_{LO}(t)$  en el puerto del oscilador local ( $LO$ ) del mezclador activo de la figura 3.4(b), suficiente para que se presente conmutación en el par diferencial, en una mitad del ciclo de  $V_{LO}(t)$  el transistor  $M_4$  está encendido y el transistor  $M_5$  está apagado<sup>10</sup>, y en la otra mitad del ciclo viceversa. Por lo tanto, si se asocia todo el ruido *flicker* con la compuerta del transistor  $M_4$  al igual que en el mecanismo directo, es decir, modelando su efecto con una fuente de tensión  $\bar{V}_n$  en serie con la compuerta del transistor  $M_4$  con un voltaje *RMS* dado por (3.62), el comportamiento del par conmutado se puede describir de la siguiente forma:

En la mitad del ciclo de  $V_{LO}(t)$  cuando  $M_4$  está encendido y  $M_5$  está apagado, en la compuerta del transistor  $M_4$  está presente una onda sinusoidal con la amplitud del oscilador local sobre un nivel de continua  $V_{LO,c}$ , el cual corresponde al voltaje de modo común en la entrada del puerto  $LO$  del mezclador de señal, en serie con una fuente de ruido  $\bar{V}_n$ . En la próxima mitad del ciclo de  $V_{LO}(t)$ , el transistor  $M_4$  está apagado y  $M_5$  está encendido, y el voltaje en la compuerta de  $M_5$  es únicamente el semiciclo positivo de una onda sinusoidal con la amplitud del oscilador local superpuesta sobre el mismo nivel de continua  $V_{LO,c}$ , ya que todo el ruido *flicker* fue modelado con la fuente de ruido  $\bar{V}_n$  en serie con la compuerta del transistor  $M_4$ .

Por consiguiente, el comportamiento del par conmutado puede ser modelado como un

<sup>10</sup>Nuevamente, suponiendo que los transistores del par diferencial conmutan con una pequeña excursión de  $V_{LO}(t)$ .

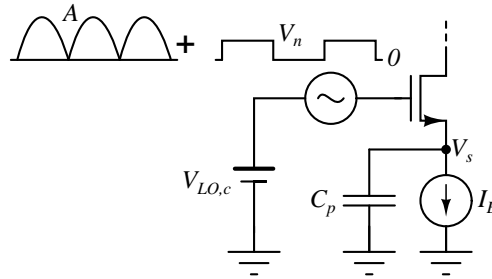


Figura 3.7: Mecanismo indirecto para un oscilador local (LO) sinusoidal: Mezclador de señal de la figura 3.3.1, reemplazado con un seguidor de fuente.

seguidor de fuente, con un voltaje en la compuerta que alterna entre  $\overline{V}_n$  y cero alrededor de un nivel de polarización  $V_{LO,c}$ , superpuesto con una onda sinusoidal completamente rectificada y un voltaje pico igual a la amplitud del oscilador local, como se muestra en la figura<sup>11</sup> 3.7, representando  $C_p$  la capacitancia total asociada con el nodo de fuente común  $s$ . Por lo tanto, el voltaje  $V_s$  consiste de la superposición de una forma de onda de carga y descarga debida a  $\overline{V}_n$ , y una onda senoidal completamente rectificada.

Como se demuestra en [28], después de superponer el ruido aportado por cada una de estas señales, el ruido total a la salida debido al ruido *flicker* a través del mecanismo indirecto, puede ser aproximado como:

$$\overline{i_{fn2,sal}} = \frac{2C_p}{T_{LO}} \left\{ \frac{(w_{LO}C_p)^2}{g_{ms}^2 + (w_{LO}C_p)^2} \right\} \overline{V}_n \quad (3.67)$$

donde  $g_{ms}$  es la transconductancia de uno de los transistores del par conmutado. De (3.67) se deduce que cuando  $w_{LO}C_p \ll g_{ms}$  el ruido debido al mecanismo indirecto es despreciable para un oscilador local de forma de onda sinusoidal; sin embargo, a medida que aumenta  $C_p$  se incrementa el efecto del ruido *flicker* a través del mecanismo indirecto.

De esta manera, el efecto del ruido *flicker* aportado por el par conmutado a través del mecanismo indirecto en la salida del mezclador de señal puede ser disminuido mediante la reducción de la capacitancia equivalente  $C_p$  asociada al nodo de fuente común del par conmutado. Cuando la capacitancia de unión del drenado de la etapa de transconductancia domina la capacitancia total  $C_p$ , incrementar el tamaño de los transistores  $M_4$  y  $M_5$  mejora la relación señal a ruido, ya que  $\overline{V}_n$  disminuye (ecuación 3.62). No obstante, cuando la capacitancia asociada con los transistores  $M_4$  y  $M_5$  domina, hacer los transistores del par conmutado más grandes degrada la relación señal a ruido, ya que  $\overline{V}_n$  disminuye de forma aproximada con la raíz cuadrada del área de los transistores y  $C_p$  aumenta linealmente con el incremento del área de la compuerta de  $M_4$  y  $M_5$  [28].

Por otro lado, en el caso particular de una etapa de transconductancia con degeneración

<sup>11</sup>Figura adaptada de [28].

inductiva en la fuente, disminuir la longitud de canal e incrementar el voltaje efectivo  $V_{GS3} - V_t$  aplicado al transistor  $M_3$  mejora la relación señal a ruido, debido a que se incrementa  $w_T$  y por consiguiente la ganancia de la etapa de tranconductancia  $G_{Transc}$  (ecuación 3.13). Es importante resaltar que contrario a este caso, en el mecanismo directo aumentar el voltaje efectivo  $V_{GS3} - V_t$  degrada la relación señal a ruido. No obstante, en situaciones prácticas el mecanismo directo generalmente domina el desempeño de ruido *flicker* del par conmutado, y por consiguiente es más conveniente reducir el aporte de ruido a través del mecanismo directo.

En conclusión en este capítulo se han presentado algunos análisis de ruido que permiten acotar el campo de diseño, y establecer posibles procedimientos para obtener un desempeño adecuado con respecto a ruido, en función del compromiso entre las diferentes variables de diseño.

# Capítulo 4

## Linealidad

### 4.1. Introducción

Este capítulo pretende presentar una estimación aproximada del desempeño de linealidad de las etapas que conforman el *LNA* y el mezclador de señal, en función de las variables de diseño, con el fin de acotar el campo de diseño y encontrar posibles estrategias de optimización.

El *LNA* y el mezclador de señal son circuitos de naturaleza no lineal, y por consiguiente, si reciben señales en su entrada se generan señales deseadas y no deseadas en la salida (ver sección A.3). Comúnmente es de gran interés, la disminución de las señales no deseadas que caen dentro de la banda de operación, y por tanto, es importante hacer una estimación del desempeño de linealidad de cada uno de estos bloques.

En general para el análisis y estimación del desempeño de linealidad es comúnmente usado en la literatura la expansión en series de Taylor, para modelar el comportamiento no lineal de los elementos de interés. Sin embargo, cuando es necesario aplicar el análisis de linealidad en alta frecuencia, típicamente se utilizan las series de Volterra para modelar el comportamiento no lineal de los dispositivos.

En altas frecuencias las características de distorsión de circuitos débilmente no-lineales pueden ser derivadas de las series de Volterra, las cuales son similares a las series de potencias, pero sus coeficientes son dependientes de la frecuencia de la señal procesada [29]. Bajo estas consideraciones la relación entrada-salida puede ser expresada como:

$$y = B_1(f_a) \circ x + B_2(f_a, f_b) \circ x^2 + B_3(f_a, f_b, f_c) \circ x^3 + \dots \quad (4.1)$$

donde  $x^n$  es la potencia  $n$ -ésima de la señal de la fuente de entrada, y  $B_n$  es el coeficiente de la serie de Volterra. La operación ' $\circ$ ', es a veces llamada *producto Kronecker* y actúa de la siguiente forma. Si la señal  $x$  es una suma de  $k$  tonos complejos en frecuencias  $f_1, f_2, \dots, f_k$ , el término  $x^n$  contiene tonos de salida en todas las frecuencias  $f_1' + f_2' + \dots + f_n'$  donde cada  $f_i'$  puede ser cualquiera de las frecuencias  $f_1, f_2, \dots, f_k$ . La contribución de cada tono de salida es

encontrado mediante la multiplicación de éste con el coeficiente de Volterra de orden  $n$ -ésimo evaluado en las frecuencias  $f_1', f_2', \dots, f_n'$ .

En este capítulo, particularmente se analiza la distorsión introducida por la intermodulación de tercer orden. Para el análisis de distorsión de la etapa de transconductancia CMOS de fuente común se emplean series de Volterra invariantes en el tiempo, en contraste, en el caso del par conmutado es necesario utilizar series de Volterra variantes en el tiempo, debido a que esta etapa debe ser tratada como un circuito débilmente no lineal y variante periódicamente en el tiempo. En este documento no se presenta un análisis detallado de distorsión por intermodulación en el par conmutado; no obstante, se presenta de forma breve una discusión de los análisis y resultados encontrados en [3], para los mezcladores de conmutación de corriente CMOS.

## 4.2. Etapa de transconductancia

Las etapas de transconductancia CMOS comúnmente presentan una relación corriente-voltaje débilmente no lineal, la corriente de drenó es en general fuertemente dependiente no sólo del voltaje entre compuerta y fuente, sino también del voltaje entre fuente y sustrato a través del efecto cuerpo. Por tanto, para realizar el análisis de linealidad de una etapa de transconductancia CMOS es conveniente expresar la corriente de drenó como un sistema de dos ecuaciones; la primera ecuación relaciona la corriente de drenó en señal  $i_d$  como una función del voltaje efectivo en señal entre compuerta y fuente  $v_{gs} - v_t$ , y la segunda ecuación relaciona la variación del voltaje de umbral  $v_t$  como una función de la tensión entre fuente y cuerpo. Dichas expresiones han sido comúnmente representadas como dos series de potencias unidimensionales, las cuales involucran en el resultado final seis coeficientes<sup>1</sup>, o como series de potencias de dos dimensiones las cuales involucran nueve coeficientes [3].

En las siguientes secciones se presenta el análisis de linealidad para etapas de transconductancia CMOS de fuente común, representando inicialmente las funciones de corriente de drenó  $i_d$  y voltaje de umbral  $v_t$ , en señal, como dos series de potencias unidimensionales; posteriormente se relaciona la corriente de drenó  $i_d$  con el voltaje de entrada de la etapa de transconductancia por medio de una serie de Volterra.

### 4.2.1. Consideraciones generales

Una etapa de transconductancia CMOS de fuente común es mostrada en la figura 4.1(a). De igual forma, un modelo equivalente en pequeña señal se muestra en la figura 4.1(b), donde la fuente de voltaje  $v_i$  y la impedancia  $Z_s$  representan el equivalente de Thevenin de la red

<sup>1</sup>Si las no linealidades mayores de tercer orden son despreciadas.

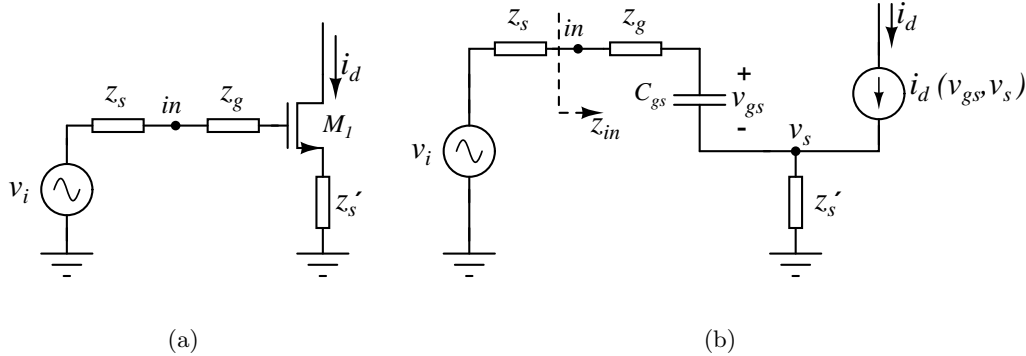


Figura 4.1: (a) Etapa de transconductancia CMOS de fuente común con degeneración en la fuente; (b) Modelo equivalente en pequeña señal para análisis de linealidad.

conectada al nodo  $in$ , incluyendo la impedancia del circuito de polarización y la fuente de señal. La impedancia  $Z_s'$  representa la impedancia de degeneración junto con la capacitancia fuente-cuerpo del transistor, y cualquier otra capacitancia parásita existente entre la fuente del transistor de la etapa de transconductancia y tierra. En el modelo equivalente en pequeña señal y en el análisis presentado posteriormente son adoptadas las siguientes suposiciones [3]:

- La capacitancia intrínseca entre compuerta y fuente  $C_{gs}$  es constante para pequeñas perturbaciones del voltaje compuerta-fuente<sup>2</sup>.
- La dependencia no lineal de la capacitancia de unión entre fuente y cuerpo es débil y su capacitancia puede ser incorporada en una impedancia constante conectada entre la fuente del transistor MOS y tierra.
- Los efectos de segundo orden que modifican el voltaje de umbral  $V_t$  [26], pueden ser despreciados.
- La resistencia de salida del transistor es suficientemente alta y puede ser despreciada.
- La capacitancia entre compuerta y drenó es pequeña, y aunque su efecto es posiblemente incrementado por el efecto *Miller*, esta puede ser despreciada.

Las últimas dos suposiciones son particularmente válidas cuando el drenó de la etapa de transconductancia es un nodo de baja impedancia, como es el caso del *LNA* donde comúnmente un dispositivo cascado es utilizado para proveer aislamiento del puerto de salida al puerto de entrada, o cuando un par diferencial es usado para conmutar la corriente de salida de la etapa de transconductancia en un mezclador de señal activo.

<sup>2</sup>Esta es una buena aproximación si el transistor permanece en saturación fuerte [26].

Asumiendo que las suposiciones antes mencionadas se cumplen, a continuación se derivan algunas expresiones con el fin de estimar los coeficientes de Volterra que relacionan la corriente de drenó  $i_d$  con el voltaje de entrada  $v_i$ .

Aplicando las leyes de Kirchoff y realizando un análisis  $AC$  en el circuito de la figura 4.1(b) se encuentra que:

$$v_i = K(w)v_{gs} + i_d Z_s' \quad (4.2)$$

$$v_s = (jwC_{gs}v_{gs} + i_d)Z_s' \quad (4.3)$$

donde  $v_i$  y  $v_{gs}$  son los valores en pequeña señal del voltaje de entrada y el voltaje compuerta-fuente, respectivamente, y:

$$K(w) = 1 + jwC_{gs}(Z_s + Z_g + Z_s') \quad (4.4)$$

Si se desprecia la modulación del canal, la relación corriente-voltaje del transistor MOS puede ser expresada de manera aproximada como una función del voltaje efectivo entre compuerta y fuente  $V_{eff} = V_{gst} = V_{gs} - V_t$  (ecuación (3.44)), donde  $V_{gs}$  es el voltaje compuerta-fuente y  $V_t$  es el voltaje de umbral del dispositivo. Si las variaciones de  $V_{gst}$ ,  $V_{gs}$  y  $V_t$  alrededor del punto de operación son suficientemente pequeñas, la relación corriente-voltaje del transistor MOS presenta un comportamiento débilmente no lineal; por tanto, los valores incrementales de la corriente de drenó  $i_d$  y del voltaje de umbral  $v_t$  pueden ser expresados aproximadamente como dos series de potencias de tercer orden<sup>3</sup>, en función del valor incremental del voltaje efectivo  $v_{gst}$  y de la variación del voltaje de fuente  $v_s$  a través del efecto cuerpo, como sigue:

$$i_d = g_1 v_{gst} + g_2 v_{gst}^2 + g_3 v_{gst}^3 \quad \text{con} \quad v_{gst} = v_{gs} - v_t \quad (4.5)$$

$$v_t = b_1 v_s + b_2 v_s^2 + b_3 v_s^3 \quad (4.6)$$

donde  $g_n$  y  $b_n$ ,  $n = 1, 2, 3$ , representan los coeficientes de orden  $n$  que relacionan  $i_d$  con  $v_{gst}$  y  $v_t$  con  $v_s$ , respectivamente. Invirtiendo (4.5) se obtiene:

$$v_{gst} = v_{gs} - v_t = r_1 i_d + r_2 i_d^2 + r_3 i_d^3 \quad (4.7)$$

y reemplazando (4.6) en (4.7) se encuentra  $v_{gs}$  como una serie de potencias, en función de  $i_d$  y  $v_s$  de la siguiente forma:

$$v_{gs} = r_1 i_d + r_2 i_d^2 + r_3 i_d^3 + b_1 v_s + b_2 v_s^2 + b_3 v_s^3 \quad (4.8)$$

donde las expresiones correspondientes para  $g_n$ ,  $r_n$  y  $b_n$ , con  $n = 1, 2, 3$ , son derivadas en el apéndice B.

<sup>3</sup>Nuevamente, si las no linealidades mayores de tercer orden son despreciadas.

Como se mencionó en la introducción de este capítulo para analizar los efectos no lineales en alta frecuencia es conveniente expresar la corriente de salida  $i_d$  como una serie de Volterra en función del voltaje de entrada  $v_i$ , como se muestra en seguida:

$$i_d = G_1(w_a) \circ v_i + G_2(w_a, w_b) \circ v_i^2 + G_3(w_a, w_b, w_c) \circ v_i^3 \quad (4.9)$$

De (4.2), (4.3) y (4.9) se obtienen expresiones para  $v_{gs}$  y  $v_s$  como series de Volterra de  $v_i$ . Substituyendo estas y (4.9), en (4.8), e igualando los términos de la misma potencia de  $v_i$  se encuentra [3]:

$$G_1(w_a) = \frac{A(w_a)}{N(w_a)} \quad (4.10)$$

$$G_2(w_a, w_b) = -\frac{1}{D(w_a + w_b)} [r_2 G_1(w_a) G_1(w_b) + b_2 H(w_a) H(w_b)] \quad (4.11)$$

$$G_3(w_a, w_b, w_c) = -\frac{1}{D(w_a + w_b + w_c)} [r_3 G_1(w_a) G_1(w_b) G_1(w_c) + b_3 H(w_a) H(w_b) H(w_c) + 2r_2 \overline{G_1(w_a) G_2(w_b, w_c)} + 2b_2 \overline{H(w_a) P(w_b + w_c) G_2(w_b, w_c)}] \quad (4.12)$$

donde las expresiones de la forma  $\overline{(\dots)}$  representan el promedio sobre todos los términos que resultan de todas las posibles permutaciones de los argumentos de frecuencia, y:

$$A(w) = 1 - b_1 j w C_{gs} Z_s' \quad (4.13)$$

$$B(w) = (1 + j \frac{w}{w_T}) Z_s' \quad \text{con} \quad w_T \approx \frac{g_1}{C_{gs}} \quad (4.14)$$

$$P(w) = (1 - \frac{j w C_{gs} Z_s'}{K(w)}) Z_s' \quad (4.15)$$

$$D(w) = r_1 + b_1 Z_s' + \frac{Z_s'}{K(w)} (1 - b_1 j w C_{gs} Z_s') \quad (4.16)$$

$$N(w) = D(w) K(w) \quad H(w) = \frac{B(w)}{N(w)} \quad (4.17)$$

Habiendo realizado una estimación de los coeficientes de Volterra que relacionan la corriente de drenó  $i_d$  con la tensión de entrada  $v_i$ , en la siguiente sección se presenta el análisis de distorsión por intermodulación de tercer orden, con el fin de hacer una estimación del desempeño de linealidad de la etapa de transconductancia y establecer el compromiso de este con algunas de las variables de diseño.

### 4.2.2. Distorsión por intermodulación de tercer orden

Cuando dos señales de canales adyacentes están presentes en la entrada de un circuito de naturaleza no lineal, se generan productos de intermodulación de tercer orden que pueden interferir con la señal deseada (ver sección A.3.3). Si la señal de entrada deseada está en

presencia de una señal de interferencia de un canal adyacente con igual amplitud, es decir:

$$v_i = A \cos(w_1 t) + A \cos(w_2 t) \quad (4.18)$$

y si los tonos son muy cercanos en frecuencia  $w_1 \approx w_2 \approx w$ , como es usual en una prueba de intermodulación, se generan tonos de salida en frecuencias  $2w_1 - w_2$  y  $2w_2 - w_1$  que pueden interferir con la señal deseada, lo cual puede afectar considerablemente el desempeño con respecto a linealidad del circuito en análisis. Una medida de este efecto, es la intermodulación de tercer orden  $IM3$ , la cual establece una relación entre la señal de salida generada por los productos de intermodulación de tercer orden y la salida debida a la componente fundamental. De (A.32) y por definición de  $IM3$  se obtiene:

$$|IM3| = \frac{A_{IM3}}{A_{fundamental}} = \frac{\frac{3}{4}|a_3|A^3}{|a_1|A} \quad (4.19)$$

$$|IM3| = \frac{3}{4} \left| \frac{G_3(2w_a - w_b)}{G_1(w)} \right| A^2 = \frac{3}{4} \left| \frac{G_3(w, \Delta w)}{G_1(w)} \right| A^2 \quad (4.20)$$

$$\text{para } a = 1, b = 2 \text{ o } a = 2, b = 1 \quad (4.21)$$

donde  $\Delta w \approx w_a - w_b$ , y los coeficientes de la serie de Taylor han sido substituidos por los coeficientes de la serie de Volterra dados en las ecuaciones (4.10)-(4.12). Como se plantea en [3], evaluaciones de (4.20) con parámetros típicos muestran que la intermodulación de tercer orden  $IM3$  puede ser aproximada por la siguiente expresión, la cual toma en cuenta los términos más significativos:

$$|IM3| \approx \frac{3}{4} \frac{|r_3'(\Delta w, 2w)A(w)|A(w)|^2 + b_3 B(w)|B(w)|^2}{|D(w)||N(w)|^2|A(w)|} A^2 \quad (4.22)$$

$$\text{con } r_3'(\Delta w, 2w) = r_3 - \frac{2r_2^2}{3} \left[ \frac{2}{D(\Delta w)} + \frac{1}{D(2w)} \right] \quad (4.23)$$

siendo  $A(w)$ ,  $B(w)$ ,  $D(w)$  y  $N(w)$  definidos por las ecuaciones (4.13)-(4.17). El término  $r_3'(\Delta w, 2w)$  representa la interacción de los coeficientes de tercero y segundo grado, que relacionan el voltaje efectivo compuerta-fuente  $v_{gst}$  con la corriente de drenó  $i_d$  (ecuación (4.7)); esta interacción entre los términos de tercero y segundo orden se debe a las realimentaciones presentes en el circuito, en este caso principalmente a la realimentación suministrada por la impedancia de degeneración en la fuente  $Z_s'$ .

El numerador de la estimación de  $IM3$  expresada en la ecuación (4.22) está conformado básicamente por la suma de dos términos, el primero de los cuales depende de  $r_3'(\Delta w, 2w)$  y el segundo término depende directamente del coeficiente de tercer orden  $b_3$  que relaciona la variación del voltaje de umbral  $V_t$  con respecto al voltaje de fuente  $v_s$  del transistor MOS, a través del efecto cuerpo (ecuación (4.6)).

En algunos casos se supone que la no linealidad o distorsión producida por el efecto cuerpo a través de  $b_3$  es despreciable, y solo se tiene en cuenta para la estimación de  $IM3$  la no linealidad introducida por la relación débilmente no lineal existente entre la corriente de drenó  $i_d$  y la variación del voltaje efectivo compuerta-fuente  $v_{gs} - v_t$ . No obstante, esta suposición no siempre se satisface y en determinadas situaciones la no linealidad introducida por el efecto cuerpo puede llegar a dominar el desempeño de linealidad del circuito en cuestión. Precisamente, de la aproximación de  $IM3$  encontrada en (4.22) para la etapa de transconductancia CMOS de fuente común, se deduce que para que la intermodulación introducida por el efecto cuerpo sea despreciable, se debe cumplir la siguiente relación:

$$|b_3 B(w) |B(w)|^2| \ll |r_3'(\Delta w, 2w) A(w) |A(w)|^2| \quad (4.24)$$

adicionalmente si se asume que:

$$|Z_s'(w)| \ll \frac{r_1}{b_1} \quad |Z_s'(w)| \ll \frac{r_1 w_T}{b_1 w} \quad (4.25)$$

y se reemplaza (4.13)-(4.14) en (4.24) se obtiene que la impedancia de degeneración  $Z_s'$  debe satisfacer lo que sigue:

$$|Z_s'(w)| \ll \left| \frac{r_3'(\Delta w, 2w)}{b_3} \right|^{1/3} \frac{1}{\sqrt{1 + \left(\frac{w}{w_T}\right)^2}} \quad (4.26)$$

Por consiguiente, de (4.26) se concluye que para pequeñas magnitudes de la impedancia de degeneración  $Z_s'$  en la banda de interés la no linealidad debida al efecto cuerpo se puede despreciar, comparada con el aporte a la intermodulación de tercer orden introducida por la relación no lineal entre  $i_d$  y  $v_{gst}$ . Sin embargo, si el valor de la impedancia  $Z_s'$  es muy alta, de acuerdo con (4.26) y (4.22), el término proporcional a  $b_3$  en (4.22) dominará la intermodulación de tercer orden  $IM3$ , y por lo tanto, el efecto cuerpo no puede ser despreciado. De acuerdo a lo expuesto anteriormente, es evidente que el efecto cuerpo impone un límite de desempeño con respecto a linealidad que se puede alcanzar en la etapa de transconductancia CMOS de fuente común.

Suponiendo que las condiciones (4.24)-(4.26) se cumplen, y por lo tanto, el efecto de  $b_1$  y  $b_3$  puede ser despreciado, las ecuaciones (4.13)-(4.17) se aproximan a:

$$A(w) \approx 1 \quad (4.27)$$

$$B(w) \approx \left(1 + j \frac{w}{w_T}\right) Z_s' \quad (4.28)$$

$$D(w) \approx r_1 + \frac{Z_s'}{K(w)} \approx \frac{K(w)r_1 + Z_s'}{K(w)} \quad (4.29)$$

$$N(w) = D(w)K(w) \approx K(w)r_1 + Z_s' \quad (4.30)$$

y en consecuencia, de acuerdo a (4.22) y (4.23), haciendo las simplificaciones respectivas  $IM3$  está dado aproximadamente por<sup>4</sup>:

$$|IM3| \approx \frac{3}{4} \frac{g_1^3 |K(w)|}{|K(w) + g_1 Z_s'(w)|^3} |r_3'(\Delta w, 2w)| A^2 \quad (4.31)$$

$$\text{con } r_3'(\Delta w, 2w) \approx -\frac{g_3}{g_1^4} + \frac{2}{3} \frac{g_2^2}{g_1^5} \left\{ \frac{2g_1 Z_s'(\Delta w)}{K(\Delta w) + g_1 Z_s'(\Delta w)} + \frac{g_1 Z_s'(2w)}{K(2w) + g_1 Z_s'(2w)} \right\} \quad (4.32)$$

donde los coeficientes  $r_1$ ,  $r_2$  y  $r_3$  han sido sustituidos por (B.17)-(B.19).

Bajo las condiciones mencionadas anteriormente, en principio para reducir la intermodulación de tercer orden  $IM3$  de la etapa de transconductancia CMOS de fuente común, es conveniente que la reactancia de la impedancia de entrada  $Z_{in}$  (ecuación (3.3)) se cancele con la reactancia de la impedancia equivalente  $Z_s$ , ya que esto disminuye el término  $K(w)$  en conformidad con la ecuación (4.4) y por tanto se reduce  $IM3$  de acuerdo con (4.31). Por tal motivo, si se supone que  $Z_s$  es predominantemente resistiva en la frecuencia de interés, lo más oportuno es que  $Z_g + Z_s'$  tenga un efecto inductivo que cancele el efecto capacitivo de  $C_{gs}$  y reduzca  $K(w)$ ; de modo que utilizar degeneración inductiva en la fuente del transistor de la etapa de transconductancia nuevamente es lo más conveniente.

De otro lado, según la ecuación (4.31)  $IM3$  puede ser decrementado con la reducción del término  $r_3'(\Delta w, 2w)$ , el cual depende de las impedancias  $Z_s$ ,  $Z_g$ ,  $Z_s'$  y de la impedancia de la capacitancia  $C_{gs}$  fuera de la banda de interés (terminaciones fuera de banda), en las frecuencias  $\Delta w$  y  $2w$ , a través de la interacción de los coeficientes de tercero y segundo grado ( $g_3$  y  $g_2$ ). Como se demuestra en [30] se puede alcanzar una cancelación del término  $r_3'(\Delta w, 2w)$ , sin afectar el desempeño de ganancia y ruido, mediante la selección apropiada de las terminaciones fuera de banda. “Sin embargo, tal cancelación es sensitiva a variaciones del proceso y requiere arreglos no triviales de redes pasivas para fijar las terminaciones fuera de banda al valor deseado. En muchos casos prácticos la red de transformación de la impedancia de entrada y por tanto la impedancia  $Z_s$ , dependen de los elementos parásitos del empaquetamiento y la tarjeta de prueba, los cuales no son conocidos exactamente durante la fase de diseño” [3]. De modo que prácticamente en la fase de diseño lo que se puede alcanzar es una reducción de  $r_3'(\Delta w, 2w)$  más no una cancelación del mismo.

En el caso de que no se optimicen las terminaciones fuera de banda,  $r_3'(\Delta w, 2w)$  puede ser reducido mediante la selección de un punto de polarización apropiado, de tal forma que la interacción de los coeficientes  $g_3$  y  $g_2$  descrita por la ecuación (4.32) se minimice. Cabe señalar, que si  $r_3'(\Delta w, 2w)$  es reducido a tal punto que (4.26) no se cumple, la no linealidad debida al efecto cuerpo domina  $IM3$  a través del coeficiente  $b_3$ .

Representando  $Z_s$  en la frecuencia de interés  $w$  como  $Z_s(w) = R_s + jX_s(w)$ , y asumiendo

<sup>4</sup>Si las no linealidades mayores de tercer orden son despreciadas.

que: *a*) Las no linealidades más altas de tercer orden pueden ser despreciadas, *b*) La impedancia de degeneración  $Z_s'$  es tal que la no linealidad del efecto cuerpo no domina, *c*)  $Z_g$  y  $Z_s'$  son inductores ideales ( $Z_g = j\omega L_g$  y  $Z_s' = j\omega L_s$ ), *d*) La reactancia de la impedancia de entrada  $Z_{in}$  se cancela con la reactancia de la impedancia equivalente  $Z_s$  en la frecuencia de interés  $\omega = \omega_0$ , es decir:

$$X_s(\omega_0) = \frac{1}{\omega_0 C_{gs}} - \omega_0(L_s + L_g) \quad (4.33)$$

*e*) Las frecuencias de los tonos en (4.18) con que se hace la prueba de intermodulación son muy cercanos, de tal forma que  $Z_s'(\Delta\omega) = j\Delta\omega L_s \approx 0$ ; se puede deducir de (4.4), (4.31) y (4.32), haciendo las simplificaciones respectivas, que la intermodulación de tercer orden  $IM3$  puede ser estimada por la siguiente expresión:

$$|IM3| \approx \frac{3}{4} \left( \frac{\omega_T}{\omega_0} \right)^2 \frac{g_1 R_s}{(R_s + \omega_T L_s)^3} |r_3'(\Delta\omega, 2\omega_0)| A^2 \quad (4.34)$$

donde,

$$r_3'(\Delta\omega, 2\omega_0) \approx -\frac{g_3}{g_1^4} + \frac{2g_2^2}{3g_1^5} \left[ \frac{g_1 j 2\omega_0 L_s}{1 + j 2\omega_0 C_{gs} [Z_s(2\omega_0) + j 2\omega_0 (L_s + L_g)] + g_1 j 2\omega_0 L_s} \right] \quad (4.35)$$

De igual forma, substituyendo (4.4), (4.27), (4.30) en (4.10) se obtiene que la ganancia de la etapa de transconductancia puede ser expresada como:

$$|G_{Transc}| = \left| \frac{i_d}{v_i} \right| = |G_1(\omega_0)| \approx \left( \frac{\omega_T}{\omega_0} \right) \frac{1}{(R_s + \omega_T L_s)} \quad (4.36)$$

lo cual está de acuerdo con el resultado encontrado en la ecuación (3.13).

Una medida adicional que típicamente es de interés para evaluar el desempeño de un circuito en presencia de señales de interferencia es el punto de intersección de tercer orden referido a la entrada  $IIP3$ , que es definido como la magnitud de la señal de entrada para la cual el término de intermodulación de tercer orden a la salida tiene la misma magnitud que el término lineal ( $IM3 = 1$ ), asumiendo que las no linealidades más altas de tercer orden son despreciables. Luego, de las ecuaciones (A.33), (4.20) y (4.34) se obtiene:

$$A_{IIP3}^2 = \frac{A^2}{|IM3|} = \frac{4}{3} \left( \frac{\omega_0}{\omega_T} \right)^2 \frac{(R_s + \omega_T L_s)^3}{g_1 R_s} \frac{1}{|r_3'(\Delta\omega, 2\omega_0)|} \quad (4.37)$$

donde  $r_3'(\Delta\omega, 2\omega_0)$  está dado aproximadamente por (4.35) y  $A_{IIP3}$  es la amplitud de la señal de entrada para la cual  $IM3 = 1$ .

Finalmente en este contexto, de acuerdo con (4.34), (4.35) y (4.37) se puede concluir que para reducir  $IM3$  y consecuentemente mejorar el punto de intersección de tercer orden  $A_{IIP3}$ , lo más conveniente es que la relación  $\omega_T/\omega_0$  sea lo menor posible, sin embargo esto reduce la ganancia  $G_{Transc}$  (ecuación (4.36)) y aumenta el factor de ruido de la etapa de

transconductancia, como fue discutido en el capítulo 3. Otra forma de mejorar  $A_{IIP3}$  es incrementar  $L_s$ , siempre y cuando está sea una variable flexible de diseño; no obstante, si  $L_s$  es lo suficientemente grande como para que  $|Z_s'(w_0)| \approx w_0 L_s$  no cumpla la relación presentada en (4.26), el efecto cuerpo domina el comportamiento no lineal del circuito y en consecuencia un incremento en  $L_s$  no mejora el desempeño con respecto a linealidad, y por el contrario, reduce la ganancia de la etapa de transconductancia desmejorando el desempeño con respecto a ruido. Adicionalmente, como ya se ha hecho notar,  $IM3$  puede ser decrementado reduciendo (4.35) en función de las terminaciones fuera de banda o en función de la polarización de la etapa de transconductancia.

De esta manera, es evidente que en el diseño de la etapa de transconductancia existe un compromiso entre ganancia, desempeño con respecto a ruido y linealidad.

### 4.2.3. Dispositivo cascode

Como ya se mencionó en los capítulos 2 y 3, usualmente en un *LNA* un transistor en configuración de compuerta común es conectado en la salida de la etapa de transconductancia, y por lo tanto, el *LNA* puede ser concebido como un circuito de dos bloques en cascada. Teniendo en cuenta, que el desempeño de un sistema formado por varios bloques en cascada puede ser mejorado incrementando los puntos de intersección de tercer orden *IIP3* de los bloques individuales, y significativamente aumentando el *IIP3* de los bloques finales [7] (ver sección A.3.3), es necesario que el dispositivo cascode de la configuración seleccionada para el *LNA* (figura 4.2) no afecte sustancialmente el desempeño de linealidad.

La selección de las dimensiones del transistor en configuración cascode  $M_2$  (figura 4.2) típicamente se fundamenta en la reducción del efecto *Miller* sobre la capacitancia compuerta-dreno  $C_{gd1}$ , asegurando una baja impedancia equivalente ( $\approx 1/g_{m2}$ ) en el terminal de drenado del transistor  $M_1$  de la etapa de transconductancia, y una impedancia suficientemente alta en la salida del *LNA* para alimentar la carga. Adicionalmente, se debe tener en cuenta que la resistencia de salida ( $r_{o2}$ ) del dispositivo cascode  $M_2$  varía con el cambio del voltaje entre drenado y fuente, y esto puede llegar a ser un factor de no linealidad dominante en el desempeño del *LNA*. Por esta razón, si la resistencia de salida del transistor  $M_2$  es comparable con la impedancia de la carga, la carga total de salida llega a ser una función fuertemente no lineal del voltaje de salida, que puede llegar a degradar significativamente el desempeño de linealidad del *LNA*, especialmente en dispositivos de canal corto [4]. Por consiguiente en el diseño del *LNA* y particularmente del transistor  $M_2$ , es conveniente garantizar que la impedancia total de salida conectada al drenado de  $M_2$  sea dominada por una impedancia de carga lineal y no por la resistencia de salida del transistor  $M_2$ .

De otro lado, el transistor  $M_2$  debe ser diseñado de tal forma que garantice la operación

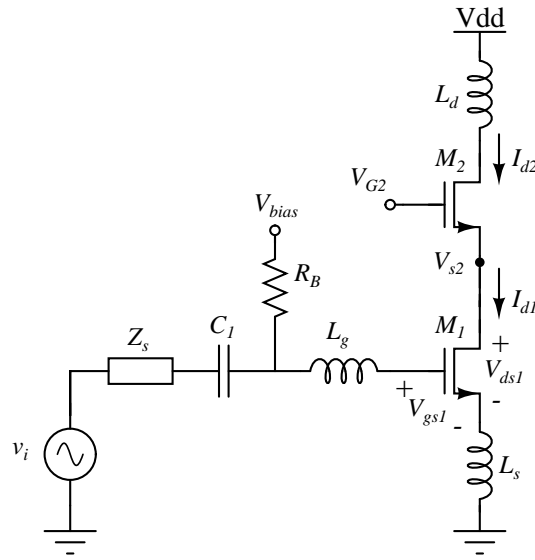


Figura 4.2: Topología de fuente común con degeneración inductiva en la fuente y transistor en cascada.

del transistor  $M_1$  en la región de saturación, ya que no es recomendable que este opere en la región de triodo si va a ser utilizado como amplificador. Comúnmente el terminal de drenó de  $M_2$  es conectado al voltaje de alimentación  $V_{dd}$  a través de un inductor, de modo que si la geometría y la tensión de polarización  $V_{G2}$  de la puerta de  $M_2$  (figura 4.2) son fijas, un incremento en la tensión de polarización entre compuerta y drenó  $V_{GS1}$  de  $M_1$  ocasiona un aumento en la corriente de drenó de los transistores  $M_1$  y  $M_2$  ( $I_{D1} \approx I_{D2}$ ), y por lo tanto, el voltaje  $V_{GS2}$  se incrementa. Debido a que la tensión  $V_{G2}$  es fija, lo anterior se ve representado en una disminución del voltaje en la fuente de  $M_2$ , y por consiguiente, en una reducción del voltaje entre drenó y fuente  $V_{DS1}$  del transistor  $M_1$  de la etapa de transconductancia. En consecuencia, si la tensión  $V_{DS1}$  se hace menor que  $V_{GS1} - V_t$ , el transistor  $M_1$  pasa a la región de triodo. De esta manera, existe un límite máximo de tensión de polarización  $V_{GS1}$  establecido por las dimensiones del transistor  $M_2$ , tal que el transistor  $M_1$  se mantenga en saturación para una geometría determinada de  $M_1$  y una tensión de polarización fija en la puerta de  $M_2$  [7].

Si las longitudes de canal de los transistores  $M_1$  y  $M_2$  son iguales a  $L$ , una expresión que relacione el menor valor del ancho  $W_2$  del transistor  $M_2$  en función de las tensiones de polarización y el ancho  $W_1$  del transistor  $M_1$ , puede ser obtenido mediante un análisis DC del circuito de la figura 4.2, usando las expresiones de primer orden para la relación corriente-

voltaje del transistor MOS en la región de saturación, como sigue:

$$I_{D2} = I_{D1} = K'W_2(V_{GS2} - V_t)^2, \text{ con } K' = \frac{\mu_0 C_{ox}}{2L} \quad (4.38)$$

$$V_{GS2} = V_{G2} - V_{DS1} = \sqrt{\frac{I_{D1}}{K'W_2}} + V_t \quad (4.39)$$

$$V_{DS1} = V_{G2} - \sqrt{\frac{W_1(V_{GS1} - V_t)^2}{W_2}} - V_t \quad (4.40)$$

adicionalmente para que el transistor  $M_1$  esté en región de saturación  $V_{DS1}$  debe ser mayor que  $V_{GS1} - V_t$ , entonces:

$$V_{GS1} < V_{G2} - (V_{GS1} - V_t)\sqrt{\frac{W_1}{W_2}} \quad (4.41)$$

$$\Rightarrow W_2 > \frac{W_1(V_{GS1} - V_t)^2}{(V_{G2} - V_{GS1})^2} \quad (4.42)$$

En consecuencia, para el valor máximo que  $V_{GS1}$  pueda alcanzar,  $W_2$  presenta un límite inferior que garantiza la operación del transistor  $M_1$  en la región de saturación. De (4.42) es importante resaltar que un aumento en la tensión de polarización  $V_{G2}$  disminuye el ancho mínimo necesario del transistor  $M_2$ , lo cual puede llegar a representar una disminución del área utilizada y posiblemente un mejor desempeño con respecto a ruido del dispositivo cascode (ver sección 3.2.4); por lo tanto, lo más conveniente es conectar la puerta del transistor  $M_2$  a la tensión de polarización  $V_{dd}$ , logrando adicionalmente una reducción en el número de fuentes de polarización requeridas.

### 4.3. Par conmutado

En [3] se presenta un análisis detallado de la intermodulación de tercer orden en el mezclador de señal CMOS de conmutación de corriente. A continuación se presenta una breve discusión de los resultados encontrados en este trabajo.

Para hacer una estimación confiable del comportamiento de distorsión por intermodulación del par conmutado, es necesario utilizar un modelo adecuado para los transistores, que tenga en cuenta todas las regiones de operación, sin presentar discontinuidades entre estas, ya que debido a la variación de la tensión del oscilador local los transistores del par conmutado operan en las regiones de inversión débil, moderada y fuerte.

En [3] se modela la relación corriente-voltaje del transistor MOS por medio de (B.1), lo cual proporciona una transición suave entre las tres diferentes regiones de inversión (inversión débil, moderada y fuerte). Utilizando este modelo se presenta un procedimiento basado en series de Volterra variantes en el tiempo, para analizar el desempeño con respecto a linealidad del par conmutado. En los resultados encontrados se observa que existe un valor óptimo de

la tensión del oscilador local  $V_{LO,opt}$  en altas frecuencias, para la cual se obtiene un mejor desempeño con respecto a linealidad; para amplitudes de oscilador local superiores a  $V_{LO,opt}$  se presenta un deterioro del desempeño con respecto a intermodulación del par conmutado. Este comportamiento es contrario al compartamiento obtenido en bajas frecuencias para el par conmutado, donde la intermodulación mejora monótonamente con el aumento de la amplitud del oscilador local. Adicionalmente, también se observa que en altas frecuencias para una tensión de oscilador local y corriente de polarización establecida, existe un rango de dimensiones de los transistores del par conmutado para los cuales se mejora el desempeño con respecto a linealidad.

En resumen, en este capítulo se presentaron algunos análisis de linealidad que permiten obtener una estimación del desempeño de linealidad del *LNA* y el mezclador de señal. Con base en los comentarios y discusiones planteadas se pueden establecer posibles estrategias de diseño para obtener un desempeño adecuado con respecto a linealidad, dentro de los requerimientos mínimos de desempeño establecidos para una aplicación específica.



## Capítulo 5

# Diseño del Amplificador de Bajo Ruido y el Mezclador de señal

Para llevar a cabo satisfactoriamente el diseño de un amplificador de bajo ruido y un mezclador de señal es necesario comprometer las variables más significativas de desempeño. Con este fin, en las secciones 5.1 y 5.3 se resumen algunas de las consideraciones más relevantes que se deben tener en cuenta en el diseño del *LNA* y el mezclador de señal CMOS; estas consideraciones se fundamentan en los análisis planteados en los capítulos 3 y 4. Seguidamente, se presenta la estrategia utilizada en el diseño del *LNA*, tomando como base las consideraciones de diseño expuestas, expresiones y resultados encontrados en los capítulos anteriores, y metodologías de diseño ya existentes en la literatura; aplicando la estrategia planteada se obtiene un diseño preliminar para el amplificador de bajo ruido en función de las especificaciones de desempeño planteadas. De igual forma, en la sección 5.4 se presenta la estrategia utilizada en el diseño del mezclador de señal y, se obtienen los valores y dimensiones preliminares de los dispositivos de la topología seleccionada.

Los diseños presentados en este capítulo se desarrollan para la tecnología de fabricación  $0.35\ \mu\text{m}$  CMOS C35B4 (4 capas de metal y 2 capas de polisilicio) de *AMS (AustriaMicroSystems)*. Algunos de los parámetros de proceso para el transistor NMOS utilizados en el diseño del *LNA* y el mezclador de señal, son mostrados en la tabla 5.1.

De otro lado, como se mencionó en el capítulo 1 se pretende que el *LNA* y el mezclador de señal diseñados cumplan con los compromisos mínimos entre cada una de las especificaciones de desempeño para una aplicación *Bluetooth* 2,45 GHz. En consecuencia, en la tabla 5.2 se consignan algunas de los requerimientos mínimos para la etapa de recepción de un sistema *Bluetooth*; estos requerimientos fueron extraídos de la información suministrada en [31].

Tabla 5.1: Parámetros para el transistor *NMOS* en la tecnología *AMS C35B4 0,35 μm CMOS*

Parámetros	Unidades	Valores
Longitud mínima de canal	$\mu m$	0,35
Movilidad ( $\mu_0$ )	$\frac{cm^2}{V \cdot s}$	370
$C_{ox}$	$\frac{fF}{\mu m^2}$	4,86
Voltaje de umbral ( $V_t$ )	$V$	0,56
Factor de ganancia ( $K_n$ )	$\frac{\mu A}{V^2}$	170
Capacitancia de unión de área ( $C_j$ )	$\frac{fF}{\mu m^2}$	0,94
Coefficiente de graduación de área ( $m_j$ )	–	0,34
Capacitancia de unión lateral ( $C_{jsw}$ )	$\frac{fF}{\mu m}$	0,25
Coefficiente de graduación lateral ( $m_{jsw}$ )	–	0,23
Potencial de unión ( $P_{BN}$ )	$V$	0,69

Tabla 5.2: Especificaciones del estándar *Bluetooth*

Especificación	Valor requerido
$SNR$	$\geq 21 \text{ dB}$
$NF$	$\leq 23 \text{ dB}$
$P_{in, \min}$	$\leq -70 \text{ dBm}$
Ancho de banda de canal	$1 \text{ MHz}$
Banda de frecuencias	$2400 - 2483,5 \text{ MHz}$
$P_{IIP3}$	$\geq -16,5 \text{ dBm}$

## 5.1. Consideraciones de diseño del *LNA*

Las consideraciones de diseño del *LNA* que se presentan en esta sección aplican a la topología de fuente común con degeneración inductiva y entrada simple, utilizando un dispositivo cascado en su salida, figura 5.1. Como se mencionó en la sección 2.4, y en los capítulos 3-4, esta topología es la que mejor cumple los compromisos entre las variables de diseño mas importantes par el *LNA*.

De acuerdo con la sección 1.1.2 y los análisis expuestos en los capítulos 3 y 4, se deben tener en cuenta las siguientes consideraciones en el diseño del amplificador de bajo ruido en tecnología *CMOS*:

- a) Para obtener un buen compromiso entre acople de impedancias para máxima transferencia de potencia desde la antena hacia el *LNA*, maximizar ganancia, reducir ruido y mejorar linealidad es conveniente que la red de entrada del *LNA* se encuentre en resonancia en la frecuencia central de interés.
- b) La ganancia de la etapa de transconductancia depende directamente de la frecuencia de

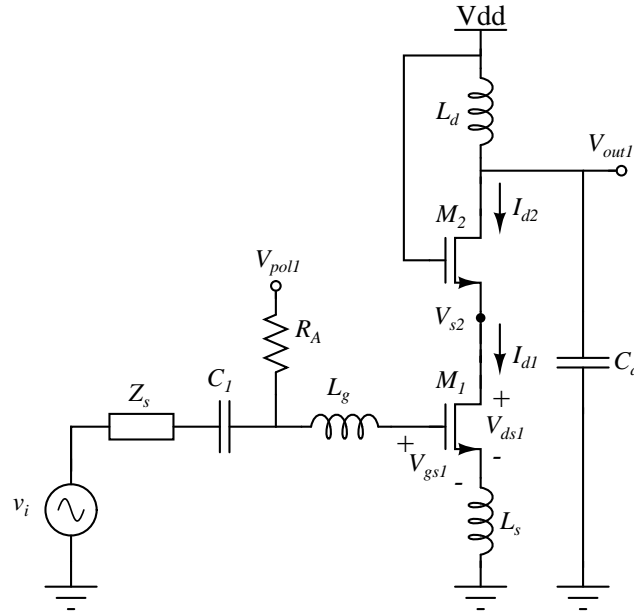


Figura 5.1: Topología seleccionada para el LNA.

ganancia unitaria en corriente ( $\omega_T$ ) y la figura de ruido se reduce con el aumento de  $\omega_T$ . Por consiguiente, inicialmente para incrementar la ganancia y disminuir la figura de ruido es conveniente adoptar longitudes de canal mínimas  $L = L_{min}$  en los transistores, ya que esto representa un aumento en  $\omega_T$  (ecuación 3.14).

- c) Para una frecuencia de ganancia unitaria  $\omega_T$  determinada, existe un factor de calidad óptimo  $Q_{in,opt}$  y, por tanto, un ancho óptimo  $W_{1,opt}$  para el transistor  $M_1$  que minimiza el factor de ruido de la etapa de transconductancia (ecuaciones 3.34-3.36). De modo que si el aporte al factor de ruido total ( $F_{total}$ ) del LNA por parte del dispositivo cascodo no es significativo, se puede obtener una minimización de  $F_{total}$  seleccionando  $W_1 = W_{1,opt}$ . No obstante, si el aporte de ruido del dispositivo cascodo en la frecuencia de interés es considerable, se hace necesario comprometer simultáneamente el desempeño de ruido de la etapa de transconductancia (ecuación 3.30) y del dispositivo cascodo (ecuación 3.42), y por tanto, es posible que el valor de  $W_1$  para el cual la figura de ruido total se minimiza varíe, ya que el desempeño de ruido de  $M_2$  depende de la capacitancia entre drenó y fuente de  $M_1$ , y por tanto de  $W_1$ .
- d) Aumentar el voltaje efectivo  $V_{gs} - V_t$  aplicado al transistor de la etapa de transconductancia incrementa  $\omega_T$  y por consiguiente, mejora la ganancia y el desempeño con respecto a ruido; sin embargo, esto a su vez ocasiona un incremento en la potencia total disipada.
- e) La selección del ancho del transistor  $M_2$  del dispositivo cascodo, establece un valor

máximo de tensión que puede estar presente entre compuerta y fuente de la etapa de transconductancia, de tal forma que el transistor  $M_1$  se mantenga en la región de saturación.

- f) La intermodulación de tercer orden  $IM3$  de la etapa de transconductancia, si no se tiene en cuenta el efecto cuerpo, puede ser reducida mediante el ajuste de las terminaciones fuera de banda o mediante la selección de un punto de polarización adecuado, de tal forma que la interacción de los coeficientes  $g_3$  y  $g_2$ , descrita por la ecuación (4.32), se reduzca.
- g) La resistencia de entrada bajo condiciones de resonancia, despreciando las resistencias parásitas, depende directamente de la frecuencia de ganancia unitaria de corriente  $\omega_T$  y del valor del inductor  $L_s$  (ecuaciones 3.4-3.7).
- h) Existe un compromiso entre la frecuencia de resonancia requerida  $\omega_0$ , el tamaño del transistor de la etapa de transconductancia y el valor de los inductores  $L_s$  y  $L_g$  de acuerdo con la ecuación (3.6).

Teniendo en cuenta estas consideraciones, a continuación se plantea la estrategia de diseño utilizada para el amplificador de bajo ruido en tecnología *CMOS*.

### 5.2. Estrategia y diseño del *LNA*

La estrategia de diseño que se presenta a continuación para el *LNA*, pretende mostrar un método a seguir para obtener un compromiso de diseño adecuado entre las especificaciones más relevantes de desempeño del *LNA* (ruido, linealidad, acople de impedancias, consumo de potencia, ganancia, y aislamiento de puertos). Antes de plantear la estrategia de diseño es necesario hacer claridad en los siguientes aspectos:

- ♣ Varias fuentes de ruido que en la práctica degradan el desempeño de ruido han sido despreciadas en los análisis realizados en el capítulo 3, por ejemplo, el ruido generado por la resistencia del sustrato y amplificado por la transconductancia del cuerpo, el ruido generado por la resistencia del sustrato y directamente acoplado a la salida a través de la capacitancia de unión, el ruido generado por la resistencia del polisilicio y los contactos conectados a la puerta.
- ♣ La estrategia a plantear adopta condiciones de acople para máxima transferencia de potencia de la fuente hacia el *LNA*, y no acople para mínima figura de ruido. Por tanto, en general existe una impedancia de fuente diferente para la cual la figura de ruido es menor que la planteada en la sección 3.2.3.

Tabla 5.3: Especificaciones de diseño para el LNA

Especificación	Valor
Fuente de Alimentación	3,3 V
Consumo de potencia	< 15 mW
Figura de ruido	< 5 dB
$P_{IIP3}$	> -10 dBm
Ganancia de voltaje	$\geq 14$ dB
Aislamiento inverso ( $S_{12}$ )	$\leq -30$ dB
Coefficiente de reflexión en la entrada ( $S_{11}$ )	$\leq -10$ dB
Impedancia de entrada	$\approx 50 \Omega$
Frecuencia de operación	2,45 GHz

- ♣ Los resultados teóricos presentados en esta sección son sólo una estimación del desempeño real con respecto a cada una de las variables.

Con base en los análisis presentados en los capítulos 3 y 4, y las consideraciones de diseño planteadas en la sección anterior, a continuación se presentan los pasos a seguir en el diseño del LNA, usando las tensiones de polarización y las dimensiones de los dispositivos como variables de diseño; estos pasos se resumen en la figura 5.2.

1. *Plantear las especificaciones de desempeño requeridas, de acuerdo a la aplicación para la cual se va a diseñar el LNA.*

Con el propósito de validar los análisis presentados en los capítulos anteriores y hacer claridad sobre la metodología de diseño propuesta; en este trabajo se aborda el diseño de un amplificador de bajo ruido cumpliendo con las especificaciones mínimas para el estándar *Bluetooth*. Con base en la información suministrada en [31] y el estado del arte presentado en la sección 1.2, en la tabla 5.3 se presentan las especificaciones que se pretenden alcanzar en el diseño del amplificador de bajo ruido.

2. *Adoptar la longitud de canal mínima permitida por el proceso de fabricación para los transistores,  $L = L_{\text{mín}}$ , para maximizar los valores de  $\omega_T$  y  $g_m$ .*

De acuerdo con los parámetros de proceso presentados en la tabla 5.1 para el transistor NMOS en la tecnología 0,35  $\mu\text{m}$  CMOS la longitud mínima de canal que se puede alcanzar es aproximadamente 0,35  $\mu\text{m}$ , por consiguiente, se selecciona  $L = L_{\text{mín}} = 0,35 \mu\text{m}$  para los transistores  $M_1$  y  $M_2$ .

3. *Acotar el campo de diseño de  $W_1$  y  $W_2$ , en función del punto de polarización, para obtener un desempeño de ruido adecuado en el LNA.*

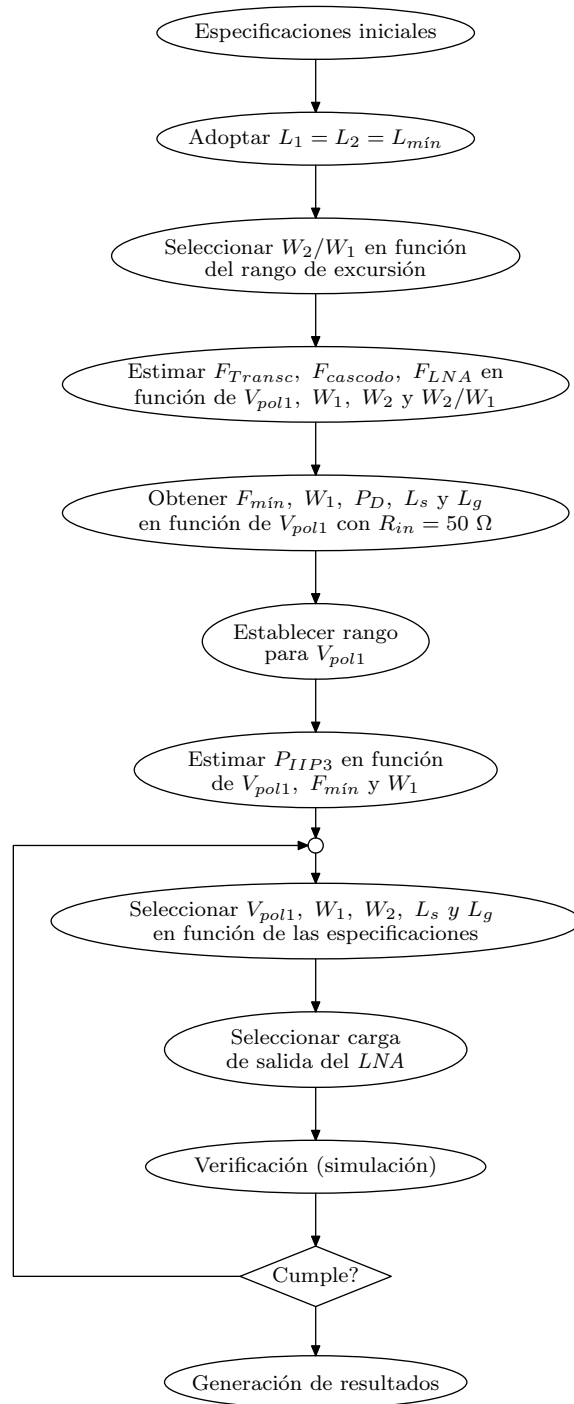


Figura 5.2: Estrategia de diseño del LNA.

De acuerdo a las estrategias de diseño para LNAs presentadas en la literatura, la selección del ancho del transistor  $M_1$  se realiza comúnmente de tal forma que se minimice el aporte de ruido de la etapa de transconductancia, (ecuaciones 3.30-3.36), dado

que lo anterior representa una minimización de la figura de ruido del LNA siempre y cuando el dispositivo cascodo  $M_2$  no afecte significativamente el desempeño de ruido en la banda de frecuencias de interés; no obstante, en la frecuencia de interés para el estándar *Bluetooth*, 2,45 GHz, el aporte del dispositivo cascodo  $M_2$  puede llegar a ser significativo. Con el fin de evaluar el aporte de los transistores  $M_1$  y  $M_2$  al factor de ruido total, se realizó una estimación del desempeño de ruido por medio de las expresiones encontradas en el capítulo 3 para una frecuencia central de 2,45 GHz, y los parámetros de proceso mostrados en la tabla 5.1.

Asumiendo que la red de entrada del LNA se encuentra en resonancia, el factor de ruido de la etapa de transconductancia puede ser estimado por medio de la ecuación (3.30), como sigue:

$$F_{Transc} \approx 1 + \frac{w}{w_{T1}} \gamma_1 w C_{gs1} R_s \left\{ \frac{1}{\alpha_1} + \frac{\delta_1 \alpha_1}{5 \gamma_1} \left( 1 + \frac{1}{(w C_{gs1} R_s)^2} \right) - 0,79 \sqrt{\frac{\delta_1}{5 \gamma_1}} \right\} \quad (5.1)$$

donde  $\gamma_1$  y  $\delta_1$  son parámetros dependientes de la polarización,  $w_{T1} \approx g_{m1}/C_{gs1}$ , y  $\alpha_1 = g_{m1}/g_{d01}$ , siendo  $g_{d01}$  la conductancia drenó-fuente de  $M_1$  con el voltaje drenó-fuente igual a cero.

De igual forma, una estimación del factor de ruido del dispositivo cascodo con respecto al ruido introducido por la fuente de entrada del LNA ( $v_s$ ), puede ser obtenida retomando las ecuaciones (3.13), (3.25), (3.39), (3.42), de la siguiente forma:

$$F_{cascodo} \approx 1 + \frac{\overline{i_{n,o2}^2} \cdot \left\{ 1 + \left( \frac{\omega}{\omega_p} \right)^2 \right\}}{|G_{Transc}|^2 4kTR_s \Delta f} \quad (5.2)$$

$$F_{cascodo} \approx 1 + \frac{4\omega^4 R_s \gamma_2 C_{gs2}^2}{\omega_{T1}^2 g_{m2}} \left\{ \frac{\alpha_2 \delta_2}{5 \gamma_2} + \frac{\left( 1 + \frac{C_p}{C_{qs2}} \right)^2}{\alpha_2} - 0,79 \left( 1 + \frac{C_p}{C_{gs2}} \right) \sqrt{\frac{\alpha_2}{5 \gamma_2}} \right\} \quad (5.3)$$

donde  $C_p$  es la capacitancia total asociada al nodo  $V_{s2}$  sin tener en cuenta la capacitancia compuerta-fuente de  $M_2$  y  $g_{m2}$  es la transconductancia de  $M_2$ . Despreciando las capacitancias parásitas,  $C_p$  puede ser aproximada como la suma de la capacitancia entre drenó y cuerpo de  $M_1$  ( $C_{db1}$ ) y, la capacitancia entre fuente y cuerpo de  $M_2$  ( $C_{sb2}$ );

$$C_p \approx C_{db1} + C_{sb2} \quad (5.4)$$

Cada una de estas capacitancias está formada por la suma de una capacitancia de unión de área y una capacitancia de unión lateral, y pueden ser aproximadas por:

$$C_{db1} \approx \frac{W_1 L_{dif} C_j}{\left( 1 + \frac{V_{db1}}{P_{BN}} \right)^{mj}} + \frac{(W_1 + 2L_{dif}) C_{jsw}}{\left( 1 + \frac{V_{db1}}{P_{BN}} \right)^{mjsw}} \quad (5.5)$$

$$C_{sb2} \approx \frac{W_2 L_{dif} C_j}{\left( 1 + \frac{V_{sb2}}{P_{BN}} \right)^{mj}} + \frac{(W_2 + 2L_{dif}) C_{jsw}}{\left( 1 + \frac{V_{sb2}}{P_{BN}} \right)^{mjsw}} \quad (5.6)$$

donde  $C_j$  es la capacitancia de unión por unidad de área,  $m_j$  es el coeficiente gradiente de área,  $C_{j_{sw}}$  es la capacitancia de unión lateral por unidad de longitud,  $m_{j_{sw}}$  es el coeficiente gradiente lateral,  $P_{BN}$  es el potencial de unión y  $L_{diff}$  es la longitud de la difusión.

De igual forma, si se usan las expresiones de primer orden para la relación corriente-voltaje de los transistores  $M_1$  y  $M_2$ , se deduce de las ecuaciones (4.38-4.40) que la transconductancia de  $M_2$  está dada aproximadamente por:

$$g_{m2} \approx K_n \frac{W_2}{L} (V_{gs2} - V_{t2}) \approx K_n \frac{\sqrt{W_1 W_2}}{L} (V_{gs1} - V_{t1}) \quad (5.7)$$

En este orden de ideas, el factor de ruido total del *LNA* despreciando las resistencias parásitas de los inductores, está dado aproximadamente por:

$$F_{LNA} \approx F_{Transc} + (F_{cascodo} - 1) \quad (5.8)$$

y de acuerdo a las expresiones (5.1)-(5.8) es evidente que el desempeño de ruido del *LNA* depende del ancho del transistor  $M_1$  y del transistor  $M_2$ . Con el fin de evaluar el factor de ruido del *LNA* con respecto al ancho del transistor  $M_1$ , se fijó una relación entre  $W_2$  y  $W_1$  de tal forma que se garantizará un buen rango de excursión en la entrada del *LNA*. De acuerdo con la ecuación (4.42), con una relación de  $W_2/W_1 \approx 2/5$  se garantiza que para un valor máximo aproximado de 1,5 V en la tensión de entrada del *LNA*, los transistores  $M_1$  y  $M_2$  aún se encuentran operando en la región de saturación; dado que éste es un rango adecuado de excursión se seleccionó  $W_2/W_1 \approx 2/5$ .

Una estimación del factor de ruido de la etapa de transconductancia y del dispositivo cascode se muestra en las figuras 5.3(a) y 5.3(b), respectivamente. Estas estimaciones se obtuvieron para una frecuencia de 2,45 GHz mediante la evaluación de las ecuaciones (5.1) y (5.3) asumiendo:

$$\begin{aligned} \gamma = \gamma_1 = \gamma_2 &\approx \frac{4}{3} & \delta = \delta_1 = \delta_2 &\approx 2\gamma & L_{diff} &\approx 1\mu m \\ \alpha = \alpha_1 = \alpha_2 &\approx 0,8 & \frac{W_2}{W_1} &= \frac{2}{5} & R_s &= 50 \Omega \end{aligned}$$

y aproximando  $g_{m2}$  con (5.7) y  $C_p$  mediante (5.4)-(5.6). Las capacitancias  $C_{gs1}$  y  $C_{gs2}$  fueron aproximadas con una expresión que provee una transición continua de la capacitancia de traslape  $C_{gsol}$  en subumbral al valor de la capacitancia en saturación  $C_{gssat}$ , como se indica a continuación,

$$C_{gs} = C_{gsol} + \frac{C_{gssat} - C_{gsol}}{1 + e^{\frac{-V_{eff}}{nV_t}}} \quad (5.9)$$

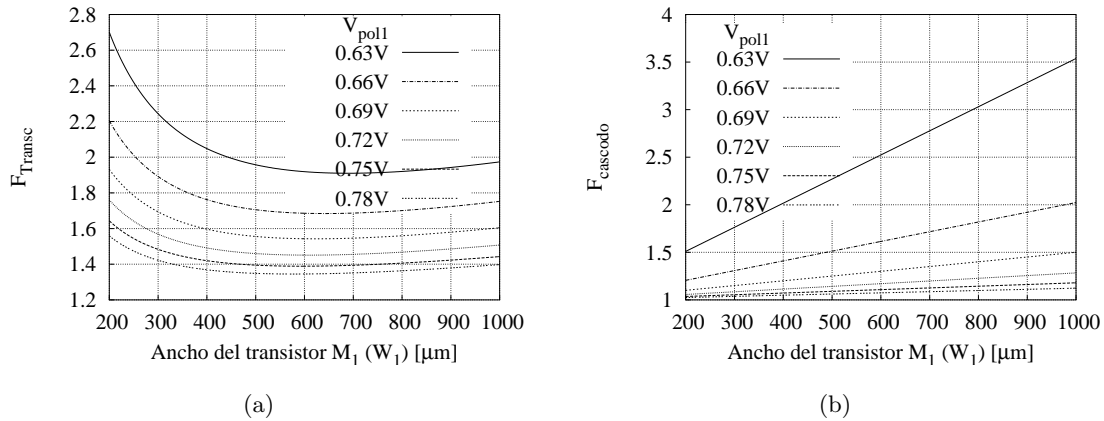


Figura 5.3: (a) Estimación teórica del factor de ruido de la etapa de transconductancia; (b) Estimación teórica del factor de ruido del dispositivo cascode  $M_2$ .

De los resultados mostrados en las figuras 5.3(a) y 5.3(b) es evidente que el factor de ruido del dispositivo cascode con respecto a  $W_1$ , para diferentes puntos de polarización del transistor  $M_1$  ( $V_{\text{pol1}}$ ), llega a ser considerable comparado con el factor de ruido de la etapa de transconductancia. Por tanto, como se observa en la figura 5.4 el valor de  $W_1$  para el cual se presenta un mínimo en el factor de ruido de la etapa de transconductancia, difiere del valor de  $W_1$  para el cual se presenta un mejor desempeño con respecto a ruido del LNA; ya que el mínimo de  $F_{\text{LNA}}$  se presenta cuando las pendientes de  $F_{\text{Transc}}$  y  $F_{\text{cascodo}}$  se cancelan, y no cuando la pendiente de  $F_{\text{Transc}}$  es igual a cero.

Bajo estas consideraciones, existe un rango de valores de  $W_1$  para el cual se mejora el desempeño de ruido del LNA, para diferentes puntos de polarización  $V_{\text{pol1}}$  y una relación  $W_2/W_1$  preestablecida (en este caso  $W_2/W_1 \approx 2/5$ ), como se observa en la figura 5.5(a).

Con el propósito de acortar el campo de diseño de cada una de las variables y cumplir con las especificación de desempeño de ruido plantada, se adopta un punto de polarización  $V_{\text{pol1}}$  mínimo de 0,73V dado que teóricamente esto representa una figura de ruido mínima de 2dB que se puede alcanzar; no obstante, se debe tener en cuenta que las resistencias parásitas asociadas con los inductores pueden llegar a degradar la figura de ruido por algunos decibelios. El valor correspondiente del ancho del transistor  $M_1$  para este punto de polarización es  $W_1 \approx 460 \mu\text{m}$  y por consiguiente para  $M_2$  es  $W_2 \approx 180 \mu\text{m}$ .

4. Establecer el valor máximo de tensión de polarización  $V_{\text{pol1}}$  de la etapa de transconductancia que puede ser empleado, de tal forma que se cumpla con la especificación establecida de consumo de potencia del LNA.

De acuerdo con los resultados encontrados en el ítem anterior, para cada punto de

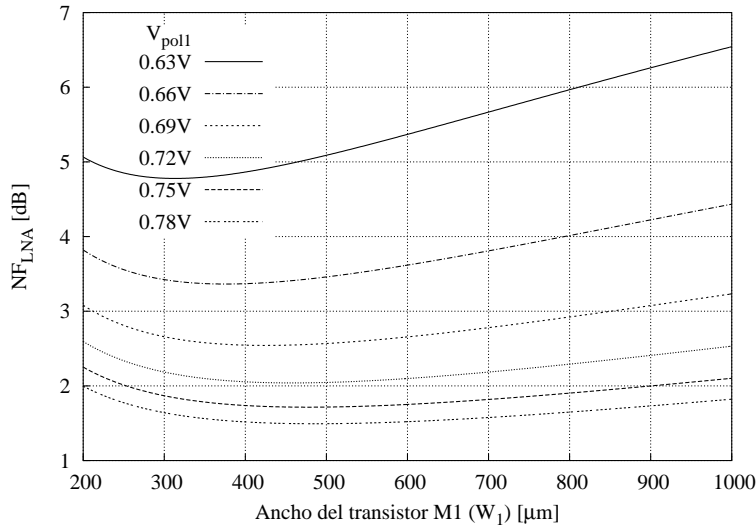


Figura 5.4: Estimación del factor de ruido total del LNA.

polarización  $V_{pol1}$  existe un valor óptimo de  $W_1$  que minimiza la figura de ruido total del  $LNA$  (figura 5.5(c)), y por consiguiente, una disipación de potencia asociada con cada punto de polarización.

Con el fin de encontrar un límite superior de la tensión de polarización  $V_{pol1}$ , se realiza una estimación de la disipación de potencia del  $LNA$  con respecto a  $V_{pol1}$  bajo condiciones de mínima figura de ruido. En la figura 5.5(b) se muestra una estimación del consumo de potencia del  $LNA$ , para cada punto de polarización bajo condiciones de mínima figura de ruido; con base en estos resultados se estima que la tensión máxima de polarización  $V_{pol1}$ , que puede ser empleada para cumplir con la especificación de máxima potencia disipada ( $P_{Dmax} = 15 \text{ mW}$ ), es  $V_{pol1} \approx 0,78 \text{ V}$ . De acuerdo con esta estimación y el valor de  $V_{pol1}$  mínimo seleccionado, un rango adecuado de la tensión de polarización en la puerta de  $M_1$  es  $0,73 \leq V_{pol1} \leq 0,78$ .

5. Realizar una estimación del desempeño de linealidad, por medio del punto de intersección de tercer orden referido a la entrada, para cada punto de polarización  $V_{pol1}$  bajo condiciones de resonancia para máxima transferencia de potencia de la fuente hacia el  $LNA$ .

De los numerales 3 y 4 se obtiene un rango de la tensión de polarización  $V_{pol1}$  en la puerta de  $M_1$  que cumple con los requerimientos establecidos de desempeño de ruido y máxima disipación de potencia.

Habiendo comprometido el desempeño de ruido y la disipación de potencia del  $LNA$ , es necesario estimar el desempeño con respecto a linealidad de este bloque. Asumiendo

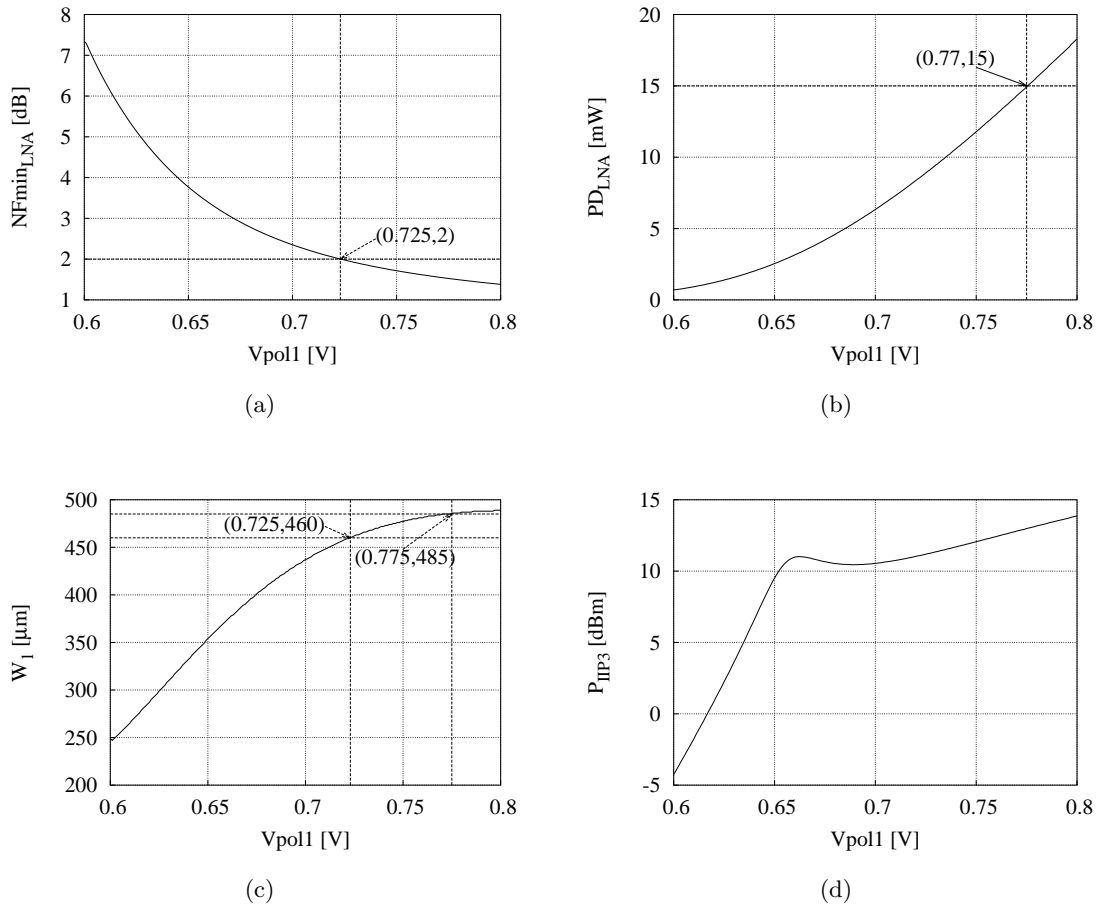


Figura 5.5: Estimaciones teóricas. (a) Figura de ruido mínima que se puede alcanzar para diferentes puntos de polarización; (b) Potencia disipada por el LNA; (c) Ancho de  $M_1$  para el cual se minimiza  $F_{LNA}$ ; (d) Punto de intersección de tercer orden referido a la entrada.

que el dispositivo cascodo  $M_2$  no degrada significativamente el desempeño de linealidad y, que la impedancia de salida del LNA es dominada por una carga lineal<sup>1</sup>, es posible evaluar teóricamente el punto de intermodulación de tercer orden de este bloque por medio de las ecuaciones (4.34)-(4.37) encontradas para la etapa de transconductancia bajo condiciones de resonancia, como sigue,

$$P_{IIP3} \approx \frac{4}{3} \left( \frac{\omega_0}{\omega_T} \right)^2 \frac{R_s^2}{g_1} \frac{1}{|r'_3(\Delta\omega, 2\omega_0)|} \quad (5.10)$$

$$r'_3(\Delta\omega, 2\omega_0) \approx \frac{g_3}{g_1^4} - \frac{2g_2}{3g_1^4} \left\{ \frac{2\omega_0 L_s}{4\omega_0 C_{gs1} R_s + j3} \right\} \quad (5.11)$$

<sup>1</sup>En el caso de la topología propuesta la impedancia de salida del LNA es dominada por la resistencia asociada con el inductor.

Los diferentes valores de  $L_s$  y  $L_g$  para cada punto de polarización  $V_{pol1}$  se calculan en conformidad con las ecuaciones 3.6-3.7, para obtener acople de impedancias a la entrada ( $R_s = 50 \Omega$ ) en condiciones de máxima transferencia de potencia en la frecuencia central de interés ( $f_0 \approx 2,45 \text{ GHz}$ ).

De otro lado, para estimar  $IM3$  y  $P_{IIP3}$  de la etapa de transconductancia, sin tener en cuenta las no linealidades mayores de tercer orden, es necesario conocer las tres primeras derivadas de la corriente de dreno ( $g_1$ ,  $g_2$  y  $g_3$ ) del transistor  $M_1$  con respecto a la tensión entre compuerta y fuente para cada punto de polarización  $V_{pol1}$ . Con este propósito, se modela la corriente de dreno de  $M_1$  por medio de las ecuaciones (B.1)-(B.2) y sus respectivas derivadas con las expresiones (B.3)-(B.5)<sup>2</sup>, para  $\theta \approx 1 \text{ [V}^{-1}\text{]}$  y  $n\phi_t \approx 29 \text{ mV}$ .

Utilizando los valores calculados de  $L_s$ ,  $L_g$ ,  $g_1$ ,  $g_2$ ,  $g_3$  y  $C_{gs1}$  para cada punto de polarización  $V_{pol1}$  de la etapa de transconductancia, se obtiene la estimación teórica de  $P_{IIP3}$  mostrada en la figura 5.5(d) bajo condiciones de acople para máxima transferencia de potencia y mínima figura de ruido  $F_{LNA\text{mín}}$ . De acuerdo a estos resultados, en el rango de  $V_{pol1}$  seleccionado en los dos numerales anteriores se satisface con el requerimiento de linealidad ( $P_{IIP3}$ ) establecido para el *LNA*.

Adicionalmente, cabe destacar que existe un rango de voltajes de  $V_{pol1}$  (aproximadamente entre  $0,65\text{V} - 0,67\text{V}$ ) en el cual se presenta un máximo local de  $P_{IIP3}$  con respecto a  $V_{pol1}$ . Este máximo local se presenta en la zona donde la interacción entre los coeficientes de segundo orden ( $g_2$ ) y tercer orden ( $g_3$ ) se reducen, en conformidad con la ecuación 5.11. No obstante, para tensiones de polarización mayores que aproximadamente  $0,72 \text{ V}$  se presenta un mejor desempeño con respecto a linealidad, dado que la tendencia incremental de la transconductancia  $g_1$  con respecto a  $V_{pol1}$  domina.

#### 6. Seleccionar $W_1$ , $W_2$ , $V_{pol1}$ , $L_s$ y $L_g$ .

En función de los resultados encontrados en los numerales anteriores se selecciona  $V_{pol1} = 0,73\text{V}$ , dado que para este punto de polarización se cumple con las especificaciones de ruido y linealidad planteadas, con un consumo de potencia estimado de  $10 \text{ mW}$  el cual se encuentra dentro del estado del arte de *LNAs* en tecnología CMOS (ver tabla 1.1). En esta tensión de polarización se estima que para un valor de  $W_1 \approx 460\mu\text{m}$  y  $W_2 \approx 180\mu\text{m}$  (figura 5.5), se obtiene un desempeño de ruido adecuado. Adicionalmente, para estos valores de  $V_{pol1}$ ,  $W_1$  y  $W_2$  se obtiene teóricamente  $L_s \approx 0,9 \text{ nH}$  y  $L_g \approx 7 \text{ nH}$  para obtener acople de impedancias a  $50\Omega$  en la entrada. No obstante, fue

<sup>2</sup>Los valores de  $\theta$  y  $n\phi_t$  fueron extrapolados basándose en resultados de simulación para los parámetros de proceso de la tecnología  $0,35 \mu\text{m CMOS}$  de AMS.

necesario hacer una simulación previa para obtener el valor adecuado de las inductancias, dado que la capacitancia  $C_{gs1}$  en saturación es calculada usando la aproximación  $C_{gs1} = \frac{2}{3}W_1LC_{ox}$  y despreciando el valor de la capacitancia de sobreposición, el cual puede ser significativo y representar una variación de la inductancia  $L_g$  para efectuar el acople. Después de efectuar dicha simulación se obtiene  $L_s \approx 1nH$  y  $L_g \approx 5,7nH$ .

7. *Selección del tanque resonante ( $L_d$  y  $C_d$ ) como carga del LNA.*

Teniendo en cuenta que el estándar *Bluetooth* opera en una banda específica de frecuencias es necesario diseñar el LNA como un circuito de banda estrecha para disminuir el efecto de señales de interferencia fuera de la banda de interés y los requerimientos de un posible filtro a la salida. Una solución típica para obtener una banda estrecha, es el uso de un circuito LC paralelo resonante conectado en el drenaje de  $M_2$  para aumentar la ganancia en la banda deseada.

Dado que en este trabajo se propone el diseño de un amplificador de bajo ruido y un mezclador de señal dentro de un mismo circuito integrado, es necesario tener en cuenta la impedancia de entrada del mezclador de señal para seleccionar de forma adecuada el valor de  $L_d$  y  $C_d$ . Sin embargo, con el propósito de analizar el desempeño del LNA se hace un diseño previo del circuito resonante sin tener en cuenta la impedancia de entrada del mezclador<sup>3</sup>.

Con el objetivo de diseñar un LNA completamente integrado, los inductores son implementados dentro del chip, que en tecnología CMOS presentan factores de calidad bajos. Lo anterior ocasiona que el inductor del circuito resonante  $L_d$  tenga asociada una resistencia equivalente en paralelo, la cual domina la resistencia de salida en el terminal de drenaje del transistor  $M_2$ . En consecuencia, es necesario estimar previamente el valor de dicha resistencia para determinar si se cumple con la especificación de ganancia de voltaje establecida.

Si se modela la impedancia del inductor  $L_d$  como,

$$Z_{Ld} = w_0 L_d \left( \frac{1}{Q} + j \right) \quad (5.12)$$

la resistencia de salida equivalente del tanque resonante es aproximadamente:

$$R_{sal} \approx Re\left(\frac{1}{Z_{Ld}}\right) \approx \frac{1 + Q^2}{Q} w_0 L_d \quad (5.13)$$

donde  $Q$  es el factor de calidad del inductor,  $L_d$  es el valor efectivo de la inductancia y  $w_0$  es la frecuencia central de interés. De (5.13) se evidencia que la impedancia equivalente del tanque  $R_{sal}$  aumenta con el incremento del factor de calidad  $Q$  y el aumento

---

<sup>3</sup>La impedancia de entrada del mezclador comúnmente es predominantemente capacitiva, y por consiguiente, esto causa una variación del valor de  $C_d$  requerido.

Tabla 5.4: Valores y dimensiones seleccionados para el *LNA*.

Parámetros	$V_{pot1}$	$W_1$	$W_2$	$L_s$	$L_g$	$L_d$	$C_d$	$R_A$
Valor	0.73 V	460 $\mu m$	180 $\mu m$	1 nH	5,7 nH	5 nH	660 fF	12K $\Omega$

de la inductancia efectiva  $L_d$ , sin embargo, altos valores de inductancia generalmente representan menores factores de calidad; por consiguiente, existe un compromiso entre el valor de resistencia de salida deseado, la selección de la inductancia  $L_d$  y el factor de calidad que se pueda alcanzar. Por este motivo, se realizaron simulaciones previas en *ASITIC*<sup>4</sup> [32] para diferentes valores de inductancia y una longitud de espira determinada, teniendo en cuenta los parámetros de proceso de la tecnología 0,35 $\mu m$  CMOS de AMS para la capa de metal 4. Con el fin de obtener una resistencia de salida adecuada se seleccionó una longitud de espira máxima de 300 $\mu m$  y utilizando el comando *optsq*<sup>5</sup> se seleccionó un inductor de 5nH con el cual se obtiene una resistencia de salida  $R_{sal}$  de aproximadamente 460 $\Omega$  para parámetros típicos de proceso y de 260 $\Omega$  para parámetros de proceso estimados en el peor de los casos. Para este valor de inductancia, utilizando el modelo “PI” extraído por *ASITIC*, corresponde un valor de  $C_d = 660fF$  para que la salida del *LNA* se encuentre en resonancia en la frecuencia de interés.

Finalmente la tabla 5.4 muestra los valores y dimensiones de los componentes del *LNA* obtenidos aplicando la estrategia de diseño antes propuesta. Adicionalmente, se seleccionó un valor de 12K $\Omega$  para el resistor  $R_A$  de la red de polarización del *LNA* (figura 5.1), dado que este valor no degrada significativamente la resistencia de entrada y el desempeño con respecto a ruido del *LNA*.

### 5.3. Consideraciones de diseño del mezclador de señal.

De acuerdo con la sección 2.5, la topología seleccionada en este trabajo es la configuración de mezclador de señal CMOS de conmutación de corriente con entrada simple (figura 2.3); adicionalmente con el fin de mejorar el comportamiento con respecto a linealidad de esta configuración se adopta degeneración inductiva en la fuente de la etapa de transconductancia.

Con el propósito de establecer un procedimiento adecuado para diseñar el mezclador de señal a continuación se resumen algunas de las consideraciones a tener en cuenta en el diseño de este bloque, estas consideraciones provienen de los análisis realizados en los capítulos 3 y 4.

<sup>4</sup>*ASITIC* es una herramienta *CAD* que ayuda a los diseñadores de circuitos integrados de radiofrecuencia para optimizar y modelar inductores espirales, transformadores y capacitores.

<sup>5</sup>El comando *optsq* optimiza el factor de calidad en función del ancho de la espira para una inductancia fija, una dimensión de diámetro externo fija, un rango de valores de espaciamiento entre espiras y un rango de valores para el ancho de la espira.

- a) Las consideraciones de diseño planteadas en la sección 5.1 para la etapa de transconductancia, también aplican en el diseño del mezclador de señal, dado que una de las partes funcionales del mezclador de señal CMOS de conmutación de corriente es una etapa de transconductancia con degeneración inductiva.
- b) Como el propósito de este trabajo es diseñar el *LNA* y el mezclador de señal dentro del mismo circuito integrado, el diseño de la etapa de transconductancia del mezclador de señal depende de la impedancia de salida del *LNA*.
- c) Si la etapa de transconductancia del mezclador de señal no se encuentra en resonancia en la frecuencia central de interés, al aumentar el tamaño del transistor  $M_3$  se incrementa la ganancia de la etapa de transconductancia. ya que  $C_{gs3}$  se incrementa (ecuación 3.11). Además, al aumentar el ancho del transistor  $M_3$  se disminuye la impedancia de entrada equivalente del mezclador de señal (ecuación 3.3), y por consiguiente, se reduce la ganancia del *LNA*, dado que la impedancia equivalente conectada en el drenaje de  $M_2$  se reduce. En consecuencia, existe un valor de  $W_3$  para el cual se obtiene máxima ganancia en la salida de la etapa de transconductancia del mezclador de señal.
- d) En arquitecturas de recepción de conversión directa o frecuencia intermedia baja es conveniente utilizar resistores de polisilicio como carga del mezclador de señal, ya que estos elementos son libres de ruido *flicker*, sin embargo, esto se realiza a expensas de una caída de tensión mayor en estos elementos.
- e) La relación señal a ruido  $SNR_1$ , teniendo en cuenta el ruido *flicker* introducido por el par conmutado a través del mecanismo directo, mejora con el aumento de la amplitud del oscilador local y del área de la compuerta de los transistores del par conmutado, con la reducción del voltaje efectivo  $V_{gs3} - V_t$  aplicado al transistor  $M_3$ , y la disminución del área de la compuerta del transistor  $M_3$ , ya que esto último reduce directamente la capacitancia entre compuerta y fuente  $C_{gs3}$ . No obstante, disminuir el voltaje efectivo  $V_{gs3} - V_t$  aumenta la figura de ruido debida al ruido térmico generado por la etapa de transconductancia, lo cual compromete el desempeño de ruido del mezclador de señal.

Teniendo en cuenta las ideas planteadas anteriormente y retomando los análisis planteados en los capítulos 3 y 4, a continuación se presentan los pasos a seguir en el diseño del mezclador de señal CMOS de conmutación de corriente de entrada simple, con degeneración inductiva y carga de salida resistiva, figura 5.6.

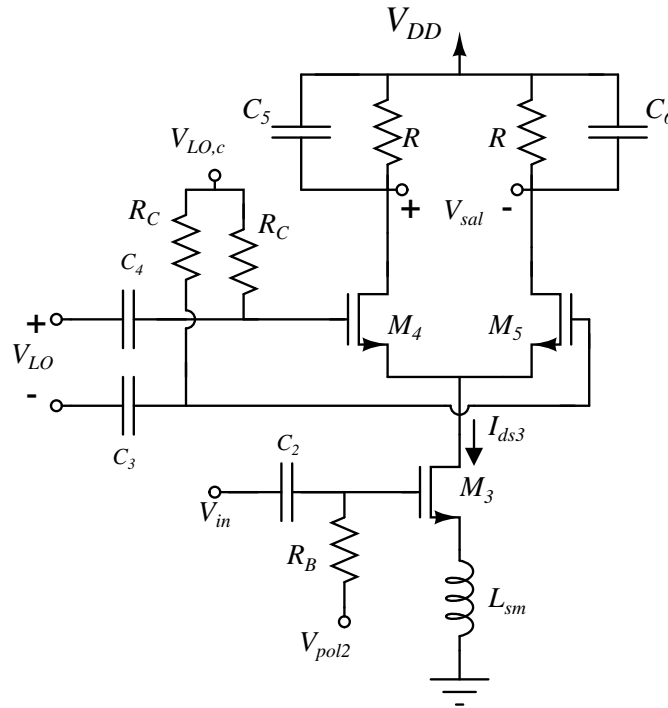


Figura 5.6: Mezclador activo CMOS de conmutación de corriente balanceado con entrada simple.

#### 5.4. Estrategia y diseño del mezclador de señal.

Esta sección tiene como propósito mostrar un procedimiento para diseñar el mezclador de señal CMOS de conmutación de corriente con entrada simple. Adicionalmente siguiendo cada uno de los pasos propuestos, se realiza el diseño de un mezclador de señal cumpliendo con los requerimientos mínimos del estándar *Bluetooth*.

Antes de plantear la estrategia y desarrollar el diseño es importante hacer claridad sobre algunos aspectos:

- ♣ La estrategia propuesta en este trabajo para el mezclador de señal, aplica para diseños en los cuales se pretenda integrar el amplificador de bajo ruido y el mezclador de señal dentro de un mismo chip.
- ♣ Algunos de los pasos propuestos hacen parte de una adaptación de metodologías ya existentes en la literatura, y toman como base resultados encontrados en trabajos especializados.
- ♣ No se pretende mostrar un procedimiento para optimizar el desempeño de mezcladores de señal CMOS de conmutación de corriente, sino mas bien, un procedimiento para cumplir con las especificaciones de desempeño requeridas.

En este orden de ideas en seguida se presentan los pasos que conforman la estrategia, y cada uno de estos se aplica en el diseño de un mezclador de señal CMOS para el estándar *Bluetooth*. En la figura 5.7 se resume la estrategia de diseño utilizada.

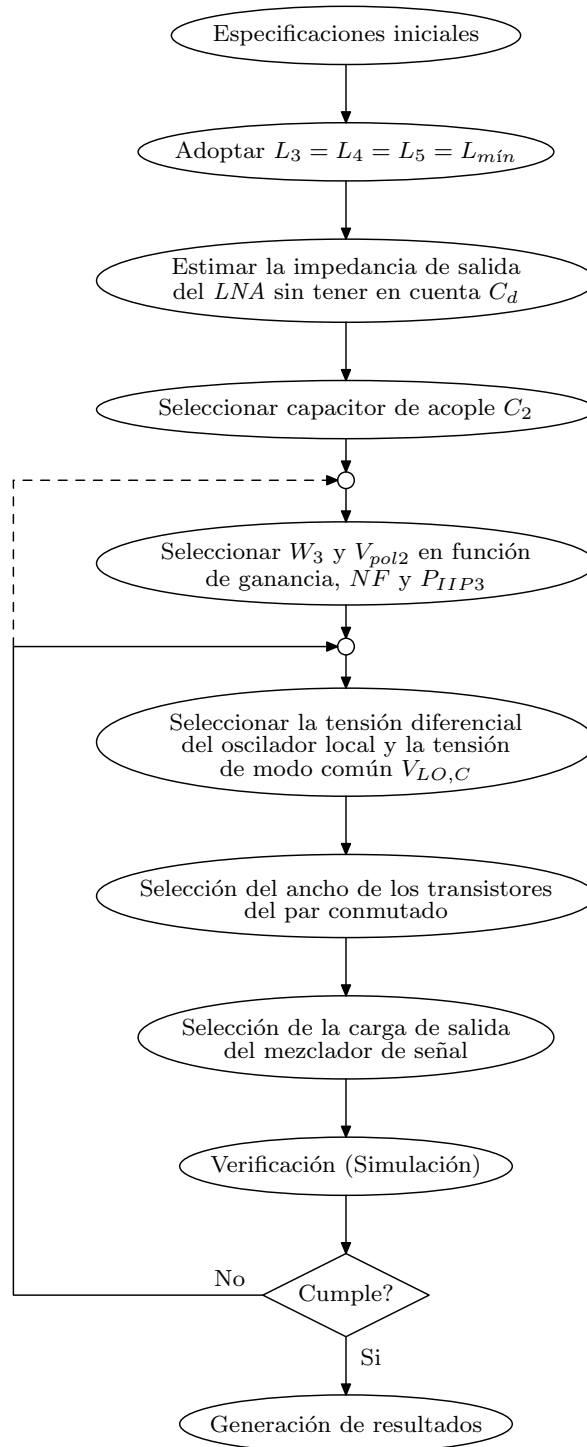


Figura 5.7: Estrategia de diseño del Mezclador de señal.

Tabla 5.5: Especificaciones de diseño para el mezclador de señal

Especificación	Valor
Fuente de Alimentación	3,3 V
Consumo de potencia	$\leq 7 \text{ mW}$
Figura de ruido <i>SSB</i>	$\leq 15 \text{ dB}$
$P_{1IP3}$	$\geq 0 \text{ dBm}$
Ganancia de voltaje	$\geq 5 \text{ dB}$
Frecuencia central <i>RF</i> de entrada	2,45 GHz
Frecuencia intermedia de salida ( <i>IF</i> )	1 MHz

1. Plantear las especificaciones de desempeño requeridas para el mezclador de señal, de acuerdo a la aplicación para la cual se va a diseñar.

Con base en los requerimientos planteados en la tabla 5.2 y el estado del arte de mezcladores de señal *CMOS* se seleccionan las especificaciones de desempeño mostradas en la tabla 5.5 para el mezclador de señal *CMOS*.

2. Adoptar la longitud de canal mínima permitida por el proceso de fabricación para los transistores  $M_3$ ,  $M_4$  y  $M_5$ ,  $L = L_{\text{mín}}$ , para maximizar los valores de  $\omega_T$  y  $g_m$ .

Como ya se mencionó en la sección 5.2, la longitud mínima de canal que se puede alcanzar en la tecnología de fabricación utilizada es aproximadamente  $0,35 \mu\text{m}$ , por consiguiente, se selecciona  $L = L_{\text{mín}} = 0,35 \mu\text{m}$  para los transistores  $M_3$ ,  $M_4$  y  $M_5$ .

3. Estimar la impedancia de salida del *LNA* sin tener en cuenta  $C_d$ .

Dado que en este trabajo se pretende diseñar el amplificador de bajo ruido y el mezclador de señal dentro de un mismo circuito integrado, la entrada de este último bloque afecta las condiciones de resonancia en la salida del *LNA*. Por consiguiente, es necesario estimar la impedancia de salida del *LNA* sin tener en cuenta la capacitancia  $C_d$  y la etapa de entrada del mezclador, para posteriormente encontrar un campo adecuado de diseño con respecto al ancho del transistor  $M_3$  y la capacitancia  $C_d$ . Adicionalmente, se debe tener en cuenta que el desempeño de linealidad de la etapa de transconductancia del mezclador de señal depende de la terminación fuera de banda del *LNA*, por tanto, también es necesario determinar la impedancia de salida del *LNA* en aproximadamente 2 veces la frecuencia central de operación (ecuación 4.23). Para el diseño del *LNA* presentado en la sección anterior se estima una impedancia de salida en la frecuencia central de operación  $f = 2,45 \text{ GHz}$ , sin tener en cuenta  $C_d$ , de aproximadamente  $Z_{out1}(w) = 21,2 + j93,3$  y una impedancia de salida aproximada de  $Z_{out1}(2w) = 418 + j277$  para 2 veces la frecuencia central de operación, donde  $w$  es igual a  $2\pi f$ .

4. *Seleccionar un capacitor de acople adecuado entre la salida del LNA y la entrada del mezclador de señal.*

El drenado del transistor  $M_2$  en condiciones de polarización está conectado a un valor próximo a la fuente de alimentación, a través del inductor  $L_d$ , por tanto, no es conveniente conectar directamente la salida del LNA a la entrada del mezclador de señal, ya que no sería posible obtener una polarización adecuada de la etapa de transconductancia y el par conmutado del mezclador de señal.

Por esta razón, es necesario implementar un capacitor  $C_2$  entre la salida del LNA y la entrada del mezclador de señal que permita desacoplar los dos bloques en condiciones de polarización. La selección de este capacitor debe ser tal que su impedancia equivalente en la frecuencia de operación sea menor que la impedancia de entrada del mixer, para que no se produzcan pérdidas significativas de ganancia.

De acuerdo a lo dicho anteriormente, se puede llegar a pensar que aumentar el valor de la capacitancia  $C_2$  es lo más conveniente; sin embargo, existe un límite superior para  $C_2$  determinado por la capacitancia parásita entre una de sus placas y el sustrato, ya que esta afecta directamente las condiciones de resonancia en la salida del LNA.

Teniendo en cuenta estas consideraciones se seleccionó una capacitancia de  $1\text{ pF}$  para  $C_2$ , la cual introduce una capacitancia parásita de aproximadamente  $150\text{ fF}$  entre una de sus placas y el sustrato, para el proceso de fabricación utilizado.

5. *Seleccionar  $W_3$  y la tensión de polarización  $V_{pol2}$  de la etapa de transconductancia del mezclador de señal, en función de ganancia, desempeño con respecto a ruido y linealidad.*

Como se mencionó en la sección anterior, la impedancia de entrada del mezclador de señal actúa como carga del LNA y por consiguiente afecta la selección de los elementos  $L_d$  y  $C_d$  para obtener un comportamiento de banda estrecha en la salida del LNA.

Por este motivo, es necesario obtener una estimación de la impedancia de entrada del mezclador de señal con respecto a las variables de diseño que afecten de forma más significativa esta especificación. De acuerdo a lo expuesto en el capítulo 3, la impedancia de entrada de la etapa de transconductancia depende del voltaje de polarización aplicado entre compuerta y fuente del transistor  $M_3$ , de las dimensiones de este transistor y de la inductancia de degeneración  $L_{sm}$ .

La tensión de polarización  $V_{pol2}$  de  $M_3$  se seleccionó igual al punto de polarización  $V_{pol1}$  de la etapa de transconductancia del LNA, con el propósito de reducir los puntos de polarización necesarios ( $V_{pol2} = V_{pol1} \approx 0,73\text{ V}$ ). Lo anterior, en un sistema completamente integrado representa una reducción en el número de fuentes de polarización requeridas,

lo cual disminuye costos y tiempo requerido en la fase de diseño..

El inductor de degeneración  $L_{sm}$  se seleccionó de tal forma que el desempeño con respecto a linealidad del mezclador de señal fuera el adecuado, a mayor inductancia  $L_{sm}$  se mejora linealidad (ecuaciones (4.31)-(4.32)), pero se reduce ganancia de la etapa de transconductancia del mixer (ecuación (3.11)).

Realizando un compromiso entre estas especificaciones y teniendo en cuenta que las resistencias parásitas asociadas con el inductor  $L_{sm}$  no degradarán significativamente el desempeño con respecto a ruido del sistema completo ( $LNA$  y mezclador de señal), se seleccionó  $L_{sm} \approx 2,6 \text{ nH}$ .

Habiendo seleccionado la tensión de polarización de la etapa de transconductancia y el valor de la inductancia  $L_{sm}$ , se utilizó el valor de  $W_3$  como variable de diseño para obtener un acople adecuado entre el  $LNA$  y el mezclador de señal, con el fin de obtener máxima ganancia en la salida de la etapa de transconductancia, bajo las condiciones de polarización y degeneración establecidas.

Al aumentar el ancho del transistor  $M_3$  se disminuye la impedancia de entrada equivalente del mezclador de señal, y por consiguiente se reduce la ganancia del  $LNA$ , dado que la impedancia equivalente conectada en el drenó del dispositivo cascode se reduce. De otro lado, al aumentar el ancho  $W_3$  se disminuye la impedancia de la capacitancia entre compuerta y fuente  $C_{gs3}$  de  $M_3$ , y por tanto, se incrementa la ganancia de la etapa de transconductancia (ecuación (3.11)). En consecuencia existe un valor de  $W_3$  para el cual se obtiene máxima ganancia en la salida del sistema en cascada del  $LNA$  y la etapa de transconductancia del mezclador de señal.

Con el propósito de acotar el campo de diseño del mezclador de señal con respecto a  $W_3$  se realizó una estimación de la impedancia de entrada de la etapa de transconductancia por medio de simulación teniendo en cuenta la capacitancia de acople  $C_2$  y la resistencia de polarización  $R_B$ , para  $L_{sm} = 2,6 \text{ nH}$ ,  $V_{pol2} = 0,73 \text{ V}$  y diferentes valores de  $W_3$ . El valor de  $R_B$  se ajustó a  $12 \text{ k}\Omega$  dado que este valor no degrada significativamente el desempeño de ruido y la impedancia de salida del  $LNA$ .

Con los valores extraídos de la impedancia de entrada del mezclador de señal y la estimación realizada inicialmente de la impedancia de salida del  $LNA$  (sin tener en cuenta  $C_d$ ), se calcula el valor de  $C_d$  para cada uno de los diferentes valores de  $W_3$  con el fin de obtener condiciones de resonancia en la salida del  $LNA$  para la frecuencia central de operación; este valor de  $C_d$  debe ser tal que su admitancia cancele la suma de las componentes reactivas de la admitancia de entrada del mezclador de señal y la admitancia de salida del  $LNA$ .

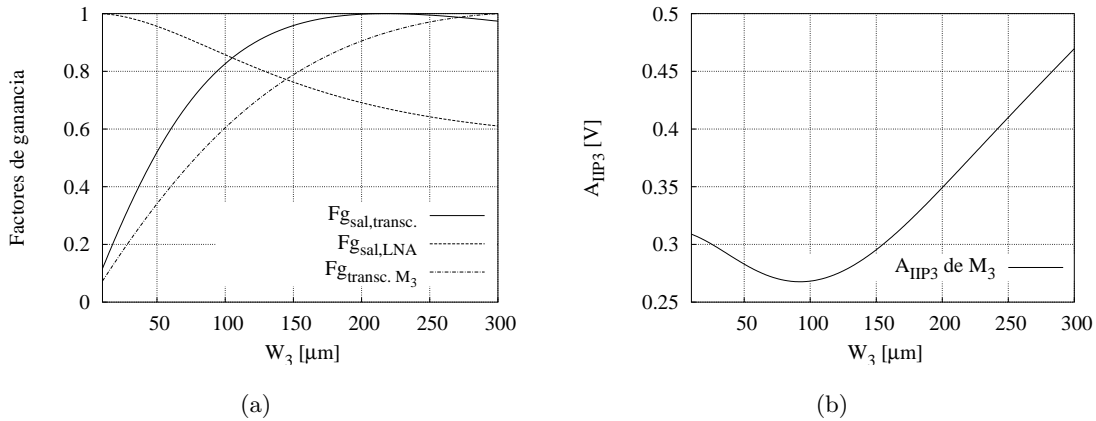


Figura 5.8: (a) Factores de ganancia normalizados; (b) Estimación teórica del punto de intermodulación referido a la entrada de la etapa de transconductancia del mezclador de señal.

De igual forma, para cada valor de  $W_3$  y  $C_d$  se estimaron factores de ganancia normalizados en la salida de la etapa de transconductancia del mezclador de señal ( $F_{g_{sal,transc.}}$ ), en la salida del LNA ( $F_{g_{sal,LNA}}$ ), y la ganancia normalizada de la etapa de transconductancia del mezclador de señal ( $F_{g_{transc.M_3}}$ ). Como se observa en la figura 5.8(a), para valores de  $W_3$  entre  $210 \mu m$  y  $230 \mu m$  se presenta máxima ganancia en la salida de la etapa de transconductancia del mezclador de señal. Adicionalmente, es de esperar que el desempeño de ruido del sistema completo también mejore, ya que la relación señal a ruido en la salida de la etapa de transconductancia se incrementa.

No obstante, antes de hacer una selección de  $W_3$  es necesario evaluar el desempeño con respecto a linealidad de la etapa de transconductancia. Utilizando las ecuaciones (4.4) y (4.31)-(4.32) para estimar la intermodulación de tercer orden, y modelando la corriente de drenaje de  $M_3$  por medio de (B.1)-(B.2), se observó que el punto de intermodulación referido a la entrada de la etapa de transconductancia, para las condiciones establecidas ( $V_{pol2} = 0,73 V$ ,  $L_{sm} = 2,6 nH$ ) y  $W_3 > 100 \mu m$ , mejora con el aumento del ancho del transistor  $M_3$  como se muestra en la figura 5.8(b).

Teniendo en cuenta lo mencionado anteriormente, se seleccionó  $W_3 = 220 \mu m$  dado que esto representa un mejor desempeño con respecto a ganancia y ruido, y un desempeño aceptable con respecto a linealidad. Para los valores de  $C_2$ ,  $V_{pol2}$ ,  $L_{sm}$  y  $W_3$  seleccionados corresponde un valor de  $C_d = 430 fF$ , para obtener condiciones de resonancia en la salida del LNA.

6. *Seleccionar la tensión del oscilador local y la tensión de modo común  $V_{LO,c}$  en la puerta de los transistores del par conmutado.*

Habiendo establecido el ancho de  $M_3$  y el voltaje de polarización de la etapa de transconductancia  $V_{pol2}$ , lo que resta es seleccionar las características del oscilador local, las dimensiones de los transistores del par conmutado y la carga de salida del mezclador de señal.

Al igual que en el caso del dispositivo cascodo del *LNA*, el punto de polarización  $V_{LOc}$  y el ancho de los transistores del par conmutado establecen un límite máximo de excursión en la entrada y la salida del mezclador de señal. Adicionalmente, la ganancia y linealidad mejoran cuando la tensión de polarización del par conmutado es relativamente baja; esto sucede debido a que conforme el voltaje entre drenos y fuente de los transistores del par conmutado se incrementa, la resistencia de salida también aumenta [3]. Un voltaje DC de 1,5 V fue seleccionado para polarizar las compuertas de los transistores  $M_4$  y  $M_5$ , dado que este valor establece un rango de excursión adecuado en el drenos de  $M_3$  y la salida del mezclador para diferentes dimensiones de los transistores del par conmutado.

De otro lado, como se mencionó en la sección 3.3.3 y 3.4.3, el desempeño con respecto a ruido térmico y ruido *flicker* del par conmutado mejora con el aumento de la amplitud del oscilador local. Sin embargo, de acuerdo a los resultados mostrados en [3] se observa que contrario al caso de baja frecuencia donde la intermodulación mejora monótonamente con el incremento de la tensión del oscilador local, en altas frecuencia existe un valor óptimo de amplitud después del cual la intermodulación se incrementa.

No obstante, es necesario estimar si el desempeño de ruido del mezclador de señal para dicha amplitud del oscilador local, cumple con las especificaciones inicialmente planteadas. Adicionalmente, es necesario tener en cuenta el estado del arte en cuanto a las tensiones de oscilador local que se pueden obtener en la tecnología de fabricación utilizada y la banda de frecuencias de interés. Teniendo en cuenta el estado del arte, se seleccionó una tensión diferencial del oscilador local de  $1 V_p$ , dado que representa un requerimiento que puede ser alcanzado para el oscilador local en la tecnología  $0,35 \mu m$  CMOS.

### 7. Selección del ancho de los transistores del par conmutado.

La selección del ancho de los transistores del par conmutado debe ser tal que se obtenga un rango de excursión aceptable en el drenos de la etapa de transconductancia y en la salida del mezclador, desempeño de ruido aceptable y desempeño de linealidad adecuado.

Para estimar el comportamiento con respecto a linealidad del par conmutado se tuvieron en cuenta los resultados encontrados en [3]. Estos resultados muestran que existe un rango para las dimensiones del par conmutado que mejoran la linealidad del mezclador

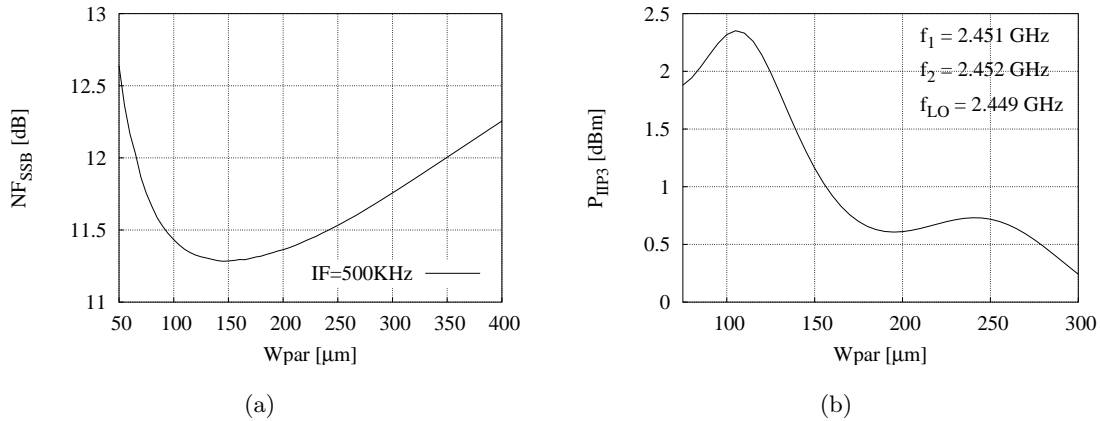


Figura 5.9: (a) Estimación teórica del factor de ruido de la etapa de transconductancia; (b) Estimación teórica del factor de ruido del dispositivo cascode  $M_2$ .

de señal, para una corriente de drenado determinada de  $M_3$  y un rango de tensiones del oscilador local.

Con el fin de encontrar un compromiso de diseño entre ruido y linealidad con respecto al ancho de los transistores del par conmutado, se realizaron simulaciones<sup>6</sup> para diferentes valores de  $W_4 = W_5 = W_{par}$ . En las figuras 5.9(a) y 5.9(b) se muestran los resultados obtenidos para la figura de ruido y  $P_{IIP3}$  del mezclador de señal, respectivamente; la figura de ruido se midió en la banda de frecuencias de interés a la salida del mezclador de señal ( $500\text{ kHz} - 1,5\text{ MHz}$ ) y la prueba de intermodulación se realizó para una señal  $RF$  de entrada conformada por dos tonos ubicados en frecuencias de canales adyacentes ( $f_1 = 2,451\text{ GHz}$  y  $f_2 = 2,452\text{ GHz}$ ) y una frecuencia de oscilador local igual a  $2,449\text{ GHz}$ .

De acuerdo a estos resultados para valores de  $W_{par}$  entre  $100\ \mu\text{m}$  y  $120\ \mu\text{m}$  se obtiene un mejor desempeño con respecto a ruido y linealidad, por consiguiente se seleccionó  $W_4 = W_5 = W_{par} = 110\ \mu\text{m}$ .

#### 8. Selección de la carga de salida del mezclador de señal.

Como se mencionó en la sección 5.3 en arquitecturas de conversión directa o frecuencia intermedia baja es conveniente utilizar resistores de polisilicio como carga del mezclador de señal, ya que estos elementos son libres de ruido *flicker*. Por tanto, el mezclador de señal presentado en este trabajo utiliza elementos resistivos como carga, no obstante, estos presentan una caída de tensión que puede llegar a causar que los transistores del

<sup>6</sup>Las simulaciones fueron realizadas utilizando los modelos suministrados por *AMS* para los transistores MOS.

par conmutado pasen de la región de saturación a la región de triodo; por consiguiente, se debe garantizar que en el peor de los casos los transistores del par conmutado se encuentren en saturación. El peor de los casos para cada uno de los transistores del par conmutado se presenta cuando uno de estos está en la región de corte; bajo estas consideraciones la tensión de dreno de los transistores  $M_4$  y  $M_5$  deben cumplir la siguiente relación:

$$V_D \geq V_{LO,c} + \frac{A_{LO}}{2} - V_t \quad (5.14)$$

Adicionalmente, cuando uno de los transistores del par conmutado está en la región de corte, la corriente de dreno  $I_{DS3}$  de  $M_3$  fluye a través de  $M_4$  o  $M_5$ , por tanto, el peor caso para la tensión en los drenos de  $M_4$  y  $M_5$  está dado por:

$$V_{DS5,min} = V_{DS4,min} = V_{DD} - I_{DS3,max}R \quad (5.15)$$

donde  $R$  es la resistencia conectada entre el dreno de los transistores del par conmutado y la fuente de alimentación.

Substituyendo (5.15) en (5.14) se obtiene una expresión que relaciona la tensión de alimentación  $V_{dd}$ , la tensión de modo común  $V_{LO,c}$  aplicada en las compuertas de los transistores del par conmutado, la corriente  $I_{DS3}$  suministrada por la etapa de transconductancia, la amplitud del oscilador local  $A_{LO}$ , el voltaje de umbral de los transistores del par conmutado cuando uno de ellos se encuentra en corte, y la resistencia de  $R$ , como sigue:

$$(V_{dd} - I_{DS3}R) \geq V_{LO,c} + \frac{A_{LO}}{2} - V_t \quad (5.16)$$

Para las condiciones de operación establecidas en los numerales anteriores,

$$V_{pol2} = V_{pol} = 0,73V \quad V_{LO,c} = 1,5V \quad A_{LO} = 1V_p \quad W_3 = 220\mu m \text{ y } W_{par} = 110\mu m$$

la corriente de dreno  $I_{DS3}$  de  $M_3$  es aproximadamente  $1,72mA$ , y por tanto, de la ecuación (5.16) se deduce que para obtener un rango de excursión a la salida de aproximadamente  $1V$ , la resistencia  $R$  debe satisfacer la siguiente relación:

$$R \leq \frac{V_{dd} - V_{LO,c} - \frac{A_{LO}}{2} + V_t - 1V}{I_{DS3}}$$

$$R \leq 640\Omega \text{ para } V_t = 0,8V$$

Con base en este resultado se seleccionó  $R = 600\Omega$  como carga de salida del mezclador de señal. De igual forma, se adiciona un capacitor de salida de  $7 pF$  con el fin de que la carga de salida del mezclador de señal actue como un filtro pasabajos a la salida, logrando de esta manera rechazar algunas señales no deseadas que pueden llegar a saturar los bloques posteriores al mezclador de señal.

Tabla 5.6: Valores y dimensiones seleccionados para el mezclador de señal.

Parámetros	$V_{pol2}$	$W_3$	$W_4 = W_5$	$L_{sm}$	$V_{LO,c}$	$A_{LO}$	$R$	$C_4 = C_5$
Valor	0.73 V	220 $\mu m$	110 $\mu m$	2,6 nH	1,5V	1 $V_p$	600 $\Omega$	7 pF

Finalmente, en la tabla 5.6 se muestran los valores y dimensiones de los dispositivos del mezclador de señal obtenidos aplicando la estrategia de diseño antes propuesta. Adicionalmente, se seleccionaron resistencias de 200 $\Omega$  para  $R_C$  y capacitores de acople de 1pF para  $C_3$  y  $C_4$ .

En conclusión en este capítulo se presentaron las estrategias utilizadas para el diseño del LNA y el mezclador de señal. Con base en estas estrategias se obtuvo un diseño preliminar para el amplificador de bajo ruido y el mezclador de señal CMOS.



## Capítulo 6

# Resultados y Conclusiones

Este capítulo presenta inicialmente los resultados de simulación del *LNA* y el mezclador de señal diseñados en el capítulo anterior, sin tener en cuenta las capacitancias parásitas asociadas con la realización del *layout*. En seguida, se presentan de forma muy general algunas consideraciones a tener en cuenta en la realización del *layout* en aras de obtener un mejor desempeño del sistema diseñado. Adicionalmente, se muestran y discuten algunos resultados del sistema diseñado teniendo en cuenta los elementos parásitos asociados con los diferentes dispositivos y la interconexión entre estos. Todas las simulaciones son realizadas en el software *ELDO-RF* de *MentorGraphics* utilizando los modelos suministrados por *AMS* para los transistores *MOS*.

Con base en estos resultados de simulación se extraen las especificaciones más relevantes del sistema completamente integrado del amplificador de bajo ruido y el mezclador de señal diseñados. Finalmente, se condensan las experiencias, resultados obtenidos, conocimientos adquiridos y recopilados, en forma de observaciones, conclusiones y recomendaciones para trabajos futuros.

### 6.1. Especificaciones de desempeño *pre-layout*

Las especificaciones de desempeño *pre-layout* presentadas en esta sección, se extraen con base en resultados de simulación, utilizando los modelos suministrados por *AMS* para el transistor *NMOS*. En esta sección se utiliza el modelo obtenido de *ASITIC* para el inductor  $L_d$  y, no se tienen en cuenta las capacitancias parásitas asociadas con los diferentes dispositivos y la interconexión entre estos; no obstante, se presenta una comparación entre el desempeño obtenido con los inductores  $L_g$  y  $L_s$  ideales e inductores modelados con *ASITIC*, con el fin de establecer el impacto que estos tienen sobre algunas de las especificaciones de desempeño.

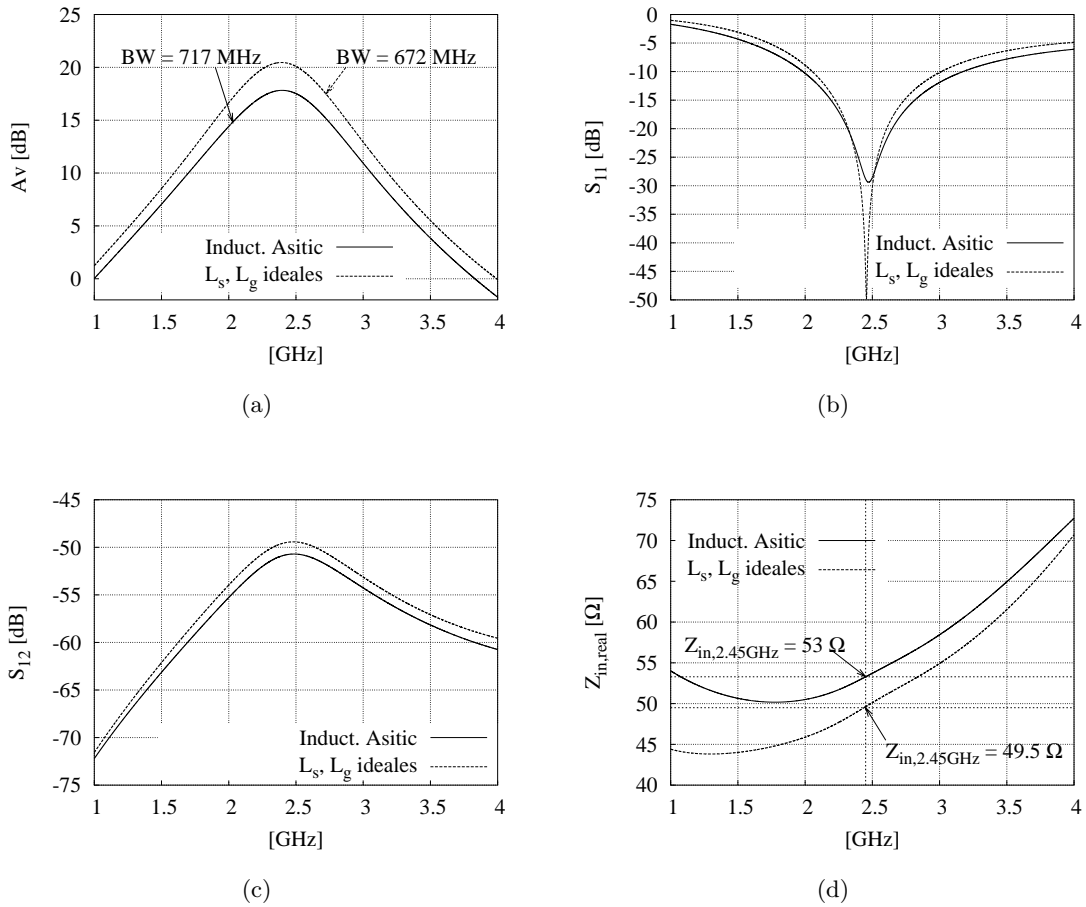


Figura 6.1: Resultados de simulación pre-*layout* del *LNA*: (a) ganancia de voltaje; (b) coeficiente de reflexión en la entrada; (c) aislamiento reverso; (d) parte real de la impedancia de entrada.

### 6.1.1. Amplificador de bajo ruido

#### ♣ Ganancia de voltaje y algunos parámetros de dispersión (parámetros S)

La figura 6.1 presenta los resultados de simulación de la ganancia de voltaje, y algunos parámetros S del *LNA*. La ganancia de voltaje mostrada en la figura 6.1(a), con  $L_s$  y  $L_g$  ideales, indica un valor máximo de 20,5 dB en 2,45 GHz, con un ancho de banda de 672 MHz; el ancho de banda es principalmente limitado por el factor de calidad del inductor  $L_d$  utilizado en la salida del *LNA*. Adicionalmente, cuando se tienen en cuenta los inductores  $L_s$  y  $L_g$  modelados con *ASITIC*, se presenta una reducción en la ganancia de voltaje y un aumento en el ancho de banda debido a las resistencias y capacitancias parásitas asociadas con los inductores. La figura 6.1(b) muestra que el coeficiente de reflexión a la entrada ( $S_{11}$ ) es menor que  $-10$  dB en la banda de

interés ( $2,4 - 2,48 \text{ GHz}$ ), cuando los inductores  $L_s$  y  $L_g$  son modelados idealmente y modelados con *ASITIC*; sin embargo, en el último caso se presenta un incremento de  $S_{11}$ . El incremento de  $S_{11}$  se debe a que los elementos parásitos asociados con los inductores  $L_s$  y  $L_g$ , ocasionan un desajuste en la impedancia de entrada del *LNA*. No obstante, el mínimo valor de  $S_{11}$  se encuentra dentro de la banda de interés. El valor de  $S_{11}$  obtenido indica una buena transmisión de la señal suministrada por la fuente a la entrada del *LNA*, para una impedancia de  $50 \Omega$ .

El coeficiente de aislamiento reverso  $S_{12}$  ilustrado en la figura 6.1(c), indica un buen aislamiento entre el puerto de entrada y salida en toda la banda de frecuencias de  $2,4 - 2,48 \text{ GHz}$ , con un valor máximo de  $-49,5 \text{ dB}$  cuando los inductores  $L_s$  y  $L_g$  son modelados idealmente, y  $-51 \text{ dB}$  para  $L_s$  y  $L_g$  modelados con *ASITIC*, estos valores ocurren cuando la ganancia de voltaje presenta un máximo valor.

Por último, con el parámetro  $S_{11}$  encontrado es posible obtener la impedancia de entrada del *LNA*. En la figura 6.1(d) se presenta la parte real de la impedancia de entrada, con lo cual se verifica que un valor aproximado de  $50 \Omega$  es obtenido en la banda de interés. Cuando se utiliza el modelo para  $L_s$  y  $L_g$  obtenido de *ASITIC*, se presenta un incremento en la parte real de la impedancia de entrada debido a los elementos parásitos asociados con los inductores, principalmente por el efecto de las resistencias en serie asociadas con  $L_s$  y  $L_g$ .

### ♣ Figura de ruido

El desempeño simulado de la figura de ruido del *LNA* para  $L_s$  y  $L_g$  ideales,  $L_g$  ideal y todos los inductores modelados con *ASITIC* se muestra en la figura 6.2. El mínimo valor de la figura de ruido, para los tres casos, se presenta en una banda cercana a la banda de interés, lo cual muestra la validez de la estrategia de diseño empleada; el desplazamiento en la banda de frecuencias para el cual se obtiene el mínimo en la figura de ruido, se debe principalmente al modelo aproximado utilizado en el análisis. Sin embargo, es evidente que la resistencia en serie asociada con el inductor  $L_g$ , degrada significativamente la figura de ruido del *LNA*, dado que su contribución de ruido se adiciona directamente al factor de ruido; esto se debe a que el factor de calidad para el inductor  $L_g$  seleccionado es típicamente bajo en la tecnología de fabricación utilizada<sup>1</sup>.

Para frecuencias mayores que la banda de interés se presenta un aumento significativo de la figura de ruido, debido a que como se demostró en el capítulo 3 el desempeño con respecto a ruido se degrada con el aumento de la relación  $w/w_{T1}$ . Adicionalmente, el

<sup>1</sup>Por esta razón, en algunos trabajos publicados el inductor  $L_g$  es implementado con elementos discretos externos, los cuales pueden llegar a presentar mejores factores de calidad.

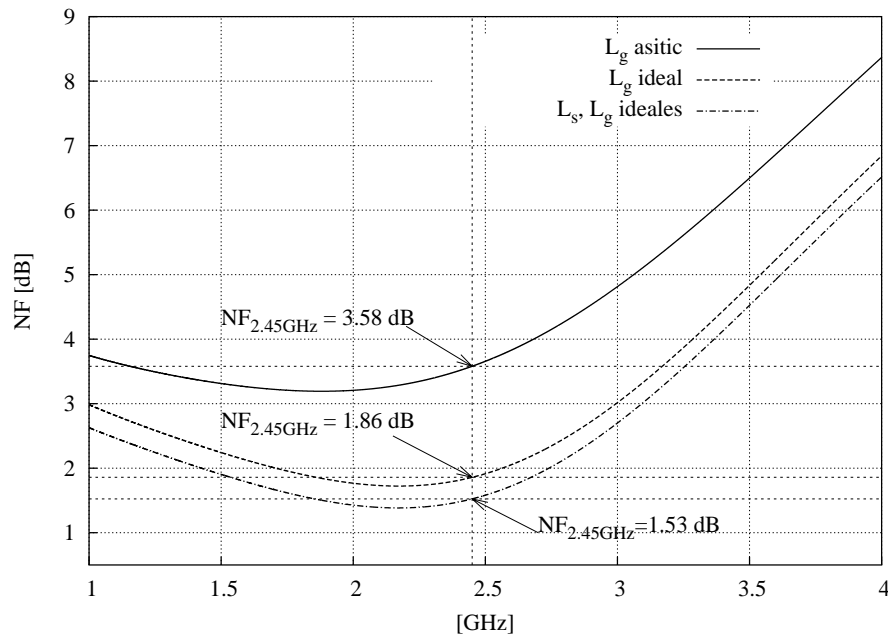


Figura 6.2: Figura de ruido del *LNA*, resultados pre-*layout*.

sistema fue diseñado para obtener mínima figura de ruido en la banda de interés y no fuera de esta.

En resumen, cuando no se tiene en cuenta la resistencia parásita asociada con  $L_g$  se obtiene una figura de ruido de 1,85 *dB* en 2,45 *GHz*, el cual es un valor comparable con el estado del arte de *LNAs*; sin embargo, cuando se tiene en cuenta el modelo de  $L_g$  obtenido de *ASITIC*, la figura de ruido se incrementa a 3,58 *dB* en la frecuencia central de interés. No obstante, en las dos situaciones se cumple con el requerimiento de figura de ruido establecido inicialmente (tabla 5.3).

### ♣ Desempeño de linealidad

Para las simulaciones de desempeño de linealidad y obtención del punto de intersección de tercer orden referido a la entrada  $P_{IIP3}$ , fue empleada la técnica clásica de prueba de dos tonos en la señal de entrada. Esta técnica típicamente usa dos tonos de entrada con frecuencias dentro de la banda de interés, tal que sus respectivos productos de intermodulación  $IM3(2f_1 - f_2$  o  $2f_2 - f_1)$  se encuentren en la frecuencia de señal deseada.

Por tanto, fueron usadas dos señales de canales adyacentes con frecuencias de  $f_1 = 2,451$  *GHz* y  $f_2 = 2,452$  *GHz* como tonos de prueba, para los cuales los productos de intermodulación de tercer orden resultantes son :  $2f_1 - f_2 = 2,45$  *GHz* y  $2f_2 - f_1 = 2,453$  *GHz*. En este caso los dos productos de intermodulación son de interés, dado que se encuentran dentro de la banda de señal deseada.

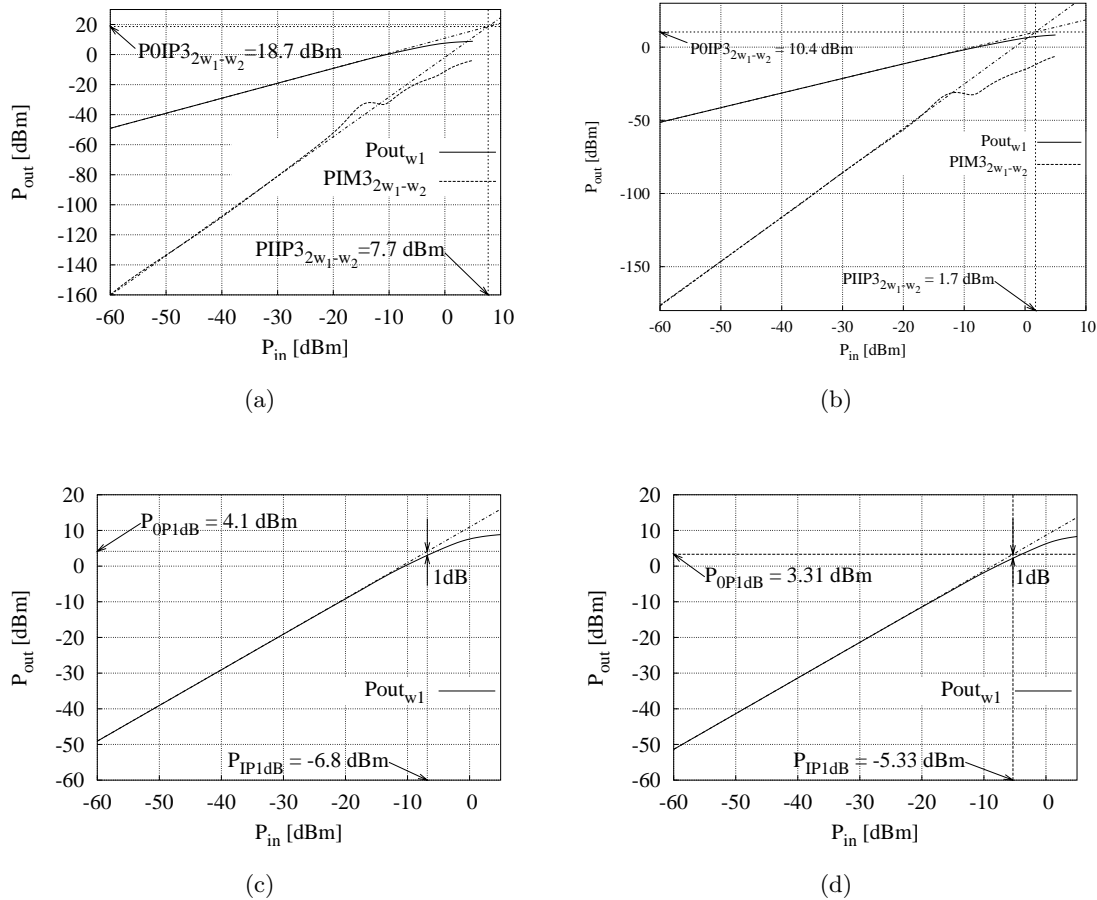


Figura 6.3: (a)  $P_{IIP3}$  con  $L_s$  y  $L_g$  ideales; (b)  $P_{IIP3}$  con  $L_s$  y  $L_g$  modelados en *ASITIC*; (c) Punto de compresión de un decibelio con  $L_s$  y  $L_g$  ideales; (d) Punto de compresión de un decibelio con  $L_s$  y  $L_g$  modelados en *ASITIC*.

La figura 6.3(a) y 6.3(b) presenta el resultado del producto de intermodulación  $2f_1 - f_2$  con sus respectivos puntos de intersección referidos en la potencia de entrada  $P_{IIP3}$  y potencia de salida  $P_{OIP3}$ , para inductores  $L_s$  y  $L_g$  ideales y, cuando  $L_s$  y  $L_g$  son modelados con *ASITIC*, respectivamente. Estos resultados de simulación fueron tomados para una resistencia de carga de  $430 \Omega$ , dado que este es el valor estimado de la resistencia de salida del *LNA*. El valor calculado de  $P_{IIP3}$  es  $7,7 \text{ dBm}$  para  $L_s$  y  $L_g$  ideales, y  $1,7 \text{ dBm}$  cuando los inductores son modelados con *ASITIC*.

Adicionalmente, en las figuras 6.3(c) y 6.3(d) se muestra el punto de compresión de un decibelio ( $P_{IP1dB}$ ). Los valores calculados son  $P_{IP1dB} = -6,8 \text{ dBm}$  para  $L_s$  y  $L_g$  ideales, y  $P_{IP1dB} = -5,33 \text{ dBm}$  cuando se tienen en cuenta los elementos parásitos de  $L_s$  y  $L_g$ .

Las simulaciones fueron hechas usando *ELDO-RF* con truncamiento de 5 armónicos de

la serie de Fourier, es decir, el máximo armónico de intermodulación para cada tono de entrada sera 5. Es evidente que existe una discrepancia con la predicción realizada en el capítulo 5, no obstante, los resultados obtenidos teóricamente son una estimación adecuada para acotar el campo de diseño. Esta discrepancia se debe al modelo aproximado utilizado para el transistor *MOS*, y a que no se tuvo en cuenta en la fase de diseño las no linealidades mayores de tercer orden.

De otro lado, cuando se tienen en cuenta los elementos parásitos asociados con  $L_s$  y  $L_g$  se presenta una reducción en  $P_{IIP3}$ , dado que las condiciones de operación del circuito cambian debido a las resistencias asociadas con los inductores.

A continuación se muestran los resultados de simulación *pre-layout* para el mezclador de señal CMOS diseñado.

### 6.1.2. Mezclador de señal

#### ♣ Ganancia de voltaje

En la figura 6.4(a) se muestra la ganancia de voltaje diferencial del mezclador de señal para una frecuencia de oscilador local ( $f_{LO}$ ) de 2,449 *GHz* y diferentes frecuencias intermedias de salida ( $IF$ ). Se obtiene un valor máximo de 11,5 *dB* en la banda de salida de interés (500 *kHz* – 1,5 *MHz*) y se presenta un decremento en la ganancia a medida que se aumenta la frecuencia intermedia de salida; esto se debe al filtro pasabajos implementado como carga del mezclador de señal. No obstante, es evidente la necesidad de utilizar un filtro después del mezclador de señal con el fin de seleccionar el canal deseado (500 *kHz* – 1,5 *MHz*) y rechazar las señales fuera de esta banda, las cuales pueden actuar como interferencias en el momento de procesar la información deseada.

#### ♣ Figura de ruido

Como se mencionó en la sección 2.3.3 la función de mezclado es inherentemente ruidosa, debido a que mientras el mezclador transfiere señal sólo desde la banda deseada de entrada a la salida, este transfiere ruido a la salida desde múltiples bandas de frecuencia. Por tanto, la medida obtenida para la figura de ruido puede variar dependiendo del número de armónicos que se tomen en cuenta tanto para el oscilador local como para la señal de entrada.

Para evaluar el desempeño de ruido del mezclador de señal mediante simulación es necesario utilizar un análisis de estado permanente (*SST*), el cual determina el contenido

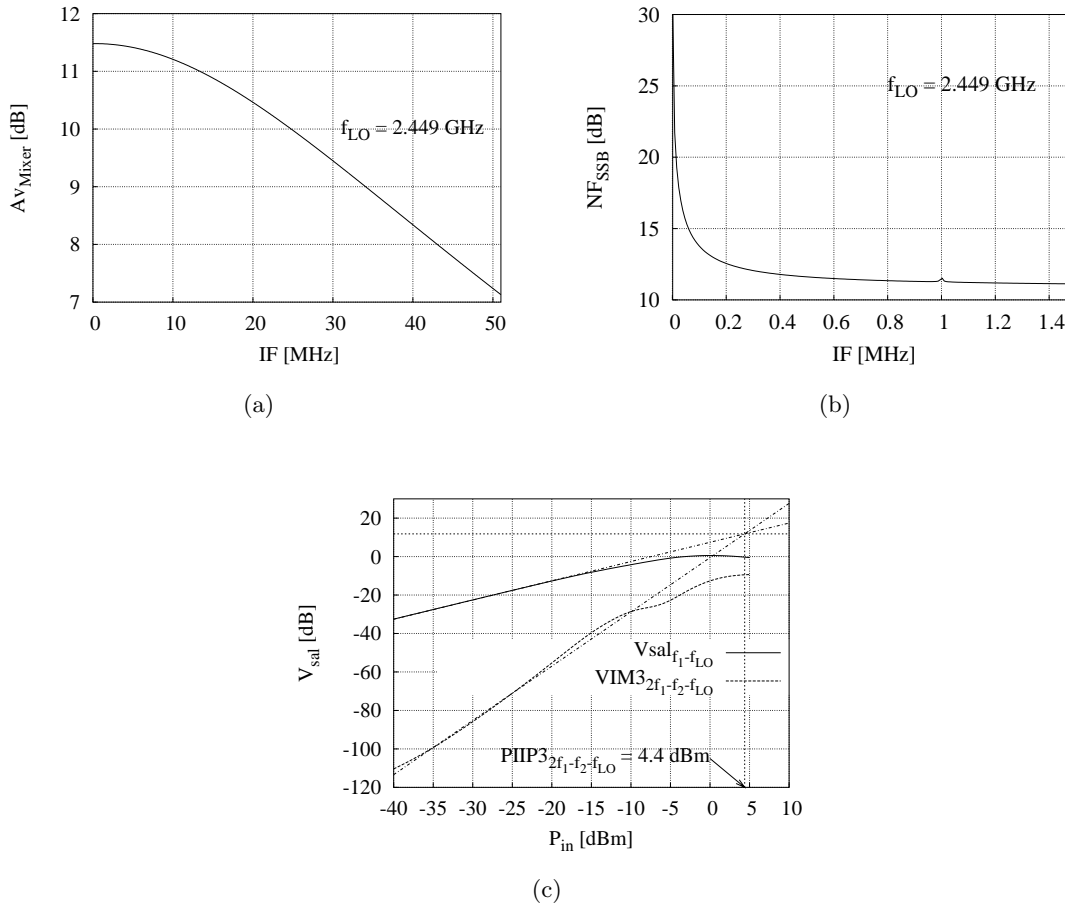


Figura 6.4: Resultados *pre-layout* del mezclador de señal: (a) ganancia de voltaje; (b) figura de ruido *SSB*; (c)  $P_{IIP3}$  para  $f_{LO} = 2,449 GHz$ ,  $f_1 = 2,451 GHz$  y  $f_2 = 2,452 GHz$ .

espectral y formas de onda de todos los nodos del circuito, excitados con señales periódicas o cuasiperiódicas (multi-tonos). Este análisis debe ser acompañado de un análisis de ruido de estado permanente (*SSTNOISE*), el cual linealiza el circuito alrededor de su punto de operación variante en el tiempo y cuasi-periódico, y calcula el espectro de ruido en una salida especificada.

Para el análisis de ruido del mezclador de señal en cuestión, se utilizó una señal de oscilador local de frecuencia fundamental  $2,449 GHz$  y una frecuencia de entrada de  $2,45 GHz$  con truncamiento de 5 armónicos.

En la figura 6.4(b) se muestra los resultados de simulación obtenidos para la figura de ruido de banda lateral única ( $NF_{SSB}$ ) en diferentes frecuencias de salida. En la banda de interés ( $500 kHz - 1,5 MHz$ ) se obtiene una figura de ruido de  $11,6 dB$  en  $500 kHz$ . Como se evidencia en la figura 6.4(b) la figura de ruido del mezclador de

señal se incrementa al disminuir la frecuencia intermedia de salida, dado que a menor frecuencia se aumenta el aporte de ruido *flicker* de los transistores del par conmutado. Para frecuencias de salida menores que  $100\text{ kHz}$  se presenta un incremento significativo de la figura de ruido ( $NF_{SSB}$ ).

#### ♣ Desempeño de linealidad

Adicionalmente, en la figura 6.4(c) se muestra el voltaje de salida debido a la componente lineal ( $V_{sal_{f_1-f_{LO}}}$ ) y el voltaje de salida debido al producto de intermodulación de tercer orden ( $V_{IM3_{2f_1-f_2-f_{LO}}}$ ), para diferentes valores de potencia de entrada.

Para estimar el punto de intersección de tercer orden referido a la entrada  $P_{IIP3}$ , se utilizó una frecuencia de oscilador local ( $f_{LO}$ ) igual a  $2,449\text{ GHz}$ , y dos tonos de entrada con frecuencias  $f_1 = 2,451\text{ GHz}$  y  $f_2 = 2,452\text{ GHz}$ , con truncamiento de 5 armónicos. Para los resultados encontrados el valor calculado de  $P_{IIP3}$  es  $4,4\text{ dBm}$ ; adicionalmente se encuentra un punto de compresión de  $1\text{ dB}$  referido a la entrada de  $-12\text{ dBm}$ .

Como se ha hecho evidente el amplificador de bajo ruido y el mezclador de señal diseñados cumplen con las especificaciones planteadas para cada uno de estos bloques; no obstante, es necesario evaluar el desempeño del sistema completo (*LNA* y mezclador de señal) para establecer si cumple con las especificaciones mínimas del estándar *Bluetooth*.

### 6.1.3. *LNA* y mezclador de señal

A continuación se presentan los resultados de simulación obtenidos para el *LNA* y el mezclador de señal acoplados dentro de un mismo bloque funcional.

#### ♣ Ganancia de voltaje

Como se muestra en la figura 6.5(a) se obtiene un máximo valor de ganancia de  $27,18\text{ dB}$  en la banda deseada de salida ( $500\text{ kHz} - 1,5\text{ MHz}$ ), con un ancho de banda de  $38\text{ MHz}$  para el sistema diseñado. Nuevamente, se recomienda utilizar un filtro después del mezclador de señal para seleccionar el canal de información deseado ( $500\text{ kHz} - 1,5\text{ MHz}$ ) y rechazar las señales fuera de esta banda de frecuencias.

#### ♣ Figura de ruido

En la figura 6.5(b) se muestra la figura de ruido de banda lateral única ( $NF_{SSB}$ ) para diferentes frecuencias intermedias de salida ( $IF$ ). En la banda de frecuencias de  $500\text{ kHz} - 1,5\text{ MHz}$  se obtiene una figura de ruido máxima de  $6,7\text{ dB}$  para el sistema en cascada del *LNA* y el mezclador de señal, con una amplitud diferencial de  $1\text{ V}_p$  y

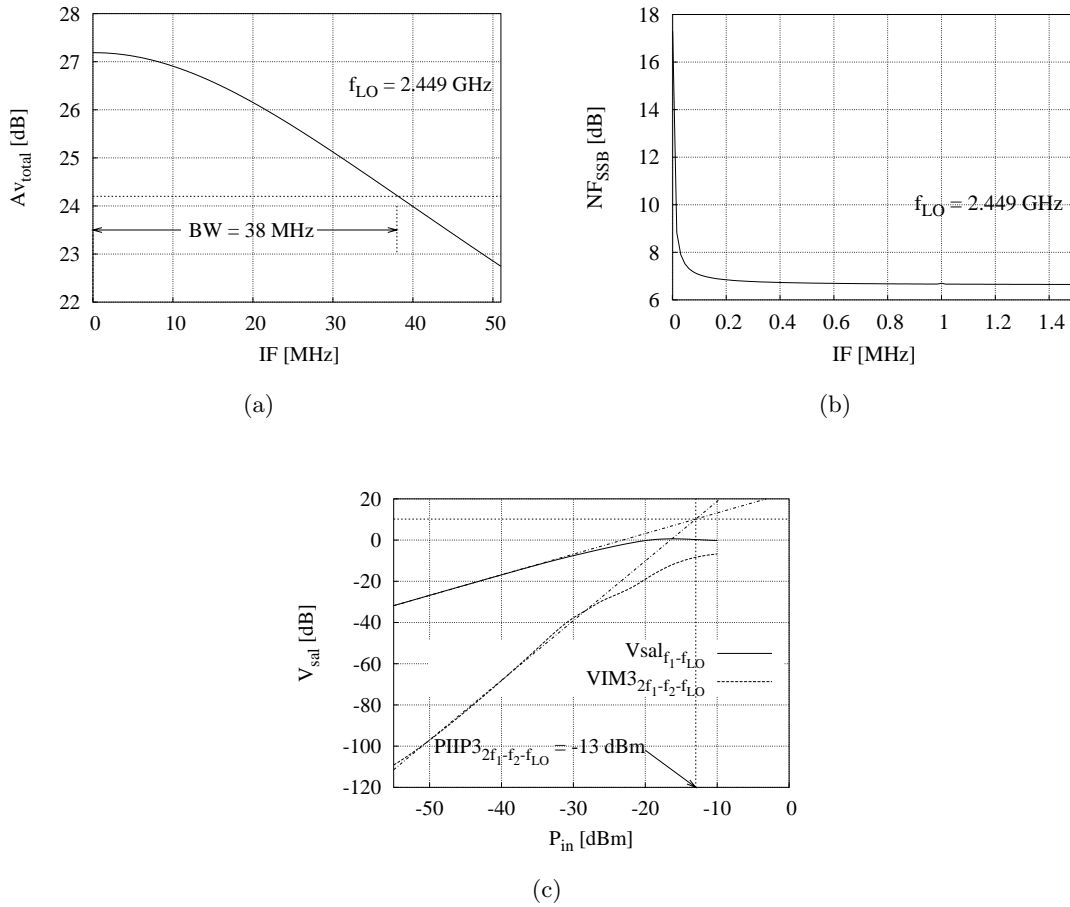


Figura 6.5: Resultados *pre-layout* del sistema en cascada *LNA* y mezclador de señal. (a) Ganancia de voltaje; (b) Figura de ruido *SSB*; (c)  $P_{IIP3}$  para  $f_{LO} = 2,449$  GHz,  $f_1 = 2,451$  GHz y  $f_2 = 2,452$  GHz.

frecuencia de 2,449 GHz para el oscilador local. El desempeño de ruido obtenido cumple con las especificaciones mínimas del estándar *Bluetooth*. Nuevamente, al disminuir la frecuencia de salida se deteriora el desempeño con respecto a ruido debido a que el ruido *flicker* asociado con el par conmutado ( $M_4$  y  $M_5$ ) se incrementa.

### ♣ Desempeño de linealidad

El desempeño de linealidad del sistema en cascada del *LNA* y el mezclador de señal fue evaluado bajo las mismas condiciones que para los bloques aislados del *LNA* y el mezclador. Como se observa en la figura 6.5(c) el punto de intersección de tercer orden referido a la entrada  $P_{IIP3}$  calculado es  $-13$  dBm, y el punto de compresión de 1 dB es  $-28$  dBm. Lo anterior indica que para niveles de potencia de entrada mayores que  $-28$  dBm se presenta una reducción en la ganancia de voltaje total del sistema.

### ♣ Sensibilidad

Con el desempeño de ruido calculado es posible obtener una estimación de la sensibilidad del sistema en cascada del amplificador de bajo ruido y el mezclador de señal antes de realizar el *layout*.

Como se muestra en el apéndice A la sensibilidad del sistema puede ser calculada por medio de:

$$\text{Sensibilidad} = P_{in,mín} = \text{Ruido de piso} + SNR_{mín} \quad (6.1)$$

donde  $SNR_{mín}$  es la relación señal a ruido mínima permitida por el estándar de comunicación y,

$$\text{Ruido de piso} = -174 \frac{dBm}{Hz} + NF + 10 \log(BW) \quad (6.2)$$

Por tanto, dado que para el estándar *Bluetooth*  $SNR_{mín} = 21 \text{ dB}$  y el ancho de banda de cada canal es  $1 \text{ MHz}$ , se obtiene:

$$\text{Ruido de piso} = -174 \frac{dBm}{Hz} + 6,7 + 10 \log(10^6) = -107,3 \text{ dBm} \quad (6.3)$$

y por consiguiente,

$$\text{Sensibilidad} = P_{in,mín} = -107,3 \text{ dBm} + 21 = -86,3 \text{ dBm} \quad (6.4)$$

El resultado anterior quiere decir que la potencia mínima de entrada para la cual se obtiene una relación señal a ruido de  $21 \text{ dB}$  es  $-86,3 \text{ dBm}$ . Este resultado esta por debajo del límite establecido para el estándar *Bluetooth*  $P_{in,mín} = -70 \text{ dBm}$ .

En resumen, teniendo en cuenta los resultados *pre-layout*, el amplificador de bajo ruido y el mezclador de señal *CMOS* diseñados, cumplen con los requerimientos mínimos del estándar *Bluetooth*  $2,45 \text{ GHz}$ .

## 6.2. Consideraciones en el diseño del *layout*

En altas frecuencias el diseño del *layout* puede llegar a influenciar considerablemente el desempeño del amplificador de bajo ruido y el mezclador de señal. Por esta razón, a continuación se resumen algunas de las consideraciones de diseño tenidas en cuenta en la realización del *layout*.

- ♣ La entrada del *LNA* se situó cerca de los *pads* con el fin de evitar largas pistas de metal de interconexión, las cuales pueden llegar a degradar el desempeño con respecto a ruido y causar un desajuste en la impedancia de entrada del *LNA*.

- ♣ Los inductores se ubicaron suficientemente separados para evitar acople magnético entre estos, y por consiguiente, evitar filtraciones tanto del puerto de salida del *LNA* como del puerto del oscilador local a la entrada del *LNA*.
- ♣ Los inductores fueron implementados utilizando la capa de metal superior disponible en el proceso de fabricación (Metal 4), con el propósito de obtener mejores factores de calidad.
- ♣ Los transistores del par conmutado fueron diseñados lo más cerca posible y en la misma orientación, con el propósito de disminuir el *mismatch* entre estos y evitar variaciones de la movilidad.
- ♣ Cada uno de los transistores fue dividido en múltiples secciones o dedos (transistores en paralelo), con un ancho para cada transistor en paralelo, de  $10\ \mu\text{m}$ . Esto reduce la resistencia y capacitancia parásita asociada con la compuerta, y conlleva un mejor desempeño con respecto a ruido. Adicionalmente, los transistores fueron rodeados por contactos conectados al sustrato para reducir el ruido inducido por la resistencia del sustrato y, reducir el acoplamiento de ruido por el sustrato.
- ♣ Todos los inductores fueron modelados con *ASITIC*, utilizando como criterio de optimización el factor de calidad de los mismos.
- ♣ Los capacitores de acople entre los diferentes puertos fueron implementados utilizando capacitores integrados entre las dos capas de polisilicio (*Poly1-Poly2*), disponibles para el proceso de fabricación utilizado.
- ♣ No es conveniente ubicar contactos sobre áreas activas de la compuerta de los transistores, dado que esto ocasiona variaciones del voltaje de umbral. Por este motivo, la compuerta de los transistores fue alargada para evitar el contacto sobre estas regiones.
- ♣ Para evitar caídas de voltaje en las líneas de tierra, se realizó una adecuada conexión al sustrato utilizando varios contactos y empleando líneas de conexión suficientemente anchas, para reducir la resistencia asociada con la conexión.
- ♣ Los *pads* de entrada del oscilador local y salida del mezclador de señal fueron ubicados simétricamente con el propósito de mejorar el desempeño del par conmutado y evitar variaciones en los puntos de operación de los transistores  $M_4$  y  $M_5$ .
- ♣ Fueron dispuestos varios *pads* de referencia ( $V_{ss}$ ) con el propósito de facilitar posteriores pruebas del circuito diseñado.

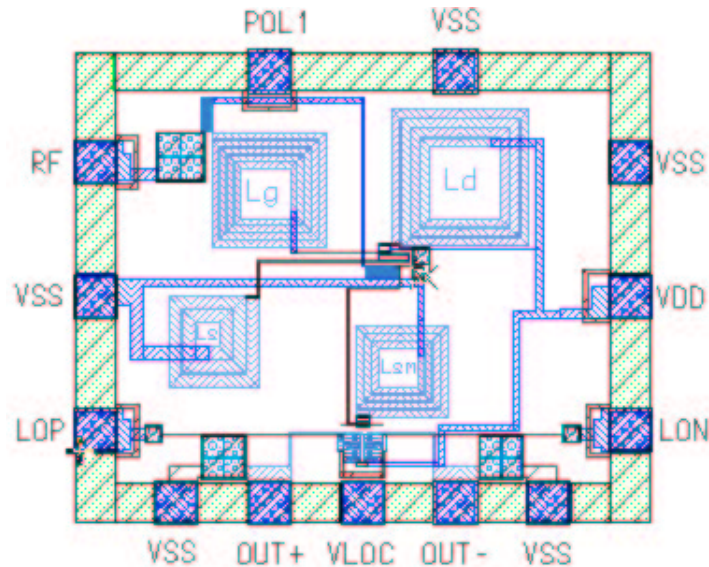


Figura 6.6: *Layout* del amplificador de bajo ruido y el mezclador de señal diseñados.

- ♣ Se ubicaron los puertos del oscilador local lo más alejado posible del puerto de entrada  $RF$ , con el propósito de evitar filtraciones del oscilador local hacia la entrada del  $LNA$ .
- ♣ Se evitó en cuanto fue posible acoples capacitivos entre el oscilador local, la salida y la entrada del  $LNA$ , con el fin de mejorar las características de aislamiento entre los diferentes puertos.
- ♣ El ancho de las pistas de metal fue seleccionado de acuerdo a la densidad de corriente soportada por el material de interconexión utilizado y, la corriente máxima que se espera que circule por cada trazo de metal.

Para finalizar esta sección se presenta en la figura 6.6 el *layout* correspondiente al amplificador de bajo ruido y el mezclador de señal diseñados e integrados dentro de un mismo chip. Se utilizaron 4 niveles de metal para realizar la interconexión entre los diferentes dispositivos; el *layout* realizado cumple con los reglas de diseño vigentes para el proceso de fabricación  $0,35\mu m$  CMOS  $C35B4C3$  de AMS. El área utilizada es aproximadamente  $1,1 mm^2$ , teniendo en cuenta los *pads*; cabe destacar, que aproximadamente el 50% del área es utilizada para implementar los inductores integrados.

### 6.3. Especificaciones de desempeño *post-layout*

Con el fin de establecer el impacto que tienen los elementos parásitos sobre el desempeño de cada uno de los bloques y el sistema completo, a continuación se discuten algunos resultados

obtenidos después de realizado el *layout*, teniendo en cuenta los elementos parásitos asociados con los dispositivos y la interconexión entre éstos.

### 6.3.1. Amplificador de bajo ruido

Como se mencionó en la sección 6.2 los capacitores de acople de AC fueron implementados entre las dos capas de polisilicio disponibles en el proceso de fabricación (*Poly1-Poly2*), y por tanto estos tienen asociada una capacitancia entre una de sus placas (*Poly1*) y el sustrato. Esta capacitancia en el proceso de fabricación utilizado es aproximadamente 1/7 parte del valor de la capacitancia de acople implementada.

En la entrada del amplificador de bajo ruido se utilizó un capacitor de 10 *pf* para acoplar la antena y el *LNA*, por tanto, una capacitancia parásita de aproximadamente  $C_{1par} = 1,5 \text{ pf}$  aparece entre el nodo de entrada y el sustrato. Esta capacitancia parásita en la banda de frecuencias de interés ocasiona una variación considerable de la impedancia de entrada del *LNA*, y por consiguiente, un aumento significativo en el coeficiente de reflexión  $S_{11}$  en la entrada del *LNA*.

#### ♣ Ganancia de voltaje, coeficiente de reflexión en la entrada ( $S_{11}$ ) y aislamiento de puertos ( $S_{12}$ )

En la figura 6.7(b) se muestra el coeficiente de reflexión en la entrada  $S_{11}$ , sin tener en cuenta  $C_{1par}$  ( $S_{11}$  sin  $C_{1par}$ ) y teniendo en cuenta  $C_{1par}$  ( $S_{11}$  con  $C_{1par}$ ). De estos resultados es evidente que la capacitancia parásita  $C_{1par}$  ocasiona un aumento significativo de  $S_{11}$ , incluso causa que este parámetro no cumpla con la especificación inicialmente planteada.

En vista de lo anterior, fue necesario compensar el efecto de la capacitancia parásita  $C_{1par}$ . Básicamente, esta capacitancia parásita ocasiona un desajuste en la impedancia de entrada del *LNA*, el cual puede ser interpretado de la siguiente forma:

*La impedancia total equivalente de entrada ( $Z_{eq}$ ) teniendo en cuenta la capacitancia parásita  $C_{1par}$  puede ser calculada como,*

$$Z_{eq} = \frac{Z_{in}}{1 + Z_{in}j\omega C_{1par}} \quad (6.5)$$

*donde  $Z_{in}$  es la impedancia de entrada del *LNA* sin tener en cuenta la capacitancia parásita asociada con el nodo de entrada y  $C_{1par}$  es la capacitancia parásita entre el puerto de entrada del *LNA* y el sustrato; para el proceso de fabricación utilizado  $C_{1par}$  es aproximadamente 2 *pf* (teniendo en cuenta la capacitancia del pad).*

Por consiguiente, de la ecuación (6.5) se deduce que para obtener una impedancia equivalente de entrada ( $Z_{eq}$ ) real de 50  $\Omega$ , es necesario que la impedancia de entrada del

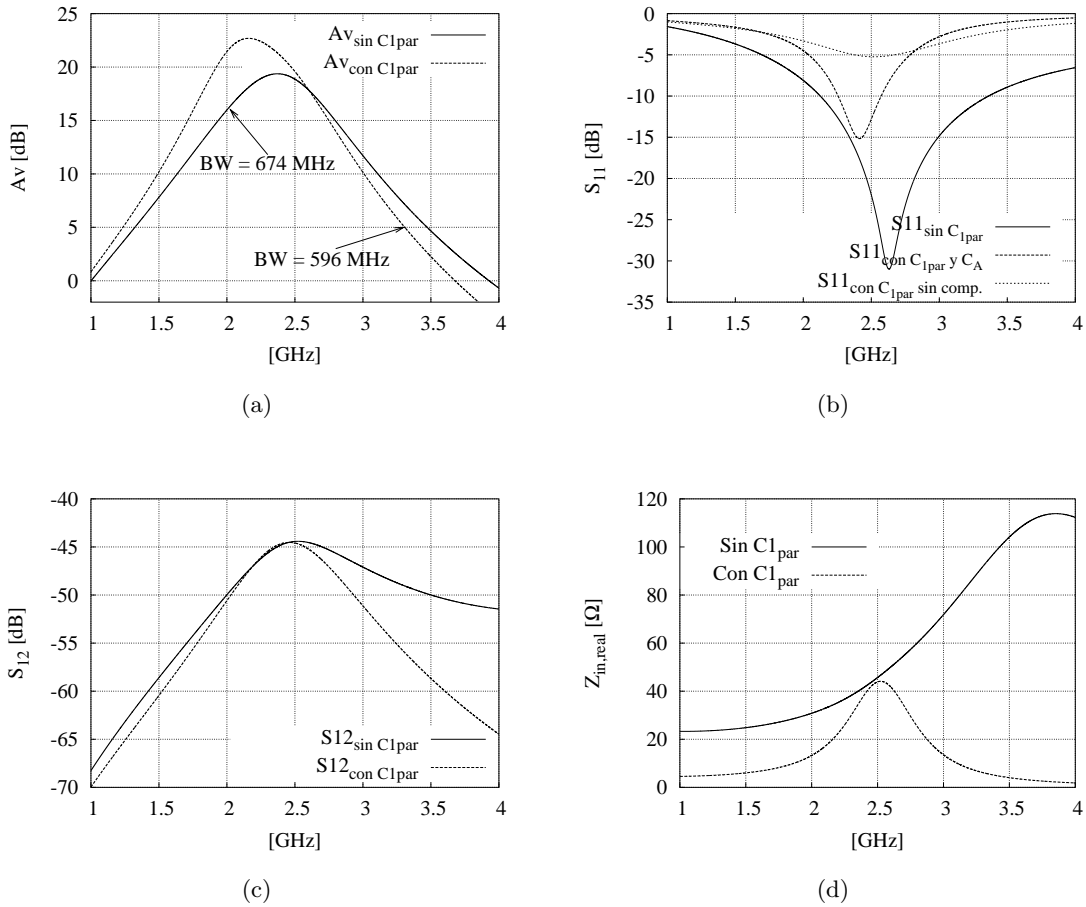


Figura 6.7: Resultados pos-*layout* del *LNA*. (a) Coeficiente de reflexión en la entrada; (b) aislamiento reverso; (c) parte real de la impedancia de entrada; (d) parte real de la impedancia de salida.

*LNA* sin tener en cuenta los elementos parásitos sea aproximadamente:

$$Z_{in} \approx 14,8 + j22,8 [\Omega] \quad (6.6)$$

Para cumplir con la condición anterior se hace evidente la necesidad de modificar tanto la parte real como la parte imaginaria de la impedancia de entrada. Con el fin de no afectar considerablemente el desempeño de otras especificaciones y no alterar significativamente la estrategia de diseño utilizada para el *LNA* y el mezclador de señal, se mantuvo la misma tensión de polarización utilizada para la etapa de transconductancia. Sin embargo, se redujo el inductor de degeneración  $L_s$  a 300  $pH$  y se conectó un capacitor ( $C_A = 270$   $fF$ ) entre compuerta y fuente del transistor  $M_1$  para facilitar el acople de impedancias a la entrada. El capacitor  $C_A$  ocasiona una reducción de la frecuencia de ganancia unitaria  $\omega_{T1}$  y por tanto un deterioro en el desempeño de ruido del *LNA*.

En la figura 6.7(b) se muestra el coeficiente de reflexión en la entrada, teniendo en cuenta todos los elementos parásitos, después de realizar la respectiva compensación de la impedancia de entrada ( $S_{11}$  con  $C_{1par}$  y  $C_A$ ). Estos resultados muestran que el sistema diseñado, después de realizar la respectiva compensación cumple con la especificación establecida para  $S_{11}$  en la banda de frecuencias de interés ( $S_{11} < -10$  dB).

Adicionalmente, como se muestra en la figura 6.7(c) no se presenta un fuerte impacto en el desempeño con respecto al aislamiento de puertos ( $S_{12}$ ), entre la entrada y la salida del *LNA*. Sin embargo, después de realizado el *layout* se presenta un deterioro en el aislamiento de puertos por aproximadamente 5 dB, esto se debe principalmente a las capacitancias parásitas que acoplan el puerto de entrada con el puerto de salida del *LNA*; no obstante, este incremento no es muy significativo, lo cual demuestra que el *layout* fue diseñado de una forma adecuada.

De igual forma en la figura 6.7(a) se muestran los resultados de simulación obtenidos para la ganancia de voltaje del *LNA*, sin tener en cuenta  $C_{1par}$  y teniendo en cuenta  $C_{1par}$  después de realizar la respectiva compensación ( $L_s = 0,3$  nH y  $C_A = 270$  fF). Para el sistema completamente integrado, teniendo en cuenta todas las capacitancias parásitas se obtiene una ganancia de 20,3 dB en 2,45 GHz con un ancho de banda de 596 MHz. Adicionalmente, se presenta un leve incremento de la ganancia con respecto al valor obtenido en los resultados *pre-layout*, esto se debe a que se redujó la inductancia de degeneración  $L_s$  en la fuente del transistor  $M_1$ .

Finalmente, en la figura 6.7(d) se muestra la parte real de la impedancia de entrada del *LNA*, estos resultados muestran que en la banda de interés se obtiene una impedancia de entrada cercana a 50  $\Omega$ .

#### ♣ Figura de ruido

La figura 6.8(a) ilustra la figura de ruido del *LNA* después de realizado el *layout*, sin tener en cuenta la capacitancia parásita  $C_{1par}$  del capacitor de acople  $C_1$  y teniendo en cuenta ésta para  $L_s = 0,3$  nH y  $C_A = 270$  fF. Cuando no se tiene en cuenta  $C_{1par}$  se obtiene un resultado muy cercano al obtenido en las simulaciones *pre-layout*, sin embargo, después de realizar la compensación de la impedancia de entrada ( $NF_{con C_{1par}}$ ) la figura de ruido se incrementa en aproximadamente 1 dB; lo anterior se debe al decremento de  $\omega_{T1}$  ( $\omega_{T1} \approx g_{m1}/(C_{gs1} + C_A)$ ), dado que la figura de ruido depende inversamente de la frecuencia de ganancia unitaria ( $\omega_{T1}$ ) de la etapa de transconductancia del *LNA*.

#### ♣ Desempeño de linealidad

Para la prueba de intermodulación se emplearon las mismas condiciones utilizadas en

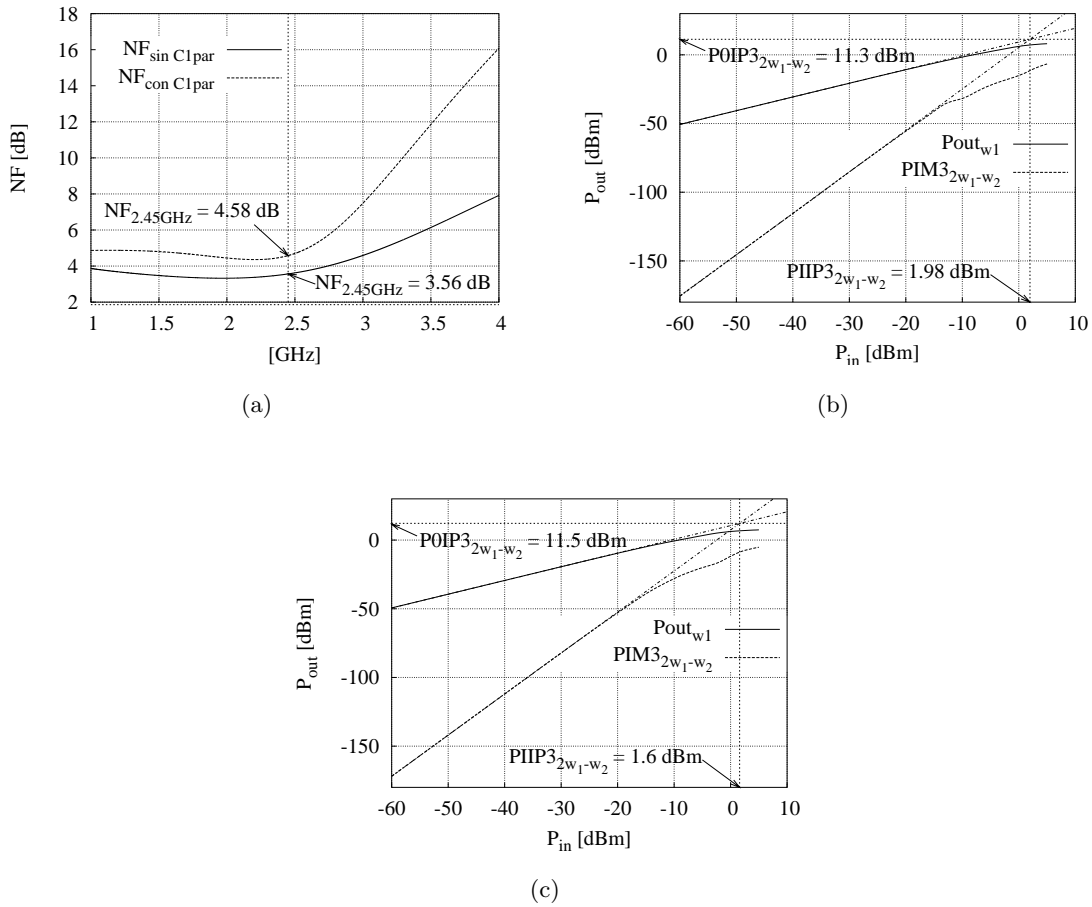


Figura 6.8: Resultados post-*layout*: (a) figura de ruido del *LNA*; (b)  $P_{IIP3}$  sin tener en cuenta la capacitancia parásita  $C_{1par}$  de  $C_1$ ; (c)  $P_{IIP3}$  teniendo en cuenta  $C_{1par}$ , para  $L_s = 0,3nH$  y  $C_A = 270fF$ .

las simulaciones del sistema *pre-layout*. En las figuras 6.8(b) y 6.8(c) se muestran los resultados obtenidos para la intermodulación de tercer orden, sin tener en cuenta  $C_{1par}$  y teniendo en cuenta la misma después de compensar el sistema. El punto de intersección de tercer orden referido a la entrada para cada uno de estos casos es  $P_{IIP3} = 1,98 dBm$  y  $P_{IIP3} = 1,6 dBm$ , respectivamente. De estos resultados es evidente que se presenta sólo un leve decremento de  $P_{IIP3}$  después de realizar la compensación de la impedancia de entrada, lo cual demuestra que las modificaciones realizadas en el diseño no alteran sustancialmente el comportamiento de linealidad, dado que no se modificaron los puntos de polarización ni los tamaños de los transistores.

Por último, la tabla 6.1 indica un resumen de las especificaciones de desempeño simuladas del *LNA*, teniendo en cuenta los elementos parásitos asociados con el *layout*.

Tabla 6.1: Especificaciones del *LNA* diseñado

Especificación	Valor
Fuente de alimentación	3,3 V
Consumo de potencia	10 mW
Figura de ruido	4,58 dB
$P_{IIP3}$	1,6 dBm
Ganancia de voltaje	20 dB
Aislamiento reverso ( $S_{12}$ )	-44,5 dB
Coefficiente de reflexión en la entrada ( $S_{11}$ )	$\leq -14,6$ dB
Frecuencia de operación	2,45 GHz

### 6.3.2. Mezclador de señal

Con el propósito de evaluar el desempeño del mezclador de señal *CMOS* diseñado, a continuación se presentan algunas de las especificaciones de este bloque teniendo en cuenta los elementos parásitos después de realizado el *layout*.

#### ♣ Ganancia de voltaje

Como se muestra en la figura 6.9(a), la ganancia de voltaje se reduce por aproximadamente 2 dB con respecto a los resultados *pre-layout*, lo cual se debe principalmente al efecto de las capacitancias parásitas asociadas con la red de acople entre el *LNA* y el mezclador de señal, y a las capacitancias asociadas con los *pads* en el puerto del oscilador local.

#### ♣ Figura de ruido

La figura de ruido ( $NF_{SSB}$ ), figura 6.9(b), se incrementa con respecto a los resultados *pre-layout*, ya que la tensión efectiva aplicada al par conmutado se reduce, debido a las capacitancias parásitas de los *pads* del puerto del oscilador local y, la red de acople entre el oscilador local y la entrada del par conmutado. Para el sistema diseñado se obtiene una figura de ruido de banda lateral única ( $NF_{SSB}$ ) de 13,74 dB en una frecuencia de salida de 500 kHz; nuevamente, para frecuencias menores que 100 kHz se presenta un incremento significativo de la figura de ruido debido al aumento de ruido *flicker*.

#### ♣ Desempeño de linealidad

Como se muestra en la figura 6.9(c) se presenta un leve incremento en  $P_{IIP3}$  con respecto a los resultados *pre-layout*, esto se debe posiblemente a que la tensión de oscilador local efectiva aplicada al par conmutado se acerca al valor óptimo para obtener un mejor desempeño del par conmutado con respecto a linealidad. El punto de intersección de tercer orden referido a la entrada, obtenido para el mezclador de señal después de

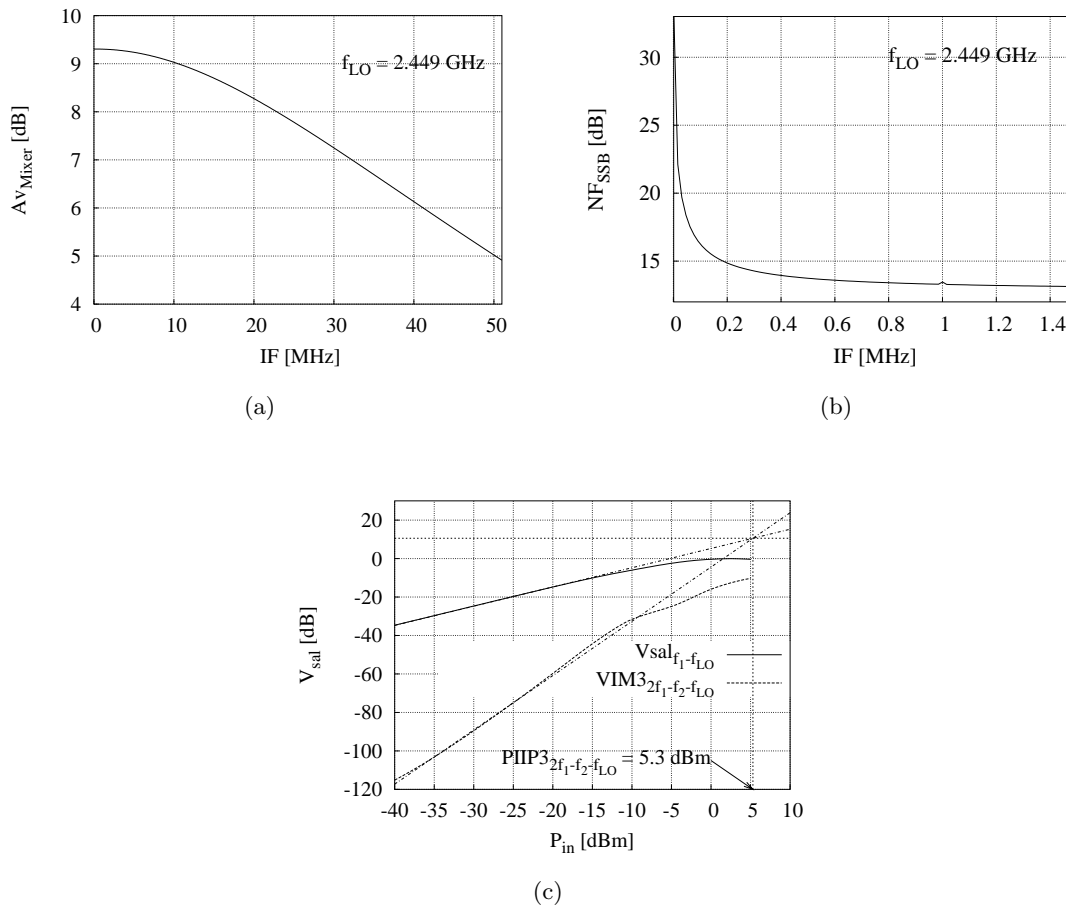


Figura 6.9: Resultados pos-*layout* del mezclador de señal: (a) Ganancia de voltaje; (b) figura de ruido *SSB*; (c)  $P_{IIP3}$  para  $f_{LO} = 2,449 \text{ GHz}$ ,  $f_1 = 2,451 \text{ GHz}$  y  $f_2 = 2,452 \text{ GHz}$ .

realizado el *layout* es  $P_{IIP3} = 5,3 \text{ dBm}$ , con lo cual se cumple con la especificación inicialmente planteada ( $P_{IIP3} > 0 \text{ dBm}$ ).

En la tabla 6.2 se indica un resumen de las especificaciones más relevantes de desempeño del mezclador de señal, teniendo en cuenta los elementos parásitos asociados con el *layout*.

### 6.3.3. Amplificador de bajo ruido y mezclador de señal

Después de realizado el *layout* fue necesario modificar el valor de la capacitancia  $C_d$  del tanque resonante de salida del *LNA*, debido a las capacitancia parásitas asociadas con la red de acople  $C_2$  y, la interconexión entre el *LNA* y el mezclador de señal. El valor final seleccionado para  $C_d$  fue  $340 \text{ fF}$ , con el cual se obtiene resonancia en la salida del *LNA* para la frecuencia central de interés  $2,45 \text{ GHz}$ .

Tabla 6.2: Especificaciones de desempeño del mezclador de señal diseñado

Especificación	Valor
Tensión de alimentación	3,3 V
Consumo de potencia	5,7 mW
Figura de ruido ( $NF_{SSB}$ )	13,74 dB
Frecuencia central de entrada	2,45 GHz
Frecuencia de salida ( $IF$ )	1 MHz
$P_{IIP3}$	5,3 dBm
Ganancia de voltaje	9,3 dB

En la figura 6.10 se presentan algunas de las especificaciones de desempeño, obtenidas mediante simulación, para el sistema en cascada del amplificador de bajo ruido y el mezclador de señal después de realizado el *layout*.

#### ♣ Ganancia de voltaje

En la figura 6.10(a) se muestra la ganancia de voltaje total del sistema diseñado. Se presenta un valor de 26,9 dB en la banda de salida de interés (500 kHz – 1,5 MHz), para el sistema completamente integrado, incluyendo las capacitancias parásitas asociadas con los dispositivos, la interconexión entre estos y los *pads*.

#### ♣ Figura de ruido

Como se ilustra en la figura 6.10(b), la figura de ruido ( $NF_{SSB}$ ) total se incrementa debido al aumento en la figura de ruido del *LNA* cuando se tiene en cuenta la capacitancia parásita  $C_{1par}$  con su respectiva compensación ( $L_s = 0,3$  nH y  $C_A = 270$  fF); el resultado de simulación obtenido cuando no se tiene en cuenta  $C_{1par}$  es 7,06 dB, el cual es un valor cercano al obtenido en las simulaciones *pre-layout*. Teniendo en cuenta todas las capacitancias parásitas se obtiene  $NF_{SSB} = 7,88$  dB, en una frecuencia de salida igual a 500 kHz. A pesar del incremento en la figura de ruido, el sistema completamente integrado cumple con las especificaciones mínimas para el estándar *Bluetooth*.

#### ♣ Desempeño de linealidad

Las figuras 6.10(c) y 6.10(d) muestran la respuesta del sistema para una frecuencia de oscilador local de 2,449 GHz y dos tonos de entrada con frecuencias  $f_1 = 2,451$  GHz y  $f_2 = 2,452$  GHz, con truncamiento de 5 armónicos respectivamente. Cuando se tiene en cuenta  $C_{1par}$ , se presenta una reducción de  $P_{IIP3}$  en aproximadamente 1,7 dB con respecto al punto de intersección de tercer orden obtenido cuando no se tiene en cuenta  $C_{1par}$ . El punto de intersección de tercer orden referido a la entrada  $P_{IIP3}$  del sistema completo (*LNA* y mezclador de señal) es  $-14,4$  dBm, teniendo en cuenta todas las capacitancias parásitas. Este valor es menor que el obtenido en las simulaciones

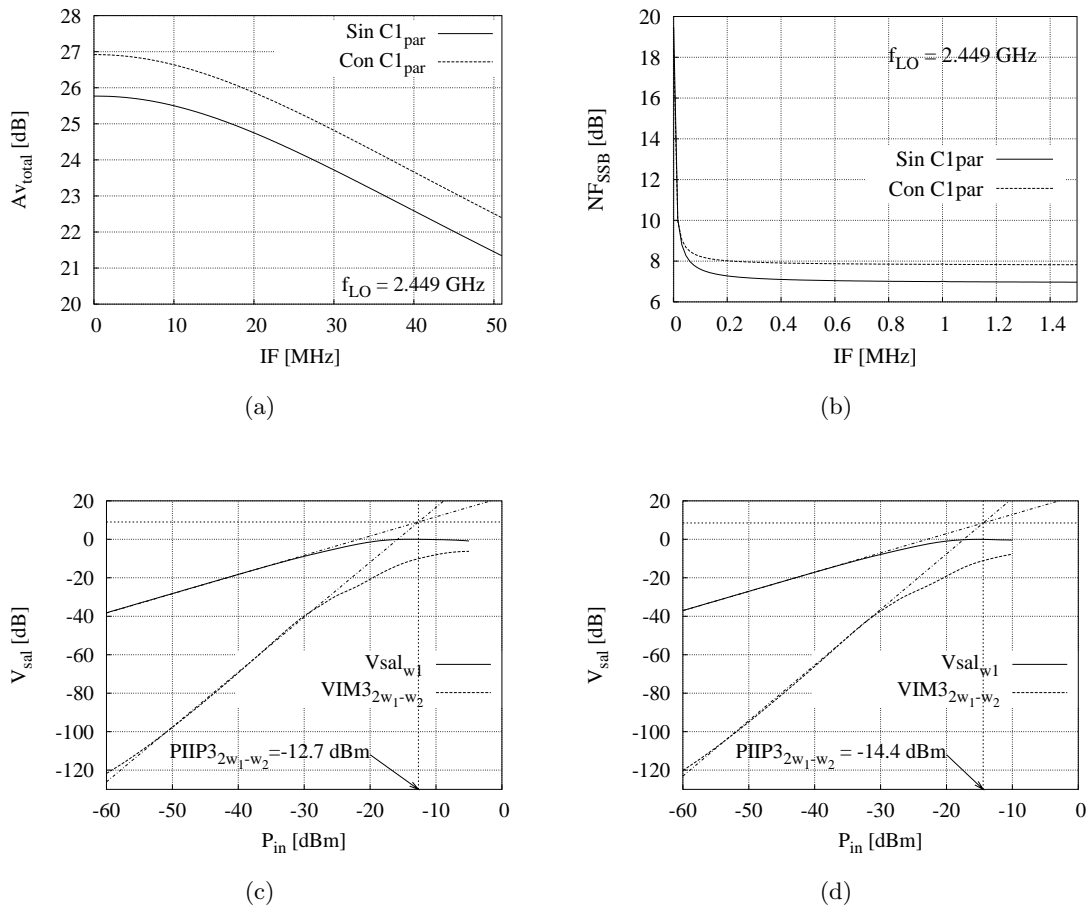


Figura 6.10: Resultados pos-*layout* del sistema en cascada *LNA* y mezclador de señal. (a) Ganancia de voltaje; (b) Figura de ruido *SSB*; (c)  $P_{IIP3}$  para  $f_{LO} = 2,449$  GHz,  $f_1 = 2,451$  GHz y  $f_2 = 2,452$  GHz, sin tener en cuenta la capacitancia parásita  $C_{1par}$  de  $C_1$ ; (d)  $P_{IIP3}$  teniendo en cuenta  $C_{1par}$  con  $L_s = 0,3nH$  y  $C_A = 270fF$ .

prelayout, sin embargo, este es suficiente para cumplir con el requerimiento de linealidad ( $P_{IIP3} > -16,5$  dBm).

### ♣ Sensibilidad del sistema completamente integrado

Con el mismo procedimiento empleado en la sección 6.1.3 se obtiene un ruido de piso de aproximadamente  $-106,12$  dBm, y por tanto, una sensibilidad de  $-85,12$  dBm; estos valores son muy similares a los encontrados en las simulaciones *prelayout*.

Finalmente, en la tabla 6.3 se presentan algunas de las especificaciones más relevantes de desempeño del sistema completamente integrado del amplificador de bajo ruido y el mezclador de señal diseñados en la tecnología  $0,35\mu m$  CMOS. Al contrastar estos resultados con las

Tabla 6.3: Especificaciones del sistema en cascada del *LNA* y el mezclador de señal

<b>Especificación</b>	<b>Este trabajo</b>	<b>Reporte de MOSIS</b>
Tensión de alimentación	3,3 V	3,0 V
Consumo de potencia	15,6 mW	30 mW
Figura de ruido ( $NF_{SSB}$ )	7,9 dB	8,5 dB
Sensibilidad $P_{in,min}$	-85 dBm	-
Ganancia de voltaje	27 dB	25 dB
$P_{IIP3}$	-14,4 dBm	-9 dBm
Frecuencia central de entrada	2,45 GHz	2,45 GHz
Frecuencia intermedia de salida	1 MHz	2 MHz
Área utilizada	1,2 mm <sup>2</sup>	-

especificaciones planteadas en la tabla 5.2 es evidente que el sistema diseñado (amplificador de bajo ruido y mezclador de señal) cumple con los requerimientos mínimos del estándar *Bluetooth 2,45 GHz*.

Con el fin de establecer una comparación, en la tabla 6.3 se presenta adicionalmente las especificaciones de desempeño de un amplificador de bajo ruido y un mezclador de señal CMOS suministradas por un reporte de prueba de *MOSIS* [33], de un receptor con el estándar *Bluetooth*.

De los resultados presentados en la tabla 6.3 se deduce lo siguiente: El sistema en cascada del *LNA* y el mezclador de señal diseñados, presenta un mejor desempeño con respecto a potencia, ruido y ganancia de voltaje; no obstante, el desempeño con respecto a linealidad es inferior que el presentado en el reporte de *MOSIS*. No obstante, es necesario tener en cuenta que los resultados del diseño presentados en este trabajo corresponden a resultados de simulación, y no a resultados de medida después de fabricado el chip.

Habiendo culminado el diseño del *LNA* y el mezclador de señal CMOS a continuación se condensan experiencias, resultados obtenidos, conocimientos adquiridos y recopilados, en forma de conclusiones y recomendaciones, para futuros trabajos a nivel local que pretendan abordar el diseño de amplificadores de bajo ruido y mezcladores de señal CMOS integrados.

## 6.4. Observaciones y conclusiones

Una de las tendencias actuales de la electrónica es diseñar y construir todos los sistemas electrónicos (como sistemas de comunicación y control), dentro de un mismo circuito integrado con el fin de mejorar desempeño, reducir costos y tamaño. Adicionalmente, en el diseño de cualquier sistema electrónico es necesario estimar el comportamiento de este con respecto a diferentes variables de diseño, con el fin de encontrar un compromiso adecuado entre las especificaciones de desempeño requeridas.

En este trabajo se abordó particularmente el diseño de un amplificador de bajo ruido y un mezclador de señal integrados en tecnología *CMOS*, cumpliendo con los requerimientos mínimos para una aplicación *Bluetooth 2,45 GHz*. Para cumplir con dichos requerimientos se realizaron análisis y estimaciones teóricas de ruido, linealidad, ganancia y consumo de potencia, que permitieron acotar el campo de diseño del *LNA* y del mezclador de señal, en función de las variables de diseño más significativas.

Con el fin de establecer un compromiso adecuado entre las especificaciones de desempeño, se planteó una estrategia de diseño para el amplificador de bajo ruido y el mezclador de señal *CMOS* integrados dentro de un mismo chip, por medio de la adaptación de metodologías de diseño ya existentes en la literatura.

Las estrategias de diseño propuestas comprometen ruido, linealidad, acople de impedancias a la entrada, ganancia y consumo de potencia, utilizando como variables de diseño las dimensiones de los dispositivos y las condiciones de operación.

Con base en estimaciones teóricas se encontró una expresión cerrada que permite evaluar simultáneamente el ruido introducido por la etapa de transconductancia y el dispositivo cascado, con la cual se puede estimar el desempeño de ruido del *LNA* con respecto a las dimensiones de los dispositivos, las condiciones de polarización, la frecuencia de operación y los parámetros de ruido  $\gamma$  y  $\delta$ . Adicionalmente, la estrategia de diseño propuesta para el *LNA* tiene en cuenta el aporte de ruido del dispositivo cascado, y muestra un procedimiento para encontrar un compromiso adecuado entre las especificaciones de desempeño establecidas.

De otro lado, la estrategia de diseño propuesta para el mezclador de señal aplica en diseños donde se pretenda integrar el *LNA* y el mezclador de señal dentro de un mismo chip; esta estrategia tiene en cuenta el acople entre los dos bloques (*LNA* y mezclador de señal) con el fin de obtener un desempeño adecuado del sistema completo.

Aplicando las estrategias de diseño propuestas se diseñó un amplificador de bajo ruido y un mezclador de señal en tecnología  $0,35 \mu m$  *CMOS*, cumpliendo con los requerimientos mínimos del estándar *Bluetooth*. Adicionalmente se elaboró el *layout* de estos bloques dentro de un mismo circuito integrado, cumpliendo con las reglas vigentes de un proceso de fabricación en tecnología *CMOS*  $0,35 \mu m$ , y se verificó mediante simulación, el funcionamiento y desempeño del sistema realizado.

## 6.5. Recomendaciones para trabajos futuros

- ♣ Las expresiones presentadas en este trabajo para el análisis de ruido del *LNA* dependen de los parámetros de ruido  $\gamma$  y  $\delta$ . No obstante, dado que actualmente no existe un modelo físico adecuado que relacione los parámetros  $\gamma$  y  $\delta$  con las condiciones de polarización, no

es posible obtener una estimación precisa del desempeño de ruido del *LNA*. Por tanto, es evidente la necesidad de modelar el comportamiento de cada una de las fuentes de ruido con respecto a las tensiones de polarización del transistor *MOS*.

- ♣ En la fase de diseño del *LNA* y el mezclador de señal es conveniente dejar un margen de seguridad con respecto a las especificaciones mínimas establecidas, ya que los elementos parásitos y variaciones del proceso pueden llegar a degradar el desempeño de cada uno de estos bloques.
- ♣ Dado que las capacitancias parásitas del *pad* y de la capacitancia de acople entre el puerto *RF* y la entrada del *LNA*, pueden llegar a afectar significativamente las condiciones de acople de impedancias a la entrada, se recomienda hacer una estimación previa de estas capacitancias y tenerlas en cuenta en la fase de diseño.
- ♣ En la tecnología de fabricación y la banda de frecuencias de operación para la cual se diseñó el *LNA*, los inductores no presentan factores de calidad suficientemente altos, y por tanto, las resistencias parásitas asociadas con estos, degradan significativamente el desempeño de ruido del *LNA*. Por consiguiente, se recomienda en cuanto sea posible, utilizar procesos de fabricación *CMOS* en los cuales se obtengan inductores con mejores factores de calidad (por ejemplo, el proceso *C35B4M3* 0,35  $\mu m$ ) *CMOS* de *AMS*.
- ♣ Para obtener mejores especificaciones de desempeño del mezclador de señal *CMOS* de conmutación de corriente, se propone aplicar el método sistemático planteado en [3] para estimar el desempeño de linealidad, por medio de series de Volterra variantes en el tiempo. Adicionalmente, dado que los efectos capacitivos en la frecuencia de operación pueden llegar a degradar el desempeño del par conmutado con respecto a ruido, se propone realizar un análisis más profundo de ruido en el par conmutado teniendo en cuenta los efectos capacitivos en el mezclador de señal.
- ♣ Se debe tener especial cuidado en el diseño del *layout*, para evitar capacitancias parásitas que acoplen el puerto del oscilador local con el puerto *RF* de entrada, con el fin de disminuir la cantidad de señal del oscilador local que se filtra desde el mezclador de señal a la antena.
- ♣ Para finalizar, se recomienda seguir adelantando trabajos en el área de diseño de circuitos integrados, con el fin de formar recurso humano en Colombia que permita una participación más activa en el desarrollo tecnológico mundial.



## Apéndice A

# Algunos Fundamentos para el Diseño de Circuitos en Radiofrecuencia

A continuación se presenta una breve revisión de algunos de los conceptos básicos en el diseño de circuitos RF. Inicialmente se introducirán las redes de dos puertos, seguido por la definición de los parámetros-S. Luego, se trata brevemente en la sección A.2 la teoría de ruido de transistores MOS y el concepto de acople de ruido aplicado a las redes de dos puertos. Los conceptos relacionados con el comportamiento no-lineal se describen en la sección A.3.

### A.1. Redes de dos puertos

Muchos de los conceptos y técnicas usadas en el diseño de circuitos, particularmente para RF y aplicaciones de microondas, fueron derivados basándose en este tipo de redes, para las cuales existen seis maneras de expresar la relación entre los voltajes y corrientes terminales que intervienen, si la señal es lo suficientemente pequeña de tal forma que la red se comporte de forma lineal.

Los parámetros-Y son frecuentemente usados para expresar el comportamiento de los dispositivos cuando un terminal es conectado a tierra. Otro uso es para calcular la respuesta total cuando se colocan dos redes en paralelo, por ejemplo cuando se analiza un sistema realimentado paralelo-paralelo. Sin embargo, en términos de mediciones en radiofrecuencia, es prácticamente imposible obtener una verdadera condición de cortocircuito en altas frecuencias, lo cual es requerido para medir los parámetros-Y. Por tanto, los parámetros-S (*scattering parameters*), basados en las ondas incidentes y reflejadas son introducidos para caracterizaciones de alta frecuencia en el orden de *GigaHertz* [21].

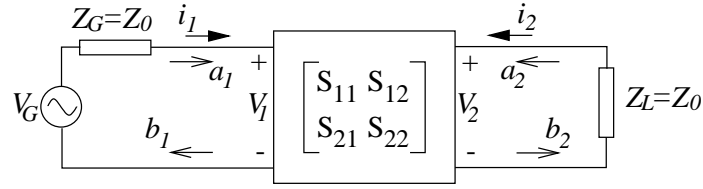


Figura A.1: Red de dos puertos con representación de parámetros-S.

### A.1.1. Parámetros-S de una red de dos puertos

Los parámetros-S de una red de dos puertos son definidos en términos de ondas incidentes  $(a_1, a_2)$  y ondas reflejadas  $(b_1, b_2)$ , como se muestra en la figura A.1, donde  $a_i$  y  $b_i$  son las ondas de voltaje (o corriente) incidente y reflejada normalizadas en el puerto  $i$ , respectivamente. Las ondas incidentes y reflejadas tienen la siguiente relación con los voltajes y corrientes terminales [21]:

$$a_i = \frac{v_i + Z_0 i_i}{2\sqrt{Z_0}} \quad (\text{A.1})$$

$$b_i = \frac{v_i - Z_0 i_i}{2\sqrt{Z_0}} \quad (\text{A.2})$$

donde  $i$  es igual a 1 ó 2, y  $Z_0$  es la impedancia de referencia. Esta definición asume que  $Z_0$  es real, en muchos sistemas RF típicamente  $Z_0$  tiene un valor de  $50 \Omega$ . Los parámetros-S son usados para describir la relación entre éstas ondas incidentes y reflejadas, como sigue:

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{A.3})$$

El significado de los parámetros-S puede ser interpretado de las siguientes definiciones:

$$S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0} \quad S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0} \quad S_{22} = \frac{b_2}{a_2} \Big|_{a_1=0} \quad S_{12} = \frac{b_1}{a_2} \Big|_{a_1=0} \quad (\text{A.4})$$

$S_{11}$  es el coeficiente de reflexión en la entrada y  $S_{21}$  es la ganancia de transmisión del puerto de entrada hacia el puerto de salida, con el puerto de salida acoplado. Similarmente,  $S_{22}$  es el coeficiente de reflexión en la salida y  $S_{12}$  es la ganancia de transmisión del puerto de salida hacia el puerto de entrada, con el puerto de entrada acoplado.

De la ecuación A.1 se obtiene que para que  $a_1$  y  $a_2$  sean iguales a cero se debe cumplir que  $Z_G = Z_0$  y  $Z_L = Z_0$ , donde  $Z_G$  y  $Z_L$  son las impedancias del generador y de la carga respectivamente. Es decir, los parámetros-S representan el comportamiento de una red de dos puertos bajo un sistema en el cual las impedancias del generador y carga son iguales a la impedancia de referencia  $Z_0$ .

Desde el punto de vista, del diseño de un amplificador,  $S_{11}$  y  $S_{22}$  miden que tan bien las impedancias de entrada y salida, son acopladas a la impedancia de referencia  $Z_0$  respectiva-

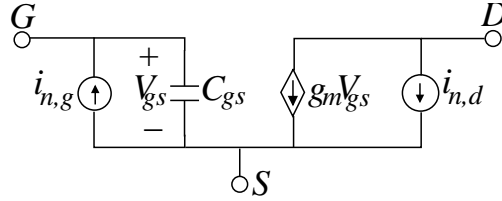


Figura A.2: Modelo típico de las fuentes de ruido de canal y de puerta.

mente.  $S_{21}$  mide el efecto de amplificación del dispositivo,  $S_{12}$  el aislamiento entre los puertos de entrada y salida.

## A.2. Ruido

El ruido existe en toda clase de sistemas electrónicos y es una especificación muy importante en el desempeño, ya que éste fija el límite inferior de potencia de las señales recibidas que pueden ser detectadas. A continuación se realiza un resumen de las principales fuentes de ruido en transistores MOSFET y se definen algunas especificaciones que miden el desempeño de un sistema, en cuanto a ruido se refiere.

### A.2.1. Fuentes de ruido en transistores MOSFET

Existen dos clases de fuentes de ruido térmico asociadas a un transistor, intrínsecas y extrínsecas. Las fuentes intrínsecas de ruido térmico de un transistor MOS son: corriente de ruido de canal y corriente de ruido inducido en la compuerta. Las fuentes de ruido térmico extrínsecas son debidas a las componentes resistivas parásitas del transistor como resistencias parásitas de drenó, fuente, compuerta y sustrato [20]. En algunas publicaciones se han estudiado las fuentes de ruido intrínsecas del transistor MOSFET operando en altas frecuencias y se ha demostrado que las fuentes de ruido térmico imponen un límite fundamental de la figura de ruido de los circuitos en radiofrecuencia.

#### Ruido de canal

El ruido de canal es debido al ruido térmico generado por los portadores en el canal. Como se muestra en la figura A.2, un modelo comúnmente usado es una fuente de corriente entre el drenó y la fuente, representada por el valor medio cuadrático de la corriente de ruido:

$$\overline{i_{n,d}^2} = 4kT\gamma g_{d0}\Delta f \quad (\text{A.5})$$

donde  $k$  es la constante de Boltzman,  $T$  es la temperatura de los portadores del canal,  $\gamma$  es un parámetro dependiente de la polarización,  $g_{d0}$  es la conductancia de drenó con  $V_{ds} = 0$  (aproximadamente igual a la transconductancia del transistor  $g_m$  en transistores de canal

largo) y  $\Delta f$  es la banda de frecuencia de medida [20].

### Ruido inducido en la compuerta

El ruido inducido en la compuerta de un transistor MOS es un ruido térmico producido por las fluctuaciones generadas por el ruido de canal, a través del acoplamiento capacitivo del óxido de la compuerta. Como el ruido de canal y el ruido de la compuerta tienen un mismo origen, existe una correlación entre las dos fuentes. Un modelo usado es una fuente de corriente conectada entre la compuerta y la fuente, indicada en la figura A.2 y con el valor dado por la siguiente expresión [20]:

$$\overline{i_{n,g}^2} = 4kT\delta g_g(1 - |c|^2)\Delta f + 4kT\delta g_g|c|^2\Delta f \quad \text{con} \quad g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (\text{A.6})$$

$$c = \frac{\overline{i_{n,d}^* i_{n,g}}}{\sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}} \quad (\text{A.7})$$

siendo  $\delta$  un parámetro dependiente de la polarización<sup>1</sup>. El factor de correlación  $c$  es aproximadamente  $-j0,395$  en transistores de canal largo, para la polaridad de las fuentes de corriente mostradas en la figura A.2. El primer término de la ecuación A.6 es una componente no correlacionada ( $\overline{i_{n,gu}^2}$ ) y el segundo término es una componente correlacionada con el ruido del canal ( $\overline{i_{n,gc}^2}$ ).

### Ruido debido a las resistencias parásitas

El ruido debido a las resistencias parásitas puede ser calculado usando la fórmula tradicional para una resistencia en equilibrio térmico y es representado por una fuente de corriente en paralelo con las resistencias parásitas:

$$\overline{i_{n,R_p}^2} = \frac{4kT}{R_p} \Delta f \quad (\text{A.8})$$

donde  $R_p$  puede ser sustituida por cada una de las resistencias parásitas de drenó, fuente, compuerta y sustrato.

### Ruido *flicker* (ruido $1/f$ )

El ruido *flicker* es una fuente de ruido diferente al ruido térmico. En el caso de transistores MOS se afirma que este ruido surge de las trampas aleatorias de cargas en la interfase óxido-silicio de los MOSFETs. Estas trampas capturan y liberan portadores de manera aleatoria, y las constantes de tiempo relacionadas con el proceso dan lugar a una señal de ruido con

<sup>1</sup>En transistores de canal corto no existe una relación exacta de los parámetros  $\gamma$  y  $\delta$  con el voltaje de polarización.

energía concentrada en bajas frecuencias [25], lo cual ha sido observado experimentalmente. Este ruido es comúnmente modelado con una fuente de voltaje en serie con la compuerta, cuya densidad espectral de potencia está dada por:

$$\overline{V_n^2} = \frac{K}{WLC_{ox}^2} \frac{1}{f} \quad (\text{A.9})$$

siendo  $K$  una constante dependiente del proceso. A pesar de que el efecto del ruido *flicker* puede parecer despreciable en altas frecuencias, se debe tener en cuenta que las no linealidades o varianzas temporal en circuitos como mezcladores de señal u osciladores pueden trasladar el espectro de forma  $1/f$  al rango de RF [18].

### A.2.2. Figura de ruido

La figura de ruido es una medida de la degradación de la relación señal a ruido en una red de dos puertos. La relación señal a ruido ( $SNR$ ) es la relación entre la potencia de la señal y la potencia del ruido. La definición de la figura de ruido es:

$$NF = \frac{SNR_{ent}}{SNR_{sal}} \quad (\text{A.10})$$

donde  $SNR_{ent}$  y  $SNR_{sal}$  representan la relación señal a ruido a la entrada y la salida de la red de dos puertos, respectivamente. En [34] se usa la ganancia de potencia ( $G_A$ ) para derivar la figura de ruido como,

$$NF = \frac{\frac{S_i}{N_i}}{\frac{S_i G_A}{(N_i + N_s) G_A}} = 1 + \frac{N_s}{N_i} \quad (\text{A.11})$$

donde  $N_s$  es la potencia de ruido referido a la entrada y generado por la red de dos puertos, y  $N_i$  es la potencia de ruido del generador en la entrada de la red. La figura de ruido es frecuentemente expresada en decibelios. Si no es introducido ruido adicional por la red de dos puertos,  $NF = 0dB$ .

### A.2.3. Ruido en una red de dos puertos

La figura de ruido es definida similarmente para muchos bloques de comunicación tales como  $LNAs$  y filtros. Una red ruidosa de dos puertos lineal e invariante en el tiempo (LIT), puede ser representada con fuentes de ruido de corriente y voltaje equivalentes a la entrada, precediendo la red sin ruido como se muestra en la figura A.3. Las dos fuentes son en general correlacionadas, y por esta razón, la fuente de ruido de voltaje es dividido en dos fuentes de voltaje, una no correlacionada y otra completamente correlacionada con la fuente de corriente. En [16] se demostró que la figura de ruido puede ser expresada como:

$$NF = 1 + \frac{R_n}{R_s} + \frac{G_n}{R_s} |Z_c + Z_s|^2 \quad (\text{A.12})$$

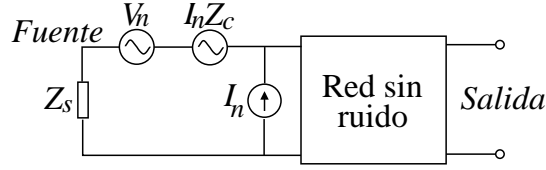


Figura A.3: Representación equivalente de una red ruidosa de dos puertos LIT.

donde se denota la fuente de ruido de corriente con  $I_n$ , la parte no correlacionada de la fuente de ruido de voltaje con  $V_n$  y su parte correlacionada con  $I_n Z_c$  donde  $Z_c = R_c + jX_c$  es llamada la impedancia de correlación,  $Z_s = R_s + jX_s$  representando la impedancia de la fuente y  $G_n$ ,  $R_n$  siendo relacionados con la densidad espectral de las fuentes de ruido como sigue,

$$\frac{\overline{I_n^2}}{\Delta f} = 4kTG_n \quad (\text{A.13})$$

$$\frac{\overline{V_n^2}}{\Delta f} = 4kTR_n \quad (\text{A.14})$$

donde  $k$  es la constante de Boltzman y  $T$  es la temperatura absoluta. También se muestra que existe una impedancia de fuente óptima  $Z_{s,opt} = R_{s,opt} + jX_{s,opt}$  que provee la mínima figura de ruido, la cual se puede expresar en función de los parámetros  $R_c$ ,  $G_c$ ,  $R_n$  y  $G_n$  de la siguiente forma:

$$R_{s,opt} = \sqrt{\frac{R_n}{G_n} + R_c^2} \quad (\text{A.15})$$

$$X_{s,opt} = -X_c \quad (\text{A.16})$$

Reemplazando las ecuaciones A.15 y A.16 en A.12 se obtiene:

$$NF_{min} = 1 + 2G_n R_c + 2\sqrt{G_n R_n + (G_n R_c)^2} \quad (\text{A.17})$$

#### A.2.4. Figura de ruido de bloques RF en cascada

En un receptor muchos bloques son dispuestos en cascada a lo largo del camino de señal. La figura de ruido total del receptor puede ser expresada en términos de la figura de ruido y la ganancia de cada uno de los bloques de la siguiente forma [34]:

$$NF_{total} = NF_1 + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots \quad (\text{A.18})$$

donde  $NF_i$  y  $G_i$  son la figura de ruido y ganancia del bloque  $i$ -ésimo en la cadena, siendo la entrada conectada al primer bloque. Esta expresión muestra que la contribución de la figura de ruido de cada bloque a la figura de ruido total es esencialmente reducida por la

ganancia de los bloques previos. Se puede observar que la figura de ruido total es reducida con el aumento de la ganancia de cada una de las etapas, especialmente del primer bloque. El primer bloque también debe tener una figura de ruido reducida, ya que ésta se adiciona directamente a la figura de ruido total, es decir, se tendrá una mejor sensibilidad para un menor valor de  $NF_1$ .

### A.2.5. Sensibilidad

La sensibilidad de un receptor es definida como el nivel de señal mínimo que el sistema puede detectar, con una relación señal a ruido aceptable para una aplicación. La sensibilidad se puede calcular a partir de la figura de ruido de la siguiente forma:

$$NF = \frac{SNR_{ent}}{SNR_{sal}} = \frac{\frac{P_{señal}}{P_{R_s}}}{SNR_{sal}} \quad (A.19)$$

donde  $P_{señal}$  denota la potencia de la señal y  $P_{R_s}$  la potencia de ruido de la resistencia de la fuente, ambos por unidad de ancho de banda. Retomando A.19 se obtiene:

$$P_{señal} = P_{R_s} \cdot NF \cdot SNR_{sal} \quad (A.20)$$

Dado que la potencia total de la señal típicamente está distribuida a través del ancho de banda del canal,  $B$ , los dos lados de la ecuación A.20 deben ser integrados sobre el ancho de banda para obtener la potencia cuadrática media total. Suponiendo uniformidad en el canal, se tiene:

$$P_{señal,total} = P_{R_s} \cdot NF \cdot SNR_{sal} \cdot B \quad (A.21)$$

La ecuación A.21 predice la sensibilidad como la señal de entrada mínima que proporciona un valor dado de la relación señal a ruido de salida. Asumiendo que se presenta acople conjugado en la red de entrada,  $P_{R_s}$  se obtiene como la potencia de ruido que  $R_s$  entrega al receptor:

$$P_{R_s} = \frac{4kTR_s}{4} \frac{1}{R_s} = kT \quad (A.22)$$

Expresando A.21 en dBm se obtiene para temperatura ambiente:

$$P_{ent,min} = -174 \frac{dBm}{Hz} + NF|_{dB} + 10 \log B + SNR_{sal,min}|_{dB} \quad (A.23)$$

La suma de los tres primeros términos es el ruido del sistema y es a veces llamado *ruido de piso*.

## A.3. No Linealidad

Las discusiones en las secciones previas son basadas en la suposición que el sistema es lineal. En realidad, esto sólo puede ser supuesto si la señal recibida es lo suficientemente

pequeña tal que el comportamiento no lineal del sistema sea despreciable. La distorsión es un efecto causado por el comportamiento no lineal del sistema, y se hace importante cuando señales suficientemente grandes se presentan en la entrada de un circuito. A continuación se mencionarán algunas de las medidas y efectos más importantes de desempeño con respecto a distorsión.

### A.3.1. Distorsión Armónica

La relación entre la señal de entrada  $x_i$  y la señal de salida  $y_0$  de una red de dos puertos es usualmente representada como una serie de potencias,

$$y_0 = a_1 x_i + a_2 x_i^2 + a_3 x_i^3 + \dots \quad (\text{A.24})$$

donde  $a_1, a_2, \dots$ , son constantes independientes de la señal de entrada  $x_i$ . Al aplicar una señal sinusoidal a la red con la frecuencia  $\omega_1$  y la magnitud pico  $A_1$ ,

$$x_i(t) = A_1 \cos(\omega_1 t) \quad (\text{A.25})$$

la salida puede ser expresada como,

$$\begin{aligned} y(t) = & a_1 A_1 \cos(\omega_1 t) + a_2 \frac{A_1^2}{2} (\cos(2\omega_1 t) + 1) + a_3 \frac{A_1^3}{4} (\cos(3\omega_1 t) + 3 \cos(\omega_1 t)) \\ & + a_4 \frac{A_1^4}{8} (\cos(4\omega_1 t) + 4 \cos(2\omega_1 t) + 3) + \dots \end{aligned} \quad (\text{A.26})$$

El primer término en (A.26) corresponde a la respuesta lineal del sistema. El segundo término es llamado distorsión armónica de segundo orden, la cual crea no sólo una frecuencia de  $2\omega_1$ , sino también un término en  $DC$ . El tercer término es llamado distorsión armónica de tercer orden, que genera componentes en  $3\omega_1$  y  $\omega_1$ . La componente en  $\omega_1$  se suma al término lineal causando compresión o expansión de ganancia, dependiendo del signo de  $a_3$ . Similarmente, el cuarto término es llamado la distorsión armónica de cuarto orden, la cual genera componentes en  $4\omega_1$ ,  $2\omega_1$  y  $DC$ .

La distorsión armónica es generalmente caracterizada mediante la distorsión armónica fraccional [21]. La distorsión armónica fraccional segunda es definida como:

$$HD_2 = \frac{\text{Amplitud del segundo armonico en } 2\omega_1}{\text{Amplitud de la fundamental}} = \frac{a_2}{2a_1} A_1 \quad (\text{A.27})$$

Similarmente, la distorsión armónica fraccional tercera es definida como:

$$HD_3 = \frac{\text{Amplitud del tercer armonico en } 3\omega_1}{\text{Amplitud de la fundamental}} = \frac{a_3}{4a_1} A_1^2 \quad (\text{A.28})$$

### A.3.2. Compresión de ganancia

Las no linealidades de tercer orden pueden contribuir componentes en la frecuencia del término lineal de salida, como se indica en A.26, y efectivamente cambiar la ganancia. Si la ganancia se incrementa, este fenómeno es llamado expansión de ganancia, mientras que si ésta se reduce es llamado compresión de ganancia, siendo lo último más común en la práctica. Esto sucede, por ejemplo, cuando una señal deseada suficientemente grande aparece en la entrada del receptor y satura el amplificador de la etapa de entrada.

Una medida relacionada con este efecto es el punto de compresión de 1dB, definido como el valor de la señal de entrada para el cual la ganancia cae por 1dB. Si la compresión de ganancia es causada exclusiva o predominantemente por la no linealidad de tercer orden, la ganancia efectiva está dada por:

$$a_1 + \frac{3}{4}a_3A_1^2 \quad (\text{A.29})$$

donde  $A_1$  es la amplitud del tono sinusoidal de entrada. De A.29 se puede encontrar el punto de compresión de 1dB como,

$$A_{1dB} = 0,33\sqrt{\frac{4}{3}\left|\frac{a_1}{a_3}\right|} \quad (\text{A.30})$$

### A.3.3. Intermodulación

Cuando más de una señal está presente en la entrada del sistema no lineal, además de las componentes armónicas de ambas señales, más componentes debido a la interacción de las dos señales son creadas, lo anterior es referido como intermodulación. Asumiendo el caso en el cual la señal de entrada está conformada por la suma de dos tonos, como sigue:

$$x_i(t) = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t) \quad (\text{A.31})$$

Substituyendo A.31 en A.24, y suponiendo que para señales de pequeña amplitud de entrada, los tres primeros términos de la serie A.24 son suficientes para representar el sistema, se obtiene:

$$\begin{aligned} y(t) = & \frac{a_2}{2}(A_1^2 + A_2^2) + (a_1A_1 + \frac{3}{4}a_3A_1^3 + \frac{3}{2}a_3A_1A_2^2) \cos(\omega_1 t) + (a_1A_2 + \frac{3}{4}a_3A_2^3 + \\ & \frac{3}{2}a_3A_1^2A_2) \cos(\omega_2 t) + \frac{a_2A_1^2}{2} \cos(2\omega_1 t) + \frac{a_2A_2^2}{2} \cos(2\omega_2 t) + \frac{3}{4}a_3A_1^3 \cos(3\omega_1 t) + \\ & + \frac{a_2A_1A_2}{2} \cos(\omega_1 - \omega_2 t) + \frac{a_2A_1A_2}{2} \cos((\omega_1 + \omega_2)t) + \frac{3a_3A_1^2A_2}{4} \cos((2\omega_1 + \omega_2)t) + \\ & \frac{3a_3A_2^3}{4} \cos(3\omega_2 t) + \frac{3}{4}a_3A_1^2A_2 \cos((2\omega_1 - \omega_2)t) + \frac{3a_3A_1A_2^2}{4} \cos((2\omega_2 + \omega_1)t) + \\ & \frac{3}{4}a_3A_1A_2^2 \cos((2\omega_2 - \omega_1)t) \end{aligned} \quad (\text{A.32})$$

Las componentes que tienen frecuencias  $(\omega_1 \pm \omega_2)$  son conocidas como intermodulación de segundo orden IM2, y las que tienen frecuencias de la forma  $(2\omega_1 \pm \omega_2)$  y  $(2\omega_2 \pm \omega_1)$  son llamadas componentes de intermodulación de tercer orden IM3. Si las componentes de interferencia se deben a señales de canales próximos, la componente de  $(\omega_1 - \omega_2)$  es pequeña y la componente  $(\omega_1 + \omega_2)$  es más alta. No obstante, existirán componentes de intermodulación de tercer orden bien próximas a la señal modulada deseada. Una medida usada para evaluar la linealidad en función de los productos de intermodulación de tercer orden, es el punto de intersección de tercer orden *IIP3* el cual es definido como la magnitud de la señal de entrada para la cual el término de intermodulación IM3 a la salida tiene la misma magnitud que el término lineal, asumiendo que las no linealidades más altas de tercer orden son despreciables.

Tomando los términos IM3 de la ecuación A.32 y considerando que las señales de entrada tienen la misma amplitud  $A_{in} = A_1 = A_2$  se puede definir un punto de intercepción de tercer orden referido a la entrada medido en amplitud como:

$$|a_1|A_{IIP3} = \frac{3}{4}|a_3|A_{IIP3}^3$$

$$A_{IIP3} = \sqrt{\frac{4|a_1|}{3|a_3|}} \quad (\text{A.33})$$

Si se tiene un sistema con varios bloques en cascada, se puede hacer una estimación del punto de intersección de tercer orden, bajo ciertas simplificaciones, como:

$$IIP3_n = \frac{1}{\sqrt{\frac{1}{IIP3_1^2 + \sum_{i=2}^n \frac{\prod_{j=1}^{i-1} G_j^2}{IIP3_i^2}}}} \quad (\text{A.34})$$

El punto de intersección referido a la entrada *IIP3* de todo el sistema puede ser mejorado incrementando los *IIP3s* de los bloques individuales, y significativamente aumentando el *IIP3* de los bloques finales. El aumento en las ganancias de las etapas anteriores a un bloque disminuye el *IIP3* del bloque. Por consiguiente, es necesario que exista un circuito con buen desempeño lineal a la salida del sistema y ganancias reducidas en las primeras etapas.

Un requerimiento de ganancias menores es contradictorio para una condición de menor figura de ruido del sistema. Por tanto, no existirá una condición de diseño que optimice tanto el desempeño de ruido y linealidad en un circuito de una sola etapa, pero existe un compromiso que puede ser cumplido, dentro de las especificaciones, tal que el desempeño de los dos parámetros sea el adecuado [7].

#### A.3.4. Rango dinámico

El rango dinámico (*DF*) es generalmente definido como la diferencia entre una máxima amplitud de señal de entrada que puede tolerar el receptor y una mínima amplitud de señal

que puede ser detectada con una relación señal a ruido especificada a la salida. En las especificaciones de diseño son usadas dos definiciones de rango dinámico: rango dinámico libre de espurios (*SFDR*) y rango dinámico de bloqueo (*BDR*) [18]. El *BDR* es definido de la siguiente forma cuando el límite superior es impuesto por el efecto de compresión:

$$DR = P_{1dB} + 174 \frac{dBm}{Hz} - NF|_{dB} - 10 \log B - SNR_{sal,min}|_{dB} \quad (A.35)$$

Para el *SFDR*, el límite superior es definido cuando la componente de intermodulación de tercer orden referida a la entrada es igual al *ruido de piso*. El *ruido de piso* es definido como el ruido intrínseco visto en la entrada:

$$P_{ruido\ de\ piso} = -174 \frac{dBm}{Hz} + NF|_{dB} + 10 \log B \quad (A.36)$$

De las ecuaciones A.36 y A.33 el *SFDR* puede ser escrito como:

$$SFDR = \frac{2}{3}(P_{IIP3} - P_{ruido\ de\ piso}) - SNR_{sal,min} \quad (A.37)$$

### A.3.5. Bloqueo

Otro caso en el cual las no linealidades pueden efectivamente cambiar la ganancia de un circuito, es cuando la señal deseada de entrada es débil y está en presencia de una señal no deseada fuerte. Dado que una señal grande tiende típicamente a reducir la ganancia promedio del circuito (ver sección A.3.2), la señal débil puede experimentar un desvanecimiento de la ganancia. Para una entrada considerablemente mayor de componente  $A_2$ , la cual representa la señal de interferencia con respecto a  $A_1$  (componente de la señal deseada), con  $A_2 \gg A_1$ , de (A.32) la ganancia de la señal deseada es igual a  $(a_1 + a_3 A_2^2/2)$ , siendo una función decreciente de  $A_2$  si  $a_3 < 0$ . Para  $A_2$  suficientemente grandes, la ganancia tiende a cero, y la señal deseada será bloqueada [18].



## Apéndice B

# Derivadas de la Corriente de Dreno de un Transistor MOS

Modelos continuos del transistor MOS en las tres regiones de operación han sido presentados en [26] y [35]. Tomando en cuenta en un primer orden la desviación de la ley cuadrática en inversión fuerte, despreciando los fenómenos de segundo orden tales como la modulación de la longitud del canal, la corriente de drenó puede ser modelada aproximadamente como una función del voltaje entre compuerta y fuente de la siguiente forma:

$$I = f(V_{gs} - V_t) = K \frac{X^2}{1 + \theta X} \quad (\text{B.1})$$

$$\text{con } X = 2n\phi_t \ln \left( 1 + e^{\frac{V_{gs} - V_t}{2n\phi_t}} \right) \quad (\text{B.2})$$

Donde  $V_t$  es el voltaje de umbral del transistor,  $\phi_t$  es el voltaje térmico  $kT/q$ , y  $K$  es una constante dependiente de la tecnología de fabricación y de las dimensiones del transistor.

Por tanto, si se modela la relación corriente-voltaje ( $I = f(V_{gs} - V_t)$ ) del transistor MOS en saturación en las tres regiones de inversión (inversión débil, inversión moderada e inversión fuerte), mediante la ecuaciones (B.1) y (B.2), con diferenciación directa se pueden encontrar las primeras derivadas de la corriente de drenó con respecto a la tensión entre compuerta y fuente  $V_{gs}$  del transistor MOS, de la siguiente forma:

$$f' = f_X * X_V \quad (\text{B.3})$$

$$f'' = f_{XX} * X_V^2 + f_X * X_{VV} \quad (\text{B.4})$$

$$f''' = f_{XXX} * X_V^3 + 3 * (f_{XX} * X_V * X_{VV}) + f_X * X_{VVV} \quad (\text{B.5})$$

donde

$$f_X = K \frac{X(2 + \theta X)}{(1 + \theta X)^2} \quad (\text{B.6})$$

$$f_{XX} = K \frac{2}{(1 + \theta X)^3} \quad (\text{B.7})$$

$$f_{XXX} = K \frac{-6\theta}{(1 + \theta X)^4} \quad (\text{B.8})$$

son las primeras tres derivadas de  $f$  con respecto a  $X$ , y

$$X_V = \frac{1}{1 + s^{-2}} \quad (\text{B.9})$$

$$X_{VV} = \frac{1}{2\eta\phi_t} \frac{1}{(s + s(-1))^2} \quad (\text{B.10})$$

$$X_{VVV} = -\frac{1}{(2\eta\phi_t)^2} \frac{(s - s^{-1})}{(s + s^{-1})^3} \quad (\text{B.11})$$

son las primeras tres derivadas de  $X$  con respecto a  $V_{gs}$ , y

$$s = e^{\left(\frac{V_{gs} - V_t}{4\eta\phi_t}\right)} \quad (\text{B.12})$$

El modelo presentado en las ecuaciones (B.1) y (B.2), se reduce a la expresión conocida de la relación corriente-voltaje en inversión fuerte. En esta región el término exponencial domina el argumento del logaritmo en (B.2), siendo  $X \approx V_{gs} - V_t$ , y por lo tanto, (B.1) se aproxima a:

$$I_d = K \frac{(V_{gs} - V_t)^2}{1 + \theta(V_{gs} - V_t)} \quad (\text{B.13})$$

la cual es la relación I-V comúnmente usada en saturación. Si se asume que los dispositivos están en inversión fuerte, con diferenciación de (B.13) se pueden encontrar los coeficientes de la series de potencias de (4.5), como sigue:

$$g_1 = K \frac{(V_{GS} - V_t)(2 + \theta(V_{GS} - V_t))}{(1 + \theta(V_{GS} - V_t))^2} \quad (\text{B.14})$$

$$g_2 = K \frac{2}{(1 + \theta(V_{GS} - V_t))^3} \quad (\text{B.15})$$

$$g_3 = K \frac{-6\theta}{(1 + \theta(V_{GS} - V_t))^4} \quad (\text{B.16})$$

Invirtiendo (4.5) se obtienen los coeficientes de (4.7):

$$r_1 = \frac{1}{g_1} \quad (\text{B.17})$$

$$r_2 = -\frac{g_2}{g_1^3} \quad (\text{B.18})$$

$$r_3 = 2\frac{g_2^2}{g_1^5} - \frac{g_3}{g_1^4} \quad (\text{B.19})$$

La dependencia del voltaje de umbral con respecto al voltaje entre fuente y cuerpo del transistor MOS puede ser aproximado por la siguiente expresión<sup>1</sup> [25]:

$$V_t \approx V_{t0} + \gamma [\sqrt{\phi + V_{SB}} - \sqrt{\phi}] \quad \gamma \approx \frac{\sqrt{2qN_A\epsilon_s}}{C_{ox}} \quad (\text{B.20})$$

donde  $V_{t0}$  es el voltaje de umbral cuando la fuente está conectada al cuerpo  $V_{SB} = 0$ ,  $\phi$  es el potencial de superficie,  $\gamma$  es el coeficiente del efecto cuerpo,  $N_A$  es la concentración del sustrato, y  $\epsilon_s$  es la permitividad del silicio (aproximadamente  $1,04 * 10^{-12}$  [F/cm]). Una expansión de Taylor de (B.20) suministra los coeficientes de (4.6):

$$b_1 = \frac{1}{2} \frac{\gamma}{(\phi + V_S)^{1/2}} \quad (\text{B.21})$$

$$b_2 = -\frac{1}{8} \frac{\gamma}{(\phi + V_S)^{3/2}} \quad (\text{B.22})$$

$$b_3 = \frac{1}{16} \frac{\gamma}{(\phi + V_S)^{5/2}} \quad (\text{B.23})$$

---

<sup>1</sup>En dispositivos de canal corto esta expresión no es exacta, sin embargo, se obtienen buenas aproximaciones si  $\gamma$  y  $\phi$  son considerados parámetros constantes. Es importante tener en cuenta que el parámetro  $\gamma$  empleado aquí es diferente del parámetro utilizado en el modelo de ruido de la corriente de dreno.



# Bibliografía

- [1] *The International Technology Roadmap for Semiconductors*, S.I.A Std., 2001. [Internet].  
Visite: <http://www.itrs.org>
- [2] B. Razavi, “Design Considerations for Direct-Conversion Receivers,” *IEEE Trans. Circuits Syst. II*, vol. 44, no. 6, pp. 428–435, 1997.
- [3] E. Terrovitis, “Analysis and Design of Current-Commutating CMOS Mixers,” Ph.D. dissertation, Universidad de California., Berkeley, 2001.
- [4] S. W. Son, “High Dynamic Range CMOS Mixer Design,” Ph.D. dissertation, University of California, Berkeley, 2002.
- [5] T. Lee and S. Wong, “CMOS RF Integrated Circuits at 5 GHz and Beyond,” in *IEEE J. Solid-State Circuits*, vol. 88, no. 10, 2000, pp. 1560–1571.
- [6] B. Razavi, “CMOS Technology Characterization for Analog and RF Design,” *IEEE J. Solid-State Circuits*, vol. 34, no. 3, pp. 268–276, 1999.
- [7] E. Roa, “Metodologia de Projeto para Amplificadores de Baixo Ruído en CMOS,” Master’s thesis, Escuela Politécnica de la Universidad de Sao Paulo, Sao Paulo, 2003.
- [8] D. Shaeffer and T. H. Lee, “A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier,” *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, 1997.
- [9] P. Leroux, J. Janssens, and M. Steyaert, “A 0.8-dB NF ESD-Protected 9-mW CMOS LNA Operating at 1.23 GHz,” *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 760–765, 2002.
- [10] Y. Ding and R. Harjani, “A 18dBm IP3 LNA in 0.35 $\mu$ m CMOS,” in *Int. Solid-State Conf. IEEE*, 2001, pp. 162–163.
- [11] A. Karanicolas, “A 2.7-V 900-MHz CMOS LNA and Mixer,” *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939–1944, 1996.
- [12] H. Hashemi and A. Hajimiri, “Concurrent Multiband Low-Noise Amplifiers, Theory, Design and Applications,” *IEEE Trans. Microwave Theory Tech.*, vol. 50, no. 1, pp. 288–301, 2002.
- [13] P. Chan, A. Rofougaran, K. A. Ahmed, and A. A. Abidi, “A Highly Linear 1-GHz CMOS Downconversion Mixer,” in *Solid-State Circuits Conf. IEEE*, Sevilla, España, 1993, pp. 210–213.

- [14] P. Sullivan, B. A. Xavier, D. Costa, and W. H. Ku., "A Low Voltage Evaluation of a 1.9GHz Silicon MOSFET Gilbert Cell Downconversion Mixer," in *Solid-State Circuits Conf. IEEE*, Neuchatel, Switzerland, 1996, pp. 212–215.
- [15] H. Sjöland, A. Karimi-Sanjaani, and A. A. Abidi, "A Merged CMOS LNA and Mixer For A WCDMA Receiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1045–1050, 2003.
- [16] H. Rothe and W. Dahlke, "Theory of Noisy Fourpoles," *Proc. of the IRE.*, vol. 44, pp. 811–815, 1956.
- [17] T. H. Lee, *The Design of CMOS Radio Frequency Integrated Circuits*. Cambridge University Press, 1998.
- [18] B. Razavi, *RF Microelectronics*. McGraw-Hill, 1998, ch. 2.
- [19] C. D. Hull and R. G. Meyer, "A Systematic Approach to the Analysis of Noise in Mixers," *IEEE Trans. Circuits Syst. I*, vol. 40, pp. 909–919, 1993.
- [20] A. V. der Ziel, *Noise in Solid State Devices and Circuits*. John Wiley and Sons, 1986.
- [21] J. J. Ou, "CMOS RF Device Modeling and Low-Noise Amplifier Circuit Design," Ph.D. dissertation, University of California, Berkeley, 2001.
- [22] A. A. Abidi, "RF CMOS Comes of Age," *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 549–561, 2004.
- [23] J. Crols and S. Steyaert, "A 1.5 GHz Highly Linear CMOS Downconversion Mixer," in *IEEE J. Solid-State Circuits*, vol. 30, no. 7, 1995, pp. 736–742.
- [24] T. Manku, "Microwave CMOS-Device Physics and Design," *IEEE J. Solid-State Circuits*, vol. 34, no. 3, pp. 277–285, 1999.
- [25] P. Gray, P. Hurst, S. Lewis, and R. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4th ed. John Wiley and Sons, 2001.
- [26] Y. Tsvividis, *Operation and Modeling of the MOS transistor*, 2nd ed. McGraw-Hill, 1999.
- [27] A. Demir, "Analysis and Simulation of Noise in Nonlinear Electronics Circuits and Systems," Ph.D. dissertation, UC Berkeley, Berkeley, 1997.
- [28] H. Darabi and A. A. Abidi, "Noise in RF-CMOS Mixers: A Simple Physical Model," in *IEEE J. Solid-State Circuits*, vol. 35, no. 1, 2000, pp. 15–25.
- [29] M. Schetzen, *The Volterra and Wiener Theories of Nonlinear Systems*. John Wiley and Sons, 1980.
- [30] V. Aparin and C. Persico, "Effect of Out-of-band Terminations on Intermodulation Distortion in Common-emitter Circuits," in *IEEE MTT-S Digest*, 1999, pp. 977–980.
- [31] *Specification of the Bluetooth System V1.0A* [Online]. Available: <http://www.bluetooth.com>, Noviembre 2004.

- 
- [32] (2005) Asitic documentation. [Internet]. Visite: <http://rfic.eecs.berkeley.edu/~niknejad/asitic/asitic.html>
- [33] Mosis, "MOSIS Testing Report: Bluetooth receiver," Tech. Rep.
- [34] H. T. Friis, "Noise Figures of Radio Receivers," *Proc. of the IRE.*, vol. 44, pp. 419–422, 1944.
- [35] C. Hu *et al.*, "BSIM 4.2.1 MOSFET Model -User's Manual-," BSIM-UCB Group, CA, Tech. Rep., 2001. [Internet]. Visite: <http://www-device.eecs.berkeley.edu/bsim3/~bsim4.html>