

**DISEÑO Y CONSTRUCCIÓN DE UN MODULADOR DIDÁCTICO PSK  
BASADO EN EL PROCESADOR DIGITAL DE SEÑALES 56F8323 DE  
MOTOROLA**

**EDWIN HERREÑO CASTELLANOS  
OMAR ANTONIO PALOMINO VILLAR**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO- MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES  
BUCARAMANGA  
2005**

**DISEÑO Y CONSTRUCCIÓN DE UN MODULADOR DIDÁCTICO PSK  
BASADO EN EL PROCESADOR DIGITAL DE SEÑALES 56F8323 DE  
MOTOROLA**

**EDWIN HERREÑO CASTELLANOS  
OMAR ANTONIO PALOMINO VILLAR**

**Proyecto para optar al título de  
Ingenieros Electrónicos**

**Director  
Ing. OSCAR MAURICIO REYES TORRES**

**Codirector  
Ing. ERWIN JOHN SAAVEDRA MERCADO**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO- MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES  
BUCARAMANGA  
2005**

## **DEDICATORIA**

A Dios por permitirme alcanzar esta meta.

A José Antonio, Nohora, Denisse, mi familia por su apoyo incondicional.

**EDWIN**

## **DEDICATORIA**

A Dios Todopoderoso que hizo brillar una nueva luz en mi camino.

A mis padres Matty y Antonio que con amor me mostraron los senderos de la perseverancia como medio para alcanzar el éxito.

A mis hermanas, con sus manos solidarias han permitido alcanzar mi meta.

**OMAR**

## **AGRADECIMIENTOS**

Al Ingeniero Oscar Mauricio Reyes Torres, Director de este proyecto, por el aporte valioso de sus conocimientos y por su esmerada colaboración.

Al Ingeniero Erwin John Saavedra Mercado, Codirector de este proyecto, por sus aportes.

A Javier Mier y Jairo Mantilla por su colaboración y tolerancia.

## CONTENIDO

	pág.
INTRODUCCIÓN	16
1. MODULACIÓN DIGITAL	19
1.1 MODULACIÓN POR DESPLAZAMIENTO DE AMPLITUD ASK	20
1.2 MODULACIÓN POR DESPLAZAMIENTO DE FRECUENCIA FSK	22
1.3 MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK	23
1.3.1 Modulación por desplazamiento de fase binaria BPSK	25
1.3.2 Modulación por desplazamiento de fase en cuadratura QPSK	26
1.3.3 Modulación por desplazamiento de fase múltiple (8-PSK)	28
1.4 PROCESADOR DIGITAL DE SEÑAL DSP56F8323	30
1.4.1 Características generales	31
1.4.2 Arquitectura	32
1.4.3 Diagrama de bloques funcional	33
1.4.4 Unidad aritmético lógica (ALU)	34
1.4.5 Unidad de generación de direcciones (AGU).	35
1.4.6 Unidad de manipulación de bit	36
1.4.7 Módulos periféricos	36
2. DISEÑO Y CONSTRUCCIÓN DEL MODULADOR DIDÁCTICO PSK	38
2.1 DIAGRAMA DE BLOQUES DEL SISTEMA	39
2.1.1 Entrada de información digital	39
2.1.2 Modulador PSK	40
2.1.3 Visualización	41
2.2 DISEÑO E IMPLEMENTACIÓN DE LA TARJETA DE DESARROLLO	41
2.2.1 Descripción de la tarjeta de desarrollo.	42
2.3 DESCRIPCIÓN DE LA IMPLEMENTACIÓN DE LA TARJETA DE DESARROLLO	43
2.3.1 Fuente de alimentación	44
2.3.2 Puerto JTAG	47

2.3.3	Conversores Digital/Analógico	47
2.3.4	Inversor de voltaje	49
2.3.5	Amplificadores operacionales	50
2.3.6	Interfaz serial	51
2.3.7	DSP56F8323	52
2.4	DISPOSITIVOS PERIFÉRICOS DEL MODULADOR DIDÁCTICO PSK	53
2.4.1	Interruptores	53
2.4.2	Reset	54
2.4.3	Conector plug de alimentación	54
2.4.4	Conector serial DB9	54
2.4.5	Puertos E/S	54
3.	DISEÑO DEL ALGORITMO	56
3.1	GENERACIÓN DE LAS ONDAS	56
3.2	SELECCIÓN DE LA MODULACIÓN	56
3.3	MODULACIÓN BPSK	58
3.4	MODULACIÓN QPSK	59
3.5	MODULACIÓN 8-PSK	59
4.	PRUEBAS Y ANÁLISIS DE RESULTADOS	60
4.1	EQUIPOS Y HERRAMIENTAS UTILIZADAS	60
4.2	METODOLOGÍA DE LAS PRUEBAS	61
4.3	PRUEBAS	61
4.3.1	Prueba 1: TARJETA DE DESARROLLO DEL DSP56F8323	62
4.3.2	Prueba 2: SEÑALES I, Q	62
4.3.3	Prueba 3: BPSK	64
4.3.4	Prueba 4: QPSK	67
4.3.5	Prueba 5: 8-PSK	70
5.	CONCLUSIONES Y RECOMENDACIONES	74
5.1	CONCLUSIONES	74
5.2	RECOMENDACIONES	75
	REFERENCIAS BIBLIOGRÁFICAS	77
	ANEXOS	78

## LISTA DE TABLAS

	pág.
Tabla 1. Combinación de los díbits y fase de salida de la Onda QPSK.	27
Tabla 2. Combinación de díbits y fase de la onda 8-PSK.	29
Tabla 3. Características de las portadoras I y Q	63
Tabla 4. Cuadro comparativo de los resultados obtenidos de la modulación PSK	74

## LISTA DE FIGURAS

	pág.
Figura 1. Modulación digital por desplazamiento de amplitud	21
Figura 2. Modulación digital por desplazamiento de frecuencia	23
Figura 3. Representación fasorial de los canales I y Q en 8-PSK	28
Figura 4. Módulos y sus conexiones entre si usando los buses.	33
Figura 5. Diagrama de Bloques Funcional.	34
Figura 6. Modulador didáctico PSK	38
Figura 7. Diagrama de bloques del sistema.	39
Figura 8. Diagrama de bloques de la tarjeta de desarrollo.	42
Figura 9 Distribución física de los componentes de la tarjeta de desarrollo	44
Figura 10 Configuración típica de la fuente LM78LXX	45
Figura 11 Diagrama de pines del LM78L05	46
Figura 12 Configuración típica de la fuente LM1117	46
Figura 13 Configuración típica del DAC0808	48
Figura 14 DAC0808	49
Figura 15 Aplicación típica de inversión de voltaje del LT1054	50
Figura 16 Inversor de voltaje lt1054	50
Figura 17 Configuración dual del LF353	51
Figura 18 Configuración utilizada del MAX232	52
Figura 19 Diagrama de Pines de la MAX232	52
Figura 20. Diagrama de flujo del algoritmo utilizado en el modulador PSK	57
Figura 21. Ondas senoidales I y Q	63
Figura 22. Espectro de la onda senoidal	64
Figura 23 Gráfica de la modulación BPSK(Matlab).	65
Figura 25. Gráfica de la modulación BPSK(Modulador)	66
Figura 26. Espectro de frecuencias de la onda BPSK	66
Figura 27. Gráfica de la modulación QPSK(Matlab)	67
Figura 28. Gráfica de la modulación QPSK.	68

Figura 29. Gráfica de la modulación QPSK( Modulador)	68
Figura 30. Diagrama de transiciones de la modulación QPSK	69
Figura 31. Espectro de la señal QPSK	69
Figura 32. Gráfica de la modulación 8-QPSK(Matlab)	70
Figura 33. Gráfica de la modulación 8-QPSK.	71
Figura 34. Gráfica de la modulación 8-PSK(Modulador)	71
Figura 35. Diagrama de transición de la modulación 8-PSK	72
Figura 36. Espectro de la señal 8-PSK	72

## **LISTA DE ANEXOS**

	pág.
Anexo A. Propuesta de la guía de práctica de laboratorio	79
Anexo B. Tutorial de Docklight	94
Anexo C. Manual de Operaciones	100
Anexo D. Puerto JTAG	111
Anexo E. Planos	114
Anexo F. Programa del modulador	120
Anexo G. Algoritmo de simulación en Matlab	130

## RESUMEN

**TÍTULO:** DISEÑO Y CONSTRUCCIÓN DE UN MODULADOR DIDÁCTICO PSK BASADO EN PROCESADOR DIGITAL DE SEÑALES DSP56F8323 DE MOTOROLA'

**AUTORES:**

**EDWIN HERREÑO CASTELLANOS**  
**OMAR ANTONIO PALOMINO VILLAR"**

**PALABRAS CLAVE:** Modulación, digital, PSK, DSP, constelación.

**DESCRIPCIÓN:**

En la actualidad el laboratorio de comunicaciones de la escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones no cuenta con un equipo de comunicaciones específico para realizar las prácticas de modulación PSK. Si se tiene en cuenta que la adquisición de estos moduladores acarrea un costo adicional para la E<sup>3</sup>T, se propone como solución construir un modulador didáctico que permita complementar trabajos anteriores, dirigidos al desarrollo de prácticas del laboratorio de comunicaciones mediante el uso del software y a la vez despertar en los usuarios el interés por otros tópicos como los Procesadores Digitales de Señales.

La construcción de este modulador involucra el diseño de dos elementos relacionados entre sí. El primero, es la tarjeta de desarrollo del DSP56F8323 que representa el núcleo del hardware y el segundo es el algoritmo desarrollado para implementar el modulador al interior del DSP. Además se elaboró una tarjeta de programación JTAG que permite modificar y actualizar los algoritmos desde un PC, lo que facilita futuros cambios, mejoras y nuevas aplicaciones de este diseño, como la implementación de modulaciones digitales más eficientes.

El tipo de modulación digital implementada en este equipo es la modulación por desplazamiento de fase (PSK) con sus diferentes variantes como son la BPSK, la QPSK y 8-PSK, con tasas de salida máxima de 3125 baudios. Además se incluye un manual de operaciones del modulador que le permite al usuario, darle un correcto manejo y también una guía para realizar practicas de laboratorio que le permitan al estudiante ampliar y profundizar los conceptos relacionados, adquiridos en la asignatura de sistemas de comunicaciones digitales.

---

' Proyecto de grado

" Facultad de Ingenierías Fisicomecánicas. Escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones. Director: Ingeniero Oscar Mauricio Reyes Torres.

## **SUMMARY**

**TITLE:** DESIGN AND CONSTRUCTION OF A DIDACTIC PSK MODULATOR BASED ON A DIGITAL SIGNALS PROCESSOR DSP56F8323 OF MOTOROLA '

**AUTHORS:**

**EDWIN HERREÑO CASTELLANOS**  
**OMAR ANTONIO PALOMINO VILLAR"**

**KEYWORDS:** Modulation, digital, PSK, DSP, constellation.

**DESCRIPTION:**

Nowadays, the laboratory of communications of the Electric, Electronic and Telecommunications engineering school, does not count with a specific communications equipment to develop the practice of the PSK modulations. Whether it keeps in mind that the acquisition of these modulators brings one additional cost to the E<sup>3</sup>T, it is proposed as a solution to construct a didactic modulator that allow us to complete former works focused to the development of communication laboratory practices through the use of the software, and at the same time, to increase the user's interest for other topics as the Digital Signals Processor.

The construction of these modulator involves the design of two elements intertwined each other. The first one, is the development card of the DSP56F8323 that represents the hardware nucleus, and the second one is the developed algorithm to implement the modulator to the inside part of the DSP. Besides, it was elaborated a JTAG programme card that allows it to modify and refresh the algorithms from a processor, which would make easy future changes, improvements and new applications of this design, as well as the implementation of more efficient digital modulations.

This type of digital modulation implemented in this equipment is the PSK with its different variants such as the BPSK, QPSK and 8-PSK, with maximum exit rates of 3125 bauds. Besides, a modulator's operation manual is included. This manual allows the user a correct management and also to have a guide to develop laboratory practices that entitle students to wide and to go deeper into the involves concepts acquired in the digital communications systems subject.

---

' Proyect of grade

"Physical and Mechanical Engineering Faculty. Electrical, Electronic and Telecommunications Engineering School. Director: Engineer Oscar Mauricio Reyes Torres.

## **INTRODUCCIÓN**

El modulador didáctico PSK se plantea como una alternativa que complementa las herramientas existentes en la Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones E<sup>3</sup>T, para la realización de las prácticas del laboratorio de comunicaciones. En la actualidad se cuenta con el software LVSIM-ACOM 1.2 para la modulación/demodulación analógica, el Win FACET, LabCOM que son equipos y material de laboratorio, y el software Matlab 6.1 que permite entre otras, la simulación de sistemas de comunicaciones. También, se vienen desarrollando un conjunto de prácticas de laboratorio para la asignatura de teoría de comunicaciones entre las que están las guías realizadas en el proyecto de grado "MODELADO Y SIMULACIÓN DE SISTEMAS DE COMUNICACIONES DIGITALES" en el entorno de Matlab-Simulink.

Este trabajo busca un acercamiento con un equipo modulador PSK real, que tenga las características de versatilidad, fácil manejo y bajo costo, sin perder la esencia didáctica del mismo. Por esta razón, se quiere que el usuario pueda seleccionar el modo de operación del modulador didáctico, varíe los datos de entrada digitales desde un programa de información serial, cambie algunos de los parámetros de este último, para que el estudiante analice las características de las fases de salida en función del tiempo de las modulaciones BPSK, QPSK y 8-PSK, así como de las respectivas señales I y Q. Esto último, afianza el conocimiento de las propiedades (amplitud, frecuencia, modos de transmisión) de este tipo de modulación digital, con sus ventajas y limitaciones.

Por otra parte, el estudio de los procesadores digitales de señales (DSP) y sus aplicaciones son otra línea de investigación que se viene fortaleciendo en la E<sup>3</sup>T, donde se han abierto espacios académicos para la enseñanza de estos dispositivos. Desde el planteamiento del proyecto se incluye el DSP como

elemento central, debido a que posee ventajas como su alto número de operaciones por ciclo de máquina, bajo costo y bajo consumo de potencia. Además, con la implementación de la tarjeta de desarrollo para el DSP es posible entre otras funciones, capturar la información digital, desplegar las señales moduladas por puertos de propósito general y visualizar las fases de salida con un elemento externo.

En el proceso de recopilación de la información sobre el DISEÑO Y CONSTRUCCIÓN DE UN MODULADOR PSK DIDÁCTICO BASADO EN EL PROCESADOR DIGITAL DE SEÑALES DSP56F8323 DE MOTOROLA, se elabora un texto de cinco capítulos y una serie de anexos como complemento de este trabajo de grado.

En el primer capítulo se encuentra un marco teórico que le facilita a cualquier lector, con un mínimo de conocimientos en los sistemas de comunicaciones, entender los principios de la modulación digital de amplitud (ASK), por desplazamiento de frecuencia (FSK) y por desplazamiento fase (PSK). También, se describen las generalidades del DSP56F8323.

El capítulo 2 se dedica al diseño y descripción de los componentes del hardware, como la tarjeta de desarrollo y los dispositivos periféricos del equipo. El diseño de los algoritmos que conforman el software del modulador se realiza en el capítulo 3.

En el capítulo 4 se realizan una serie de pruebas al modulador y a sus algoritmos cambiando los datos binarios de entrada y comparando las fases de salida para cada uno de sus modos de operación con unas señales PSK simuladas en Matlab, que permiten establecer el correcto funcionamiento del equipo.

El capítulo 5 se dedica a las observaciones y conclusiones de los resultados obtenidos, y a las recomendaciones para adelantar trabajos posteriores en este equipo o relacionados con este proyecto.

La parte final del documento posee una serie de referencias bibliográficas como textos, documentos digitales y direcciones de internet, que contienen información para la ejecución del proyecto de grado y se deja como invitación para quién desee profundizar en algún tema específico. También, se anexa una **práctica de laboratorio** que involucra el uso del modulador construido, un **tutorial de Docklight** que es un software de comunicación serial de libre distribución, que le permite al estudiante manipular los datos de entrada a modular, para introducirle dinamismo a la propuesta de la práctica de laboratorio. También, se incluye el diseño de la tarjeta del **puerto JTAG** que facilita la modificación del programa del DSP56F8323, un anexo de **planos** de las tarjetas para una futura reproducción del equipo modulador didáctico PSK, un anexo del **programa del modulador** que muestra los algoritmos de la aplicación en lenguaje C elaborado en Codewarrior 6.1 que es un software gratuito desarrollado por Metrowerks para Motorola. Este software posee las herramientas necesarias para utilizar cualquier módulo del DSP56F8323. Y por último un anexo que contiene un **programa en Matlab** para la construcción de las gráficas que permite comparar las fases de salida del equipo y los diagramas de constelación.

## **1. MODULACIÓN DIGITAL**

Este capítulo está dedicado a describir el comportamiento general de las comunicaciones digitales, específicamente el de algunos tipos de modulación digital (ASK, FSK, PSK) con mayor énfasis en la modulación PSK. Esta información es complementada con una descripción del procesador digital de señales DSP56F8323, útil en el diseño del equipo PSK didáctico.

Hoy en día existe una clara tendencia hacia los sistemas digitales de comunicación. Los servicios de telefonía celular, analógicos hasta hace unos años, hoy son todos de naturaleza digital. Lo mismo sucede con muchos otros sistemas de comunicaciones, como son los servicios de transmisión de datos, de radio digital, de distribución de contenido vía satélite y desde luego, de televisión. En el ámbito de la televisión, aún cuando la mayor parte de las transmisiones radiodifundidas son de carácter analógico, comienzan a aparecer las transmisiones digitales, las mismas que ya se han hecho presentes en las redes de cable y en otros sistemas de televisión privada.

También, existe una estrecha relación entre los sistemas informáticos extendidos prácticamente a la totalidad de los campos del desarrollo profesional y los sistemas de comunicaciones digitales. Entre las ventajas que introduce esta relación, se destacan el incremento de la velocidad en el tratamiento de los datos y el gran volumen de información que puede ser manejada. Debido a este crecimiento profesional se hace necesario que, paralelamente al desarrollo de los sistemas informáticos se creen mecanismos que permitan comunicar estos sistemas entre sí. Por ello, en el campo de las comunicaciones ha aumentado el interés por crear sistemas orientados a la modulación y transmisión de información digital. Existen dos formas de transmitir una señal digital: la primera, es transmitir la señal directamente a través del canal sin efectuar previamente ningún tipo de modulación, cuando

esto ocurre se dice que la transmisión se realiza en banda base. La segunda forma, consiste en modular la señal mediante alguna técnica de modulación digital para después transmitirla, la cual recibe el nombre de transmisión en pasa banda.

La modulación digital consiste en convertir una señal digital en una señal analógica que irá variando su amplitud, frecuencia, fase o bien amplitud y fase conjuntamente, según los valores que vaya tomando la señal digital de información. De esta manera aparecen distintas técnicas de modulación de señales digitales según el tipo de modulación empleado.

Las grandes ventajas de la transmisión pasa banda frente a la transmisión en banda base son: la posibilidad de la multiplexación en frecuencia de varias señales digitales moduladas y la mayor distancia que pueden alcanzar las señales transmitidas pasa banda sin verse afectadas por el ruido.

En las siguientes secciones se describen las características de los principales tipos de modulación digital, como son la modulación por desplazamiento de amplitud (**ASK**, *Amplitude-shift keying*), la modulación por desplazamiento de frecuencia (**FSK**, *Frecuency-shift keying*) y con mayor detalle la modulación por desplazamiento de fase (**PSK**, *Phase-shift keying*) que es el objeto de estudio de este trabajo de grado.

### **1.1 MODULACIÓN POR DESPLAZAMIENTO DE AMPLITUD ASK**

Es una técnica de modulación digital en la cual la información se encuentra modulada en amplitud<sup>1</sup>. Para comprender este tipo de modulación, se puede considerar como señal moduladora una señal binaria **F(t)** que varíe entre dos valores discretos, **0** volts y **A** volts, ( "0" y "1" lógicos respectivamente. Ver

---

<sup>1</sup> TOMASI, Wayne. Sistemas de comunicaciones Electrónicas. Segunda edición. Prentice Hall. México, 1996. p 470.

Figura 1), además una señal **coswt** como la señal portadora. De esta manera la función de la señal modulada  $F_{ASK}(t)$  puede expresarse como:

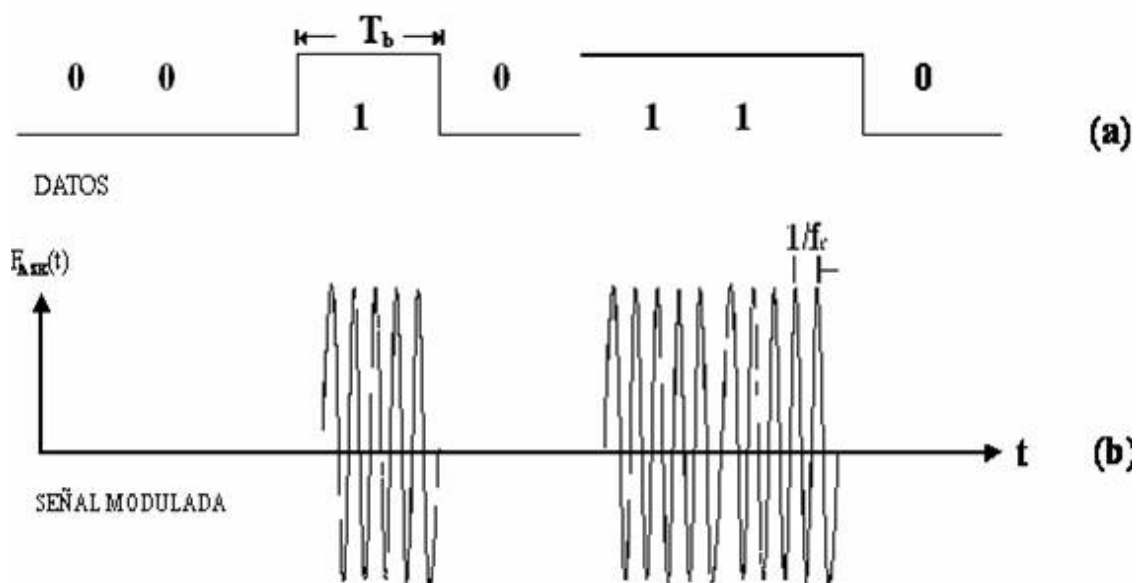
$$F_{ASK}(t) = F(t) \cos wt \quad (1)$$

En donde  $F_{ASK}(t) = 0$ , cuando  $F(t) = 0$  y  $F_{ASK}(t) = A \cos wt$  cuando  $F(t) = A$ .

Es así como, para la modulación ASK, la onda modulada es  $A \cos wt$  ó 0. A continuación se muestra una gráfica de una señal binaria y la correspondiente onda modulada en amplitud.

Figura 1. Modulación digital por desplazamiento de amplitud

(a) entrada binaria; (b) onda de salida  $F_{ASK}(t)$



Fuente: Autores

De esta manera la portadora tiene dos estados posibles, denominados "encendido" o "apagado", y es esta la causa de que a la modulación digital por desplazamiento de amplitud también se le llame modulación por encendido-apagado (OOK de *On/Off Keying*). Las ventajas de este tipo de modulación, son el sencillo diseño (menor costo) y el bajo consumo. La

modulación ASK también tiene deficiencias, como las interferencias por ruido eléctrico, que puede provocar errores en los datos recibidos y la imposibilidad de implementar técnicas que eleven su velocidad de transmisión.

## 1.2 MODULACIÓN POR DESPLAZAMIENTO DE FRECUENCIA FSK

La modulación FSK, es otro tipo de modulación digital en la que la información, se encuentra modulada en frecuencia. Consiste en asignar una frecuencia portadora diferente a cada estado significativo ("0" y "1" lógicos) de la señal de datos que se transmite, pero con la misma amplitud.

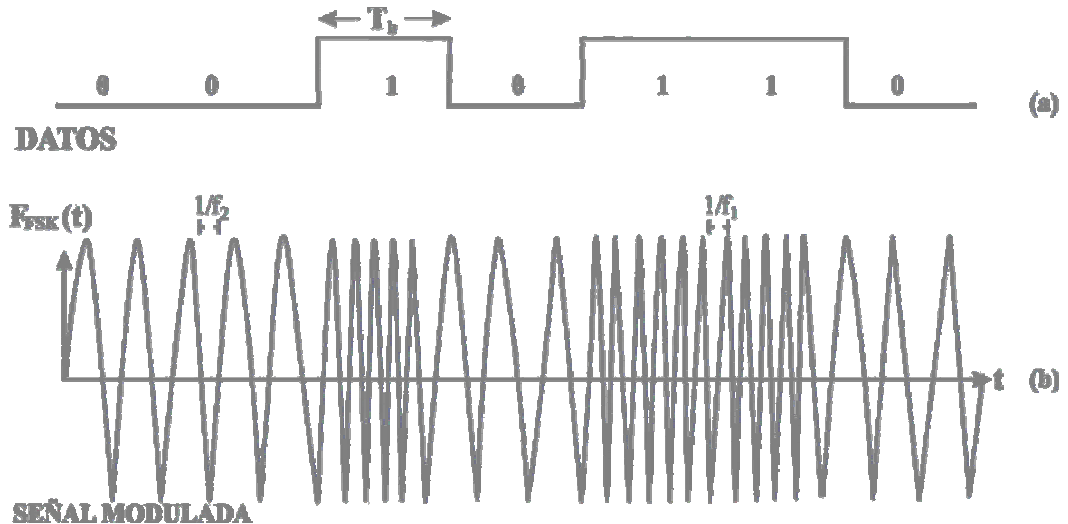
Para comprender la modulación FSK, considere una señal digital binaria de información  $F(t)$ , que posea niveles de tensión de 0 Volts y de 1 volt, y dos señales portadoras de amplitud constante, con frecuencias distintas,  $A\cos w_1t$  y  $A\cos w_2t$ . De esta forma, la función FSK modulada es  $F_{FSK}(t)$ , que se expresa como:

$$F_{FSK}(t) = A\cos w_1t \quad \text{cuando } F(t) \text{ es 1 Volt} \quad (2)$$

$$F_{FSK}(t) = A\cos w_2t \quad \text{cuando } F(t) \text{ es 0 Volt} \quad (3)$$

Es así como en la modulación por desplazamiento de frecuencia (Figura 2) con un 0 digital transmite una portadora a una frecuencia  $w_2$  y con un 1 digital transmite la portadora a otra frecuencia distinta  $w_1$ , con la misma amplitud  $A$  (2) (3) como se muestra a continuación.

Figura 2. Modulación digital por desplazamiento de frecuencia  
 (a) entrada binaria; (b) Onda de salida  $F_{FSK}(t)$ .



Fuente: Autores

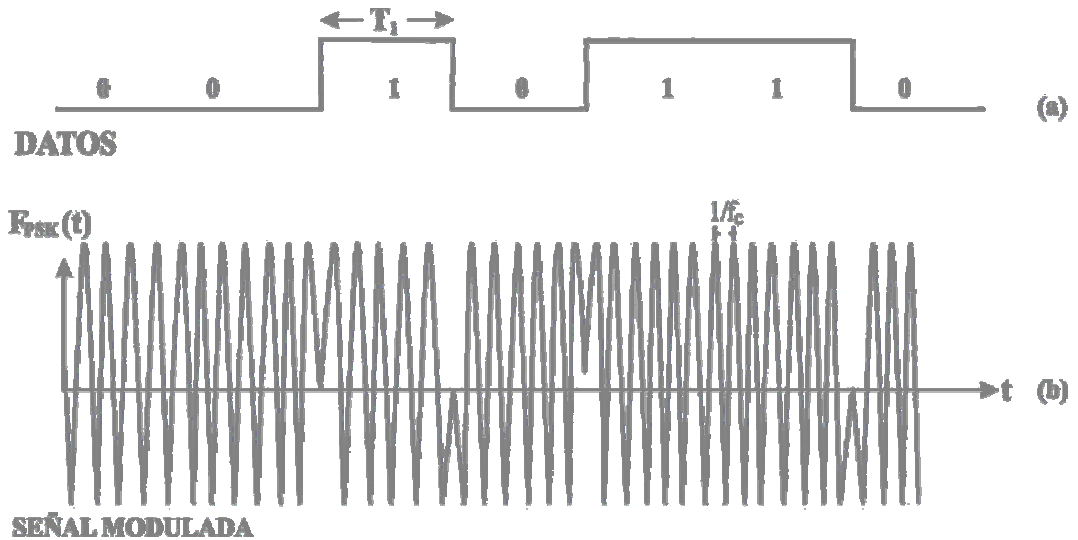
La modulación por desplazamiento de frecuencia, tiene como ventaja la robustez ante la presencia de interferencias, aunque requiere de una mayor complejidad del sistema (mayor costo), mayor ancho de banda y además el consumo de potencia es constante durante la transmisión.

### 1.3 MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK

La modulación PSK es una técnica de modulación digital de amplitud constante, en donde la información se va a modular en fase, es decir, de acuerdo con los valores de la entrada digital, la señal analógica modulada va a tener diferentes fases de salida.

Figura 3. Modulación por desplazamiento de fase.

(a) entrada binaria; (b) Onda de salida  $F_{PSK}(t)$ .



Fuente: Autores

Se puede tener una cantidad limitada de estas fases de salida y este depende del tipo de modulación M-PSK. M representa el número de posibles fases de salida, estas condiciones se relacionan con la fórmula  $N = \log_2 M$ , donde N es la cantidad de bits codificados. Por lo tanto, existen varios tipos de modulación PSK, que dependen de la cantidad de bits a analizar que sean tomados del tren de datos de entrada. Por ejemplo, si de la señal moduladora se toman los datos bit a bit ( $N=1$ ), se efectúa una modulación BPSK (M-PSK con  $M=2$ ), pero si son grupos de dos bits (llamados dibits) la modulación que se obtiene es la QPSK (M-PSK con  $M=4$ ), si son grupos de tres bits (tribits) los utilizados para realizar la modulación, se da lugar a 8-PSK (M-PSK con  $M=8$ ), se puede seguir con este análisis y considerar grupos de cuatro bits en adelante, lo cual daría origen a 16-PSK y así sucesivamente. Este proyecto de grado se limita a BPSK, QPSK y 8-PSK.

### 1.3.1 Modulación por desplazamiento de fase binaria BPSK

La manipulación por desplazamiento de fase binaria BPSK, (*binary phase shift keying*), consiste en analizar bit a bit una corriente de información binaria de entrada, se codifica cada uno de estos bits como un cambio de fase con respecto de una señal original de referencia. De esta manera se tienen dos posibles fases de salida de la onda BPSK modulada con respecto a la onda portadora de referencia, una fase de  $0^\circ$  y otra de  $180^\circ$ . Es decir, según sea el estado lógico de la entrada digital la señal analógica modulada va a tener una u otra fase de salida.

En el modulador PSK didáctico, el tren de datos binarios está definido por un ciclo de valores lógicos que se establece en 24 datos<sup>2</sup> ("1" ó "0" lógicos) que son suministrados por el usuario utilizando algún programa de comunicación serial. Estos datos se almacenan en un vector al interior del DSP56F8323 cuya capacidad está dada por una relación entre la memoria RAM y el número de variables utilizadas en el algoritmo. La señal portadora es generada al interior del DSP56F8323 y es construida con 64 muestras por ciclo de onda, usando una función senoidal específica del software (codewarrior) que suministra el fabricante del dispositivo (Motorola). También se utilizan dos puertos de propósito general del DSP para desplegar la señal modulada en forma digital. Este procedimiento es común para BPSK, QPSK y 8-PSK.

Para BPSK, cuando el valor a transmitir es un "1" lógico, el desfase será de  $0^\circ$  (permanece en fase) con respecto a la portadora generada en el DSP, si el siguiente dato es un "0" el desfase se realiza adelantando 32 posiciones la señal portadora de referencia, con esto se genera un desfase de  $180^\circ$ . Cada cambio de estado de la entrada a modular, es codificado como un salto de

---

<sup>2</sup> Se establece en 24 por ser una cantidad múltiplo de 2,4 y 8 que corresponden al número de símbolos distintos en cada tipo de modulación y múltiplo de 1, 2 y 3 que es la cantidad de bits que toma en cada símbolo en BPSK, QPSK y 8-PSK respectivamente.

posición respecto de la señal portadora de referencia. Cuando los datos de entrada se repiten, por ejemplo:(1100) entra un uno "1" lógico, la onda BPSK de salida está en fase con señal de referencia, el siguiente dato es uno "1" lógico la señal de salida continúa en fase, si hay un cambio de estado a la entrada, un cero "0" lógico, en la salida se tiene una señal BPSK invertida (desfasada  $180^\circ$ ) con respecto de la portadora de referencia. Si el dato siguiente también es un "0" la onda de salida sigue desfasada  $180^\circ$  (no tiene ningún cambio) con la misma señal de referencia.

### **1.3.2 Modulación por desplazamiento de fase en cuadratura QPSK**

La modulación PSK en cuadratura, es otra modulación digital angular de magnitud constante, que consiste en que la corriente de datos a transmitir se divide en pares de bits consecutivos llamados dibits, cada uno de estos bits se codifica como un cambio de fase con respecto a una señal original de referencia, si se compara con BPSK, se puede decir que QPSK son dos moduladores BPSK en paralelo.

Cada dibit, se divide en dos bits, uno para cada canal BPSK. A estos canales se les denomina canal I (Infase) y canal Q (Quadrature), y presentan el mismo comportamiento en el análisis de cada uno de los bits asignados que tiene la modulación BPSK descrita en la sección anterior. Para la modulación QPSK se necesitan dos portadoras senoidales de igual magnitud y frecuencia, una para cada canal, desfasadas  $90^\circ$  una de la otra. Una vez se obtienen las señales de los canales I y Q, se suman para obtener la onda QPSK modulada con sus respectivos desfases. La tabla 1 muestra las diferentes combinaciones de los dibits con sus desfases. Que representan las cuatro entradas (00, 01, 10, 11) para obtener las cuatro fases de salida ( $-135^\circ, -45^\circ, +135^\circ, +45^\circ$ ).

Tabla 1. Combinación de los dibits y fase de salida de la Onda QPSK.

Entrada Binaria		Fase de la QPSK
Q	I	
0	0	-135°
0	1	- 45°
1	0	+135°
1	1	+ 45°

Fuente: TOMASI, Wayne. Sistemas de comunicaciones electrónicas. P.486

El trabajo realizado en el modulador PSK didáctico para generar la onda QPSK modulada, consiste en construir dos ondas senoidales<sup>3</sup> desde el DSP56F8323, desfasadas 90° una de la otra, y utilizar el mismo principio del BPSK . Para lograr este propósito se utiliza un vector para generar ambas señales en el mismo instante de tiempo, pero con 16 posiciones de diferencia entre estas senoidales, una onda completa se forma a partir de 64 valores diferentes que dan lugar a los 360° de un ciclo de onda, una diferencia de 16 posiciones permite un desfase de 90° (una onda seno y una onda coseno). Con el primer dato del dibit se obtiene una señal de salida BPSK proveniente del canal I y con el segundo dato del dibit la señal de salida BPSK del canal Q, estas señales de salida se suman linealmente para obtener la onda QPSK modulada.

---

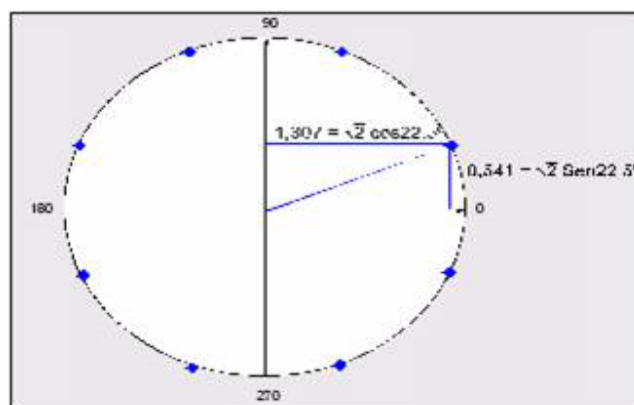
<sup>3</sup> Esto se realiza a partir de un vector de muestras de reconstrucción tal y como se indicó en la sección anterior.

### 1.3.3 Modulación por desplazamiento de fase múltiple (8-PSK)

En la modulación 8-PSK el tren de datos se divide en grupos de tres bits, llamados tribits, codificando cada tribit como un cambio de fase con relación a una señal de referencia.

Cada tribit se divide en tres bits, los dos primeros son asignados a dos canales BPSK, denominados canal **I** y canal **Q**, tal como sucede en la modulación QPSK, donde se tienen dos ondas senoidales, una para cada canal, estas ondas son de igual frecuencia y tienen un desfase de  $90^\circ$  una con respecto de la otra. La diferencia entre QPSK y 8PSK, radica en la magnitud de estas ondas durante cada tribit, esta magnitud depende del tercer bit, canal C o bit de control. Si C tiene un valor lógico de "1", una de estas ondas BPSK, la del canal I, se escala por un factor de  $\sqrt{2}(\cos 22.5^\circ)=1,307$ . La otra onda BPSK (canal Q) que tiene un desfase de  $90^\circ$ , se altera por un factor de escalamiento de  $\sqrt{2}(\sin 22.5^\circ)=0,541$ , estos valores no son arbitrarios, estos niveles de modulación de amplitud son valores relativos que se pueden cambiar si su relación  $0,541/1,307$  y el arco tangente de  $22.5^\circ$  (figura 3) se mantienen, de esta forma se pueden subir al doble ambos valores y la relación de fases no cambia, solo lo hace la magnitud de la onda en un factor de 2.

Figura 3. Representación fasorial de los canales I y Q en 8-PSK.



Fuente: Autores.

Una vez que se obtienen estas ondas se suman y se tiene como resultado la onda 8-PSK modulada, la que presenta hasta ocho fases distintas que dependen de la combinación binaria de cada uno de los *tribits* de la corriente de datos binaria analizada. En la Tabla 2 se relacionan las combinaciones digitales de los *tribits* con los correspondientes cambios de fase de la onda 8-PSK modulada en forma similar a la modulación BPSK y a la modulación QPSK, es decir con respecto a una onda de referencia.

Tabla 2. Combinación de *tribits* y fase de la onda 8-PSK.

Entrada binaria	Fase de salida 8-PSK
Q I C	
0 0 0	-112.5°
0 0 1	-157.5°
0 1 0	- 67.5°
0 1 1	- 22.5°
1 0 0	+112.5°
1 0 1	+157.5°
1 1 0	+ 67.5°
1 1 1	+ 22.5°

Fuente: TOMASI, Wayne.[1] P 493.

La modulación 8-PSK de este trabajo, se vale de dos ondas generadas desde el DSP, las cuales son construidas a partir de un solo vector y con desfases de 90° una de la otra, pero al contrario de la ondas utilizadas en la QPSK (de amplitud constante), las ondas utilizadas para la modulación 8-PSK tienen factores que alteran las magnitudes en todo instante de tiempo, generando así dos ondas senoidales de diferente amplitud. Esta amplitud varía de un *tribit* a otro, si en un instante dado la onda del canal Q está alterada por el factor 1,307 la onda del canal I lo está por un factor de 0,541 y viceversa. El

modulador PSK didáctico permite medir y/o visualizar<sup>4</sup> los canales **I**, **Q** y la onda **8-PSK** donde se observa la diferencia en las magnitudes de las ondas.

#### **1.4 PROCESADOR DIGITAL DE SEÑAL DSP56F8323**

La electrónica está en constante evolución, debido a las nuevas necesidades que surgen en la sociedad, por tal motivo, uno de los avances más notables es el paso del tratamiento analógico al tratamiento digital de la información, este cambio trajo consigo la necesidad de crear una nueva gama de dispositivos capaces de dar continuidad y desarrollo a esta tecnología.

En esta gama de dispositivos, los procesadores digitales de señales, DSP, permiten desarrollar funciones específicas de tratamiento de señales así como aplicaciones en tiempo real. Los DSP poseen ventajas debido a su alto número de operaciones por ciclo de máquina, bajo costo y bajo consumo de potencia.

Los módulos actuales de comunicaciones poseen procesamientos analógicos y digitales (como por ejemplo los celulares), el hecho de utilizar DSP's en estos sistemas, es fundamental, ya que en el mundo de hoy se necesitan diferentes funciones como identificación de datos (números celulares relacionados con nombres personales), por lo tanto estos procesos, no pueden ser realizados de una manera sencilla con sistemas analógicos, los sistemas digitales en cambio pueden programarse para dichas aplicaciones, aprovechando su rapidez de procesamiento y su alta resolución (número de bits de codificación).

La Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones no es ajena a esta evolución, y es por eso que se vienen adelantando el seguimiento de nuevas tecnologías, entre las que se encuentran los Procesadores Digitales de Señales como materia de estudio. El diseño de este proyecto de grado, desde sus inicios fue concebido con un DSP como elemento central, lo que

---

<sup>4</sup> El equipo posee un manual de operaciones donde se indica como efectuar la visualización externa

fortalece su naturaleza didáctica. La elección del DSP se basa en las características de velocidad de procesamiento, en el número de pines y en la relación costo beneficio que se puede obtener para la reproducción del equipo. También, se tienen en cuenta los resultados de los trabajos previos realizados en la E<sup>3</sup>T con estos dispositivos. Después de realizar algunas pruebas (ver capítulo 4) se determinó utilizar el DSP56F8323.

Los DSP56F8300 son miembros de la familia de controladores 56800E, son dispositivos de 16 bits. Estos potentes procesadores combinan la funcionalidad de los microcontroladores con un flexible conjunto de periféricos. A lo largo de esta sección se presentan las características más destacadas del DSP56F8323 que dan una idea global de las posibilidades de ampliar las aplicaciones con este dispositivo.

#### **1.4.1 Características generales**

- Realiza hasta 60 millones de instrucciones por segundo (MIPS).
- 32 KBytes de memoria Flash programable.
- 4 KBytes de memoria RAM programable.
- 8 KBytes de memoria RAM de datos.
- 8 KBytes de memoria Flash de datos.
- 8 KBytes de memoria Flash adicionales.
- Un módulo con 6 canales de modulación por ancho de pulso (PWM).
- Dos módulos de conversores analógicos/digitales (ADC) de cuatro canales cada uno, con resolución de 12 bits.
- Sensor de temperatura.
- Dos módulos de comunicación serial (SCI).
- Un oscilador integrado de relajación interna.
- Veintisiete (27) pines de e/s de propósito general.
- Paquete de 64 pines.

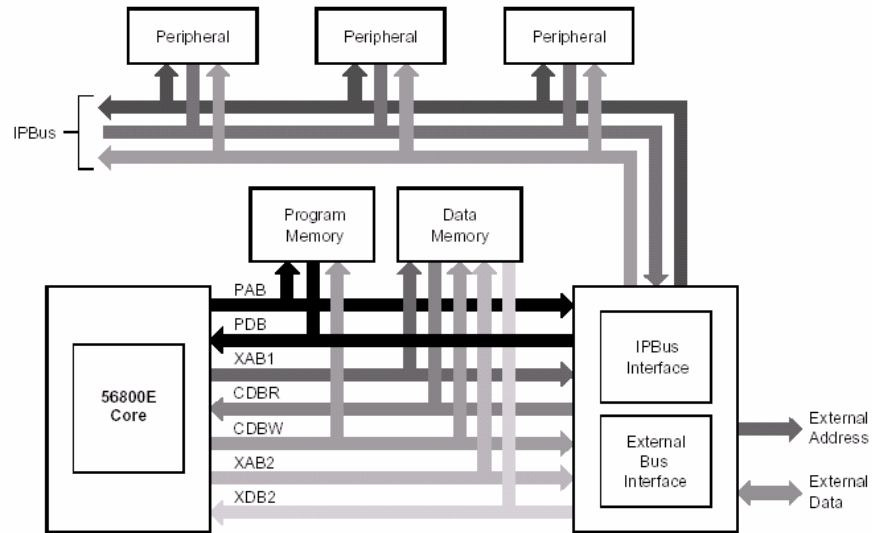
Para el desarrollo de este proyecto, no se utilizan algunos de estos módulos debido a que no fueron necesarios (como es el caso del sensor de temperatura y los conversores analógicos/digitales). Al trabajar este dispositivo a 60 MIPS lo hace atractivo para este proyecto, ya que la frecuencia con la que se procesan los datos es alta y por lo tanto, la frecuencia de salida de los conversores digitales/analógicos también lo es. La memoria flash programable, es indispensable para ejecutar en el chip los diferentes algoritmos. Sólo se utiliza una parte de la memoria RAM de datos y es para procesar las entradas digitales. La memoria flash de datos se utiliza para almacenar constantes, como **a**, **psk**, **Muest**. El PWM es utilizado como puerto de propósito general de salida para poder enviar datos a uno de los conversores digital/analógico. Un módulo de comunicación serial SCI (comunicación serial asíncrona), se usa para la comunicación con el PC, por medio del protocolo RS232; el otro módulo SCI no se utiliza.

También, se emplea el oscilador integrado de relajación interna para evitar inconvenientes con el ruido producido por la oscilación que un cristal externo puede llegar a generar en la tarjeta, aunque en sistemas con alta inmunidad al ruido se utiliza el cristal externo, en este proyecto si se tiene esta opción de un cristal externo, es opcional. El paquete LQFP de 64 pines hace que este diseño sea pequeño, por lo tanto se ahorra espacio en el hardware, además se presenta menor calentamiento del que se obtiene con un empaquetado tipo DIP.

#### **1.4.2 Arquitectura**

Este dispositivo posee en una sola pastilla los siguientes componentes: Módulos de periféricos, la unidad de procesamiento, la memoria y los buses necesarios para conectar entre si dichos elementos. En la Figura 4 se observa el diagrama modular y sus conexiones.

Figura 4. Módulos y sus conexiones entre si usando los buses.



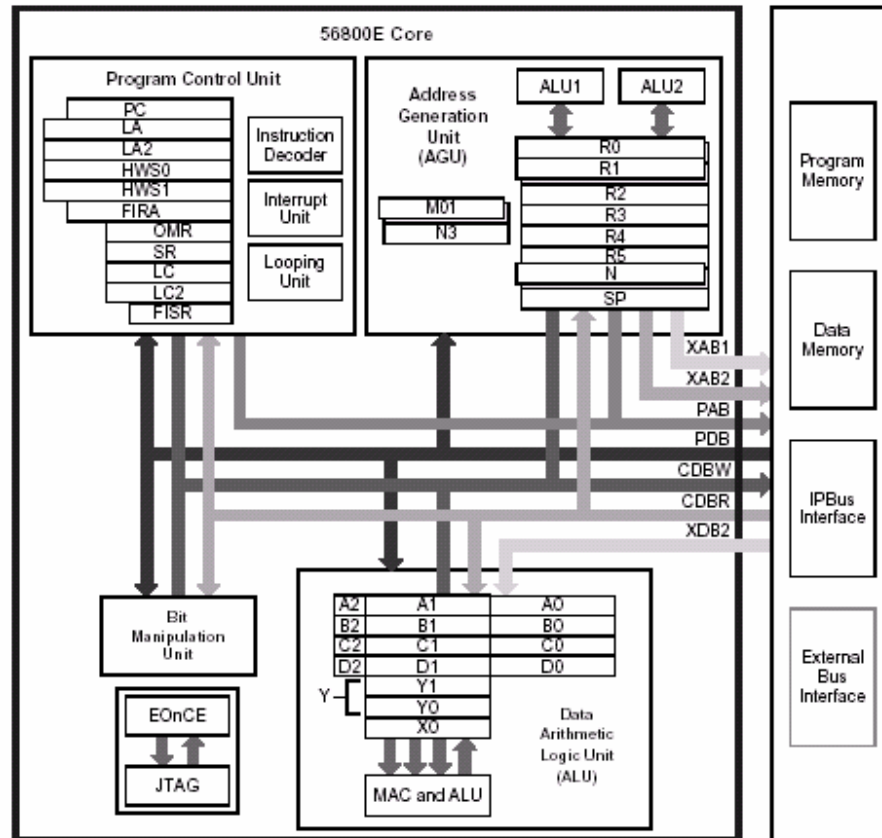
Fuente: Motorola.

La arquitectura de este DSP permite realizar dos operaciones en paralelo, esto aumenta la velocidad para ejecutar instrucciones en los algoritmos, porque se pueden comunicar dos módulos simultáneamente.

### 1.4.3 Diagrama de bloques funcional

La familia 56800 está compuesta de varias unidades funcionales independientes, entre ellas: El controlador de programa, la unidad de generación de direcciones (AGU), la unidad aritmético-lógica, la cual tiene un conjunto propio de registros y control lógico, que le permite funcionar independientemente y en paralelo, aumentando con esto la cantidad de información procesada. También, posee una unidad de manipulación de bits que trabaja independientemente. En la figura 5 se observa el diagrama funcional.

Figura 5. Diagrama de Bloques Funcional.



Fuente: Motorola

#### 1.4.4 Unidad aritmético-lógica (ALU)

En la unidad Aritmético-lógica (ALU) se realizan las operaciones aritméticas, lógicas, y realiza el cambio de los datos. La ALU contiene lo siguientes componentes:

- Tres registros de datos de 16 bits (X0, Y0 y Y1)
- Cuatro registros acumuladores de 36 bits (A, B, C y D).
- Una unidad acumuladora de multiplicación (MAC).
- Un bit acumulador de desplazamiento.
- Una MAC de desbordamiento.

La ALU puede realizar, en un solo ciclo, operaciones lógicas, multiplicación, multiplicación-acumulativa (con acumulación positiva o negativa), adición, sustracción, y desplazamiento. La división y la normalización son operaciones realizadas por la iteración de las instrucciones anteriores. También permite multiplicaciones con signo o sin signo. Todas las operaciones son realizadas usando *complemento a dos* tanto para enteros como para fraccionarios.

La fuente de datos de la ALU puede ser un operando con 8, 16, 32 o 36 bits y localizados en la memoria, en una instrucción de datos inmediatos o en un registro de datos de la ALU. El resultado de éstas, puede ser de 16, 32 o 36.

Las operaciones locales pueden ser realizadas con 16 o 32 bits y el resultado es del mismo tamaño. El resultado de las operaciones de la ALU son guardados en un registro de datos de la ALU o directamente en la memoria.

#### **1.4.5 Unidad de generación de direcciones (AGU).**

La unidad de generación de direcciones realiza todos los cálculos de direcciones de datos de un operando en memoria. La ALU permitiendo una o dos direcciones de 24 bits, para ser generadas en cada instrucción de ciclo.

- Una para cualquier bus de dirección de datos primarios o el bus de direcciones del programa.
- otra para el bus de datos secundarios.

Las direcciones de la ALU pueden hacer referencia tanto a líneas como a módulos de direcciones aritméticas.

La AGU puede direccionar  $2^{24}$  palabras con las líneas del bus.

La AGU contiene los siguientes registros y unidades funcionales:

- Siete registros de direcciones de 24 bits de tamaño (R0-R5 y N).
- Cuatro registro temporales (para R0, R1, N y MO1).
- Un registro de 24 bits dedicado para el puntero de pila.
- Dos registros de offset (N y N3).
- Un registro modificador de 16 Bits.( M01)
- Una unidad sumadora de 24 bits.

- Una unidad de módulos aritméticos de 24 bits.

#### **1.4.6 Unidad de manipulación de bits**

La unidad de manipulación de bits realiza operaciones de de bits en las palabras de la memoria de datos, registros periféricos y registros dentro de la estructura central del 56F8323.

Esta es capaz de comprobar, configurar, borrar, invertir uno o varios bits dentro de una palabra de 16 bits.

#### **1.4.7 Módulos periféricos**

En esta sección se describen los módulos más importantes del DSP56F8323 de motorola y sus principales características.

##### ✓ **CONVERSOR ANALÓGICO A DIGITAL (ADC).**

Este módulo realiza la conversión de una señal analógica a digital con resolución de 12 bits.

- Este módulo contiene 8 canales de conversión.
- Muestreo secuencial o simultáneo.
- Almacena hasta ocho resultados (uno de cada canal).
- Banderas de interrupción opcionales: término de conversión, cruce por cero, desborde de los límites configurados.
- Sincronización con el PWM.
- Muestreo simple o diferencial.

Características (IPBUS a 40MHz):

- Rata de muestreo de hasta 1,667 millones de muestras por segundo.
- Frecuencia de reloj del ADC 5 MHz.
- Tiempo de conversión simple igual a 8,5 ciclos de reloj ( $8,5 \cdot 200\text{ns} = 1,7\mu\text{s}$ ) y para muestras adicionales 6 ciclos de reloj ( $6 \cdot 200\text{ns} = 1,2\mu\text{s}$ ).

➤ Si se desea realizar 8 conversiones se tardará 26,5 ciclos de reloj (5,3  $\mu$ s).

✓ **INTERFAZ DE COMUNICACIÓN SERIAL (SCI):**

Este módulo permite la comunicación serial asíncrona con dispositivos periféricos y control de otros.

- Comunicación simple y "full-duplex".
- Separadamente habilita transmisión y recepción.
- Operación controlada con siete banderas de interrupciones.
- Receptor con detección de error.
- Polaridad programable de recepción y transmisión.
- 13 "bits" para la selección de la velocidad de comunicación (de baudio).

✓ **INTERFAZ DE PERIFÉRICOS SERIALES (SPI).**

Este módulo permite la comunicación serial síncrona con dispositivos periféricos y/o control de los mismos.

- Comunicación "full-duplex".
- Modo de operación maestro y esclavo.
- Ocho posibles frecuencias de trabajo en modo maestro.
- Longitud de transmisión programable (2 a 16 "bits").
- Trabaja a la frecuencia del reloj en modo esclavo.
- Programación del orden de desplazamiento al momento de la transmisión y recepción.
- Reloj serial con polaridad programable.
- Programación del orden de recibir y transmitir (primero el MSB o LSB).

Este módulo no es utilizado porque la velocidad para enviar datos aunque es rápida, en este proyecto se necesitaban datos de salida paralela, y por lo tanto se hace poco eficiente enviar datos de forma serial, luego convertirlos a paralelo y después realizar el debido procesamiento (conversión digital/analógica).

## 2. DISEÑO Y CONSTRUCCIÓN DEL MODULADOR DIDÁCTICO PSK

En este capítulo se describen los elementos constitutivos del modulador PSK didáctico, como son la tarjeta de desarrollo que incluye, además del DSP56F8323, reguladores de voltaje, conversores digitales/analógicos, una interfaz serial y amplificadores operacionales; y dispositivos periféricos tanto de control como de entrada/salida, que están ubicados en la estructura metálica del sistema (Figura 6).

Figura 6. Modulador didáctico PSK



Fuente: Los Autores

La construcción del modulador didáctico involucra el diseño y la implementación de una tarjeta de desarrollo que constituye el núcleo del hardware del equipo. A nivel de software, se desarrolló un algoritmo<sup>5</sup> para el DSP56F8323 que permite la recepción de información binaria suministrada por el usuario desde el exterior del equipo y su respectiva modulación para su

---

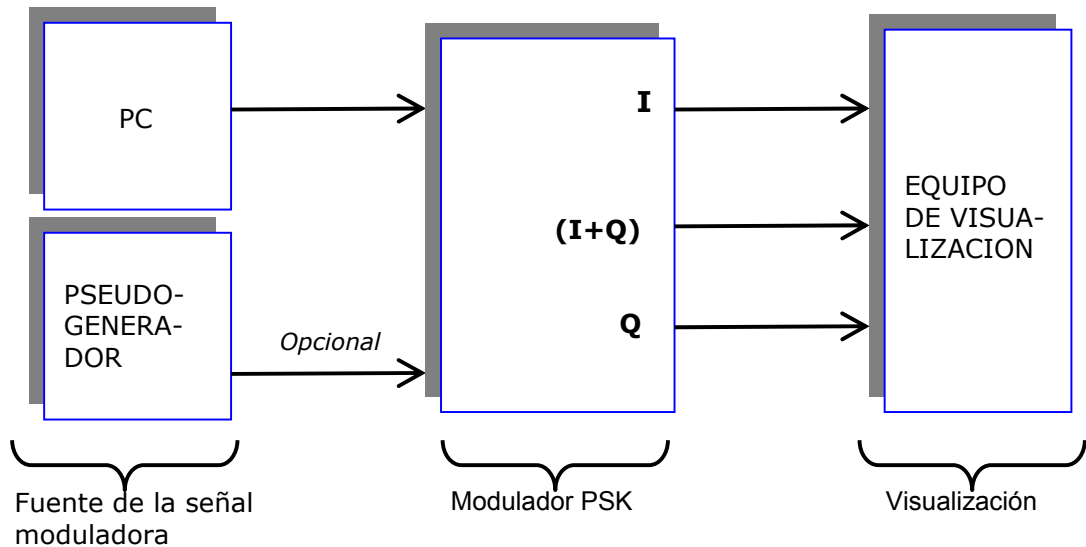
<sup>5</sup> El anexo F está dedicado al diseño del algoritmo

posterior medición y/o visualización. En la siguiente sección se muestra un diagrama de bloques general del sistema que permite describir la manera en que operan las entradas y salidas del modulador.

## 2.1 DIAGRAMA DE BLOQUES DEL SISTEMA

El funcionamiento del sistema completo que se describe en un diagrama de bloques (figura 7), que compuesto por una entrada de información digital, el modulador didáctico PSK y un equipo de visualización.

Figura 7. Diagrama de bloques del sistema.



Fuente: autores

### 2.1.1 Entrada de información digital

El diseño del sistema busca que el usuario pueda manipular la información digital desde un computador y entregarla al modulador didáctico a través del puerto serie; para realizar esta transmisión de información se utilizan el módulo de comunicación serial RS-232 que posee el DSP56F8323 y una herramienta de software de comunicación serial, que permita la configuración

de algunos parámetros del puerto tales como: la tasa de transmisión, bits de arranque y bits parada, y los bits de correspondientes a la información binaria que se desean modular, la cual es interpretada por el DSP a partir de una cadena de caracteres ASCII de ceros y unos. Esta configuración debe coincidir con los parámetros establecidos previamente en el DSP56F8323<sup>6</sup>. Para este trabajo se empleó Docklight V1.6 (ver anexo B) que además de contar con las características requeridas, es una herramienta de libre distribución, que tiene una interfaz gráfica con una estructura dinámica de fácil comprensión y que permite al usuario suministrar la información deseada en el formato adecuado<sup>7</sup>. Adicionalmente, Docklight permite definir la cantidad de bits de información a suministrar por el puerto serie del computador, la cual debe corresponder con la longitud del vector de almacenamiento al interior del DSP<sup>8</sup>.

### 2.1.2 Modulador PSK

Para seguir con la descripción del funcionamiento del sistema (Figura 8) se analiza el bloque modulador PSK, que recibe y almacena la información digital, y luego es modulada mediante cambios de fase que realiza a dos señales portadoras senoidales (**I** y **Q**, ver sección 1.3) que se generan al interior del DSP. Una tercera señal (**PSK modulada**) es el resultado de la suma lineal de estas dos señales senoidales. Estas tres señales analógicas se entregan a la salida, como: la señal **I** (*In fase*), la señal **Q** (*Quadrature*) y la señal **PSK modulada** (ver sección 1.3) para su posterior visualización.

---

<sup>6</sup> Por defecto, estos parámetros se establecieron en: 9600 bauds de tasa de transmisión, 8 bits de información, 1 bit de arranque y 1 bit de parada.

<sup>7</sup> Cada bit se representa por medio de los caracteres ASCII "0" y "1".

<sup>8</sup> La longitud de este vector se estableció en 24 bytes, y puede ser modificada reprogramando el DSP.

### **2.1.3 Visualización**

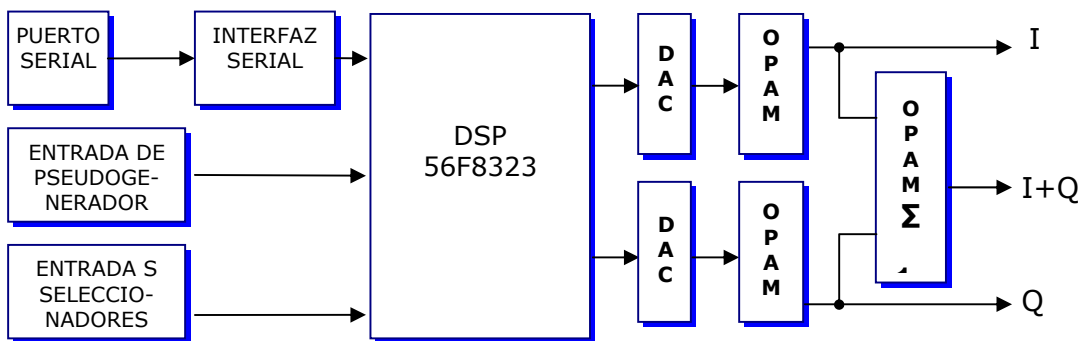
Las señales **I**, **Q** y **PSK modulada**, se pueden visualizar y/o medir con instrumentos tales como un osciloscopio o un analizador de espectros. El uso de un osciloscopio permite visualizar los cambios de fase en la señal modulada como función de la cadena de bits de entrada y usando el modo XY se puede obtener un diagrama de transiciones de la modulación a partir de las señales **I** y **Q**. Si se desea usar un analizador de espectros se debe tener en cuenta que la frecuencia de las señales de salida, es de aproximadamente 6 kHz, por lo que el análisis de frecuencia debe efectuarse en este rango. Mediante un análisis espectral es posible determinar parámetros como ancho de banda, niveles y densidad de potencia.

## **2.2 DISEÑO E IMPLEMENTACIÓN DE LA TARJETA DE DESARROLLO**

Es importante resaltar qué dispositivos como los DSP, que cuentan con diferentes puertos de entrada/salida, necesitan de una tarjeta de desarrollo para acceder a ellos, para realizar las respectivas pruebas de sus módulos y para efectuar su programación. El diagrama de bloques de la tarjeta de desarrollo diseñada para el DSP56F8323 de Motorola, que se empleó para implementar el modulador, se muestra en la figura 8 se describe a continuación.

### 2.2.1 Descripción de la tarjeta de desarrollo.

Figura 8. Diagrama de bloques de la tarjeta de desarrollo.



Fuente: Autores

➤ **Interfaz serial:** el usuario, con la ayuda de un software de comunicación serial, entrega por el puerto serie (RS-232) del PC los caracteres (ceros y unos) de información en formato ASCII. Los niveles de voltaje de la entrada de datos RS-232 requieren ser regulados por la interfaz serial, para que sean compatibles con la entrada del DSP que maneja un rango entre 0 volts y 3,3 volts. Por lo tanto, el diseño requiere de un *driver/receiver* (MAX232) que controle el suministro de estos voltajes proporcionados al DSP.

➤ **DSP:** desde el planteamiento mismo del problema se eligió trabajar con este tipo de tecnología, debido a que se necesita realizar una alta cantidad de cálculos, así como también mantener las señales de salida en un rango de frecuencias por encima de 1kHz. En este orden de ideas el elemento que se utiliza es un DSP56F8323<sup>9</sup> del fabricante motorola, encargado de construir las señales I y Q con sus respectivos desfases de acuerdo a la información digital suministrada por el usuario.

<sup>9</sup> Para profundizar en el conocimiento del DSP ver anexo A

➤ **DAC**(Conversor Digital/Analógico): la tarjeta de desarrollo posee dos conversores digitales/analógicos, que se utilizan para generar las señales analógicas I y Q que son entregadas en forma digital por parte del DSP. Específicamente, los conversores DAC utilizados, cuentan con una entrada digital de ocho bits, necesaria para la reconstrucción de las señales moduladas, dado que las salidas del DSP empleadas para tal fin son también de ocho bits.

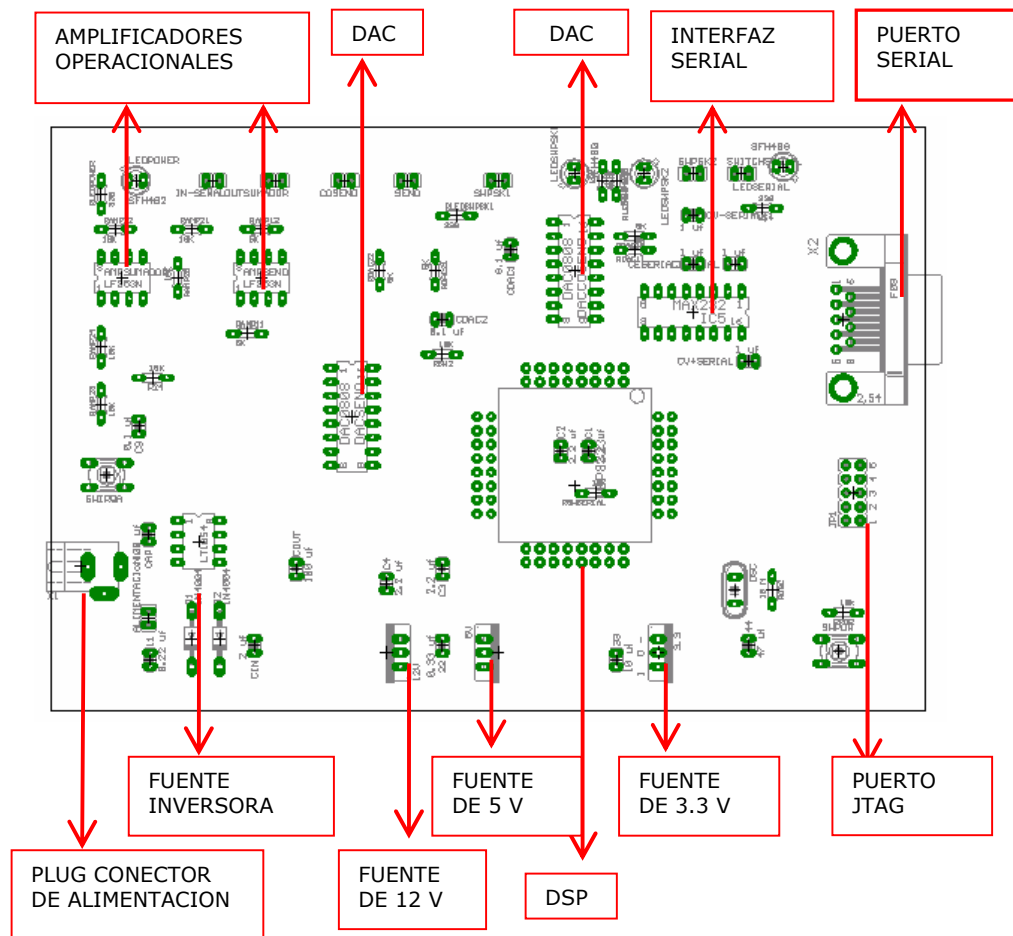
➤ **Amplificadores Operacionales:** se utilizan cuatro amplificadores operacionales en el diseño de esta tarjeta; uno a la salida de cada uno de los DAC requerido por su configuración típica, un tercero como sumador inversor y el último para invertir la señal de salida del anterior.

En la siguiente sección se amplía la información de cada uno de los elementos involucrados en este diseño en donde se muestra la tarjeta con sus componentes principales.

### **2.3 DESCRIPCIÓN DE LA IMPLEMENTACIÓN DE LA TARJETA DE DESARROLLO**

En esta sección se muestra la distribución física de los componentes de la tarjeta de desarrollo (figura 9) con la cual se puede ubicar con facilidad cada uno de los elementos de diseño.

Figura 9. Distribución física de los componentes de la tarjeta de desarrollo



Fuente: Autores

### 2.3.1 Fuente de alimentación

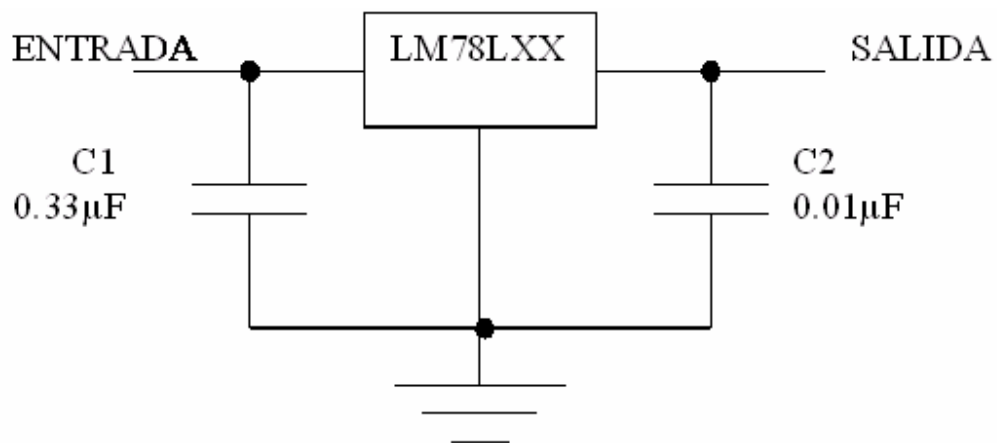
Para suministrar potencia al equipo se requiere una fuente de voltaje que tenga a su salida un valor entre 15 y 19 volts de DC con un suministro de corriente de 250 mA, entrega que debe hacerse a través de un plug conector de alimentación ubicado en la parte inferior izquierda de la tarjeta.

Note que en la tarjeta de desarrollo se utilizan tres reguladores de voltaje, una fuente LM78L12 que suministra 12 volts de DC a máximo 1 A, un

LM78L05 a 1 A que proporciona una fuente de 5 volts de DC, otro regulador LM1117 cuya salida es de 3.3 volts de DC y por último, una fuente inversora de voltaje construida a partir de un regulador LT1054.

En la Figura 10, se observa la configuración típica de las fuentes LM78L12 y LM78L05 (LM78LXX), en la figura 11 el diagrama de pines del LM78L05 y la de la fuente LM1117 en la Figura 12.

Figura 10 Configuración típica de la fuente LM78LXX

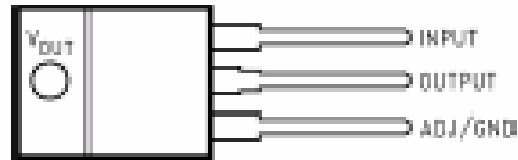


Fuente: Autores

En la Figura 10 se observa la configuración típica de la fuente reguladora LM78LXX. Debido a que en el diseño se tienen dos fuentes de esta familia, primero se describe la fuente LM78L12 que se utiliza para alimentar con 12 volt la fuente inversora de voltaje (LT1054), la fuente reguladora LM78L05 y los circuitos integrados(LF353) que contienen los amplificadores operacionales.

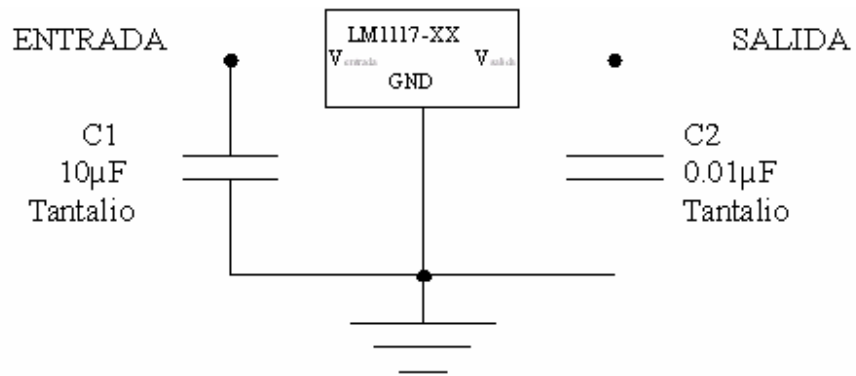
La segunda fuente es la LM78L05 de 5 volt se utiliza para alimentar el regulador de voltaje LM1117. Es decir, esta fuente permite disminuir el voltaje de 12 volt a 5 volt.

Figura 11 Diagrama de pines del LM78L05



Fuente: National semiconductor

Figura 12 Configuración típica de la fuente LM1117



Fuente: Autores

En la figura 12, se muestra la fuente LM1117 que suministra un voltaje de 3.3 volt a los siguientes elementos: la interfaz serial (MAX232), los dos DAC0808 y principalmente al DSP56F8323. También, se usa para alimentar la tarjeta JTAG por un pin de su respectivo puerto.

Los problemas de calentamiento de estos dispositivos se mejoran con disipadores de calor colocados en su parte superior y las ranuras<sup>10</sup> que posee la estructura metálica del equipo.

<sup>10</sup> En el manual de operaciones (anexo C) se encuentran algunas instrucciones de seguridad relacionadas.

### **2.3.2 Puerto JTAG**

El puerto JTAG esta compuesto de 10 pines y permite descargar la información relacionada con los algoritmos desde el puerto paralelo del computador hacia el DSP56F8323 por medio de la tarjeta de interfaz del JTAG<sup>11</sup>, para efectuar la programación y/o modificación de estos algoritmos se cuenta con un software especializado llamado Codewarrior<sup>12</sup>.

### **2.3.3 Conversores Digital/Analógico**

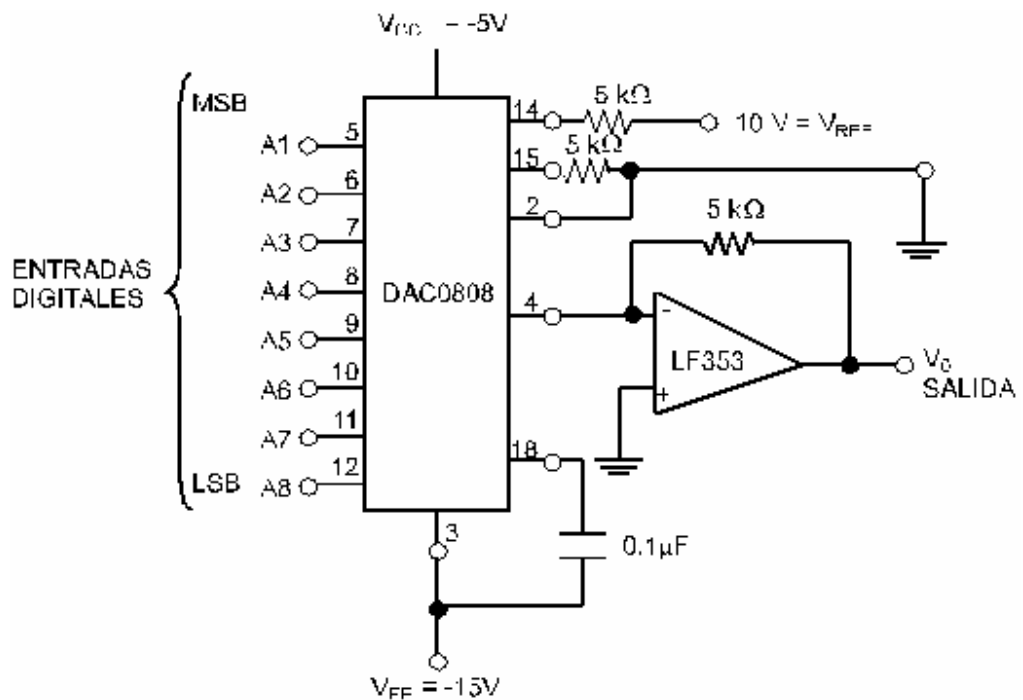
Los conversores digital/analógico seleccionados fueron los DAC0808 del fabricante National Semiconductor, los cuales presentan ocho pines para el dato digital de entrada, no necesitan de pulso de reloj para la conversión de los datos, tiene 150 ns de tiempo de establecimiento, esta última característica cumple con los requisitos del sistema ya que son 400000 el número de datos por segundo que entrega el DSP, debido a que se tienen 64 muestras por cada ciclo de onda con una frecuencia de 6,250 ciclos por segundo, por tal motivo son 2500 ns los existentes entre dato y dato generado, con esto se concluye que es superior la velocidad de conversión del DAC0808 a la velocidad de entrega de datos por parte del DSP. El DAC0808 entrega hasta 256 niveles de tensión diferentes a su salida según sea la combinación del dato de la entrada. El DAC0808 requiere de un amplificador operacional para su salida analógica. Su configuración típica se presenta en la figura 13.

---

<sup>11</sup> La descripción de la tarjeta JTAG se encuentra en el anexo D

<sup>12</sup> Codewarrior es un software de libre distribución de Motorola.

Figura 13 Configuración típica del DAC0808



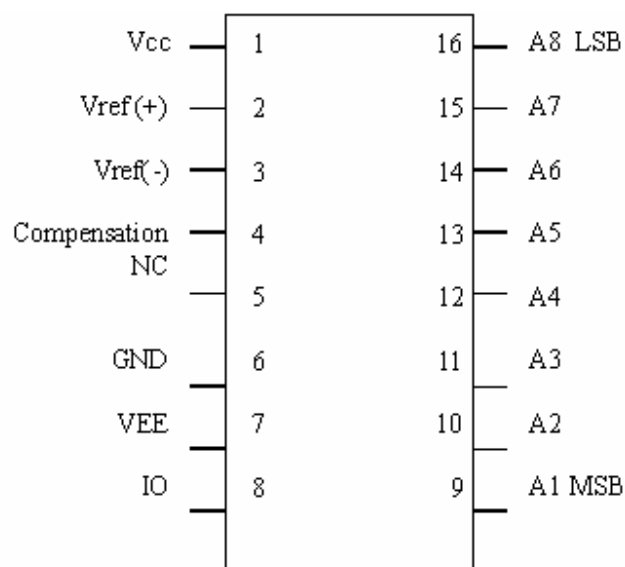
Fuente: National Instruments

Los DAC0808 se emplean en el desarrollo de la tarjeta con esta configuración, de ahí la utilización de los amplificadores operacionales a la salida de los conversores Digital/Analógico, uno para la señal Q la cual tiene como portadora una señal coseno y otro amplificador para la señal I, que tiene como portadora una señal seno. Note que el voltaje de referencia para los DAC0808 se estableció en 3.3 V, de tal manera que la suma lineal de las señales I y Q no genere ningún tipo de saturación en el amplificador empleado para tal fin.

También, se suministro un voltaje de -12 volts desde la fuente inversora LT1054 al pin VEE del DAC0808, igualmente esta fuente alimenta con -12 volts a los circuitos integrados LF353 que a su vez tiene 12 volts en su referencia positiva; provenientes del regulador LM7812. Los conversores digital/analógico se conectan a los pines de salida del DSP56F8323 de la

siguiente manera: para transferir la señal I se unen a la parte baja del puerto **GPIOA**<sup>13</sup>, es decir, en los primeros ocho de los doce pines que posee este puerto, para la señal Q se conecta a los ocho pines del puerto GPIOB<sup>14</sup>. A continuación, se puede observar en la figura 14 el circuito integrado DAC0808 con sus diferentes pines.

Figura 14. DAC0808



Fuente: National Instruments

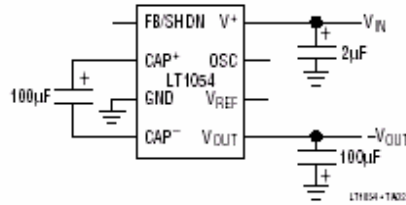
### 2.3.4 Inversor de voltaje

El inversor de voltaje utilizado es el LT1054 del fabricante Linear Technology, el cual tiene una entrada de voltaje de 12 Volts con respecto a la señal de tierra y una salida de -12 Volts con respecto a esta referencia. Este elemento de la tarjeta de desarrollo fue de necesaria inclusión debido a la alimentación negativa requerida por los DAC0808 y por los Circuitos integrados LF353. La configuración recomendada por el fabricante, se muestra en la figura 15.

<sup>13</sup> GPIOA es el grupo de pines de E/S de propósito general del puerto A

<sup>14</sup> El puerto GPIOB posee 8 pines de E/S

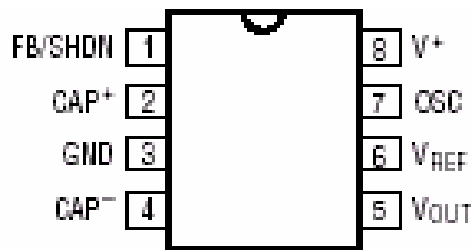
Figura 15 Aplicación típica de inversión de voltaje del LT1054



Fuente: Linear Technology

Con la fuente LT1054 se soluciona la necesidad de un voltaje negativo en la tarjeta, este integrado suministra un máximo 100 mA de corriente de salida con un rango de operación que oscila entre los 3.5 Volts y los 15 Volts, del cual se usan 12 volts tomados de la fuente reguladora LM7812. En la figura 14 se puede apreciar el circuito integrado con sus respectivos pines.

Figura 16 Inversor de voltaje It1054



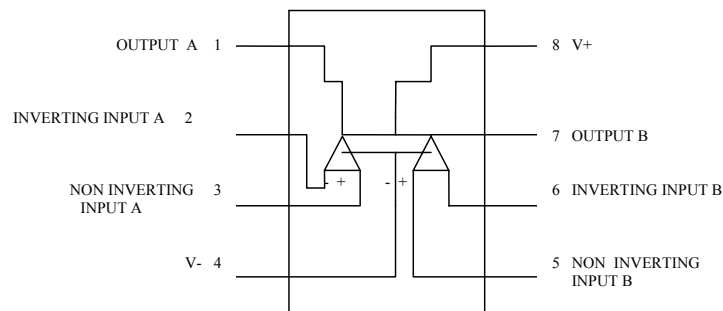
Fuente: Linear Technology

### 2.3.5 Amplificadores operacionales

Son cuatro los amplificadores operacionales requeridos en el diseño de esta tarjeta de desarrollo; dos en la salida de los conversores digital/analógico (uno para cada conversor), los otros dos fueron empleados de la siguiente manera; uno para un sumador inversor y el otro para invertir la señal obtenida a la salida del sumador.

Los circuitos integrados usados fueron los LF353 del fabricante National Instruments, los cuales poseen dos amplificadores por cada chip. Su alimentación es de 12 volts y -12 volts y la configuración dual del LF353 se puede observar en la figura 17.

Figura 17. Configuración dual del LF353

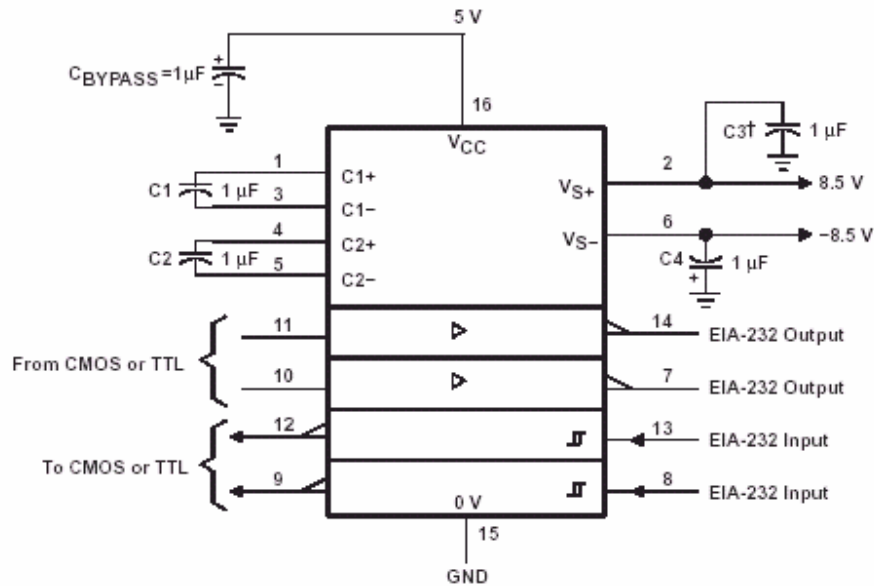


Fuente: National Instruments

### 2.3.6 Interfaz serial

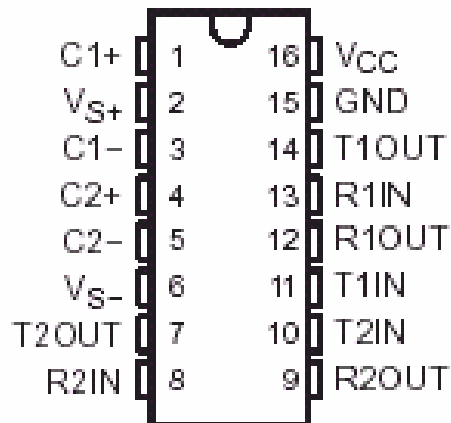
La interfaz serial que posee la tarjeta es de protocolo RS-232 y utiliza el circuito integrado MAX232, que para efectos prácticos cumple con la doble función recepcionar/controlar los niveles de voltaje entregados por el PC y los suministra al DSP, dichos niveles no deben superar los 3.3 volts de entrada. A continuación se puede observar la configuración utilizada para la en la MAX232 (figura 17).

Figura 18 Configuración utilizada del MAX232



Fuente: Texas Instruments

Figura 19. Diagrama de Pines de la MAX232



Fuente: Texas Instruments

### 2.3.7 DSP56F8323

El DSP utilizado fue el 56F8323 del fabricante Motorola, que pertenece a la familia de controladores híbridos 56800E de bajo costo configuración flexible.

El cual debido a su gran importancia para el desarrollo del modulador didáctico PSK será tratado con detenimiento en la sección 1.4.

## **2.4 DISPOSITIVOS PERIFÉRICOS DEL MODULADOR DIDÁCTICO PSK**

En esta sección se describen los dispositivos periféricos del modulador tales como interruptores, puertos de salida y de entrada, pulsador, conectores, leds. También, se suministra información de su funcionamiento dentro del diseño con el fin de ubicar y referenciar cada elemento.

### **2.4.1 Interruptores**

Los dispositivos interruptores son cuatro, uno en la parte posterior del modulador que permite realizar la **conmutación ON/OFF** el cual con un led (color rojo) indica si el modulador está encendido o no. Los tres restantes se encuentran en la parte frontal del equipo, dos de estos permiten **seleccionar el modo de operación**; cada uno con un led (color verde) indica su estado, y el otro es un interruptor para **escoger la fuente de información**, el led (color rojo) indica cual fuente puede enviar datos. Para este modulador didáctico PSK la fuente de información que se escoge es la suministrada por el usuario a través del puerto serial del PC.

Estos últimos tres interruptores están conectados a unos pines específicos del DSP y se conmutan por parte del usuario según el caso a "0" ó "1" (0 volts o 3.3 volts) dependiendo del tipo de modulación o la fuente de información escogida. De esta forma el DSP56F8323 realiza una lectura de los voltajes en los pines que están conectados a los interruptores y dependiendo de su estado lógico entrega diferentes combinaciones por los puertos de salida, para así obtener las señales I y Q en forma digital.

### **2.4.2 Reset**

El pulsador de reset realiza una operación, la de contactar la señal de tierra con uno de los pines(Reset) del DSP56F8323 durante un corto periodo de tiempo; este pin esta constantemente conectado a la señal de 3,3 volts y solo pierde esta referencia cuando se acciona el pulsador RESET<sup>15</sup> con lo cual el DSP se reinicia, y así permite cambiar el tipo de modulación y la fuente de información<sup>16</sup>.

### **2.4.3 Conector plug de alimentación**

Se encuentra ubicado en la parte posterior del equipo y es en donde se conecta la salida del adaptador de DC, que para este modulador se especifica un rango de voltaje entre 15Volt y 30volt permitiendo con esto el suministro de potencia al modulador.

### **2.4.4 Conector serial DB9**

Es el puerto en donde se conecta el cable que permite transferir la información proveniente del puerto serial del PC. A partir de allí dicha información es transferida hasta el puerto de comunicación serial de la tarjeta de desarrollo.

### **2.4.5 Puertos E/S**

El modulador posee tres puertos de salida, un puerto para desplegar la señal I, otro para la señal Q, con voltajes que oscilan entre 0 volts y 3.3 volts dado que estos puertos están conectados directamente a la salida de los DAC0808; y el tercero que despliega la suma lineal de estas dos señales con voltajes que oscilan entre los 0 volts y 6,6 volts; también tiene un puerto de entrada que

---

<sup>15</sup> RESET hace referencia al pulsador que posee el modulador en su estructura metálica y Reset a uno de los pines del DSP

<sup>16</sup> Para mayor información de este tipo de cambios ver el manual del equipo (Anexo C).

permite la recepción de información en forma de una corriente de bits de ceros "0" y unos "1" lógicos respectivamente<sup>17</sup>. Los cuatro puertos anteriormente mencionados poseen conectores de tipo BNC, y se encuentran ubicados en la parte frontal del equipo.

---

<sup>17</sup> La amplitud de esta señal no pueden superar los 3,3 volts ya que esto genera daños permanentes en el equipo.

### 3. DISEÑO DEL ALGORITMO

Como se menciona en el anterior capítulo, la construcción del modulador didáctico involucra en el diseño, una tarjeta de desarrollo para el DSP56F8323, como elemento principal del hardware del equipo. De igual manera, requiere el desarrollo de un algoritmo que le permita al DSP recepcionar el tren de información binaria suministrada por el usuario, modular estas entradas y entregar las señales en forma digital a un conversor digital/análogo externo al DSP. Este algoritmo se explica en los siguientes pasos:

#### 3.1 GENERACIÓN DE LAS ONDAS

En la primera parte del algoritmo se construye un vector de 64 posiciones que permite generar las señales senoidales **I** y **Q**, este vector se construye por medio de una función senoidal<sup>18</sup>, incluida en el software Codewarrior del fabricante del el DSP. Las 32 posiciones iniciales de este vector generan la parte positiva de la señal, y las 32 restantes la parte negativa de la misma. Después de construir el vector, se realiza la lectura del valor lógico que tiene un pin de entrada (la variable **a**) que indica la procedencia de la información a modular, la que se almacena en el vector **serial**.

#### 3.2 SELECCIÓN DE LA MODULACIÓN

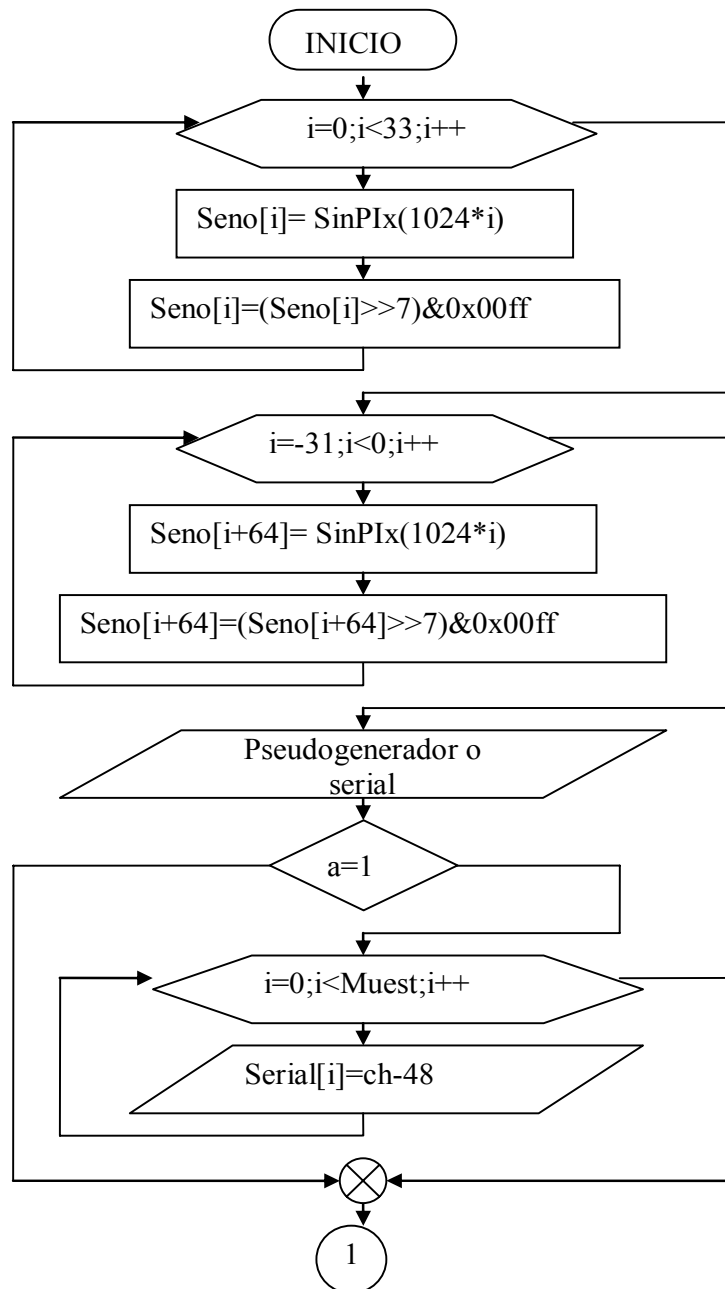
Una vez generada la onda, se leen dos pines, con los cuales se selecciona el modo PSK a utilizar y esta información se almacena en la variable **psk**. Seguidamente se examina el valor de la variable **psk** y se escoge la modulación específica a realizar según sea el valor leído, si el valor de ésta variable es 1, se modula en B-PSK; si el valor es 2 la modulación es la Q-PSK y en caso de que este valor sea 3 la modulación que se realiza es la 8-PSK,

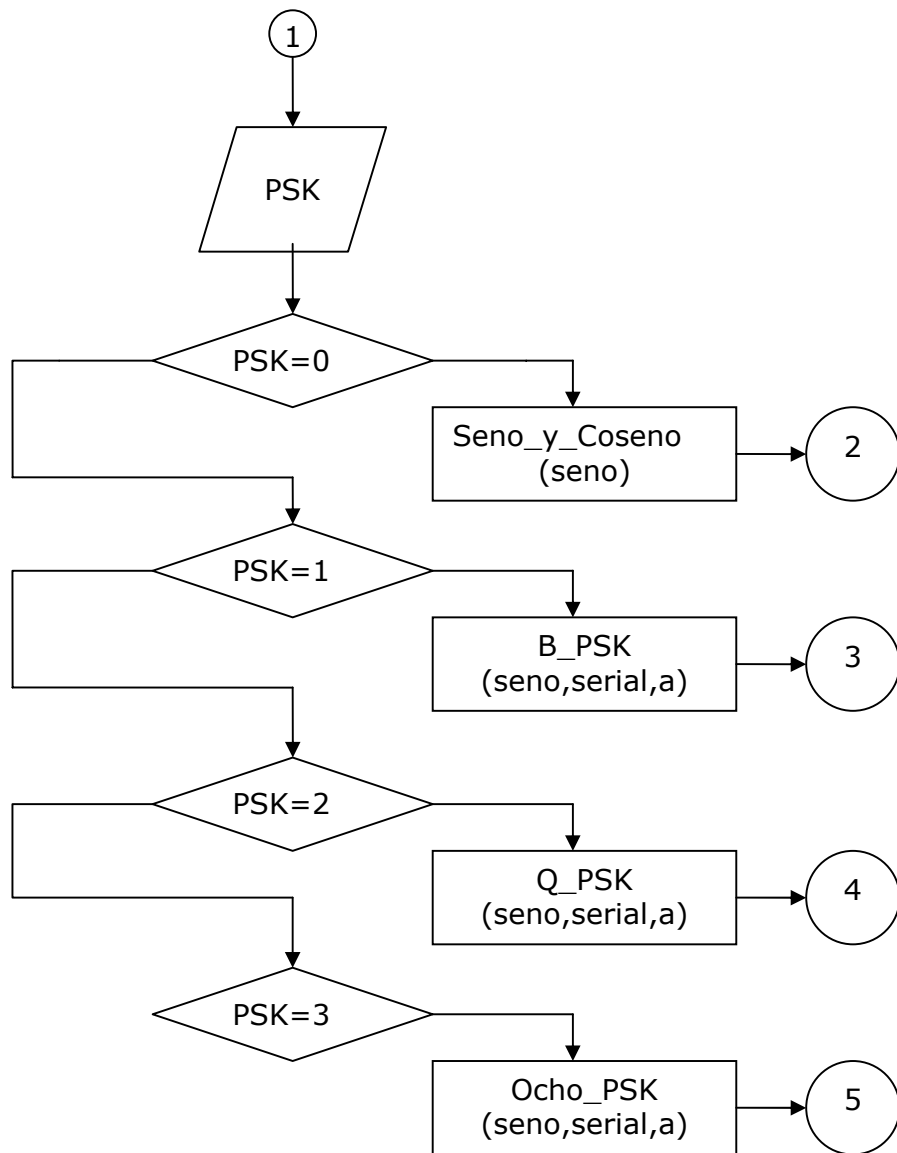
---

<sup>18</sup> Esta función se incluye en el código fuente que se presenta como anexo.

cuando el valor leído es 0 no se realiza ningún tipo de modulación, sin embargo se construye una señal seno en el canal **I** y una señal coseno en el canal **Q**. A continuación se muestra el diagrama de flujo del algoritmo para seguir las funciones de la estructura de control del programa.

Figura 20. Diagrama de flujo del algoritmo utilizado en el modulador PSK





Fuente: Los autores

### 3.3 MODULACIÓN BPSK

Una vez dado el valor de la variable **psk**, se seleccionan los modos de operación. En el caso en que esta variable es 1, la modulación BPSK se realiza de la siguiente manera: Se toman los valores almacenados en el vector seno y

se construyen dos ciclos de onda de la señal senoidal, luego se analiza el primer elemento del vector **serial** y si es necesario se realiza el cambio de fase de  $180^\circ$  de la onda BPSK según se describe en el capítulo 1, este proceso de construcción de ciclos de onda y de análisis los elementos del vector **serial** (24 datos) se da desde el primer elemento del vector hasta el último y se hace repetitivo un infinito número de veces.

### 3.4 MODULACIÓN QPSK

Cuando el valor de la variable **psk** es 2, la modulación QPSK se realiza en la misma forma que para la modulación BPSK, solo que esta vez se realiza en dos procesos simultáneos, en el primero, se analizan los elementos impares (1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23) del vector serial y en el otro los elementos pares (2, 4, 6, 8, 10, 12, 14, 16, 18, 20, 22, 24) del mismo, en un proceso se analiza el primer elemento, en el otro se analiza el segundo y así sucesivamente, al igual que sucede con la modulación BPSK esto se realiza un infinito número de veces. Es necesario anotar que estas dos ondas BPSK, mantienen una diferencia de fases de  $90^\circ$  una de la otra y se suman linealmente, lo cual genera como resultado la onda QPSK modulada.

### 3.5 MODULACIÓN 8-PSK

Si el valor de la variable **psk** es 3, se realiza la modulación 8-PSK, que utiliza los elementos 1, 4, 7, 10, 13, 16, 19, 22 para la modulación de fase BPSK del canal I, los elementos 2, 5, 8, 11, 14, 17, 20, 23 para la modulación de fase BPSK que se realiza en el canal Q y los elementos 3, 6, 9, 12, 15, 18, 21, 24 para alterar la magnitud de las portadoras de los canales según corresponde como se explicó en el capítulo 1

## **4. PRUEBAS Y ANÁLISIS DE RESULTADOS**

En este capítulo se recopilan los resultados de las diferentes pruebas realizadas al modulador didáctico PSK, que permiten conocer el funcionamiento de este equipo en cada uno de los modos de operación BPSK, QPSK y 8-PSK. En primer lugar, se practican las pruebas de la tarjeta de desarrollo del DSP56F8323. Posteriormente, se crea un algoritmo en MATLAB para tener un referente simulado de cada una de las pruebas y extraer información que pueda ser, discutida y analizada por los usuarios, comparándola con la implementación realizada en el equipo PSK didáctico en sus distintos modos de operación.

Las pruebas son descritas como secciones independientes con el respectivo análisis e interpretación de los resultados y en forma progresiva según la complejidad del tipo de modulación M-PSK (2PSK, 4PSK y 8PSK).

### **4.1 EQUIPOS Y HERRAMIENTAS UTILIZADAS**

Se utilizaron los siguientes equipos para la realización de las pruebas:

- Un osciloscopio tektronix TDS 210
- Un computador
- Un multímetro marca tektronix
- Un cable serial (DB9) macho-hembra
- Un cable para puerto paralelo (DB25) macho-macho
- Dos pares de cables I/O coaxial
- Una cámara digital.
- Un adaptador de tensión de 19 volt y 500 mA de salida.

### **SOFTWARE UTILIZADO**

En la elaboración de los algoritmos se utiliza dos software:

- Matlab 6.1

- Codewarrior 6.1

Igualmente, se hizo uso de dos herramientas de software para enviar información al equipo por el puerto serial, estos son:

- Docklight <sup>19</sup> Versión 1.6.8
- Hyperterminal

## **4.2 METODOLOGÍA DE LAS PRUEBAS**

Para la realización de las pruebas, se simulan<sup>20</sup> primero en Matlab y en la herramienta software de [2] para conocer su comportamiento y proceder a enviar la información (que va a modular el equipo) desde un software de comunicación serial, de esta forma será fácil comprobar el funcionamiento del puerto serial del modulador didáctico y a la vez, se comprueba el funcionamiento del algoritmo implementado para el mismo. Se somete a prueba los tres tipos de modulación (BPSK, QPSK y 8PSK). Para cada una de las modulaciones se realizan varias pruebas.

## **4.3 PRUEBAS**

Al iniciar el proyecto, se utilizó una tarjeta de desarrollo del DSP56F801, y al elaborar los algoritmos y luego probarlos, la frecuencia de la señal de salida era de 2 kHz, sin tener el algoritmo completo, es decir la onda senoidal generada por el DSP tuvo una frecuencia mas baja de la proyectada, además de esta limitante, en algunos casos la frecuencia generada no era estable para los tres casos. Por lo tanto, al emigrar al DSP56F8323 se obtuvieron mejoras

---

<sup>19</sup> En el anexo B se explica el manejo del Docklight 1.6

<sup>20</sup> Para las prácticas del laboratorio se elaboró un programa que permite simular la modulación PSK (Anexo G)

en estos ítems, teniendo así, la frecuencia máxima de la señal de 6250 Hz lo cual fue más rápido y más estable que lo obtenido con el DSP56F801.

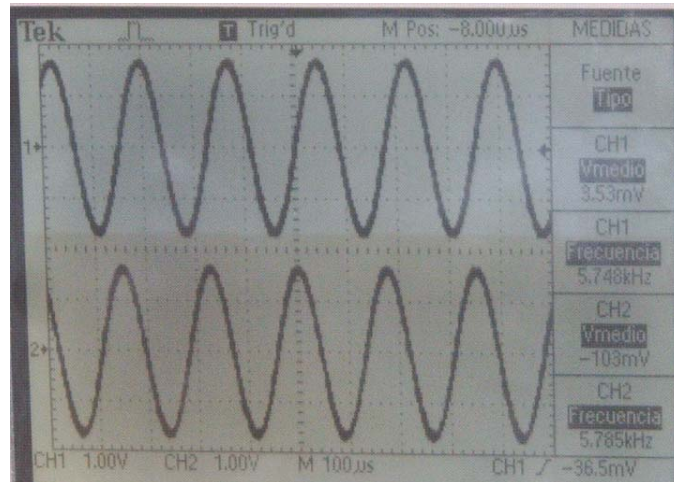
#### **4.3.1 Prueba 1: TARJETA DE DESARROLLO DEL DSP56F8323**

En esta prueba se muestra el funcionamiento de los módulos del DSP que intervienen directamente en el diseño del proyecto, estos son los puertos GPIOA, GPIOB y JTAG (puerto de programación del mismo). Los puertos de propósito general se probaron con leds y el puerto JTAG se comprobó que funcionaba en el momento de programar el chip. El puerto de comunicación se prueba haciendo la interfaz en hardware para adecuarla con el software Docklight de comunicación serial.

#### **4.3.2 Prueba 2: SEÑALES I, Q**

En la segunda prueba, se envía un tren de datos de comprobación (veinticuatro "1" lógicos) y se muestra en el osciloscopio las señales portadoras **I** y **Q**, el canal 1 esta conectado al canal **I** del modulador y el canal 2 esta conectado al canal **Q**, como se puede ver en la figura 19. Después se envía un segundo tren de datos de comprobación (veinticuatro "0" lógicos), con estos y otros grupos de datos se obtiene el mismo resultado, lo que era de esperarse para el primer modo de operación (00). En la figura 20 se puede apreciar el espectro de una de las señales portadoras.

Figura 21. Ondas senoidales I y Q



Fuente: Autores

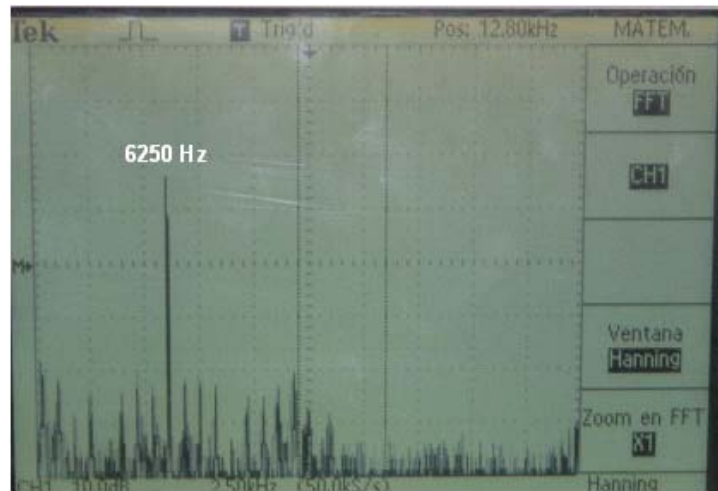
Como se puede apreciar en la Gráfica hay dos ondas senoidales, en donde la señal de la parte inferior se encuentra adelantada  $90^{\circ}$  con respecto a la señal ubicada en la parte superior. En esta Gráfica se observan las siguientes características:

Tabla 3. Características de las portadoras I y Q

Canal	Amplitud pico-pico [Volt]	Frecuencia [kHz]	Fase [Radianes]
I	3,32	6,250	0
Q	3,28	6,250	$\pi/2$

**Las señales I y Q representan las portadoras de cada uno de los canales del modulador, poseen igual frecuencia y magnitud, estas características se deben a la construcción simultánea de las ondas al interior del DSP56F8323.**

Figura 22. Espectro de la onda senoidal



Fuente: Los autores

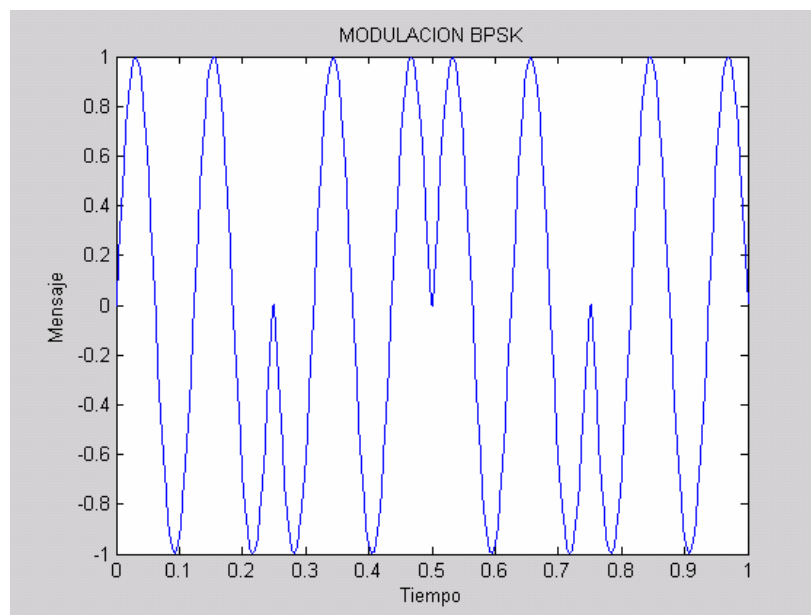
#### 4.3.3 Prueba 3: BPSK

Esta prueba se realiza para visualizar las características de frecuencia y amplitud del modo de operación 2-PSK (tabla 4). La información de la entrada que se va a modular es el siguiente grupo de 24 datos [1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0] donde se presenta la transición binaria más rápida (secuencia de E/S), es decir, que por cada dos ciclos de onda se presenta un cambio de fase de  $180^\circ$ , la rapidez de salida (en baudios) es igual a la mitad de la frecuencia de los datos. Como el primer dato de entrada es un "1" se comienza con dos ciclos de onda con una fase de  $0^\circ$ , al ocurrir un cambio de estado (de 1 a 0 lógico) la señal se invierte, y continua con otros dos ciclos de onda, cuando ocurre la transición (0 a 1 lógico) vuelve a estar en fase con la onda inicial.

En la figura 25 se observa la señal BPSK generada por el modulador, que es desplegada en el osciloscopio, esta onda concuerda con la simulada en Matlab en la figura anterior. La frecuencia de esta señal es de 6250 Hz y equivalente a

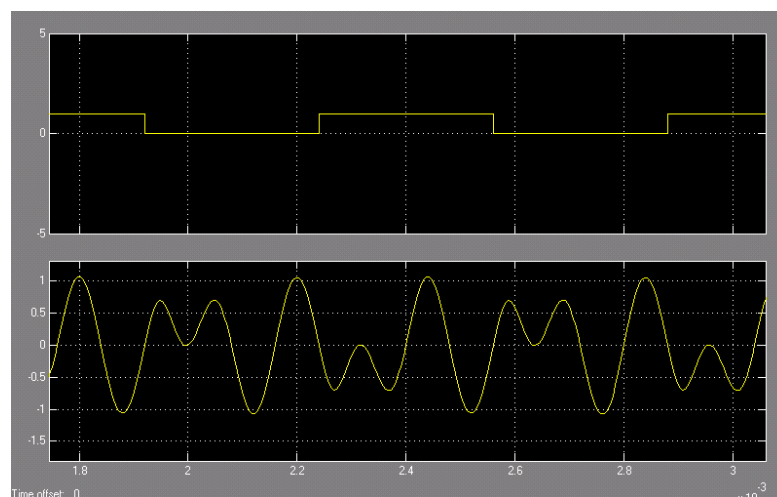
3125 baudios a la salida, con este dato se supera la meta trazada de 1200 baudios.

Figura 23. Gráfica de la modulación BPSK (Matlab).



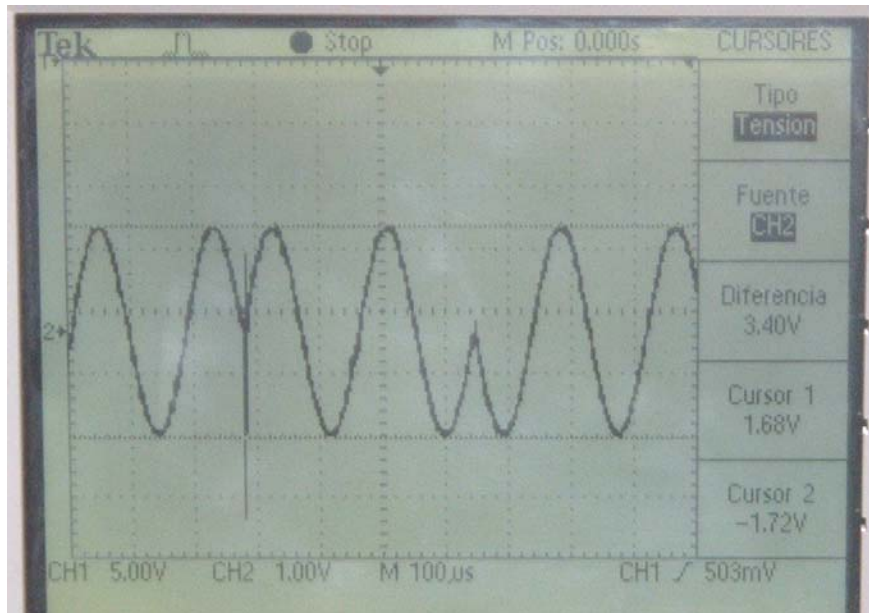
Fuente: Autores

Figura 24. Gráfica de la modulación PSK. Fuente de simulación [2]



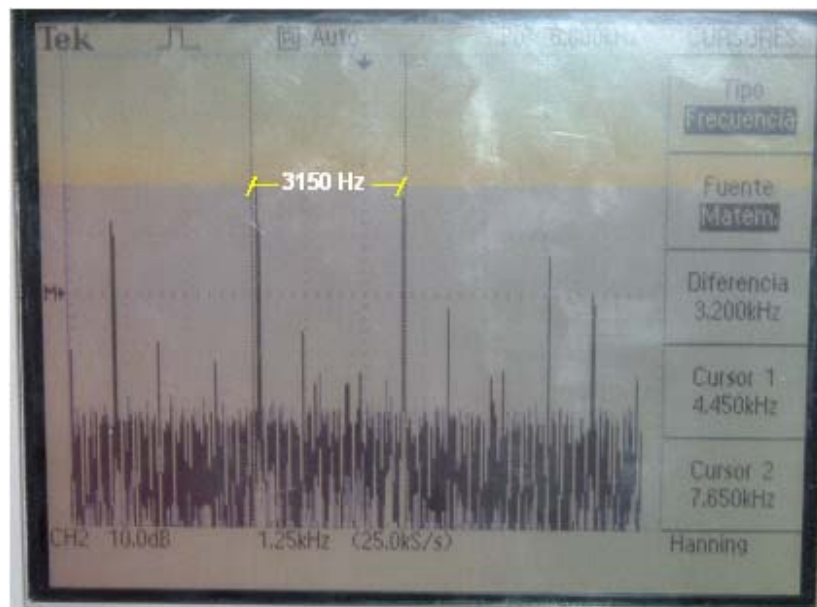
Fuente: Autores

Figura 25. Gráfica de la modulación BPSK(Modulador)



Fuente: Autores

Figura 26. Espectro de frecuencias de la onda BPSK



Fuente: Los autores

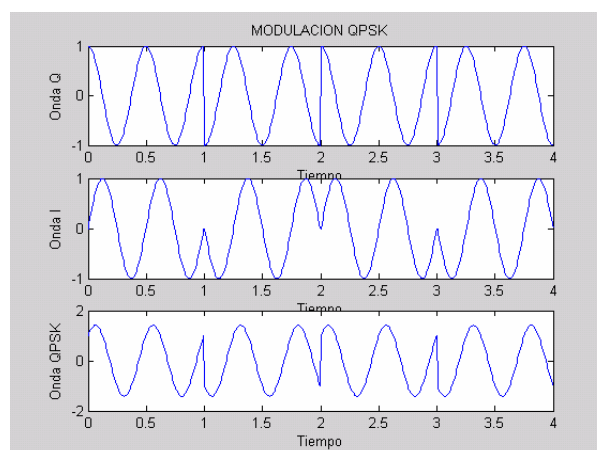
El espectro de frecuencias de la onda BPSK (Figura 26), que modula un tren de "1" y "0" de frecuencia 3125 bps muestra dos impulsos con una diferencia de 3150 Hz aprox. (medida con cursores) entre ellos, esto corresponde al ancho de banda que es la misma cantidad de baudios (cambios de fase de la onda BPSK por segundo).

#### 4.3.4 Prueba 4: QPSK

Un elemento adicional que se puede obtener en las pruebas para la modulación QPSK es la inclusión de los diagramas de transición que se observan en esta sección. También se muestran las ondas **I**, **Q** y las respectivas fases de salida en función del tiempo para el modulador QPSK con diferentes datos de entrada.

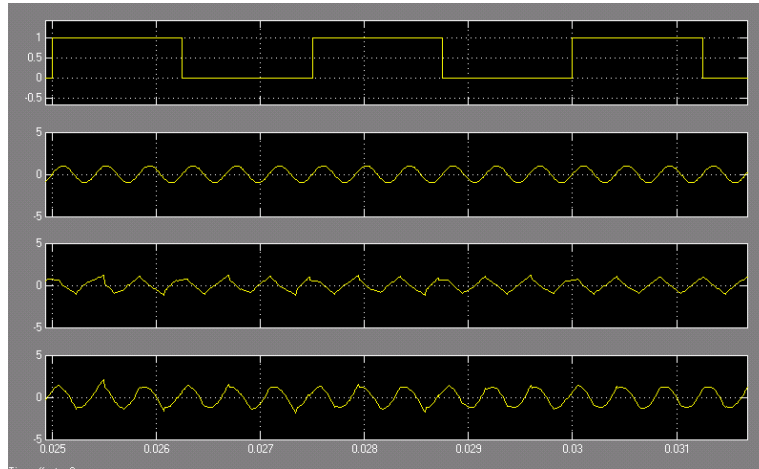
El primer tren (24 datos) de entrada binaria es [1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0], en cada uno de los dibits, el primer dato es transferido al canal **I** y el segundo al canal **Q**, por lo tanto con este tren de datos suministrado se presenta la transición binaria mas rápida que genera la máxima tasa de baudios a la salida de cada uno de los dos canales (figura 23).

Figura 27. Gráfica de la modulación QPSK (Matlab)



Fuente: Autores

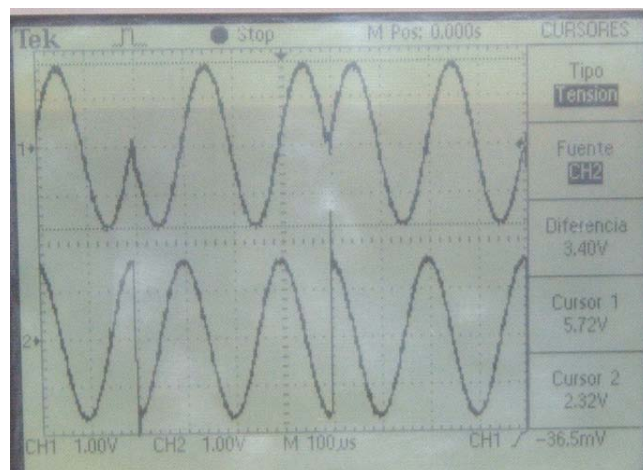
Figura 28. Gráfica de la modulación QPSK. Fuente de simulación [2]



Fuente: Los autores

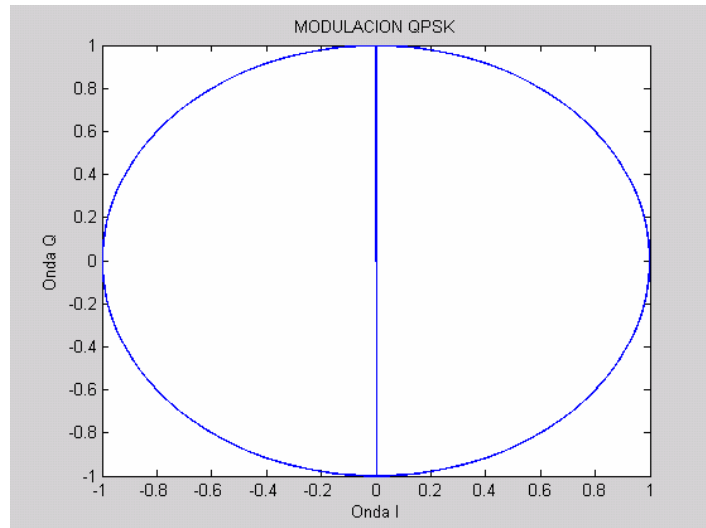
Las dos ondas (**I** y **Q**) presentan cambios de  $180^\circ$  cada dos ciclos, con la diferencia que la una señal está desfasada  $90^\circ$  de la otra. Para el canal Q se observa que la onda se invierte en  $90^\circ$  (amplitud = 1), para el canal I, la señal se invierte en  $0^\circ$  (amplitud = 0), en la parte inferior de la gráfica de la figura 24 se muestra la onda QPSK que es la señal modulada resultante de la suma de las dos ondas anteriores.

Figura 29. Gráfica de la modulación QPSK( Modulador)



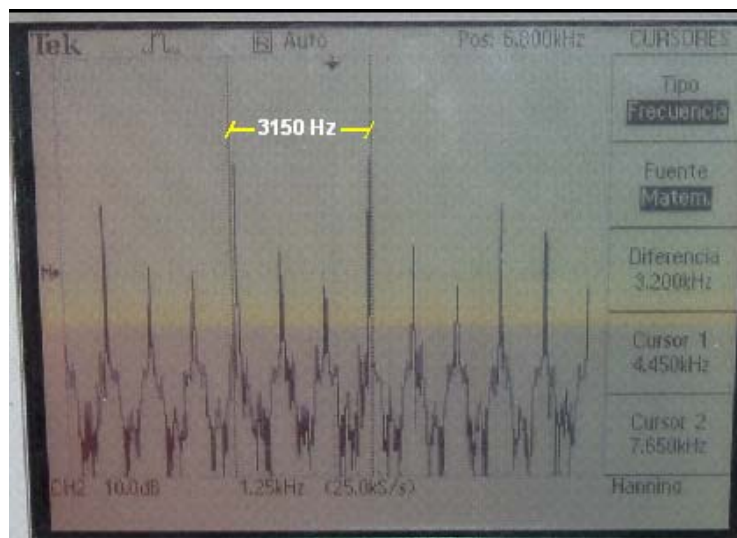
Fuente: Autores

Figura 30. Diagrama de transición de la modulación QPSK



Fuente. Autores

Figura 31. Espectro de la señal QPSK



Fuente: Los autores

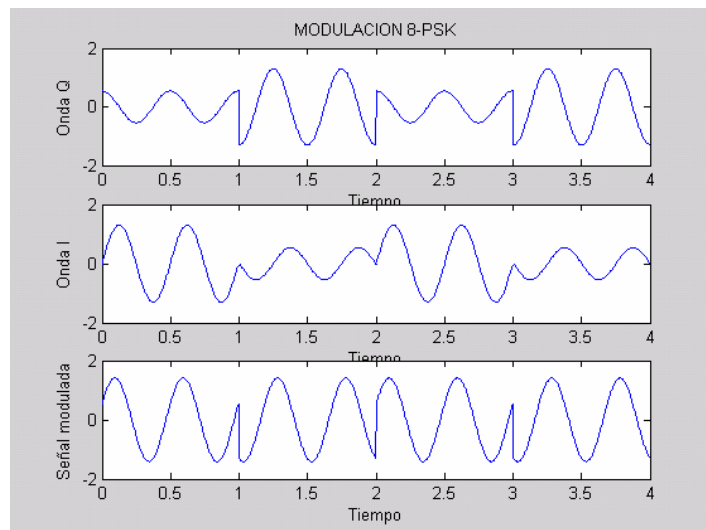
El espectro de la señal QPSK muestra un ancho de banda de 3150 Hz aproximadamente. El que resulta de modular un tren de información binaria de 6250 bps, con una señal moduladora que posee un tren de información de

11 y 00 alternadamente, siendo esta la máxima tasa de variación que se puede presentar en este caso, al igual que en la modulación anterior su ancho de banda es igual a la cantidad de baudios de la señal modulada, es decir 3125 baudios.

#### 4.3.5 Prueba 5: 8-PSK

Los datos de entrada para esta prueba son los tribits [1 1 1 0 0 0 1 1 1 0 0 0 1 1 0 0 0 1 1 1 0 0 0 1 1 1 0 0 0] que generan la máxima tasa de cambios de fase a la salida. Los dos primeros bits del tribit, controlan las fases de los canales y el tercero controla los cambios de magnitud de las ondas, estos cambios de fase y magnitud están dados cada dos ciclos de onda (Figura 26).

Figura 32. Gráfica de la modulación 8-QPSK (Matlab)



Fuente: Autores

Figura 33. Gráfica de la modulación 8-QPSK. Fuente de simulación [2]

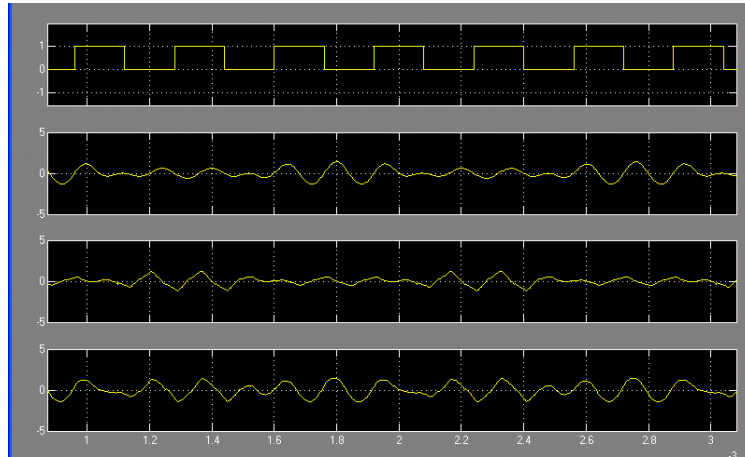
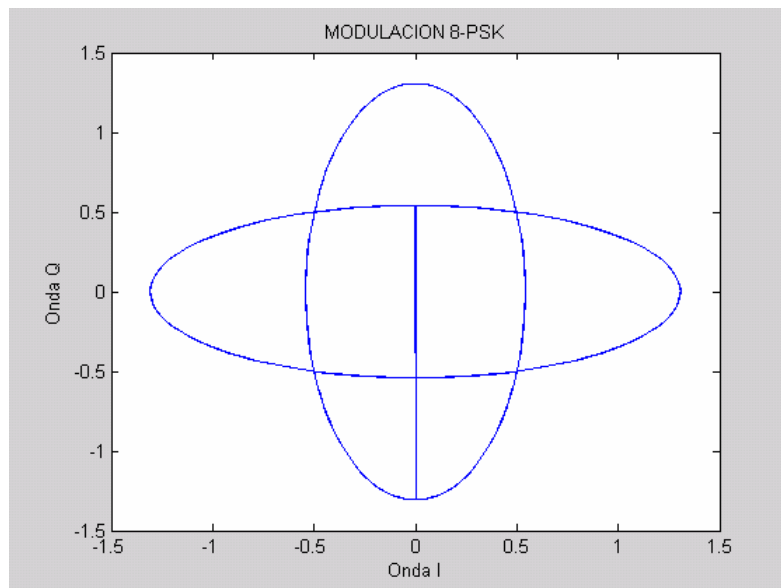


Figura 34. Gráfica de la modulación 8-PSK(Modulador)



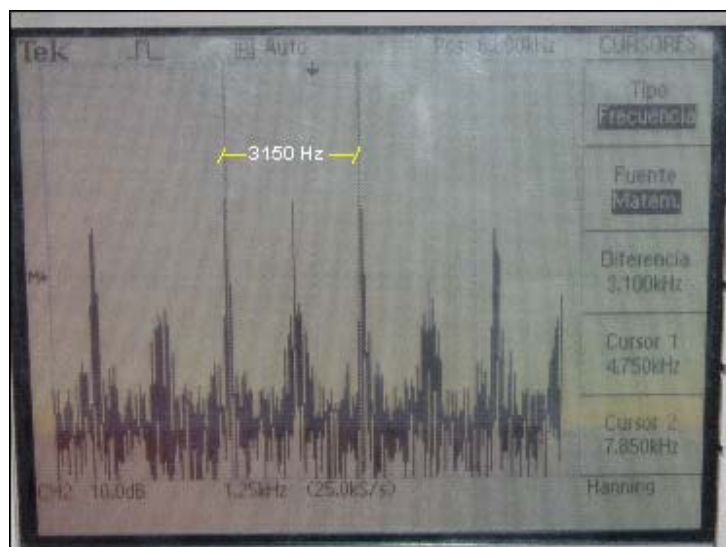
Fuente: Autores

Figura 35. Diagrama de transición de la modulación 8-PSK



Fuente: Los autores

Figura 36. Espectro de la señal 8-PSK



Fuente: Autores

El espectro de la señal 8-PSK muestra un ancho de banda de 3150 Hz aproximadamente. Este es el resultado de modular un tren de información

binaria de 9375 bps, con un tren de entrada de 111 y 000 alternadamente, siendo esta la máxima tasa de variación que se puede presentar en este caso, al igual que los dos tipos de modulación anteriores su ancho de banda es igual a la cantidad de baudios (3125 baudios).

Para finalizar este capítulo, se presenta un cuadro comparativo de los resultados obtenidos en cada una de las pruebas de los diferentes tipos de modulación que resume la información necesaria para establecer el funcionamiento del equipo modulador didáctico.

Tabla 4. Cuadro comparativo de los resultados obtenidos de la modulación PSK

<b>Modulación</b>	<b>Frecuencia de portadora [Hz]</b>	<b>Tasa de transmisión [baudios]</b>	<b>Tasa de bits</b>
<b>BPSK</b>	6,250	3,125	3,125
<b>QPSK</b>	6,250	3,125	6,250
<b>8-PSK</b>	6,250	3,125	9,375

Fuente: Autores.

Como se puede observar en la tabla para una misma frecuencia de portadora, a medida que el tipo de modulación codifica más bits por cada símbolo ésta se hace más eficiente, debido a que para una misma tasa de transmisión se transmite una mayor cantidad de información. Estos valores son obtenidos con la máxima tasa de variación de bits para cada una de las modulaciones PSK.

## **5. CONCLUSIONES Y RECOMENDACIONES**

### **5.1 CONCLUSIONES**

- El diseño y la construcción del modulador didáctico PSK basado en el DSP56F8323 de Motorola, abarca las variantes de la modulación digital por variación de fase PSK. Estas son BPSK, QPSK y 8-PSK con tasas de salida superiores a 1200 baudios.
- La tarjeta de desarrollo y la tarjeta de programación del DSP56F8323 construidas para el modulador didáctico PSK permiten probar los algoritmos diseñados para caracterizar el comportamiento general de un sistema de modulación PSK.
- La tarjeta JTAG permite cambiar los algoritmos implementados en el DSP56F8323 realizando una nueva programación y de esta manera llevar a cabo otras aplicaciones o mejorar las existentes.
- En el equipo se incluye un canal de entrada/salida adicional y un interruptor para su control pensando en futuras aplicaciones como la de implementar una entrada de información digital suministrada desde un pseudogenerador ó un generador de señales. Este canal se conecta a un pin de propósito general del DSP, que puede ser programado para entradas digitales de 3,3 Volts. También se incluye un interruptor que habilita o deshabilita este pin.
- La práctica de laboratorio propuesta para la modulación digital PSK, contiene los modos de operación de BPSK, QPSK y 8-PSK, y está enfocada en implementar los conocimientos adquiridos en las prácticas de laboratorio de comunicaciones, de una manera dinámica a través de la visualización permanente de las fases de salida, de los diagramas de constelación y de

los ejercicios de la guía. Esto le permite al estudiante en forma general encontrar y analizar las características más importantes de este tipo de modulación.

- Los procesadores digitales de señales posibilitan la elaboración de aplicaciones donde se requiere un gran número de operaciones por ciclo de máquina para realizar algoritmos sin tener que recurrir a un computador. También su bajo costo (alrededor de US\$40) y su bajo consumo de potencia (el consumo total de potencia es del orden de 500mW) los hace atractivos en la implantación de sistemas independientes.
- Las características generales de la modulación PSK como las fases de salida en función del tiempo, la amplitud, la frecuencia, los diagramas de transición son visualizados e identificados con la ayuda del equipo modulador.

## 5.2 RECOMENDACIONES

- Para la obtención de nuevos tipos de modulación, como la modulación por desplazamiento de amplitud **ASK**, la modulación por desplazamiento de fase **FSK**, y la modulación por desplazamiento de fase **M-PSK** para  $M > 8$ , se sugiere diseñar algoritmos que puedan ser probados con la reprogramación de este equipo, y de esta manera crear guías que complementen el estudio de la modulación digital.
- Se sugiere crear un sistema de sincronización ya sea a través del hardware ó el software para una futura aplicación en tiempo real como obtener la información desde un generador de señales.
- Utilizar un DSP como el DSP56F8346 que tiene más pines de propósito general (62 GPIO) para poder tener más resolución en la onda de salida

generada, por lo tanto en la etapa final del hardware se deberían conectar conversores de 14 bits con una mayor resolución.

- Implementar un filtro analógico pasa bajas en la etapa de salida, para evitar que las señales de alta frecuencia afecten la forma de la onda.
- Para elevar la frecuencia portadora de las señales de salida del sistema de modulación PSK de este trabajo, es posible mezclar la señal PSK con un oscilador de mayor frecuencia.
- Si se desea analizar el comportamiento espectral del sistema de modulación de forma independiente de un analizador de espectros, se puede analizar la posibilidad de calcular la FFT con el DSP e incluso visualizarla mediante una pantalla LCD.

## REFERENCIAS BIBLIOGRÁFICAS

- [1] COUCH. León. Sistemas De Comunicaciones Digitales Y Analógicas. 5º Edición Prentice Hall, 1997, 742 p.
- [2] DUARTE, Dili. URIBE, Oscar Modelado y simulación de sistemas de comunicaciones digitales, UIS, 2004, 134 p.
- [3] HAYKIN, Symon. Sistemas de Comunicaciones. Cuarta edición, Nueva York, John Wesley, 2001, 816 p.
- [4] MOTOROLA,DSP56F8300. Manual Series Documentations. Rev 5.0 02/2004. 641 p.
- [5] MOTOROLA, Metrowerks. Code Warrior Development Studio for DSP568XX/E Hybrid controllers. 600 p.
- [6] TOCCI, Ronald J. Sistemas Digitales Principios y Aplicaciones. Sexta Edición. Prentice Hall, 1995. 833 p.
- [7] TOMASI, Wayne. Sistemas de Comunicaciones Electrónicas. Cuarta Edición. 2003, 948 p.

# **ANEXOS**

## **Anexo A. Propuesta de la guía de práctica de laboratorio**

Esta propuesta se plantea para complementar y diversificar la guía del laboratorio de comunicaciones en un tema específico como lo es, la modulación por variación de fase PSK, como una de las formas de poner en práctica el Modulador Didáctico y de fortalecer los conceptos involucrados en el aprendizaje de la teoría de comunicaciones.

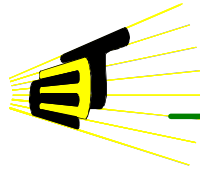
En el diseño de esta guía, se elaboró un programa en Matlab que le entrega al usuario, en forma Gráfica, las señales y los diagramas de constelaciones que requiere para analizar el comportamiento del modulador didáctico PSK.

Es decir, que le permite al estudiante interactuar con el equipo y a su vez, seguir con el esquema que se viene adelantando en las guías del laboratorio de comunicaciones digitales.

Las variantes que se le pueden practicar a los modos de operación, a las diferentes salidas, a las entradas de datos o incluso a la fuente de información, para hacer una aproximación a una modulación real, le dan al usuario del equipo la posibilidad de comparar los resultados obtenidos y sugerir nuevos trabajos de investigación en esta área.

Para la realización de esta práctica de laboratorio de la modulación PSK son necesarios los siguientes recursos adicionales a los de las prácticas actuales:

- ❖ Un Modulador Didáctico PSK.
- ❖ Un elemento de visualización (Osciloscopio).



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK

LABORATORIO DE COMUNICACIONES DIGITALES



### Integrantes

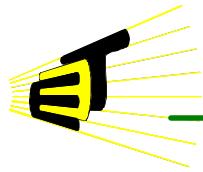
Nombre	Código	Grupo	Fecha

### Objetivos

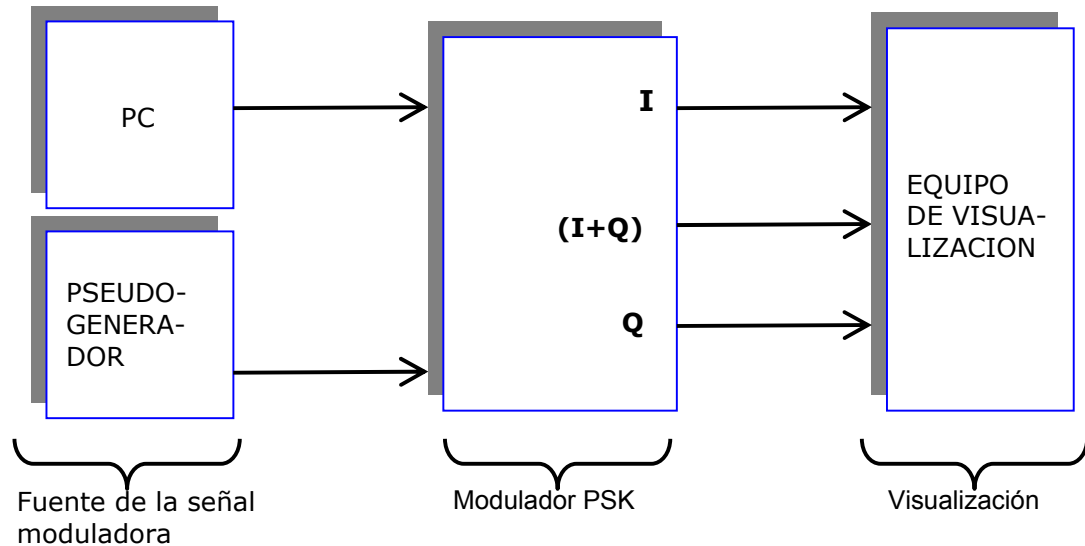
- Conocer las características de la modulación digital PSK
- Identificar los modos de operación del equipo modulador didáctico
- Comprender los cambios de fase de las señales I, Q y la señal modulada
- Reconocer los diagramas de transición y de constelación a través de las señales I y Q simuladas en Matlab y compararlas con las obtenidas con las señales de salida del modulador que se visualizan en el osciloscopio.

### MARCO TEÓRICO

La modulación PSK es una técnica de modulación digital en donde la información se modula en fase, es decir, de acuerdo con los valores de la entrada digital, la señal analógica modulada va a tener diferentes fases de salida. Existen varios tipos de modulación PSK, que dependen de la cantidad de bits que sean tomados del tren de datos de entrada. Por ejemplo, si se toman los datos de la señal digital bit a bit, se efectúa una modulación BPSK (M-PSK con  $M=2$ ), pero si son grupos de dos bits (llamados dibits) los que se tienen en cuenta para realizar los cambios de fase, se tiene QPSK (M-PSK con  $M=4$ ), y si son grupos de tres bits (tribits) los utilizados para realizar la modulación, se da lugar a 8-PSK (M-PSK con  $M=8$ ).



**DIAGRAMA DE BLOQUES DEL SISTEMA**



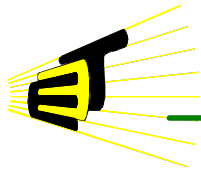
Los datos son suministrados por el usuario a través de un software de comunicación serial. Para esta guía se sugiere utilizar el docklight V1.6.8.(ver Anexo B).

El modulador PSK posee un manual de operaciones, que debe leerse antes de iniciar la práctica. Para la etapa de visualización se puede utilizar un osciloscopio. También se recomienda a los estudiantes, repasar los conceptos teóricos de la modulación PSK adquiridos en clase y revisar las fuentes bibliográficas.

**PROCEDIMIENTO**

**1. Montaje**

Realice el montaje completo del equipo (suministro de potencia, fuente de datos), verifique las conexiones necesarias de los puertos de salida del modulador hacia los canales de entrada del osciloscopio. Verifique que todo este correctamente instalado.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



LABORATORIO DE COMUNICACIONES DIGITALES

### 2. Funcionamiento

- Envíe la siguiente información (tren de datos de 24 bits):

**[ 1 ]**

Observe las señales **I**, **Q** y **PSK modulada** en el osciloscopio para cada modo de operación.

- ¿Qué diferencia existe entre las señales **I**, **Q** en cada uno de los cuatro modos de operación? explique su respuesta.
- En los modos de operación BPSK, QPSK y 8PSK (2,3 y 4) ¿Cómo puede verificarse que la señal PSK modulada se obtiene de sumar las señales **I** y **Q**?

- Repita el procedimiento anterior para el siguiente tren de 24 datos:

**[ 0 ]**

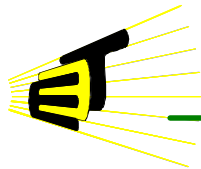
- Encuentre el tren de datos que genera cambios de fase en las ondas senoidales **I** y **Q**, en el primer modo de operación (seleccionadores PSK en 00). Explique su respuesta.

### 3. Tasa de transmisión.

- Transfiera estos datos digitales a la salida del modulador

**[1 0 1 0 1 0 1 0 1 1 0 1 0 1 0 1 0 1 0 1 0 1 0]**

- ¿Qué tasa de baudios generan estos datos de entrada, en la señal modulada BPSK, QPSK, 8PSK? Justifique cada respuesta.
- ¿Cuál es la frecuencia de bits? Compárela con las respuestas del ítem anterior.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



### LABORATORIO DE COMUNICACIONES DIGITALES

- Para los datos siguientes resuelva el mismo cuestionamiento anterior:

**[ 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 ]**

y

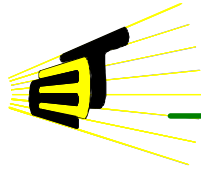
**[ 1 1 1 0 0 0 1 1 1 0 0 0 1 1 1 0 0 0 1 1 1 0 0 0 ]**

- Identifique los máximos y los mínimos de las fases de salida en función del tiempo. Coloque el osciloscopio en modo XY, (introduzca la señal I en el eje X y la señal Q en el eje Y) y obtenga el diagrama de transición. Tenga en cuenta que en las señales I y Q poseen una componente continua lo que hace en el diagrama de transición las elipses de la modulación 8 PSK se desplacen hacia arriba y hacia la derecha ¿Qué relación tienen los máximos y los mínimos con el diagrama? Explique su respuesta.

#### 4. Diagramas de constelación

Basado en una simulación previa en Matlab se obtienen las siguientes Gráficas de las señales I y Q para una serie de datos de entrada. En cada uno de los 4 ejercicios:

- Identifique el tipo de modulación M-aria PSK.
- Con esta información, construya el tren de datos de entrada.
- Construya su propio diagrama de constelaciones y compárelo con el diagrama de constelaciones (normalizado) dado.
- Consigne sus conclusiones.



# LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



LABORATORIO DE COMUNICACIONES DIGITALES

## ➤ Ejercicio 1

Fases de salida en función del tiempo

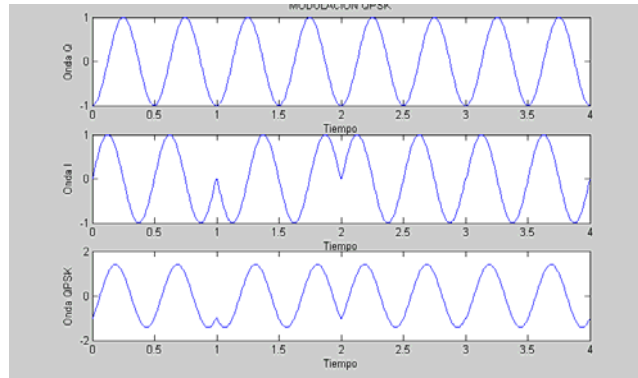
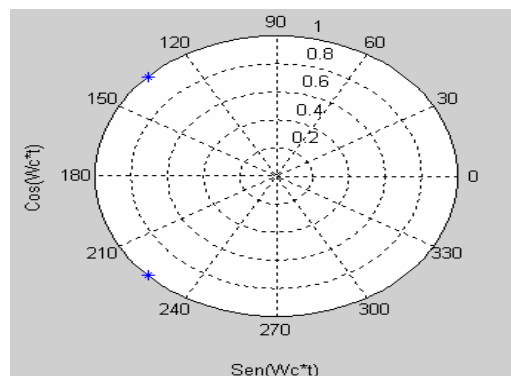
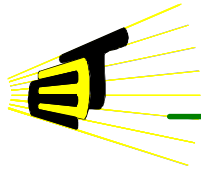


Diagrama de constelación



- Con el tren de datos obtenido construya un vector de 24 datos (repetiendo los datos) introdúzcalos en el equipo modulador a través de Docklight y compare las señales I y Q producidas en el equipo con las dadas por la simulación. Por medio del osciloscopio (modo XY) introduzca I, Q y observe la gráfica resultante.
- Analícela y consigne sus conclusiones.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



### LABORATORIO DE COMUNICACIONES DIGITALES

#### ➤ Ejercicio 2

Fases de salida en función del tiempo.

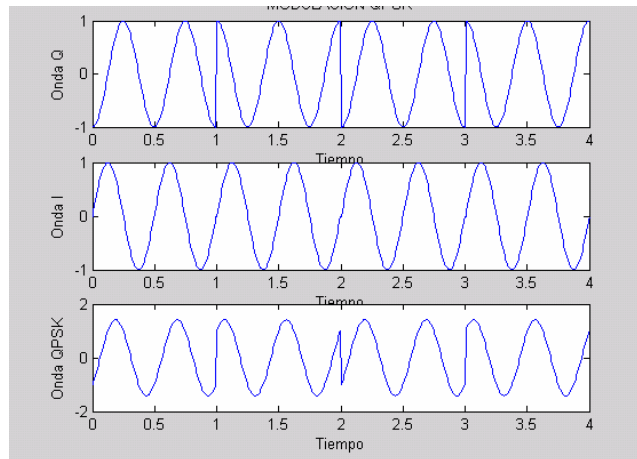
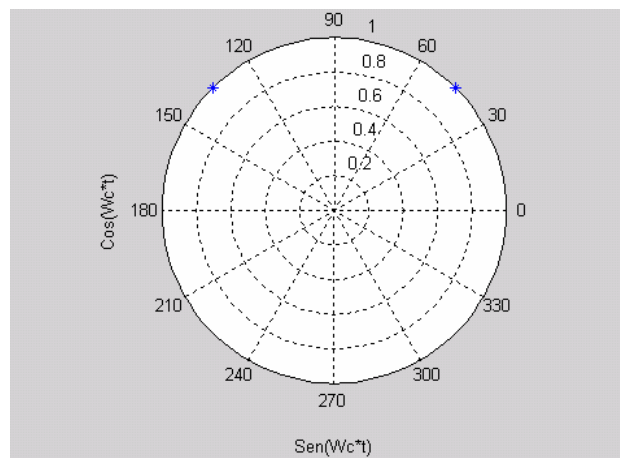
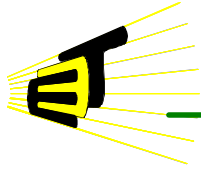


Diagrama de constelación.

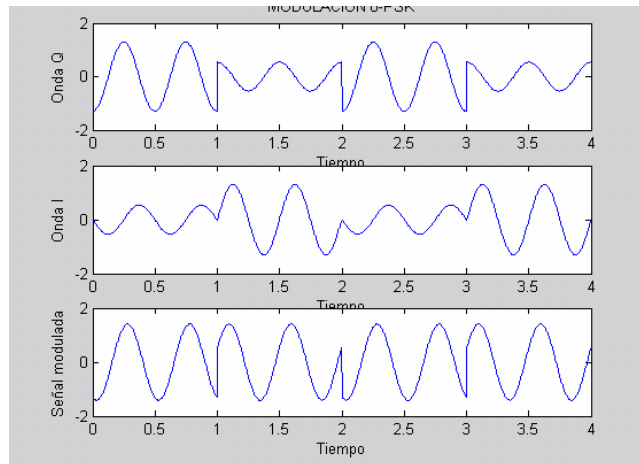


- ¿Cuál es el tren de datos obtenido? Construya el vector de 24 datos? Introdúzcalos en el equipo modulador a través de Docklight y compare las señales I y Q.
- Por medio del osciloscopio (modo XY) introduzca I, Q y observe la gráfica resultante. ¿Qué se puede concluir de esta gráfica?

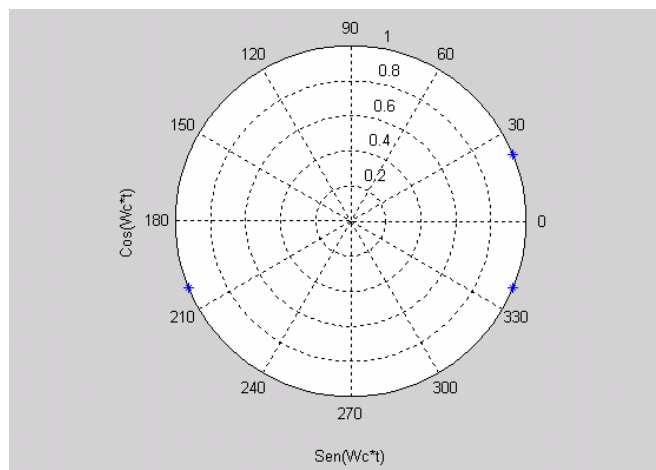


### ➤ Ejercicio 3

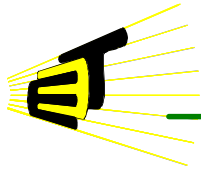
#### Fases de salida



#### Diagrama de constelación.



- Construya el vector de datos.
- Utilizando el osciloscopio (modo XY) introduzca las señales I, Q y observe la gráfica resultante. ¿Qué se puede concluir de esta gráfica?
- ¿Cuáles son los máximos y los mínimos de las ondas de salida del modulador didáctico. Describa la relación que guardan con la gráfica del ítem anterior.



➤ Ejercicio 4

Fases de salida en función del tiempo.

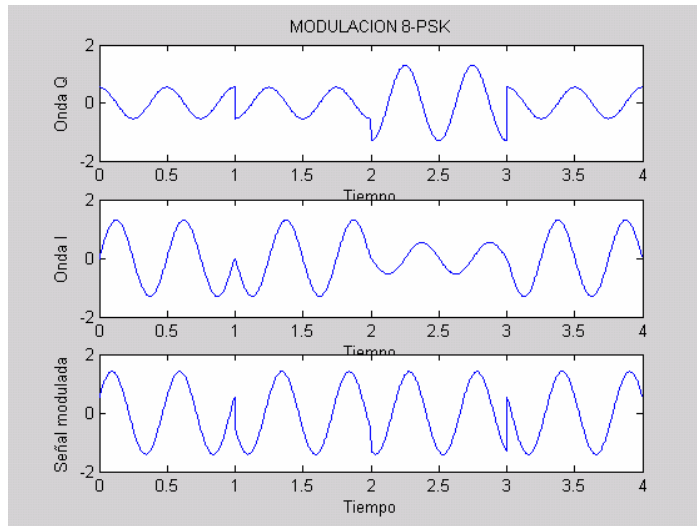
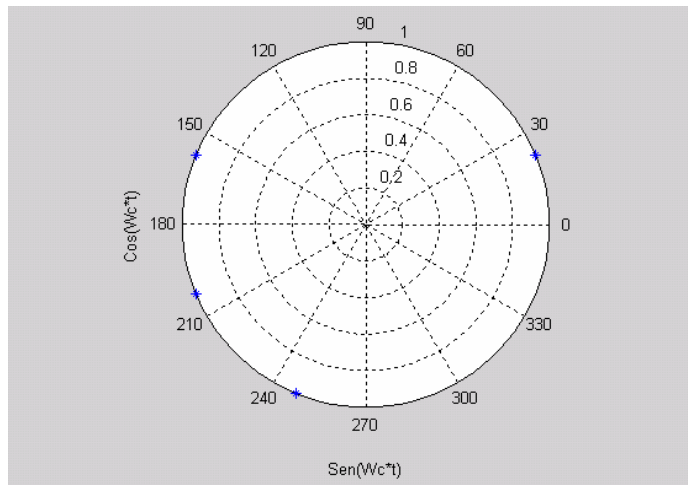
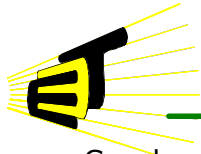


Diagrama de constelación



- Con el tren de datos obtenidos construya el vector, introdúzcalos en el equipo modulador a través del Docklight y compare las señales I y Q (producidas en el equipo) con las dadas por la simulación. Introduzca en el osciloscopio las señales I, Q y observe la gráfica resultante.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



### LABORATORIO DE COMUNICACIONES DIGITALES

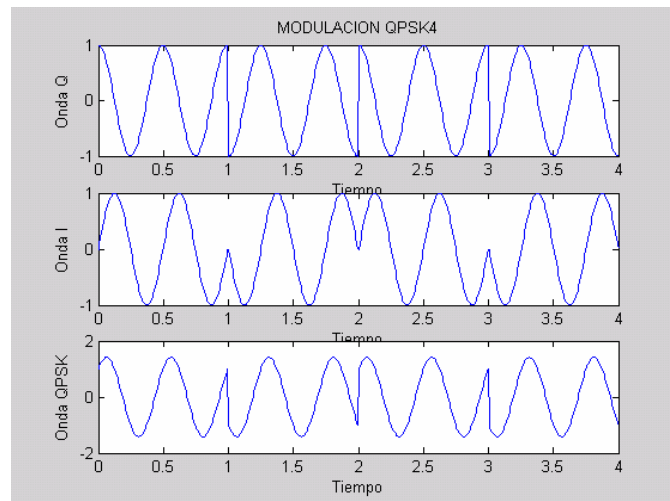
- Con los máximos y los mínimos de estas señales, describa el recorrido en la gráfica de transición.

#### 5. Diagramas de transición.

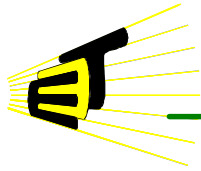
##### ➤ Ejercicio 5

En las siguientes 3 gráficas se muestra las señales I, Q y la QPSK modulada, el diagrama de constelación y el diagrama de transición.

Fases de salida en función del tiempo.



- Encuentre los dibits correspondientes de las señales anteriores, compárelos con el diagrama de constelación. Describa sus observaciones.
- Con las señales I y Q, encuentre el diagrama de transición en el modulador PSK didáctico compárelo con el diagrama de transición simulado. ¿Qué relación encuentra entre los dos? Justifique sus observaciones.
- Con los dibits encontrados describa la trayectoria del diagrama de transición.
- Observe las fases de salida y compárelas con el diagrama de transición, que significado tiene la línea vertical de este diagrama.



# LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



## LABORATORIO DE COMUNICACIONES DIGITALES

Diagrama de constelación

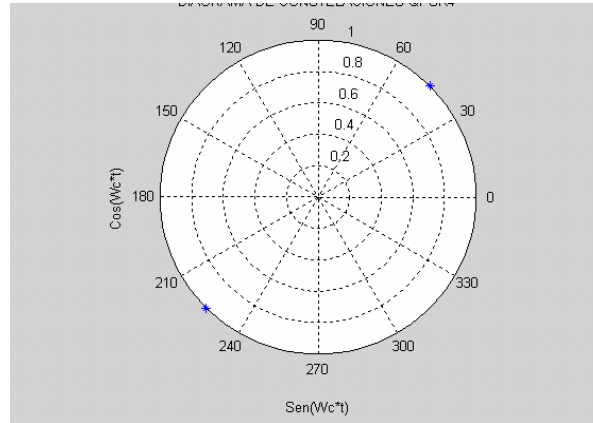
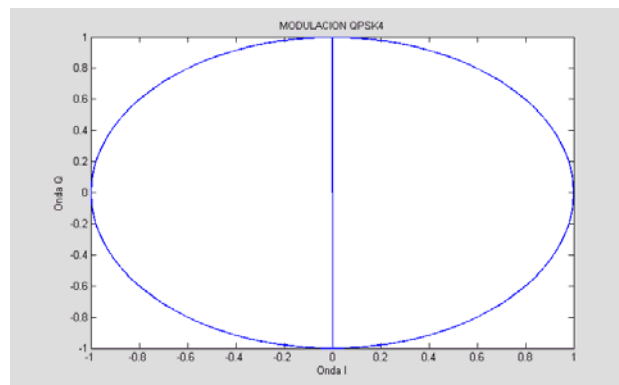
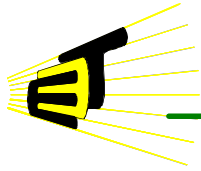


Diagrama de transición



### ➤ Ejercicio 6

Las gráficas siguientes muestran las fases de salida, el diagrama de constelación y el diagrama de transición, para un tren de datos modulados con 8-PSK.



Fases de salida en función del tiempo

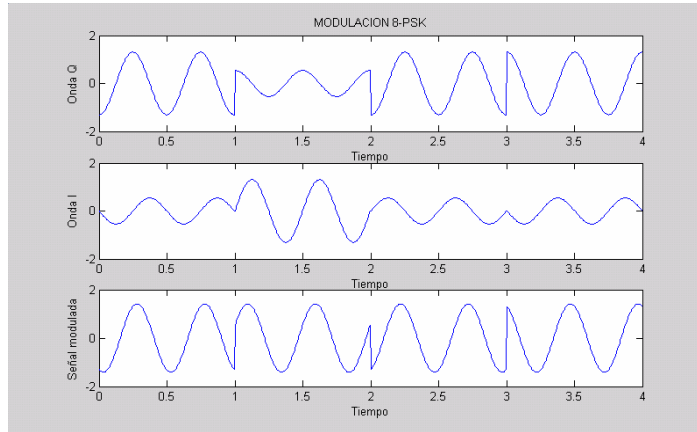


Diagrama de transición.

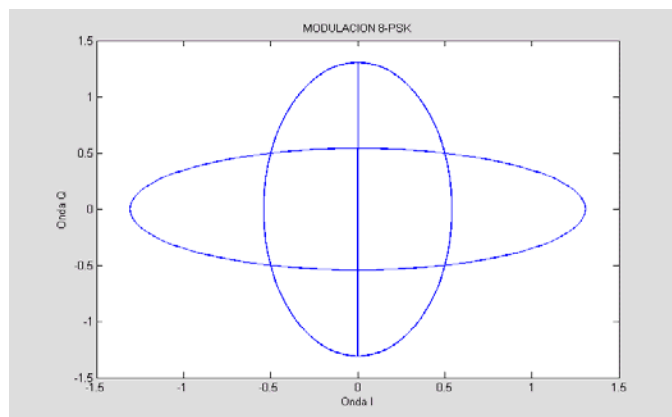
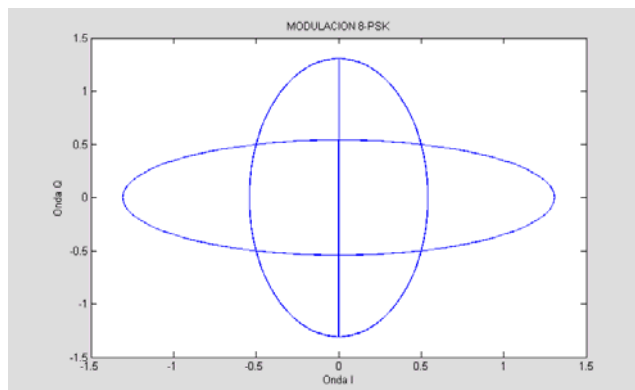
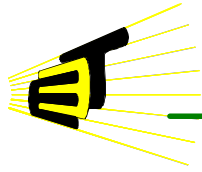


Diagrama de constelación





- Encuentre los tribits correspondientes de las señales anteriores, compárelos con el diagrama de constelación. Describa sus observaciones.
- Con las señales I y Q, encuentre el diagrama de transición en el modulador PSK didáctico compárelo con el diagrama de transición simulado. ¿Qué diferencias y semejanzas encuentra entre los dos? Justifique sus observaciones.
- Con los tribits encontrados describa la trayectoria del diagrama de transición.
- Con las 4 combinaciones de tribits encontrados, halle los ángulos y su relación con la amplitud de las señales I y Q. Justifique la respuesta.

#### 6. Análisis en frecuencia. (opcional)

##### ➤ Ejercicio 7

- Coloque los interruptores PSK del equipo en el modo 00.
- Envíe un tren de 24 datos aleatorio.
- Ponga el osciloscopio en la función FFT. Encuentre el ancho de banda de las señales.
- ¿Cuál es la frecuencia de portadora?

##### ➤ Ejercicio 8

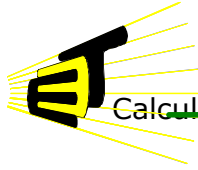
- Ponga el equipo en el modo de operación BPSK.
- Envíe el siguiente tren de datos

**[1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0]**

- ¿Cuál es la frecuencia portadora?

---

Este numeral se plantea como un ejercicio opcional debido al reducido número de osciloscopios que permitan realizar en análisis en frecuencia.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK

Calcule los baudios.



LABORATORIO DE COMUNICACIONES DIGITALES

- Trace el espectro de salida y describa lo observado.
- Mida el ancho de banda.
- Calcule la frecuencia de bits y halle la relación con los baudios.

### ➤ Ejercicio 9

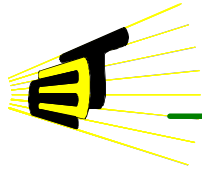
- Ponga el equipo en el modo de operación QPSK.
- Envíe el siguiente tren de datos  
**[1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 0]**
- ¿Cuál es la frecuencia portadora?
- Calcule los baudios.
- Trace el espectro de salida y describa lo observado.
- Mida el ancho de banda.
- Calcule la frecuencia de bits y halle la relación con los baudios.

### ➤ Ejercicio 10

- Ponga el equipo en el modo de operación 8-PSK.
- Envíe el siguiente tren de datos  
**[1 1 1 0 0 0 1 1 1 0 0 0 1 1 1 0 0 0 1 1 1 0 0 0]**
- ¿Cuál es la frecuencia portadora?
- Calcule los baudios.
- Trace el espectro de salida y describa lo observado.
- Mida el ancho de banda.
- Calcule la frecuencia de bits y halle la relación con los baudios.

### ➤ Ejercicio 11

Complete la siguiente tabla con los valores medidos y/o calculados y analice estos resultados.



## LABORATORIO DE MODULACIÓN POR DESPLAZAMIENTO DE FASE PSK



LABORATORIO DE COMUNICACIONES DIGITALES

<b>Modulación</b>	<b>Frecuencia de portadora [Hz]</b>	<b>Tasa de transmisión [baudios]</b>	<b>Tasa de bits</b>
<b>BPSK</b>			
<b>QPSK</b>			
<b>8-PSK</b>			

- Para cada uno de los modos de operación ¿Cuál es la relación entre la frecuencia de bits y los baudios encontrados en esta práctica?
- ¿Qué información puede extraerse de los diagramas de constelación y de transición?
- Según el análisis de los espectros observados ¿qué proceso se realiza entre la señal portadora y la señal modulada?



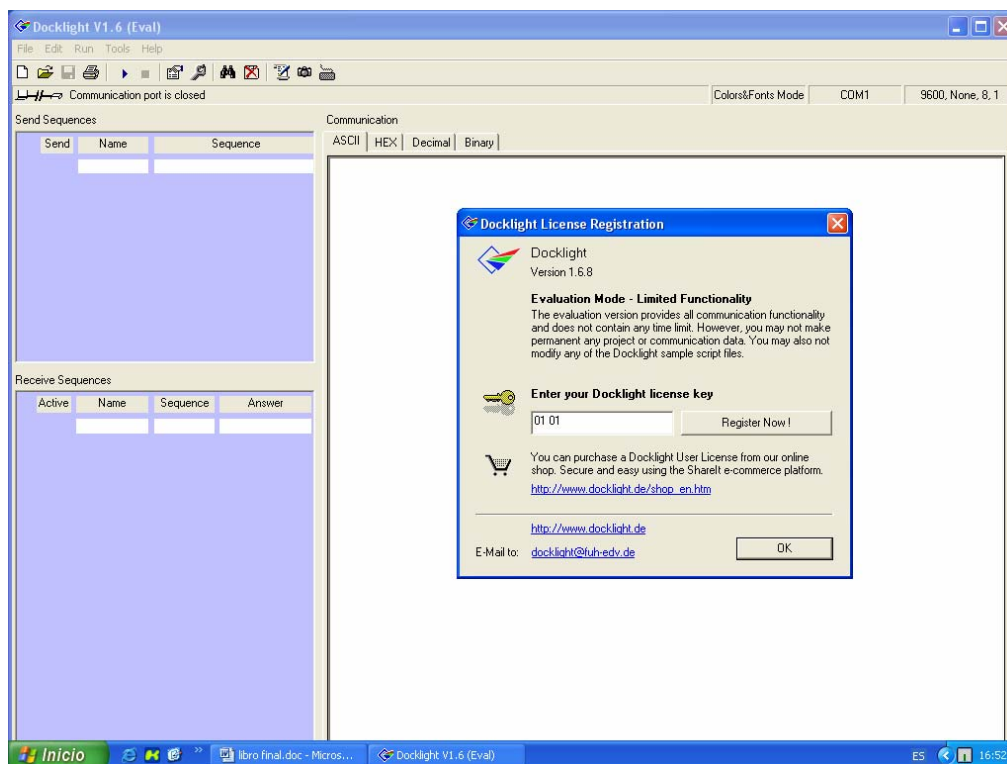
## TUTORIAL DOCKLIGHT SOFTWARE DE COMUNICACIÓN SERIAL

### Anexo B. Tutorial de Docklight

En este anexo se explican los procedimientos necesarios para manejar este software.

Para iniciar se ejecuta el programa. Una vez ejecutado el programa se despliega la siguiente ventana (figura 1).

Figura 1. Ventana de inicio del Docklight.



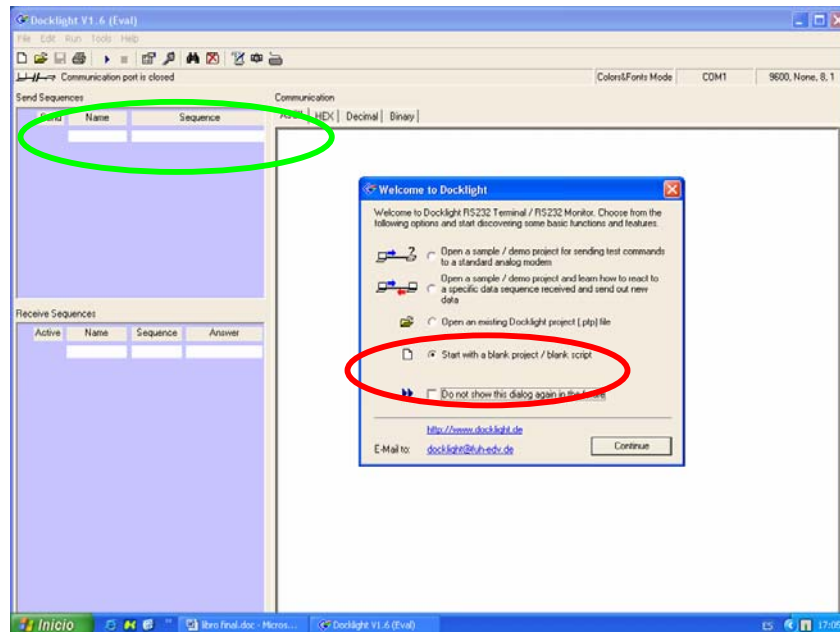
Fuente: [www.docklight.de](http://www.docklight.de)

Para continuar hacemos clic en OK. Luego se despliega otra ventana en donde hay varias opciones, de las cuales si no hay algún archivo anterior que el usuario quiera abrir, deberá por consiguiente un archivo en blanco escoger un proyecto en blanco (ver figura 2).



## TUTORIAL DOCKLIGHT SOFTWARE DE COMUNICACIÓN SERIAL

Figura 2. Selección de archivo de inicio.



Fuente : [www.docklight.de](http://www.docklight.de)

Después se procede a escribir la información que se va a enviar, para este propósito se va a la pestaña edit del menú y se escoge de la ventana que esta despliega la opción editar lista de envío como se ve en la Figura 4 ó se hace doble clic en la parte en que esta circundada por línea verde mostrada en la figura 3.

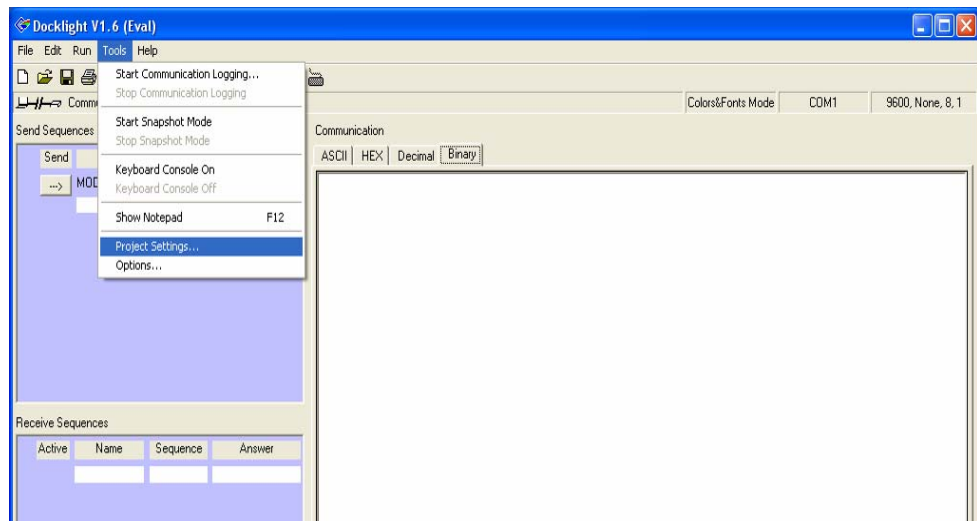




## TUTORIAL DOCKLIGHT SOFTWARE DE COMUNICACIÓN SERIAL

Después se configura el puerto serial de la siguiente manera: Se hace clic en el comando Tools, y se hace clic nuevamente en el comando, configuración del proyecto como se puede apreciar en la figura 6. Otra forma mas rápida de desplegar la ventana de configuración de proyecto es haciendo clic en el icono del menú principal.

Figura 6. Barra del que permite el acceso a la configuración de Docklight



Fuente: [www.docklight.de](http://www.docklight.de)

Después de esto aparecerá una ventana (figura 7) en donde estarán los parámetros de la configuración del puerto serial en el los cuales se debe escoger como tasa de transmisión 9600 bauds.





## **TUTORIAL DOCKLIGHT SOFTWARE DE COMUNICACIÓN SERIAL**

De esta manera concluimos la transmisión de la información por el puerto serial.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



Anexo C. Manual de Operaciones

# MODULADOR DIDÁCTICO PSK

## MANUAL DE OPERACIONES





## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### IMPORTANTE

Este modulador está clasificado como material didáctico y es de propiedad de la escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones.



### PRECAUCIÓN

Para reducir el riesgo de posibles descargas eléctricas no destape esta unidad, no contiene elementos que deba reemplazar el usuario. En caso de avería, solicite la ayuda del personal encargado del laboratorio de comunicaciones.

Este símbolo indica que existen instrucciones importantes de funcionamiento y mantenimiento en la información que se suministra de este equipo.



### Advertencia

Para reducir el riesgo de incendio o descarga eléctrica no exponga este equipo a la lluvia ni a la humedad.

### Señor Usuario:



Le solicitamos dedique el tiempo y la atención necesaria para leer las instrucciones de manejo del equipo presentadas en este manual, ya que le permitirán utilizar correctamente el modulador didáctico PSK



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### PANEL POSTERIOR

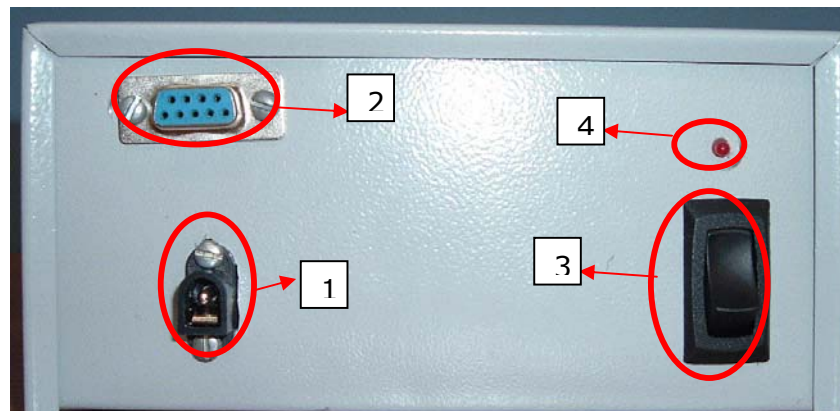


Figura 1. VISTA POSTERIOR DEL EQUIPO MODULADOR.

1. Conector plug de suministro de potencia.
2. Conector DB9 hembra.
3. Interruptor POWER ON/OFF.
4. Led indicador de encendido del equipo.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### PANEL FRONTAL

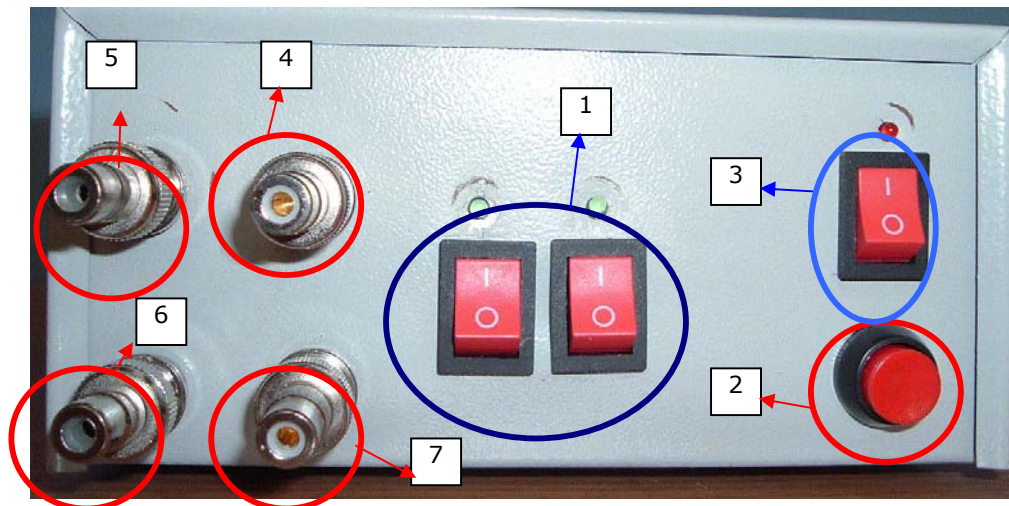


Figura 2. VISTA FRONTAL DEL EQUIPO MODULADOR

1. Interruptores PSK SELECTOR.
2. Pulsador de RESET.
3. Selector SERIAL/ PSEUDOG.
4. Canal I (In fase).
5. Canal Q (Quadrature).
6. Canal PSK MODULADA .
7. Canal INPSEUDOG.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### DESCRIPCIÓN FÍSICA DEL MODULADOR

#### MODULO DE ALIMENTACIÓN

Voltaje de suministro: 15-25 Volts de DC.

Corriente: 250-300 mA



Para evitar descargas eléctricas se debe introducir completamente el conector del suministro de potencia.

PANEL POSTERIOR (Ver Figura).

1. **Conector plug de suministro de potencia:** es el elemento de entrada de potencia al equipo suministrada desde el adaptador.
2. **Conector DB9 hembra:** permite la entrada de la información proveniente del puerto serial del PC, hacia el modulador.
3. **Interruptor POWER ON/OFF:** el equipo se enciende con el interruptor ON/OFF (color negro) que se encuentra en su parte posterior.
4. **Led indicador de encendido:** Si está correctamente energizado debe iluminarse, este led (color rojo) está ubicado en la parte superior del interruptor.

PANEL FRONTAL (ver figura 2).

1. **Interruptores PSK SELECTOR:** Estos dos interruptores (MSB y LSB) permiten seleccionar el modo de operación del modulador PSK. En la tabla 4 se resumen las diferente combinaciones para cada caso.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



Tabla 1. Modos de operación del modulador.

MODO DE OPERACION	MODULACIÓN	MSB	LSB
1	PORTADORAS	0	0
2	BPSK	0	1
3	QPSK	1	0
4	8PSK	1	1

**Modo de operación 1** : MSB=0 y LSB=0. Por el canal I se desplegará una señal seno y por el canal Q una señal coseno, de igual magnitud y frecuencia, las cuales son respectivamente, las portadoras de cada canal.

**Modo de operación 2**: MSB=0 y LSB=0. En este modo se realiza la modulación BPSK, se debe tener en cuenta, que en esta combinación de los interruptores, la señal modulada BPSK saldrá por el canal **PSK modulada**. Por las características propias de este tipo de modulación (BPSK) no resulta relevante sensar las señales I y Q<sup>21</sup>.

**Modo de operación 3** : MSB=1 y LSB=0. Con estos estados lógicos en los interruptores del PSK selector se realiza la modulación QPSK. En los canales I y Q se obtienen sus respectivas señales moduladas y por el canal PSK modulada tenemos la señal QPSK.

**Modo de operación 4**: MSB=1 y LSB=1. En esta posición de los interruptores PSK selector se lleva a cabo la modulación 8 PSK; en la cual por el canal I y Q se obtienen las respectivas señales moduladas en fase y en magnitud. En el canal PSK modulada se obtendrá la señal 8 PSK modulada.

### 2. Pulsador de RESET.

Este pulsador permite reinicializar el equipo después de efectuar cambios en el PSK selector y en el interruptor SERIAL/PSEUDOG.

---

<sup>21</sup> Para mayor información de BPSK ver capítulo 1.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



- ♣ Para el cambio de tipo de modulación se escogerá y seleccionará uno de los cuatro modos de operación de la tabla 4 y posteriormente se efectuará el cambio al presionar el pulsador del reset.
- ♣ Para que el equipo cambie la fuente de información se oprime primero el interruptor SERIAL/PSEUDOG y luego se presiona el pulsador de reset.

### 3. Selector SERIAL/PSEUDOG.

Este interruptor permite escoger la fuente que le va a suministrar información al modulador didáctico PSK.

Tabla 2

ESTADO DEL INTERRUPTOR	POSICIÓN	FUENTE DE INFORMACION
ACTIVO	1	SERIAL
INACTIVO	0	PSEUDOGENERADOR

Existen dos posibles fuentes de información: la proveniente del puerto serial del PC y la información suministrada algún pseudogenerador<sup>22</sup>, según sea la posición del interruptor. En la Tabla 2, se resume su funcionamiento.

➤ Cuando la información proviene del puerto serial del PC, interruptor activo, el usuario suministrará la información por medio de un programa de comunicación serial<sup>2</sup>. Cuando proviene de un pseudogenerador, estado inactivo, este suministra la información mediante una corriente de bit a tasa constante. Se debe tener en cuenta que los niveles de esta información que entran por el canal de INPSEUDOG deben estar entre 1.5 y 3.3 volts en el caso de un "1" lógico y valores de 0 a 0.5 volts para la representación de un "0"

---

<sup>22</sup> Esta fuente de información aún no este habilitada en el modulador para su recepción sin embargo que se presenta como un canal de entrada adicional para una futura aplicación.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



lógico, para que puedan ser reconocidos por el modulador y al mismo tiempo evitar daños en el equipo.

4. **Canal I** (In fase): Este canal de salida sirve para visualizar una señal seno modulada.
5. **Canal Q** (Quadrature): a la salida de este canal se puede observar una señal coseno modulada.
6. **Canal PSK modulada**: este canal despliega en su salida una señal modulada PSK.
7. **Canal INPSEUDOG**: recibe una señal binaria proveniente de algún pseudogenerador<sup>3</sup>.

♣ Los tres canales I, Q y PSK modulada son de salida y el canal INPSEUDOG es un canal de entrada de información. Para estos cuatro canales poseen conectores BNC que posibilitan la manipulación de las señales por medio de cables tipo RCA con su posterior visualización con algún osciloscopio de los existentes en el laboratorio de comunicaciones.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### INSTRUCCIONES DE SEGURIDAD



No obstruya las ranuras de ventilación, ni exponga a la radiación solar o a otras fuentes de calor, esto podría causar un sobrecalentamiento y provocar fallas en el funcionamiento normal del equipo.



En caso de tormenta, desconecte el adaptador de la toma de corriente de la red. Los picos de tensión provocados por rayos podrían dañar el equipo. Las condiciones de funcionamiento:

Temperatura ambiente 5° C-35° C.

Humedad 10%-75%.



No desmonte ninguna parte del equipo, ni intente abrirlo, puede ocasionar daños permanentes en el mismo, contiene elementos que podrían generar descargas eléctricas y poner en riesgo su salud.



## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### RECOMENDACIÓN

Coloque el equipo sobre un lugar estable, que lo proteja de caídas o golpes bruscos, evite poner objetos pesados encima de los cables tanto del adaptador como de los RCA de entrada/salida. Los daños en el cable de alimentación pueden provocar riesgo de incendio.

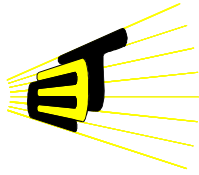


## MANUAL DE OPERACIONES MODULADOR DIDÁCTICO PSK



### GUÍA DE SOLUCIÓN RÁPIDA DE PROBLEMAS

PROBLEMA	SOLUCIÓN/EXPLICACIÓN
El modulador no funciona	<ul style="list-style-type: none"><li>-El adaptador no está correctamente enchufado o la toma de alimentación no recibe suministro.</li><li>- El interruptor ON/OFF no se encuentra en estado activo.</li></ul>
No hay señales de salida I, Q y PSK modulada.	<ul style="list-style-type: none"><li>-hay una falla en los cables RCA o en los conectores BNC de uno u otro extremo de estos cables.</li><li>- El osciloscopio utilizado para visualizar la señal no está funcionando correctamente.</li></ul>
Cuando la información enviada no produce ningún tipo de modulación PSK	<ul style="list-style-type: none"><li>-Las conexiones del DB9 o del INSEUDOG ( BNC) no son correctas. En el puerto serial debe revisar la conexión en el PC y en el DB9 del equipo. Se debe hacer lo propio con los conectores BNC del pseudogenerador, si es el caso.</li><li>-Oprima Reset y verifique la información enviada.</li></ul>
Cuando después de efectuar todo lo anterior continúa sin funcionar	<ul style="list-style-type: none"><li>-Apague el equipo, desconecte el adaptador y solicite ayuda al personal autorizado.</li></ul>



# PUERTO JTAG

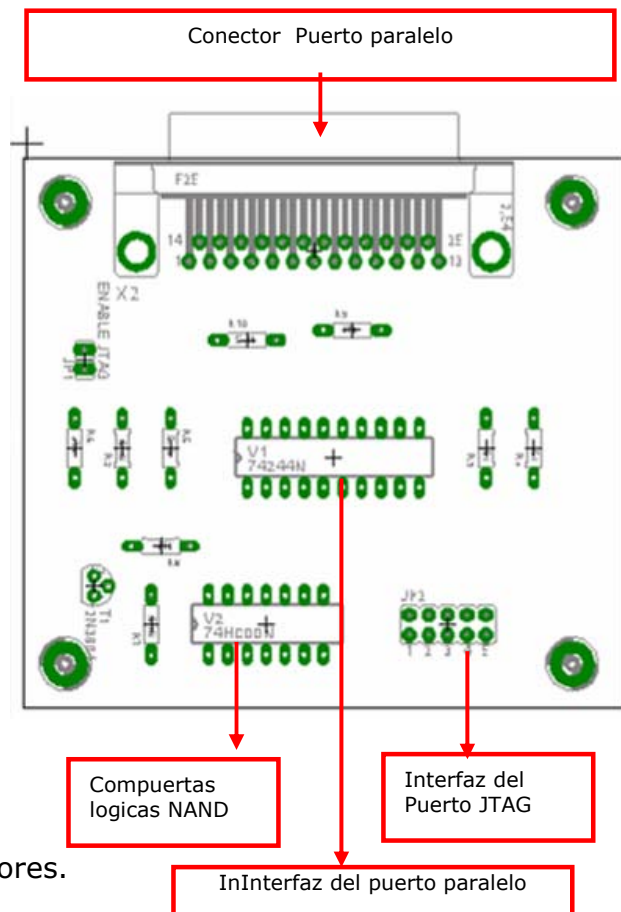
## MODULADOR DIDÁCTICO PSK



### Anexo D. Puerto JTAG

En este anexo se describe el puerto JTAG (*Join Test Action Group*) de la tarjeta de desarrollo y la tarjeta de interfaz JTAG que se conecta a este puerto para poder compilar la información del algoritmo en el DSP56F8323. A continuación (Figura 1) se muestra la distribución física de los elementos de la tarjeta de interfaz JTAG, con lo que se permite ubicar con facilidad cada uno de sus elementos.

Figura 1. Distribución física de los componentes de la tarjeta de interfaz JTAG



Fuente: Los autores.



## PUERTO JTAG

### MODULADOR DIDÁCTICO PSK



#### ➤ **Conector Puerto paralelo**

Consiste en un conector DB25 hembra que permite la conexión entre el puerto paralelo del PC<sup>23</sup> y la tarjeta de interfaz JTAG, las conexiones de este elemento están dadas en el diseño tomado del modulo de evaluación del DSP56F8323 del fabricante Motorola.

#### ➤ **Compuertas lógicas NAND**

Son cuatro compuertas lógicas NAND las utilizadas en esta tarjeta de interfaz JTAG, las cuales están empaquetadas en el integrado 74LS00. Estas compuertas están interconectadas entre sí<sup>24</sup>.

#### ➤ **Puerto JTAG**

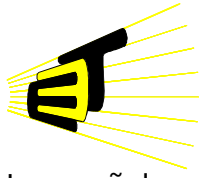
El puerto JTAG de la tarjeta de interfaz está compuesto de diez pines y se conecta a los pines del puerto JTAG de la tarjeta de desarrollo mediante una banda que posee diez hilos conductores, este proceso solo se realiza cuando se necesita compilar el algoritmo en el DSP. A continuación describiremos brevemente estos pines(TMS,TCK,TDI,TDO,RESET,/TRST,/POR, pin de tierra, pin de 3,3 volts y un pin no utilizado)que son los mismos tanto en el puerto JTAG de la tarjeta de interfaz como en el puerto JTAG de la tarjeta de desarrollo.

Las señales de los pines TMS, TCK, TDI, TDO provienen de salida de la interfaz del puerto paralelo, la cual esta constituida por un circuito integrado 74HC244N que permite controlar los niveles de voltaje de las señales provenientes del PC. Estas señales se son transmitidas a los pines dedicados para tal fin el en DSP, lo cual se puede apreciar en el modulo de evaluación.

---

<sup>23</sup> El PC transmite la información del algoritmo por el puerto paralelo para poder compilarla en el DSP.

<sup>24</sup> En el modulo de evaluación del DSP puede verse detalladamente las conexiones de las compuertas NAND entre si y con la interfaz del puerto paralelo, además pueden verse cuales pines de esta interfaz pasan al puerto y cuales no.



## PUERTO JTAG

### MODULADOR DIDÁCTICO PSK

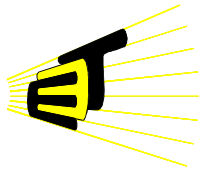


Las señales de los pines RESET, /TRST provienen de las salidas de compuertas lógicas NAND y son conectadas en pines específicos del DSP<sup>25</sup>.

También existe un pin que tiene una señal de 3,3 volts de DC que son suministrados por la tarjeta de desarrollo una vez que está energizado el modulador, los cuales energizan la interfaz del puerto paralelo y las compuertas lógicas. Además se tiene un pin que posee una señal de tierra, la cual es común a ambas tarjetas y otro pin llamado /POR que constantemente tiene una señal de 3,3 volts, pero que puede recibir una señal de tierra proveniente del modulador por un corto periodo de tiempo, esto se genera con la activación del pulsador RESET, con lo cual se reinicia el DSP. Por último se tiene un pin que no se utiliza para ningún fin, pero debido a los estándares de las regletas de pines como las utilizadas para la materialización del puerto JTAG, es de necesaria inclusión.

---

<sup>25</sup> Los pines Reset, /TRST, TMS, TCK, TDI, TDO del DSP son predefinidos por el fabricante, para mayores detalles favor remitirse a las hojas de datos del DSP56F8323 de Motorola.

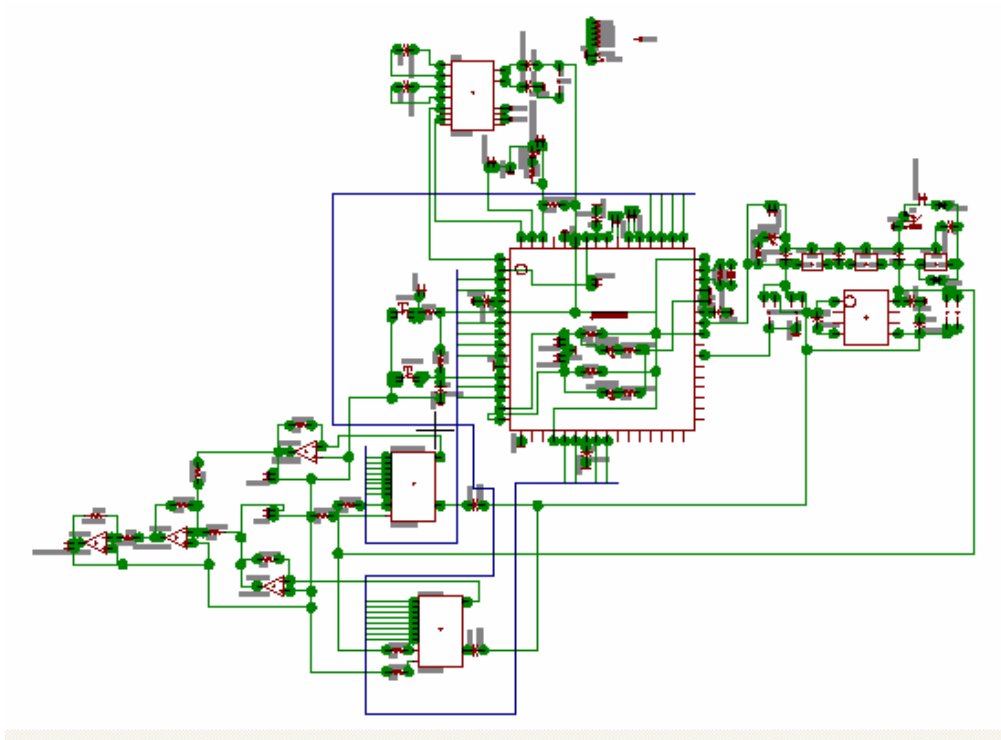


## Anexo E. Planos

En este anexo se muestran los planos de la tarjeta de desarrollo<sup>26</sup> del DSP56F8323 y de la tarjeta de interfaz JTAG<sup>27</sup>. Para facilitar la reproducción se incluyen los diagramas esquemáticos, planos de la vista superior e inferior, vista de los componentes, vista de componentes con pads y vías<sup>28</sup>.

### Tarjeta de desarrollo del DSP56F8323.

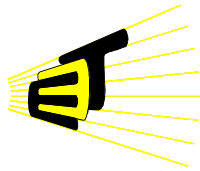
Figura 1. Diagrama esquemático de la tarjeta de desarrollo. (ver [PDF](#))



<sup>26</sup> En la sección 2.3 se encuentra la información relacionada con el diseño de la tarjeta de desarrollo.

<sup>27</sup> En el anexo D se describen las características de la construcción e implementación de la tarjeta JTAG.

<sup>28</sup> Para realizar los esquemas y planos se utilizó el software Eagle 4.01



## PLANOS

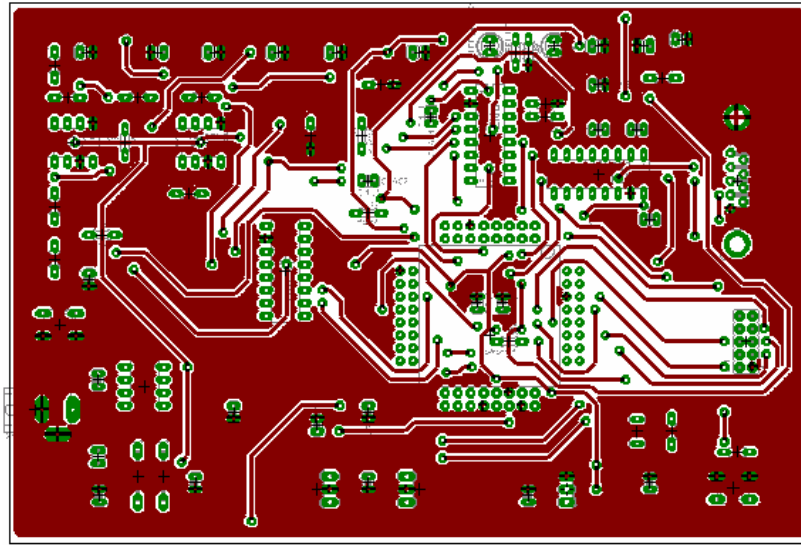
---

### MODULADOR DIDÁCTICO PSK



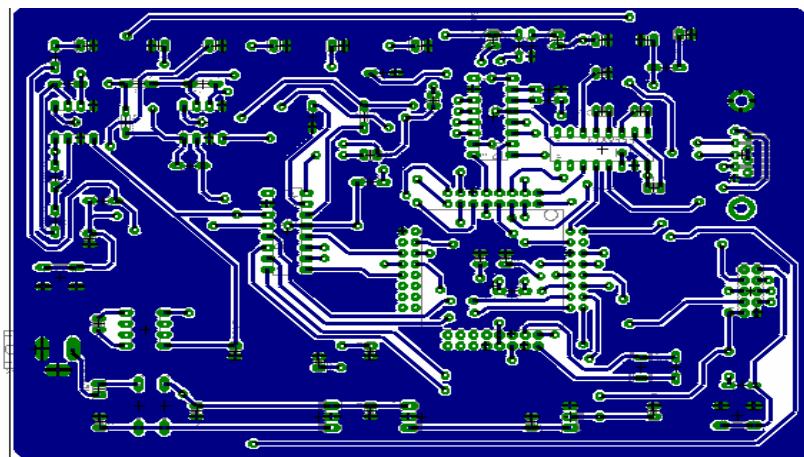
El diagrama esquemático permite la visualización de los diferentes dispositivos y las conexiones existentes.

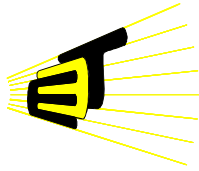
Figura 2. Plano superior de la tarjeta de desarrollo. (Ver [PDF](#))



El plano superior permite el montaje de los componentes de la tarjeta como son los circuitos integrados, los elementos discretos (resistencias, capacitares etc).

Figura 3. Plano inferior de la tarjeta de desarrollo. (Ver [PDF](#))





## PLANOS

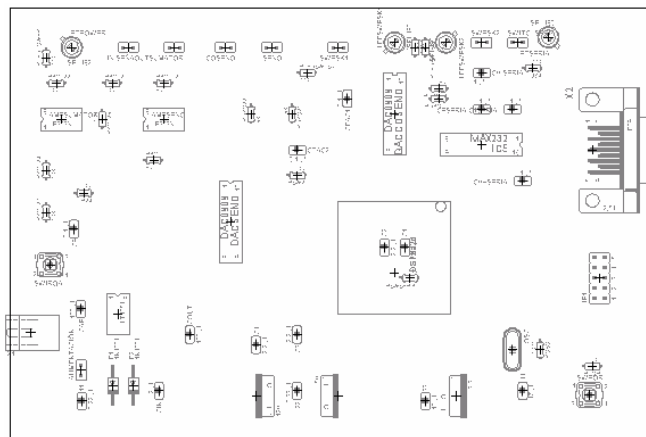
### MODULADOR DIDÁCTICO PSK



Para evitar la construcción de puentes de señal en la elaboración de caminos, se elabora un circuito impreso de dos caras, por esta razón es necesaria la creación de un plano inferior que permita conectar los elementos.

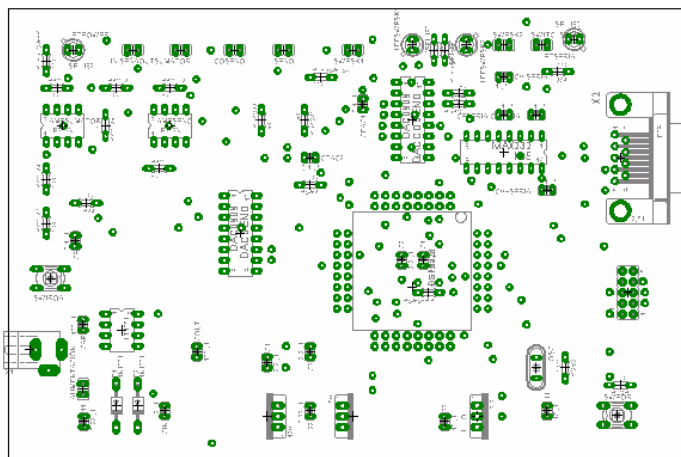
Figura 4. Vista de los componentes de la tarjeta de desarrollo.

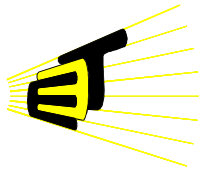
(Ver [PDF](#))



En esta figura se pueden apreciar la ubicación de los componentes utilizados, para referenciarlos ver sección 2.3.

Figura 5. Vista de los componentes con pads y vías. (Ver [PDF](#))





# PLANOS

## MODULADOR DIDÁCTICO PSK

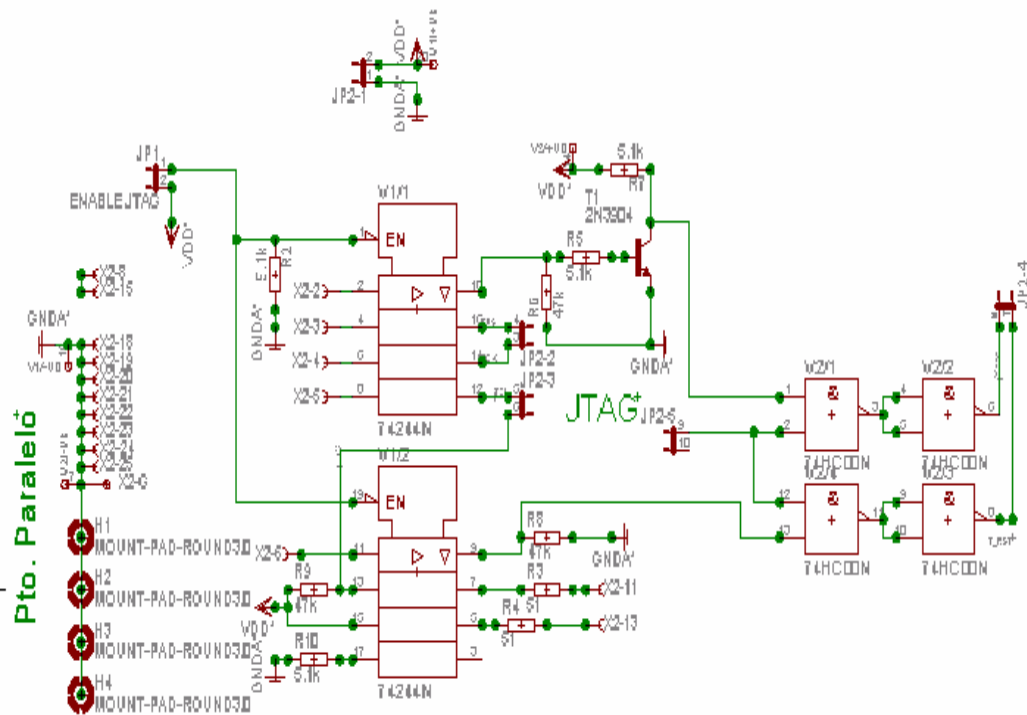


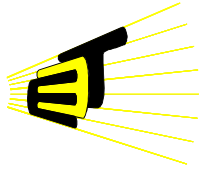
En la Figura 5 muestra, los componentes de la tarjeta con los pads que son las áreas de cobre en donde van soldados los pines de los elementos o los pines de las bases de los circuitos integrados, también se aprecian las vías de la tarjeta, que son los puentes que comunican las caras del circuito impreso.

A continuación se muestran los planos de la tarjeta JTAG, que cumplen la misma función que los anteriores para su respectiva tarjeta.

### Tarjeta de desarrollo JTAG

Figura 6. Diagrama esquemático de la tarjeta JTAG. ( Ver [PDF](#))





## PLANOS

### MODULADOR DIDÁCTICO PSK



Figura 7. Plano superior de la tarjeta JTAG. (Ver [PDF](#) )

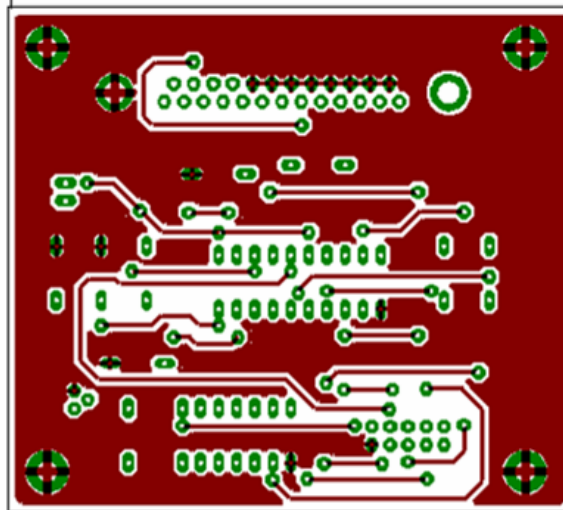
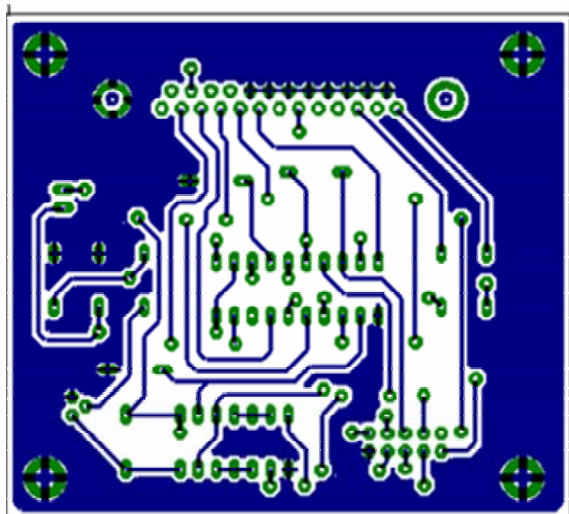
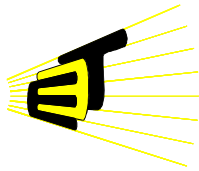


Figura 8. Plano inferior de la tarjeta JTAG. (Ver [PDF](#) )





## PLANOS

### MODULADOR DIDÁCTICO PSK



Figura 9. Vista de componentes de la tarjeta JTAG. (Ver [PDF](#))

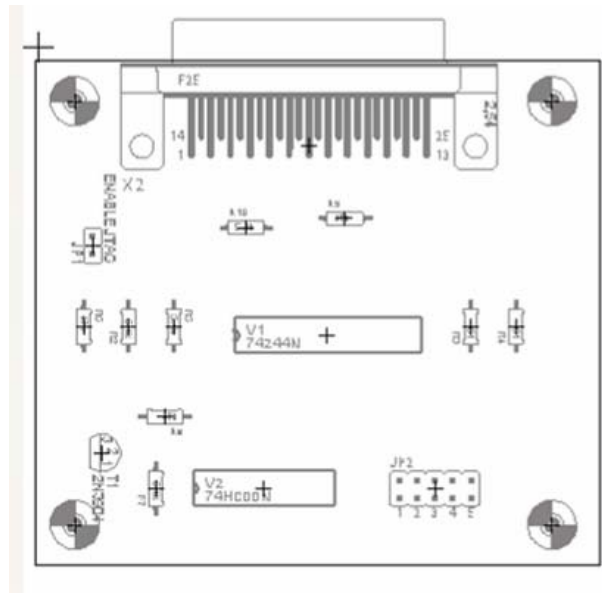
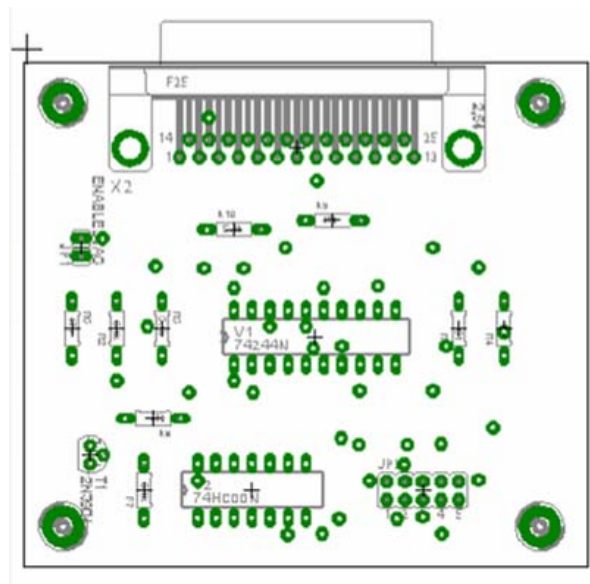
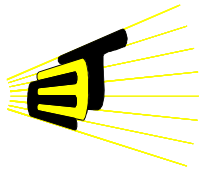


Figura 10. Plano de componentes con pads y vías. (Ver [PDF](#))





## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK

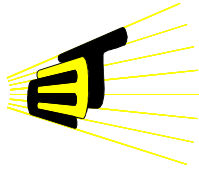


#### Anexo F. Programa del modulador

```
#include "Cpu.h"
#include "Events.h"
#include "Seno.h"
#include "Coseno.h"
#include "m_psk.h"
#include "seudogenerador.h"
#include "Bits1.h"
#include "TI1.h"
#include "Bit1.h"
#include "seudogenerador_o_serial.h"
#include "puerto_serial.h"
#include "TFR1.h"
#include "MFR1.h"
#include "MEM1.h"
#include "PE_Types.h"
#include "PE_Error.h"
#include "PE_Const.h"
#include "IO_Map.h"

#define Muest 30

static void Imprimir (Frac16 Seno[64],int t,int k)
{
    Seno_PutVal(mult_r(Seno[t],0x7FF0));
    Coseno_PutVal(Seno[k]);
}
```



## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK

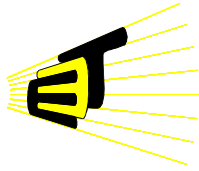


```
static void Seno_y_Coseno (Frac16 Seno[64])
{int i,k,t;
  k=16;
    for (i=0;i<65;i++)
    {
      if (i>63)
        i=0;
      t=i;
      if (k>63)
        k=0;
      (Seno,t,k);
      k++;
    }
}
```

Imprimir

```
static void Dos_psk(Frac16 Seno[64],byte Serial[Muest],byte a)
{int i,k,t,cont;byte control,ant1,p,z;
  k=0;
    ant1=1;
    cont=0;
    z=0;

    for (i=0;i<65;i++)
    {
      if (k>63)
        k=k-64;
      if (i>63)
      {
        cont++;
      }
    }
}
```

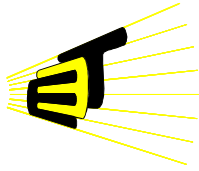


## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK



```
if (cont>1)
{
    if (a==1)
    {
        control = (Serial[z] & 0x01);
            z++;
            if (z>Muest-1)
                z=0;
    }
    else
    {
        control = seudogenerador_GetVal();
    }
    if (control != ant1)
    {
        k=k+32;
        ant1=control;
    }
    cont=0;
}
i=0;
}
t=i;
Imprimir (Seno,0,k);
k++;
}
}
```



## PROGRAMA DEL MODULADOR

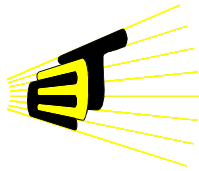
---

### MODULADOR DIDÁCTICO PSK



```
static void Cuatro_psk(Frac16 Seno[64],byte Serial[Muest],byte a)
{int i,k,t;byte control,ant1,ant2,p,cont,z;
  k=16;
  t=0;
  ant1=1;
  ant2=1;
  z=0;
  for (i=0;i<66;i++)
  {
    if (i>63)
    {
      cont++;
      if (cont>1)
      {
        if (a==1)
        {
          control = (Serial[z] & 0x01);
          z++;
        }
        else
        {
          control = seudogenerador_GetVal();
        }
        if (control != ant1)
        {
          t=t+32;
          ant1=control;
        }
        if (a==1)

```

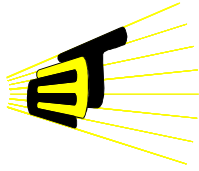


## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK



```
{
    control = (Serial[z] & 0x01);
        z++;
    if (z>Muest-1)
        z=0;
}
else
{
    control = seudogenerador_GetVal();
}
if (control != ant2)
{
    k=k+32;
    ant2=control;
}
cont=0;
}
i=0;
}
if (k>63)
    k=k-64;
if (t>63)
    t=t-64;
Imprimir (Seno,t,k);
k++;
t++;
}
}
```

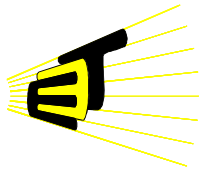


## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK



```
static void Ocho_psk(Frac16 Seno[64],byte Serial[Muest],byte a)
{int i,k,t;byte control,ant1,ant2,p, cont,z;
    k=16;
        t=0;
    ant1=1;
    ant2=1;
    control=1;
    z=0;
    for (i=0;i<66;i++)
    {
        if (i>63)
        {
            cont++;
            if (cont>1)
            {
                if (a==1)
                {
                    control = (Serial[z] & 0x01);
                    z++;
                }
                else
                {
                    control = seudogenerador_GetVal();
                }
                if (control != ant1)
                {
                    t=t+32;
                    ant1=control;
                }
                if (a==1)
                {
```



## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK

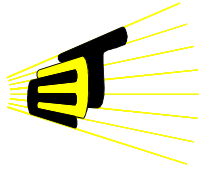


```
        control = (Serial[z] & 0x01);
        z++;
    }
    else
    {
        control = seudogenerador_GetVal();
    }
    if (control != ant2)
    {
        k=k+32;
        ant2=control;
    }
    if (a==1)
    {
        control = (Serial[z] & 0x01);
        z++;
        if (z>Muest-1)
            z=0;
    }
    else
    {
        control = seudogenerador_GetVal();
    }

    cont=0;

}

i=0;
}
if (k>63)
```



## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK

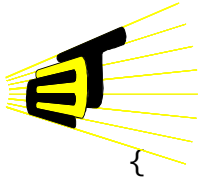


```
        k=k-64;
    if (t>63)
        t=t-64;

    if (control == 1)
    {
        Seno_PutVal(mult_r(Seno[t],0x7FF0));
        Coseno_PutVal(mult_r(Seno[k],0x2DFF));
    }
    else
    {
        Seno_PutVal(mult_r(Seno[t],0x3200));    /**/
        Coseno_PutVal(Seno[k]);
    }
    k++;
    t++;
}
}

void main(void)
{byte a,ant1,ch,psk,Serial[Muest];int i;Frac16 Seno[64];
  /*** Processor Expert internal initialization. DON'T REMOVE THIS CODE!!!
  ***/
  PE_low_level_init();
  /*** End of Processor Expert internal initialization.          ***/

  for(i=0;i<33;i++)
```

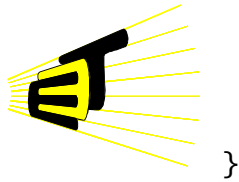


## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK



```
    Seno[i] = add(mult_r(TFR1_tfr16SinPIx(add((1024*i),0x0001)),0x4000),0x4000);  
    Seno[i] = (Seno[i] >> 7) & 0x00ff;  
}  
  
for(i=-31;i<0;i++)  
{  
  
    Seno[i+64] = add(mult_r(TFR1_tfr16SinPIx(add((1024*i),0x0001)),0x4000),0x4000);  
    Seno[i+64] = (Seno[i+64] >> 7) & 0x00ff;  
}  
  
a=seudogenerador_o_serial_GetVal();  
if (a==1)  
{  
    for(i=0;i<Muest;i++)  
  
    {  
        while(puerto_serial_GetCharsInRxBuf() == 0){}  
        if(puerto_serial_RecvChar(&ch) == ERR_OK)  
  
        {  
  
            Serial[i]=ch-48;  
  
        }  
    }  
}
```

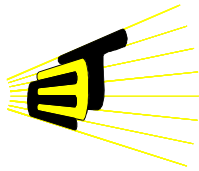


## PROGRAMA DEL MODULADOR

### MODULADOR DIDÁCTICO PSK



```
}  
  
psk=m_psk_GetVal();  
switch (psk)  
{  
    case 0:  
        Seno_y_Coseno(Seno);  
        break;  
    case 1:  
        Dos_psk(Seno,Serial,a);  
        break;  
    case 2:  
        Cuatro_psk(Seno,Serial,a);  
        break;  
    case 3:  
        Ocho_psk(Seno,Serial,a);  
        break;  
}  
  
}
```



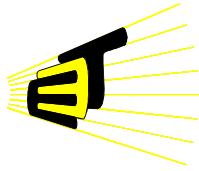
## ALGORITMO DE SIMULACIÓN EN MATLAB

### MODULADOR DIDÁCTICO PSK



#### Anexo G. Algoritmo de simulación en Matlab

```
clc
clear all
close all
N=input('Ingrese el numero de bits que desea ingresar ');
serial=input('Ingrese los bits seriales entre corchetes, ej: [0 1 0 1 1 0 ...] ');
modo=input('Digite el modo PSK que se desee implementar (2, 4, 8 ) ');
cont=0;
switch modo
    case 2,
        phase=0;
        u=64*N;
        t=linspace(0,1,64);           %Vector de tiempo (0< t <1, deltat=1/64)
        ti=linspace(0,1,u);          %Vector de tiempo para Gráficar (0< t <1,
deltat=u)
        for k=1:N
            if serial(k)==0
                phase=pi;
            else
                phase=0;
            end
            for i=1:64
                cont=cont+1;
                salida(cont)=sin(4*t(i)*pi + phase);
            end
        end
end
plot(ti,salida)
```

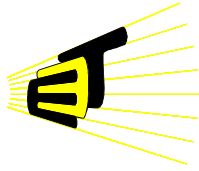


## ALGORITMO DE SIMULACIÓN EN MATLAB

### MODULADOR DIDÁCTICO PSK



```
title('MODULACION 2PSK')
xlabel('Tiempo')
ylabel('Mensaje')
case 4,
u=64*N;
t=linspace(0,1,128);
ti=linspace(0,1,u);
cont=0;
for k=1:N/2
    if serial(2*k)==0
        phase(2*k)=pi;
    else
        phase(2*k)=0;
    end
    if serial(2*k-1)==0
        phase(2*k-1)=pi;
    else
        phase(2*k-1)=0;
    end
end
cont=0;
for k=1:N/2
    for i=1:128
        cont=cont+1;
        salidaq(cont)=sin(4*t(i)*pi + pi/2 + phase(2*k));
        salidai(cont)=sin(4*t(i)*pi + phase(2*k-1));
        salidas(cont)=salidaq(cont)+salidai(cont);
    end
end
subplot(3,1,1);
plot(ti,salidaq)
```

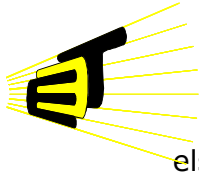


## ALGORITMO DE SIMULACIÓN EN MATLAB

### MODULADOR DIDÁCTICO PSK



```
title('MODULACION QPSK4')
xlabel('Tiempo')
ylabel('Onda Q')
subplot(3,1,2);
plot(ti,salidai)
xlabel('Tiempo')
ylabel('Onda I')
subplot(3,1,3);
plot(ti,salidas)
xlabel('Tiempo')
ylabel('Onda QPSK')
figure, plot(salidai,salidaq)
title('MODULACION QPSK4')
xlabel('Onda I')
ylabel('Onda Q')
case 8,
clear phase
u=64*N;
t=linspace(0,1,192);
ti=linspace(0,1,u);
for k=1:N/3
    if serial(3*k)==0
        magnitI(3*k)=0.541;
        magnitQ(3*k)=1.307;
    else
        magnitQ(3*k)=0.541;
        magnitI(3*k)=1.307;
    end
    if serial(3*k-2)==0
        phase(3*k-2)=pi;
```

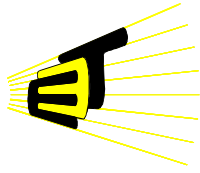


## ALGORITMO DE SIMULACIÓN EN MATLAB

### MODULADOR DIDÁCTICO PSK



```
else
    phase(3*k-2)=0;
end
if serial(3*k-1)==0
    phase(3*k-1)=pi;
else
    phase(3*k-1)=0;
end
end
cont=0;
for k=1:N/3
    for i=1:192
        cont=cont+1;
        salidaq(cont)=magnitQ(3*k)*sin(4*t(i)*pi + pi/2 + phase(3*k-1));
        salidai(cont)=magnitI(3*k)*sin(4*t(i)*pi + phase(3*k-2));
        salidas(cont)=salidaq(cont)+salidai(cont);
    end
end
subplot(3,1,1);
plot(ti,salidaq)
title('MODULACION QPSK8')
xlabel('Tiempo')
ylabel('Onda Q')
subplot(3,1,2);
plot(ti,salidai)
xlabel('Tiempo')
ylabel('Onda I')
subplot(3,1,3);
plot(ti,salidas)
xlabel('Tiempo')
ylabel('Señal modulada')
```



## ALGORITMO DE SIMULACIÓN EN MATLAB

---

### MODULADOR DIDÁCTICO PSK



```
figure, plot(salidai,salidaq)  
title('MODULACION QPSK8')  
xlabel('Onda I')  
ylabel('Onda Q')
```

```
end
```