



**DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO BANDA
ANCHA PARA RADIOFRECUENCIA**

Carlos Alberto Argüello Ramírez

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2013



UNIVERSIDAD INDUSTRIAL DE SANTANDER

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO BANDA ANCHA PARA RADIOFRECUENCIA

Carlos Alberto Argüello Ramírez

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Sergio Andrés Chaparro Moreno

Codirectores

MSc. José Alejandro Amaya Palacio

MSc. Armando Ayala Pabón

MSc. Alfredo Rafael Acevedo Picón

UNIVERSIDAD INDUSTRIAL DE SANTANDER

FACULTAD DE INGENIERÍAS FISICOMECÁNICAS

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y

TELECOMUNICACIONES

BUCARAMANGA

2013

“Cuando se filtra el conocimiento es cuando se alcanzan las grandes verdades.”

Anónimo

Agradecimientos

Quiero agradecer al gran Dios del universo por permitirme sabiduría, entendimiento y paciencia. Igualmente expreso mi gratitud a mi Mamá Amanda y a mi Tía Fabiola quienes desde mi infancia me formaron y en todo momento tuvieron una palabra amorosa de aliento. También quiero manifestar mi gratitud a la Doctora Albita Lahitton quien con su ejemplo y consejo me permiten ser mejor en cada instante.

Sincero agradecimiento a la Universidad Industrial de Santander y a todos los profesores que participaron en mi formación académica. Gracias a mi director de proyecto Sergio Andrés Chaparro por sus constantes correcciones, consejos, sugerencias y por pulir mis habilidades de redacción. Sinceros agradecimientos a mis codirectores Armando Ayala y los profesores José Amaya y Alfredo Acevedo quienes me permitieron acercarme al diseño de circuitos integrados. También expreso mi gratitud a mis compañeros de carrera con quienes compartí muchas experiencias y aprendí valiosas lecciones, especialmente a Andrés Otero compañero de estudio y gran amigo. También expreso mi gratitud a mis compañeros del grupo *CIDIC* con quienes intercambiamos valiosos conocimientos y pasamos momentos agradables en la “sala”.

Finalmente quiero agradecerle a la Señora Emely Rojas quien me ayudo en todo momento y me brindo alojamiento en su casa.

Contenido

Introducción	14
1. Amplificadores de bajo ruido en tecnología CMOS	17
1.1. Topologías para LNAs de banda ancha consideradas	21
1.2. Estado del arte	23
1.3. Organización del documento	24
2. Características del proceso de fabricación y extracción de parámetros del transistor MOS para radiofrecuencia	25
2.1. Tecnología de fabricación	25
2.2. Extracción de parámetros	28
2.2.1. Voltaje umbral	29
2.2.2. Movilidad efectiva de los portadores	31
2.2.3. Longitud y ancho efectivos del canal	33
2.2.4. Constante de efecto cuerpo	35
3. Metodología de diseño del amplificador de bajo ruido	38
3.1. Selección de la topología	38
3.2. Topología <i>gm-boosting</i> con capacitores entrecruzados	40
3.2.1. Amplificador de realimentación y circuito diferencial	40
3.2.2. Máxima transferencia de potencia	41
3.3. Expresiones analíticas de la topología de capacitores entrecruzados	43
3.3.1. Impedancia de entrada	43
3.3.2. Ganancia	46
3.3.3. Ruido	49
3.3.4. Análisis intuitivo de ruido	55
3.3.5. Ancho de banda de entrada	55

3.3.6. Ancho de banda de salida	57
3.4. Diseño del amplificador de bajo ruido banda ancha	61
3.4.1. Consideraciones de diseño del <i>LNA</i> de banda ancha	61
3.4.2. Modificaciones de la topología	62
3.4.3. Estrategia y diseño del <i>LNA</i> de banda ancha	68
4. Resultados	75
4.1. Resultados de simulación	75
4.2. Análisis monte Carlo	76
4.3. Simulación de esquinas del proceso	78
4.4. Conclusiones y observaciones	81
4.5. Recomendaciones para trabajos futuros	82
Bibliografía	83

Lista de Figuras

1.	Receptor de un sistema multi-estándar (Adaptada de [1]).	15
1.1.	Topologías básicas de <i>LNAs</i> . (a) Amplificador fuente común con acople resistivo (<i>CS-R</i>); (b) Amplificador puerta común (<i>CG</i>); (c) Amplificador fuente común con degeneración inductiva (<i>CS-L</i>).	18
1.2.	Comportamiento ideal respecto a la frecuencia de las topologías estudiadas. (a) Coeficiente de reflexión a la entrada S_{11} ; (b) Ganancia de transconductancia G_m	19
1.3.	Comportamiento ideal de la figura de ruido para las topologías estudiadas.	20
1.4.	Técnicas analizadas que permiten mejorar el compromiso existente entre ruido y acople de impedancia. (a) Amplificador puerta común con <i>gm-boosting</i> ; (b) Implementación de <i>A</i> con capacitores Entrecruzados; (c) Técnica de cancelación de ruido térmico.	22
2.1.	Sección transversal del proceso <i>CMRF7SF</i> con la opción <i>ML</i> para último metal. (Adaptada de [2])	26
2.2.	Modelo del transistor <i>nMOS</i> utilizando el núcleo <i>BSIM3v3</i>	27
2.3.	Extrapolación lineal de la curva I_D contra V_{GS}	30
2.4.	Extracción de la tensión umbral en función de la longitud del canal. (a) Dispositivos <i>pMOS</i> . (b) Dispositivos <i>nMOS</i>	31
2.5.	Transconductancia en función de V_{GS} para $V_{DS} = 0,05 V$	32
2.6.	Gráfica de $g_{m,max}$ como función del ancho del canal usada para determinar ΔW	34
2.7.	Comportamiento de la tensión umbral respecto a la variación de la polarización del sustrato.	35
3.1.	Ubicación del <i>balun</i> en la cadena de recepción e impedancias consideradas para el análisis de máxima transferencia de potencia.	42
3.2.	Topología de capacitores entrecruzados. (a) Circuito esquemático; (b) Equivalente de pequeña señal.	43
3.3.	Modelo para el análisis de ruido de la topología de capacitores entrecruzados.	49

3.4. Ruido en la topología de capacitores entrecruzados.	55
3.5. Modelo equivalente en pequeña señal para el análisis de ancho de banda.	59
3.6. Topología final del amplificador de bajo ruido banda ancha.	63
3.7. Variación de la ganancia de tensión respecto a la corriente de drenador.	64
3.8. Modelo equivalente en pequeña señal de la topología modificada.	65
3.9. Figura de ruido de la topología. (a) Contribuciones de M_3 y M_5 ; (b) Variación con respecto a la capacitancia de M_1	67
3.10. Variación de la figura de ruido. (a) con el ancho de M_1 y $L_s = 7nH$; (b) con la inductancia de fuente y $W = 70\mu m$	69
3.11. (a) Transconductancia contra corriente de drenaje; (b) I_D/W contra V_{g1}	71
3.12. Variación de la ganancia respecto a la corriente.	72
3.13. Pasos para el diseño del <i>LNA</i> de banda ancha.	74
4.1. Resultados de Simulación: (a) ganancia de potencia; (b) coeficiente de reflexión en la entrada; (c) ganancia de tensión; (d) figura de ruido.	76
4.2. Resultados del análisis de monte Carlo para 430 iteraciones: (a) ganancia de potencia; (b) coeficiente de reflexión en la entrada; (c) figura de ruido; (d) histograma de potencia disipada.	77
4.3. Resultados del análisis de esquinas usando $V_{dd} = 1,98V$. (a) S_{21} para $t = -10 C^\circ$; (b) S_{21} para $t = 50 C^\circ$; (c) NF para $t = -10 C^\circ$; (d) NF para $t = 50 C^\circ$	79
4.4. Resultados del análisis de esquinas usando $V_{dd} = 1,98V$. (a) S_{11} para $t = -10 C^\circ$; (b) S_{11} para $t = 50 C^\circ$; (c) S_{12} para $t = -10 C^\circ$; (d) S_{12} para $t = 50 C^\circ$; (e) S_{22} para $t = -10 C^\circ$; (f) S_{22} para $t = 50 C^\circ$	80

Lista de Tablas

- 1.1. Selección de trabajos publicados sobre *LNAs* de banda ancha. 23
- 2.1. Resumen de las características que presenta la tecnología para el diseño en radiofrecuencia. 28
- 2.2. Parámetros para el transistor *NMOS* en la tecnología *IBM CMRF7SF 0,18 μm CMOS*. 36
- 3.1. Especificaciones de diseño para el *LNA*. 68
- 3.2. Resumen de los resultados obtenidos para las tensiones de polarización, anchos de los transistores, inductancias, capacitancias y resistencias en el circuito. 73
- 4.1. Resumen de los resultados obtenidos para el *LNA* banda ancha. 78
- 4.2. Resumen de los resultados obtenidos del análisis de esquinas realizado. 79

RESUMEN

TÍTULO:

DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO BANDA ANCHA PARA RADIOFRECUENCIA
1

AUTOR: CARLOS ALBERTO ARGÜELLO RAMÍREZ²

PALABRAS CLAVE: Circuitos integrados *CMOS*, bajo ruido, amplificador de bajo ruido (*LNA*s), amplificador de bajo ruido banda ancha, figura de ruido (*NF*), compuerta común (*CG*), acoplamiento con capacitores entrecruzados (*CCC*), *current bleeding*.

DESCRIPCIÓN:

En este trabajo se presenta el diseño de un amplificador de bajo ruido (*LNA*) de banda ancha para aplicaciones de radiofrecuencia. Para este amplificador se elige y modifica una topología ya existente en la literatura y se plantea una estrategia de diseño que permite disminuir el consumo de potencia. Para esto, inicialmente se realiza una revisión bibliográfica y se ubica el *LNA* como uno de los pocos bloques analógicos que forman parte de aplicaciones principalmente digitales como la radio definida por software y la radio cognitiva. Asimismo, son mostradas sus principales características, su relevancia en la cadena de recepción, las topologías de acople básicas y algunos de los principales parámetros de rendimiento. Además, son estudiadas dos topologías encontradas en la literatura para aplicaciones de banda larga. Un circuito para cancelación de ruido térmico y un circuito con capacitores entrecruzados, de los cuales son documentados algunos trabajos representativos. En adición a lo anterior se realiza un breve estudio del proceso o tecnología de fabricación utilizado y se realiza la caracterización básica del transistor *MOS* para radiofrecuencia. Posteriormente, se realiza la selección de la topología del circuito a ser usada, basada en una revisión detallada de las principales características de las arquitecturas de banda larga estudiadas. Para la arquitectura seleccionada se formulan las expresiones matemáticas de los principales parámetros de rendimiento, se realizan algunas consideraciones y se plantean modificaciones a la topología escogida. Finalmente, se desarrolla la estrategia de diseño y se muestran los principales resultados obtenidos acompañados de algunas conclusiones y recomendaciones para trabajos futuros.

La verificación del diseño fue realizada por medio de simulación utilizando un proceso de fabricación de $0,18 \mu m$ y tensión nominal de $1,8 V$. Como resultado se obtuvieron las siguientes especificaciones: figura de ruido mínima de $2,4 dB$, ganancia de tensión de $24,5 dB$, ancho de banda de $2,8 GHz$, coeficiente de reflexión en la entrada $S_{11} \leq -10 dB$, aislamiento inverso de puertos $S_{12} \leq -44,89 dB$ y consumo de potencia de $6,128 mW$.

¹Proyecto de Grado

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Sergio Andrés Chaparro Moreno. Codirector MSc. José Alejandro Amaya Palacio. MSc. Armando Ayala Pabón. MSc. Alfredo Rafael Acevedo Picón.

ABSTRACT

TITLE:

DESIGN OF A WIDEBAND LOW NOISE AMPLIFIER FOR RADIOFREQUENCY ³

AUTHOR: CARLOS ALBERTO ARGÜELLO RAMÍREZ ⁴

KEYWORDS: CMOS integrated circuits, low noise, low noise amplifier (*LNAs*), wideband low noise amplifier, noise figure (NF), common gate (CG), capacitors cross coupling (CCC), current bleeding.

DESCRIPTION:

This paper presents the design of a broadband low noise amplifier for RF applications. For this amplifier choices and modifies an existing topology in the literature and proposes a design strategy which reduces power consumption. For this, initially a literature review and positioning the LNA as one of the few analog blocks that form part of mainly digital applications such as software defined radio and cognitive radio. They are also shown the main features, their relevance in the reception chain, basic coupling topologies and some key performance parameters. Are also studied two topologies found in the literature for wideband applications. A thermal noise cancellation circuit and capacitor cross coupling circuit, which are documented some representative works. In addition to the above is performed brief survey of the manufacturing process or technology used and performed basic characterization of the MOS transistor for RF. Then selected circuit topology to be used, based on a detailed review of the main features of wideband architectures studied. For selected architecture are formulated mathematical expressions of the main performance parameters, some considerations are made and propose modifications to the topology chosen. Finally develops design strategy and the main results obtained together with some conclusions and recommendations for future work.

Design verification was conducted by simulation using a manufacturing process $0,18 \mu m$ and nominal voltage of $1,8 V$. This process yielded the following specifications: minimum noise figure of $2,4 dB$, voltage gain of $24,5 dB$, bandwidth $2,8 GHz$, the reflection coefficient at the input $S_{11} \leq -10 dB$, port reverse isolation $S_{12} \leq -44,89 dB$ and power consumption of $6,128 mW$.

³Degree project

⁴Physical-Mechanical Engineering Faculty. Electrical, Electronics and Telecommunications School.

Advisor MSc. Sergio Andrés Chaparro Moreno. Co-Advisors MSc. José Alejandro Amaya Palacio. MSc. Armando Ayala Pabón. Msc. Alfredo Rafael Acevedo Picón

Introducción

La existencia de diferentes estándares de comunicación que operan en la banda de frecuencias comprendida entre $0,8\text{GHz}$ y $10,6\text{GHz}$, ha permitido a la sociedad acceder a una nueva variedad de servicios de comunicación de forma local y remota. La integración de varios de estos servicios dentro de un sólo dispositivo, que a su vez sea portátil y posea una alta autonomía, ha impulsado el estudio e implementación de diferentes soluciones que integren múltiples estándares. La academia y la industria han desarrollado sistemas de transmisión y recepción inalámbrica conocidos como *transceivers*, estos sistemas son diseñados con el propósito de permitir el funcionamiento a nivel de sistema de los estándares de comunicación inalámbrica.⁵ Sin embargo, incorporar el mayor número de estándares en un dispositivo portátil puede requerir de múltiples *transceivers*, lo que puede representar un consumo de potencia alto, un aumento considerable de área y por ende un incremento en los costos de producción [3,4].

Un *transceiver* está conformando básicamente por bloques de radiofrecuencia y bloques de procesamiento de datos. En la cadena de recepción, los bloques de radiofrecuencia se encargan de adecuar las señales de alta frecuencia y trasladarlas a banda base para su posterior procesamiento. En la cadena de transmisión estos bloques se encargan de tomar las señales de banda base y trasladarlas a alta frecuencia para su transmisión. Por otro lado, el procesamiento de datos es realizado en el dominio digital mediante un *DSP (Digital Signal Processor)* o un procesador de propósito general.

Los constantes avances en la tecnología *CMOS* permiten integrar mayor cantidad de circuitos por unidad de área en el chip y operar a frecuencias cada vez mayores. Sin embargo, los circuitos de radiofrecuencia son algunas veces afectados por el escalamiento o disminución del canal del transistor [1]. Restricciones tales como: operación a bajo voltaje, variaciones en las características del transistor y la ausencia de inductores escalables, limitan la implementación de algunas técnicas de diseño y topologías sobre tecnologías con longitudes de canal nanométricas y tensiones de alimentación menores a

⁵Se utilizará el término *transceiver* en inglés porque la traducción utilizada por algunos autores, la cual corresponde a transceptor, no ha sido plenamente aceptada por la academia internacional y no encierra la esencia del dispositivo al que se hace referencia. En adelante, los términos en inglés usados se presentarán en letra cursiva.

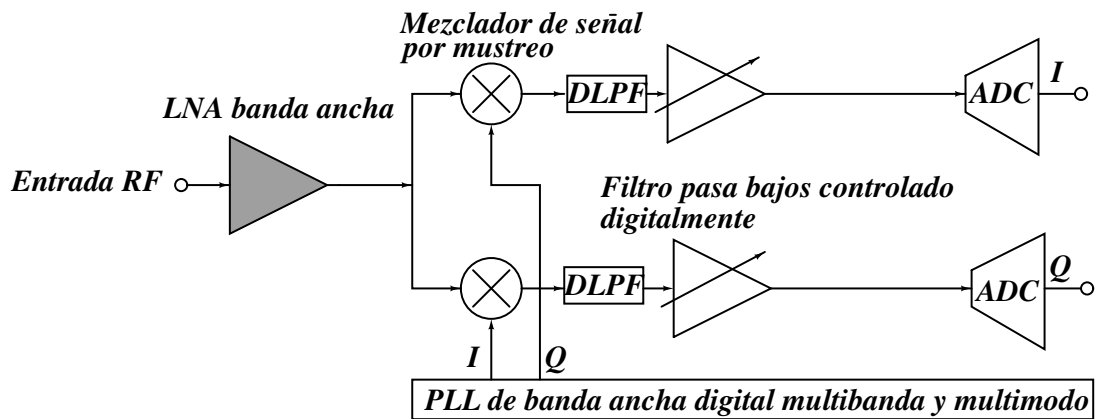


Figura 1: Receptor de un sistema multi-estándar (Adaptada de [1]).

IV.⁶ Como solución a lo anterior y aprovechando el avance de la tecnología, los autores de [1] plantean un mayor nivel de integración de la circuitería digital utilizada en el procesamiento de banda base con los circuitos analógicos de radiofrecuencia. Para tal fin, son utilizadas técnicas de diseño en el dominio del tiempo discreto, las cuales a su vez ayudan a compensar variaciones del proceso de fabricación, tensión de alimentación y temperatura (*Process Voltage Temperature, PVT*), además de las no linealidades.

Con el fin de aprovechar tecnologías *CMOS* con longitudes de canal nanométricas, en la literatura existen dos propuestas para la implementación de sistemas de comunicación inalámbrica que cumplen con este propósito: La radio definida por software (*Software Defined Radio, SDR*) y la radio cognitiva (*Cognitive radio, CR*). La *SDR* posee la capacidad de sintonizar cualquier banda de frecuencia, seleccionar el ancho de banda del canal y detectar el tipo de modulación de la señal [5]. La *CR* basada en la plataforma *SDR*, es básicamente un sistema de comunicación inteligente capaz de adaptar sus estados internos, con el objetivo de utilizar eficientemente el espectro electromagnético [6]. Los bloques que componen el *front-end* de estos sistemas multi-estándar en su mayoría son reconfigurables y operan en el dominio del tiempo discreto. En la Figura 1 se muestran los principales bloques que conforman un receptor para un sistema multi-estándar. Entre los cuales se encuentran: mezclador de señal por muestreo, filtro pasa bajos controlado digitalmente, *ADC* (*Analog to Digital Converter*), un lazo de seguimiento de fase *PLL* (*Phase locked loop*) banda ancha digital y un amplificador de bajo ruido (*Low Noise Amplifier, LNA*) de banda ancha [1].

La posibilidad de implementar un *transceiver* para un sistema multibanda y multiestándar, implica la necesidad de un bloque capaz de amplificar las señales de baja potencia provenientes de la antena en un amplio rango de frecuencias, manteniendo una relación señal a ruido alta y un comportamiento

⁶Un circuito escalable es aquel que mejora su rendimiento y disminuye su tamaño a medida que la longitud del canal del transistor disminuye.

lineal. Esta tarea puede ser realizada por varios *LNA*s banda estrecha operando en pequeños tramos de la banda total del estándar, o por un solo *LNA* banda ancha capaz de cubrir todo el espectro del estándar. La ubicación del amplificador de bajo ruido en la cadena de recepción de señal lo convierte en una etapa muy importante para el desempeño del receptor respecto al ruido, ya que al ser el primer bloque posee un efecto mayor sobre la relación señal a ruido que las etapas posteriores. También, al estar ubicado al principio de la cadena de recepción el *LNA* debe garantizar la máxima transferencia de potencia entre la antena y el circuito, acoplando su impedancia de entrada a un valor específico (comúnmente 50Ω) en un amplio rango de frecuencias. La tendencia a digitalizar los bloques de la *SDR* o *CR*, no es todavía aplicable al *LNA*. En la literatura es posible encontrar algunos bloques del *front-end* en el dominio digital, quedando el *LNA* como el único bloque analógico [1, 7]. Por lo tanto, la implementación de un *LNA* banda ancha para aplicaciones multibanda y multiestándar es un foco de investigación relevante a fin de disminuir el consumo de potencia, reducir el número de pines y disminuir el área al evitar la implementación de varios *LNA* banda estrecha con sus respectivos lazos de control digital para activarlos. La disminución del área y la reducción del número de amplificadores necesarios implica una reducción en el tiempo de diseño y los costos de producción. Por otro lado, la reducción en el consumo de potencia se traduce en un aumento de la portabilidad o autonomía.

Como consecuencia de lo anterior, en este trabajo se desarrolla una estrategia de diseño para un amplificador de bajo ruido banda ancha, usando una arquitectura existente en la literatura. Son identificadas las diferentes variables de diseño asociadas a la arquitectura para entender y tratar con los diferentes compromisos existentes entre ellas y los diferentes parámetros de desempeño. Entre los principales parámetros estudiados están el ancho de banda, la figura de ruido, la ganancia, el acoplamiento de impedancias y cómo estos influyen sobre el consumo de potencia del circuito. El circuito es diseñado con base en gráficos de compromisos que son extraídos mediante la formulación matemática de los principales parámetros de desempeño. Estos gráficos permiten observar de forma clara las relaciones ganancia-ancho de banda, ganancia-corriente de drenaje y cómo éstas pueden optimizarse o tratarse manteniendo máxima transferencia de potencia y bajo ruido. Como resultado el material documentado y la estrategia de diseño propuesta se suman a la base de conocimiento del grupo *CIDIC* acerca del diseño de bloques para radiofrecuencia.

Capítulo 1

Amplificadores de bajo ruido en tecnología CMOS

Modelar el comportamiento de un circuito teniendo en cuenta únicamente la relación entrada-salida de señal, es decir, descartando los detalles internos de la topología, hace particularmente útil el uso de algunas figuras de mérito y parámetros de caracterización de sistemas. En el caso de los amplificadores de bajo ruido, Los parámetros S y la figura de ruido (NF), generalmente medidos en decibelios, son ampliamente usados y es bastante común encontrarlos en la literatura para la caracterización de circuitos de radio frecuencia [8]. De la misma manera que las redes de dos puertos utilizadas para representar sistemas a bajas frecuencias, los parámetros S se denotan de forma matricial y son citados como sigue: S_{11} y S_{22} representan coeficientes de reflexión de entrada y salida respectivamente, S_{12} es el coeficiente de transmisión inversa y S_{21} es el coeficiente que representa la ganancia de potencia para la condición en la cual la impedancia de entrada y salida son iguales. Por otro lado, NF indica que tanto el sistema deteriora la relación señal a ruido (SNR) de la señal proveniente de la antena o de la etapa que precede al LNA . Entre menor sea el valor de NF , mejor rendimiento respecto al ruido del circuito.

Como consecuencia de lo anterior, durante esta sección se estudia el comportamiento ideal de algunos de los parámetros mencionados, como el S_{11} , la ganancia y la figura de ruido, usando algunas topologías básicas de amplificadores y así poder esclarecer la aplicación de radiofrecuencia adecuada para cada una de ellas. En la figura 1.1 están expuestas tres topologías básicas de amplificadores usadas para garantizar máxima transferencia de potencia en los $LNAs$. Sin embargo, es importante notar que la condición anterior está limitada a un rango de frecuencias que varía según la topología estudiada. Este rango comprende valores entre decenas de mega-hercios para un acople banda estrecha, mientras para un acople banda ancha pueden ser centenas de mega-hercios. En la figura 1.2(a) se muestra el comportamiento ideal de S_{11} respecto a la frecuencia de estos amplificadores. En esta gráfica, valores

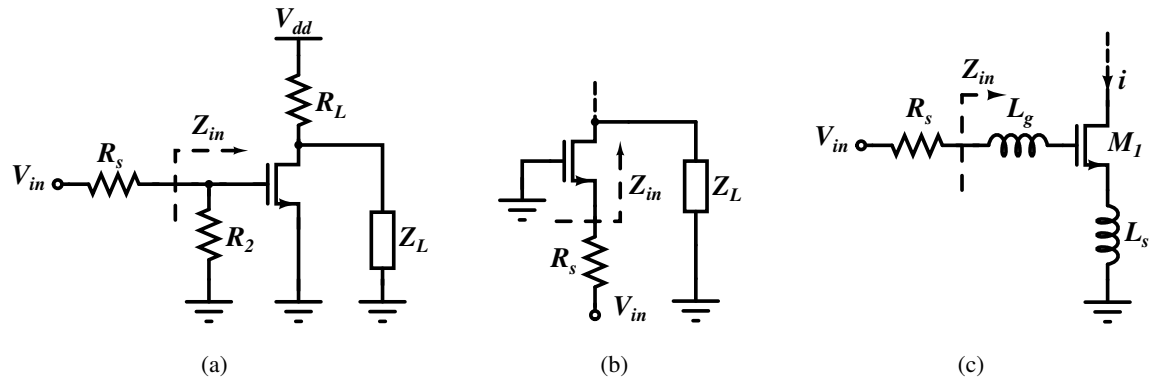


Figura 1.1: Topologías básicas de LNAs. (a) Amplificador fuente común con acople resistivo (CS-R); (b) Amplificador puerta común (CG); (c) Amplificador fuente común con degeneración inductiva (CS-L).

menores a $-10dB$ se pueden considerar como un acople adecuado de la impedancia de entrada, y por lo tanto representan menores pérdidas por retorno de señal. Para un LNA, el rango de frecuencias en el cual se cumple la condición anterior puede ser utilizado como criterio para definir el ancho de banda del circuito [9, 10], y por lo tanto definir si este puede ser implementado en aplicaciones de banda ancha o banda angosta. De esta manera, desde el punto de vista de acople de impedancia los amplificadores de compuerta común (CG) y de fuente común con entrada resistiva (CS-R) podrían utilizarse en aplicaciones de banda ancha, ya que permiten alcanzar valores adecuados de S_{11} en un amplio rango de frecuencias como puede observarse en la figura. Por otro lado, el amplificador de fuente común con degeneración inductiva (CS-L) presenta un acople generalmente de banda angosta debido a la red resonante RLC de entrada. El tipo de acople que permite cada una de las arquitecturas consideradas en esta sección, también puede estudiarse desde el punto de vista del factor de calidad Q de la red de entrada como se muestra en [11].

Para evaluar la ganancia de las etapas estudiadas se utiliza el criterio de la transconductancia efectiva denotada como G_m . En la figura 1.2(b) se pueden observar las diferentes curvas que modelan el comportamiento ideal de esta respecto a la frecuencia. En este caso, se decide evaluar la ganancia de transconductancia en lugar de la ganancia de tensión o de potencia, ya que las dos anteriores dependen de la etapa de salida usada. De manera similar que en los gráficos para S_{11} , el comportamiento de las topologías básicas conserva algunas características respecto a la frecuencia, pudiendo identificarse nuevamente comportamientos de banda ancha y de banda angosta. La arquitectura CS-R mantiene un G_m aproximadamente constante en un espectro amplio de frecuencias, sin embargo, el valor de esta es bajo en comparación con las otras dos topologías. Similar al CS-R, la etapa CG presenta poca variación de G_m , pero el acople de impedancia a la entrada generalmente limita la ganancia de esta

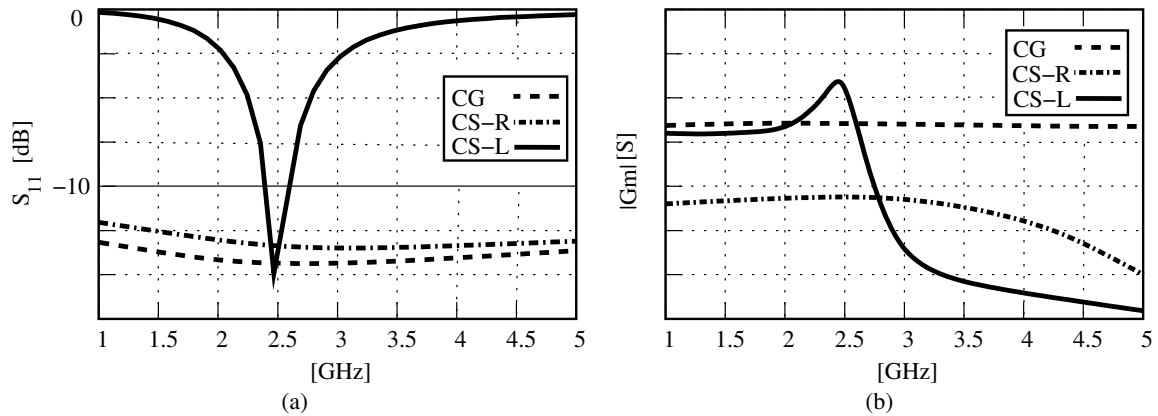


Figura 1.2: Comportamiento ideal respecto a la frecuencia de las topologías estudiadas. (a) Coeficiente de reflexión a la entrada S_{11} ; (b) Ganancia de transconductancia G_m .

etapa. Por otro lado, a diferencia de *CG* y *CS-R*, la arquitectura *CS-L* logra una ganancia mayor en un menor rango de frecuencias para el mismo valor de transconductancia intrínseca g_m y sin comprometer directamente el acople de impedancia. En el caso del *CS-L*, para frecuencias cercanas a la resonancia, los valores de G_m pueden estar entre 5 y 10 veces de los presentados por las otras arquitecturas [12]. Es importante notar que aunque normalmente la ganancia define el ancho de banda de un circuito, en el caso del *LNA* el ancho de banda está directamente ligado al acople de impedancia y la ganancia. El circuito debe estar correctamente acoplado mientras la ganancia mantiene una variación inferior a 3dB.

Como punto de partida para desarrollar un análisis de rendimiento respecto al ruido de las arquitecturas de la figura 1.1, es importante enunciar que uno de los compromisos más relevantes en el *LNA* es el existente entre las variables que modelan el acople de impedancia y la figura de ruido. De esta manera, la selección de la etapa de entrada junto con algunos parámetros dependientes de la polarización, fijan el límite inferior de la figura de ruido de un *LNA*, que generalmente no corresponde con el mínimo valor de NF que la etapa de entrada puede alcanzar. Por consiguiente, es importante que la configuración de la red de entrada de un *LNA* permita la mayor transferencia de potencia sin afectar considerablemente la figura de ruido.

A continuación, se revisa el desempeño respecto al ruido de las arquitecturas estudiadas teniendo en cuenta el compromiso mencionado anteriormente. En primer lugar, la topología *CS-R* alcanza idealmente un acople de impedancia de banda ancha como indica la magnitud de S_{11} en la figura 1.2(a), sin embargo, el elemento resistivo que permite el acople añade una cantidad considerable de ruido térmico a la etapa. Según el análisis hecho por los autores de [13], la contribución de ruido procedente del resistor es de aproximadamente $6dB$, resultando en una figura de ruido total de alrededor de $11dB$. En consecuencia, esta arquitectura es poco utilizada en comparación con las topologías *CG*

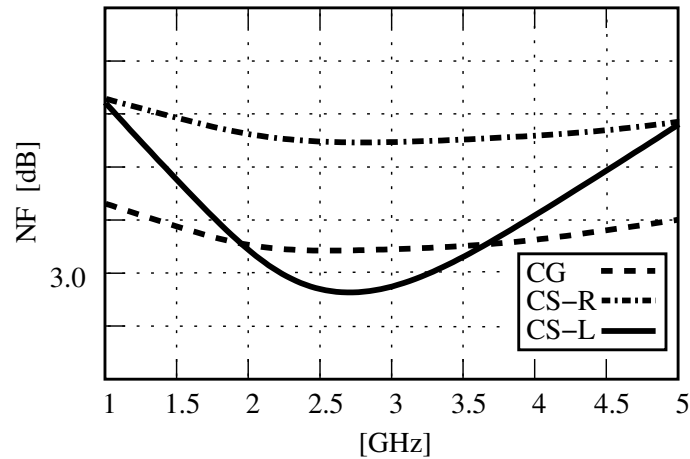


Figura 1.3: Comportamiento ideal de la figura de ruido para las topologías estudiadas.

y *CS-L*, ya que en la actualidad es considerado ideal una figura de ruido inferior a $3dB$. Por otro lado, los elementos pasivos de la red de entrada de la arquitectura *CS-L* idealmente no adicionan ruido, y en frecuencias cercanas a la resonancia permite reducir la figura de ruido, lo que se traduce en valores menores a $3dB$ como se muestra en la figura 1.3. Fuera de la condición de resonancia, la red de entrada se desacopla y como resultado la figura de ruido aumenta. Consecuencia de lo anterior, el uso más adecuado encontrado para esta topología son los *front-ends* para aplicaciones de banda estrecha que pueden ser usados en los estándares *GSM*, *IS-95 CDMA*, *IEEE802.11a/b/g* y *Bluetooth*, entre otros (un estándar a la vez). A diferencia del amplificador *CS-L*, el *CG* mantiene una *NF* aproximadamente constante respecto a la frecuencia como se observa en la figura. Sin embargo, el valor de *NF* es fuertemente dependiente del valor de la impedancia de entrada, resultando mayor que el alcanzado por la arquitectura *CS-L* para bajas frecuencias respecto a la frecuencia de corte del transistor (ω_t). Esto último, hace poco conveniente la inclusión de la arquitectura *CG* en aplicaciones de baja frecuencia y banda estrecha. Sin embargo, en aplicaciones donde ω_t no es mucho mayor que la frecuencia de operación, esta arquitectura presenta mejor rendimiento respecto al ruido. El anterior requerimiento es frecuentemente encontrado en el dominio de baja potencia, donde los transistores son polarizados en la región de inversión débil [11].

Con base en lo expuesto anteriormente, los amplificadores de fuente común con una resistencia de acople en la entrada, aunque son una solución simple para garantizar máxima transferencia de potencia, tienen una serie de desventajas que los hacen poco recomendables en la actualidad para la implementación de *LNAs*. Por otro lado, las etapas fuente común con degeneración inductiva son comúnmente usados en aplicaciones de banda estrecha, ya que permiten alcanzar figuras de ruido inferiores a $3dB$ con un consumo de potencia bajo, sin embargo, a medida que las tecnologías han ido avanzando y las frecuencias de operación aumentando, la implementación de inductores en tec-

nologías *CMOS* ha ido disminuyendo y es poco recomendable para efectos de área *on-chip* ya que no son dispositivos escalables. Finalmente, los amplificadores de puerta común presentan una solución adecuada para aplicaciones de banda larga, permiten mantener un acople de impedancia y una figura de ruido poco variables con la frecuencia, no obstante se hace necesario el uso de diferentes alternativas con el fin de reducir el efecto del acople de impedancias sobre la figura de ruido de esta etapa y así lograr figuras de ruido inferiores a $3dB$.

1.1. Topologías para LNAs de banda ancha consideradas

Durante la sección anterior fue abordado de manera general el comportamiento de algunos parámetros de desempeño que priman en el diseño de un *LNA*, además fueron enunciados algunos de los compromisos existentes y cómo estos pueden afectar en la selección del amplificador usado en la etapa de entrada. En esta sección se procede a la descripción de dos técnicas para el diseño de LNAs de banda larga que fueron consideradas y estudiadas para el desarrollo de este trabajo. Ambas técnicas plantean soluciones para mejorar el compromiso existente entre el acople de impedancias en la entrada y el ruido, especialmente en etapas de puerta común. Las técnicas analizadas son conocidas como acoplamiento mediante el uso de capacitores entrecruzados y cancelación de ruido¹. La primera mediante el uso de capacitores permite disminuir la transconductancia intrínseca necesaria para acoplar la impedancia de entrada en un amplificador de puerta común, y la segunda permite mediante una cascada de etapas atenuar considerablemente el ruido térmico introducido por la etapa que garantiza el acople de la impedancia de entrada.

Para introducir la técnica de capacitores entrecruzados, primero se estudia la modificación de la arquitectura *CG* con aumento de transconductancia o *gm-boosting*. Como se muestra en la figura 1.4(a) esta arquitectura introduce un amplificador con ganancia negativa A entre los terminales de fuente y compuerta del transistor de acople. De este modo la transconductancia efectiva de la etapa G_m aumenta en magnitud por un factor proporcional a $A + 1$. De esta manera, la implementación de A con elementos pasivos tales como capacitores se denomina acoplamiento con capacitores entrecruzados. El circuito esquemático de esta arquitectura se muestra en la figura 1.4(b). Por otro lado, el aumento de G_m permite lograr un mayor grado de libertad en la selección de la impedancia de entrada, menor figura de ruido y menor consumo de potencia. Adicionalmente, se conservan las características deseables de las etapas puerta común como la baja sensibilidad a la capacitancia parásita de entrada y alto grado de estabilidad y linealidad [12, 14]. Sin embargo, la inclusión del amplificador A compromete el aislamiento de puertos y la configuración diferencial que presenta la técnica puede necesitar de un

¹Cancelación de ruido es la traducción del término empleado en la literatura. Lo cual se refiere a una reducción considerable del ruido de la etapa de transconductancia.

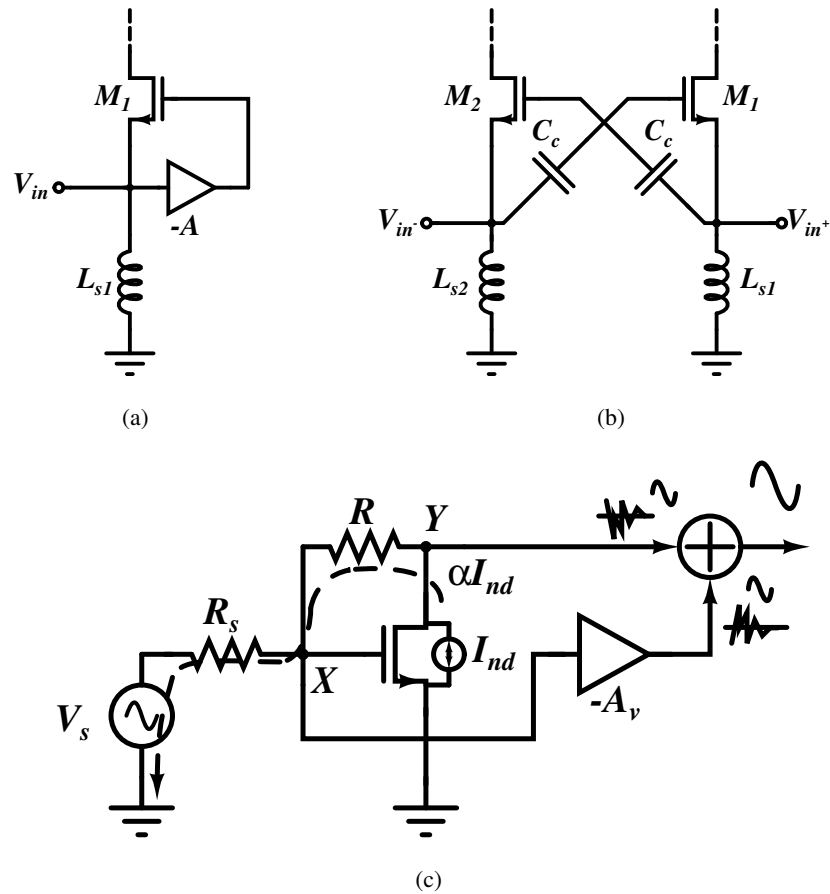


Figura 1.4: Técnicas analizadas que permiten mejorar el compromiso existente entre ruido y acople de impedancia. (a) Amplificador puerta común con *gm-boosting*; (b) Implementación de A con capacitores Entrecruzados; (c) Técnica de cancelación de ruido térmico.

balun en el puerto de entrada, lo cual agrega pérdidas a la etapa y por ende deteriora la figura de ruido.

Por otro lado, en la figura 1.4(c) se ilustra el principio de funcionamiento de la técnica de cancelación de ruido de acuerdo con los autores de [15]. La técnica es útil para una arquitectura en la cual se puedan identificar dos nodos de señal con polaridad opuesta y en los cuales el ruido del transistor de acople aparezca con la misma (nodos X y Y). Seguidamente, sus voltajes pueden ser apropiadamente escalados y sumados de tal modo que las componentes de ruido se eliminen y las componentes de señal se sumen. De esta manera, la técnica permite obtener un acople de impedancia adecuado, manteniendo una figura de ruido sub- $3dB$, además de una ganancia alta y comportamiento lineal mediante la cancelación simultánea de ruido y distorsión, sin embargo, el apropiado escalamiento de la señal del nodo X puede requerir consumo de potencia adicional. Por otro lado, los autores identifican un límite de funcionamiento para la técnica dependiente de la capacitancia de entrada que podría afectar las

Autor	Ancho de banda (GHz)	NF (dB)	Ganancia S_{21} (dB)	P_{IIP3} (dBm)	Potencia (mW)	Tecnología	Año
[15]	0.2-1.6	2.4	13.7*	0	35	250nm CMOS	2004
[16]	0.8-2.1	2.6**	14.5	16	17.4	180nm CMOS	2008
[17]	1.05-3.05	2.86**	16.9*	-0.7	12.6	180nm CMOS	2010
[18]	0.2-5.2	<3.5	15.6*	>0	21	65nm CMOS	2008
[19]	0.2-6.2	2.85	10.5*	-2.7	1.9***	130nm CMOS	2007
[20]	0.048-0.86	2.9**	19.8*	8	5.4	130nm CMOS	2012
[21]	1-8	2.275**	13.5-16.5	(-2) - 3	10.8	180nm CMOS	2011

* Ganancia de tensión.

** Promedio de NF.

*** Consumo de potencia del núcleo.

Tabla 1.1: Selección de trabajos publicados sobre LNAs de banda ancha.

tensiones en los nodos X y Y , invalidando la técnica para algunos valores de frecuencia. Por último, es importante aclarar que la técnica de cancelación de ruido puede usarse en etapas fuente común y puerta común.

1.2. Estado del arte

En la tabla 1.1 son referenciados algunos trabajos representativos en el diseño de amplificadores de bajo ruido de banda ancha integrados en tecnología CMOS. Los diseños utilizan las técnicas revisadas o variaciones de estas como en los artículos [16, 18], donde los autores emplean una arquitectura con entrada de compuerta común para implementar la técnica de cancelación de ruido. La primera referencia añade una operación balanceada en el nodo de salida lo que le permite mejorar el desempeño con respecto a la linealidad, asimismo, permite aumentar la ganancia y el ancho de banda por unidad de potencia respecto a [15]. La segunda presenta una arquitectura que reemplaza el transistor de entrada por un par PMOS/NMOS, además, incluye en serie con la fuente del transistor de salida dos etapas de fuente común paralelas, siendo la primera polarizada en inversión fuerte y la segunda en inversión débil. Lo anterior permite obtener mejor desempeño respecto a la linealidad (medida en términos del punto de intercepción de tercer orden, P_{IIP3}) manteniendo una figura de ruido sub-3dB y un consumo de potencia moderado, sin embargo, el ancho de banda es uno de los menores reportados en tabla. Por otro lado, los autores de [17] modifican la arquitectura CG añadiendo dos lazos de realimentación, uno positivo entre drenó y compuerta, y otro negativo entre fuente y compuerta. De esta manera, la

nueva arquitectura permite un mayor grado de libertad en la selección de los parámetros de linealidad, ruido, ganancia, acople de impedancia y ancho de banda, pudiendo de esta forma alcanzar menor figura de ruido para un presupuesto de potencia establecido. En la tabla se listan tres artículos que implementan la técnica de capacitores entrecruzados [19–21]. En el primer diseño los autores evitan el uso de inductores con un arreglo de cuatro capacitores, lo que permite disminuir el ruido de drenaje en el mismo factor y el área utilizada. Es importante notar que la arquitectura alcanza el mayor ancho de banda y menor figura de ruido por unidad de potencia, sin embargo, presenta un menor desempeño con respecto a la linealidad. El segundo diseño presenta una mejora a este último inconveniente, para tal fin, se utilizan transistores auxiliares que permiten atenuar la no-linealidad de segundo orden de la transconductancia, sin embargo, el uso de estos aumenta la figura de ruido en aproximadamente $0,2 \text{ dB}$. El tercer diseño presentado alcanza el mayor ancho de banda de los artículos expuestos, además la figura de ruido y la ganancia de potencia son mejoradas mediante el uso de un transformador integrado (inductores acoplados), que a su vez, permite mayor grado de libertad en la selección de la impedancia de entrada. Sin embargo, el uso de inductores aumenta el área del circuito.

1.3. Organización del documento

Durante este capítulo se mostró una introducción a los amplificadores de bajo ruido, sus principales características, y su relevancia en la cadena de recepción. Se estudiaron las topologías básicas que permiten mejor acople de impedancia junto con sus aplicaciones, y fueron documentados los rangos de los parámetros de desempeño que representan mejor rendimiento. Se revisaron dos arquitecturas de amplificadores de banda ancha que permiten obtener figura de ruido sub- 3 dB para diferentes presupuestos de potencia. También, se revisó el estado del arte para cada una de las técnicas de reducción de ruido en arquitecturas de banda ancha.

Los capítulos siguientes están ordenados como sigue. En el capítulo 2, se desarrolla la caracterización del transistor *MOS* y se muestran las características relevantes para el diseño de circuitos de radiofrecuencia que presenta el proceso de fabricación. Con base en los parámetros estudiados en este capítulo, en el capítulo 3 se desarrolla la estrategia de diseño tomando como base las expresiones matemáticas que representan los diferentes parámetros de desempeño del amplificador y las gráficas entre ganancia-ancho de banda, ganancia-corriente de drenaje y figura de ruido-ancho del transistor. Por último, en el capítulo 4 se muestran los resultados de simulación obtenidos, algunas simulaciones de las variaciones del proceso, se formulan las conclusiones y las recomendaciones para trabajos futuros.

Capítulo 2

Características del proceso de fabricación y extracción de parámetros del transistor *MOS* para radiofrecuencia

Durante el capítulo anterior, se abordaron los principios básicos sobre amplificadores de bajo ruido, sus aplicaciones y la importancia de las etapas de entrada, entre otros tópicos. Sin embargo, para diseñar circuitos operando en radiofrecuencia, los dispositivos que ofrece el proceso de fabricación deben ser adecuados para este tipo de aplicación. Por tanto, durante este capítulo se estudian brevemente algunas características del proceso de fabricación usado en el desarrollo de este trabajo y los dispositivos disponibles para radiofrecuencia. Posteriormente, se realiza la caracterización básica del transistor de radiofrecuencia incluyendo algunos parámetros comúnmente ignorados, pero que a medida que la longitud del canal disminuye afectan considerablemente el comportamiento.

2.1. Tecnología de fabricación

A continuación se proporciona una visión general de las características del kit de diseño empleado en este proyecto. La tecnología seleccionada es de $0,18\mu m$ y se identifica como CMRF7SF de *IBM*. El kit estándar proporciona 5 capas de metal delgado junto con una capa de metal grueso en el último nivel. En la Figura 2.1 se ilustra la sección transversal del proceso de fabricación, donde las capas de metal delgado $M2-M4$ ¹ y MT son de aluminio, mientras $M1$ es de cobre. Adicionalmente se muestra el sustrato y los pozos de silicio dopado, siendo las regiones de color con mayor saturación las que tienen mayor perfil de dopado. El último metal puede utilizarse de forma dual con una capa de

¹Las capas de metal $M2-M4$ son opcionales, si ninguna es utilizada, $M1$ debería ser conectado directamente a MT .

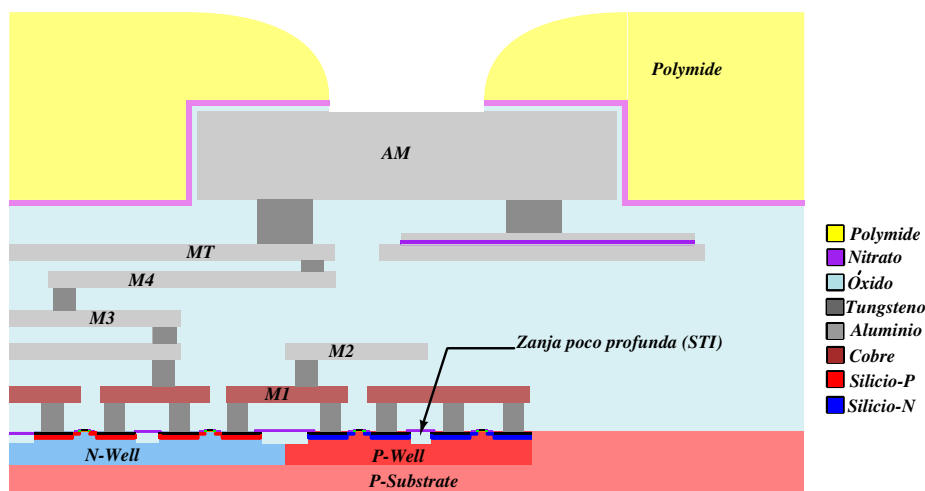


Figura 2.1: Sección transversal del proceso *CMRF7SF* con la opción *ML* para último metal. (Adaptada de [2])

aluminio y otra de cobre con grosores de $4\mu\text{m}$ y $3\mu\text{m}$ respectivamente, si la opción dual no es utilizada la última capa es de aluminio con grosores de $2\mu\text{m}$ o $4\mu\text{m}$. Por último, es importante notar que entre mayor sea el número de metales disponibles en la tecnología, menores serán las capacitancias parásitas al interconectar dispositivos en los últimos niveles.

En la Figura 2.1, también se puede observar la inclusión de un sustrato pobremente dopado tipo *P* común a los dispositivos. De esta manera, los transistores de canal *P* y canal *N* son formados por encima de este dentro de pozos tipo *N* y tipo *P* respectivamente. Esta forma de posicionamiento se conoce como *twin-well* y permite mayor aislamiento de ruido comparado con el proceso estándar de fabricación. El perfil de dopado en los pozos no es uniforme cerca de la región de agotamiento debido a la existencia de implantes a lo largo del canal y alrededor de las regiones N^+ y P^+ . Estos implantes permiten ajustar el valor de la tensión umbral y reducir los efectos de canal corto [2,22]. Por otro lado, El proceso de fabricación utilizado es conocido como de zanja poco profunda (*STI* o *shallow trench isolation*), pues introduce zanjas generalmente de $0,3\mu\text{m}$ de profundidad entre los transistores y otros dispositivos en el sustrato.

En la figura 2.2 se muestra el modelo de los *FETs*, donde son apreciables varios sub-circuitos y el núcleo. Este último considera los fenómenos físicos observados en dispositivos *MOS*, mientras, los sub-circuitos representan de forma extrínseca el efecto de los elementos parásitos. El núcleo utiliza dos opciones ya sea *BSIM3v3.2.4* o *PSP 102.3*, esta última optimizada para tensiones drenos fuente cercanas a cero. Ambos modelos del núcleo toman en cuenta los efectos del ruido térmico, el ruido *flicker*, *mismatch*, *Impact ionization*, estrés *STI* y el efecto de proximidad a la frontera del pozo *N* [2,22].

Como complemento al modelo anterior, se presenta una opción que proporciona mayor precisión

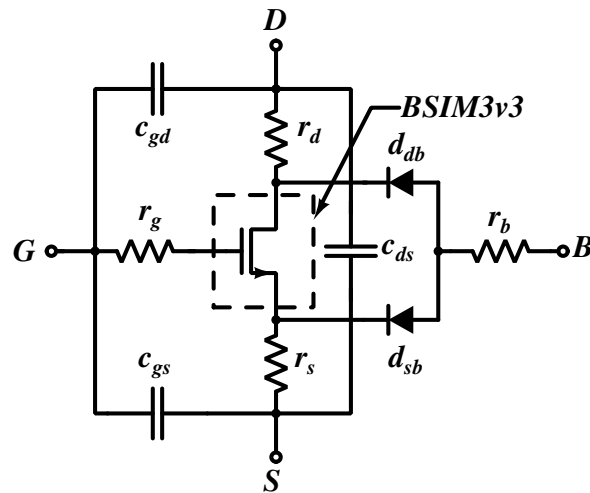


Figura 2.2: Modelo del transistor *nMOS* utilizando el núcleo *BSIM3v3*.

para aplicaciones en altas frecuencias. Esta opción fija una celda alrededor del *layout* de los *FETs* (*pcell*), permitiendo de esta manera baja resistencia en la compuerta y los terminales de fuente y drenó, además permite ganancia unitaria alta.

Además del transistor para radiofrecuencia, la tecnología presenta otros dispositivos para estas aplicaciones como *pads*, capacitores e inductores. Los *pads* de entrada y salida de señal, a diferencia de los *pads* para bajas frecuencias integran protecciones *ESD* menores, con el objetivo de disminuir las resistencias y capacitancias parásitas. Los capacitores utilizados presentan menor capacitancia parásita en altas frecuencias. Por otro lado, su geometría está formada por placas paralelas de aluminio en el último nivel, además, de tres opciones para el dieléctrico según la capacitancia especificada por el diseño. También, se presenta una opción para utilizar capacitores duales, los cuales permiten mayor capacitancia, al igual que los capacitores de una capa están ubicados en los últimos niveles de metal. Los inductores presentan alto factor de calidad debido a que están formados con las capas de metal más gruesas del último nivel. Además, su forma octagonal les permite una mejora adicional a esta figura de mérito en altas frecuencias, debido a que entre más circular sea el inductor mayor es el factor de calidad. Del mismo modo, su ubicación permite emplear la opción de metal dual formando inductores serie y paralelo que suministran mayor inductancia por unidad de área. Además de las ventajas a nivel de circuito que presenta la tecnología para con los inductores, también se documentan estos dispositivos parametrizados, lo cual es de gran ayuda en cálculos manuales y permite disminuir el tiempo de diseño. En la Tabla 2.1 se presenta un resumen de las características de los dispositivos estudiados en esta sección y algunos parámetros importantes de la tecnología.

Parámetros	Unidades	Valores
Longitud mínima del canal	μm	0,18
Longitud máxima del canal	μm	10
Ancho mínimo del canal	μm	0,88
Ancho máximo del canal	μm	10
Grosor del óxido (físico)	nm	3,5
Número máximo de <i>stripes</i> (dedos del transistor)	–	24
Tensión de diseño	V	1,8
Número de capas de metal	–	6
Parámetros de los capacitores <i>mim</i>		
Capacitancia por área con dieléctrico estándar	$\frac{fF}{\mu m^2}$	2.05
Capacitancia por área con dieléctrico de alta densidad	$\frac{fF}{\mu m^2}$	2.70
Capacitancia por área con dieléctrico <i>high K</i>	$\frac{fF}{\mu m^2}$	4.10
Parámetros de los capacitores de doble capa <i>dualmim</i>		
Capacitancia por área con dieléctrico estándar	$\frac{fF}{\mu m^2}$	4.10
Capacitancia por área con dieléctrico de alta densidad	$\frac{fF}{\mu m^2}$	5.40
Parámetros de los inductores		
Diámetro exterior (rango)	μm	100 – 400
Ancho del devanado (rango)	μm	5 – 25
Esquemas de tierra (opciones)		<i>BB, M1</i>
Separación entre devanados (rango)	μm	2,8 – 5
Ancho del metal <i>underpass</i>	μm	15
Número máximo de arrollamientos (para máximo diámetro)	μm	23,5

Tabla 2.1: Resumen de las características que presenta la tecnología para el diseño en radiofrecuencia.

2.2. Extracción de parámetros

Como se mostró en la sección anterior, el modelo del transistor toma en cuenta muchos de los fenómenos presentes en las tecnologías de fabricación modernas. Utilizar este tipo de modelos en cálculos rápidos, que a su vez, permitan adquirir intuición acerca del funcionamiento del transistor, es una tarea complicada. Sin embargo, el uso de transistores con dimensiones máximas atenúa efectos de segundo orden y permite extraer aproximaciones a los parámetros todavía válidas. Es importante notar

que aún el modelo de alto nivel de los *MOS* presenta diferencias con las mediciones, esto es resultado de la naturaleza empírica de algunos parámetros y la imposibilidad de conocer su magnitud exacta [22]. El modelo empleado en el diseño del amplificador considera la tensión umbral, la degradación de la movilidad, el efecto cuerpo y las variaciones de longitud y ancho del canal. A continuación se presenta el método de extracción y los valores para los parámetros.

2.2.1. Voltaje umbral

La extracción del voltage umbral se realiza a partir de la curva de I_D contra V_{GS} , para tal fin, se polariza el transistor con una tensión dreno fuente constante dentro del rango de 0,05 a 0,1 V [23]. La tensión dreno fuente es seleccionada de tal forma que el transistor no opere en saturación, de esta manera, disminuyendo los efectos de *drain-induced barrier lowering (DIBL)*² en la tensión umbral. También es conveniente disminuir los efectos de canal estrecho presentes en el proceso de fabricación *STI*, por lo tanto, se emplea el máximo ancho de la tecnología [22]. Por otro lado, se utilizan diferentes valores para la longitud del canal para obtener la tensión umbral como una función de L . Con base en lo anterior, la aproximación de primer orden empleada es la siguiente:

$$I_{DS} = \mu_{eff} C_{OX} \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2.1)$$

Donde μ_{eff} es la movilidad efectiva, C_{OX} es la capacitancia del óxido de compuerta y $\frac{W}{L}$ la relación de aspecto del transistor. Para utilizar la ecuación (2.1) apropiadamente, se tiene en cuenta que la movilidad no es constante para la variación total de V_{GS} que permite la tecnología.³ Por tal motivo, se fija un rango de tensión válido. Este se obtiene a partir de la gráfica de la transconductancia, es decir, la derivada de (2.1). El rango utilizado comprende desde 0,1 V hasta 0,7 V, donde el límite inferior representa una tensión para la cual se asume no se ha formado la capa de inversión. Por otro lado, el límite superior corresponde a la tensión donde g_m es poco dependiente de los campos vertical y transversal del transistor, esto es, el punto máximo. Aunque el límite superior varía con la longitud del canal, esta variación no incluye un error grande en la extracción de la tensión umbral.

Una vez fijadas las condiciones de polarización y la ecuación para la región de operación, ahora se presenta el procedimiento para la extracción de la tensión umbral. Inicialmente se localiza la intercepción de la parte lineal de la curva con el eje horizontal, comenzando en un nivel de corriente especificado en el manual de la tecnología. Para cada variación de L es necesario escalar el nivel de corriente, siendo $300(10^{-9}) \left(\frac{W}{L}\right)$ para dispositivos *nMOS* y $70(10^{-9}) \left(\frac{W}{L}\right)$ para dispositivos *pMOS* [24].

²*DIBL* es un fenómeno que se presenta en transistores *MOS*, en el cual, aumentar la tensión V_{DS} conlleva a la disminución de V_T , en otras palabras, la tensión umbral en este contexto es fuertemente dependiente de la tensión de dreno.

³La degradación de la movilidad depende de la intensidad del campo eléctrico transversal del dispositivo *MOS*, que a su vez, depende de todas las tensiones en los terminales. Sin embargo, es de interés notar el efecto dominante de V_{GS} .

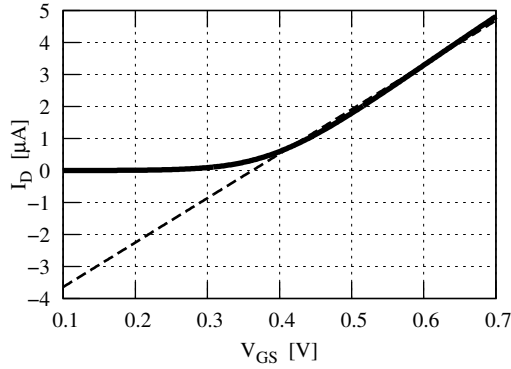


Figura 2.3: Extrapolación lineal de la curva I_D contra V_{GS} .

En la Figura 2.3 se muestra la extrapolación de la curva para el transistor *nMOS*. Matemáticamente el procedimiento seguido para hallar V_T es el siguiente:

$$\begin{aligned}
 0 &= \mu_0 C_{OX} \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \\
 V_{GS} &= V_T + \frac{V_{DS}}{2} \\
 V_T &= V_{GS} - \frac{V_{DS}}{2}
 \end{aligned} \tag{2.2}$$

Donde V_{GS} es la tensión que proporciona la regresión lineal para $I_D = 0$, en la gráfica se extrapolan valores negativos para mejorar la visualización. En la Figura 2.4 se muestra el resultado de repetir el procedimiento anterior para L entre $0,18\mu\text{m}$ y $10\mu\text{m}$ en dispositivos *CMOS*. En la gráfica el aumento de V_T para longitudes mínimas es resultado de la utilización de implantes alrededor de los pozos de drenaje y fuente. Estos tienen volumen fijo y son útiles para disminuir efectos de carga compartida (*charge sharing*), debido a lo anterior, cuando L se acerca a la longitud mínima los implantes se juntan, resultando en un sustrato con mayor perfil de dopado y por lo tanto, mayor tensión umbral. En ausencia de implantes, este aumento de tensión fue documentado como un efecto inverso de canal corto y no atribuido a la variación del dopado del sustrato, sin embargo, en [22] se documenta que en ausencia de estos el proceso de fabricación de forma no intencional crea un sustrato no uniforme.

En la literatura existen métodos alternativos que permiten la extracción de V_T , ya sea en la región de saturación o lineal. En saturación la curva $\sqrt{I_{DS}}$ en función de V_{GS} es utilizada. Por otro lado, en la región lineal, además del empleado aquí, son utilizados los métodos de corriente de activación y de segunda derivada de la curva I_D contra V_{GS} [25].

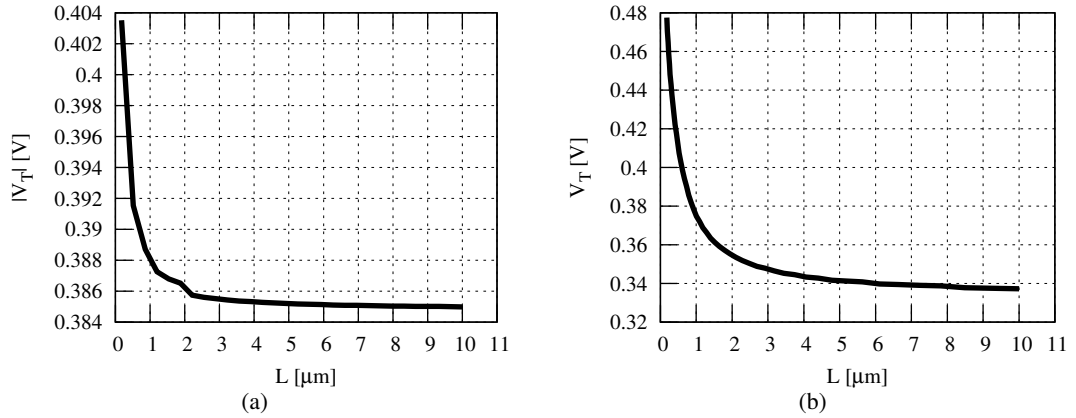


Figura 2.4: Extracción de la tensión umbral en función de la longitud del canal. (a) Dispositivos $pMOS$. (b) Dispositivos $nMOS$.

2.2.2. Movilidad efectiva de los portadores

El modelo utilizado toma en cuenta la reducción de la movilidad respecto al campo eléctrico transversal, el cual depende de todos los voltajes en los terminales. Sin embargo, el modelo utilizado solo toma en consideración el efecto de la tensión V_{GS} como se muestra a continuación:

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (2.3)$$

Donde μ_{eff} es la movilidad efectiva, μ_0 es la movilidad efectiva de los portadores para bajo campo eléctrico y θ es el coeficiente de degradación de la movilidad debida al campo eléctrico transversal. La magnitud de μ_0 es extraída de la curva de transconductancia contra voltaje de compuerta. Mientras la magnitud de θ se obtiene a partir de la gráfica de corriente contra tensión de compuerta. Por otro lado, el transistor es polarizado de forma similar a la empleada en la extracción del voltaje umbral, además es dimensionado con longitud y ancho máximos para evitar efectos de segundo orden. A continuación se muestra la caracterización de μ_0 y θ .

El cálculo de μ_0 se basa en el establecimiento de una relación lineal entre la movilidad y la transconductancia. A partir de la deriva la ecuación (2.1) y manteniendo constante la tensión drenó fuente se obtiene:

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}=0,05V} = \frac{WC_{OX}V_{DS}}{L} \mu_{eff} \quad (2.4)$$

Luego, reagrupando (2.4) obtenemos:

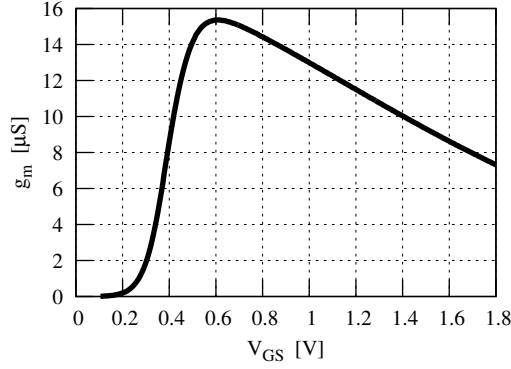


Figura 2.5: Transconductancia en función de V_{GS} para $V_{DS} = 0,05 V$.

$$\mu_{eff} = \frac{L}{WC_{OX}V_{DS}}g_m \quad (2.5)$$

En la ecuación anterior, g_m representa la transconductancia a la cual la movilidad es poco dependiente de los campos eléctricos horizontal y vertical del dispositivo, esta transconductancia corresponde con el punto máximo de la Figura 2.5, donde g_m es función de V_{GS} para bajos valores de tensión drenos fuente [23]. Además de la transconductancia, la extracción de μ_0 compromete las condiciones de polarización, las dimensiones del transistor y la capacitancia del óxido. Esta última encontrada de la siguiente forma:

$$C_{OX} = \frac{k\epsilon_0}{t_{OX}} = \frac{\epsilon_{OX}}{t_{OX}} \quad (2.6)$$

Donde k es la constante dieléctrica del óxido, ϵ_{OX} la permitividad y t_{OX} el grosor efectivo. Las cantidades numéricas de los parámetros anteriores son documentadas por el manual de diseño [24]. De esta manera, el valor encontrado para la movilidad efectiva de los portadores para bajo campo eléctrico es $\mu_0 = 376,58 \frac{cm^2}{Vs}$. Es importante tener en cuenta que esta movilidad varía con la posición a lo largo del canal debido a los implantes con alto perfil de dopado. Teniendo en cuenta lo anterior, el valor hallado para la longitud mínima es aproximadamente 7% menor.

En la Figura 2.5 es apreciable la disminución de la transconductancia y por tanto de la movilidad a partir del punto máximo. La tasa de disminución, esto es, que tan rápido se degrada la movilidad es modelado por θ . La extracción de este parámetro se realiza a partir de la gráfica anterior en conjunto con la gráfica de I_D contra V_{GS} . La primera proporciona la tensión desde la cual es mas pronunciada la degradación de la movilidad. Mientras, la segunda permite extraer el parámetro a partir de regresión lineal. Inicialmente se incluye la degradación de la movilidad en la ecuación de la corriente, esto se

obtiene, reemplazando (2.3) en (2.1). También es útil modificar la ecuación resultante para establecer una relación lineal como se muestra en la siguiente ecuación:

$$\frac{1}{I_{DS}} = \frac{1}{W/L\mu_0 C_{OX} V_{DS}} \left(\frac{1}{V_{GS} - V_T} \right) + \frac{\theta}{W/L\mu_0 C_{OX} V_{DS}} \quad (2.7)$$

A partir de la regresión lineal entre $(I_{DS})^{-1}$ contra $(V_{GS} - V_T)^{-1}$ es posible extraer θ . Como resultado se obtuvo $\theta = 0,036 V^{-1}$. Por otro lado, el efecto de la degradación de la movilidad es mas pronunciado para transistores con menor longitud de canal [23]. Por lo tanto, también se realizó el procedimiento anterior para el transistor con longitud mínima, obteniendo $\theta = 0,1726 V^{-1}$. Por último, es importante notar que existen métodos de extracción alternativos, por ejemplo, a partir de la gráfica de transconductancia y de la modificación algebraica de la ecuación (2.3) se puede obtener θ [22, 23].

2.2.3. Longitud y ancho efectivos del canal

Los valores de longitud y el ancho utilizados en los modelos eléctricos presentan variaciones con respecto a las dimensiones de diseño obtenidas en dispositivos fabricados. Dos efectos son mayormente responsables de estas variaciones, primero la difusión lateral de las regiones de fuente y drenó hacia el sustrato debajo de la compuerta. Segundo, las imperfecciones del proceso de fabricación. Por este motivo, los modelos eléctricos utilizan valores de longitud y ancho efectivos dados por las siguientes expresiones:

$$L_{eff} = L_M - \Delta L \quad (2.8)$$

$$W_{eff} = W_M - \Delta W \quad (2.9)$$

Donde, ΔL y ΔW representan las variaciones de longitud y ancho respectivamente, mientras, el subíndice M se utiliza para los valores dibujados en el *layout*, también denominados de máscara. La extracción de estos parámetros se realiza a partir de las curvas de conductancia drenó-fuente contra L y de $g_{m,max}$ contra W . En la primera curva la extracción se realiza a bajos valores de V_{GS} para reducir el efecto de la degradación de la movilidad. Para la segunda curva se realiza a la tensión V_{GS} de la transconductancia máxima. En ambos casos se polariza con una tensión drenó fuente de $0,05 V$.

Para hallar las variaciones de ancho del transistor, primero se encuentra la transconductancia máxima para algunos valores de W manteniendo la longitud en su mayor valor. Luego, a partir de la gráfica de los puntos anteriores, se encuentra el intercepto de la recta con el eje W , el cual representa el valor buscado. Para la representación matemática de lo anterior, se utiliza la derivada de la ecuación (2.1) y en esta se reemplaza W por (2.9), de esta forma se obtiene:

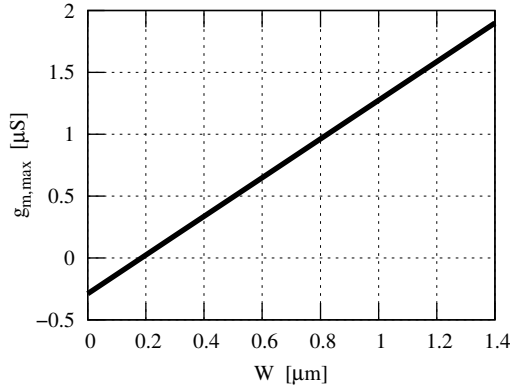


Figura 2.6: Gráfica de $g_{m,max}$ como función del ancho del canal usada para determinar ΔW .

$$g_{m,max} = \frac{\mu_0 C_{OX} V_{DS}}{L} (W_M - \Delta W) \quad (2.10)$$

Luego para $g_{m,max} = 0$ tenemos $W_M = \Delta W$. En la figura 2.6 se muestra el resultado de la extrapolación de W hasta alcanzar el eje, siendo el valor de intercepto $\Delta W = 0,1849 \mu m$. Es importante notar que debido a la relación lineal entre g_m y W es posible la extracción de este parámetro. Por otro lado, podría pensarse en utilizar la relación lineal entre I_D y W como un método alternativo, sin embargo, debe tenerse en cuenta que esta alternativa necesitaría de un voltaje $V_{GS} - V_T$ constante, lo cual, no es apreciable cuando se varía el ancho del canal [22].

La variación en la longitud del canal se encuentra en conjunto con la resistencia total del transistor. Para tal fin, se utilizan diferentes longitudes, manteniendo el ancho máximo. Inicialmente, se halla la conductancia total del transistor con los valores de la curva I_D contra V_{GS} como sigue:

$$R_{total} = \frac{V_{DS}}{I_{DS}} \quad (2.11)$$

A partir de los datos de (2.11) y L se construye una gráfica manteniendo la tensión V_{GS} como un parámetro. Los puntos buscados se encuentran en la intersección de dos rectas, las cuales presentan tensiones V_{GS} con poca separación, pero mayores que la tensión umbral. La proyección del intercepto al eje y es la resistencia total, mientras para el eje x es ΔL .

Sin embargo, el método anterior no presenta resultados útiles para caracterizar la variación de la longitud del canal, pues los valores se encuentran en el III cuadrante. La situación anterior es atribuida al perfil de dopado no uniforme del sustrato, que como se mostró en la sección anterior, permite la variación de la movilidad con la posición a lo largo del canal. Por este motivo, la relación lineal que emplea el método, ya no se mantiene bajo las condiciones impuestas por la tecnología

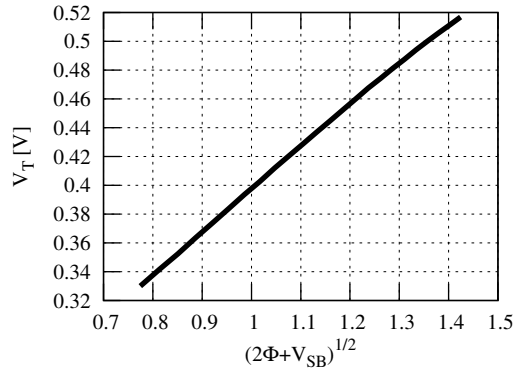


Figura 2.7: Comportamiento de la tensión umbral respecto a la variación de la polarización del sustrato.

[22]. Por otro lado, en la literatura existen métodos alternativos para la extracción de ΔL , dos de estos aprovechan la proporcionalidad de la capacitancia compuerta-cuerpo de $L_{eff} = L_M - \Delta L$ en acumulación, lo anterior es posible pues en esta región la extracción no es influenciada por la degradación de la movilidad [26].

2.2.4. Constante de efecto cuerpo

La constante de efecto cuerpo representa la dependencia de la tensión umbral de la polarización del sustrato. Entre menor sea la constante menor será la variación de la tensión umbral respecto a esta última. De esta manera, la constante se convierte en un índice de mérito de la tecnología, siendo preferibles los valores pequeños. Inicialmente se considera la expresión de la tensión umbral sin polarización del sustrato, para este caso se utiliza un transistor *NMOS*:

$$V_T = V_{FB} + 2\Phi_F + \frac{\sqrt{2q\epsilon_{si}N_A(2\Phi_F)}}{C_{OX}} \quad (2.12)$$

Donde, V_{FB} es el voltaje de banda plana y $2\Phi_F$ es el potencial de superficie, asimismo, ϵ_{si} y N_A son la permitividad y la concentración de dopado del silicio. Cuando se aplica un voltaje externo al cuerpo del transistor, la ecuación (2.12) se convierte en:

$$V_T(V_{SB}) = V_{FB} + 2\Phi_F + \frac{\sqrt{2q\epsilon_{si}N_A(2\Phi_F + V_{SB})}}{C_{OX}} \quad (2.13)$$

Realizando la substracción de (2.12) y (2.13) se obtiene:

$$V_T(V_{SB}) - V_T(V_{BS} = 0) = \gamma(\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F}) \quad \text{con : } \gamma = \frac{\sqrt{2q\epsilon_{SI}N_A}}{C_{OX}} \quad (2.14)$$

Parámetros	Unidades	Valores
Voltaje umbral para canal largo (V_T)	V	0,3373
Voltaje umbral para longitud mínima (V_T)	V	0,4774
Movilidad (μ_0)	$\frac{cm^2}{V.s}$	376,58
Coefficiente de degradación de la movilidad (θ)	V^{-1}	0,1726
C_{OX}	$\frac{fF}{\mu m^2}$	8,1576
Variación de la longitud del canal (ΔL)	nm	35*
Variación del ancho del canal (ΔW)	nm	184,9
Constante de efecto cuerpo (γ)	$V^{\frac{1}{2}}$	0,3448
Potencial de superficie (2Φ)	V	0,742

* Tomado del manual de diseño.

Tabla 2.2: Parámetros para el transistor *NMOS* en la tecnología *IBM CMRF7SF* 0,18 μm *CMOS*.

Donde γ es la constante de efecto cuerpo. Para la extracción de este parámetro se obtiene la tensión umbral para diferentes puntos de polarización del sustrato. Luego, se bosqueja el comportamiento entre V_T y $\sqrt{2\Phi_F + V_{SB}}$ utilizando como parámetro el potencial de superficie. El procedimiento anterior se repite hasta obtener una recta como lo indica la ecuación (2.14). En la Figura 2.7 se muestra el resultado del procedimiento descrito, en la gráfica la pendiente de la recta representa el valor de γ . De esta manera, los valores obtenidos fueron $\gamma = 0,3448 V^{\frac{1}{2}}$ y $2\Phi = 0,742 V$.

En esta sección se abordó la caracterización de algunos de los parámetros que modelan el comportamiento del transistor a partir de la relación entre corriente de drenó y tensión de compuerta. En la Tabla 2.2 se muestra un resumen de estos. Como resultado, las expresiones de corriente de drenó y transconductancia toman en consideración la degradación de la movilidad, obteniendo valores más precisos para la region de inversión fuerte. También se documentó la variación de la tensión umbral respecto a la longitud del canal, de esta manera, dando a conocer algunas características de la tecnología, y sus efectos, en la movilidad y la tensión umbral. Por otro lado, la temperatura afecta a estos últimos parámetros, resultando en la variación de las características del transistor *MOS* y por tanto del diseño. Aunque la extracción fue realizada a 300K, la variación de la movilidad en la región de inversión fuerte puede aproximarse de la siguiente forma:

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_3} \quad (2.15)$$

Donde, T es la temperatura absoluta, T_r es la temperatura ambiente, y k_3 es una constante con valores entre 1,2 y 2 [22]. De (2.15) es evidente que la movilidad disminuye con la temperatura. De

la misma manera, la tensión umbral disminuye, siendo la siguiente expresión la que aproxima este efecto:

$$V_T(T) = V_T(T_r) - k_4(T - T_r) \quad (2.16)$$

Donde k_4 se encuentra generalmente entre $0,5 \text{ mV/K}$ y 3 mV/K , valores altos en este rango corresponden a sustratos altamente dopados, óxidos gruesos, y pequeños valores de V_{SB} .

Una vez extraídos algunos parámetros del transistor y haber examinado las características del proceso de fabricación a ser utilizado, se procede a la fase de selección de arquitectura de circuito y el planteamiento de la estrategia de diseño más adecuada para alcanzar unas especificaciones determinadas.

Capítulo 3

Metodología de diseño del amplificador de bajo ruido

En este capítulo se presenta la estrategia de diseño del amplificador de bajo ruido banda ancha. Como primer paso, se realiza la selección de la topología considerando las técnicas estudiadas en el capítulo 1. Se continúa con un análisis cualitativo de la arquitectura en el cual se dilucidan las primeras consideraciones de diseño. Luego se procede con el estudio cuantitativo de la topología donde son deducidas las expresiones matemáticas de la impedancia de entrada, la ganancia, la figura de ruido y el ancho de banda. Seguidamente, como complemento a las consideraciones anteriormente encontradas se documentan compromisos entre las variables y los parámetros de rendimiento. En este punto, se desarrolla la estrategia de diseño con base en las gráficas de las expresiones de la topología frente a las dimensiones de los transistores, los puntos de polarización y algunos de los parámetro de rendimiento.

3.1. Selección de la topología

Los estándares de comunicación inalámbrica definen la función, banda de frecuencia y las especificaciones que gobiernan el diseño de un *transceiver*. Para la cadena de recepción, entre otras especificaciones, se documenta la sensibilidad, la tolerancia a interferencias y algunas pruebas de intermodulación [27]. Es importante notar que las especificaciones anteriores están directamente relacionadas con parámetros como la figura de ruido y la linealidad del receptor [28]. De esta manera, y teniendo en cuenta, que la figura de ruido del receptor es limitada en mayor medida por el amplificador de bajo ruido, y que para receptores de banda ancha este podría afectar la linealidad notablemente, se procede a realizar un breve análisis de linealidad y ruido. Se documentan los rangos de frecuencia donde se espera el mejor rendimiento para las dos topologías estudiadas, además, se muestran algunos

compromisos que surgen para alcanzar figuras de ruido $sub - 3dB$ y se realiza una comparación del consumo de potencia.

El análisis de linealidad del *LNA* generalmente comprende la medición de la distorsión armónica, la compresión de ganancia y la intermodulación de segundo y tercer orden. Para amplificadores de banda angosta frecuentemente el punto de intercepción de tercer orden *IIP3* y de compresión de $1 dB$ de la ganancia son utilizados para estimar la linealidad [28, 29]. Sin embargo, para amplificadores de banda ancha, además de los puntos anteriores, la intermodulación de segundo orden *IM2* comienza a ser importante debido a que los productos de este tipo de distorsión podrían caer en la banda de frecuencias asignadas al estándar, lo cual compromete la integridad de la señal [30]. Con base en lo anterior, a nivel de circuito una topología con salida diferencial resulta útil, y por tanto las dos arquitecturas consideradas podrían presentar buen desempeño de linealidad. Sin embargo, un problema de las topologías diferenciales es el efecto del *mismatch* en los dispositivos sobre los parámetros de desempeño.¹

Cada una de las topologías estudiadas presenta una mejor figura de ruido en una banda determinada de frecuencias. Por un lado, y con base en el estado del arte presentado en el capítulo 1, la topología de cancelación de ruido alcanza valores promedio cercanos a los $2,5dB$ para frecuencias entre $1GHz$ y $2,5GHz$. Sin embargo, a medida que aumenta la frecuencia, la cancelación de ruido se ve afectada por esta y por la magnitud de la capacitancia de entrada. Por ejemplo, en [18] se observa la pérdida de la eficiencia de la técnica para frecuencias mayores a los $7GHz$, donde la figura de ruido alcanza valores superiores a $6dB$. Por otro lado, aunque la técnica con capacitores entrecruzados muestra figuras de ruido cercanas a los $3dB$ para la banda de frecuencias donde la técnica de cancelación de ruido presenta su mejor rendimiento (menor a los $2,5dB$), con *CCC* es posible alcanzar figuras de ruido del orden de los $4dB$ entre los $7GHz$ y $10GHz$ [21, 31].

Cada una de las topologías estudiadas presenta un compromiso con la ganancia. Primero la topología de cancelación podría presentar una tensión no balanceada en el nodo de salida cuando una figura de ruido $sub - 3 dB$ es requerida.² Por su parte, la topología de capacitores entrecruzados limita el aumento de la transconductancia por la condición de acople de impedancia de entrada, dejando el escalamiento de la ganancia a la impedancia de carga. También es importante notar que ambas arquitecturas disminuyen su ganancia a medida que aumenta el ancho de banda.

El consumo de potencia de las dos topologías difiere para alcanzar una determinada figura de ruido en los rangos de frecuencia mostrados anteriormente. Algunas implementaciones de *LNAs* con cancelación de ruido requieren una mayor disipación de potencia respecto a *LNAs* implementados con

¹ *Mismatch* es el fenómeno causado por variaciones aleatorias (independientes del tiempo), de las cualidades físicas de los dispositivos diseñados como idénticos, su efecto resulta en un cambio de las variables del transistor, generalmente el voltage umbral, en función del área, la orientación y la distancia dentro de la oblea de silicio.

² Aquí se hace referencia a las arquitecturas de cancelación de ruido con entrada simple y salida diferencial.

CCC. Lo anterior es producto de la etapa de amplificación extra requerida por la cancelación de ruido. De otro lado, la comparación del consumo de potencia con una etapa diferencial de puerta común, evidencia que la topología de capacitores entrecruzados presenta una figura de ruido menor para la mitad del consumo de potencia [12].

De esta manera, las dos topologías estudiadas son útiles en diferentes aplicaciones según sea la especificación de la banda de frecuencia, la linealidad, la figura de ruido y el consumo de potencia. La figura de ruido y el consumo de potencia bajos son generalmente requeridos por aplicaciones móviles de tal modo que no se deteriore demasiado la sensibilidad del receptor y se aumente la vida de la batería. Por lo tanto, se considera adecuado desarrollar este proyecto usando la arquitectura de capacitores entrecruzados, tomando ventaja de su figura de ruido plana y menor consumo de potencia (ver capítulo 1), además de ofrecer baja complejidad circuital lo que puede representar un menor tiempo de diseño.

3.2. Topología *gm-boosting* con capacitores entrecruzados

A continuación se realizan dos análisis cualitativos que permiten acotar el escenario de diseño y obtener algunas consideraciones circuitales útiles. Partiendo desde la técnica de *gm-boosting* mostrada en el capítulo 1 se discuten las posibles implementaciones del amplificador A (mostrado en la Figura 1.4(a)). También se explica porqué la utilización de capacitores entrecruzados resulta de mayor utilidad respecto al consumo de potencia y la reducción de pérdidas por elementos parásitos. Finalmente se hace un estudio del acople de impedancia de entrada relativo a los dispositivos anteriores al *LNA*.

3.2.1. Amplificador de realimentación y circuito diferencial

Como se mencionó en el capítulo 1, la arquitectura de puerta común puede mejorar su comportamiento respecto al ruido cuando la señal de entrada se realimenta a la puerta de forma negativa. La realimentación es resultado del uso de un amplificador que puede implementarse con elementos pasivos o activos. El diseño activo logra una mayor ganancia y por ende podría reducir la contribución de ruido de la etapa de transconductancia en mayor medida, idealmente en proporción a $1 + A$, donde A representa la ganancia de tensión. Sin embargo, la inclusión de un amplificador activo, probablemente no resulte en la mejora deseada debido a que se debe considerar el aporte de ruido de mismo. La cuantificación del ruido añadido puede modelarse a partir de la siguiente expresión:

$$\overline{V_{n,out|A}^2} = \frac{A^2}{(1 + A)^2} \overline{V_{n,A}^2} \quad (3.1)$$

Donde, $\overline{V_{n,out|A}^2}$ es el ruido producido por el amplificador referido a la salida y $\overline{V_{n,A}^2}$ modela el ruido del amplificador cuando no está incluido en la topología. Por otro lado, el factor $A^2/(1+A)^2$ de (3.1) no es mucho menor a la unidad, por este motivo resulta difícil la implementación de A con un circuito activo [27].³

Por otro lado, el amplificador de realimentación puede diseñarse a partir de elementos pasivos como capacitancias e inductancias mutuas. El diseño a partir de inductores se basa en el acople magnético, lo cual se puede interpretar como un transformador integrado entre los nodos de fuente y puerta. Sin embargo, esta implementación difícilmente logra ganancias mayores a tres debido a las geometrías utilizadas por los inductores integrados, además las pérdidas del devanado primario y secundario contribuyen al ruido [27]. El uso de capacitores puede ayudar a sobrepasar los inconvenientes de la inclusión de elementos activos o un transformador integrado. Para tal fin, se estudió la topología de capacitores entrecruzados, la cual permite la implementación de la técnica de *gm-boosting* con una ganancia próxima a la unidad. Es de notar, que a diferencia de las implementaciones con inductores y elementos activos, el circuito de capacitores entrecruzados es diferencial, lo cual implica algunas ventajas pero también algunas consideraciones adicionales.

Los circuitos diferenciales son generalmente útiles para aumentar el rendimiento respecto a $IM2$, además de ofrecer mayor rechazo a las variaciones de la fuente de suministro y al ruido del sustrato. Como complemento a lo anterior, la salida balanceada del *LNA* también resulta útil si la siguiente etapa en la cadena de recepción presenta una entrada diferencial. Por otro lado, las etapas anteriores al *LNA* generalmente son no balanceadas, es decir de terminación simple como la antena o los filtros pasa-banda. De esta manera, como se menciona en la sección 1.1, esta situación requiere la inclusión de un *balun* en la cadena de recepción.

3.2.2. Máxima transferencia de potencia

Como primera medida para el análisis de máxima transferencia de potencia, se describen las características del *balun* y a partir de su ubicación en la cadena de recepción se procede a documentar las condiciones para máxima transferencia de potencia. Estas condiciones se estudian bajo el criterio de acople de las impedancias que intervienen desde la antena hasta el circuito del amplificador, dejando la impedancia de entrada para análisis más detallados en las siguientes secciones.

El *balun* es un transformador que puede ser incluido o excluido del circuito integrado. Su notación es la contracción del inglés *balanced-unbalanced* y su traducción hace referencia a la conversión de señal que realiza. Además de esta característica, el *balun* puede ser diseñado para realizar cambios de impedancia. En la Figura 3.1 se muestra este elemento incluido en la cadena de recepción.

³La expresión $A^2/(1+A)^2$ no es menor a la unidad para valores de A que representen una disminución significativa del ruido del transistor de acople.

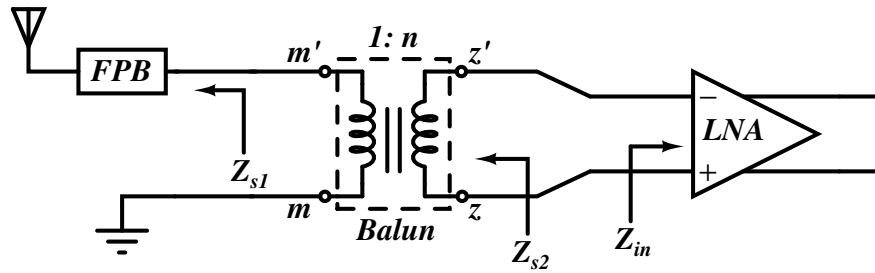


Figura 3.1: Ubicación del *balun* en la cadena de recepción e impedancias consideradas para el análisis de máxima transferencia de potencia.

Como base para el análisis de máxima transferencia de potencia se considera a la impedancia de la antena y del filtro predominantemente reales, por lo tanto, $Z_{s1} \approx R_{s1}$, donde R_{s1} es la resistencia de la antena. De esta manera, la impedancia vista en los nodos m y m' debe ser igual a R_{s1} . Por otro lado, en el devanado secundario la parte real de la impedancias Z_{s2} toma en cuenta el cambio de impedancia que realiza el *balun*, resultando en la siguiente relación para garantizar el acople de impedancia:

$$R_{s2} = R_{s1}n^2 \quad (3.2)$$

Donde n es la relación de transformación. Finalmente, para máxima transferencia de potencia Z_{in} debe ser igual a R_{s2} . Sin embargo, la relación obtenida en (3.2) podría ser afectada por las pérdidas del *balun*, además este dispositivo pierde su eficiencia conforme aumenta la frecuencia. Como solución, en el rango de los gigahertz es posible encontrar estos dispositivos con pérdidas relativamente bajas pero deben ser implementados fuera del chip, debido a que las implementaciones integradas sufren de mayores pérdidas y bajo factor de acople.

Por último, se realiza un equivalente de Thevenin en los punto z y z' de la Figura 3.1. La tensión está dada por el producto de la relación de transformación y la tensión de entrada, resultando en $V_{th} = nV_{in}$. Por otro lado, con Z_s puramente real y un *balun* sin pérdidas de potencia se tendría:

$$R_{th} = n^2R_s \quad (3.3)$$

Es de notar que además de la resistencia equivalente de la antena, diferentes elementos parásitos adicionados por el *package* del circuito y la soldadura del mismo a la placa de prueba podrían tener un efecto significativo en el circuito, sin embargo, no son considerados en este equivalente. Por otro lado, la ecuación (3.3) permite plantear algunos escenarios de diseño que serán discutidos posteriormente.

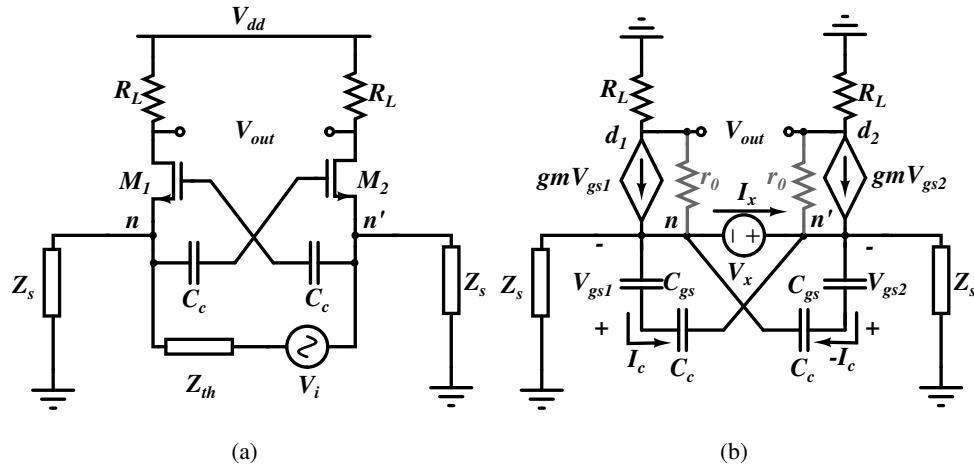


Figura 3.2: Topología de capacitores entrecruzados. (a) Circuito esquemático; (b) Equivalente de pequeña señal.

3.3. Expresiones analíticas de la topología de capacitores entrecruzados

En la Figura 3.2(a) se muestra el diagrama esquemático de la topología de capacitores entrecruzados, donde M_1 y M_2 conforman la etapa de transconductancia, C_c son los capacitores que implementan la técnica de g_m -boosting, Z_s es la impedancia del dispositivo de polarización de la etapa, R_L es la carga y por último V_i y Z_{th} representan el equivalente de Thevenin deducido en la sección anterior. A partir de este esquemático se derivan algunas expresiones matemáticas útiles. La primera expresión analizada permite obtener una estimación de la impedancia de entrada teniendo en cuenta la influencia de la carga. Posteriormente, se plantean las expresiones para la ganancia y la figura de ruido. Por último, se desarrolla el análisis de ancho de banda de entrada y salida. El primero se estudia a partir del coeficiente de reflexión, mientras el segundo se realiza con ayuda del método de constantes de transferencia y tiempo.

3.3.1. Impedancia de entrada

Para obtener una estimación de la impedancia de entrada se utiliza el equivalente en pequeña señal de la Figura 3.2(b), donde g_m incluye la transconductancia del sustrato g_{mb} . De esta manera, la transconductancia efectiva sería $g_{m,eff} = g_m + g_{mb}$, sin embargo, por simplicidad en la figura y las expresiones se nota como g_m . La capacitancia puerta-dreno C_{gd} y la resistencia parásita de la puerta no son mostradas en la figura y tampoco son consideradas para el análisis. Por otro lado, como se menciona anteriormente dispositivos como las protecciones ESD con diodos, los pads, capacitores de acople e hilos de interconexión del circuito integrado (*bond wires*) añaden capacitancias e inductancias parásitas en el nodo de entrada que pueden afectar la impedancia. Las capacitancias generalmente

influyen en las tensiones de los nodos n y n' y pueden agregarse a la impedancia de entrada como una capacitancia en paralelo con Z_s .

El cálculo de la impedancia de entrada se realiza a partir de un análisis de AC en pequeña señal. En este se encuentra la relación entre V_x e I_x y no se tienen en cuenta los elementos parásitos en los nodos ni la modulación del canal. Por otro lado, es de mayor utilidad obtener la admitancia de entrada para así simplificar cálculos posteriores. De esta manera, las ecuaciones de los nodos n y n' son:

$$g_m V_{gs1} = \frac{V_n}{Z_s} + 2I_c + I_x \quad (3.4)$$

$$g_m V_{gs2} = \frac{V_{n'}}{Z_s} - 2I_c - I_x \quad (3.5)$$

Donde, I_c y $V_{gs1,2}$ están dados por las siguientes expresiones:

$$I_c = \frac{V_n - V_{n'}}{Z_{cgs} + Z_{cc}} = \frac{-V_x}{Z_{cgs} + Z_{cc}} \quad (3.6)$$

$$V_{gs1} = -V_{gs2} = \frac{V_x Z_{cgs}}{Z_{cgs} + Z_{cc}} \quad (3.7)$$

Sustituyendo (3.6) y (3.7) en las ecuaciones de los nodos n y n' se tiene:

$$g_m \left(\frac{V_x Z_{cgs}}{Z_{cgs} + Z_{cc}} \right) = \frac{V_n}{Z_s} + \frac{-2V_x}{Z_{cgs} + Z_{cc}} + I_x \quad (3.8)$$

$$g_m \left(\frac{-V_x Z_{cgs}}{Z_{cgs} + Z_{cc}} \right) = \frac{V_{n'}}{Z_s} + \frac{2V_x}{Z_{cgs} + Z_{cc}} - I_x \quad (3.9)$$

Realizando la substracción entre las ecuaciones (3.8) y (3.9) se obtiene la expresión de la admitancia de entrada:

$$\frac{I_x}{V_x} = Y_{in} = \frac{1}{Z_{in}} = \frac{g_m Z_{cgs}}{Z_{cgs} + Z_{cc}} + \frac{2}{Z_{cgs} + Z_{cc}} + \frac{1}{2Z_s} \quad (3.10)$$

El primer y segundo término de la ecuación (3.10) son la componente real y reactiva de la admitancia respectivamente. Por su parte, el tercer término podría agregarse a una o ambas componentes dependiendo de la naturaleza de la impedancia Z_s .

Asumiendo que la impedancia conectada a los nodos n y n' es real, i.e., $Z_{th} \approx R_{th}$, se procede a mostrar los compromisos entre algunas de las variables de diseño para las diferentes implementaciones de Z_s . La alternativa más sencilla es el uso de un resistor cuya magnitud sea mucho mayor a la resistencia vista entre los nodos n y n' , sin embargo, esta alternativa podría disminuir el rango de oscilación de señal en el nodo de salida. También es importante notar que la capacitancia debida a

M_1 podría ser significativa deteriorando S_{11} en altas frecuencias. Por lo tanto, la utilización de un resistor resulta en un compromiso entre la capacitancia de entrada y el ancho de banda (medido para valores de S_{11} menores a $-10dB$). El uso de un transistor es versátil en cuanto a la magnitud de la resistencia de salida y podría mejorar el rango de oscilación respecto al resistor. Sin embargo, al igual que la alternativa anterior, la capacitancia de entrada podría afectar el ancho de banda, incluso en mayor medida debido a C_{db} y C_{gd} . Por último, la utilización de un inductor, en condición de resonancia, simplifica la magnitud de la admitancia a valores cercados a su parte real, presentando un ancho de banda con mejor acople al que ofrecen las alternativas anteriores. Además, el uso de este permite el corrimiento de la frecuencia de resonancia, permitiendo mejor acople en diferentes bandas del espectro. Por otro lado, la polarización de la etapa toma ventaja del comportamiento de DC que presentan los inductores, de esta manera, permitiendo un mayor grado de libertad en el rango de oscilación a la salida que las alternativas anteriores (para inductores con bajas pérdidas).

A menudo la inclusión de un resistor o un transistor en el puerto de entrada añade ruido térmico al puerto de salida, de esta forma aumentando la figura de ruido. Por este motivo, para aplicaciones de bajo ruido estos dispositivos no son frecuentemente empleados para la polarización de la etapa (ver sección 3.3.3). Aunque el inductor no está excepto de pérdidas para la topología seleccionada añade menor ruido a la salida.

Continuando bajo la premisa del uso de un inductor como dispositivo de polarización, se procede a dilucidar la condición para máxima transferencia de potencia. Se asume que la condición de resonancia está centrada en una frecuencia particular ω_0 , además se modelan las impedancias Z_{cc} , Z_{cgs} y Z_s reactivas. De acuerdo con lo anterior, se puede deducir que (3.10) se reduce a:

$$Y_{in} \approx \frac{g_m C_{cc}}{C_{cc} + C_{gs}} \quad (3.11)$$

Donde la relación capacitiva que acompaña a g_m es la ganancia de realimentación A que previamente se mencionó para la técnica de g_m -boosting [12]. De esta manera, es evidente de la ecuación (3.11) que ganancias cercanas a la unidad están sujetas a la condición $C_{cc} \gg C_{gs}$. Por otro lado, ω_0 está dado por la siguiente expresión:

$$\omega_0 \approx \sqrt{\frac{C_{cc} + C_{gs}}{4C_{cc}C_{gs}L_s}} = \sqrt{\frac{1}{4AC_{gs}L_s}} \quad (3.12)$$

Por lo tanto, para obtener máxima transferencia de potencia se debe cumplir que:

$$R_{th} = \frac{1}{g_m} \quad (3.13)$$

La ecuación (3.13) es la condición para máxima transferencia de potencia con respecto al equivalente de Thevenin planteado anteriormente. Reemplazando la ecuación (3.3) en (3.13) y despejando R_s se obtiene:

$$R_s = \frac{1}{g_m n^2} \quad (3.14)$$

De esta forma se obtiene la condición de acople de potencia cuando se inserta un *balun* en la cadena de recepción. De la ecuación (3.14) es claro que un cambio de impedancia puede aliviar el requerimiento de transconductancia y, por tanto, disminuir el consumo de potencia de la etapa. Esta característica del *balun* podría sugerir varios escenarios de diseño si es considerado únicamente el consumo de potencia como objetivo. Por ejemplo, con $R_s = 50 \Omega$ y $n = \sqrt{2}$ se tendría una transconductancia de $g_m = 10 \text{ mS}$, mientras una relación 1-a-1 para el *balun* resulta en $g_m = 20 \text{ mS}$. Sin embargo, las configuraciones que utilizan $n \neq 1$ podrían requerir mayor inductancia para la misma banda de frecuencia y aumentar la figura de ruido debido a la disminución de la transconductancia (ver sección 3.3.3). Por último, el diseño e implementación de un *balun* integrado con relación de conversión diferente a la unidad presenta mayores retos de diseño, altas pérdidas y bajo factor de acople [27].

Hasta el momento el estudio realizado no ha considerado el efecto de la modulación del canal, no obstante, cuando se estiman sus efectos la ecuación (3.14) comienza a depender de r_0 y R_L , mientras la frecuencia de resonancia se mantiene aproximadamente en el valor de la ecuación (3.12). De esta forma, la parte real de la impedancia de entrada esta dada por:

$$\Re\{Z_{in}\} = \frac{1}{\Re\{Y_{in}\}} = \frac{2(r_0 + R_L)}{2g_m A r_0 + 1} \approx \frac{1}{g_m A} \left(1 + \frac{R_L}{r_0}\right) \quad (3.15)$$

Donde r_0 es el resistor que modela el efecto de la modulación del canal. De la ecuación (3.15) se observa que ambos, la ganancia de realimentación A y la etapa de carga R_L , podrían aumentar notablemente la impedancia. La ganancia de realimentación cuando es mucho menor a la unidad y R_L cuando es semejante a r_0 . En tecnologías de canal corto este hecho puede ser mas notorio resultando en una mayor resistencia de entrada. Por otro lado, como se mencionó anteriormente la transconductancia de las ecuaciones (3.14) y (3.15) considera el efecto del sustrato, lo cual disminuye la impedancia de entrada. En este sentido, se tienen dos efectos contrarios que afectan la impedancia de entrada.

3.3.2. Ganancia

En este análisis la ganancia se define como la relación entre la tensión diferencial a la salida y la tensión entre los nodos n y n' , resultando en $A_v = V_{out}/(V_n - V_{n'})$. La carga de la etapa se considera

puramente resistiva, además no se tiene en cuenta el efecto de la modulación del canal. A partir del circuito de la Figura 3.2(b) se desarrolla el siguiente análisis:

$$i_{o1} = g_m V_{gs1} \quad i_{o2} = g_m V_{gs2} \quad (3.16)$$

$$v_{out} = v_{o1} - v_{o2} = R_L(i_{o2} - i_{o1}) \quad (3.17)$$

En las expresiones anteriores, $v_{o1,o2}$ y $i_{o1,o2}$ representan las tensiones y corrientes de salida respecto a tierra, mientras v_{out} es la tensión diferencial. En este punto se busca la dependencia de las corrientes de rama de la tensión de fuente. Con este fin, y teniendo en cuenta la simetría del circuito, la tensión de puerta fuente se asumen con igual magnitud y polaridad apuesta. i.e. $V_{gs1} = -V_{gs2}$.⁴ De esta manera la tensión de salida estaría dada por:

$$v_{out} = 2g_m R_L V_{gs2} = -2g_m R_L V_{gs1} \quad (3.18)$$

La tensión V_{gs2} esta dada por la siguiente ecuación:

$$V_{gs2} = \frac{2V_{in}}{R_s \left[2g_m + \frac{Z_{cgs} + Z_{cc}}{Z_{cgs}} \left(\frac{2}{R_s} + \frac{1}{Z_s} \right) + \frac{4}{Z_{cgs}} \right]} \quad (3.19)$$

Reemplazando la ecuación (3.19) en (3.18) y dividiendo el resultado por $2V_{in}$ se tiene la siguiente expresión para la ganancia:

$$A_v = \frac{2g_m R_L}{g_m R_s + \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right)} \quad (3.20)$$

De la ecuación anterior, el tercer término del denominador representa los elementos reactivos. Es de notar, que la selección de la impedancia Z_s de nuevo juega un rol importante. Por ejemplo, cuando se emplea un inductor la ganancia alcanzada teóricamente por la ecuación (3.20) es un poco mayor y permite que su pico máximo varíe de acuerdo con la frecuencia de resonancia, también, en altas frecuencias la ganancia presenta una caída más pausada. Por otro lado, las alternativas presentadas por el resistor y el transistor acentúan el compromiso de la ganancia y la capacitancia de entrada, por tanto, en altas frecuencias la ganancia disminuye con una rata mayor a la que presenta el circuito resonante.

⁴Debido a las variaciones aleatorias en las dimensiones de los transistores (*mismatch*), la relación $V_{gs1} = -V_{gs2}$ no se mantiene resultando en pequeñas variaciones.

En la condición de resonancia y acople de impedancia de entrada la ecuación (3.20) está dada por la siguiente expresión:

$$A_v \approx \frac{R_L}{R_s} \quad (3.21)$$

De la ecuación anterior es notorio que aumentar la resistencia de carga conlleva un aumento en la ganancia. Sin embargo, es relevante considerar que emplear resistores demasiado grandes resulta en el aumento de la caída de tensión en la carga, lo cual podría llevar a la etapa de transconductancia a triodo y, por ende, desacoplar la entrada del amplificador.

Por otro lado, cuando se considera el efecto de la modulación del canal en la ecuación (3.20), el resultado se puede expresar de la siguiente forma:

$$A_v = \frac{R_L(1 + 2g_m A r_0)}{\frac{R_s}{2} + g_m A R_s r_0 + r_0 + R_L + R_s(r_0 + R_L) \left(\frac{2}{Z_{cgs} + Z_{cc}} + \frac{1}{2Z_s} \right)} \quad (3.22)$$

La frecuencia de resonancia del denominador de (3.23) está dada por la ecuación (3.12), bajo esta condición y considerando la ecuación (3.15) como condición de acople la ganancia puede expresarse como:

$$A_v|_{\omega_0} = \frac{1 + 2g_m r_0}{2 \left(1 + \frac{r_0}{R_L} \right)} \quad (3.23)$$

De la ecuación anterior es importante estudiar la influencia de la resistencia de salida y de carga en la ganancia. Como primera medida, y teniendo en cuenta su efecto en el acople de impedancia, es útil mantener la resistencia de salida a su máximo valor. De esta manera, permitiendo mayor ganancia y buen acople. Por su parte, el aumento de la resistencia de carga también permite aumentar la ganancia, no obstante, su incremento se traduce en una impedancia de entrada mayor como se evidencia en la ecuación (3.15). En este sentido, es preferible polarizar el transistor de manera que se atenué el efecto de la modulación del canal, aumentando la resistencia de salida del transistor y por ende, la ganancia. Sin embargo, en tecnologías modernas el efecto de la modulación del canal es muy acentuado, resultando en la inviabilidad de la solución anterior [27]. De esta forma, existe un compromiso entre ganancia e impedancia de entrada.

Una alternativa para atenuar la dependencia de la impedancia de entrada de la etapa de carga y al mismo tiempo, permitir un grado de libertad en el diseño de la ganancia reside en incorporar una nueva etapa para formar un cascode [27].

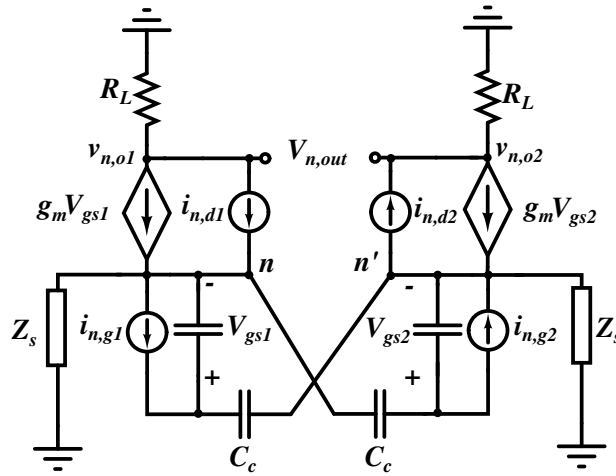


Figura 3.3: Modelo para el análisis de ruido de la topología de capacitores entrecruzados.

3.3.3. Ruido

El parámetro utilizado para cuantificar el ruido en la topología es la figura de ruido, la cual está definida como la relación señal a ruido de entrada dividida por la relación señal a ruido a la salida. No obstante, a partir de esta definición se pueden deducir expresiones equivalentes como la siguiente:

$$NF = 1 + \frac{\overline{v_{n,out}^2}}{|A_v|^2 \overline{v_{R_s}^2}} \quad (3.24)$$

Donde A_v está dada por la ecuación (3.20) y $\overline{v_{R_s}^2}$ representa el valor medio cuadrático de la fuente de ruido en la entrada.⁵ En (3.24) la figura de ruido se puede expresar como la relación entre la tensión de ruido total a la salida $\overline{v_{n,out}^2}$ y la tensión de ruido en la salida producto de la fuente de entrada.⁶ La tensión de ruido a la salida estaría dada por [27] :

$$\overline{v_{n,out}^2} = \overline{v_{n,o1}^2} + \overline{v_{n,o2}^2} \quad (3.25)$$

Donde $\overline{v_{n,o1}^2}$ y $\overline{v_{n,o2}^2}$ son los valores medios cuadráticos en los nodos de salida con referencia a tierra, mientras $\overline{v_{n,out}^2}$ es el valor medio cuadrático de la salida diferencial. Por otro lado, las tensiones de ruido a la salida pueden expresarse de la siguiente manera:

⁵Debido a la naturaleza estocástica del ruido no es posible incluir su comportamiento en el circuito como una fuente típica. En consecuencia, se deben utilizar métodos alternativos de análisis que permitan emplear técnicas básicas de circuitos. Generalmente se utiliza el valor medio cuadrático de las fuentes de ruido.

⁶En algunos textos la figura de ruido hace referencia al valor en decibels de la ecuación (3.24), mientras que esta última se denomina factor de ruido. No obstante, esta distinción no se considera en este texto.

$$\overline{v_{n,o1}^2} = R_L^2 \overline{i_{n,o1}^2} \quad (3.26)$$

$$\overline{v_{n,o2}^2} = R_L^2 \overline{i_{n,o2}^2} \quad (3.27)$$

Donde, $\overline{i_{n,o1}^2}$ e $\overline{i_{n,o2}^2}$ son las corrientes de ruido a la salida de cada rama de la arquitectura. De esta manera, para calcular la figura de ruido primero se encuentran las expresiones de la corriente de ruido a la salida, a partir de estas se halla la tensión de ruido diferencial, y finalmente los resultados son reemplazados en (3.24).

Para el análisis se utiliza la Figura 3.3 donde se muestra el equivalente a pequeña señal de la arquitectura, por simplicidad no son mostrados ni considerados la resistencia de salida del transistor y la capacitancia entre puerta y drenador. Si bien, estos elementos no son considerados los resultados obtenidos brindan de forma simplificada los compromisos entre las variables más relevantes. Con base en lo anterior es posible dimensionar y polarizar la etapa para disminuir la contribución de ruido. De otro lado, las fuentes de ruido $i_{n,d} = [\overline{i_{n,d}^2}]^{1/2}$ e $i_{n,g} = [\overline{i_{n,g}^2}]^{1/2}$ representan el ruido térmico del canal y el ruido acoplado en la puerta respectivamente, es de notar que estas dos fuentes están correlacionadas.

Es importante resaltar que el análisis de ruido se basa en la superposición de las fuentes, por lo cual, las corrientes $i_{n,o1}$ e $i_{n,o2}$ están asociadas con componentes de las fuentes de ruido intrínseco de ambos transistores. En adelante se utiliza un apóstrofo en el subíndice de la corriente de salida para indicar una componente parcial (i.e., debida a las fuentes de ruido exclusivamente de un transistor). Por otro lado, de la figura 3.3 las corrientes de salida están dadas por las siguientes expresiones:

$$i_{n,o1} = g_m V_{gs1} + i_{n,d1} \quad (3.28)$$

$$i_{n,o2} = g_m V_{gs2} - i_{n,d2} \quad (3.29)$$

Se procede a encontrar la corriente en la primera rama, con este objetivo se desarrollan las ecuaciones para hallar V_{gs1} . Considerando exclusivamente las corrientes de ruido intrínsecas del primer transistor se obtiene la siguiente expresión en el nodo n :

$$i_{n,o'} = \frac{V_n}{Z_s} + \frac{V_n - V_{n'}}{R_s} - \frac{V_{gs1}}{Z_{cgs}} - \frac{V_{gs2}}{Z_{gs}} + i_{n,g1} \quad (3.30)$$

En el nodo n' se tiene:

$$g_m V_{gs2} = \frac{V_{n'}}{z_s} + \frac{V_{n'} - V_n}{R_s} - \frac{V_{gs2}}{Z_{cgs}} + \frac{V_{gs1}}{Z_{cgs}} - i_{n,g1} \quad (3.31)$$

Restando las ecuaciones (3.31) y (3.30) se tiene la siguiente expresión:

$$g_m V_{gs2} - i_{n,o'} = \frac{V_{n'} - V_n}{z_s} + \frac{2(V_{n'} - V_n)}{R_s} - \frac{2V_{gs2}}{Z_{cgs}} + \frac{2V_{gs1}}{Z_{cgs}} - 2i_{n,g1} \quad (3.32)$$

Por otro lado, las tensiones puerta fuente están dadas de la siguiente forma:

$$V_{gs1} = (V_{n'} - V_n)A - Z_{cc}A i_{n,g1} \quad (3.33)$$

$$V_{gs2} = -(V_{n'} - V_n)A \quad (3.34)$$

Es importante notar que las ecuaciones anteriores difieren en un término, no obstante, esto no representa un error, es el resultado del análisis de superposición. Reemplazando la ecuación (3.34) en (3.32) y reagrupando la ecuación resultante como función de las tensiones de nodo y V_{gs1} se tiene:

$$-i_{n,o1'} + 2i_{n,g} = (V_{n'} - V_n) \left\{ \frac{1}{Z_s} + \frac{2}{R_s} + A \left(\frac{2}{Z_{cgs}} + g_m \right) \right\} + V_{gs1} \frac{2}{Z_{cgs}} \quad (3.35)$$

Tomando como variables V_{gs1} y $(V_{n'} - V_n)$ las ecuaciones (3.33) y (3.35) forman un sistema de ecuaciones de 2x2, el cual se soluciona para hallar V_{gs1} resultando en:

$$V_{gs1} = \frac{\left\{ \frac{1}{Z_s} + \frac{2}{R_s} + A \left(\frac{2}{Z_{cgs}} + g_m \right) + \frac{2}{Z_{cc}} \right\} Z_{cc} i_{n,g1} - i_{n,o1'}}{\left\{ \frac{1}{Z_s} + \frac{2}{R_s} + \left(\frac{2}{Z_{cgs}} + g_m \right) \right\} \frac{1}{A} + \frac{2}{Z_{cgs}}} \quad (3.36)$$

Reemplazando (3.36) en (3.28) y despejando la corriente parcial de salida en la ecuación resultante se obtiene:

$$i_{n,o1'} = \frac{\left\{ \frac{1}{Z_s} + \frac{2}{R_s} + A \left(\frac{2}{Z_{cgs}} + g_m \right) + \frac{2}{Z_{cc}} \right\} g_m Z_{cc} i_{n,g1} + \left\{ \frac{1}{Z_s A} + \frac{2}{R_s A} + \frac{4}{Z_{cgs}} + g_m \right\} i_{n,d1}}{\frac{1}{Z_s A} + \frac{2}{R_s A} + \frac{4}{Z_{cgs}} + 2g_m} \quad (3.37)$$

Realizando un procedimiento similar se resuelve la contribución de ruido de la segunda fuente en el primer nodo, lo cual está dado por la siguiente expresión:

$$i_{n,o1''} = \frac{-g_m \left\{ A \left(\frac{2}{Z_{cgs}} + g_m \right) - 2 \right\} i_{n,g2} - g_m i_{n,d2}}{\frac{1}{Z_s A} + \frac{2}{R_s A} + \frac{4}{Z_{cgs}} + 2g_m} \quad (3.38)$$

Como se menciona al principio el apóstrofo representa una contribución parcial, en la ecuación (3.38) simboliza el aporte de ruido de la segunda fuente. Combinando las ecuaciones (3.37) y (3.38) se obtiene la corriente de ruido referido a la salida en la primera rama:

$$i_{n,o1} = \frac{\left\{ \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right\} i_{n,d} + g_m \left\{ Z_{cc} + R_s \left(2 + \frac{Z_{cc}}{2Z_s} \right) \right\} i_{n,g}}{g_m R_s + \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right)} \quad (3.39)$$

En la ecuación (3.39) se asume que las corrientes de ruido $i_{n,d1}$ e $i_{n,d2}$ presentan el mismo valor medio cuadrático. Sin embargo, lo anterior es solo una estimación luego en el proceso de fabricación existen diferencias para los dispositivos diseñados como iguales, además las tensiones de polarización pueden variar su referencia afectando los parámetros que modelan el ruido. Por otro lado, la ecuación (3.39) se puede escribir como:

$$i_{n,o1} = x i_{n,d} + y i_{n,g} \quad (3.40)$$

Reemplazando el valor medio cuadrático de (3.40) en la ecuación (3.26) se tendría la siguiente expresión para la tensión de ruido en la primera rama:

$$\overline{v_{n,o1}^2} = |R_L|^2 \left(|x|^2 \overline{i_{n,d}^2} + |y|^2 \overline{i_{n,g}^2} + 2\Re\{x^* y c\} \sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}} \right) \quad (3.41)$$

Donde $c \approx -j0,395$ representa la correlación existente entre las fuentes de ruido $i_{n,g}$ e $i_{n,d}$ para transistores de canal largo [28]. Por otra parte, encontrar $\overline{v_{n,o2}^2}$ requiere repetir los pasos seguidos para hallar $\overline{v_{n,o1}^2}$ desde la ecuación (3.29) hasta (3.41), el resultado es un valor medio cuadrático igual al de esta última ecuación producto de la simetría del circuito. Por otro lado, reemplazando (3.41) en la ecuación (3.25) para $\overline{v_{n,o2}^2} = \overline{v_{n,o1}^2}$ y considerando x y y a partir de las ecuaciones (3.39) y (3.40) se obtiene el ruido diferencial de salida:

$$\begin{aligned} \overline{v_{n,out}^2} &= \frac{2R_L^2 \left| \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right|^2 \overline{i_{n,d}^2}}{\left| g_m R_s + \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right|^2} \\ &+ \frac{2R_L^2 \left| g_m \left\{ Z_{cc} + R_s \left(2 + \frac{Z_{cc}}{2Z_s} \right) \right\} \right|^2 \overline{i_{n,g}^2}}{\left| g_m R_s + \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right|^2} \\ &+ \frac{4R_L^2 \Re \left\{ \left[\frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right]^* g_m \left[Z_{cc} + \left(2 + \frac{Z_{cc}}{2Z_s} \right) \right] c \right\} \sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}}{\left| g_m R_s + \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right|^2} \end{aligned} \quad (3.42)$$

Reemplazando (3.42) y (3.20) en (3.24) se obtiene la figura de ruido en función de los valores medios cuadráticos y las impedancias de fuente de la topología:

$$NF = 1 + \frac{\left| \frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right|^2 \overline{i_{n,d}^2}}{2g_m^2 \overline{v_{R_s}^2}} + \frac{\left| g_m \left\{ Z_{cc} + R_s \left(2 + \frac{Z_{cc}}{2Z_s} \right) \right\} \right|^2 \overline{i_{n,g}^2}}{2g_m^2 \overline{v_{R_s}^2}} \quad (3.43)$$

$$+ \frac{\Re \left\{ \left[\frac{1}{A} + R_s \left(\frac{1}{2Z_s A} + \frac{2}{Z_{cgs}} \right) \right]^* g_m \left[Z_{cc} + \left(2 + \frac{Z_{cc}}{2Z_s} \right) \right] c \right\} \sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}}{g_m^2 \overline{v_{R_s}^2}} \quad (3.44)$$

Se procede a realizar las operaciones entre los corchetes con la finalidad de simplificar términos y presentar la figura de ruido como una función explícita de la frecuencia. Para tal fin, las impedancias Z_{cgs} , Z_{cc} y Z_s se asumen como reactancias, también se reemplaza el valor medio cuadrático de las fuentes de ruido. De esta manera se obtiene:

$$\begin{aligned} NF = & 1 + \left\{ \frac{1}{A^2} + R_s^2 \left(2\omega C_{gs} - \frac{1}{2\omega L_s A} \right)^2 \right\} \frac{\gamma}{2\alpha g_m R_s} \\ & + \left\{ R_s^2 \left(2 - \frac{1}{2\omega^2 L_s C_c} \right)^2 + \omega^2 C_c^2 \right\} \frac{\delta \omega^2 C_{gs}^2 \alpha}{10 R_s g_m} \\ & + \left\{ \frac{1}{A} \left(2 - \frac{1}{2\omega^2 L_s C_c} \right) + \left(2\omega C_{gs} - \frac{1}{2\omega L_s A} \right) \omega C_c \right\} \frac{|c| \omega C_{gs}}{g_m} \sqrt{\frac{\gamma \delta}{5}} \end{aligned} \quad (3.45)$$

Donde γ y δ son coeficientes que forman parte del modelo de ruido en el canal y la puerta respectivamente, por otro lado, α representa la relación entre la conductancia drenó-fuente para cero V_{ds} y la transconductancia g_m . Típicamente el valor exacto de los coeficientes anteriores es desconocido para longitud de canal corto, no obstante, se pueden aproximar a $\gamma \approx 4/3$, $\delta \approx 8/3$ y $\alpha \approx 0,8$ [28, 29].

Para entender de mejor manera el efecto de las variables de diseño y las condiciones de operación en la figura de ruido, es conveniente realizar algunas manipulaciones algebraicas. También es útil vincular algunos términos en (3.45) a la admitancia de entrada y utilizar la condición de máxima transferencia de potencia, de esta manera se tiene:

$$\begin{aligned} NF = & 1 + \frac{\gamma}{2\alpha A^2} + \Im\{Y_{in}\}^2 \frac{\gamma}{2g_m^2 \alpha} + \left(\frac{\omega}{\omega_T} \right)^2 \left\{ 4 \left(1 - \frac{\omega_0^2 A C_{gs}}{\underbrace{\omega^2 C_c}_{\Omega}} \right)^2 + \frac{\omega^2 C_c^2}{R_s^2} \right\} \frac{\delta \alpha}{10} \\ & + \left(\frac{\omega}{\omega_T} \right)^2 \left\{ 2 \left(1 - \frac{\omega_0^2 A C_{gs}}{\underbrace{\omega^2 C_c}_{\Omega}} \right) + \Im\{Y_{in}\} \omega C_c \right\} \frac{|c|}{A} \sqrt{\frac{\gamma \delta}{5}} \end{aligned} \quad (3.46)$$

En (3.46), $\Im\{Y_{in}\}$ representa la parte imaginaria de la admitancia de entrada, por su parte, ω_T es la frecuencia de ganancia unitaria del transistor. Es de notar que el segundo y tercer término son

producidos por la corriente de ruido térmico en el canal, mientras los dos últimos son resultado del ruido inducido en la puerta.

En la ecuación (3.46) es evidente que el segundo término no depende de la frecuencia, por tanto, podría representar la figura de ruido mínima de la etapa. No obstante, este piso de ruido puede variar con cada nueva generación de *MOSFETs*, las condiciones de polarización particulares del diseño y las demás fuentes de ruido térmico que no presentan una dependencia de la frecuencia (e.g., resistores de carga y resistores parásitos) [9, 27]. El tercer término presenta una ponderación similar al anterior, sin embargo, disminuye de acuerdo a la transconductancia de la etapa. De otro lado, su dependencia de la frecuencia fue relacionada con la parte imaginaria de la admitancia de entrada, por este motivo su aporte se minimiza cuando el puerto se encuentra en resonancia, sin embargo, para frecuencias apartadas de ω_0 la contribución de ruido podría ser significativa. Los dos últimos términos son tratados a la par debido a su procedencia y elementos en común. Primero es importante notar que, si bien, el término Ω hace parte de las expresiones su contribución puede despreciarse para el rango de frecuencias dentro del ancho de banda. Por otro lado, los términos restantes de grado superior podrían representar un aporte de ruido importante en las frecuencias de interés salvo si ω_T no es lo suficientemente grande. En consecuencia, es importante aumentar la frecuencia de ganancia unitaria, la cual puede aproximarse de la siguiente forma:

$$\omega_T \approx \frac{g_m}{C_{gs}} = \frac{3\mu_0(V_{gs} - V_t)}{2L^2} \quad (3.47)$$

En la ecuación (3.47) no se tuvo en cuenta la degradación de la movilidad y la capacitancia C_{gd} . Sin embargo, es posible deducir que dimensionar los transistores del par con longitud mínima y aumentar la tensión de saturación resulta en un aumento de este parámetro. En conclusión la figura de ruido de la topología de capacitores entrecruzados puede minimizar su magnitud cuando la frecuencia de ganancia unitaria incrementa, la entrada está en resonancia y la transconductancia aumenta.

Por otro lado, cuando se utiliza un resistor o transistor como dispositivo de polarización se puede mostrar, de acuerdo a la ecuación (3.46), que la figura de ruido aumenta. Cuando un resistor es utilizado no existe condición de resonancia, por tanto la figura mínima es un poco mayor y no se puede reducir en altas frecuencias, además se debe incluir el término que hace explícita su contribución al ruido. Por su parte, en un modelo simplificado y sin ruido de puerta, el transistor añade un término comparable con el de la etapa de transconductancia, lo cual, en el mejor caso duplica la figura de ruido mínima, además presenta el mismo inconveniente que el resistor en altas frecuencias.

Una vez se han revisado los términos de (3.46) e identificado como se puede minimizar la figura de ruido bajo la suposición de un acople perfecto, es importante notar que una entrada no acoplada aumenta la figura de ruido. En [9, 32] se muestran modelos que podrían predecir este efecto.

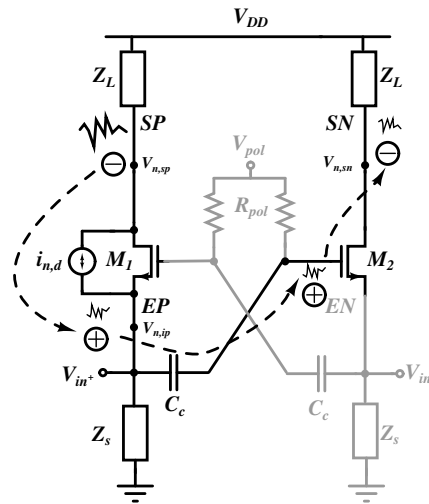


Figura 3.4: Ruido en la topología de capacitores entrecruzados.

3.3.4. Análisis intuitivo de ruido

En los párrafos anteriores se ha detallado la figura de ruido desde el punto de vista cuantitativo, a continuación se presenta una revisión cualitativa que brinda un grado de intuición en los resultados obtenidos. Realizando una comparación con una etapa diferencial de puerta común típica, la topología de capacitores entrecruzados logra menor figura de ruido, lo que podría explicarse con ayuda de la Figura 3.4. Debido a la configuración diferencial el siguiente análisis se realiza considerando la fuente de ruido del primer transistor y se asume que la otra mitad del circuito presenta un comportamiento idéntico. Con este escenario, la corriente de ruido del canal $i_{n,d}$ sigue la ruta trazada por la línea punteada, primero fluye a través de las impedancias en los nodos de salida (SP) y entrada (EP) originando dos tensiones de ruido $V_{n,sp}$ y $V_{n,ip}$ con signo opuesto. Desde el nodo EP , la tensión de ruido $V_{n,ip}$ es acoplada a la puerta de M_2 por R_{pol} y C_c y entonces amplificada por M_2 en $V_{n,sn}$. De esta manera, el ruido con la misma fase reduce la tensión de ruido diferencial a la salida y por tanto la figura de ruido.

3.3.5. Ancho de banda de entrada

Una vez se han deducido las expresiones para la impedancia de entrada, la ganancia y la figura de ruido, se procede a realizar la estimación para el ancho de banda de entrada. Este ancho de banda representa el rango de frecuencias en la cual la entrada del circuito se encuentra correctamente acoplada. Para su estudio generalmente se utiliza el coeficiente de reflexión a la entrada definido con la siguiente expresión:

$$S_{11} = \left| \frac{Z_{in} - R_s}{Z_{in} + R_s} \right| = \left| \frac{1 - R_s Y_{in}}{1 + R_s Y_{in}} \right| \quad (3.48)$$

Donde Y_{in} esta dado por (3.10). Como se menciona en el capítulo 1 un buen acople está dado para valores de S_{11} menores a $-10dB$ y bajo este criterio se desarrolla el siguiente análisis. Reemplazando (3.10), (3.14) y (3.12) en (3.48) y asumiendo Z_s de carácter inductivo se encuentra la magnitud del coeficiente de reflexión como función de la frecuencia:

$$|S_{11}| \approx \frac{1}{\sqrt{1 + \frac{2^4 \omega^2 L_s^2 A^2}{R_s^2 \left(\frac{\omega^2}{\omega_0^2} - 1 \right)^2}}} \quad (3.49)$$

Igualando el lado derecho de la ecuación (3.49) al valor en magnitud correspondiente a $-10dB$ se encuentran las frecuencias que corresponden a este valor del coeficiente de reflexión, no obstante, es útil tener las frecuencias de la ecuación (3.49) de forma general para cualquier valor de S_{11} . De esta forma, se iguala la ecuación a ϕ y se reagrupa para obtener una relación cuadrática:

$$(\omega^2)^2 - \left(2\omega_0^2 + \frac{2^4 \omega_0^4 L_s^2 A^2}{(\phi^{-2} - 1) R_s^2} \right) \omega^2 + \omega_0^2 = 0 \quad (3.50)$$

Resolviendo (3.50) para la variable ω se encuentran las frecuencias de corte:

$$\omega_{S_{11}} = \omega_0 \sqrt{1 + \frac{2^3 \omega_0^2 L_s^2 A^2}{(\phi^{-2} - 1) R_s^2} \left\{ 1 \pm \sqrt{1 + \frac{(\phi^{-2} - 1) R_s^2}{2^2 \omega_0^2 L_s^2 A^2}} \right\}} \quad (3.51)$$

Donde el ancho de banda concerniente a S_{11} está definido por la substracción de las dos frecuencias de la ecuación (3.51) resultando en:

$$BW_{S_{11}} = \frac{4\omega_0^2 L_s A}{\sqrt{(\phi^{-2} - 1) R_s}} \quad (3.52)$$

Dividiendo (3.52) por la frecuencia de resonancia se puede encontrar el ancho de banda relativo en el puerto de entrada. Por otro lado, si en (3.52) se reemplaza la ecuación (3.12) se tendría:

$$BW_{S_{11}} = \frac{A}{3C_{gs} R_s} \quad (3.53)$$

De esta manera, aumentar el ancho de banda en el puerto de entrada precisa reducir C_{gs} . Aunque esta capacitancia varía con la tensión en los terminales del transistor, para canal largo y en la región de saturación puede aproximarse a:

$$C_{gs} = \frac{2WLC_{ox}}{3} \quad (3.54)$$

De la ecuación (3.54) se puede deducir que la capacitancia puede reducirse a partir de las dimensiones del transistor, no obstante, se debe considerar que una capacitancia muy pequeña puede requerir mayor inductancia para operar en altas frecuencias con acoples mejores a $-10dB$, lo cual disminuye la relación señal a ruido de salida debido a las pérdidas del inductor.

3.3.6. Ancho de banda de salida

Frecuentemente el ancho de banda se calcula a partir de la función de transferencia del circuito con algunas manipulaciones algebraicas que permiten encontrar las frecuencias de media potencia. No obstante, cuando aumenta el número de dispositivos que almacenan energía el procedimiento resulta en complicadas ecuaciones que no permiten identificar los elementos que limitan el ancho de banda. Por lo tanto, es conveniente utilizar un método de análisis que permita abordar el diseño de una manera intuitiva, es decir, debería facilitar cómo y donde modificar el circuito para aumentar o disminuir el ancho de banda. Como ejemplo, en la literatura se encuentran los métodos de constantes de tiempo en circuito abierto (*OCT*) y constantes de tiempo en corto circuito (*CCT*). El primero es útil para encontrar la frecuencia de corte alto ω_a con la suposición de un polo dominante y la ausencia de ceros. Por su parte, *CCT* permite encontrar la frecuencia de corte bajo ω_b en el circuito. También es importante notar que ambos métodos realizan aproximaciones conservativas de la frecuencia de corte respecto a su valor en simulación, además no tienen en cuenta la existencia de polos complejos en el circuito, lo cual podría resultar en deficientes aproximaciones. Por otro lado, Hajimiri en [33] revisa estas técnicas de estimación del ancho de banda y realiza aportes a *OCT* incorporando el efecto aproximado de los ceros, además identifica la existencia de polos conjugados.⁷ Todo esto lo logra a partir del método de constantes de transferencia y tiempo (*TTC* por sus siglas en inglés). El método *TCC* permite encontrar la función de transferencia de un circuito lineal e invariante en el tiempo (*LIT*) a partir de pasos ordenados que pueden truncarse según el requerimiento de exactitud, inclusive es posible encontrar la función exacta.

Para cuantificar el efecto de los ceros en el ancho de banda, se introduce el concepto de constantes de transferencia tomado de [33]. Las constantes de transferencia son definidas como funciones de

⁷Hajimiri se refiere a los métodos *OCT* y *CCT* de forma diferente; constantes de tiempo evaluadas en cero (*ZVT*) y constantes de tiempo evaluadas en infinito (*IVT*) para hacer claridad y evitar la confusión cuando en el circuito existen inductores.

transferencia de baja frecuencia desde la entrada hasta la salida para diferentes combinaciones de circuito abierto y corto circuito de los elementos reactivos. Su notación es una letra H con superíndice que indica el elemento que está bajo estudio, esto es, el dispositivo reactivo que se lleva a su valor infinito mientras los otros están evaluados en cero.⁸ Retomando la cuantificación de ceros, estos tienen efecto en la aproximación del ancho de banda mientras las constantes de transferencia no sean nulas. Para un circuito de primer orden con el cual generalmente se estima el ancho de banda la frecuencia de corte alto estaría dada por:

$$\omega_a \approx \frac{1}{\sum_{i=1}^N \tau_i^0 \cdot \left(1 - \left| \frac{H^i}{H^0} \right| \right)} \quad (3.55)$$

Donde τ_i^0 es la constante de tiempo producto de cada capacitor o inductor multiplicada por la resistencia o conductancia vista en el puerto i manteniendo los demás dispositivos reactivos evaluados en cero (por este motivo se usa el superíndice). De modo similar, H^0 es una constante de transferencia calculada cuando todos los elementos reactivos son evaluados en cero, habitualmente coincide con la ganancia de banda plana. Desde otro punto de vista, cuando en el circuito de interés las constantes de transferencia son cero, la ecuación (3.55) se reduce al método de constantes de tiempo en circuito abierto [8]. Con base en lo anterior, una buena práctica de diseño es revisar la existencia de las constantes de transferencia, de esta manera si alguna es diferente de cero (sin considerar H^0) aplicar la ecuación (3.55) aumenta la exactitud. Sin embargo, es de notar que para algunas configuraciones no existe una diferencia significativa entre $|\tau_i^0 H^i / H^0|$ y τ_i^0 , por tanto el método de Hajimiri y el de constantes de tiempo en circuito abierto presentan valores semejantes.

Por otro lado, la frecuencia de $-3dB$ baja está dada por la siguiente relación:

$$\omega_b \approx \sum_{i=1}^N \frac{1}{\tau_i^\infty} \quad (3.56)$$

Donde τ_i^∞ es la constante de tiempo producto de cada capacitor o inductor multiplicada por la resistencia o conductancia vista en el puerto i manteniendo los demás dispositivos reactivos evaluados en infinito.

La substracción de las frecuencias de corte alto y bajo aproximadas en las ecuaciones (3.55) y

⁸ La evaluación de un capacitor e inductor en el infinito resulta en corto circuito y circuito abierto respectivamente. Por otro lado, evaluar los mismos dispositivos en cero, resulta en circuito abierto para capacitores y corto circuito para inductores.

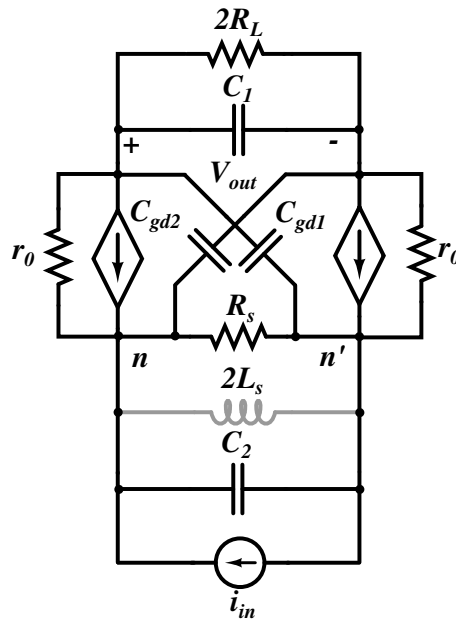


Figura 3.5: Modelo equivalente en pequeña señal para el análisis de ancho de banda.

(3.56) resulta en el ancho de banda.⁹ Sin embargo, es importante aclarar cuales dispositivos pertenecen a cada análisis. Típicamente las capacitancias intrínsecas del transistor y los inductores en serie con la resistencia de carga pertenecen a *OCT* [8]. Por su parte, las capacitancias cruzadas y de acople son analizadas con *CCT*. Por último los inductores en la fuente podrían presentar aproximaciones bastante alejadas del valor real cuando se integran en el análisis equivocado. Para evitar aproximaciones poco precisas, como instancia de decisión se consideran los límites de ganancia de cada método; ganancia cero para el método *OCT*; ganancia constante para el método *CCT*. En este sentido, aplicando el método *CCT* de manera cualitativa (sin cálculos manuales) y asumiendo Z_s como parte de los cálculos de alta frecuencia, su representación (corto circuito relativo a las frecuencia de corte bajo) no debería afectar la ganancia. No obstante, en lo anterior es evidente que los inductores de fuente llevan la ganancia a cero, por tanto, pertenecen al análisis de corte bajo.

El análisis de ancho de banda se realiza con ayuda del circuito equivalente en pequeña señal de la Figura 3.5. Este equivalente difiere un poco del utilizado en análisis anteriores, no obstante, representa el mismo circuito. Las reactancias con referencia a tierra fueron agrupadas entre los nodos de entrada y salida. Lo anterior se deduce a partir de la impedancia de Thevenin vista entre los nodos de cada reactancia. De esta manera, $C_1 = C_{db1}/2$, donde C_{db} es la capacitancia drenó-cuerpo; $C_2 = C_{gs1} +$

⁹Es importante recordar que aún cuando el ancho de banda de salida esté acotado por las frecuencias de media potencia, si no existe acople en el puerto de entrada, el ancho de banda se debe redefinir entre el rango de frecuencias que cumpla con las dos condiciones.

$C_{gs2} + C_{sb}/2$ donde C_{gs} y C_{sb} son las capacitancias puerta-fuente y fuente-substrato respectivamente. Por último $i_{in} = V_{in}/R_s$ es la corriente de Norton que modela la señal proveniente de la antena. Por otro lado, las tonalidades claras y oscuras diferencian los dispositivos analizados con *CCT* y *OCT*.

Para llevar a cabo el análisis de *OCT* que plantea Hajimiri, inicialmente se encuentran las constantes de transferencia del circuito para verificar el efecto aproximado de los ceros en el ancho de banda. Este análisis se traduce en la aplicación de las leyes básicas de circuitos. De esta manera se tiene:

$$H^0 = \frac{2R_L(1 + 2g_m r_0)}{2(r_0 + R_L) + R_s + 2g_m r_0 R_s} \quad (3.57)$$

$$H^{C_1} = 0 \quad (3.58)$$

$$H^{C_{gd1}} = \frac{2g_m R_L r_0^2}{(r_0 + 2R_L)(R_s + r_0 + g_m r_0 R_s)} = H^{C_{gd2}} \quad (3.59)$$

$$H^{C_2} = 0 \quad (3.60)$$

De las ecuaciones anteriores, es evidente que las únicas constantes de transferencia que podrían tener algún efecto en el ancho de banda están dadas por las capacitancias entre puerta y dren. En este punto se procede a calcular las constantes de tiempo, de nuevo, este análisis se resume en la aplicación de técnicas de circuitos cuyos resultados son los siguientes:

$$\tau_{C_1}^0 = \frac{C_{db} R_L (2r_0 + R_s + 2g_m r_0 R_s)}{2(r_0 + R_L) + R_s + 2g_m r_0 R_s} = \frac{C_{db} R_{C_1}^0}{2} \quad (3.61)$$

$$\tau_{C_{gd1}}^0 = \frac{C_{gd1} (r_0 + 2R_L)(R_s + r_0 + g_m r_0 R_s)}{2(r_0 + R_L) + R_s + 2g_m r_0 R_s} = C_{gd1} R_{C_{gd1}}^0 = \tau_{C_{gd2}}^0 \quad (3.62)$$

$$\tau_{C_2}^0 = \frac{2(C_{gs1} + C_{gs2} + 0,5C_{sb})(r_0 + R_L)R_s}{2(r_0 + R_L) + R_s + 2g_m r_0 R_s} = (C_{gs1} + C_{gs2} + 0,5C_{sb})R_{C_2}^0 \quad (3.63)$$

Donde $R_{C_1}^0$, $R_{C_{gd1}}^0$ y $R_{C_2}^0$ son las resistencias vistas por cada capacitor cuando los demás están evaluados en cero. De esta manera reemplazando las ecuaciones (3.57)-(3.63) en (3.55) se tiene la frecuencia de $-3dB$ alta:

$$\omega_a \approx \frac{1}{0,5C_{db}R_{C_1}^0 + 2C_{gs}R_{C_2}^0 + 0,5C_{sb}R_{C_2}^0 + 2C_{gd}R_{C_{gd}}^0 \left(1 - \frac{H^{C_{gd}}}{H^0}\right)} \quad (3.64)$$

Para el análisis de la frecuencia de corte bajo solo se considera el efecto de los inductores de fuente. De esta manera, el análisis se reduce a encontrar la constante de tiempo asociada con estos:

$$\tau_{2L_s}^\infty = \frac{2L_s \{2(r_0 + R_L) + R_s + 2g_m r_0 R_s\}}{2R_s(r_0 + R_L)} \quad (3.65)$$

$$\omega_b \approx \frac{1}{\tau_{2L_s}^\infty} \quad (3.66)$$

En las secciones anteriores fueron documentados los compromisos entre las variables de diseño para los diferentes parámetros, también a lo largo de la sección 3.3 se mostró la influencia de la modulación del canal en la impedancia y la ganancia. En estos últimos parámetros el efecto podría ser tan significativo que se hace necesario el uso de un dispositivo cascode. Con respecto a la figura de ruido, el uso de un inductor en la fuente es de mayor viabilidad pues contribuye con menor ruido respecto al uso de un resistor o transistor.

3.4. Diseño del amplificador de bajo ruido banda ancha

Con base en las expresiones de la sección 3.3 y los parámetros extraídos en el capítulo 2 se procede a diseñar el amplificador de bajo ruido banda ancha a partir de metodologías existentes en la literatura [9, 13, 27, 34]. Es importante destacar que cada estrategia de diseño desarrolla un procedimiento sistemático con el objetivo de optimizar un parámetro. Por ejemplo, la ganancia, la figura de ruido, el consumo de potencia o el ancho de banda. Debido a este tipo de procedimiento, con frecuencia los parámetros fuera de la optimización deterioran su rendimiento, lo cual es resultado de los compromisos entre las diferentes variables. Para tener claro lo anterior, en la sección 3.4.1 se documentan las consideraciones de diseño para la topología de capacitores entrecruzados. Por último, en la sección 3.4.2 se presentan algunas modificaciones realizadas a la topología.

3.4.1. Consideraciones de diseño del *LNA* de banda ancha

Las consideraciones de diseño expuestas a continuación aplican para la topología seleccionada previamente e implementada en tecnología *CMOS* (ver Figura 3.2(a)).

1. Para obtener una señal balanceada en el nodo de entrada es necesario la inclusión de un *balun* en la cadena de recepción. De otro lado, para alcanzar mayor ganancia, menor figura de ruido, y al mismo tiempo garantizar el acople en la entrada se utiliza una relación de aspecto 1-1 para este dispositivo.
2. Emplear un inductor en la fuente permite polarizar la etapa y acoplar el *LNA* para diferentes bandas de frecuencia. De esta manera, para aprovechar las ventajas antes mencionadas y disminuir el ruido añadido, es necesario que el dispositivo tenga un alto factor de calidad.
3. Existe un compromiso entre la frecuencia de resonancia ω_0 , el tamaño de los transistores del par de entrada y el valor de los inductores en la fuente.
4. Para garantizar máxima transferencia de potencia, es necesario que la impedancia diferencial de entrada del *LNA* sea igual a la impedancia del devanado secundario del *balun*. De esta manera,

y de acuerdo a la ecuación (3.13) la transconductancia de la etapa debe fijarse, lo cual limita el aumento de la ganancia y por tanto la disminución la figura de ruido.

5. Para una transconductancia de entrada constante existen varias combinaciones de V_{gs} y W , por lo tanto existen varias corrientes de dreno y geometrías del transistor. A su vez, las corrientes y geometrías resultan en diferentes consumos de potencia y capacitores parásitos. De esta manera, cuando se diseña para bajo consumo de potencia el ancho del transistor podría introducir capacitancias que limiten el ancho de banda (ecuaciones (3.53) y (3.64)). Por otro lado, seleccionar W para minimizar las capacitancias podría representar un alto consumo de potencia.
6. La modulación del canal afecta la impedancia de entrada y la ganancia de la etapa como se muestra en las ecuaciones (3.15) y (3.23). De esta manera, incrementar la ganancia a partir del resistor de carga podría resultar en malos acoples y ganancia insuficiente mientras los transistores permanecen en saturación.
7. La figura de ruido disminuye cuando la etapa de entrada está en resonancia, la transconductancia aumenta y cuando la frecuencia de ganancia unitaria es grande. De esta manera, seleccionar la longitud de canal mínima de la tecnología resulta útil para aumentar ω_T . Este parámetro también puede incrementar con altos valores de $V_{ov} = V_{gs} - V_t$, no obstante, esto aumenta el consumo de potencia.
8. Los anchos de banda de entrada y salida se ven afectados por las capacitancias parásitas del LNA. Por su parte, el ancho de banda de entrada reduce su rango de frecuencias de acuerdo al incremento de C_{gs} . Por otro lado, el ancho de banda de salida se ve afectado mayormente por la constante de tiempo de C_{gd} .

3.4.2. Modificaciones de la topología

En la sección anterior el ítem 6 puede presentar serios retos de diseño debido a que compromete parámetros de rendimiento como la ganancia, el acople de impedancia, la figura de ruido y el aislamiento inverso de puertos S_{12} . De esta manera, para aliviar los compromisos que implica este ítem, se proponen dos modificaciones a la topología. La primera es la inclusión de una etapa cascodo para mejorar el acople de impedancia, mientras la segunda es la implementación de la técnica de *current bleeding* que incorpora dos transistores *PMOS* con el fin de brindar mayor grado de libertad en el diseño y garantizar una ganancia adecuada. En la Figura 3.6 se muestra la topología final de diseño de este trabajo, donde los transistores $M_1 - M_3$ y $M_2 - M_4$ conforman las etapas cascodo, mientras M_5 y M_6 pertenecen a la técnica de *current bleeding*. Por otro lado, los transistores $M_7 - M_9$ y al tensión V_{pol}

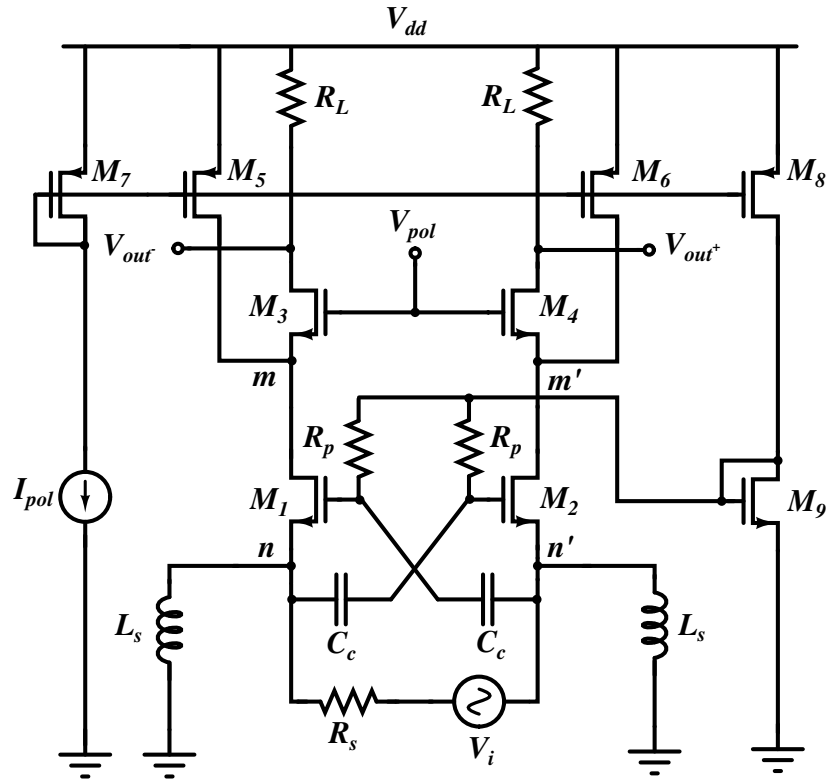


Figura 3.6: Topología final del amplificador de bajo ruido banda ancha.

permiten polarizar la etapa. Por último, es de notar que las modificaciones utilizadas están basadas en procedimientos encontrados en la literatura [27, 35].

Antes de continuar con la explicación de las modificaciones es útil realizar un breve análisis *DC* que permita dilucidar los rangos de tensión para la saturación de los transistores. Este análisis también sirve de fundamento para comprender la utilización de la técnica de *current bleeding*. De esta manera, se tendría:

$$V_{b1} \leq V_{dd} + V_{th1} - \Delta V - V_{gs3} \quad (3.67)$$

$$I_{d3}R_L \leq V_{th3} + \Delta V \quad (3.68)$$

$$V_{b5} \geq V_{dd} - \Delta V - V_{gs3} - |V_{thp}| \quad (3.69)$$

Donde V_{b1} y V_{b5} son las tensiones de polarización controladas por la fuente de corriente I_{pol} , mientras ΔV es la diferencia entre V_{dd} y V_{b3} . Dependiendo del valor de esta última variable se pueden aliviar los requerimientos de tensión de saturación para M_3 y M_5 , no obstante, se podría disminuir la tensión drenó-fuente de M_1 . A continuación se explican el par de modificaciones hechas y se muestra su efecto sobre los diferentes parámetros de desempeño del *LNA*.

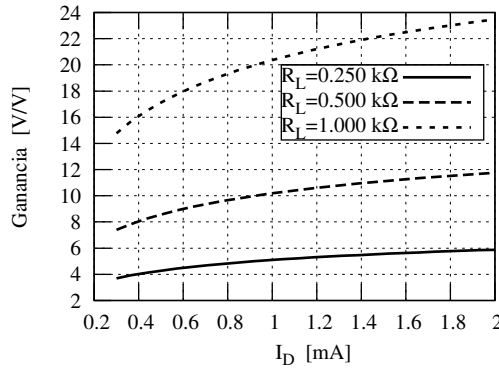


Figura 3.7: Variación de la ganancia de tensión respecto a la corriente de drenador.

Como se menciona en la sección 3.3.2 un dispositivo cascode puede utilizarse para disminuir la influencia del puerto de salida sobre el puerto de entrada permitiendo un mejor acople. Para aproximar el efecto del cascode en la impedancia de entrada, se utiliza e la resistencia vista hacia arriba entre los nodos m y m' esta dada por:

$$R_{m-m'} = \frac{R_L + r_{03}}{1 + g_{m3}r_{03}} \quad (3.70)$$

Donde g_{m3} y r_{03} son la transconductancia y resistencia de salida del transistor M_3 .¹⁰ Teniendo en cuenta que $R_{m-m'}$ representa a R_L en la ecuación (3.15) se procede a reemplazar (3.70) en esta, también se asume que el producto entre la transconductancia y la resistencia de salida de los transistores M_1 - M_4 es mucho mayor a la unidad. De esta manera se tiene:

$$R_{in} \approx \frac{1}{g_{m1}} + \frac{R_L}{g_{m1}r_{01}g_{m3}r_{03}} + \frac{1}{g_{m1}g_{m3}r_{01}} \quad (3.71)$$

Es evidente en la ecuación (3.71) que el resistor de carga es dividido por el producto de dos ganancias intrínsecas, y por tanto disminuye su contribución en la entrada. El último término también disminuye dependiendo de la magnitud de g_{m1} , g_{m3} y r_{01} .

La técnica de *current bleeding* permite un camino alternativo para la corriente de la etapa de transconductancia con ayuda de los transistores M_5 y M_6 que actúan como fuentes de corriente. Lo anterior se traduce en incrementar la ganancia por medio del resistor de carga sin que la etapa cascode entre en triodo. Esto se puede comprender con la ayuda de la Figura 3.7 donde se presenta la variación de la ganancia respecto a la corriente de drenador para diferentes valores del resistor de carga. De

¹⁰Debido a la simetría del circuito en la ecuación (3.70) se puede utilizar indiferentemente la transconductancia y resistencia de salida de los transistores M_3 y M_4 .

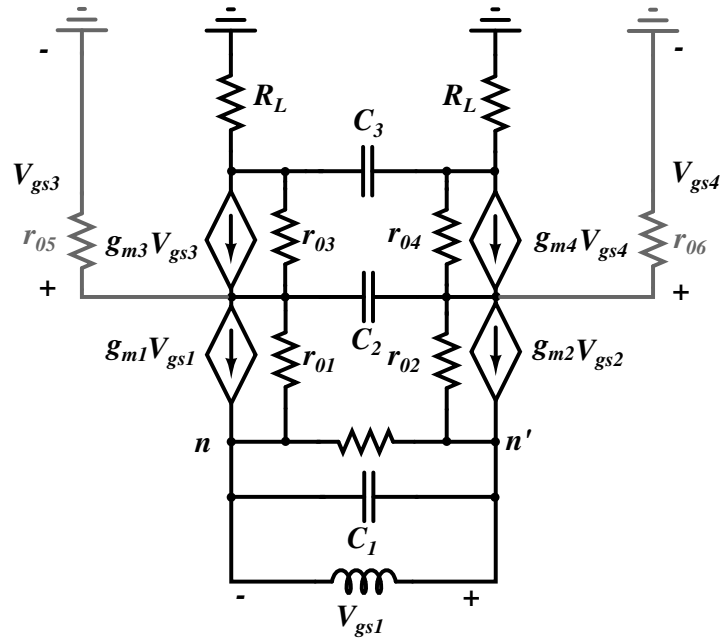


Figura 3.8: Modelo equivalente en pequeña señal de la topología modificada.

acuerdo a la gráfica para una corriente de 1 mA y $\Delta V = 0$ la ganancia máxima sería de 10 V/V sin utilizar *current bleeding* y manteniendo M_3 en saturación según la ecuación (3.68). Sin embargo, si la corriente de M_3 fuera ψ veces la de M_1 se alcanzaría mayor ganancia, por ejemplo, para $\psi = 0,4$ teóricamente se tendrían 16 V/V con un resistor de $1 \text{ K}\Omega$. Por otro lado, es útil dejar un margen de tensión entre $I_{d3}R_L$ y V_t para evitar que el transistor llegue a triodo a causa de las variaciones del proceso. De otro lado, el drenador de los transistores M_5 y M_6 podría conectarse directamente en el nodo de salida presentando ventajas similares a las mencionadas, no obstante al mismo tiempo se añadirían capacitancias parásitas al nodo que presenta mayor resistencia resultando en la reducción del ancho de banda.

En párrafos anteriores se explicaron las modificaciones a la topología, se documentó el efecto en la impedancia de entrada y se mostró brevemente como podría mejorar la ganancia. En consecuencia, y considerando el nuevo circuito, las expresiones de ganancia, ancho de banda y figura de ruido deberían ser modificadas para de esta forma dilucidar nuevos compromisos ente las variables de diseño y los parámetros de rendimiento. Para tal fin, se utiliza el equivalente a pequeña señal en la Figura 3.8. Por medio de un análisis AC se encontró la siguiente expresión para la ganancia:

$$A_v = \frac{2R_L(2g_{m1}r_{01} + 1)(g_{m3}r_{03} + 1)}{R_s(2g_{m1}r_{01} + 1)(g_{m3}r_{03} + 1) + 2C[(g_{m3}r_{03} + 1)r_{01} + r_{03} + R_L]} \quad (3.72)$$

con,

$$C = \left[1 + R_s \left(\frac{2}{Z_{cgs}} + \frac{1}{2Z_s} \right) \right] \quad (3.73)$$

En la ecuación (3.72) no se tuvieron en cuenta C_2 , C_3 y las resistencias de salida de las fuentes de corriente. También es importante notar que la frecuencia de resonancia se mantiene de acuerdo a la ecuación (3.12). De otro lado, en el análisis de ancho de banda la única constante de transferencia que lo afecta es $H^{C_{gd}}$, la cual se expresa de la siguiente forma:

$$H^{C_{gd}} = \frac{2R_L g_{m1} r_{01}^2 (g_{m3} r_{03} + 1)}{[R_s (g_{m1} r_{01} + 1) + r_{01}] [(g_{m3} r_{03} + 1) r_{01} + 2(r_{03} + R_L)]} \quad (3.74)$$

De esta manera se obtiene:

$$\tau_{C_1}^0 = \frac{2R_s [(g_{m3} r_{03} + 1) r_{01} + r_{03} + R_L] C_1}{R_s (2g_{m1} r_{01} + 1) (g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1) r_{01} + r_{03} + R_L]} \quad (3.75)$$

$$\tau_{C_2}^0 = \frac{4r_{01} (r_{03} + R_L) C_2}{R_s (2g_{m1} r_{01} + 1) (g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1) r_{01} + r_{03} + R_L]} \quad (3.76)$$

$$\tau_{C_3}^0 = \frac{2R_L \{R_s (2g_{m1} r_{01} + 1) (g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1) r_{01} + 1]\} C_3}{R_s (2g_{m1} r_{01} + 1) (g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1) r_{01} + r_{03} + R_L]} \quad (3.77)$$

$$\tau_{C_{gd}}^0 = \frac{[R_s (g_{m1} r_{01} + 1) + r_{01}] [(g_{m3} r_{03} + 1) r_{01} + 2(r_{03} + R_L)] C_{gd}}{R_s (2g_{m1} r_{01} + 1) (g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1) r_{01} + r_{03} + R_L]} \quad (3.78)$$

En donde,

$$C_1 = C_{gs1} + C_{gs2} + \frac{C_{sb}}{2} \quad (3.79)$$

$$C_2 = \frac{C_{db1} + C_{sb3} + C_{gs3} + C_{gd5} + C_{db5}}{2} \quad (3.80)$$

$$C_3 = \frac{C_{gd3} + C_{db3}}{2} \quad (3.81)$$

Entonces el ancho de banda de corte alto resulta en:

$$\omega_a \approx \frac{1}{\tau_{C_1}^0 + \tau_{C_2}^0 + \tau_{C_3}^0 + 2\tau_{C_{gd}}^0 \left(1 - \frac{H^{C_{gd}}}{H^0} \right)} \quad (3.82)$$

Donde H^0 está dado por la ecuación (3.72) para $C = 1$. Realizando una comparación entre las ecuaciones (3.64) y (3.82), es evidente que esta última incorpora una nueva constante de tiempo escalada por las capacitancias parásitas de la fuente de corriente. En consecuencia, para evitar el deterioro del ancho de banda, los transistores de *current bleeding* se deberían polarizar con el mayor

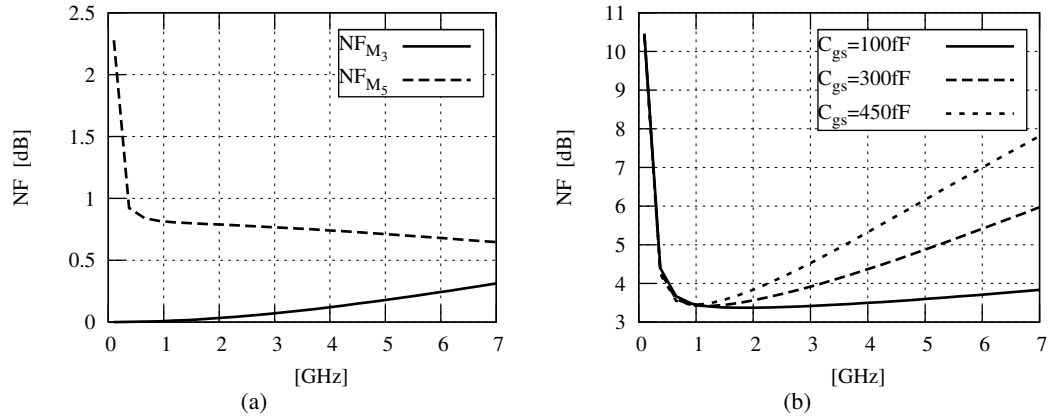


Figura 3.9: Figura de ruido de la topología. (a) Contribuciones de M_3 y M_5 ; (b) Variación con respecto a la capacitancia de M_1 .

V_{sg} y mantenerse en saturación. Por otro lado, la frecuencia de corte bajo obedece a la siguiente expresión:

$$\omega_b \approx \frac{1}{\tau_{2L_s}^\infty} \quad (3.83)$$

con,

$$\tau_{2L_s}^\infty = \frac{4L_s R_s [(g_{m3} r_{03} + 1)r_{01} + r_{03} + R_L]}{R_s (2g_{m1} r_{01} + 1)(g_{m3} r_{03} + 1) + 2[(g_{m3} r_{03} + 1)r_{01} + r_{03} + R_L]} \quad (3.84)$$

Por otro lado, el análisis de ruido se realizó utilizando únicamente las fuentes de ruido del canal de M_3 y M_5 . La expresión resultante es la siguiente:

$$NF_{M_3, M_5} = 1 + \frac{\omega^2 C_2^2 \gamma_3 g_{m3} \left\{ (1 + g_{m1} R_s)^2 + R_s^2 \left(2\omega C_{gs1} - \frac{1}{2\omega L_s} \right)^2 \right\}}{2\alpha g_{m1}^2 R_s (\omega^2 C_2^2 + g_{m3}^2)} + \frac{\gamma_5 g_{m3}^2 g_{m5} \left\{ (1 + g_{m1} R_s)^2 + R_s^2 \left(2\omega C_{gs1} - \frac{1}{2\omega L_s} \right)^2 \right\}}{2\alpha g_{m1}^2 R_s (\omega^2 C_2^2 + g_{m3}^2)} \quad (3.85)$$

Donde el segundo y tercer término representan las contribuciones de M_3 y M_5 respectivamente. En (3.85) disminuir C_2 contribuye con la reducción de ruido en la etapa. Lo anterior está de acuerdo con la condición presentada para el ancho de banda, en este sentido es posible disminuir la contribución de ruido y no deteriorar el ancho de banda.

En la Figura 3.9(a) se presenta la figura de ruido de los transistores M_3 y M_5 donde es claro que la contribución de M_5 podría ser considerable, mientras la de M_3 es mínima. No obstante, debe

Especificación	Valor
Fuente de alimentación (V_{dd})	1,8 V
Consumo de potencia	$\leq 10 \text{ mW}$
Figura de ruido	$< 3,5 \text{ dB}$
Ancho de banda	$\geq 1 \text{ GHz}$
Ganancia de tensión	$\geq 18 \text{ dB}$
Aislamiento inverso (S_{12})	$< -30 \text{ dB}$
Coefficiente de reflexión a la entrada (S_{11})	$\leq -10 \text{ dB}$

Tabla 3.1: Especificaciones de diseño para el LNA.

agregarse el ruido inducido en la puerta por lo cual el aporte de ambos podría ser mayor. De otro lado, en la Figura 3.9(b) se muestra la variación de NF total de la etapa con la capacitancia C_{gs1} , se observa el incremento de la figura de ruido a la par con la capacitancia, por lo cual esta debería reducirse para mejorar NF en altas frecuencias con respecto a ω_0 . Por otro lado, para C_{gs1} mínima se observa un comportamiento aproximadamente plano de la figura de ruido de acuerdo a lo estudiado en la secciones y capítulos anteriores.

3.4.3. Estrategia y diseño del LNA de banda ancha

La estrategia de diseño planteada es presentada mediante una serie de pasos que se espera permitan alcanzar las especificaciones de diseño. En general los pasos a seguir se basan en gráficos que muestran la influencia de las variables de diseño sobre los parámetros de rendimiento. Las variables de diseño consideradas incluyen: las corrientes de dreno, la geometría (ancho y largo), la transconductancia y tensiones de polarización de los transistores $M_1 - M_6$. En la Figura 3.13 se muestra un resumen de la estrategia de diseño enumerada a continuación:

1. *Plantear las especificaciones de diseño del LNA.*

Las especificaciones de diseño para los parámetros estudiados en el capítulo 3 son mostradas en la tabla 3.1, los valores en la tabla fueron seleccionadas de acuerdo a los parámetros de rendimiento encontrados en el estado del arte del capítulo 1.

2. *Seleccionar la longitud de canal para los transistores $M_1 - M_6$.*

Para incrementar la frecuencia de ganancia unitaria y reducir el ruido en altas frecuencias, se adopta la longitud mínima permitida por el proceso para los transistores $M_1 - M_4$, esto es,

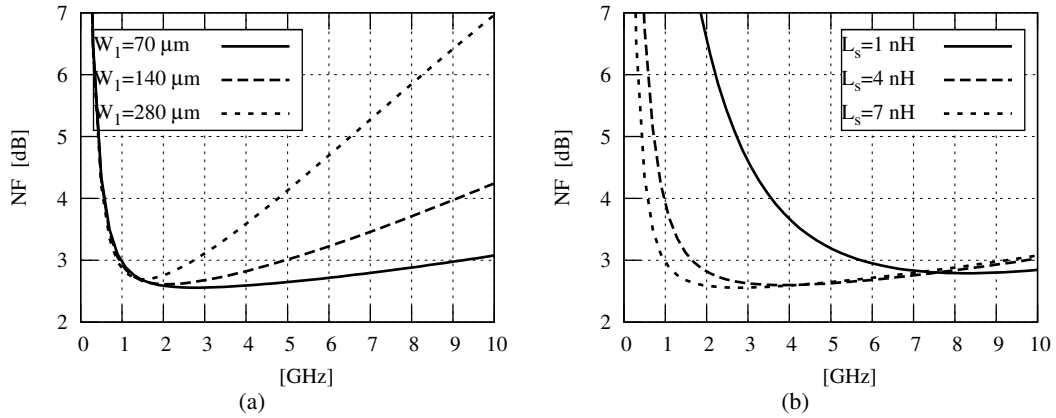


Figura 3.10: Variación de la figura de ruido. (a) con el ancho de M_1 y $L_s = 7\text{nH}$; (b) con la inductancia de fuente y $W = 70\mu\text{m}$.

$L = L_{min} = 0,18 \mu\text{m}$. Por otro lado, considerando los transistores M_5 y M_6 como fuentes de corriente, se adopta $L = 3L_{min}$ para atenuar el efecto de la modulación del canal y no introducir capacitancias parásitas demasiado grandes en el circuito.

3. Encontrar la corriente máxima de los transistores M_1 y M_2 de acuerdo al consumo de potencia planteado.

La estrategia presenta algunos de los parámetros de rendimiento en función de la corriente de drenó, por este motivo es conveniente encontrar la corriente máxima que permite cumplir con las especificaciones de tensión y consumo de potencia. El cálculo de esta corriente se realiza por medio de la siguiente expresión:

$$P_d \approx (I_{d1} + I_{d2})V_{dd} = 2I_dV_{dd} \quad (3.86)$$

Donde se asume que las corrientes de drenador son iguales. Despejando I_d de (3.86) y de acuerdo a los valores máximos de V_{dd} y P_d en la tabla 3.1 se obtiene una corriente máxima aproximada de 2,8 mA.

4. Identificar el efecto de W_1 , W_2 y la inductancia de fuente en la figura de ruido y el ancho de banda de entrada.

En la Figura 3.10(a) es claro que el incremento del ancho del transistor deteriora la figura de ruido. También es claro que para valores mayores a 280 μm el ruido podría ser tan elevado que

difícilmente se cumpliría con la especificación de la tabla 3.1. Por otro lado, en la Figura 3.10(b) se muestra el cambio de la frecuencia de ruido mínima para diferentes inductancias. Debido a este comportamiento se puede deducir que la elección de la inductancia está unida a la banda de frecuencias que se quiera amplificar, también es importante notar que el ruido inducido en la puerta afecta la frecuencia de ruido mínima conforme aumenta la frecuencia.

De otro lado, los anchos utilizados en la Figura 3.10(a) fueron reemplazados en las ecuaciones (3.53) y (3.54) dando como resultado un ancho de banda de entrada mínimo de 4 GHz, lo cual indica que la selección del ancho depende fuertemente del ruido añadido y no afecta considerablemente el ancho de banda de entrada.

5. *Acotar el campo de diseño del ancho y la tensión de polarización de M_1 y M_2 a partir de una corriente de drenador. En conjunto las corrientes, los anchos y la tensión de polarización deben mantener el acople de impedancia en la entrada.*

Como se mostró en la sección 3.3.1 la impedancia de entrada del LNA es inversamente proporcional a la transconductancia de puerta y cuerpo de M_1 y M_2 . En este sentido el efecto cuerpo disminuye la impedancia de entrada, no obstante, su efecto no es muy significativo y puede despreciarse. En adelante se asume una transconductancia de 20 mS para acoplar correctamente la etapa.

El ancho de los transistores y la tensión de polarización de los mismos tienen que garantizar una transconductancia de 20mS de acuerdo a lo planteado en el párrafo anterior, además la corriente de polarización no debe superar los 2,8mA. De esta manera, para agrupar todos los requerimientos anteriores es útil trazar una gráfica que involucre la transconductancia en función de la corriente. Esta se construye a partir de las siguientes ecuaciones:

$$I_d = \frac{0,5\mu_0 C_{ox} W/L (V_{gs1} - V_t)^2}{1 + \theta' (V_{gs1} - V_t)} \quad (3.87)$$

$$g_{m1} = \frac{\partial I_d}{\partial V_{gs1}} = \frac{0,5\mu_0 C_{ox} W/L \{2(V_{gs1} - V_t) + \theta' (V_{gs1} - V_t)^2\}}{\{1 + \theta' (V_{gs1} - V_t)\}^2} \quad (3.88)$$

con,

$$\theta' = \frac{\mu_0}{2v_{sat}} + \theta \quad (3.89)$$

Donde v_{sat} es la velocidad de saturación de los portadores. En la Figura 3.11(a) se muestra el resultado del procedimiento anterior para un ancho inicial de $W_0 = 70\mu m$ que no degrada demasiado la figura de ruido y permite mayor ancho de banda en la entrada. En la gráfica

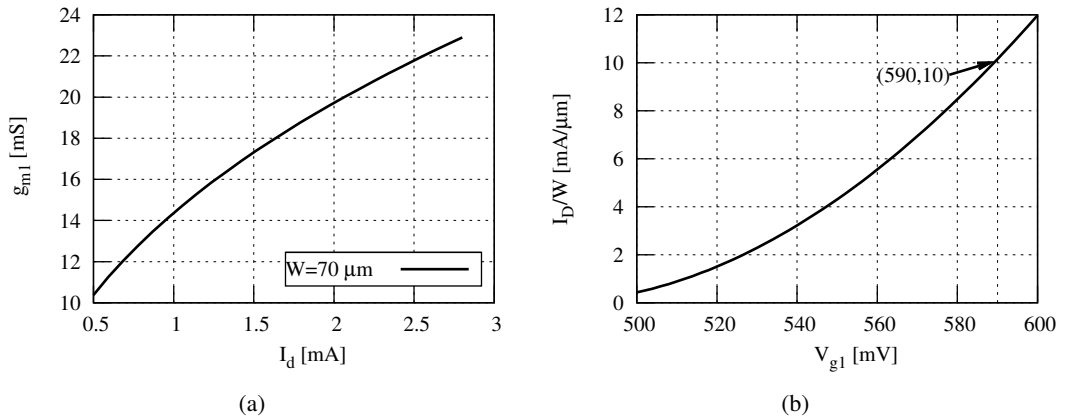


Figura 3.11: (a) Transconductancia contra corriente de dreno; (b) I_D/W contra V_{g1} .

multiplicar la corriente y el ancho por una constante (κ) resulta en el incremento de la transconductancia por la misma cantidad. De esta manera, para una corriente inicial de $I_{D0} = 0,7 \text{ mA}$ se obtiene un ancho de $W = 112,903 \mu\text{m}$ e $I_D = 1,129 \text{ mA}$. No obstante, los resultados anteriores brindan una aproximación dependiente de los parámetros extraídos en el capítulo 2. Por otro lado, en la Figura 3.11(b) se ilustra la relación entre la corriente y el ancho con la tensión de polarización, donde la etiqueta hace referencia a la tensión V_{gs1} ($V_s \approx 0$) que polariza la etapa.

6. Estimar la ganancia, la corriente de bleeding y el resistor de carga a partir de la corriente de la etapa de transconductancia. También estimar el valor de W_3 con base en su efecto sobre la ganancia y el acople en la salida.

Con base en el valor de corriente obtenido para M_1 se necesita una resistencia de aproximadamente 500Ω para alcanzar la especificación de ganancia, sin embargo, para este valor de resistencia el transistor está en triodo. Sobrepasar este inconveniente y al mismo tiempo alcanzar mayor ganancia se consigue aumentando el resistor de carga y dividiendo la corriente de M_1 entre M_3 y M_5 . La realización de lo anterior se observa en la Figura 3.12 donde se utiliza un resistor de 1100Ω para una ganancia de aproximadamente 24 dB . Con este escenario la corriente del transistor M_5 sería $I_{D5} = 0,753 \text{ mA}$ mientras la corriente de M_3 sería $I_{D3} = 0,376 \text{ mA}$. Por último, es importante notar que la ganancia de la etapa varía muy poco con W_3 por lo cual esta variable se optimiza para incluir menores capacitancias parásitas y permitir mejor acople en puerto de salida, siendo seleccionado $W_3 = (1/6)W_1$.

Remplazando la corriente de M_3 y la resistencia de carga en la ecuación (3.68) resulta en aproximadamente 56 mV de diferencia entre las regiones de triodo y saturación para $\Delta V = 0$. De

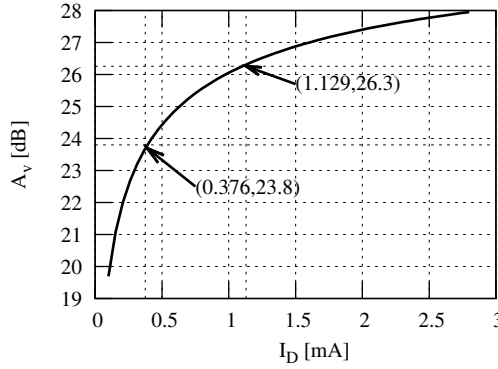


Figura 3.12: Variación de la ganancia respecto a la corriente.

esta manera para incrementar la robustez del circuito ante las variaciones del proceso, la temperatura y la tensión de alimentación se utiliza $\Delta V \neq 0$. No obstante, este cambio disminuye la tensión dreno-fuente del transistor M_1 como se muestra en la siguiente ecuación:

$$V_{DS1} = V_{dd} - \Delta V - V_{t3} - \sqrt{\frac{2I_{D3}}{\mu_0 C_{OX} \frac{W_3}{L}}} \quad (3.90)$$

Donde a partir del modelo de primer orden se muestra la dependencia simplificada entre V_{DS1} y ΔV . La ecuación (3.90) puede escribirse en términos de V_{gs1} de la siguiente forma:

$$V_{DS1} = V_{dd} - \Delta V - V_{t3} - (V_{gs1} - V_{t1}) \sqrt{\frac{\psi W_1}{W_3}} \quad (3.91)$$

De esta manera es claro que al igual que ΔV el aumento de V_{gs1} disminuye V_{DS1} , no obstante, para la tensión de polarización de M_1 el valor aproximado de V_{DS} sería de 1,16 V permitiendo una variación de 1,04 V antes de que M_1 entre en triodo. De esta manera, un valor para ΔV de aproximadamente 0,3 V no compromete fuertemente la condición de saturación de M_1 y permite las ventajas anteriormente mencionadas. Además de acuerdo a la ecuación (3.69) la disminución de V_{DS1} permite a M_5 polarizar con un menor V_{b5} lo que se traduce en menores capacitancias parásitas.

7. Aproximar los anchos de M_5 y M_6 a partir de la corriente I_{D5}

Una vez seleccionada la corriente de M_5 que garantiza una ganancia adecuada se procede a dimensionar este transistor. Asumiendo que la movilidad del transistor $pMOS$ es aproximadamente tres veces menor que la del transistor $nMOS$ y que el parámetro θ es igual, se modifica

Parámetros	V_{b1}	V_{b3}	V_{b5}	W_1	W_3	W_5	L_s	C_c	R_L
Valor	0,56 V	1,5 V	0,86 V	144 μm	24 μm	80 μm	4 nH	10 pF	1,1 k Ω

Tabla 3.2: Resumen de los resultados obtenidos para las tensiones de polarización, anchos de los transistores, inductancias, capacitancias y resistencias en el circuito.

la ecuación (3.87) para que considere las tensiones fuente-puerta y umbral de un dispositivo $pMOS$. La tensión fuente-puerta está dada por $V_{dd} - V_{b5}$ donde V_{b5} se selecciona de modo que el transistor M_5 esté en saturación para una tensión V_{DS1} de aproximadamente 0,86 V (teniendo en cuenta ΔV), con base en lo anterior se tiene $V_{b5} = 1 V$ y $W_5 = 36,3 \mu m$. Finalmente, es necesario comentar que W_5 es muy sensible a los cambios en V_{sg} .

8. Aproximar el ancho de banda del LNA

Las ecuaciones (3.82), (3.83) y (3.51) permiten estimar el ancho de banda considerando el acople en la entrada. El resultado de utilizar las tensiones de polarización, anchos del transistor y parámetros deducidos en los pasos anteriores y el capítulo 2 permitió estimar un ancho de banda de 3,63 GHz. Donde la frecuencia de corte alto y bajo son 4,9 GHz y 1,2 GHz respectivamente. Por su parte, el método OCT estimó un ancho de banda de 76,1 MHz lo que muestra la utilidad del método de Hajimiri en cuanto a la estimación del ancho de banda (teniendo en cuenta los resultados de simulación). Por último, es de notar que en ninguno de los métodos utilizados se consideraron las capacitancias C_{sb} y C_{db} .

9. Seleccionar W_1 - W_6 , V_{b1} - V_{b5} , L_s , R_L y C_c

En la tabla 3.2 se muestra el resumen de los valores que permiten dimensionar y polarizar el circuito. Los valores presentados en la tabla se obtuvieron después de algunas simulaciones con base en el diseño preliminar de los pasos anteriores. La diferencia entre los resultados finales y preliminares es debida a la utilización de aproximaciones y a la poca viabilidad de incluir todos los efectos de canal corto. Por otro lado, para no deteriorar la señal de entrada el resistor para polarizar M_1 y M_2 se seleccionó de 12 k Ω .

En este capítulo se obtuvieron las expresiones matemáticas de algunos de los parámetros más relevantes para diseñar un amplificador de bajo ruido. Con base en estas expresiones se plantearon varias consideraciones de diseño, se generó una nueva topología y finalmente se desarrolló una estrategia para diseñar el amplificador. La estrategia planteada permite a partir de la corriente de los transistores de entrada diseñar completamente la etapa manteniendo el ruido al mínimo.

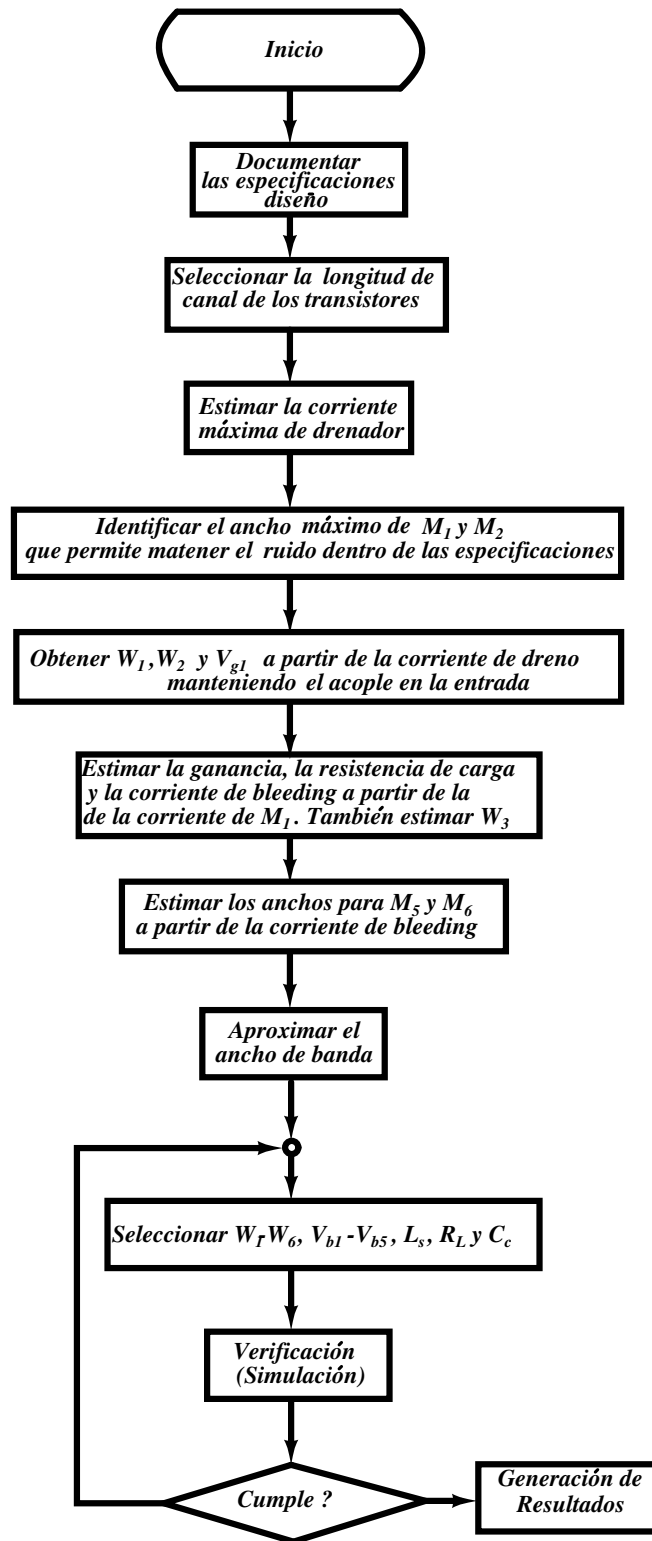


Figura 3.13: Pasos para el diseño del LNA de banda ancha.

Capítulo 4

Resultados

En el presente capítulo se presentan los principales resultados de simulación obtenidos para la topología seleccionada previamente en conjunto con las modificaciones propuestas en el capítulo anterior. Como parte de los resultados se incluyen los análisis de esquinas y monte Carlo. El primero permite simular los peores casos de los dispositivos ofrecidos por la tecnología. Por su parte, el segundo realiza una variación aleatoria de algunos de los parámetros de los dispositivos y analiza el efecto del *mismatch*. Finalmente son formuladas las conclusiones, observaciones y recomendaciones para trabajos futuros.

4.1. Resultados de simulación

En base a las simulaciones realizadas al circuito diseñado, en la tabla 4.1 se reportan los principales parámetros de desempeño que son el ancho de banda, los parámetros S , la figura de ruido, el consumo de potencia y la linealidad. El comportamiento de algunos de estos parámetros con respecto a la frecuencia se muestra en la Figura 4.1. De los parámetros S se ilustran la ganancia de potencia (S_{21}) y el coeficiente de reflexión en la entrada (S_{11}). La primera en la Figura 4.1(a) alcanza una ganancia máxima en la banda de 9 dB, mientras la segunda en la Figura 4.1(b) indica un acople adecuado para todo el ancho de banda del LNA presentando su mejor rendimiento en 1,71 GHz con $-20,91$ dB. De otro lado, la figura de ruido en 4.1(c) presenta un comportamiento bastante plano en la banda, con un mínimo de 2,4 dB y un máximo de 3,5 dB. Por último, la linealidad se revisó con base en los puntos de intercepción de segundo y tercer orden aplicando la técnica clásica de dos tonos separados 1 MHz en la señal de entrada. En la Figura 4.1(d) se muestra la tendencia de estos puntos con la frecuencia, cabe resaltar que en total se midieron nueve puntos con sus respectivos productos de intermodulación dentro de la banda de interés. Los resultados fueron: un valor máximo de $+7,58$ dBm y un valor mínimo de $+0,35$ dBm para el punto de intercepción de tercer orden $IIP3$, mientras un máximo de

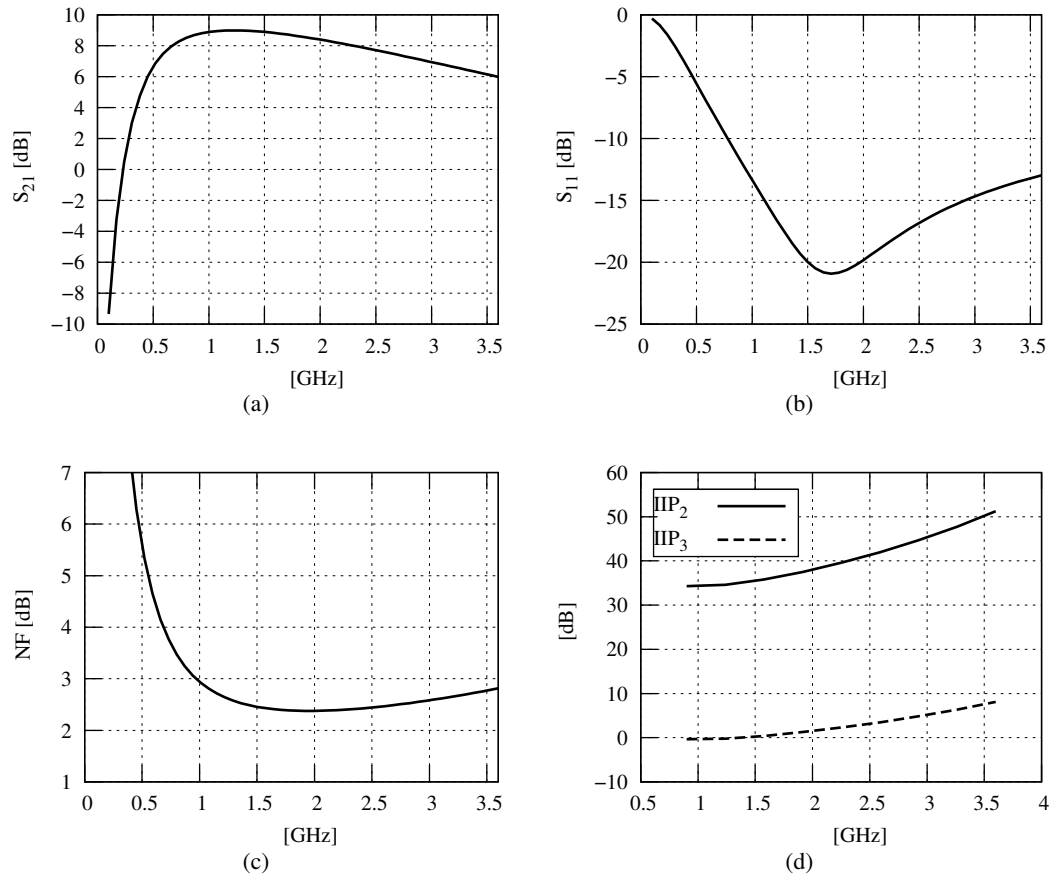


Figura 4.1: Resultados de Simulación: (a) ganancia de potencia; (b) coeficiente de reflexión en la entrada; (c) ganancia de tensión; (d) figura de ruido.

+50,16 dBm y un mínimo de +34,29 dBm para el punto de intercepción de segundo orden IIP_2 .

Como indicador de aislamiento entre los puertos de entrada y salida se evaluó el coeficiente de aislamiento inverso (S_{12}), presentando un valor máximo de $-47,3$ dB . De otro lado, para evaluar el acople en el puerto de salida el parámetro S_{22} mostró valores menores a -9 dB para todo el ancho de banda.

4.2. Análisis monte Carlo

Los modelos de los dispositivos incluyen una distribución estadística que representa las variaciones del proceso y el *mismatch*. El análisis de monte Carlo permite realizar un determinado número de combinaciones aleatorias de algunos parámetros del proceso, lo que permite observar diferentes escenarios que pueden presentarse debido a variaciones en el proceso de fabricación. En la industria, el análisis de monte Carlo es usado para garantizar que un número determinado de piezas fabricadas

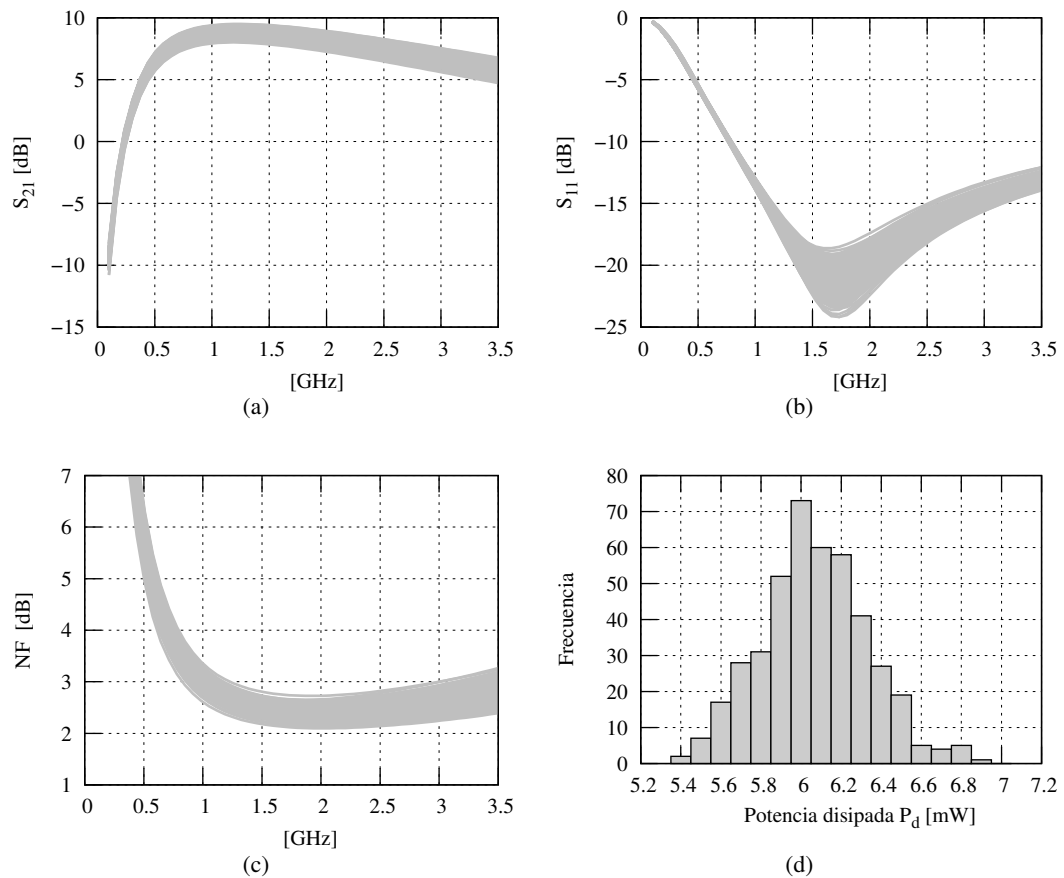


Figura 4.2: Resultados del análisis de monte Carlo para 430 iteraciones: (a) ganancia de potencia; (b) coeficiente de reflexión en la entrada; (c) figura de ruido; (d) histograma de potencia disipada.

cumple con las especificaciones requeridas. Por lo general se usan los criterios de 3σ y 6σ , los cuales indican que un 93,3 % y 99,99966 % de las piezas cumplen con las especificaciones respectivamente.

El análisis realizado fue programado para 430 iteraciones sin variaciones en la temperatura y la tensión de alimentación, sin embargo, se incluyó el efecto del *mismatch* por tratarse de un circuito diferencial. En la Figura 4.2 se presentan los resultados para la ganancia de potencia, el coeficiente de reflexión en la entrada, la figura de ruido y el consumo de potencia. En el mejor caso la ganancia de potencia en la Figura 4.2(a) obtuvo 9,5 dB para un ancho de banda de 2,88GHz, en el peor caso alcanzó 8 dB para un ancho de banda de 2,51GHz.¹ De otro lado, el coeficiente de reflexión mostrado en la Figura 4.2(b) permanece dentro de los rangos permitidos en todas las iteraciones, presentando un valor mínimo de -24,16 dB y un máximo de -10 dB. Como se muestra en la Figura 4.2(c) NF presenta una variación significativa alcanzando 4 dB para el peor caso y 2,1 dB para el mejor.

¹El deterioro del ancho de banda mostrado resulta cuando se considera el acople en la entrada.

Parámetros	Peor caso	Mejor caso
Ancho de banda (GHz)	0,8 – 3,6	0,8 – 3,6
Figura de ruido (dB)	3,5	2,4
Ganancia de tensión (dB)	22,65	25,65
S_{11} (dB)	-10	-20,89
S_{21} (dB)	6	9
S_{12} (dB)	-44,89	-47,3
P_{IIP_3} (dBm)	+0,35	+7,58
P_{IIP_2} (dBm)	+34,29	+50,16
Potencia disipada (mW)	6,128	6,128

Tabla 4.1: Resumen de los resultados obtenidos para el *LNA* banda ancha.

Por último, se presenta el histograma para la potencia disipada en la Figura 4.2(d) con una media de $6,12\text{ mW}$ y una desviación estándar de $268,28\text{ }\mu\text{W}$.

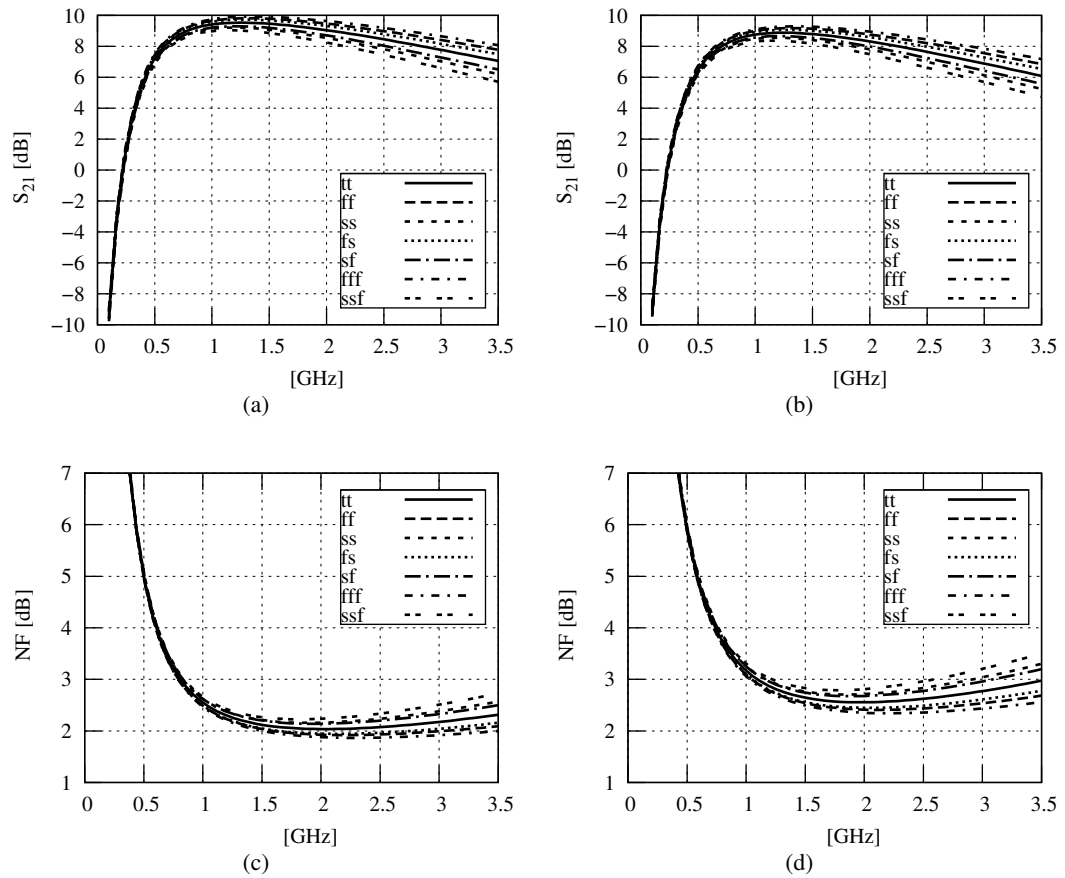
4.3. Simulación de esquinas del proceso

La naturaleza física del proceso de fabricación hace posible que un dispositivo *nMOS* sea más rápido de lo habitual, y a la vez, un dispositivo *pMOS* sea más lento. También es posible obtener el resultado opuesto e incluso resultados donde los dos dispositivos sean rápidos o más lentos. Estas variaciones son producto del *mismatch* entre los implantes a lo largo del canal (Ver capítulo 2), las variaciones en la longitud del mismo y otros cambios aleatorios. El *kit* de diseño permite evaluar estas fluctuaciones a partir de 7 esquinas *TT*, *FF*, *FS*, *SF*, *SS*, *FFF* y *SSF*. Donde *TT* no considera ninguna variación y se utiliza para obtener los valores típicos. Por otro lado, las esquinas *FF*, *FS*, *SF* y *SS* permiten realizar cuatro combinaciones entre dispositivos rápidos (*F*) y lentos (*S*). Por último, las esquinas *FFF* y *SSF*, permiten evaluar el mejor y peor caso de la tensión y corriente de saturación para un límite de $\pm 3\sigma$.

Durante el análisis de esquinas realizado en este trabajo, además de las variaciones del proceso de fabricación definidas por las siete esquinas ya mencionadas, se realizaron las simulaciones suponiendo variaciones en la temperatura y la tensión de alimentación. Para cada esquina se consideró una tensión de alimentación de $\pm 10\%$ y temperatura entre $-10\text{ }C^\circ$ y $50\text{ }C^\circ$. Lo mejores y peores casos obtenidos son presentados resumidamente en la Tabla 4.2. De otro lado, en las Figuras 4.3 y 4.4 se presentan algunos gráficos obtenidos para los parámetros *S* y la figura de ruido, considerando una fuente de alimentación de $1,98\text{ V}$ y los límites de temperatura planteados que son $-10\text{ }C^\circ$ y $50\text{ }C^\circ$.

Parámetros	Peor caso	Mejor caso
Ancho de banda (GHz)	2,2	3,071
Figura de ruido (dB)	4	2,035
Ganancia de tensión (dB)	24,32	27,05
S_{11} (dB)	-17,26	-25
S_{21} (dB)	8	9,53
S_{12} (dB)	-37,69	-51,9
P_{IIP_3} (dBm)	-4,2	+11,59
P_{IIP_2} (dBm)	+26,59	+58,18
Potencia disipada (mW)	7,035	5,152

Tabla 4.2: Resumen de los resultados obtenidos del análisis de esquinas realizado.

Figura 4.3: Resultados del análisis de esquinas usando $V_{dd} = 1,98V$. (a) S_{21} para $t = -10 C^\circ$; (b) S_{21} para $t = 50 C^\circ$; (c) NF para $t = -10 C^\circ$; (d) NF para $t = 50 C^\circ$.

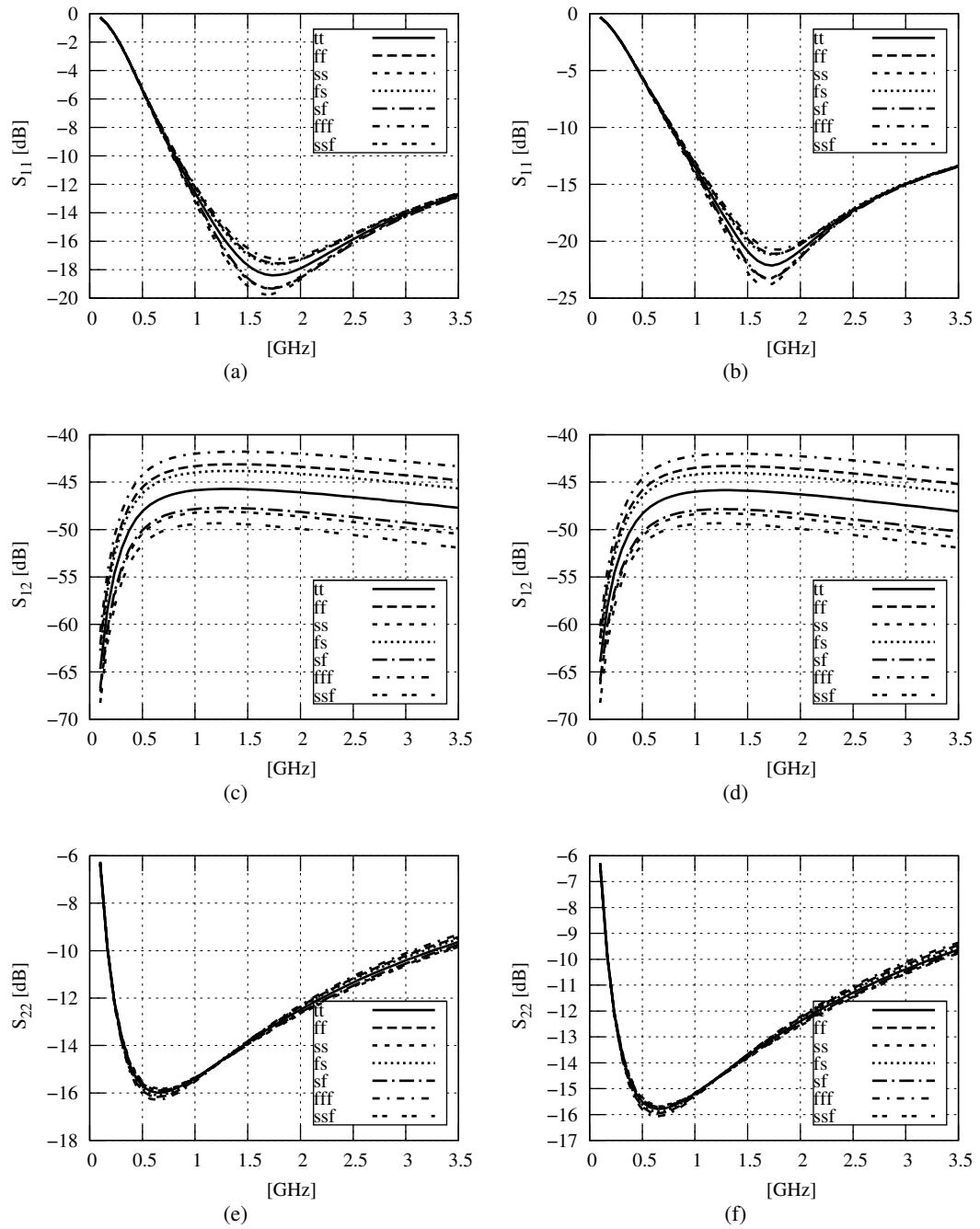


Figura 4.4: Resultados del análisis de esquinas usando $V_{dd} = 1,98V$. (a) S_{11} para $t = -10 C^\circ$; (b) S_{11} para $t = 50 C^\circ$; (c) S_{12} para $t = -10 C^\circ$; (d) S_{12} para $t = 50 C^\circ$; (e) S_{22} para $t = -10 C^\circ$; (f) S_{22} para $t = 50 C^\circ$.

4.4. Conclusiones y observaciones

Para resumir las experiencias y competencias adquiridas gracias al trabajo realizado, la documentación revisada y los resultados obtenidos, son formuladas algunas conclusiones.

- ✧ En este trabajo se abordó el diseño de un amplificador de bajo ruido banda ancha para aplicaciones de radiofrecuencia. Inicialmente a partir de una revisión bibliográfica se mostraron las tecnologías actuales y futuras de aplicación, al mismo tiempo fueron estudiadas dos arquitecturas de LNAs y documentados algunos trabajos representativos. Luego con base en los trabajos revisados se seleccionó la topología a ser diseñada la cual presentaba mejor relación entre potencia consumida, ancho de banda y figura de ruido. Esta topología fue alterada dando origen a una nueva propuesta con la finalidad de mejorar el aislamiento entre puertos y disminuir el efecto de la modulación del canal en la ganancia y la impedancia de entrada. Como resultado la nueva arquitectura producto final de este trabajo presenta un excelente compromiso entre figura de ruido, consumo de potencia y ancho de banda, además el diseño es robusto frente a las variaciones del proceso, la temperatura y la tensión de alimentación.
- ✧ Para el diseño del amplificador se desarrolló una estrategia con base en el consumo de potencia mientras se mantenía el ruido al mínimo. La estrategia siguió un serie de pasos en los cuales se trataban los compromisos entre variables y parámetros de rendimiento mediante gráficos, fueron utilizados los gráficos de transconductancia-corriente, ganancia-corriente y figura de ruido-ancho del transistor. El éxito de la estrategia fue producto de la precisión obtenida en los gráficos y las ecuaciones de dimensionamiento al utilizar modelos de segundo nivel, estimar el ruido de puerta y mejorar la estimación del ancho de banda mediante el método de Hajimiri.
- ✧ En este trabajo se abordaron tres técnicas a nivel de circuito que permiten mejorar la arquitectura de puerta común para favorecer su inclusión en un amplificador de bajo ruido. Inicialmente la arquitectura de puerta común es atractiva por su acople banda ancha, bajo consumo de potencia, buen aislamiento de puertos y poca sensibilidad a las capacitancias parásitas. Sin alterar demasiado las características anteriores el uso de la realimentación negativa mejora la figura de ruido para un menor consumo de potencia. No obstante, en tecnologías nanométricas la mejora en el ruido y la potencia podría no llegar a ser viable cuando la etapa no garantiza una ganancia adecuada. Este problema se abordó mediante la inclusión de un transistor para formar un cascode y la inclusión de una fuente de corriente (*current bleeding*). Las dos técnicas se complementan para aumentar el aislamiento de puertos y la resistencia de salida, permitiendo a la topología resultante mejorar la ganancia y adquirir las características de una etapa puerta común con realimentación.
- ✧ Con base en lo presentado en el capítulo 2, conocer el proceso de fabricación (número de metales,

tipos de metales, dispositivos disponibles y características especiales) y realizar una correcta caracterización de los transistores, permite desde un inicio determinar si un proceso es adecuado para una determinada aplicación, ayuda en el planteamiento de estrategias de diseño, y facilita abordar inicialmente los problemas usando las ecuaciones de primer y segundo orden para obtener un buen punto inicial de diseño.

4.5. Recomendaciones para trabajos futuros

- ✧ Como se mencionó en el capítulo 3 las capacitancias e inductancias parásitas producto de los *pads*, las protecciones *ESD* y los hilos de interconexión del circuito integrado alteran la frecuencia de resonancia y la impedancia de entrada. Por lo tanto, se recomienda considerar estos elementos parásitos en la fase de diseño.
- ✧ El efecto de la modulación del canal afecta considerablemente el desempeño del circuito como se observó en los parámetro de rendimiento. Para predecir de mejor manera el comportamiento de los parámetros en pequeña señal se recomienda estudiar un modelo de mayor precisión para este parámetro.
- ✧ Conforme las tecnologías de fabricación disminuyen la longitud de canal los modelos de segundo orden pierden su exactitud alejando los cálculos manuales de los resultados de simulación. Para sobrellevar este inconveniente y mantener un diseño sistemático se recomienda diseñar los circuitos con base en gráficos de simulación o cálculos manuales basados en datos precalculados.
- ✧ Dispositivos tecnológicos como las tabletas, los teléfonos inteligentes y los portátiles incorporan varios servicios basados en comunicaciones inalámbricas. Entre las tecnologías mas relevantes se encuentra *LTE-A* para transmisión de datos y nuevos estándares de comunicación inalámbrica para *bluetooth*, televisión digital, *IEEE 802.11* entre otros. En general integrar los estándares ya mencionados en un dispositivo, vuelve relevante el diseño de bloques banda ancha con el propósito de disminuir el consumo de potencia y el área del dispositivo. Con base en lo anterior se recomienda incursionar en el estudio de los bloques restantes del *front-end* para un receptor de banda ancha.

Bibliografía

- [1] N. Ishihara, S. Amakawa, y K. Masu, “RF CMOS Integrated Circuit: History, Current Status and Future Prospects,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E94-A, No. 2, págs. 556–567, 2011.
- [2] I. F. Education y M. Services, “Design Kit and Technology Training CMOS7RF (CMRF7SF) V1800,” págs. 1–269, 2010.
- [3] K. Vavelidis, I. Vassiliou, T. Georgantas, A. Yamanaka, S. Kavadias, G. Kamoulakos, C. Kapnistis, Y. Kokolakis, A. Kyranas, P. Merakos, y Others, “A dual-band 5.15-5.35-GHz, 2.4-2.5-GHz 0.18 μ m CMOS transceiver for 802.11 a/b/g wireless LAN,” *IEEE Journal of Solid-State Circuits*, vol. 39, No. 7, págs. 1180–1184, 2004.
- [4] M. Zargari, M. Terrovitis, S. Jen, B. Kaczynski, M. Lee, M. Mack, S. Mehta, S. Mendis, K. Onodera, H. Samavati, y Others, “A single-chip dual-band tri-mode CMOS transceiver for IEEE 802.11 a/b/g wireless LAN,” *IEEE Journal of Solid-State Circuits*, vol. 39, No. 12, págs. 2239–2249, 2004.
- [5] R. Bagheri, A. Mirzaei, S. Chehrazi, M. Heidari, M. Lee, M. Mikhemar, M. Tang, y A. Abidi, “An 800MHz to 5GHz software-defined radio receiver in 90nm CMOS,” en *Solid-State Circuits Conference*. IEEE, 2006, págs. 1932–1941.
- [6] S. Haykin, “Cognitive Radio: Brain-Empowered Wireless Communications,” *IEEE Journal on selected Areas in Communications*, vol. 23, No. 2, págs. 201–220, 2005.
- [7] R. Staszewski, K. Muhammad, D. Leipold, C. Hung, Y. Ho, J. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, y Others, “All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 39, No. 12, págs. 2278–2291, 2004.
- [8] T. H. Lee, *The design of CMOS radio-frequency integrate Circuits*. Cambridge University Press, 1998.

- [9] J. Kaukoviuri, M. Kaltiokallio, y J. Ryyänen, “Analysis and design of common-gate low-noise amplifier for wideband applications,” *International Journal of Circuit Theory and Applications*, vol. 37, No. 2, págs. 257–281, 2009.
- [10] T. S. Bird, “Definition and Misuse of Return Loss [Report of the Transactions Editor-in-Chief],” *IEEE Antennas and Propagation Magazine*, vol. 51, No. 2, págs. 166–167, abr. 2009.
- [11] C. J. Jeong, W. Qu, Y. Sun, D. Y. Yoon, S. K. Han, y S. G. Lee, “A 1.5V, 140uA CMOS ultra-low power common-gate LNA,” en *2011 IEEE Radio Frequency Integrated Circuits Symposium*, No. i. IEEE, jun. 2011, págs. 1–4.
- [12] W. Zhuo, X. Li, S. Shekhar, S. Embabi, J. De Gyvez, D. Allstot, y E. Sanchez-Sinencio, “A capacitor cross-coupled common-gate low-noise amplifier,” *IEEE Transactions on Circuits and Systems II*, vol. 52, No. 12, págs. 875–879, 2005.
- [13] D. K. Shaeffer y T. H. Lee, “A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier,” *IEEE Journal of Solid-State Circuits*, vol. 32, No. 5, págs. 745–759, 1997.
- [14] D. Allstot y X. Li, “Design considerations for CMOS low-noise amplifiers,” *Radio Frequency Integrated*, págs. 4–7, 2004.
- [15] F. Bruccoleri, E. A. M. Klumperink, y B. Nauta, “Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling,” *IEEE Journal of Solid-State Circuits*, vol. 39, No. 2, págs. 275–282, 2004.
- [16] W. Chen, G. Liu, y B. Zdravko, “A highly linear broadband CMOS LNA employing noise and distortion cancellation,” *IEEE Journal of Solid-State Circuits*, vol. 43, No. 5, págs. 1164–1176, 2008.
- [17] J. Kim, S. Member, S. Hoyos, y J. Silva-martinez, “Wideband Common-Gate CMOS LNA Employing Noise , Gain , and Bandwidth Optimization,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, No. 9, págs. 2340–2351, 2010.
- [18] S. C. Blaakmeer, E. A. M. Klumperink, D. M. W. Leenaerts, y B. Nauta, “Wideband Balun-LNA With Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling,” *IEEE Journal of Solid-State Circuits*, vol. 43, No. 6, págs. 1341–1350, jun. 2008.
- [19] A. Amer y E. Hegazi, “A low-power wideband CMOS LNA for WiMAX,” *Circuits and Systems II: Express*, vol. 54, No. 1, págs. 4–8, 2007.

- [20] H. G. Han y T. W. Kim, "A CMOS RF Programmable-Gain Amplifier for Digital TV With a +9-dBm IIP3 Cross-Coupled Common-Gate LNA," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, No. 9, págs. 543–547, 2012.
- [21] R.-F. Ye, T.-S. Horng, y J.-M. Wu, "Wideband common-gate low-noise amplifier with dual-feedback for simultaneous input and noise matching," *2011 IEEE Radio Frequency Integrated Circuits Symposium*, vol. 1, No. 2, págs. 1–4, jun. 2011.
- [22] Y. Tsividis y C. McAndrew, *Operation and Modeling of the MOS Transistor, Third Edition*. Oxford University Press, 2011.
- [23] J. Martino, M. Pavanello, y P. Verdonck, *Caracterização Elétrica de Tecnologia e Dispositivos MOS*. Pioneira Thomson Learning, 2004.
- [24] M. S. T. D. I. M. Division, "CMOS7RF (CMRF7SF) Design Manual," págs. 1–386, 2011.
- [25] K. Terada, K. Nishiyama, y K.-I. Hatanaka, "Comparison of MOSFET-threshold-voltage extraction methods," *Solid-State Electronics*, vol. 45, No. 1, págs. 35–40, ene. 2001.
- [26] T. Hsieh, Y. Chang, W. Tsai, y T. Lu, "A new Leff extraction approach for devices with pocket implants," en *ICMTS 2001. Proceedings of the 2001 International Conference on Microelectronic Test Structures (Cat. No.01CH37153)*, vol. 14, No. March. IEEE, 2001, págs. 15–18.
- [27] B. Razavi, *RF Microelectronics Second Edition*, 2da ed. Prentice Hall, 2011.
- [28] A. Ayala, "Diseño de un amplificador de bajo ruido y un mezclador de señal para radiofrecuencia integrado en tecnología CMOS," Proyecto de pregrado, Universidad Industrial de Santander, 2005.
- [29] S. A. Chaparro Moreno, "Aplicación de la programación geométrica en el diseño de un amplificador de bajo ruido y un mezclador de señal para radiofrecuencia, integrados en tecnología CMOS," Proyecto de pregrado, Universidad Industrial de Santander, 2008.
- [30] B. Razavi, "Cognitive Radio Design Challenges and Techniques," *IEEE Journal of Solid-State Circuits*, vol. 45, No. 8, págs. 1542–1553, ago. 2010.
- [31] B. Hu, X. Yu, y L. He, "0.9-10GHz low noise amplifier with capacitive cross coupling," en *2010 IEEE International Conference on Ultra-Wideband*, vol. 1, No. 5. IEEE, sep. 2010, págs. 1–4.
- [32] Y. Ding y R. Harjani, *High-linearity CMOS RF front-end circuits*. RF circuits, high performance: Springer Verlag, 2005.

- [33] A. Hajimiri, “Generalized Time- and Transfer-Constant Circuit Analysis,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, No. 6, págs. 1105–1121, jun. 2010.
- [34] S. Shekhar, J. Walling, y D. Allstot, “Bandwidth Extension Techniques for CMOS Amplifiers,” *IEEE Journal of Solid-State Circuits*, vol. 41, No. 11, págs. 2424–2439, nov. 2006.
- [35] G. H. Zare Fatin, Z. D. Koozehkanani, y H. Sjöland, “A technique for improving gain and noise figure of common-gate wideband LNAs,” *Analog Integrated Circuits and Signal Processing*, vol. 65, No. 2, págs. 239–244, may 2010.