

**SISTEMA DE DESARROLLO CON CPLD PARA
EL LABORATORIO DE SISTEMAS DIGITALES DE LA ESCUELA DE
INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES DE
LA UNIVERSIDAD INDUSTRIAL DE SANTANDER.**

FREDDY MÁRQUEZ OTALORA

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA, 2006**

**SISTEMA DE DESARROLLO CON CPLD PARA
EL LABORATORIO DE SISTEMAS DIGITALES DE LA ESCUELA DE
INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES DE
LA UNIVERSIDAD INDUSTRIAL DE SANTANDER.**

FREDDY MÁRQUEZ OTALORA

Proyecto de Grado presentado como requisito parcial para optar al título de
Ingeniero Electrónico

DIRECTOR:
MAGÍSTER: JORGE HERNANDO RAMÓN

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA, 2006**

RESUMEN

TITULO:

SISTEMA DE DESARROLLO CON CPLD PARA EL LABORATORIO DE SISTEMAS DIGITALES DE LA ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES DE LA UNIVERSIDAD INDUSTRIAL DE SANTANDER*.

AUTORES:

MÁRQUEZ OTALORA, FREDDY.**

PALABRAS CLAVES: Circuitos eléctricos, CPLD, hardware, herramientas software, programación, sistema de desarrollo, sistemas digitales.

DESCRIPCIÓN:

En este documento se presenta el diseño y construcción de un prototipo para el sistema de desarrollo basado en el CPLD XC95144XL de Xilinx, el cual será usado en el laboratorio de sistemas digitales de la escuela de ingeniería eléctrica, electrónica y telecomunicaciones de la UIS. Las etapas en las que se dividió el proyecto fueron: análisis y selección de elementos, diseño y construcción física de la tarjeta y desarrollo de algunos ejemplos de aplicación.

El documento fue dividido en las siguientes partes:

En el capítulo 1, se presenta información teórica relacionada con el CPLD XC95144XL y los otros elementos usados para la construcción de la tarjeta, además de una breve explicación de las herramientas software utilizadas.

En el capítulo 2, se presenta el hardware y los diferentes circuitos eléctricos presentes, además de la forma final en que se organizaron los elementos sobre la tarjeta.

En el capítulo 3, se presentan los diferentes programas desarrollados para probar la tarjeta de desarrollo los cuales sirven de ejemplo para el manejo del software de desarrollo y programación.

* Trabajo de grado

** Facultad de ingenierías Físico Mecánicas, Ingeniería Electrónica, Jorge Hernando Ramón.

SUMMARY

TITLE:

DEVELOPMENT SYSTEM WITH CPLD FOR THE LABORATORY OF DIGITAL SYSTEMS OF THE SCHOOL OF ELECTRICAL, ELECTRONIC AND TELECOMMUNICATIONS ENGINEERING OF THE INDUSTRIAL UNIVERSITY OF SANTANDER *

AUTHORS:

MÁRQUEZ OTALORA, FREDDY**

KEY WORDS: Electrical circuits, CPLD, hardware, software tools, programming, development system, digital systems.

DESCRIPTION:

In this document one appears the design and construction of a prototype for the development system based on CPLD XC95144XL of Xilinx, which will be used in the laboratory of digital systems of the school of electrical, electronic and telecommunications engineering of the UIS. The stages in which the project was divided were: analysis and selection of elements, design and physical construction of the card and development of some examples of application.

The document was divided in the following parts:

In chapter 1, theoretical information related to CPLD XC95144XL appears and the other elements used for the construction of the card, in addition to a brief explanation of the used software tools.

In chapter 2, one appears the hardware and the different present electrical circuits, in addition to the final form in which the elements were organized on the card.

In chapter 3, the different developed programs appear to prove the development card which serves as example for the handling of the software of development and programming.

* Degree Work

** Faculty of Engineering Physical Mechanics, Electronic Engineering, Jorge Hernando Ramón.

CONTENIDO

INTRODUCCIÓN	11
1. MARCO TEÓRICO	13
1.1 ¿QUÉ SON LOS DISPOSITIVOS LÓGICOS PROGRAMABLES?.....	13
1.2 ESTRUCTURA INTERNA DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES.....	13
1.3 CLASIFICACIÓN DE LOS PLDS.....	14
1.3.1 MEMORIA PROGRAMABLE DE SOLO LECTURA (PROM).....	14
1.3.2 MATRIZ LÓGICA PROGRAMABLE (PLA).....	15
1.3.3 MATRIZ LÓGICA PROGRAMABLE (PAL).....	16
1.3.4 MATRIZ LÓGICA GENÉRICA (GAL)	16
1.4 ¿QUÉ SON LOS CPLD Y FPGA?	17
1.5 ¿CÓMO PROGRAMAR LOS PLDs?	18
1.6 TRABAJANDO CON CPLDs DE XILINX	18
1.7 CARACTERÍSTICAS DEL CPLD XC95144XL.....	20
1.8 HERRAMIENTAS SOFTWARE	22
1.8.1 EAGLE 4.13.....	22
1.8.2 ISE WEBPACK 8.1i.....	23
1.8.3 MITOUJTAG.....	24
2. DISEÑO DE LA TARJETA.....	25
2.1 CARACTERÍSTICAS GENERALES.....	25
2.2 DESCRIPCIÓN DE LA TARJETA.....	26
2.3 COMPONENTES UTILIZADOS.....	27
2.3.1 PULSADORES Y DIP SWITCH.....	27
2.3.2 DISPLAY SIETE SEGMENTOS.....	28
2.3.3 DIODOS LED.....	30
2.3.4 PUERTOS I/O	31
2.3.5 EL OSCILADOR.....	31

2.3.6	EL PUERTO DE PROGRAMACIÓN.	32
2.3.7	EL CIRCUITO DE ALIMENTACIÓN.	33
2.4.	SEÑALES PRESENTES Y PINES DE CONEXIÓN EN EL CPLD.	34
2.5.	ESPECIFICACIONES ELÉCTRICAS DE LA TARJETA DE PROGRAMACIÓN.	38
3	PROGRAMAS DESARROLLADOS.	45
3.1	CONTADOR MODULO 100.	45
3.2	LUCES TRASERAS DEL FORD THUNDERBIRD.	45
3.3	LOS SEMÁFOROS.	46
3.4	EL RELOJ.	46
3.5	EL MICROPROCESADOR.	46
	PRUEBAS REALIZADAS.	48
	CONCLUSIONES.	49
	BIBLIOGRAFÍA.	51

TABLA DE FIGURAS

FIGURA 1. EJEMPLO DE MATRIZ AND Y OR.	14
FIGURA 2. DIAGRAMA A BLOQUES DE UNA MEMORIA PROM.	15
FIGURA 3. DIAGRAMA A BLOQUES DE UNA PAL.	15
FIGURA 4. DIAGRAMA A BLOQUES DE UNA PLA.	16
FIGURA 5. DIAGRAMA A BLOQUES DE UNA GAL.	16
FIGURA 6. APLICACIONES LOGRADAS CON LOS CPLD DE XILINX.	19
FIGURA 7, TARJETA DESARROLLADA	26
FIGURA 8, DIAGRAMA A BLOQUES DE LA TARJETA DESARROLLADA	27
FIGURA 9, CIRCUITO ELÉCTRICO PARA LOS PULSADORES.	28
FIGURA 10, CIRCUITO ELÉCTRICO PARA LOS DIP SWITCH.....	28
FIGURA 10, CONFIGURACIÓN DE CONTROL PARA LOS DISPLAYS.	29
FIGURA 11, CONFIGURACIÓN DE CONTROL DIODOS LED.....	30
FIGURA 12, CIRCUITO ELÉCTRICO PARA LOS DIODOS LED.....	31
FIGURA 13, SEÑALES JTAG PARA PROGRAMACIÓN.	32
FIGURA 14, CONEXIÓN DE SEÑALES JTAG A PUERTO DB-25.	33
FIGURA 15, CIRCUITO DE ALIMENTACIÓN.	34
FIGURA 16, CARA INFERIOR (BOTTOM).....	41
FIGURA 17, CARA SUPERIOR (TOP).....	42
FIGURA 18, ORGANIZACIÓN DE LOS ELEMENTOS EN LA TARJETA	43
FIGURA 19, ESQUEMA ELÉCTRICO DE LA TARJETA.....	44

TABLA DE TABLAS

TABLA 1, PRESENTACIÓN DE DÍGITOS EN LOS DISPLAYS.	29
TABLA 2, FUNCIÓN DE LOS PINES DEL CONECTOR JTAG	32
TABLA 3, DIP SWITCH Y PINES DE CONEXIÓN.	34
TABLA 4, PULSADORES Y PINES DE CONEXIÓN.	35
TABLA 5, DISPLAY SIETE SEGMENTOS Y PINES DE CONEXIÓN.	35
TABLA 6, DIODOS LED Y PINES DE CONEXIÓN.	36
TABLA 7, SEÑAL DE RELOJ Y PINES DE CONEXIÓN.	36
TABLA 8, BLOQUE 1, 2, 3 Y 4, Y PINES DE CONEXIÓN.	36

TABLA DE ANEXOS

Anexo A, Manual en Ingles de EAGLE

Anexo B, Manual de ISE

Anexo C, Manual de MITOUJTAG

Anexo D, PCB Design Tutorial

Anexo E, Programas de Prueba

Anexo F, Ejercicios de Aplicación

Anexo G, Archivos Eagle

Anexo H, Manual de la Tarjeta de desarrollo

INTRODUCCIÓN

El presente proyecto se desarrolló para la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, y con el apoyo financiero de la Universidad Industrial de Santander.

Este documento trata acerca del diseño y construcción de una tarjeta de desarrollo para el dispositivo programable CPLD XC95144XL el cual será utilizado en el laboratorio de Sistemas Digitales y cuyos propósitos son netamente académicos. Este nuevo sistema de desarrollo sustituirá a la antigua tarjeta de desarrollo para así dar a los interesados la oportunidad de aplicar sus conocimientos adquiridos en la materia de sistemas digitales utilizando dispositivos lógicos programables de última generación, esto permite que la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones ofrezca a sus estudiantes tecnología de última generación en sus laboratorios, manteniendo a la Escuela a la vanguardia del desarrollo tecnológico de la región.

El sistema desarrollado permite el aprendizaje desde los niveles más básicos hasta los niveles más complejos de la programación de dispositivos lógicos programables (CPLDs) de manera fácil y con el apoyo del material teórico que se estudia en clase.

La tarjeta de desarrollo posee las siguientes características:

- Es un sistema de desarrollo de propósito general que permite al usuario aplicarlo a diferentes campos, con la ventaja de reprogramarlo de manera rápida y fácil a través de un computador.

- La simplicidad del diseño permite tener una tarjeta de bajo costo que brinda la oportunidad de aprender mediante el uso de tecnología moderna y en uso actual.
- La comunicación del dispositivo se realiza a través del protocolo JTAG (Joint Test Action Group) el cual cumple con las disposiciones de la IEEE en el Standard Std 1149.1 y 1532.
- Posee mecanismos para la introducción y visualización de señales digitales, gracias al uso de diodos led, display, pulsadores y dip switch, además que brinda la posibilidad al usuario de usar sus propios dispositivos mecánicos y electrónicos.

El capítulo uno presenta información teórica relacionada con los elementos usados para la construcción de la tarjeta, además de una breve explicación de las herramientas software utilizadas.

En el capítulo dos se encuentra la descripción del hardware diseñado y la forma final en que se organizaron sus elementos.

En el capítulo tres se presentan los diferentes programas desarrollados para probar la tarjeta de desarrollo.

1. MARCO TEÓRICO

En el presente capítulo se dará una visión general acerca de los dispositivos lógicos programables, además se hablará del CPLD XC95144XL utilizado y de las características que posee éste.

1.1 ¿QUÉ SON LOS DISPOSITIVOS LÓGICOS PROGRAMABLES?

Los dispositivos lógicos programables (PLD) cubren un vasto rango de dispositivos electrónicos, que permiten sustituir una gran cantidad de circuitos SSI y MSI (SSI, Small Scale Integration; MSI, Medium Scale Integration) reduciendo espacio y costos de implementación.

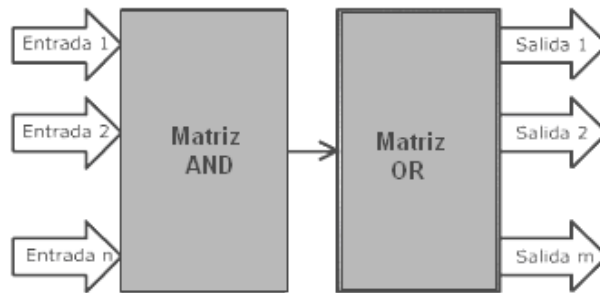
La lógica programable, como el nombre implica, es una familia de componentes que contienen conjuntos de elementos lógicos (AND, OR, NOT, LATCH, FLIP-FLOP) que pueden configurarse en cualquier función lógica que el usuario desee y que el componente soporte. Hay varias clases de dispositivos lógicos programables: ASICs, FPGAs, PLAs, PROMs, PALs, GALs, y PLDs complejos.

1.2 ESTRUCTURA INTERNA DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES.

La estructura interna de los dispositivos lógicos programables básicamente corresponde a una matriz programable de compuertas OR y AND, y que mediante señales externas se puede programar para conseguir las funciones lógicas que se necesiten.

En la figura 1. Se puede observar un diagrama a bloques de una estructura básica para un PLD.

Figura 1. Ejemplo de Matriz AND y OR.



Fuente: Floyd, Thomas L. "Fundamentos de Sistemas Digitales."

Las matrices AND y OR están formadas por una serie de compuertas AND y OR, respectivamente, las cuales están conectadas a una matriz programable con fusibles en cada punto de intersección de una columna y una fila. La programación de éstas básicamente se hace con la fundición de los fusibles para la eliminación de variables de la función de salida.

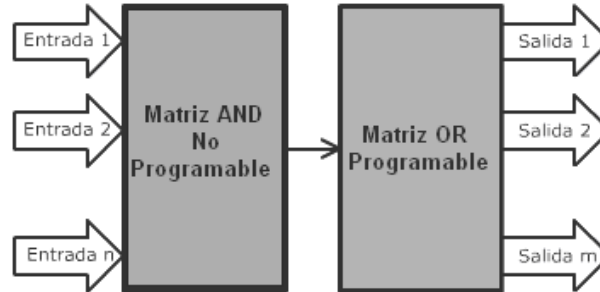
1.3 CLASIFICACIÓN DE LOS PLDS.

Los PLDs se clasifican de acuerdo a su arquitectura interna, es decir, en que forma se organizan los elementos internamente; dicha organización proporciona las características de operación del dispositivo.

1.3.1 MEMORIA PROGRAMABLE DE SOLO LECTURA (PROM).

Esta formada por un conjunto fijo (no programable) de puertas AND conectadas como decodificador y una matriz programable OR. Son memorias direccionales y no son usadas como dispositivos lógicos debido a las limitaciones de las compuertas AND.

Figura 2. Diagrama a bloques de una memoria PROM.

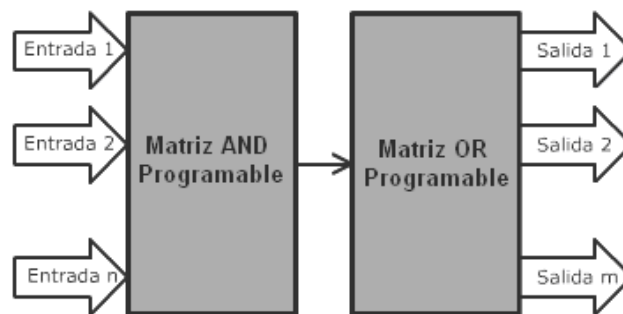


Fuente: Floyd, Thomas L. "Fundamentos de Sistemas Digitales."

1.3.2 MATRIZ LÓGICA PROGRAMABLE (PLA)

Esta formada por una matriz OR programable y una matriz AND programable, fue diseñada para superar las limitaciones que presentan las memorias PROM.

Figura 3. Diagrama a bloques de una PAL.

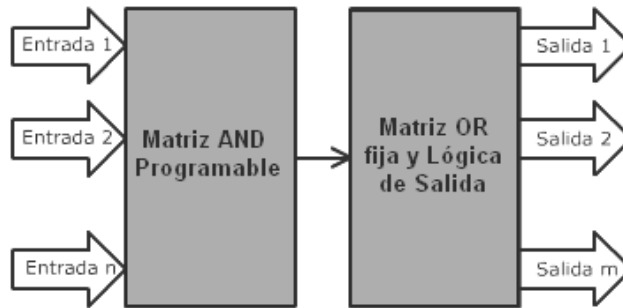


Fuente: Floyd, Thomas L. "Fundamentos de Sistemas Digitales."

1.3.3 MATRIZ LÓGICA PROGRAMABLE (PAL)

Es una mejora de la anterior ya que reduce en parte los largos retardos. Se forma por una matriz AND programable y una matriz OR fija con la lógica de salida. Se caracteriza por ser de única programación.

Figura 4. Diagrama a bloques de una PLA.

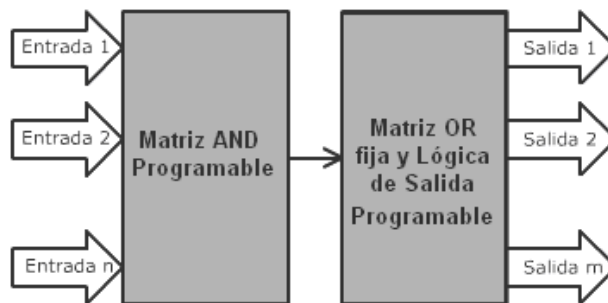


Fuente: Floyd, Thomas L. “Fundamentos de Sistemas Digitales.”

1.3.4 MATRIZ LÓGICA GENÉRICA (GAL)

Es similar en construcción a la PAL pero posee dos principales diferencias: a) Es reprogramable y b) posee configuraciones de salida.

Figura 5. Diagrama a bloques de una GAL.



Fuente: Floyd, Thomas L. “Fundamentos de Sistemas Digitales.”

1.4 ¿QUÉ SON LOS CPLD Y FPGA?

Los CPLDs y FPGAs son dispositivos programables mucho más sofisticados que los GAL o PAL; los CPLD son PLD de alta complejidad y la FPGA matrices de puertas programables por campo.

Los CPLD son versiones más grandes de PLD, con una matriz de interconexión interna centralizada que se utiliza para conectar las macroceldas del dispositivo. De igual forma que en los PLD la matriz de interconexión se programa para interconectar las entradas a la matriz AND la cual está conectada a un nivel de puertas OR fijo. Las salidas de la matriz OR permiten al usuario conectarse a macroceldas configurables las cuales se pueden configurar para especificar polaridad de salida, seleccionar operaciones combinatorias o de registro, proporcionar funcionalidad triestado, entre otras tantas.

Básicamente, cuando una señal se ingresa por alguno de los pines de un CPLD ésta pasa a través de un buffer o inversor hasta la matriz de interconexión, y después de ésta a la lógica AND-OR para posteriormente pasar por la macrocelda de salida y llegar al pin de salida.

Los CPLD presentan también pines específicos para el ingreso de señales de entrada, salida y de reloj, lo cual limita la flexibilidad del diseño algunas veces.

Las FPGA internamente constan de una gran matriz de celdas lógicas simples con canales de rutado horizontal y vertical para interconexión. Las celdas lógicas dentro de la FPGA permiten ser enrutadas de diferentes formas para la implementación de las funciones lógicas deseadas. Las FPGA presentan gran flexibilidad a la hora del diseño permitiendo la realización de circuitos lógicos combinatorios y secuenciales muy complejos.

1.5 ¿CÓMO PROGRAMAR LOS PLDs?

Los componentes necesarios para la programación de los PLD son:

- Software de programación: el cual se encarga de compilar lógicamente un diseño lógico introducido mediante algún método adecuado; en este punto, se pretende generar un archivo de salida que informe al PLD como se han de interconectar los dispositivos internos. La mayoría de los compiladores permiten simular y depurar antes de programar el dispositivo físicamente.
- Computador Personal: El PC sirve de soporte para el software y permite que éste se conecte con el dispositivo programador encargado de la interconexión interna en el dispositivo programable.
- Programador: El cual es controlable desde el software y permite convertir el archivo de salida producto de la compilación hecha en el software en señales eléctricas dirigidas a los pines específicos del PLD con el propósito de producir alteraciones a la matriz lógica interna y así obtener las funciones lógicas deseadas.

1.6 TRABAJANDO CON CPLDs DE XILINX

La industria de la electrónica es muy amplia y ofrece una gama muy amplia de CPLDs y FPGAs las cuales pueden ser utilizadas en una gran cantidad de aplicaciones que dependen simplemente de la imaginación del diseñador encargado.

Xilinx inc. Ofrece en su familia de componentes XC9500XL una serie de CPLDs que presentan una serie de ventajas tales como:

- Bajo consumo de potencia interna
- Reducción de área y bajo costo de empaquetamiento
- Incremento de los niveles de seguridad de protección
- Operación interna a altas frecuencias de reloj

- Alta velocidad de programación
- Múltiples entradas – salidas

Los CPLD XC9500XL son usados en el diseño de una gran cantidad de dispositivos electrónicos que hoy día son muy utilizados en nuestro diario vivir y que hacen parte ahora de nuestro estilo de vida. Ver figura 6.

Figura 6. Aplicaciones Logradas con los CPLD de Xilinx.



Fuente: www.xilinx.com



Los productos Xilinx requieren para su programación una herramienta de desarrollo que permite el diseño e implementación dentro de los dispositivos de manera fácil y segura. El ISE webpack es una herramienta ideal cuando se quiere diseñar en FPGA y CPLD con el uso de una amplia gama de lenguajes de descripción de Hardware. Este software permite la síntesis y simulación, implementación, trazado interno y programación; todo de manera versátil y fácil; el software además posee otras herramientas destinadas al aprovechamiento máximo de los CPLD y FPGA. Xilinx brinda la oportunidad de descargar el ISE WebPack de manera gratuita el cual se puede instalar ya

sea en el sistema operativo Windows o Linux. Otras herramientas asociadas requieren de licencias que son obtenidas de forma gratuita, como es el caso de Modelsim, herramienta que permite llevar a cabo simulaciones a los diseños lógicos previo a la programación del dispositivo físico.

1.7 CARACTERÍSTICAS DEL CPLD XC95144XL¹

El CPLD XC95144XL hace parte de la familia de CPLDs XC9500XL de Alto Desarrollo; su arquitectura esta diseñada para brindar el mayor rendimiento posible, además de consumir un bajo nivel de potencia.

El dispositivo se compone de un sistema de bloques de multifunción (FBs) y bloques de entrada-salida (IOBs), los cuales están interconectados por una matriz conmutable FASTCONNECT II. Los IOBs proveen amortiguamiento a las entradas-salidas del sistema. Los FBs permiten realizar la lógica programable manejando 54 entradas y 18 salidas. La matriz FASTCONNECT II se encarga de conectar las salidas y entradas del FB a otras entradas de otros FBs, además de conectarlos con los bloques IOBs. Los FB también reciben las señales globales de reloj, los habilitadores de salida y las señales SET/RESET. El CPLD XC95144XL está compuesto de 8 bloques FB cada uno de los cuales se compone de 18 macroceldas, dando como resultados 144 macroceldas disponibles para programación.

Las macroceldas permiten realizar cualquier lógica combinacional; además de permitir realizar funciones de registro, cada macrocelda puede ser configurable individualmente y es controlada por cinco señales primarias de datos provenientes de un arreglo matricial de compuertas AND, las cuales permiten realizar la lógica combinacional requerida, además de permitir el control de las señales de entrada. En cada macrocelda se dispone de un registro que puede llegar a ser configurable como un flip-flop tipo D o tipo T y

¹ Véase la Ficha Técnica “XC9500XL 3.3V High-Performance CPLD Family” y “XC95144XL”

ser implementado en la lógica combinacional; también, permite el manejo de señales de reset y set asíncronas.

El IOB básicamente se compone de un buffer de entrada, un manejador de salida, un habilitador de salida, un multiplexor y un control programable de tierra. Con las configuraciones externas adecuadas el buffer de entrada puede manejar señales de 5, 3.3 y 2.5 Voltios.

Entre las Características más importantes para el XC95144XL, tenemos:

- Retardos Lógicos de 5ns entre pines
- Frecuencia del sistema hasta 178Mhz
- 144 macroceldas con 3200 puertas
- Disponible en diferentes empaquetados
 - 100 pines TQFP (81 pines I/O usuario)
 - 144 pines TQFP (117 pines I/O usuario)
 - 144 pines CSP (117 pines I/O usuario)
- Sistema Optimizado para trabajar a 3.3V
 - Baja potencia de operación.
 - Manejo de señales Pines I/O 5V, 3.3V y 2.5V.
 - Salidas disponibles a 3.3V y 2.5V
 - Producto 100% CMOS hecho en tecnología de 0.35 micrómetros con FASTFLASH.
- Con avanzadas características del sistema.
 - In-system programmable.
 - Bloqueo de pines y enrutado superior con la matriz conmutable FASTCONNECT II.
 - Bloques de Función de 54 entradas.
 - Uso de tres relojes globales
 - Individual habilitador de salida por pin.
 - Uso del estándar IEEE 1149.1 boundary-scan (JTAG).

- Programación rápida concurrente.
- Control de Slew rate en salidas individuales.
- Característica de seguridad de datos mayores.
- Excelente calidad y fiabilidad.
 - 10000 ciclos de programación/borrado.
 - Retención de datos de 20 años.
 - Protección ESD superior a los 2000V

1.8 HERRAMIENTAS SOFTWARE

Actualmente las herramientas software son ampliamente utilizadas en la Ingeniería ya que permiten de forma rápida y eficiente realizar diseños que por otros medios serían imposibles.

1.8.1 EAGLE 4.13

Para el diseño de la tarjeta impresa se utilizó *EAGLE 4.13r14 Professional*² dado que brinda las herramientas suficientes al diseñador de circuitos impresos; además, que es fácil de manejar gracias a la amplia documentación que existe al respecto.

El software consta de un editor de esquemáticos, trazos y enrutamiento, además de un panel de control donde se pueden organizar los proyectos y las librerías.

² Una amplia documentación del uso de Eagle se encuentra en Acevedo ,Jhon , tesis EVALUACIÓN PROCESOS DE DISEÑO CAD-CAM BIBLIOTECA UIS

La versión Professional de Eagle presenta las siguientes características³:

- Máxima área de dibujo 64x64 pulgadas
- Resolución desde 0.1 micrones
- Grilla en mm o inch
- Manejo de hasta 255 capas
- Editor de librerías de fácil manejo
- Rotación de dispositivos y fácil uso de éstos.
- Alto soporte de tecnologías actuales
- Enrutador automático de tarjetas impresas sin uso de esquemas previos.
- Chequeador de reglas de diseño para las capas de la tarjeta impresa
- Enrutamiento manual y automático en cualquier momento
- Algoritmo de borre y reintente (*ripup&retry*)
- Soporte completo multicapas hasta 16 capas de señal
- Impresión y Procesamiento CAM⁴

1.8.2 ISE WEBPACK 8.1i⁵

El ISE WEBPACK 8.1i es la herramienta de diseño que brinda la compañía Xilinx, Inc. para trabajar con los dispositivos CPLD y FPGA que ella fabrica, su licencia es gratuita y puede ser fácilmente adquirido desde la pagina oficial. El software puede operar en el sistema operativo Windows o en Linux,

³ Véase el anexo A “Manual en Ingles de Eagle”, para mayor información.

⁴ Véase anexo B “Como Generar Archivos Gerber Desde Eagle” en Ardila , Gregorio , tesis DISEÑO E IMPLEMENTACIÓN DE LA TARJETA DE DESARROLLO DEL MC68HC908GP32 BIBLIOTECA UIS

⁵ Véase anexo B “Manual ISE”.

con previo cumplimiento de los requerimientos del sistema (Hardware y Software).

El software permite el diseño y simulación de circuitos digitales, además de la programación de éstos, a través de un entorno de ventanas agradable y de manejo intuitivo. El ISE WEBPACK brinda a los interesados la oportunidad de aprender los fundamentos básicos y complejos de los lenguajes de descripción de hardware (HDL) ya que permite la síntesis de código hecho en VHDL, Abel y Verilog; también, brinda la posibilidad de usar librerías con abundante código de los dispositivos mas comunes que se puedan encontrar. Entre otras ventajas permite trabajar en conjunto con otras herramientas software como es el caso de MODELSIM XE, herramienta software de la compañía Mentor Graphics, utilizada ampliamente en la realización de simulaciones a código hecho, ya sea en VHDL, Abel o verilog.

1.8.3 MITOUJTAG⁶

El MITOUJTAG es la herramienta software utilizada en la programación física del dispositivo electrónico de la tarjeta (El CPLD), el cual se caracteriza por ser de carácter gratuito y de muy fácil manejo. Su función básicamente consiste en tomar los archivos generados con el ISE WEBPACK y transferirlos al CPLD, mediante la comunicación del PC al dispositivo usando la interfase JTAG. Es de licencia gratuita y puede ser descargado desde la página del fabricante (nahitech, inc). Entre las bondades que ofrece, esta que dispone de un analizador lógico de señales que permite, en tiempo real, adquirir todas las señales entrada-salida del dispositivo y las visualiza en pantalla para análisis del funcionamiento del circuito implementado.

⁶ Véase anexo C “Manual MITOUJTAG”.

2. DISEÑO DE LA TARJETA

En este capítulo se explica las características de la tarjeta y la forma en que se logró su implementación.

2.1 CARACTERÍSTICAS GENERALES.

La Tarjeta de desarrollo está diseñada con el CPLD XC95144XL-10TQ100C de Xilinx usando el empaquetado TQFP (Thin Quad Flat Pack) de 100 pines⁷.

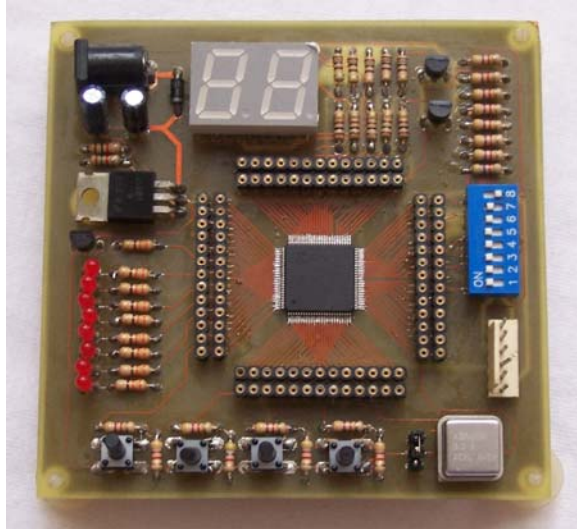
Las características de la tarjeta son:

- 4 puertos I/O de 26 pines cada uno para conexión a protoboard.
- Display doble siete segmentos de ánodo común.
- Ochos diodos LED.
- Cuatro pulsadores para entrada de señal.
- Dip Switch de 8 bits para señales de entrada.
- Oscilador de 3.3V a 8 Mhz para funcionar como señal de reloj externa.
- Operación de 3.3 V
- Alimentación entre 5 y 12V
- Cable JTAG para programación por puerto paralelo.

La tarjeta desarrollada fue construida utilizando EAGLE. Las dimensiones de ésta son de 9.5 x 9.5 cm. Ver Figura 7

⁷ Véase la Ficha Técnica "XC9500XL 3.3V High-Performance CPLD Family"

Figura 7, tarjeta desarrollada



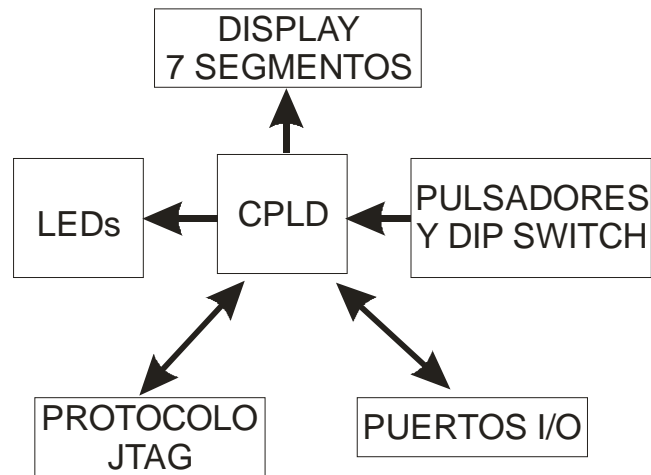
Fuente: autor del proyecto

2.2. DESCRIPCIÓN DE LA TARJETA.

La tarjeta desarrollada para el CPLD XC95144XL-10TQ100C se organizó de forma tal que permitiera al usuario comprender el funcionamiento y comportamiento total del CPLD mediante el uso de dispositivos comunes (Diodos LED, displays, Pulsadores, etc.) que sirven como entradas y salidas de señal.

Todos los pines con que cuenta el CPLD son accesibles a través de los 4 puertos dispuestos alrededor de éste. La organización de la tarjeta se puede ver en la figura 8, el cual corresponde a un diagrama a bloques de la tarjeta de desarrollo.

Figura 8, Diagrama a bloques de la Tarjeta desarrollada



Fuente: autor del proyecto

2.3. COMPONENTES UTILIZADOS

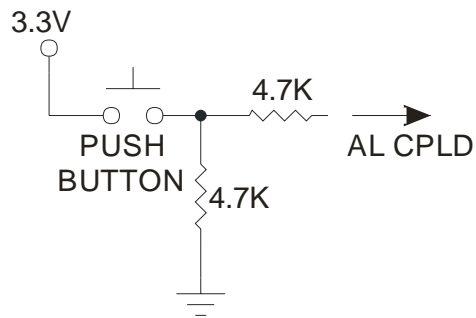
Para la construcción física del sistema de desarrollo se utilizaron diferentes elementos de uso común en la electrónica que permitieran la entrada y salida de señales lógicas, los elementos utilizados para este propósito son:

2.3.1 PULSADORES Y DIP SWITCH

La tarjeta de desarrollo dispone de cuatro pulsadores y un dip switch de ocho bits que permiten al usuario tener a su disposición doce señales de entrada, estas señales están disponibles para cualquier circuito externo dado que están conectadas a los puertos entrada/salida de la tarjeta.

La configuración eléctrica de cualquiera de los cuatro pulsadores, se puede ver en la figura 9.

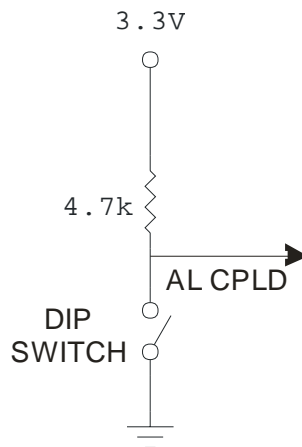
Figura 9, Circuito Eléctrico para los pulsadores.



Fuente: autor del proyecto

El dip switch se compone de 8 interruptores de desplazamiento los cuales permiten manejar de forma adecuada dos estados lógicos, alto y bajo, la configuración eléctrica de uno de ellos se puede ver en la Figura 10.

Figura 10, Circuito Eléctrico para los Dip Switch.



Fuente: autor del proyecto

2.3.2 DISPLAY SIETE SEGMENTOS.

El sistema de desarrollo cuenta con un display doble siete segmentos de ánodo común; cada cifra del display es manejado de forma independiente mediante el control de un transistor que sirve como habilitador, el cual esta

conectado a uno de los ánodos comunes del display. Los ocho cátodos de cada uno de los displays están interconectados entre si, así, es necesario la multiplexación para el control de los displays. Para encender cualquiera de los segmentos es necesario poner en la respectiva salida un cero lógico además de la activación del transistor de control. (Ver Tabla 1).

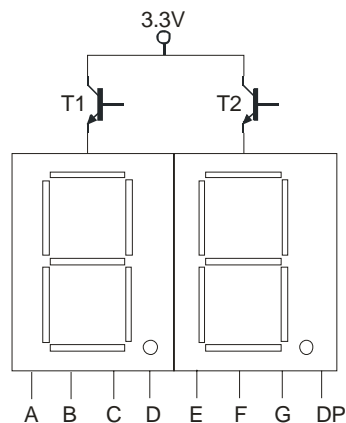
Tabla 1, presentación de dígitos en los displays.

dígito a mostrar	señales a los cátodos						
	A	B	C	D	E	F	G
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	1	1	0	0

Fuente: autor del proyecto

Todos los cátodos del display se conectan al CPLD mediante resistencias de 100 Ohmios incluyendo las bases de los transistores de control.

Figura 10, Configuración de control para los displays.

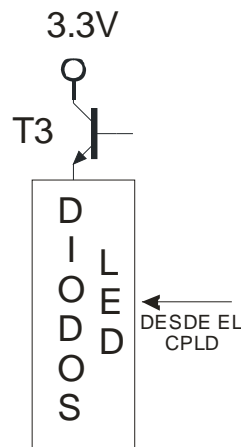


Fuente: autor del proyecto

2.3.3 DIODOS LED.

El Usuario dispone de ocho diodos led que permiten la visualización de señales de manera independiente; para poder utilizar cualquier diodo led es necesario primero activar el transistor habilitador asociado mediante un pulso alto sobre su base.

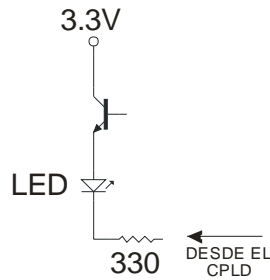
Figura 11, Configuración de control Diodos LED.



Fuente: autor del proyecto

Entre los pines de control del CPLD y los cátodos de los diferentes LEDs se han dispuesto resistencias para regular la cantidad de corriente que ha de circular a través de los diodos, el encendido de los diodos led se logra mediante señales de nivel bajo sobre los cátodos de éstos. El circuito eléctrico para uno de los diodos se puede ver en la Figura 12.

Figura 12, Circuito eléctrico para los diodos LED.



Fuente: autor del proyecto

2.3.4 PUERTOS I/O

El CPLD XC95144XL-10TQ100C dispone de 100 pines de conexión con 81 entradas-salidas disponibles para ser manipuladas por el usuario. Alrededor del CPLD se han dispuesto apropiadamente terminales de conexión que ofrecen la posibilidad de manipular o registrar todos los 100 pines del CPLD, es decir, que todos los dispositivos (dip switch, leds, displays y pulsadores) están disponibles para ser usados en circuitos externos, todo ello con las debidas protecciones eléctricas.

2.3.5 EL OSCILADOR⁸.

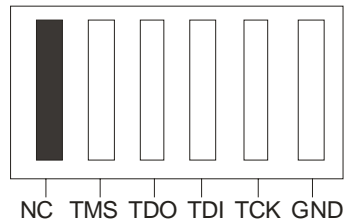
Se ha dispuesto en el sistema de desarrollo un oscilador de 8Mhz conectado a uno de los puertos del CPLD, el cual es utilizado como señal global de reloj. Éste puede ser activado o desactivado de manera manual mediante un Jumper, el cual regula el suministro de potencia al dispositivo. Para su funcionamiento es necesario que todas las capacitancias conectadas a su Terminal de salida no sobrepasen el valor de los 15 picoFaradios. Este oscilador genera una señal cuadrada de 8 Mhz con nivel alto de 3.3V y nivel bajo de 0V.

⁸ Véase la Ficha Técnica "crystal clock oscillator"

2.3.6 EL PUERTO DE PROGRAMACIÓN.

Para realizar la programación del CPLD es necesario que éste se comuniquen de forma adecuada con el software dispuesto para ello, mediante alguno de los puertos del computador. Los CPLDs de Xilinx, y otros dispositivos, manejan el protocolo de comunicación IEEE 1149.1 boundary-scan (JTAG). La comunicación se logra a través de un cable cuyo uno de sus terminales se conecta al puerto paralelo del PC. Los pines de comunicación JTAG también están disponibles en los puertos I/O con que cuenta la tarjeta. En la Figura 13 se ve la parte frontal del conector y la organización de las señales JTAG.

Figura 13, Señales JTAG para programación.



Fuente: autor del proyecto

La función de los pines del conector de programación se ven en la tabla 2.

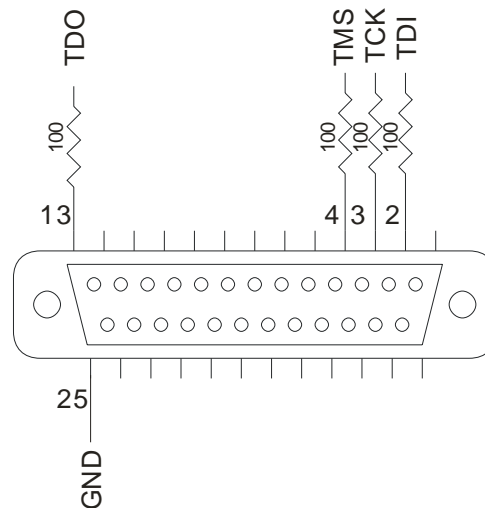
Tabla 2, función de los pines del conector JTAG

PIN	FUNCIÓN
NC	No conexión
TMS	[Test Mode Select Input] Control de operación de revisión lógica para datos entrantes.
TDO	[Test Data Output] Salidas seriales de datos las cuales vienen de la revisión de los registros de datos o de las instrucciones de

	registro.
TDI	[Test Data Input] recibe las entradas seriales las cuales alimentan los registros de datos o la instrucciones de registro.
TCK	[Test Clock] no relacionado con el reloj de la tarjeta o del sistema, éste es usado para cargar el modo revisión de datos desde el pin TMS y los datos sobre el pin TDI, mediante flancos ascendentes.
GND	Tierra.

Fuente: IEEE Std 1149.1-1990 JTAG

Figura 14, Conexión de Señales JTAG a puerto DB-25.



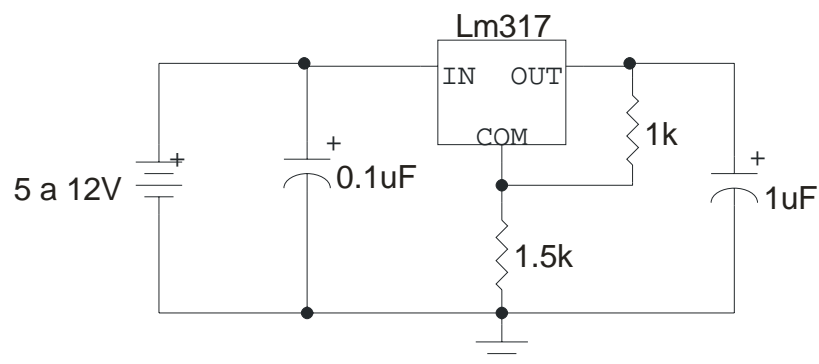
Fuente: autor del proyecto

2.3.7 EL CIRCUITO DE ALIMENTACIÓN.

La alimentación del CPLD y de los otros dispositivos se logra mediante el uso de una fuente de alimentación DC que puede estar entre los 5 y 12 Voltios, los cuales deben ser llevados a aproximadamente 3.3V, esto se logra mediante el uso del regulador de voltaje LM317 y el uso de dispositivos pasivos adecuadamente seleccionados. (Ver circuito en la Figura 14). Con la

alimentación de 3.3V se brinda alimentación al CPLD y al oscilador, además de permitir generar los niveles de referencia para los dispositivos encargados de generar las señales de entrada y para los encargados de la visualización. Se seleccionó el regulador LM317 por su bajo costo y fácil adquisición en el mercado local, además de que brinda las características eléctricas necesarias que se requieren para la alimentación total del circuito.

Figura 15, Circuito de alimentación.



Fuente: Ficha Técnica del regulador⁹.

2.4. SEÑALES PRESENTES Y PINES DE CONEXIÓN EN EL CPLD.

A Continuación se presenta la organización de las señales de entrada y de salida, y su relación con los pines de entrada del CPLD. Ver tablas 3, 4, 5, 6 y 7.

Tabla 3, Dip Switch y pines de conexión.

SEÑAL	PIN DEL CPLD
SW1	I/O39
SW2	I/O40
SW3	I/O41

⁹ Véase la Ficha Técnica “3-Terminal Adjustable Regulator LM117_LM317A_LM317”

SW4	I/O42
SW5	I/O43
SW6	I/O46
SW7	I/O49
SW8	I/O50

Fuente: autor del proyecto

Tabla 4, Pulsadores y pines de conexión.

SEÑAL	PIN DEL CPLD
PSH1	I/O99 / GSR
PSH2	I/O2 / GTS4
PSH3	I/O14
PSH4	I/O16

Fuente: autor del proyecto

Tabla 5, Display Siete segmentos y pines de conexión.

SEÑAL	PIN DEL CPLD
A	I/O74
B	I/O72
C	I/O70
D	I/O68
E	I/O64
F	I/O60
G	I/O58
DP	I/O56
DISP1	I/O66
DISP2	I/O54

Fuente: autor del proyecto

Tabla 6, Diodos LED y pines de conexión.

SEÑAL	PIN DEL CPLD
LED1	I/O89
LED2	I/O90
LED3	I/O91
LED4	I/O92
LED5	I/O93
LED6	I/O94
LED7	I/O95
LED8	I/O96
HABLEDs	I/O87

Fuente: autor del proyecto

Tabla 7, Señal de Reloj y pines de conexión.

SEÑAL	PIN DEL CPLD
OSC	I/O22 / GCK1

Fuente: autor del proyecto

Los puertos de conexión de la tarjeta esta organizados en grupos de 26 terminales los cuales permiten el acceso a todos los pines del CPLD, se organizan en bloques con nomenclatura B1, B2, B3 y B4.

Las tablas muestran la relación entre los terminales de los puertos y los pines de conexión del CPLD.

Tabla 8, Bloque 1, 2, 3 y 4, y pines de conexión.

BLOQUE 1		BLOQUE 2		BLOQUE 3		BLOQUE 4	
PIN	SEÑAL	PIN	SEÑAL	PIN	SEÑAL	PIN	SEÑAL
1	I/O	27	3.3V	53	3.3V	79	I/O
2	PSH2	28	I/O	54	I/O	80	I/O

3	I/O	29	I/O	55	I/O	81	I/O
4	I/O	30	I/O	56	DISP2	82	I/O
5	3.3V	31	I/O	57	I/O	83	I/O
6	I/O	32	GND	58	DP	84	I/O
7	I/O	33	I/O	59	3.3V	85	I/O
8	I/O	34	I/O	60	G	86	TDO
9	I/O	35	I/O	61	I/O	87	GND
10	I/O	36	I/O	62	F	88	I/O
11	I/O	37	I/O	63	I/O	89	I/O
12	I/O	38	I/O	64	GND	90	HABLEDs
13	I/O	39	3.3V	65	I/O	91	3.3V
14	PSH3	40	SW1	66	E	92	LED1
15	I/O	41	SW2	67	I/O	93	LED2
16	PSH4	42	SW3	68	DISP1	94	LED3
17	I/O	43	SW4	69	I/O	95	LED4
18	I/O	44	SW5	70	D	96	LED5
19	I/O	45	GND	71	GND	97	LED6
20	I/O	46	TDI	72	C	98	LED7
21	I/O	47	SW6	73	I/O	99	LED8
22	OSC	48	TMS	74	B	100	I/O
23	I/O	49	TCK	75	I/O	101	3.3V
24	I/O	50	SW7	76	A	102	PSH1
25	I/O	51	SW8	77	GND	103	GND
26	NC	52	NC	78	NC	104	NC

Fuente: autor del proyecto

2.5. ESPECIFICACIONES ELÉCTRICAS DE LA TARJETA DE PROGRAMACIÓN.

La tarjeta de programación esta diseñada de tal forma que la alimentación del CPLD este fija a 3.3V, además las señales de entrada (los pulsadores y dip switch) y las señales de salida (hacia los led y el display) se han fijado a 3.3V para obviar el uso de otros reguladores; es posible que las entradas de señales tengan valores de tensión diferentes a los empleados en la tarjeta¹⁰. El CPLD XC95144XL-10 posee una frecuencia interna de operación de 100Mhz como valor máximo, dado que para este tipo de dispositivos la frecuencia interna determina su consumo de corriente se encuentra que éste consume aproximadamente entre 120 mA y 180 mA, dependiendo de si se encuentra en estado de baja potencia o del alto funcionamiento. Con lo que respecta a los LEDs, éstos se han ajustado de forma tal que consuman aproximadamente 5mA cuando se encuentren encendidos y los segmentos del display se han ajustando a 15mA aproximadamente, en estado encendido. Las resistencias asociadas a los pulsadores y dip switch manejan aproximadamente 0.7mA dependiendo de si están o no activos. Con base a lo anterior se puede hacer un balance aproximado de consumo del circuito resultado en aproximadamente 500mA en un estado máximo por el uso de todos los dispositivos de la tarjeta al mismo tiempo; dado que el regulador permite el manejo de 1A, el usuario dispone de 500 mA aproximadamente libres para ser usados en circuitos externos y con un nivel de tensión de 3.3V. Los pines del conector desde donde el usuario puede disponer de la potencia sobrante que maneja el regulador son: PIN 5, 26, 38, 51, 57, 88 y 98. La cantidad de corriente que puede ser tomada desde cualquiera de los pines anteriores no debe ser mayor de 250mA¹¹.

¹⁰ Véase la Ficha Técnica “XC9500XL 3.3V High-Performance CPLD Family” pagina 3, “Recommended Operation Conditions”

¹¹ Véase Sección: “Diseño del PCB”.

2.6. PROTECCIONES ELÉCTRICAS IMPLEMENTADAS

La Tarjeta de Programación en caso de que ser conectada incorrectamente (con la polaridad incorrecta) posee un diodo común que impide que los dispositivos de la tarjeta sufran algún tipo de avería, especialmente el CPLD. El regulador de voltaje garantiza que el nivel de tensión necesitado por el CPLD será el adecuado y no presentara cambios en el momento de operación.

Los segmentos con que cuenta el display están protegidos mediante resistores además de que su activación esta sujeta a un transistor “driver” dispuesto para ello (de forma similar que con los diodos LED); así, cuando se deseen manejar señales externas, provenientes de dispositivos externos, en las entradas de los segmentos del display y los LED, éstos estarán aislados a no ser que se activen de manera imprudente las bases de los transistores.

En algunas implementaciones no es necesario el uso del reloj externo, para ello se dispone de un “Jumper” que permite cortar la alimentación hacia el dispositivo oscilador de manera manual, para así extender la vida útil de éste además de disponer de él solo en el momento necesario.

2.12. DISEÑO DE LA PLACA IMPRESA (PCB) ¹²

Para el diseño se utilizaron herramientas software disponibles de forma gratuita en Internet, el software utilizado fue EAGLE 4.13 versión Profesional el cual brinda grandes facilidades de manejo y mecanismos de enrutamiento automático.

A la hora de diseñar las pistas y ubicar los dispositivos se usaron los siguientes criterios:

¹² Véase el anexo D “PCB Design Tutorial”, para mayor información

- El Tamaño debe ser suficientemente pequeño para que los costos de fabricación de la tarjeta impresa no sean muy altos, por ello se trabajó a dos capas por dos razones: tecnología disponible en Colombia y reducción de costos.
- Se manejaron ángulos de 45 y 135 grados para la mayoría de las pistas de cobre, tratando de mantener el estándar, aunque para circuitos impresos que operan a bajas frecuencias los ángulos de los caminos no generan grandes efectos negativos.
- Se realizó un enrutado manual para evitar el uso excesivo de vías y de pistas de conexión.
- Los anchos de los caminos y la separación de éstos buscaron cumplir con lo establecido en el estándar IPC-2221¹³.
- Las pistas de alimentación son lo suficientemente gruesas para asegurar la corriente necesaria para cada uno de los dispositivos.
- Para evitar el ruido externo se ha dispuesto de una “gran tierra” que protegerá al CPLD de señales negativas externas y a su vez detendrá las generadas por éste.

Como resultado de lo anterior se tiene que:

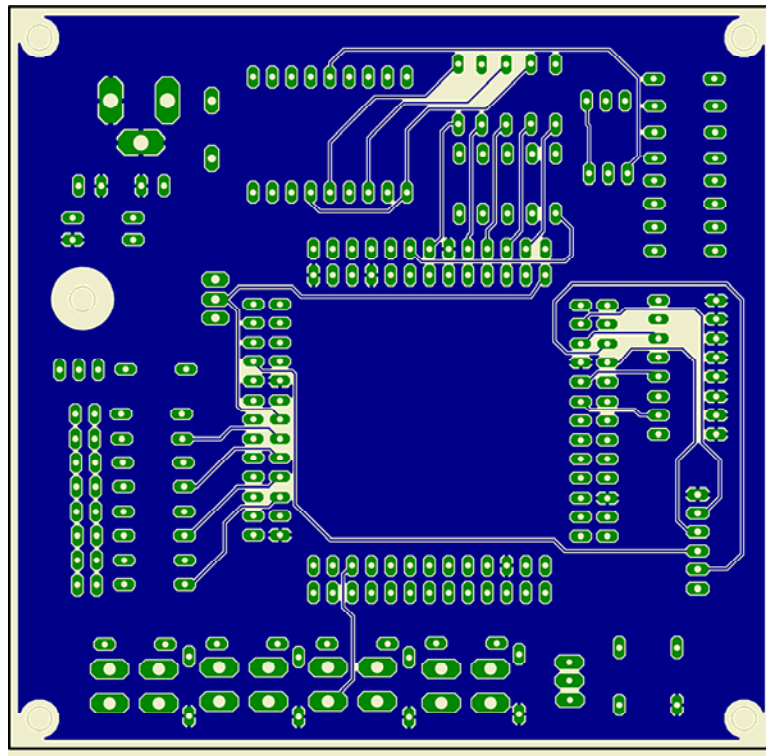
- El área de la tarjeta doble cara es de 10 X 10 cm.
- La placa impresa es “through hole” permitiendo conexión entre las dos capas o caras de la tarjeta.
- Los pines de conexión de algunos dispositivos se han usado como vías para reducir éstos.

¹³ Véase anexo A, sección A6 “Ancho de las pistas y su separación” y Capítulo 3 sección 3.6 “Ancho de las pistas y separación entre estas” en Vargas Olivares, Juan Carlos, y García García, Cristhian Javier, tesis DISEÑO Y MONTAJE DE UN SISTEMA DE ADQUISICIÓN DE SEÑALES DE VOLTAJE PARA LA MEDIDA DEL ESPECTRO DE IMPEDANCIA ELÉCTRICA EN TEJIDO HUMANO - BIBLIOTECA UIS

- Los anchos de los caminos son de 0.2mm asegurando un paso de corriente por pista de aproximadamente 250mA.

En la Figura 15 se presenta la cara inferior de la tarjeta impresa (Bottom), la Figura 16 muestra la cara superior de la Tarjeta (Top), y la Figuras 17 y 18 muestran la ubicación de los elementos dentro de la tarjeta y el plano eléctrico correspondiente, respectivamente¹⁴.

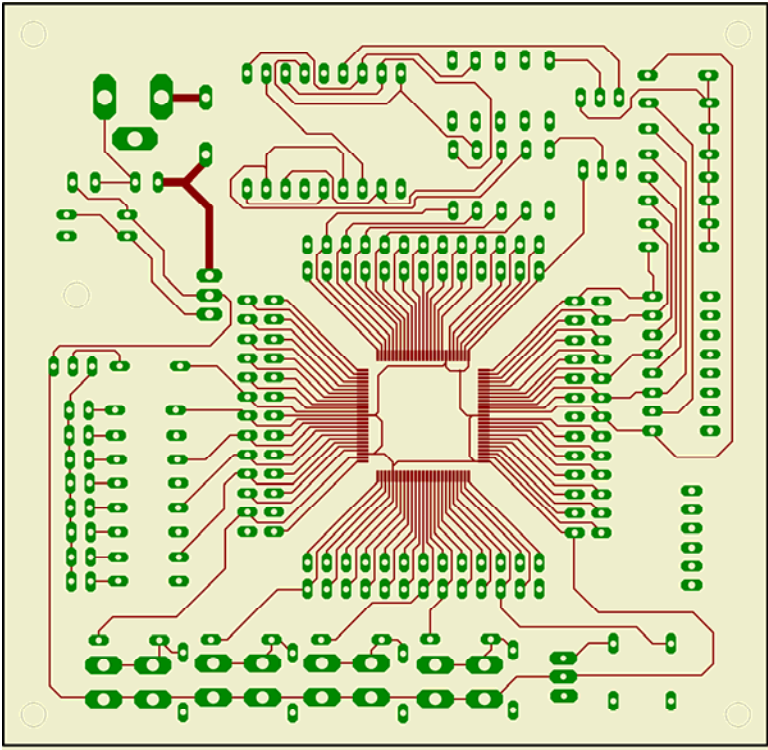
Figura 16, cara inferior (bottom)



Fuente: el autor del proyecto

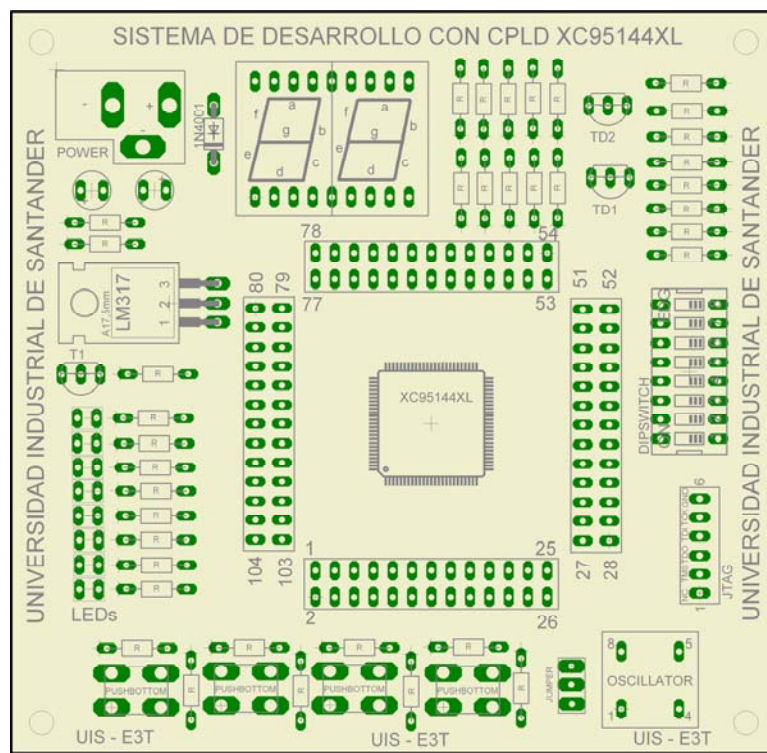
¹⁴ Véase el anexo G “Archivos EAGLE”, para mayor información

Figura 17, cara superior (top)



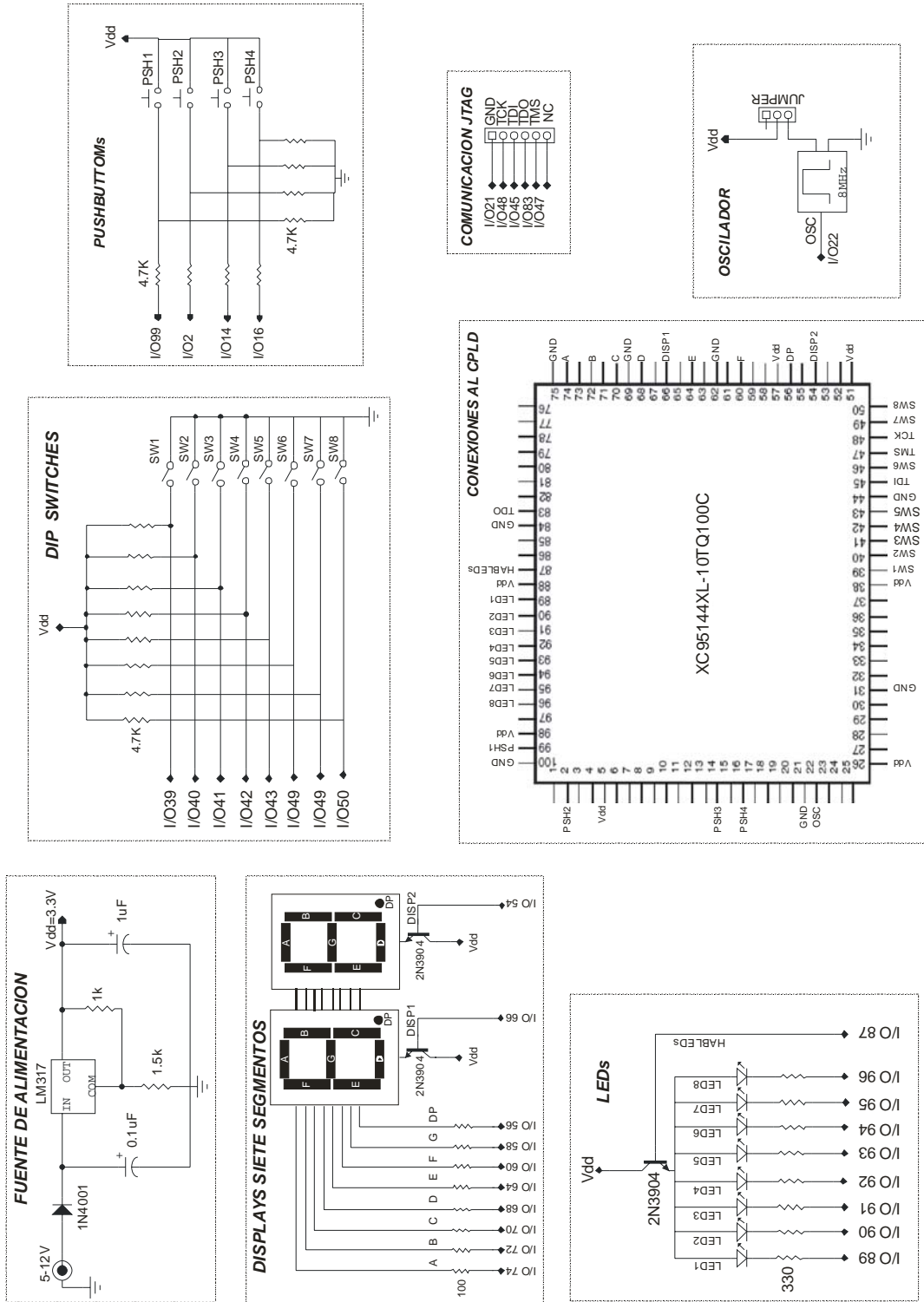
Fuente: el autor del proyecto

Figura 18, organización de los elementos en la tarjeta



Fuente: el autor del proyecto

Figura 19, Esquema eléctrico de la tarjeta



Fuente: autor del proyecto

3 PROGRAMAS DESARROLLADOS

En este capítulo se presentan algunos programas utilizados en las diferentes pruebas funcionales hechas a la tarjeta. Para la realización de los programas se utilizó el software ISE WebPack 8.1i y el MitouJtag.

3.1 CONTADOR MODULO 100

Es uno de los ejemplos clásicos de los sistemas digitales, aquí se pretende mediante una forma apropiada realizar un contador que arranca en 0 y se incrementa paulatinamente hasta llegar al valor de 99, este valor debe ser mostrado en los displays de la tarjeta.

Para una mejor comprensión del funcionamiento del contador favor remítase al Anexo F “Ejercicios de Aplicación” donde se explica la solución de éste.

3.2 LUCES TRASERAS DEL FORD THUNDERBIRD

Continuando con los problemas clásicos de los sistemas digitales, ahora se presenta la necesidad de diseño del control para las luces del FORD THUNDERBIRD, un auto muy popular en diferentes países y cuya mayor característica fue su sistema de luces traseras. Para una mayor comprensión del problema de diseño se invita al lector al Anexo F “Ejercicios de Aplicación”, donde se presenta una posible solución al problema presentado en el archivo “Diseño Maquina Secuencial.pdf” que se halla en la carpeta “Luces del Ford_Maquina Secuencial”.

3.3 LOS SEMÁFOROS¹⁵.

En muchas regiones rurales se dispone de sistemas de control de tránsito que evitan accidentes, para el ello se hace muy necesario el uso de semáforos que brinden seguridad a las vidas de los conductores y peatones de la zona. El sistema de control para un par de semáforos se puede realizar de forma digital de manera fácil y sencilla, más cuando se cuentan con las herramientas. Ver Anexo F “Ejercicios de Aplicación”, donde se presenta una explicación más extensa del problema y una posible solución al problema de los semáforos.

3.4 EL RELOJ.

En muchas aplicaciones de la vida cotidiana, se requiere del uso de sistemas electrónicos encargados del control y registro del tiempo para algún determinado proceso. Con la aparición de los sistemas digitales, el diseño e implementación de relojes se lleva a cabo de manera rápida y fácil manteniendo una alta exactitud y un bajo costo. En el Anexo F “Ejercicios de Aplicación”, se presenta al lector un problema de diseño que involucra un reloj digital además se explica una de las posibles formas de solución para éste problema.

3.5 EL MICROPROCESADOR¹⁶.

Imitar el funcionamiento de muchos dispositivos electrónicos mediante lenguaje de descripción de hardware es relativamente fácil; en este caso se

¹⁵ Véase Capítulo 12, sección 12.2.2 “Los semáforos” en Pardo, Fernando, y Boluda, José A., libro VHDL LENGUAJE PARA SÍNTESIS Y MODELADO DE CIRCUITOS – EDITORIAL ALFAOMEGA

¹⁶ Véase Capítulo 12, sección 12.2.5 “El microprocesador” en Pardo, Fernando, y Boluda, José A., libro VHDL LENGUAJE PARA SÍNTESIS Y MODELADO DE CIRCUITOS – EDITORIAL ALFAOMEGA

busca realizar un microprocesador sencillo que opera mediante pocas instrucciones, pero que puede llegar a ser tan complejo como se desee debido a que la estructura interna no cambia. En el Anexo F “Ejercicios de Aplicación”, se presenta al lector el problema de diseño y la solución propuesta al problema.

PRUEBAS REALIZADAS

En esta sección se explica como se realizaron las pruebas a cada uno de los elementos que componen la tarjeta de desarrollo.

- Con la ejecución del programa modulo 100, se utilizó el oscilador de la tarjeta además de los dos displays, lo cual permitió comprobar el funcionamiento de éstos elementos y brindo la oportunidad de observar la presentación de los caracteres numéricos sin ningún tipo de falla.
- El uso del programa para diseño de maquinas secuenciales (Luces de Ford) permitió usar de manera directa los diodos led con que se dispone y brindó la oportunidad de verificar su funcionamiento sin ningún problema.
- La comunicación JTAG se logra satisfactoriamente dado que el dispositivo se logra programar desde el software MitouJtag.
- Con la implementación del microprocesador se comprobó el funcionamiento adecuado de las entradas de la tarjeta (dip switch y pulsadores) dado que éstos mostraron los niveles lógicos eléctricos requeridos mediante el cambio mecánico.

CONCLUSIONES

Finalizado el diseño e implementación de la tarjeta de desarrollo y después de hechas las pruebas técnicas, a continuación se resaltan las conclusiones más destacadas:

- Se concluye que es posible la implementación de sistemas de desarrollo de propósito general usando dispositivos Xilinx a bajo costo y, cumpliendo con los objetivos y necesidades que así se requieran.
- El uso de herramientas software reduce el tiempo requerido para el diseño y brinda versatilidad a la hora de llevar a cabo diseños electrónicos; en el caso del uso de Eagle se obtiene una gran homogeneidad entre tarjetas dado que las características no cambian y su fabricación se realiza de manera automatizada.
- La programación del dispositivo se realiza de manera fácil y rápida gracias al cumplimiento del protocolo de comunicación IEEE 1149.1 y 1532 por parte de los dispositivos fabricados por Xilinx.
- La implementación de nuevas herramientas de desarrollo implica la inversión de recursos y tiempo, pero dado que las tecnologías actuales son cada vez más versátiles y más fáciles de manejar, los recursos y el tiempo asociados son menores, brindando la posibilidad de seguir avanzando tecnológicamente.

OBSERVACIONES Y RECOMENDACIONES

- Se pueden realizar sistemas de desarrollo mas densos, es decir usando mas elementos tales como memorias, puertos de extensión, conectores de comunicación (ethernet, PS2, etc...) además de utilizar FPGAs en vez de CPLDs para dar al usuario mayores capacidades de desarrollo en sus cursos básicos.
- El sistema de desarrollo esta diseñado para aplicaciones de baja potencia, por lo tanto se recomienda usarlo como un dispositivo netamente de control dado que sus salidas manejan corriente del orden de los miliamperes (un máximo de unos 15mA).
- Para una mayor vida útil del CPLD se recomienda antes de la programación, realizar un exhaustivo análisis funcional del circuito a través de simulación, así los ciclos de escritura/borrado que se necesiten en un determinada implementación se reducen y la vida útil se extiende.

BIBLIOGRAFÍA

ABRACON CORPORATION. Crystal Clock Oscillator, 3.3Vdc HCMOS / TTL compatible. www.abracon.com

ACEVEDO, Jhon. Evaluación de procesos de diseño CAD-CAM y de fabricación de circuitos impresos (tesis de grado). biblioteca UIS

ARDILA, Gregorio, Diseño E Implementación De La Tarjeta De Desarrollo Del MC68HC908GP32. (Tesis de grado). Biblioteca UIS.

BOLUDA, José A. y PARDO, Fernando. Vhdl Lenguaje Para Síntesis y Modelado De Circuitos. Editorial Alfaomega

EAGLE Easily Applicable Graphical Layout Editor Manual Version 4.1
<http://www.cadsoftusa.com>

FLOYD, Thomas. Fundamentos de Sistemas Digitales. Pearson Education, 2000.

GARCÍA GARCÍA, Cristhian Javier y VARGAS OLIVARES, Juan Carlos. Diseño y montaje de un sistema de adquisición de señales de voltaje para la medida del espectro de impedancia eléctrica en tejido humano (tesis de grado) - biblioteca uis

JONES, David L. PCB Design Tutorial.
[http:// www.alternatezone.com](http://www.alternatezone.com)

MENTOR GRAPHICS, ModelSim, Xilinx Tutorial.

[http:// www.mentor.com](http://www.mentor.com)

MENTOR GRAPHICS. ModelSim, Xilinx User's Manual.

[http:// www.mentor.com](http://www.mentor.com)

NATIONAL SEMICONDUCTOR, Datasheet LM117/LM317A/LM317 3-Terminal Adjustable Regulator. [http:// www.national.com](http://www.national.com)

XILINX, Datasheet XC9500XL 3.3V High-Performance CPLD Family.

[http:// www.xilinx.com](http://www.xilinx.com)

XILINX, Datasheet XC95144XL High Performance CPLD

[http:// www.xilinx.com](http://www.xilinx.com)

XILINX, ISE 8.1i Quick Start Tutorial.

[http:// www.xilinx.com](http://www.xilinx.com)

XILINX, ISE 7 In-Depth Tutorial.

[http:// www.xilinx.com](http://www.xilinx.com)