

**DISEÑO DE UN ECUALIZADOR LINEAL DE TIEMPO CONTINUO (CTLE) PARA  
INTERFACES DE ALTA VELOCIDAD INTEGRADO EN TECNOLOGÍA CMOS.**

**DAVID ALEJANDRO REYES GONZÁLEZ**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA**

**2017**

**DISEÑO DE UN ECUALIZADOR LINEAL DE TIEMPO CONTINUO (CTLE) PARA  
INTERFACES DE ALTA VELOCIDAD INTEGRADO EN TECNOLOGÍA CMOS.**

**DAVID ALEJANDRO REYES GONZÁLEZ**

**Trabajo de Grado para optar al título de Ingeniero Electrónico**

**Director**

**LUIS EDUARDO RUEDA GUERRERO**

**Ms.C en ingeniería electrónica**

**CO-Director**

**ELKIM FELIPE ROA FUENTES**

**Ph.D en ingeniería eléctrica y computación.**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA**

**2017**

## **AGRADECIMIENTOS**

Quiero agradecer a Dios y a mi nona Chela que desde el cielo me cuidan constantemente. A mi Mami, por su sacrificio y lucha incansable por sacarme adelante para hacer de mí un profesional, sin su ayuda esta meta habría sido inalcanzable. A mi profesor de Fundamentos de circuitos Analógicos , Javier Ardila, por recomendarme para pertenecer a Onchip y darme la oportunidad de dar mis primeros pinitos en la Microelectrónica. A mi profesor de Diseño de Sistemas Electrónicos y Co-director de proyecto, Elkim Roa, por darme la gran oportunidad de pertenecer a Onchip. A mi Director de proyecto y profesor de Microelectrónica Luis Rueda, por su transmisión de conocimientos, apoyo incondicional en momentos difíciles en el desarrollo de este proyecto, soporte ofrecido para el diseño y su tiempo. A Héctor, Andrés Amaya y JuanJo por sus críticas constructivas y soporte profesional. A Onchip, mi segunda familia.

## CONTENIDO

	<b>Pág.</b>
INTRODUCCIÓN	11
1. ECUALIZADOR LINEAL DE TIEMPO CONTINUO - CTLE	13
2. METODOLOGÍA DE DISEÑO	18
3. RESULTADOS	22
3.1 RESULTADOS PRELAYOUT	22
3.2 LAYOUT.	24
3.3 RESULTADOS POSTLAYOUT.	25
4. CONCLUSIONES Y RECOMENDACIONES PARA TRABAJOS FUTUROS	28
REFERENCIAS BIBLIOGRÁFICAS	31
BIBLIOGRAFÍA	33

## LISTA DE FIGURAS

	<b>Pág.</b>
Figura 1. Diagrama de bloques de la interfaz	12
Figura 2. CTLE convencional	13
Figura 3. Respuesta en frecuencia del CTLE.	14
Figura 4. Esquemático del CTLE implementado.	15
Figura 5. Banco de resistores en el drenador de M1 y M2.	15
Figura 6. Banco de resistores en el surtidor de M1 y M2.	16
Figura 7. Banco de capacitores en el surtidor de M1 y M2.	16
Figura 8. Diagrama de flujo de la metodología de diseño.	18
Figura 9. Compromiso entre velocidad y consumo de potencia.	20
Figura 10. Diagrama de bloques del esquema utilizado en simulación.	23
Figura 11. Control de la respuesta en frecuencia del CTLE.	23
Figura 12. Layout del CTLE.	24
Figura 13. Respuesta en frecuencia del CTLE en simulaciones de esquinas postlayout.	25
Figura 14. Diagrama de ojo: (a) sin ecualización, (b) esquina típica, (c) esquina SSFFLH, (d) esquina FFSSHL.	29

## LISTA DE TABLAS

	<b>Pág.</b>
Tabla 1. Combinaciones de los bancos.	17
Tabla 2. Especificaciones principales de la respuesta en frecuencia del CTLE (ver Figura. 3).	21
Tabla 3. Resumen de las características principales de la respuesta en frecuencia del CTLE.	26
Tabla 4. Valores de la abertura del ojo para esquinas.	26
Tabla 5. Resumen de análisis de Monte Carlo postlayout en las esquinas relevantes y en condiciones típicas.	30
Tabla 6. Comparación de resultados con trabajos de la literatura.	30

## RESUMEN

**Título** DISEÑO DE UN ECUALIZADOR LINEAL DE TIEMPO CONTINUO (CTLE) PARA INTERFACES DE ALTA VELOCIDAD INTEGRADO EN TECNOLOGÍA CMOS\*

**Autor** David Alejandro Reyes González\*\*

**Palabras clave** Ecuilizador, CTLE, CMFB, CMOS.

### DESCRIPCIÓN

Con la reducción en las dimensiones de los transistores CMOS, los enlaces de velocidad afuera de los circuitos integrados no aumentan de la misma manera a las realizadas por dentro. Esta brecha en las demandas, ha generado el desarrollo de circuitos de alta velocidad para mejorar el desempeño de las interfaces, mitigando los efectos de los enlaces afuera de los circuitos integrados, especialmente, la interferencia entre símbolos debido al limitado ancho de banda del canal y reflexiones debido al desacople de impedancias. Técnicas de ecualización pueden ser utilizadas en el receptor o transmisor para mitigar la interferencia entre símbolos y las reflexiones. Varios circuitos ecualizadores tales como ecualizadores lineales de tiempo continuo (CTLE), ecualizadores realimentados de decisión (DFE) son empleados en el receptor [3]. En este trabajo se presenta el diseño sistemático de un ecualizador lineal de tiempo continuo (CTLE) en tecnología CMOS de 130 nm. El CTLE cuenta con un lazo de realimentación de modo común (CMFB) y control en su respuesta en frecuencia. El control de la respuesta en frecuencia es realizado mediante tres señales de 3 bits, el lazo de realimentación de modo común está compuesto por resistores de muestreo, fuentes de corriente PMOS y un amplificador operacional (OpAmp). La funcionalidad del circuito es verificada mediante simulaciones en frecuencia y tiempo. Los resultados de simulación muestran que este CTLE consume una potencia de 9 mW con un producto ganancia-ancho de banda (UGBW) de 3.719 GHz en condiciones nominales.

---

\* Trabajo de grado

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones. Director: Luis Eduardo Rueda Guerrero. Co-Director: Elkim Felipe Roa Fuentes

## ABSTRACT

**Title** DESIGN OF A CONTINUOUS TIME LINEAR EQUALIZER (CTLE) FOR HIGH-SPEED INTERFACES ON CMOS TECHNOLOGY<sup>\*</sup>

**Author** David Alejandro Reyes González <sup>\*\*</sup>

**Keywords** Equalizer, CTLE, CMFB, CMOS.

### DESCRIPTION

With the reduction in feature size of CMOS transistors, the off-chip link speeds have not increased in the same pace as the on-chip link speeds. This gap in high speed demands for better interface circuitry to mitigate the adverse effects of the off-chip links, especially, the intersymbol interference due to limited channel bandwidth and reflections due to impedance discontinuities. Equalization techniques can be used at both transmitter and receiver ends chain to mitigate the ISI and reflections. Various equalization circuits such as continuous time linear equalizer (CTLE), decision feedback equalizer (DFE) are employed in the receiver [3]. In this work a systematic design of a Continuous Time Linear Equalizer (CTLE) in 130nm CMOS technology is presented. This CTLE has a Common Mode Feedback (CMFB) and frequency response control. The frequency response control is realized using 3-bit signal, the CMFB is composed by sampling resistors, PMOS current sources and an Operational Amplifier (Opamp). Circuit functionality is verified using time and frequency simulations. Simulation results shows that power consumption of this CTLE is about 9 mW with an Unity Gain-Bandwidth (UGBW) about 3.719 GHz in nominal conditions.

---

<sup>\*</sup> Bachelor degree

<sup>\*\*</sup> Faculty of Physic-Mechanical Engineering. School Electrical Engineering, Electronics and Telecommunications. Advisor: Luis Eduardo Rueda Guerrero. Co-Advisor: Elkim Felipe Roa Fuentes

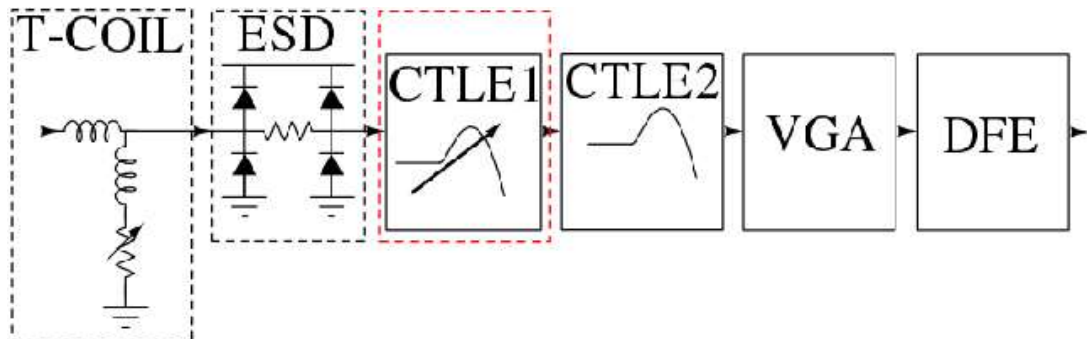
## INTRODUCCIÓN

Este trabajo está dividido de la siguiente manera: en la sección I se presenta las ventajas de utilizar la ecualización como técnica para mitigar el efecto de atenuación del canal en las componentes de alta frecuencia de la señal de datos en un sistema de comunicaciones. En la sección II, se presenta el CTLE convencional propuesto en la literatura y se analiza su respuesta en frecuencia, además es mostrado el arreglo que se implementó en este trabajo explicando sus características principales. En la sección III se muestra la metodología desarrollada para el diseño del circuito y se encuentra un compromiso que permite potenciar el desempeño del circuito en términos de velocidad y potencia. Por último, en la sección IV se muestran resultados pre y post layout, realizando una comparación con trabajos revisados en la literatura para posteriormente mostrar en la sección V las conclusiones y recomendaciones para trabajos futuros.

La demanda por transmisión de datos a altas velocidades en comunicaciones cableadas ha crecido en las últimas décadas, sin embargo, las características de los canales de comunicaciones han restringido la velocidad de transmisión debido a su comportamiento pasa-bajas. El efecto del canal sobre la señal de datos puede ser dividido en dos categorías. Por un lado, la señal puede ser afectada por ruido, causando que la relación señal a ruido (SNR) disminuya. Por otra parte, el limitado ancho de banda del canal causa atenuación en las componentes de alta frecuencia de la señal generando interferencia entre símbolos (ISI) , lo que aumenta la tasa de error de bits (BER). Una forma de mitigar el efecto del canal, es utilizar técnicas de ecualización que permitan atenuar o acentuar selectivamente frecuencias de interés.

La ecualización puede ser utilizada en el transmisor o en el receptor de un sistema de comunicaciones. La literatura propone topologías de circuitos ecualizadores tales como el CTLE (Continuous Time Linear Equalizer), el DFE (Decision Feedback Equalizer) y el FFE (Feed-Forward Equalizer) que son empleados para mitigar la ISI. Además, la ecualización permite mejorar el rendimiento de la transmisión de datos en un sistema de comunicaciones con diferentes longitudes de canal y compensar el efecto de su varianza en el tiempo. Este documento muestra el diseño de un CTLE integrado para un receptor de señales de alta velocidad, cuyo diagrama de bloques se muestra en la Figura 1. La interfaz está compuesta por un adaptador de impedancias (T-Coil), seguido por el circuito de protección de descarga electrostática (ESD), dos CTLE, un amplificador de ganancia variable (VGA) y un DFE en cascada.

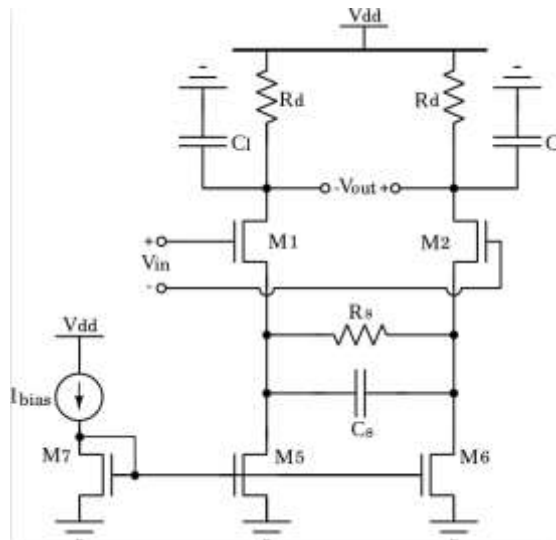
**Figura 1. Diagrama de bloques de la interfaz**



## 1. ECUALIZADOR LINEAL DE TIEMPO CONTINUO - CTLE

La topología típica del CTLE que propone la literatura, se basa en un par diferencial degenerado por una red RC, como se muestra en la Figura 2.

**Figura 2. CTLE convencional**



Despreciando los efectos cuerpo y modulación de canal, la expresión en pequeña señal de la función de transferencia del CTLE está dada por:

$$A_v(s) = \frac{-g_m R_d}{1 + g_m R_s} \frac{(1 + s R_s C_s)}{\left(1 + \frac{s R_s C_s}{1 + g_m R_s / 2}\right) (1 + s R_d C_l)} \quad (1)$$

Donde  $g_m$  es la transconductancia de pequeña señal de M1 y M2, y  $C_l$  es la capacitancia carga del circuito, incluyendo capacitancias parásitas y la capacitancia de entrada de la siguiente etapa. La función de transferencia

expresada en la Ecuación (1) revela que la respuesta en frecuencia del CTLE contiene un cero  $f_{z1}$  y dos polos  $f_{p1}$ ,  $f_{p2}$  dados por:

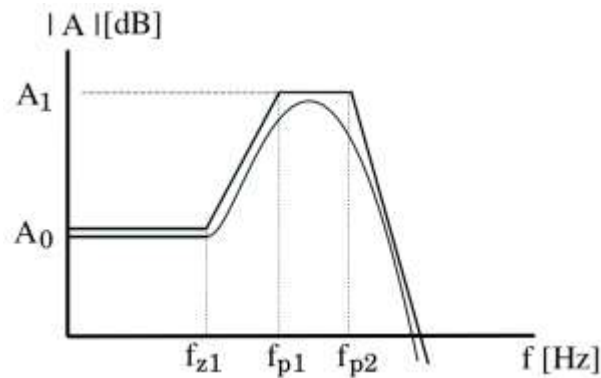
$$f_{z1} = \frac{1}{2\pi R_s C_s} \quad (2)$$

$$f_{p1} = \frac{1 + g_m R_s/2}{2\pi R_s C_s} \quad (3)$$

$$f_{z1} = \frac{1}{2\pi R_d C_l} \quad (4)$$

Las gráficas suavizada y por aproximación de Bode de la respuesta en frecuencia del CTLE, se muestran en la Figura 3.

**Figura 3. Respuesta en frecuencia del CTLE.**



Las expresiones de ganancia  $A_0$  y  $A_1$  a baja y alta frecuencia en escala lineal son, respectivamente:

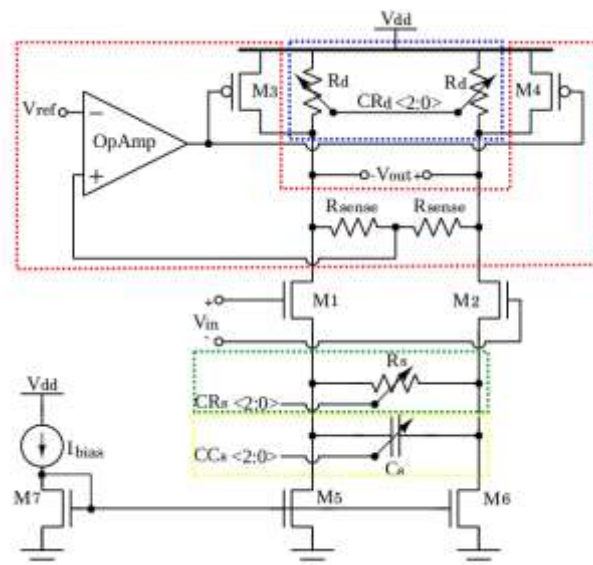
$$A_0 = \frac{-g_m R_d}{1 + g_m R_s/2} \quad (5)$$

$$A_1 = -g_m R_d$$

( 6 )

Sin embargo, la ganancia a alta frecuencia  $A_1$  será atenuada por el efecto del polo  $fp_2$  disminuyendo considerablemente su valor. De esta manera, si se desea tener control en parte de la respuesta en frecuencia del circuito, variando el valor de los resistores  $R_d$  ,  $R_s$  y el capacitor  $C_s$  se puede lograr. Para este fin, en este trabajo se implementa la topología que se muestra en la Figura 4. Este arreglo está compuesto por un banco de resistores  $R_d$  controlado por una señal digital de 3-bits denominada  $CR_d$  , un banco de resistores  $R_s$  controlado por una señal digital de 3-bits denominada  $CR_s$  , y un banco de capacitores  $C_s$  controlado por una señal digital de 3-bits denominada  $CC_s$  . Sus esquemas son mostrados en las Figuras 5, 6 y 7 respectivamente.

**Figura 4. Esquemático del CTLE implementado.**



**Figura 5. Banco de resistores en el drenador de M1 y M2.**

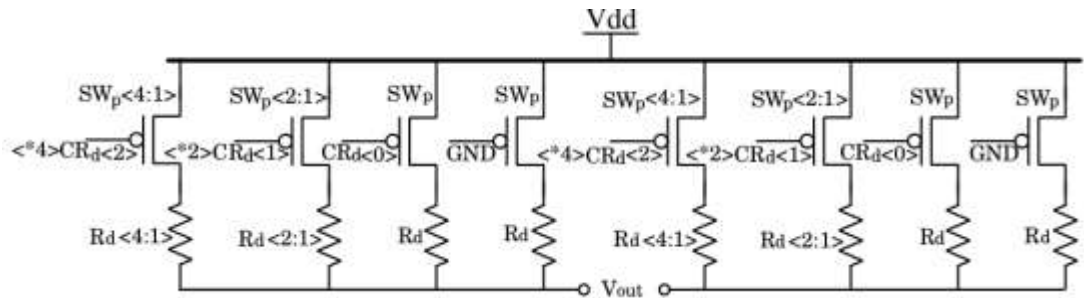


Figura 6. Banco de resistores en el surtidor de M1 y M2.

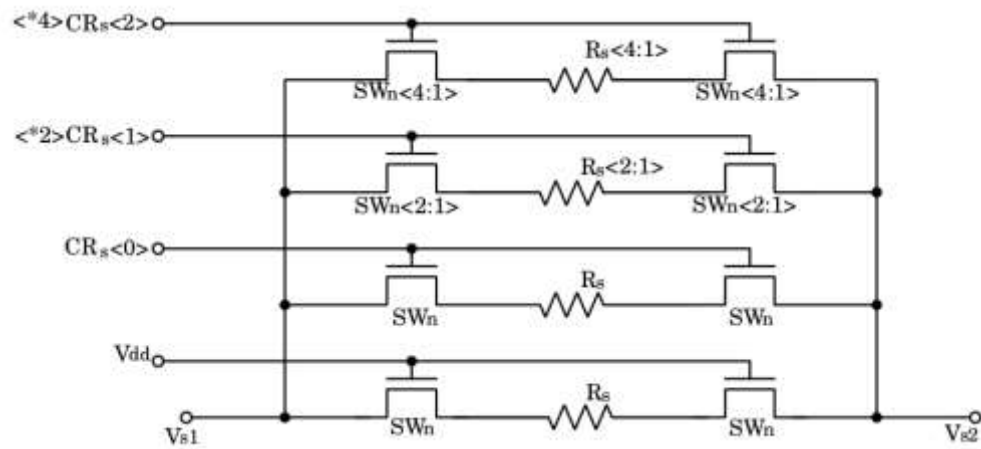
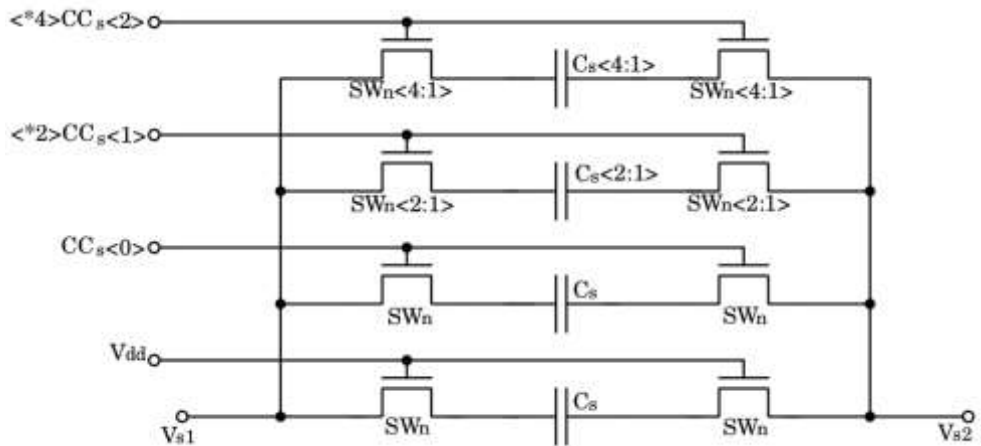


Figura 7. Banco de capacitores en el surtidor de M1 y M2.



En los tres esquemas los transistores utilizados actúan como switches y el número de transistores, resistores y capacitores en paralelo es equivalente al peso del bit de la señal de control. De manera complementaria, para aprovechar las combinaciones 000 o 111, según sea el caso, se dejan encendidos transistores para aprovechar las 8 posibles combinaciones en cada banco. La Tabla I muestra las diferentes combinaciones de valores resistivos y capacitivos equivalentes que pueden tomar los bancos con respecto a un código digital en particular para las señales CRd , CRs y CCs .

**Tabla 1. Combinaciones de los bancos.**

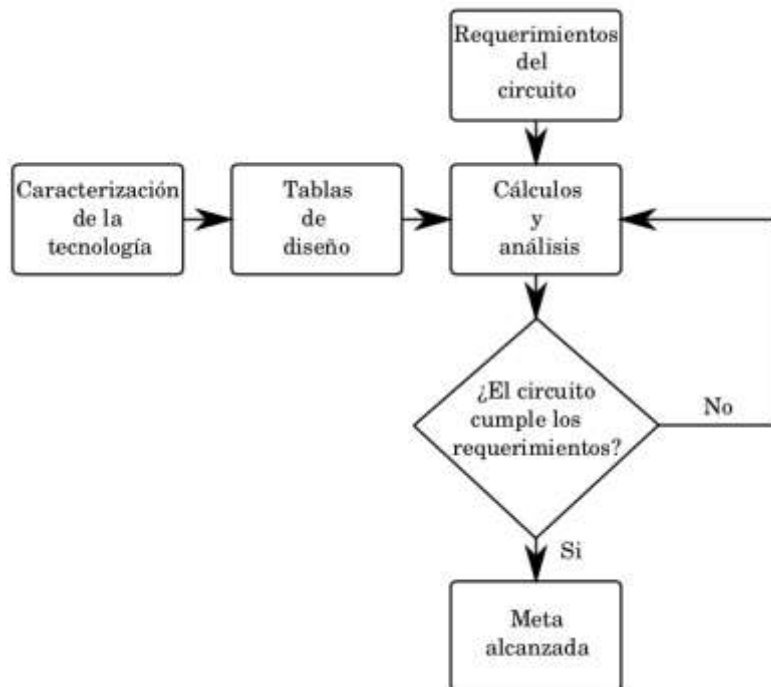
<b>Código digital</b>	$R_{deq}$	$R_{seq}$	$C_{seq}$
<b>000</b>	$R_d/8$	$R_s$	$C_s$
<b>001</b>	$R_d/7$	$R_d/2$	$2C_s$
<b>010</b>	$R_d/6$	$R_d/3$	$3C_s$
<b>011</b>	$R_d/5$	$R_d/4$	$4C_s$
<b>100</b>	$R_d/4$	$R_d/5$	$5C_s$
<b>101</b>	$R_d/3$	$R_d/6$	$6C_s$
<b>110</b>	$R_d/2$	$R_d/7$	$7C_s$
<b>111</b>	$R_d$	$R_s/8$	$8C_s$

El CTLE diseñado cuenta también con un lazo realimentado de modo común (CMFB) a la salida del circuito, compuesto por resistores de muestreo, un amplificador operacional (OpAmp) y dos fuentes de corriente PMOS. La función principal del CMFB en este esquema, es muestrear la tensión de modo común mediante los resistores  $R_{sense}$ , comparar este valor con una tensión de referencia  $V_{ref}$  , y mediante el OpAmp generar una señal de error para ajustar la tensión de modo común a la salida al valor de referencia, mitigando principalmente las variaciones de proceso, condiciones de operación, y desacople de los dispositivos. La fuente de corriente  $I_{bias}$  y los transistores M5-M7 están encargados de la polarización del CTLE.

## 2. METODOLOGÍA DE DISEÑO

El objetivo general de este trabajo es el diseño de un CTLE en tecnología CMOS para interfaces de alta velocidad. Para realizar el diseño, se optó por desarrollar una metodología cuyo diagrama de flujo se muestra en la Figura 8. La metodología se basa en la automatización del diseño mediante el uso de datos extraídos en la caracterización de la tecnología, en cálculos y análisis realizados por el diseñador, en donde se eligen los puntos de polarización y dimensiones apropiadas de los transistores (en una etapa inicial)

**Figura 8. Diagrama de flujo de la metodología de diseño.**



Que permitan satisfacer los requerimientos del sistema. La caracterización se realizó efectuando una variación en DC de la corriente de drenador  $I_d$  desde 0 hasta  $500\mu A$  manteniendo una tensión constante entre drenador y surtidor

equivalente a  $V_{dd}/2=0,6[V]$ , con un transistor de ancho  $W_0 = 1\mu m$  y longitud de canal mínima (130nm) con el fin de aprovechar al máximo la velocidad que proporciona la tecnología. Los parámetros de diseño que se extrajeron de la caracterización fueron las capacitancias intrínsecas, la relación  $g_m / I_d$ , la frecuencia de transición  $f_t$ , y la transconductancia  $g_m$  del transistor en función de la corriente de drenador  $I_d$ . Los parámetros claves para el diseño son  $g_m / I_d$  y  $f_t$ , ya que permiten potenciar el desempeño del circuito en términos de velocidad y consumo de potencia. De la Ecuación (1) se puede encontrar que el producto ganancia unitaria-ancho de banda (UGBW) está dado por:

$$UGBW = \frac{g_m}{2\pi C_l} \quad (7)$$

La ecuación (7) muestra que el UGBW estará limitado por la  $f_t$  de la tecnología. Por definición  $f_t$  está dada por:

$$UGBW = \frac{g_m}{2\pi C_l} \quad (8)$$

Dónde  $C_{g0} = C_{gso} + C_{gdo} + C_{gbo}$  y cada término en la suma corresponde a la capacitancia intrínseca entre puerta-surtidor, puerta-drenador y puerta-cuerpo, respectivamente. La  $f_t$  y la relación  $g_m / I_d$  están directamente relacionadas si se escriben como:

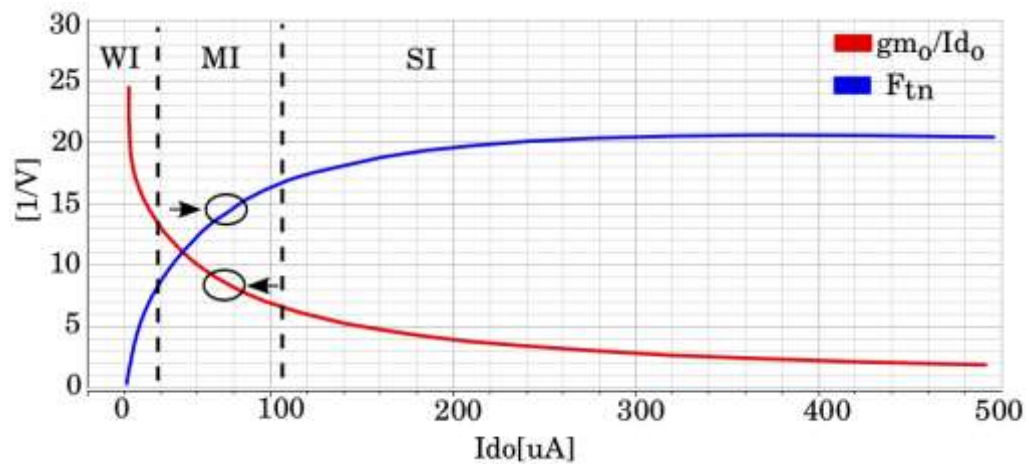
$$g_{m0} / I_{d0} = 2\pi f_t \frac{C_l}{I_d} \quad (9)$$

Considerando que  $C_l = m \cdot C_{g0}$  e  $I_d = m \cdot I_{d0}$ , donde el factor  $m$  en las expresiones es un valor de escala de los valores normalizados, el ancho total del transistor en función de su valor normalizado es:

$$W = W_o \frac{I_d}{I_{do}} \quad (10)$$

El compromiso obtenido en la Ecuación (9) entre  $f_T$  y  $g_{m0}/I_{d0}$  es graficado en función de la corriente  $I_{d0}$  y se muestra en la Figura 9, la expresión  $2\pi f_T C_l / I_{d0}$  es equivalente a  $F_{tn}$  en el gráfico.

**Figura 9. Compromiso entre velocidad y consumo de potencia.**



La relación  $g_{m0}/I_{d0}$  de un transistor operando en la región de saturación está directamente relacionada con su nivel de inversión. En la Figura 9 se muestra el transistor operando en tres niveles de inversión; para valores de corriente  $I_{d0}$  aproximadamente comprendidos entre 0 y  $10\mu A$  el transistor opera en inversión débil (WI), para valores de corriente  $I_{d0}$  comprendidos entre  $100\mu A$  y  $500\mu A$  el transistor opera en inversión fuerte (SI), y en valores intermedios de corriente  $I_{d0}$  comprendidos entre  $10\mu A$  a  $100\mu A$  opera en inversión moderada (MI). Operar el transistor en la región WI implica una considerable reducción de corriente, como consecuencia es sacrificada la frecuencia  $f_t$ . Como contraparte, operar el transistor en la región SI resultaría en el aumento considerable en la corriente  $I_{d0}$ , proporcionalmente aumentando la  $f_t$ , llegando hasta el punto en SI, que la  $f_t$  empieza a decaer debido al aumento de las capacitancias parásitas, con una baja

relación  $g_m/I_{DQ}$ . Por lo tanto, se deduce con la ayuda de la Ecuación (9) y la Figura 9 que un buen punto y región de operación para los transistores de entrada del CTLE M1 y M2 estará en MI, ya que se observa un compromiso favorable entre velocidad y consumo de potencia. En resumen, la relación  $g_m/I_{DQ}$  es un parámetro muy utilizado para describir el punto de operación de un transistor y su rendimiento, ya que proporciona al diseñador una noción del espacio en el que desea trabajar. Por otro lado, es fácil relacionar parámetros de diseño hallados en los cálculos como función de ésta relación, en este caso su representación gráfica proporciona ayuda al diseñador estudiar los compromisos que tiene con la frecuencia  $f_t$ . Las especificaciones para realizar el diseño de la respuesta en frecuencia son resumidas en la Tabla II.

**Tabla 2. Especificaciones principales de la respuesta en frecuencia del CTLE (ver Figura. 3).**

<b>Especificación</b>	<b>Valor</b>
$A_o$	-6dB - 0dB
$A_1$	-
$UGBW$	$\geq 2.5\text{GHz}$
$f_{z1}$	-
$f_{p1}$	nominal @ 600MHz

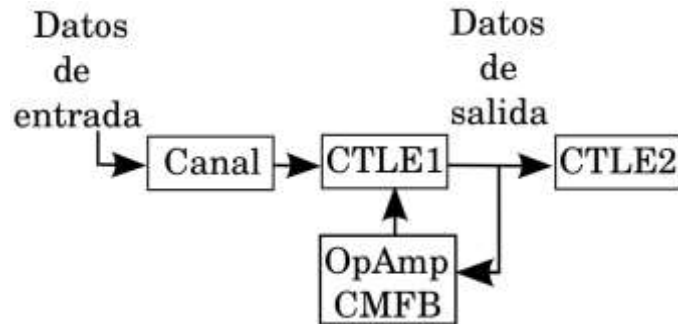
### **3. RESULTADOS**

En la sección anterior se mostró la metodología desarrollada para el diseño de un CTLE, en donde principalmente se realiza el análisis del compromiso que hay entre velocidad y consumo de potencia. Para el diseño de este ecualizador, se busca alcanzar las especificaciones resumidas en la Tabla II. En esta sección se realiza la evaluación de desempeño del circuito antes y después de hacer el layout, se comparan los resultados con trabajos propuestos en la literatura para finalmente redactar las conclusiones y recomendaciones para trabajos futuros.

#### **3.1 RESULTADOS PRELAYOUT**

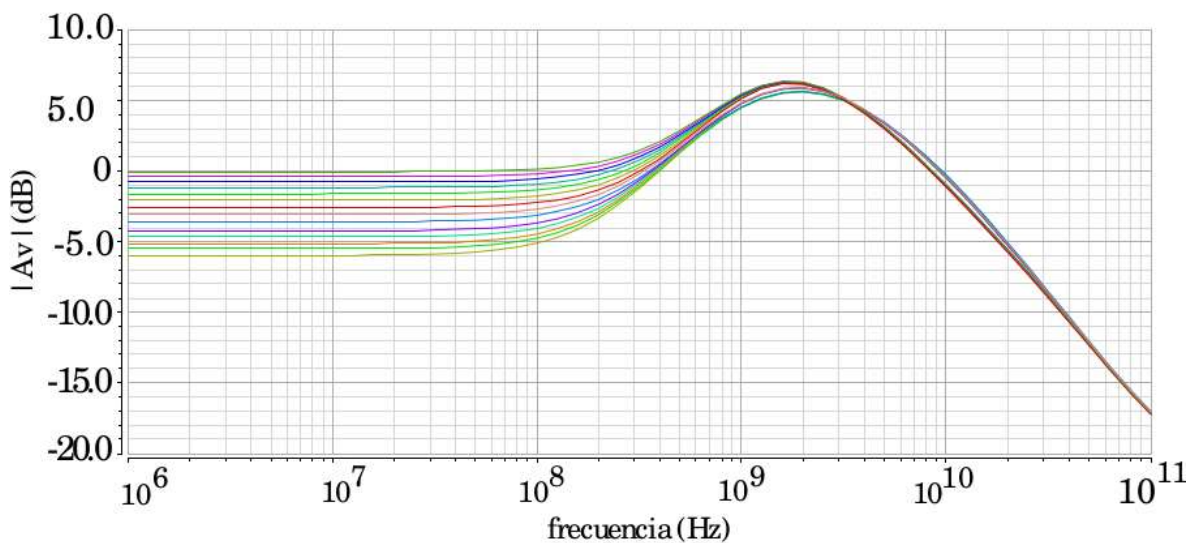
Para evaluar inicialmente el desempeño del circuito se observa su respuesta en frecuencia. Para cuantificar el rendimiento del CTLE, la Figura 10 muestra el diagrama de bloques del montaje que se utilizó en la simulación del circuito, el canal de comunicaciones se modeló mediante un filtro pasa-bajas RC, las pérdidas de canal estimadas fueron de 18-dB inicialmente a 2.5 GHz. El bloque CTLE1 es el circuito diseñado, la función de transferencia es realizada con su relación entrada-salida.

**Figura 10. Diagrama de bloques del esquema utilizado en simulación.**



Como muestra del comportamiento en frecuencia del circuito, en la Figura 11 se muestra el control de la ganancia en DC del circuito variando los tres bancos, manteniendo la ganancia de alta frecuencia constante. En simulaciones de esquinas, las variaciones que se tuvieron en cuenta fueron de proceso de los dispositivos (lentos y rápidos), voltaje de alimentación ( $V_{dd} \pm 10\%$ ) y temperatura (-40, 50, 125 grados C). Los resultados de esquinas prelayout hallados muestran que el mínimo UGBW fue de 6.5 GHz, el típico de 9.798 GHz y el máximo 13.79 GHz con control de su respuesta en frecuencia. Las esquinas de máximo y mínimo UGBW fueron FFSSHL y SSFFLH, respectivamente.

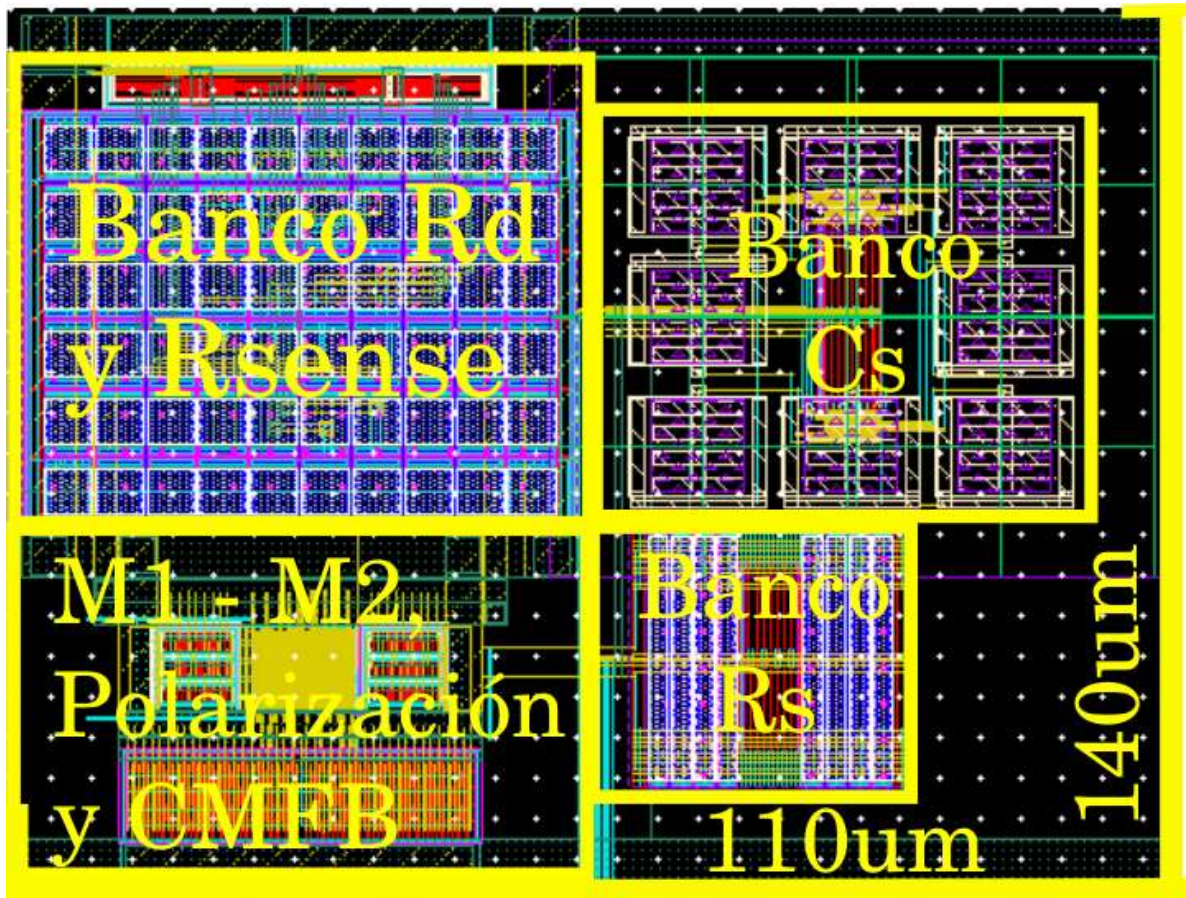
**Figura 11. Control de la respuesta en frecuencia del CTLE.**



### 3.2 LAYOUT.

El layout del CTLE diseñado es mostrado en la Figura 12. Para su ejecución, se tuvieron en cuenta las reglas de diseño que ofrece TSMC y se realizaron análisis de DRC y LVS. También se consideraron estrategias de layout tales como simetría (debido a su naturaleza diferencial), casamiento, interdigitación y centroide común de los dispositivos, dispositivos dummies y anillos de guarda. Además se estimó el ancho mínimo de los metales para el máximo flujo de corriente en DC a 125 grados C. El área del circuito es  $110\mu\text{m} \times 140\mu\text{m}$ .

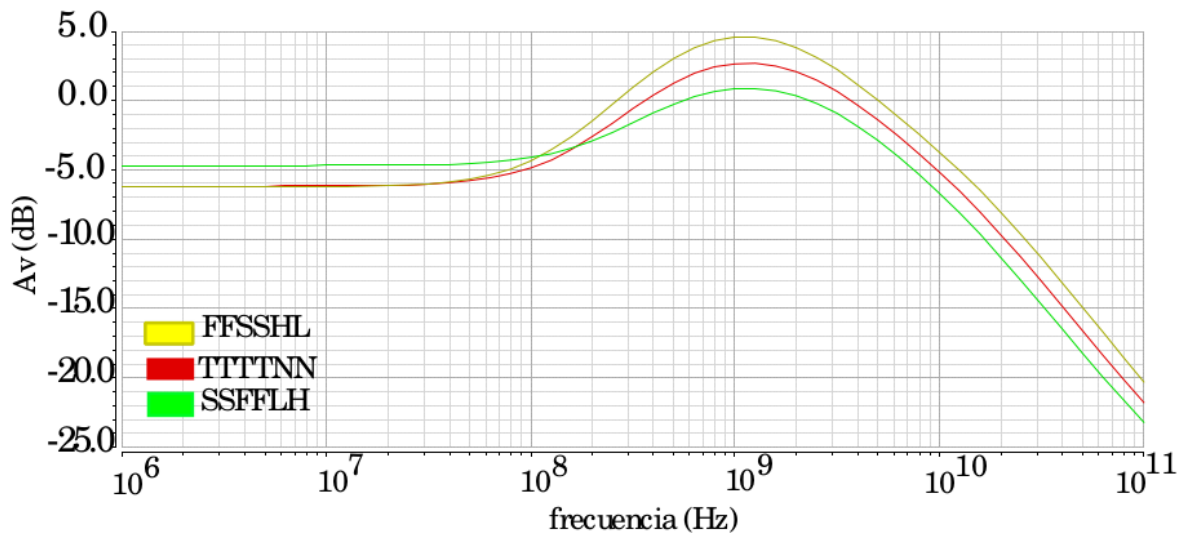
Figura 12. Layout del CTLE.



### 3.3 RESULTADOS POSTLAYOUT.

Una vez trazado el layout del circuito guardando las consideraciones presentadas en la sección anterior se presentan los resultados postlayout. El análisis postlayout del rendimiento en esquinas de la respuesta en frecuencia del CTLE es mostrado en la Figura 13. En esta figura se muestra las esquinas con UGBW mínimo, típico y máximo. Las características principales de la respuesta en frecuencia del CTLE en simulaciones de esquinas postlayout son resumidas en la Tabla III. Sin embargo, la ganancia en DC ( $A_v$ ) y el peaking ( $A_{v \max}$ ) pueden ajustarse mediante el control según se requiera.

**Figura 13. Respuesta en frecuencia del CTLE en simulaciones de esquinas postlayout.**



**Tabla 3. Resumen de las características principales de la respuesta en frecuencia del CTLE.**

	<i>SSFFLH</i>	<i>TTTTNN</i>	<i>FFSSHL</i>
$A_o$ [dB]	-4,675	-6,145	-6,223
$A_v$ [dB] @ 2.5GHz	-0,185	1,460	3,120
$A_{v_{max}}$	0,859	2,670	4,571
$UGBW$ [GHz]	2,323	3,719	5,053

Por otro lado, para medir el rendimiento del CTLE en el dominio del tiempo, se utilizó el diagrama de ojo como medida cualitativa. Los datos de entrada fueron simulados mediante una fuente PRBS-32 con una frecuencia de 2.5GHz y para un tiempo de simulación de 400ns. La Figura 14 muestran los diagramas de ojo de la entrada y salida del CTLE para las tres esquinas, las aberturas verticales del ojo para los tres casos de esquinas son resumidas en la Tabla IV.

**Tabla 4. Valores de la abertura del ojo para esquinas.**

<i>Esquina</i>	<i>Abertura de ojo [mV]</i>
<i>SSFFLH</i>	576,2
<i>TTTTNN</i>	749,9
<i>FFSSHL</i>	816,8

También se realizaron simulaciones de Monte Carlo para 100 muestras de proceso y desacople en las 3 esquinas ya mencionadas, los resultados de el UGBW son resumidos en las Tabla V. Los otros parámetros no se muestran debido a que no tienen gran relevancia, ya que se pueden ajustar mediante el control de los bancos. La Tabla VI muestra el resumen de rendimiento del trabajo hecho comparado con trabajos previamente realizados. Comparar directamente estos parámetros de rendimiento no es posible, pues no es conocida la carga de los circuitos, parámetro clave en el rendimiento de circuitos de alta velocidad. Sin

embargo, este trabajo muestra que tiene mejor desempeño en los parámetros pérdidas de canal y potencia.

#### **4. CONCLUSIONES Y RECOMENDACIONES PARA TRABAJOS FUTUROS**

En este trabajo, un CTLE con un lazo de realimentación de modo común y control en su respuesta en frecuencia fue diseñado. El control de los resistores y capacitores es digital, el lazo de realimentación de modo común está compuesto por resistores de muestreo, fuentes de corriente PMOS y un OpAmp. La funcionalidad del circuito es verificada mediante simulaciones prelayout y postlayout en tiempo y frecuencia. El consumo de potencia en condiciones nominales es de 9 mW alcanzando un frecuencia máxima de operación de 3.719 Ghz en análisis postlayout. Como recomendaciones principales para trabajos futuros, en primer lugar, es de vital importancia estimar detallada y rigurosamente las capacitancias parásitas en los nodos drenador y surtidor de los transistores M1 y M2, sin aumentar considerablemente el consumo de potencia del circuito, el trazado del layout debe ser realizado en base a técnicas tales como centroide común, uso de dummies, casamiento de dispositivos, entre otros. Por otro lado, se propone la revisión del trabajo propuesto por [14], donde es implementado un CTLE con lazo de realimentación de modo común y además implementan inductores activos como técnica para el aumento del ancho de banda.

Figura 14. Diagrama de ojo: (a) sin ecualización, (b) esquina típica, (c) esquina SSFFLH, (d) esquina FFSSHL.

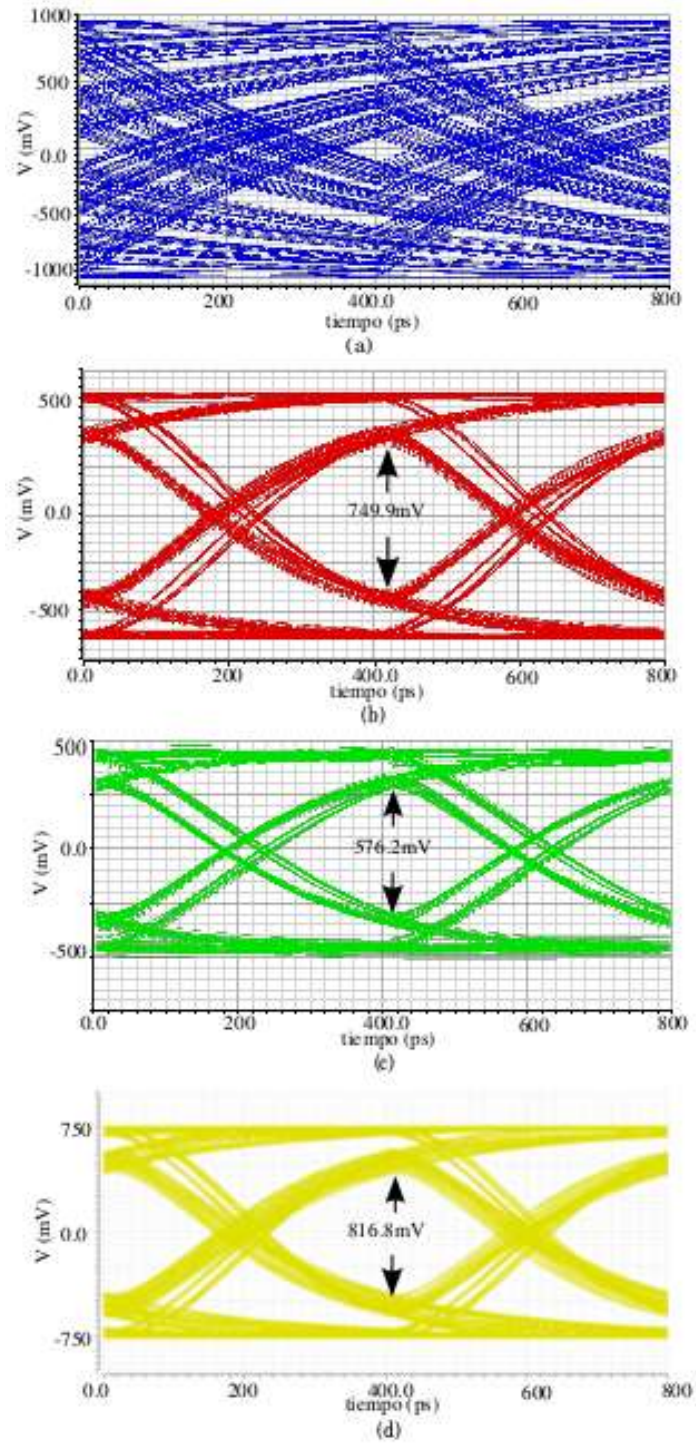


Tabla 5. Resumen de análisis de Monte Carlo postlayout en las esquinas relevantes y en condiciones típicas.

<i>Esquina</i>	$\mu$ [GHz]	$\sigma$ [MHz]
<i>TTTTNN</i>	3,7811	205,01
<i>SSFFLH</i>	2,2564	450,47
<i>FFSSHL</i>	5,415	248,53

Tabla 6. Comparación de resultados con trabajos de la literatura.

	[16]	[5]	<i>Este trabajo</i>
Tecnología	130nm	180nm	130nm
Ecualizador	<i>CTLE</i>	<i>CTLE</i>	<i>CTLE</i>
Velocidad [Gbps]	5,4	5	5
Pérdidas de canal [dB]	15,7	6,8	18
$V_{dd}$ [V]	1,2	1,8	1,2
Potencia [mW]	35	18	9
Abertura de ojo [mV]	300	1735	749,9

## REFERENCIAS BIBLIOGRÁFICAS

- [1] B. Razavi, Design of Analog CMOS Integrated Circuits. McGraw-Hill, 2000.
- [2] C. G. Gasca, S. C. Pueyo et al., CMOS Continuous-Time Adaptive Equalizers for High-Speed Serial Links. Springer, 2014.
- [3] D. Duvvuri and V. S. R. Pasupureddi, "Design and analysis of a current mode integrated ctle with charge mode adaptation," Microelectronics Journal, vol. 53, pp. 81–89, 2016.
- [4] D. Stefanovic and M. Kayal, Structured analog CMOS design. Springer Science & Business Media, 2008.
- [5] H. Kimura, P. M. Aziz et al., "A 28 gb/s 560 mw multi-standard serdes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm cmos," IEEE Journal of Solid-State Circuits, vol. 49, no. 12, pp. 3091–3103, 2014.
- [6] M. Atef and H. Zimmermann, "Optoelectronic circuits in nanometer cmos technology," in Optoelectronic Circuits in Nanometer CMOS Technology. Springer, 2016, pp. 217–240.
- [7] P. Jespers, The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches. Springer Science & Business Media, 2009.
- [8] R. Behzad, RF microelectronics. Prentice Hall New Jersey, 1998, vol. 2.

- [9] R. J. Baker, CMOS: circuit design, layout, and simulation. John Wiley & Sons, 2008, vol. 1.
- [10] S. Agarwal and V. S. R. Pasupureddi, "A 5-gb/s adaptive ctle with eye-monitoring for multi-drop bus applications," in Circuits and Systems (MWSCAS), 2014 IEEE 57th International Midwest Symposium on. IEEE, 2014, pp. 410–413.
- [11] S. Gondi and B. Razavi, "Equalization and clock and data recovery techniques for 10-gb/s cmos serial-link receivers," IEEE Journal of Solid-State Circuits, vol. 42, no. 9, pp. 1999–2011, 2007.
- [12] W.-S. Kim, C.-K. Seong et al., "A 5.4-gbit/s adaptive continuous-time linear equalizer using asynchronous undersampling histograms," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 59, no. 9, pp. 553–557, 2012.
- [13] Y. Choi and Y.-B. Kim, "A 10-gb/s receiver with a continuous-time linear equalizer and 1-tap decision-feedback equalizer," in Circuits and Systems (MWSCAS), 2015 IEEE 58th International Midwest Symposium on. IEEE, 2015, pp. 1–4.
- [14] Y.-H. Kim, Y.-J. Kim et al., "A 21-gbit/s 1.63-pj/bit adaptive ctle and one-tap dfe with single loop spectrum balancing method," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 2, pp. 789–793, 2016.
- [15] Y. Tsvetkov and C. McAndrew, Operation and Modeling of the MOS Transistor. Oxford Univ. Press, 2011.

## BIBLIOGRAFÍA

AGARWAL S. and PASUPUREDDI V. S. R., “A 5-gb/s adaptive ctle with eye-monitoring for multi-drop bus applications,” in Circuits and Systems (MWSCAS), 2014 IEEE 57th International Midwest Symposium on. IEEE, 2014, pp. 410–413.

ATEF M. and ZIMMERMANN H., “Optoelectronic circuits in nanometer cmos technology,” in Optoelectronic Circuits in Nanometer CMOS Technology. Springer, 2016, pp. 217–240.

BAKER R. J., CMOS: circuit design, layout, and simulation. John Wiley & Sons, 2008, vol. 1.

BEHZAD R., RF microelectronics. Prentice Hall New Jersey, 1998, vol. 2.

CHOI Y. and KIM Y.-B., “A 10-gb/s receiver with a continuous-time linear equalizer and 1-tap decision-feedback equalizer,” in Circuits and Systems (MWSCAS), 2015 IEEE 58th International Midwest Symposium on. IEEE, 2015, pp. 1–4.

DUVVURI D. and PASUPUREDDI V. S. R., “Design and analysis of a current mode integrated ctle with charge mode adaptation,” Microelectronics Journal, vol. 53, pp. 81–89, 2016.

GASCA C. G., PUEYO S. C. et al., CMOS Continuous-Time Adaptive Equalizers for High-Speed Serial Links. Springer, 2014.

GONDI S. and RAZAVI B., "Equalization and clock and data recovery techniques for 10-gb/s cmos serial-link receivers," IEEE Journal of Solid-State Circuits, vol. 42, no. 9, pp. 1999–2011, 2007.

JESPERS P., The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits: The semi-empirical and compact model approaches. Springer Science & Business Media, 2009.

KIM W.-S., SEONG C.-K. et al., "A 5.4-gbit/s adaptive continuous-time linear equalizer using asynchronous undersampling histograms," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 59, no. 9, pp. 553–557, 2012.

KIM Y.-H., KIM Y.-J. et al., "A 21-gbit/s 1.63-pj/bit adaptive ctle and one-tap dfe with single loop spectrum balancing method," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 2, pp. 789–793, 2016.

KIMURA H., AZIZ P. M. et al., "A 28 gb/s 560 mw multi-standard serdes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm cmos," IEEE Journal of Solid-State Circuits, vol. 49, no. 12, pp. 3091–3103, 2014.

RAZAVI B., Design of Analog CMOS Integrated Circuits. McGraw-Hill, 2000.

STEFANOVIC D. and KAYAL M., Structured analog CMOS design. Springer Science & Business Media, 2008.

TSIVIDIS Y. and Mcandrew C., Operation and Modeling of the MOS Transistor. Oxford Univ. Press, 2011.