

Diseño de una fuente de voltaje de referencia de *bandgap* integrada en tecnología *CMOS*

Juan Carlos Mateus Ardila

Universidad Industrial de Santander

Facultad de Ingenierías Físico-Mecánicas

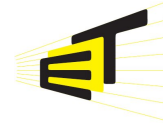
Escuela de ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Grupo de diseño de circuitos integrados, CIDIC

Bucaramanga – 2007



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



Diseño de una fuente de voltaje de referencia de *bandgap* integrada en tecnología *CMOS*

Juan Carlos Mateus Ardila

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

Elkim Felipe Roa Fuentes

Co-director

Alfredo Rafael Acevedo Picón

Universidad Industrial de Santander

Facultad de Ingenierías Físico-Mecánicas

Escuela de ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Grupo de diseño de circuitos integrados, CIDIC

Bucaramanga – 2007

*A mis adorados padres, virgen y juancho
y a mi querida hermana, nana*

Agradecimientos

Quiero agradecer a mis papás y a mi hermana por su constante e incondicional apoyo, por el calor de hogar que me han ofrecido, porque superando la distancia que nos separa, siempre nos hemos mantenido unidos y sin ellos esta meta habría sido inalcanzable.

A Elkim por su transmisión de conocimientos, su apoyo personal y profesional. A Hugo por la confianza que depositó en mí, por darme la oportunidad de fabricar mi primer circuito y por el soporte ofrecido en el diseño. A Armando por sus críticas oportunas y ofrecerme su apoyo profesional. A Sergio por su participación activa en la edición del libro.

A Oscar Carrillo por ayudarme a mantener funcionando las herramientas computacionales que se usaron en este trabajo. A CIDIC por ofrecerme un equipo de trabajo comprometido y a aquellos que me sacaron en algún instante de la rutina de la universidad, y me ayudaron a despejar mi mente para alojar ideas nuevas.

Contenido general

1. Introducción	1
1.1. Fundamentos	1
1.1.1. Corriente <i>PTAT</i>	2
1.1.2. Corriente <i>CTAT</i>	3
1.1.3. Principio de funcionamiento	3
1.2. Topologías con transistores <i>CMOS</i>	4
1.2.1. Compensación de segundo orden	5
1.2.2. Corrección de curvatura con una corriente lineal por partes	6
1.3. Estado del arte	8
1.4. Organización del documento	10
2. Circuito propuesto	11
2.1. Selección de topología	11
2.2. Descripción del circuito	12
2.2.1. Bloque <i>PTAT</i>	12
2.2.2. Bloque <i>CTAT</i>	13
2.2.3. Bloque <i>PWL</i>	15
2.2.4. Circuito propuesto	16
2.3. Análisis del circuito	18
2.3.1. Variación de temperatura	18
2.3.2. Variaciones en V_{DD}	19
2.3.3. Análisis de Montecarlo	20
2.3.4. Consideraciones de <i>layout</i>	21
2.4. Estrategia y diseño	23
2.4.1. Modelado del transistor <i>MOS</i> en inversión débil	24
2.4.2. Diseño preliminar	24
2.4.3. Resultados de simulación	28

2.4.4. Respuesta en frecuencia	30
2.4.5. Ajuste de V_{REF}	31
3. Resultados	33
3.1. Resultados <i>prelayout</i>	33
3.2. Consideraciones para el trazado del <i>layout</i>	35
3.3. Resultados <i>poslayout</i>	37
3.4. Observaciones y conclusiones	39
3.5. Recomendaciones para trabajos futuros	43
A. Voltaje compuerta-surtidor V_{GS}	47
Bibliografía	48

Índice de figuras

1.	Generadores de I_{PTAT} con transistores bipolares	2
2.	Generadores de I_{CTAT} con transistores bipolares	3
3.	Principio de la fuente de <i>bandgap</i>	4
4.	Fuentes de <i>bandgap</i> pioneras	5
5.	Circuito con compensación de segundo orden	6
6.	Corriente <i>PWL</i>	7
7.	V_{REF} con curvatura compensada	8
8.	I_{PTAT} en inversión débil	13
9.	I_{CTAT} en inversión débil	14
10.	I_{NL} en inversión débil	15
11.	Fuente de voltaje de referencia.	16
12.	Representación del voltaje de referencia	18
13.	Dependencia de V_{PTAT} a L_M , L_P y W_R	22
14.	Corriente en subumbral Vs. V_{GS}	24
15.	Corriente I_{D2} contra resistencia R_P	25
16.	Corriente I_{D4} contra resistencia R_C	26
17.	Corrientes y voltajes $PTAT$ y $CTAT$	28
18.	I_{PTAT} e I_{CTAT} y la longitud de canal	29
19.	Ajuste del voltaje V_{CTAT}	30
20.	Comportamiento de la corriente I_{NL}	31
21.	Comportamiento en frecuencia	31
22.	Resultados <i>prelayout</i> en temperatura	34
23.	Resultados <i>prelayout</i> en <i>DC</i>	35
24.	<i>Layout</i> de elementos agrupados	36
25.	Resultados <i>poslayout</i> en la temperatura	39
26.	Resultados <i>poslayout</i> en <i>DC</i>	40

27. *Layout* del circuito 45

Índice de Tablas

1.	Estado del arte	9
2.	Parámetros de las resistencias	19
3.	Desviaciones de los parámetros	20
4.	Metas de diseño	23
5.	Elementos del bloque <i>PTAT</i>	25
6.	Elementos del bloque <i>CTAT</i>	26
7.	Elementos del bloque <i>PWL</i>	27
8.	Elementos de la etapa de salida	27
9.	Diseño preliminar	28
10.	Desempeño <i>prelayout</i> contra <i>poslayout</i>	38
11.	Mejoras de este trabajo	41
12.	Comparativa con el estado del arte	42

Resumen

Título: Diseño de una fuente de referencia de *bandgap* integrada en tecnología *CMOS*¹

Autor: Juan Carlos Mateus Ardila²

Palabras claves: *Inversión débil, Lineal por partes, Subumbral.*

Descripción

Este trabajo de grado estudia la posibilidad de mezclar el uso de los transistores *MOS* polarizados en inversión débil, y la corrección de la curvatura en una fuente de referencia, con el fin de bajar el consumo de corriente a la vez que se mejore el coeficiente térmico y se pueda usar un amplio rango de temperatura de trabajo. Para esto se revisan los conceptos y las técnicas de corrección de curvatura que se han propuesto en la literatura, seguido de el estudio de las fuentes de referencia basadas en transistores *MOS* polarizados en inversión débil. En este diseño se tuvo que adaptar la técnica de corrección seleccionada, de tal modo que se pueda usar sobre la curvatura cóncava de un voltaje de referencia basado en transistores *MOS* polarizados en inversión débil. Para obtener un buen desempeño del circuito se hace un análisis estadístico buscando atenuar el efecto de las variaciones del proceso de fabricación.

Se propone una fuente de referencia de bajo consumo de potencia basada en transistores *MOS* polarizados en inversión débil. En esta fuente se usa una corriente lineal por partes para corregir la curvatura del voltaje de salida, obteniendo un coeficiente térmico de $3 \mu V/^{\circ}C$ en un rango de temperatura de $[-50; 150]^{\circ}C$. El circuito diseñado tiene un voltaje de salida de $183 mV$ y ocupa una área de $0,031 mm^2$ con un consumo de corriente de $2,4 \mu A @ 3,3 V$.

¹Modalidad: Trabajo de grado.

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: MSc. Alfredo Rafael Acevedo Picòn

Abstract

Title: Design of a bandgap reference voltage integrated in CMOS technology³

Author: Juan Carlos Mateus Ardila⁴

Key words: *Weak inversion, Piece-wise linear, Subthreshold.*

Description

This thesis studies the possibility of mixing the use of weak inversion MOS transistors and the curvature correction in a reference source, in order to reduce the power consumption meantime the thermal coefficient is improved in a wider working temperature range. In order to achieve these aims, it reviews the concepts and techniques for curvature correction that have been proposed in the literature, followed by the study of the reference sources based on weak inversion MOS transistors. In this design, it had to adapt the correccion technique selected, so that can be used on the concave curvature of a voltage reference based on weak inversion MOS transistors. To improve the circuit performance, a statistical analysis is done in order to mitigate the manufacturing process variations effect.

It is propose a a low power consumption reference source based on weak inversion MOS transistors. In this source a piece-wise linear current is used to correct the curvature of the output voltage, with a thermal coefficient of $3 \mu V/^{\circ}C$ in a temperature range of $[-50; 150]^{\circ}C$. The circuit designed has an output voltage of $183 mV$ and occupies an area of $0,031 mm^2$ with a current consumption of $2,4 \mu A @ 3,3 V$.

³Degree Project.

⁴Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: MSc. Alfredo Rafael Acevedo Picón

Capítulo 1

Introducción

El creciente mercado de los dispositivos móviles exige el diseño de nuevos circuitos que faciliten la portabilidad, la cual se mejora con la disminución del tamaño de los circuitos que lo conforman mediante la integración de sus bloques analógicos y digitales en una sola pastilla. Teniendo en cuenta que un dispositivo móvil está compuesto principalmente por bloques digitales implementados comúnmente en tecnología *CMOS*, se deben adaptar los bloques analógicos a esta tecnología para facilitar su integración.

Mientras la mayoría de estos bloques analógicos deben hacer una reproducción fiel de cualquier variación en la señal de entrada, el voltaje de salida de la fuente de referencia se debe mantener constante ante cualquier variación interna o externa; ya sea en el tiempo, en la temperatura, en la corriente de carga o en la fuente de alimentación. De este modo, la fuente de referencia puede mantener la polarización deseada en cada bloque funcional, de tal manera que su funcionamiento se mantenga dentro de los parámetros esperados.

Así, con las adaptaciones propias para cada bloque funcional y el aumento en la integración de los dispositivos se bajan los costos de fabricación, mientras que la disminución de la longitud de canal reduce el consumo de corriente, aprovechando mejor la poca capacidad de energía provista por las baterías que alimentan los dispositivos móviles.

1.1. Fundamentos

En la implementación de ciertos dispositivos se requiere de una señal que polarice algunos de los bloques que lo conforman, ya sea una señal de corriente o voltaje. Si la polarización se hace con un espejo de corriente, se depende de una corriente de referencia que puede ser obtenida de una resistencia o, en el mejor de los casos, de un transistor polarizado con un voltaje; pero, sigue la dependencia de un voltaje de referencia para polarizar satisfactoriamente el circuito. A continuación se presentan los componentes básicos de la fuente de referencia,

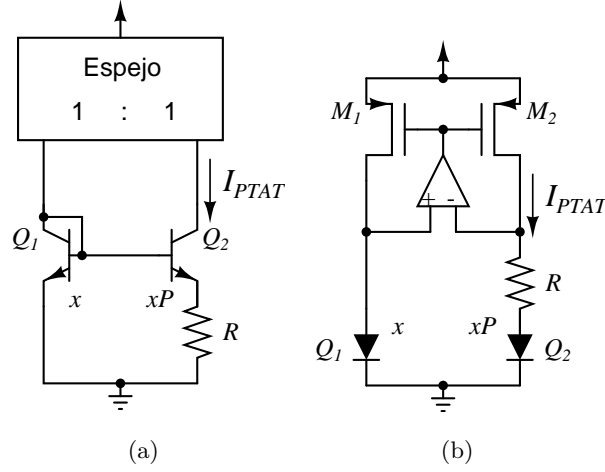


Figura 1: (a) Circuito para generar una corriente I_{PTAT} con transistores bipolares. (b) Primer circuito para generar una corriente I_{PTAT} en tecnología *CMOS*.

así como su principio de funcionamiento y su evolución.

1.1.1. Corriente *PTAT*

Una variable *PTAT* es proporcional a la temperatura absoluta, y debe su nombre a las siglas en inglés de *proportional to absolute temperature*. La corriente I_{PTAT} se obtiene de polarizar una resistencia con la diferencia entre los voltajes V_{BE} de dos transistores bipolares (V_{PTAT}), para que este voltaje sea mayor que cero los transistores deben tener diferentes corrientes de saturación, lo que se logra usando transistores con diferentes áreas, como se ve en la figura 1.1(a), donde se muestra la estructura básica para la generación de una corriente I_{PTAT} . En la ecuación (1.1) se muestra las corrientes de colector de los dos transistores bipolares Q_1 y Q_2 respectivamente, al igualar estas corrientes, y despejar $V_{BE_1} - V_{BE_2}$ se obtiene la expresión del voltaje V_{PTAT} , ecuación (1.2), donde x y xP son las áreas de los transistores D_1 y D_2 respectivamente.

$$I_C = I_{S_1} \exp \frac{V_{BE_1}}{V_T} \quad I_C = I_{S_2} \exp \frac{V_{BE_2}}{V_T} \quad (1.1)$$

$$V_{PTAT} = V_{BE_1} - V_{BE_2} = V_T \ln \frac{I_{S_2}}{I_{S_1}} = V_T \ln \frac{xP J_S}{x J_S} = V_T \ln P \quad (1.2)$$

Debido a que en la tecnología *CMOS* no se disponen de procesos para construir transistores bipolares, se aprovecha los transistores laterales *PNP* pero éstos tienen el colector aterrizado, por lo que se deben hacer modificaciones en la topología para poder usarlos. Estas modificaciones se presentan en la figura 1.1(b), donde se usan dos transistores bipolares *PNP* conectados en configuración de diodo, de tal manera que la diferencia de sus voltajes V_{BE}

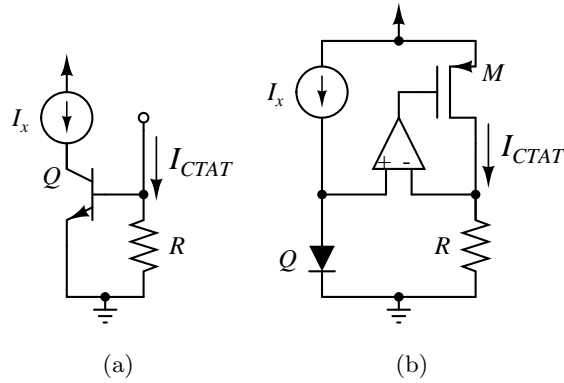


Figura 2: (a) Circuito para generar una corriente I_{CTAT} . (b) Circuito para generar una corriente I_{CTAT} en tecnología *CMOS*.

se ve en la resistencia R gracias al corto virtual en la entrada del *OpAmp*, produciendo una corriente I_{PTAT} .

1.1.2. Corriente $CTAT$

Una variable $CTAT$ es complementaria a la temperatura absoluta, y debe su nombre a las siglas en inglés de *complementary to absolute temperature*. Para obtener una corriente I_{CTAT} se polariza una resistencia con un voltaje V_{BE} , produciéndose una corriente que tiene un comportamiento, que aunque no es de primer orden, si es $CTAT$, ecuación (1.4). En la figura 1.2(a) se muestra una topología para obtener una corriente I_{CTAT} , donde la corriente I_x que polariza el transistor debe ser I_{PTAT} para atenuar la componente logarítmica del voltaje V_{BE} , como se ve en la ecuación (1.3).

$$V_{BE}(T) = V_G(T) + [V_{BE}(T_0) - V_G(T_0)] \frac{T}{T_0} + \frac{kT}{q} \ln \left[\frac{I_C(T)}{I_C(T_0)} \left(\frac{T_0}{T} \right)^\eta \right] \quad (1.3)$$

$$I_{CTAT} \approx \frac{V_{BE}}{R} \quad (1.4)$$

La topología mostrada en la figura 1.2(b) se usa para obtener una corriente I_{CTAT} en tecnología *CMOS*, donde el corto virtual en la entrada del *OpAmp* garantiza que la resistencia sea polarizada con el voltaje V_{BE} de un transistor bipolar conectado en configuración de diodo.

1.1.3. Principio de funcionamiento

Las fuentes de voltaje de referencia de *bandgap* parten del voltaje V_{BE} descrito en la ecuación (1.3), donde V_G es el voltaje de *bandgap*, I_C es la corriente de colector del transistor bipolar, k es la constante de Boltzmann, q es la carga del electrón, η es una constante del proceso de fabricación, T es la temperatura dada en Kelvins $[K]$, y T_0 es la temperatura

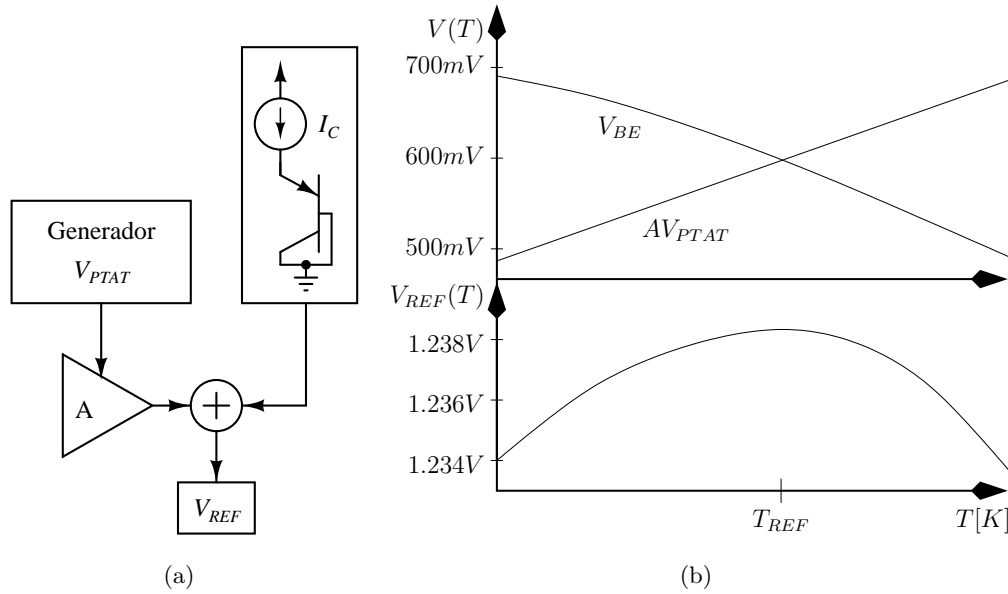


Figura 3: (a) Esquema para la generación de un voltaje de *bandgap*. (b) Voltajes V_{BE} , V_{PTAT} y V_{REF} en una fuente de *bandgap*.

de referencia. En la figura 1.3(a) se presenta el esquema básico para producir un voltaje de referencia de *bandgap*, donde se suma una tensión V_{BE} con la tensión escalada AV_{PTAT} , ecuación (1.5). En la figura 1.3(b) se muestran las curvas de las tensiones V_{BE} y AV_{PTAT} , y el resultado de su suma, que se ajusta para ser centrada en T_0 , donde se presenta el valor máximo de un voltaje con comportamiento convexo.

$$V_{REF} = V_{BE}(T) + AV_{PTAT} \quad (1.5)$$

La fuente de voltaje de referencia de *bandgap* se implementó por primera vez en 1971, cuando Robert J. Widlar [1] presentó un circuito, figura 1.4(a), en el que se suma el voltaje V_{BE} de un transistor bipolar (Q_3) con la diferencia de dos voltajes V_{BE} ($V_{PTAT}R_2/R_3$). Este circuito sencillo fue adaptado en 1974 por A. Paul Brokaw [2], de tal manera que eliminó el error debido a la resistencia en la base de los transistores bipolares. Para obtener esta mejora se realizó un sensado del voltaje en el colector de los transistores con un *OpAmp*, como se muestra en la figura 1.4(b), garantizando que los dos transistores tengan la misma corriente de polarización.

1.2. Topologías con transistores *CMOS*

Las aplicaciones analógicas, que eran del dominio de la tecnología bipolar, se han adaptado a la tecnología *CMOS* debido a su mayor densidad de integración. Dentro de estas aplicaciones

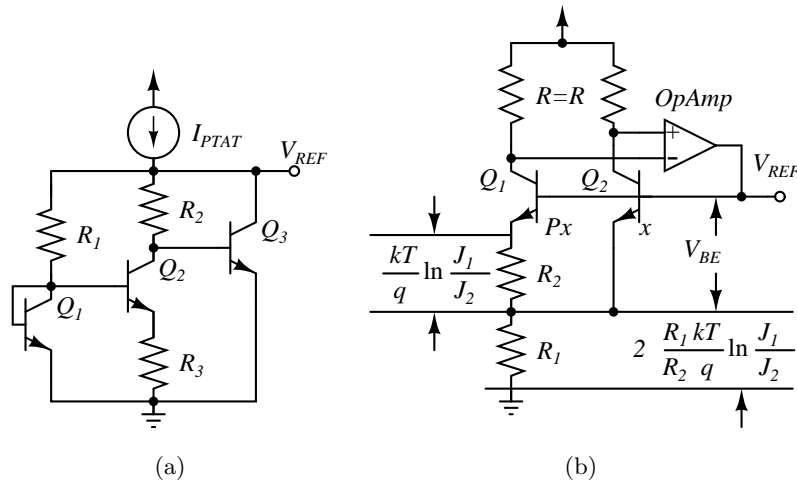


Figura 4: Primeras fuentes de *bandgap*. (a) Circuito propuesto por Widlar. (b) Circuito mejorado por Brokaw.

está la fuente de voltaje de referencia de *bandgap* la cual ha sufrido modificaciones en su topología para hacer uso de los transistores bipolares verticales *PNP*, resultado de aprovechar los transistores parásitos de la tecnología *CMOS*.

Gracias a estas adaptaciones se han conseguido fuentes de voltaje de referencia de *bandgap* con mejor coeficiente térmico. Pero, el continuo desarrollo de la tecnología *CMOS* permite disminuir cada vez el voltaje de alimentación, lo cual implica que además de adaptar la fuente de referencia, se deben realizar mayores esfuerzos para lograr mejores coeficientes térmicos. Para esto se debe atacar, tanto el término de primer orden del voltaje V_{BE} , como los de orden superior. En esta sección se presentan dos técnicas para la corrección de la curvatura en el voltaje de referencia de *bandgap* en tecnología *CMOS*.

1.2.1. Compensación de segundo orden

En el 2003, Ka Nang Leung presentó un circuito con un voltaje de referencia de segundo orden, que se logra usando resistencias de diferente material, y por lo tanto, con diferente coeficiente térmico. En la figura 5 se presenta el esquema del circuito, donde R_1 , R_2 y R_4 son resistencias de polisilicio de alta impedancia (RPOLYH), mientras que R_3 es una resistencia de difusión P (RDIFFP). Con una corriente I_{PTAT} , ecuación (1.6), se forma un voltaje V_{PTAT} en la resistencia R_2 , mientras que en la resistencia R_3 se forma un voltaje con un coeficiente térmico de segundo orden (V_{PTAT}^2). Estos dos voltajes se suman al voltaje V_{BE} de Q_2 , cancelando los términos de primer y segundo orden de la serie de Taylor del voltaje V_{BE} , por lo tanto, reduciendo la variación en temperatura del voltaje de referencia de *bandgap*. El voltaje de referencia de *bandgap* de segundo orden es descrito en la ecuación (1.7), donde el

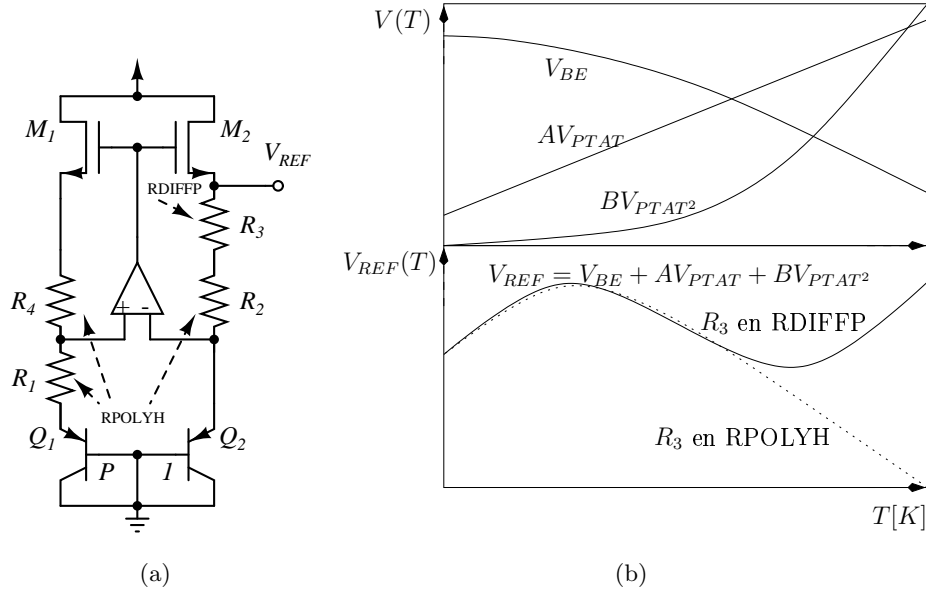


Figura 5: (a) Circuito con compensación de segundo orden y (b) su voltaje de salida.

coeficiente R_2/R_1 es independiente de la temperatura, debido a que las resistencias R_1 y R_2 son del mismo material, mientras que aprovechando el coeficiente térmico negativo y positivo de R_3 (RPOLYH) y R_1 (RDIFFP) respectivamente, se establece el coeficiente R_3/R_1 con comportamiento $PTAT$ [3].

$$I_{PTAT} = \frac{V_T}{R_1} \ln P \quad (1.6)$$

$$V_{REF} = V_{BE2} + \frac{R_2}{R_1} V_T \ln P + \frac{R_3}{R_1} V_T \ln P \quad (1.7)$$

1.2.2. Corrección de curvatura con una corriente lineal por partes

La corrección de curvatura con corriente consiste en la suma de una corriente lineal por partes a un voltaje de referencia de *bandgap* de primer orden, de tal manera que contrarreste el comportamiento no lineal del voltaje V_{BE} con respecto a la temperatura. La corriente lineal por partes es el resultado de la resta de dos corrientes, en el caso de la fuente de voltaje de referencia de *bandgap*, se resta I_{PTAT} de $I_{V_{BE}}$, de tal manera que las componentes no lineales de V_{BE} están presentes en la corriente lineal por partes y son estas componentes las que hacen la corrección de curvatura. La resta de las corrientes se logra aprovechando el comportamiento no lineal de los transistores usando la topología de la figura ??, el funcionamiento y la región de polarización de los transistores de este circuito es descrito con la figura 1.6(a), donde se puede observar la transición entre regiones de operación de cada transistor. El transistor M_1 actúa como una fuente no ideal de corriente I_{PTAT} ; para la mitad inferior del rango de temperatura, la corriente I_{PTAT} es menor que la corriente $I_{V_{BE}}$, si M_1 opera en saturación.

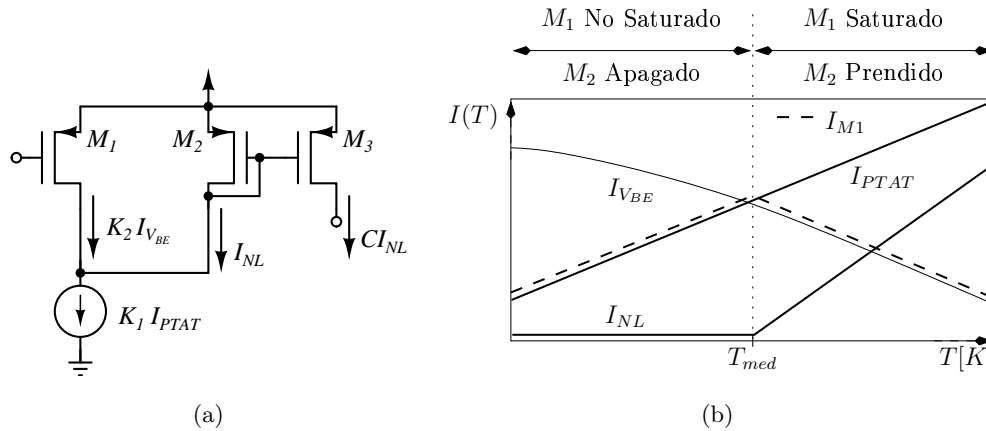


Figura 6: (a) Circuito generador de la corriente I_{NL} . (b) Comportamiento de las corrientes en el circuito generador

Como resultado, M_2 está apagado y M_1 opera en la región de triodo y provee solo I_{PTAT} . Para la mitad superior del rango de temperatura, I_{PTAT} es mayor que I_{VBE} , por lo tanto, M_1 se satura y solo supe I_{VBE} , mientras M_2 surte la diferencia entre estas dos corrientes. La corriente resultante en el transistor M_3 es no lineal, apagada en la mitad inferior del rango de temperatura y prendida en la mitad superior, como se describe en la ecuación (1.8), donde K_1 y K_2 son constantes definidas por la relación de los espejos de corriente.

$$I_{NL} = \begin{cases} 0 & I_{VBE} \geq I_{PTAT} \\ K_1 I_{PTAT} - K_2 I_{VBE} & I_{VBE} < I_{PTAT} \end{cases} \quad (1.8)$$

La corrección de curvatura se logra combinando los tres elementos dependientes de la temperatura en la figura 1.7(a), para producir un voltaje de salida con una variación térmica reducida. Esto se logra partiendo el rango de temperatura en dos, el rango para el cual la corriente I_{NL} es 1) cero y 2) diferente de cero. Como resultado, se corrige la curvatura del voltaje de referencia de *bandgap* para exhibir un comportamiento térmico como el mostrado en la figura 1.7(b). En el rango inferior de temperatura es esencialmente un voltaje de referencia de *bandgap* de primer orden, pues la corriente I_{NL} es cero. A altas temperaturas, el comportamiento resultante es similar al logrado a bajas temperaturas, pero la operación no, pues el comportamiento de I_{NL} intenta disminuir el término no lineal de I_{VBE} . Por lo tanto, la suma de las corrientes $A I_{VBE}$, $B I_{PTAT}$ y $C I_{NL}$, produce un voltaje de referencia de *bandgap* de segundo orden como el representado en la figura 1.7(b) y descrito en la ecuación (1.9) [4].

$$V_{REF} = A I_{VBE} (R_1 + R_2 + R_3) + B I_{PTAT} (R_2 + R_3) + C I_{NL} R_3 \quad (1.9)$$

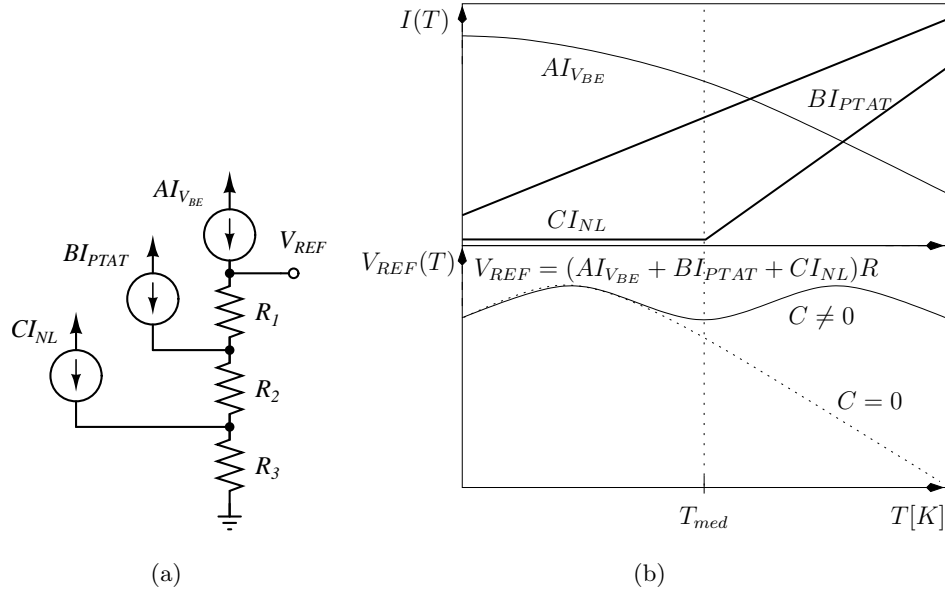


Figura 7: (a) Topología con suma de voltajes y corrientes para compensar la curvatura de un voltaje de referencia de *bandgap*. (b) Representación del comportamiento del voltaje de referencia de *bandgap* con ($C \neq 0$) y sin ($C = 0$) corrección de curvatura

1.3. Estado del arte

En la tabla 1 se recopilan algunos trabajos reportados sobre las fuentes de referencia organizados en orden cronológico. El trabajo del Rincón-Mora [4] tiene mejoras importantes con una gran regulación de línea, en un circuito que se puede alimentar incluso a 10 V, y una área que mejora incluso el trabajo de Buck [5], que usa una topología sin resistencias para disminuir la área *on-chip*. En el circuito de Giustolisi [6], se presenta uno de los primeros circuitos que aprovecha las propiedades del transistor *MOS* polarizado en inversión débil, logrando una disminución considerable en el consumo de corriente respecto a sus predecesores.

Leung [3] presenta una compensación de segundo orden, lo que permite que su circuito tenga el segundo coeficiente térmico más bajo, pero su voltaje de alimentación mínimo no ofrece la posibilidad e integración en aplicaciones portables como si lo hace Huang [7], que presenta un circuito con compensación en la modulación de canal.

El circuito de Miller [8] tiene el coeficiente térmico más bajo y un consumo de corriente que es mejorado solo por el circuito de Vita [9], este circuito aprovecha dos transistores *NMOS* con diferente voltaje de umbral, de tal manera que tiene transistores polarizados en inversión débil y en inversión fuerte con el mismo V_{GS} ; se debe recalcar que el bajo consumo de corriente de estos dos circuitos se debe a que no tienen el compromiso área/corriente que conlleva el uso de resistencias.

Año y Autor	V_{REF} [mV]	TC [$\frac{\mu V}{K}$]	Rango de T [°C]	V_{DD} [V]	$I_{V_{DD}}$ [μA]	LR [$\frac{mV}{V}$]	$PSRR$ [dB]	Área [mm ²]	Tec. μm
1998 [4] ^a	595	12	[-20;90]	1,1	14	1,19		0,223	2
2002 [5] ^{ab}	1195	134	[0;70]	3,7	378		45,1	0,4	0,5
2003 [6] ^c	295	35	[-25;125]	1,2	3,6		40	0,23	1,2
2003 [3] ^{ad}	1140	6	[0;100]	2,0	23	1,43	47	0,057	0,6
2006 [7] ^c	221	43	[-20;120]	0,85	3,9	2,00		0,0238	0,18
2006 [8] ^{bc}	319	5	[-40;100]	0,5	0,08		11,5	0,000250	0,13
2006 [9] ^{bc}	670	7	[0;80]	0,9	0,07	1,83	52	0,045	0,35

^a Circuitos con transistores bipolares.

^b Circuitos sin resistencias.

^c Circuitos con transistores *MOS* polarizados en inversión débil.

^d Circuitos con uno o más *OpAmps*.

Tabla 1: Estado del arte de las fuentes de referencia en tecnología *CMOS*.

A continuación se explican dos de los parámetros que describen el comportamiento de las fuentes de voltaje de referencia:

TC El coeficiente térmico, TC por *temperature coefficient*, mide el desempeño del voltaje de referencia en un rango de temperatura dado. Se puede dar en $ppm/°C$, (1.10); en bits, (1.11) o en $\mu V/°C$, (1.12); donde ΔV_{REF} es la excursión pico a pico del voltaje de referencia en el rango de temperatura de diseño, V_{REF} es el voltaje de referencia y, T_{max} y T_{min} son respectivamente los límites superior e inferior del rango de temperatura de diseño

$$TC = \frac{\Delta V_{REF}}{V_{REF}(T_{max} - T_{min})} \quad (1.10)$$

$$TC = \log_2 \frac{V_{REF}}{\Delta V_{REF}} \quad (1.11)$$

$$TC = \frac{\Delta V_{REF}}{T_{max} - T_{min}} \quad (1.12)$$

LR La regulación de línea, LR por *line regulation*, mide el desempeño del voltaje de referencia ante las variaciones en *DC* del voltaje de alimentación, y está dado por la ecuación (1.13).

$$LR = \frac{V_{REF}(V_{DD_{max}}) - V_{REF}(V_{DD_{min}})}{V_{DD_{max}} - V_{DD_{min}}} \quad (1.13)$$

1.4. Organización del documento

En el capítulo 2 se presenta el proceso de selección de topología con base en unas especificaciones deseadas; se hace una introducción al transistor *MOS* en inversión débil y la forma en que se usa para generar las corrientes que participan en el diseño que se va a proponer. Además se analiza el circuito a diseñar buscando mejorar su desempeño y se propone una metodología de diseño explicada con un ejemplo.

En el capítulo 3 se presentan los resultados del circuito diseñado antes y después del *layout*¹, se hacen observaciones sobre el trabajo y se describen las recomendaciones para trabajos futuros en el diseño de fuentes de voltaje de referencia. En el apéndice A se hace una deducción rigurosa del voltaje V_{GS} del transistor *MOS*.

¹El término *layout* se refiere a la representación planar de la ubicación y conexión de los elementos que hacen parte de un circuito integrado

Capítulo 2

Circuito propuesto

Como se mencionó en el capítulo anterior, el consumo de potencia es una de las principales especificaciones de diseño en un circuito, y se considera la especificación de mayor relevancia en el diseño de la fuente de referencia que este trabajo propone. Por otro lado, se pretende solucionar el problema de diseño utilizando tecnología *CMOS*, sin recurrir a soluciones complejas como las planteadas para esta tecnología en las figuras 1.2(b) y 1.1(b), pero teniendo en cuenta que el desempeño del circuito diseñado debe estar acorde con los resultados reportados en el estado del arte.

A continuación se exponen las opciones consideradas durante la selección de la topología para la fuente de referencia planteada en este trabajo, se describe el funcionamiento del transistor *MOS* en inversión débil, los diferentes bloques que conforman la fuente de referencia compensada, las características del voltaje de salida, y por último se revisan algunos análisis hechos al circuito para verificar su desempeño y así justificar su selección.

2.1. Selección de topología

Una vez se asignan prioridades entre las especificaciones de diseño y se conoce la tecnología en la que se desea implementar el circuito, se procede a seleccionar una topología que permita obtener el mejor desempeño acorde a estas prioridades. Ésta selección se ajusta al estudio realizado sobre el estado del arte de las fuentes de voltaje de referencia en tecnología *CMOS*.

El circuito propuesto en ?? presenta una técnica de compensación de orden superior que solo es posible con librerías de procesos de fabricación que dispongan tanto de resistencias con coeficiente térmico negativo como positivo, limitando su aplicación a librerías de procesos específicos. Adicional a esto, el voltaje de salida se produce usando el voltaje V_{BE} , limitando el voltaje mínimo de alimentación del circuito. En 1.2.1 se plantea una compensación del voltaje de referencia mediante el uso de una corriente lineal por partes, de tal manera que se atenúen

las no linealidades presentes en el voltaje V_{BE} . Su flexibilidad permite acomodar un amplio rango de voltajes de referencia gracias a la suma de corrientes [10]. Ésta última propuesta se considera la mejor opción puesto que es una idea que compensa el voltaje de referencia, sin depender de elementos que limiten este voltaje, ni exigir especificaciones precisas en el proceso.

2.2. Descripción del circuito

Comúnmente, los transistores *MOS* se polarizan en la región de inversión fuerte o saturación, donde el voltaje V_{GS} es mayor que el voltaje de umbral V_t y existe un canal bien definido bajo la compuerta, ecuación (2.1). Cuando el voltaje V_{GS} es menor que el voltaje de umbral, pero manteniendo el potencial de superficie ϕ_s entre $4V_T + \phi_B$ y $2\phi_B - 2V_T$, se considera que el transistor está polarizado en la región de inversión débil, el potencial de superficie es linealmente dependiente de V_{GS} y la corriente que fluye por la difusión se comporta acorde a la función exponencial descrita por la ecuación (2.2) [11], en esta región el transistor *MOS* se comporta como un transistor bipolar, lo cual se puede apreciar comparando las ecuaciones (??) y (2.3), donde el surtidor actúa como un emisor, el drenador como colector y el sustrato como base [12].

$$I_D = \frac{\mu C_{ox} W}{2 L} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad (2.1)$$

$$I_D = \mu V_T^2 \frac{W}{L} \exp \frac{V_{GS} - V_t}{nV_T} \left(1 - \exp \frac{V_{DS}}{V_T} \right) \quad (2.2)$$

$$I_C = I_S \exp \frac{V_{BE}}{nV_T} \left(1 + \frac{V_{CE}}{V_A} \right) \quad (2.3)$$

2.2.1. Bloque *PTAT*

Como se expuso en la sección 1.1.1, el voltaje V_{PTAT} se obtiene de la diferencia entre el voltaje V_{BE} de dos transistores bipolares con diferente densidad de corriente. En el caso de los circuitos con transistores *MOS* polarizados en inversión débil, puede lograrse una tensión V_{PTAT} tomando la diferencia entre los voltajes V_{GS} de dos transistores con diferente relación de aspecto. A partir de la ecuación (2.2) –asumiendo que el canal es suficientemente largo y que $V_{DS} > 4V_T$ – se consideran dos transistores con diferente tamaño y se obtiene la ecuación (2.4).

$$I_{D1} = \mu V_T^2 \left(\frac{W}{L} \right)_{11} \exp \frac{V_{GS1} - V_t}{nV_T} \quad I_{D2} = \mu V_T^2 \left(\frac{W}{L} \right)_{12} \exp \frac{V_{GS2} - V_t}{nV_T} \quad (2.4)$$

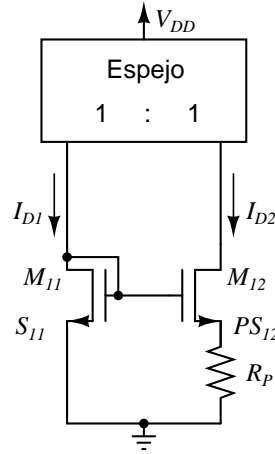


Figura 8: Circuito usado para generar un voltaje/corriente $PTAT$ con transistores MOS polarizados en inversión débil

En la figura 8, los transistores M_{11} y M_{12} se encargan de crear una diferencia de potencial sobre R_P , mientras que el espejo se encarga de igualar las corrientes I_{D1} e I_{D2} ; de tal forma que al despejar $V_{GS1} - V_{GS2}$ de $I_{D1} = I_{D2}$ se obtiene la ecuación (2.5), donde P es la relación de tamaños entre los transistores M_{12} y M_{11} , y K_P es el coeficiente de primer orden de V_{PTAT} . Nótese que esta ecuación es una representación aproximada de un voltaje V_{PTAT} obtenido de dos transistores MOS .

$$V_{PTAT} = V_{GS1} - V_{GS2} = nV_T \ln \frac{\left(\frac{W}{L}\right)_{12}}{\left(\frac{W}{L}\right)_{11}} = nV_T \ln P \doteq K_P T \quad (2.5)$$

De este modo, la corriente I_{PTAT} es el cociente entre el voltaje V_{PTAT} y la resistencia R_P , ecuación (2.6). Nuevamente cabe aclarar que es una aproximación, pues se asume que $V_{DS} > 4V_T$, así como se desprecia el efecto del coeficiente térmico de R_P , como se explica en la sección 2.3.1.

$$I_{PTAT}(T) = \frac{V_{PTAT}(T)}{R_P} = \frac{nV_T}{R_P} \ln P = \frac{K_P}{R_P} T \quad (2.6)$$

2.2.2. Bloque $CTAT$

Al igual que en las expresiones de la corriente I_{PTAT} , se recurre a los principios usados con los transistores bipolares para obtener la corriente I_{CTAT} con transistores MOS . En la sección 1.1.2 se presentaron dos soluciones para generar una corriente I_{CTAT} tanto con transistores bipolares como con transistores MOS polarizados en inversión fuerte (figuras 1.2(a) y 1.2(b)). En la primer solución se usan transistores bipolares, que no están disponibles en la tecnología $CMOS$, y en la segunda solución planteada los transistores MOS polarizados en inversión fuerte obligan a implementar un $OpAmp$, lo cual significa un bloque mas en el circuito y por

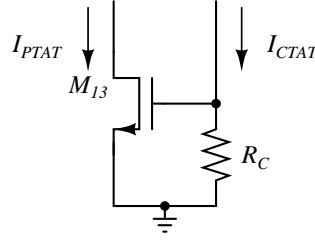


Figura 9: Circuito usado para generar un voltaje/corriente $CTAT$ con transistores MOS polarizados en inversión débil

lo tanto un aumento el consumo de corriente. Debido a que este par de soluciones no satisfacen las necesidades para el diseño planteado en este trabajo, se recurre a la implementación de transistores MOS en inversión débil, ya que éstos no necesitan de $OpAmps$ que pueden llevar al aumento del consumo de potencia.

En el apéndice A, se hace una deducción rigurosa de la ecuación (2.7), donde se puede observar como se cancelan los términos correspondientes a la energía de *bandgap*, por lo que a diferencia del voltaje V_{BE} , el voltaje V_{GS} no depende del voltaje de *bandgap*, de tal manera que los voltajes de referencia basados en transistores MOS polarizados en inversión débil no son voltajes de *bandgap*. A simple vista es difícil ver el comportamiento $CTAT$ del voltaje V_{GS} , por eso esta expresión se simplifica aproximando algunos términos. Primero se asume que las variaciones de $n(T)$ son pequeñas respecto a la temperatura, eso es $n(T) \approx n(T_0)$; y segundo se modela el voltaje de umbral como $V_t(T) = V_t(T_0) - K_T(T/T_0 - 1)$, de tal manera se puede expresar V_{GS} como se muestra en la ecuación (2.8), donde $K_G \doteq K_T + V_{GS}(T_0) - V_t(T_0) - V_{OFF}$. Para valores típicos de V_{OFF} , K_T y $V_{GS} - V_t$, K_G es negativo y, por lo tanto, V_{GS} decrece con la temperatura para cualquier corriente I_D [6].

$$V_{GS}(T) = V_t(T) + V_{OFF} + \frac{n(T)}{n(T_0)} (V_{GS}(T_0) - V_t(T_0) - V_{OFF}) \frac{T}{T_0} \quad (2.7)$$

$$V_{GS}(T) \approx V_{GS}(T_0) + K_G \left(\frac{T}{T_0} - 1 \right) \quad (2.8)$$

Como se puede apreciar, y al igual que el voltaje V_{BE} en el transistor bipolar, el voltaje V_{GS} de un transistor MOS polarizado en inversión débil tiene un comportamiento $CTAT$, de manera que para tener una corriente I_{CTAT} , se debe polarizar una resistencia con el voltaje V_{GS} . En la figura 9 el transistor M_{13} es polarizado con una corriente I_{PTAT} , esto es posible ya que la corriente I_{PTAT} no afecta la característica $CTAT$ del voltaje V_{GS} [6]. Así, la corriente I_{CTAT} es el cociente entre el voltaje V_{GS} y la resistencia R_C , como se muestra en la ecuación (2.9), donde K_C es $\frac{K_G}{R_C}$. Nuevamente, se debe aclarar que es una aproximación de la corriente I_{CTAT} , omitiendo el efecto del factor de la pendiente de subumbral (n) en la deducción

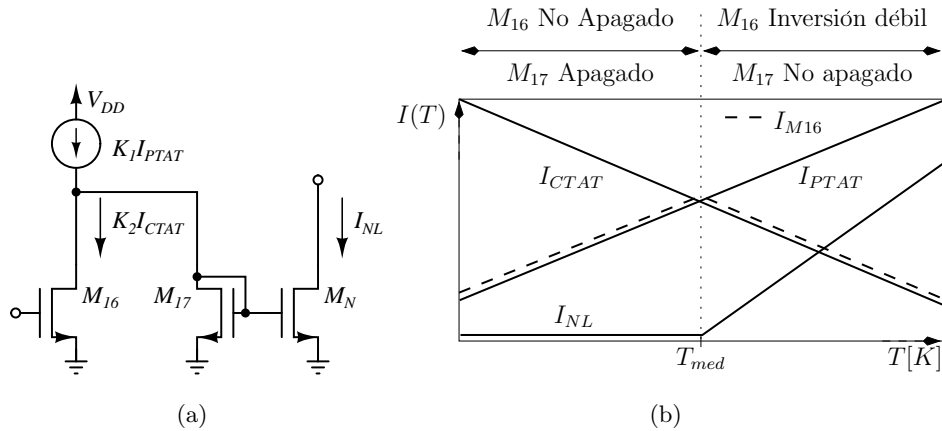


Figura 10: (a) Circuito usado para generar una corriente lineal por partes. (b) Representación del comportamiento de las corrientes en los transistores que intervienen en la generación de una corriente I_{NL} .

del voltaje V_{GS} , pues es un término casi constante en la temperatura [6] [13, sec. 3.2.2], manteniéndose una descripción acertada de I_{CTAT} .

$$I_{CTAT}(T) = \frac{V_{CTAT}(T)}{R_C} = \frac{V_{GS}(T)}{R_C} = \frac{V_{GS}(T_0)}{R_C} + K_C \left(\frac{T}{T_0} - 1 \right) \quad (2.9)$$

2.2.3. Bloque *PWL*

Una vez se conoce la forma en que se van a obtener las corrientes I_{PTAT} e I_{CTAT} , se puede exponer la forma en que estas van a intervenir en la generación de una corriente lineal por partes (I_{NL}), la cual es la diferencia entre la corrientes $K_1 I_{PTAT}$ y $K_2 I_{CTAT}$. Como se muestra en la figura 2.10(a), el transistor M_{17} conectado en configuración de diodo es polarizado con esta diferencia, de tal forma que cuando $K_1 I_{PTAT}$ es menor que $K_2 I_{CTAT}$ no hay flujo de corriente por el diodo e I_{NL} es cero, pero cuando la corriente $K_1 I_{PTAT}$ es mayor que la corriente $K_2 I_{CTAT}$ hay una diferencia de corriente que fluye por el diodo y la corriente I_{NL} es diferente de cero, figura 2.10(b).

El comportamiento cóncavo del voltaje de referencia, que contrasta con el comportamiento convexo del voltaje de *bandgap*, requiere que el bloque *PWL* funcione como sumidero de corriente, a diferencia del bloque presentado en la sección 1.2.1 que funciona como fuente de corriente. Esta diferencia radica en que la compensación del voltaje referencia *bandgap* se hace restando voltaje a altas temperaturas, este voltaje de compensación es el producto de la corriente I_{NL} y la resistencia R_3 de la salida.

$$I_{NL} = \begin{cases} 0 & T < T_{med} \\ K_1 I_{PTAT} - K_2 I_{CTAT} & T > T_{med} \end{cases} \quad (2.10)$$

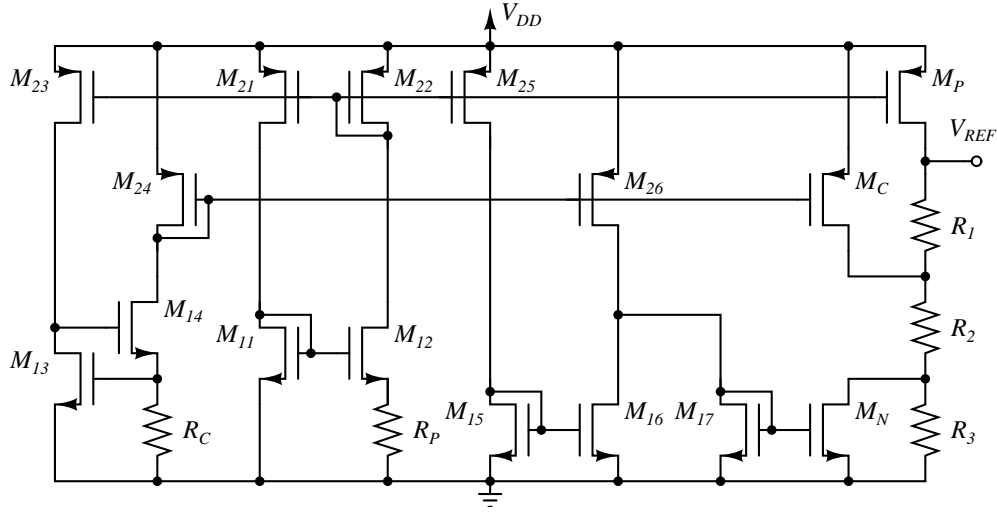


Figura 11: Fuente de voltaje de referencia.

2.2.4. Circuito propuesto

Comúnmente, el diseño de los voltajes de referencia se ha basado en la suma de un término $PTAT$ y uno $CTAT$ anulando los componentes de primer orden, mientras que prevalecen los de orden superior los cuales se acentúan a medida que la temperatura de trabajo se aleja de la temperatura de referencia (T_0). Para mejorar el comportamiento de este voltaje se implementan técnicas de corrección de curvatura de tal manera que se atenúan o anulan algunos de los componentes de orden superior. Para el diseño del circuito de la figura 11, se implementan los bloques $PTAT$, $CTAT$ y PWL presentados anteriormente, la salida de este circuito es un voltaje de referencia compensado, figura 12, resultado del uso de transistores MOS polarizados en inversión débil [6] y la compensación con una corriente I_{NL} [4].

La ecuación (2.11) describe el comportamiento del voltaje de referencia compensado, donde dados los factores de proporcionalidad A , B , C , V_{REF0} y T_0 , se pueden calcular las resistencias R_1 y $R_2 + R_3$ para que cancelen los coeficientes de primer orden de los términos $PTAT$ y $CTAT$; por último se calcula el valor de R_3 que haga la compensación más adecuada para la corriente CI_{NL} dada.

$$V_{REF}(T) = AI_{PTAT}(T) (R_1 + R_2 + R_3) + BI_{CTAT}(T) (R_2 + R_3) - CI_{NL}(T)R_3 \quad (2.11)$$

Debido al comportamiento de la corriente I_{NL} la ecuación (2.11) se puede dividir en dos partes como se muestra en la ecuación (2.12), en la cual se puede observar que para $T < T_{med}$, se tiene un voltaje de referencia sin compensar, mientras que para $T > T_{med}$ el voltaje de referencia es compensado debido a que empieza el flujo de corriente por el transistor M_N .

$$V_{REF}(T) = \begin{cases} AI_{PTAT}(T)(R_1 + R_2 + R_3) + \\ BI_{CTAT}(T)(R_2 + R_3) & T < T_{med} \\ AI_{PTAT}(T)(R_1 + R_2 + (1 - K_1)R_3) + \\ BI_{CTAT}(T)(R_2 + (1 + K_2)R_3) & T > T_{med} \end{cases} \quad (2.12)$$

Para completar el cálculo de las resistencias, se debe derivar (2.12) respecto a T , reemplazar $\frac{\partial I_{PTAT}}{\partial T}$ y $\frac{\partial I_{CTAT}}{\partial T}$ por sus coeficientes de primer orden, ecuaciones (2.6) y (2.9), para obtener la ecuación (2.13). Esta ecuación se iguala a cero para $T < T_{med}$ y se evalúa en $T = T_b$, ecuación (2.14), y se hace lo mismo con (2.11) pero igualándolo a V_{REF0} , ecuación (2.15); de estas dos ecuaciones se despeja R_1 y $R_2 + R_3$ hasta que sean función de A , B , K_P , K_C , K_1 , K_2 , $I_{PTAT}(T_0)$ e $I_{CTAT}(T_0)$ como se muestra en las ecuaciones (2.16) y (2.17).

$$\frac{\partial V_{REF}(T)}{\partial T} = \begin{cases} AK_P (R_1 + R_2 + R_3) + \\ BK_C (R_2 + R_3) & T < T_{med} \\ AK_P (R_1 + R_2 + ((1 - K_1) R_3) + \\ BK_C (R_2 + (1 + K_2) R_3) & T > T_{med} \end{cases} \quad (2.13)$$

$$\frac{\partial V_{REF}(T)}{\partial T} \Big|_{T=T_b} = AK_P (R_1 + R_2 + R_3) + BK_C (R_2 + R_3) = 0 \quad (2.14)$$

$$V_{REF}(T_b) = AI_{PTAT}(T_b) (R_1 + R_2 + R_3) + BI_{CTAT}(T_b) (R_2 + R_3) = V_{REF0} \quad (2.15)$$

$$R_1 = \frac{-BK_C - AK_P}{AK_P} (R_2 + R_3) = F (R_2 + R_3) \quad (2.16)$$

$$R_2 + R_3 = \frac{V_{REF0}}{AI_{PTAT} (1 + F) + BI_{CTAT}} \quad (2.17)$$

Hasta ahora se tiene un voltaje de referencia típico, para que sea compensado se debe calcular el valor de la resistencia R_3 de tal manera que, junto con el flujo de corriente por el transistor M_N , se replique en $T > T_{med}$ el comportamiento que presenta el voltaje de referencia en $T < T_{med}$. Para lograr esto, se debe recurrir a los valores de resistencia R_1 y $R_2 + R_3$ obtenidos, de tal manera que mediante simulación se calcula la pendiente del voltaje de referencia en $T = T_a$, este valor es usado en la ecuación (2.19), obtenida de evaluar V_{REF} en T_a , donde los componentes de I_{PTAT} e I_{CTAT} se anulan en cumplimiento del voltaje de referencia en $T < T_{med}$. De este modo, R_3 es función de las pendientes correspondientes al voltaje de referencia y CI_{NL} evaluadas en T_a , donde K_1 y K_2 son los factores de proporcionalidad usados para comparar las corrientes I_{PTAT} e I_{CTAT} en la generación de la corriente I_{NL} .

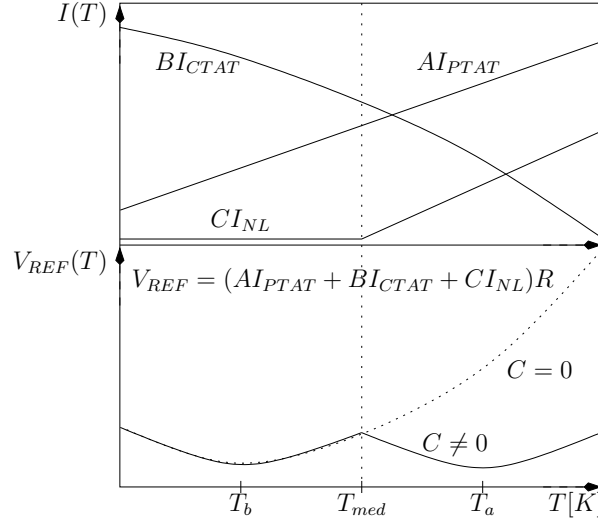


Figura 12: Representación del voltaje de referencia del circuito de la figura 11.

$$\frac{\partial V_{REF}(T)}{\partial T} \Big|_{T=T_a} = -CR_3 \frac{\partial I_{NL}(T)}{\partial T} \Big|_{T=T_a} \quad (2.18)$$

$$R_3 = \frac{\frac{\partial V_{REF}(T)}{\partial T} \Big|_{T=T_a}}{-C \frac{\partial I_{NL}(T)}{\partial T} \Big|_{T=T_a}} = \frac{\frac{\partial V_{REF}(T)}{\partial T} \Big|_{T=T_a}}{-C(K_1 K_P - K_2 K_C)} \quad (2.19)$$

2.3. Análisis del circuito

Obtener un desempeño adecuado respecto a la temperatura no garantiza tener el mejor V_{REF} , también hay que considerar otros factores como las variaciones térmicas entre las resistencias, la variación de V_{DD} y las variaciones en los parámetros del proceso. Estas consideraciones ayudan a limitar el espacio de diseño así como buscar el mejor desempeño ante parámetros que, con el fin de simplificar el diseño, no se han tenido en cuenta hasta ahora.

2.3.1. Variación de temperatura

La dependencia térmica de las resistencias, hace que su selección sea punto clave durante el diseño respecto a temperatura. Para analizar los efectos de esta dependencia y encontrar la forma de atenuarlos, se debe revisar el modelo térmico de la resistencia descrito por la ecuación (2.20), donde $\Delta T = T - T_0$, y k_T y k_{T2} son los coeficientes térmicos de primer y segundo orden respectivamente, coeficientes que son recopilados en la tabla 2 junto con la impedancia por cuadro de las resistencias disponibles en el proceso *CMOS* de $0,35\mu m$ de *AMS* [13]. Estos coeficientes modifican el comportamiento de las corrientes I_{PTAT} e I_{CTAT} , tal y como se observa en las ecuaciones (2.21) y (2.22), además de alterar el voltaje de referencia (ecuación (2.23)). Como se puede observar el modelo del voltaje de referencia se puede volver

Material	$k_T[10^{-3}/K]$	$k_{T2}[10^{-6}/K]$	$\rho[\Omega/\square]$
RPOLYH	-0,75	3,82	1200
RPOLY1	0,9	0	11
RPOLY2	0,59	0,7	50
RDIFFP	1,5	0	140
RDIFFN	1,5	0	75

Tabla 2: Parámetros de las resistencias en tecnología CMOS 0,35 μm de AMS.

complejo debido a los coeficientes térmicos de las resistencias, pero si se usa el mismo material para las cinco resistencias, se eliminan los coeficientes entre sí, de tal manera que el voltaje de referencia no va a ser influenciado por estos, y persiste el modelo de la ecuación(2.12).

$$R(T) = R(T_0) (1 + k_T \Delta T + k_{T2} \Delta T^2) \quad (2.20)$$

$$I_{PTAT} = \frac{V_{PTAT}}{R_P (1 + k_{pT} \Delta T + k_{pT2} \Delta T^2)} \quad (2.21)$$

$$I_{CTAT} = \frac{V_{CTAT}}{R_C (1 + k_{cT} \Delta T + k_{cT2} \Delta T^2)} \quad (2.22)$$

$$V_{REF}(T) = \begin{cases} \frac{AV_{PTAT}(T)}{R_1(1+k_{1T}\Delta T+k_{1T2}\Delta T^2)+R_2(1+k_{2T}\Delta T+k_{2T2}\Delta T^2)+R_3(1+k_{3T}\Delta T+k_{3T2}\Delta T^2)} \\ + BV_{CTAT}(T) \frac{R_2(1+k_{2T}\Delta T+k_{2T2}\Delta T^2)+R_3(1+k_{3T}\Delta T+k_{3T2}\Delta T^2)}{R_C(1+k_{cT}\Delta T+k_{cT2}\Delta T^2)} \\ T < T_{med} \\ \\ \frac{AV_{PTAT}(T)}{R_1(1+k_{1T}\Delta T+k_{1T2}\Delta T^2)+R_2(1+k_{2T}\Delta T+k_{2T2}\Delta T^2)+(1-K_1)R_3(1+k_{3T}\Delta T+k_{3T2}\Delta T^2)} \\ + BV_{CTAT}(T) \frac{R_2(1+k_{2T}\Delta T+k_{2T2}\Delta T^2)+(1+K_2)R_3(1+k_{3T}\Delta T+k_{3T2}\Delta T^2)}{R_C(1+k_{cT}\Delta T+k_{cT2}\Delta T^2)} \\ T > T_{med} \end{cases} \quad (2.23)$$

2.3.2. Variaciones en V_{DD}

Al igual que las variaciones térmicas, se debe considerar las variaciones del voltaje de alimentación (V_{DD}), y atenuar su efecto sobre el voltaje de salida. En la ecuación (2.24) se muestra la variación de la corriente I_{CTAT} respecto a V_{DD} , variación que es dependiente de la corriente $\frac{S_{23}}{S_{22}} I_{PTAT}$ por ser la que polariza el transistor M_{13} , de donde se obtiene el voltaje V_{CTAT} . Derivando la ecuación (2.11) respecto a V_{DD} , y reemplazando (2.24) en (2.25) se

Parámetro	A_{V_t}	A_K		A_R
Unidades	$mV \mu m$	$\% \mu m$		$\% \mu m$
NMOS	9,5	0,7	RPOLY2	9,5
PMOS	14,5	1,0	RPOLYH	6,5

Tabla 3: Desviaciones de parámetros de los elementos que pueden ser usados en la fuente de voltaje de referencia.

obtiene la ecuación (2.26), donde se ve que un buen diseño del voltaje V_{PTAT} ayuda a atenuar la variación del voltaje de referencia respecto a V_{DD} .

$$\frac{\partial I_{CTAT}}{\partial V_{DD}} = \frac{1}{R_C} \frac{\partial V_{GS3}}{\partial V_{DD}} = \frac{nV_T}{R_C I_{D3}} \frac{\partial I_{D3}}{\partial V_{DD}} = \frac{nV_T}{R_C I_{PTAT}} \frac{S_{23}}{S_{22}} \frac{\partial I_{PTAT}}{\partial V_{DD}} = \frac{nV_T}{R_C V_{PTAT}} \frac{S_{23}}{S_{22}} \frac{\partial V_{PTAT}}{\partial V_{DD}} \quad (2.24)$$

$$\frac{\partial V_{REF}}{\partial V_{DD}} = \begin{cases} A \frac{\partial I_{PTAT}}{\partial V_{DD}} (R_1 + R_2 + R_3) + \\ B \frac{\partial I_{CTAT}}{\partial V_{DD}} (R_2 + R_3) & T < T_{med} \\ A \frac{\partial I_{PTAT}}{\partial V_{DD}} (R_1 + R_2 + (1 - K_1)R_3) + \\ B \frac{\partial I_{CTAT}}{\partial V_{DD}} (R_2 + (1 + K_2)R_3) & T > T_{med} \end{cases} \quad (2.25)$$

$$\frac{\partial V_{REF}}{\partial V_{DD}} = \frac{\partial V_{PTAT}}{\partial V_{DD}} \begin{cases} A \frac{1}{R_P} (R_1 + R_2 + R_3) + \\ B \frac{nV_T}{R_C V_{PTAT}} \frac{S_{23}}{S_{22}} (R_2 + R_3) & T < T_{med} \\ A \frac{1}{R_P} (R_1 + R_2 + (1 - K_1)R_3) + \\ B \frac{nV_T}{R_C V_{PTAT}} \frac{S_{23}}{S_{22}} (R_2 + (1 + K_2)R_3) & T > T_{med} \end{cases} \quad (2.26)$$

Dentro de las variables de diseño de la ecuación (2.25) están las relaciones $\frac{S_{23}}{S_{22}}$, $A = \frac{S_P}{S_{22}}$, $B = \frac{S_C}{S_{24}}$, $\frac{R_1+R_2+R_3}{R_P}$ y $\frac{R_2+R_3}{R_C}$; si cada una de estas relaciones es menor que 1 se baja la dependencia de V_{REF} respecto a V_{PTAT} . Estas relaciones tienen restricciones, si $\frac{S_{23}}{S_{22}}$ es muy pequeña se puede apagar el transistor M_{13} a altas temperaturas debido al comportamiento $CTAT$ del voltaje V_{GS} , mientras que si B es muy pequeña se necesita una mayor resistencia $R_2 + R_3$ para un voltaje de referencia dado, contradiciendo las relaciones entre resistencias R_1 , R_2 y R_3 , y R_P y R_C ; aumentando la área ocupada por el circuito.

2.3.3. Análisis de Montecarlo

Otra de las variaciones que influyen en el comportamiento de los circuitos integrados es el de las propiedades anisotrópicas del material, por lo que no es posible garantizar que todos

los elementos tengan las mismas propiedades eléctricas. De tal manera que para predecir el comportamiento de un determinado lote de circuitos, se hace necesario realizar un análisis estadístico, conocido como análisis de Montecarlo. Para llevar a cabo de este tipo de análisis, se realiza la caracterización de dos elementos diseñados idénticamente y adyacentes dentro de la oblea para posteriormente medir las diferencias entre sus parámetros; estas diferencias pueden ser relativas, ecuación (2.27), o absolutas, ecuación (2.28). Asumiendo que las diferencias están normalmente distribuidas con una varianza σ^2 , se describe la dependencia de la variación de parámetros en dos elementos idénticamente diseñados utilizando el modelo de *Pelgrom*, ecuación (2.29), modelo que no es válido cuando hay gradientes fuertes en los parámetros del proceso o en *layouts* trazados de forma asimétrica [14].

En la ecuación (2.29) se puede observar que cuanto más grande sea el elemento, la desviación va a ser menor, de manera que dada la relación de aspecto $S = \frac{W}{L}$, la desviación de los parámetros de los transistores *MOS* es función de la longitud de canal (L), y dado el número de cuadros de una resistencia $S_{\square} = \frac{R}{\rho} = \frac{L}{W}$, la desviación de la resistividad va a ser función del ancho (W). En la tabla 3 se recopilan los parámetros de ajuste del transistor y de la resistencia; la desviación de la ganancia (K) se considera debido a su relación lineal con la movilidad μ , parámetro que se encuentra en la ecuación de la corriente de dreno del transistor *MOS* polarizado en inversión débil.

$$\Delta P = P1 - P2 \quad (2.27)$$

$$\frac{\Delta P}{P} = \frac{200(P1 - P2)}{P1 + P2} \quad (2.28)$$

$$\sigma(\Delta P) = \frac{A \cdot P}{\sqrt{WL}} \quad (2.29)$$

2.3.4. Consideraciones de *layout*

Para asignar valores adecuados a los tamaños de los transistores, se deben tener en cuenta las consideraciones de diseño presentadas en las secciones 2.3.2 y 2.3.3 brindando al circuito robustez ante las variaciones del entorno. De acuerdo con la sección 2.3.2, las variaciones en el voltaje de alimentación sobre V_{PTAT} afectan de forma proporcional a V_{REF} como se observa en la ecuación (2.26). En la figura 13 se presenta la curva del voltaje V_{PTAT} ante variaciones en el ancho de la resistencia R_P (W_R) y la longitud de canal de los transistores *NMOS* (L_M), y *PMOS* (L_P), para diferentes voltajes de alimentación. En estas curvas se puede observar que la dependencia de V_{PTAT} respecto a estos parámetros aumenta para valores pequeños; de tal manera que se seleccionan los valores mínimos de L y W de tal manera que un ΔL o un ΔW_R no modifique el punto de polarización del circuito.

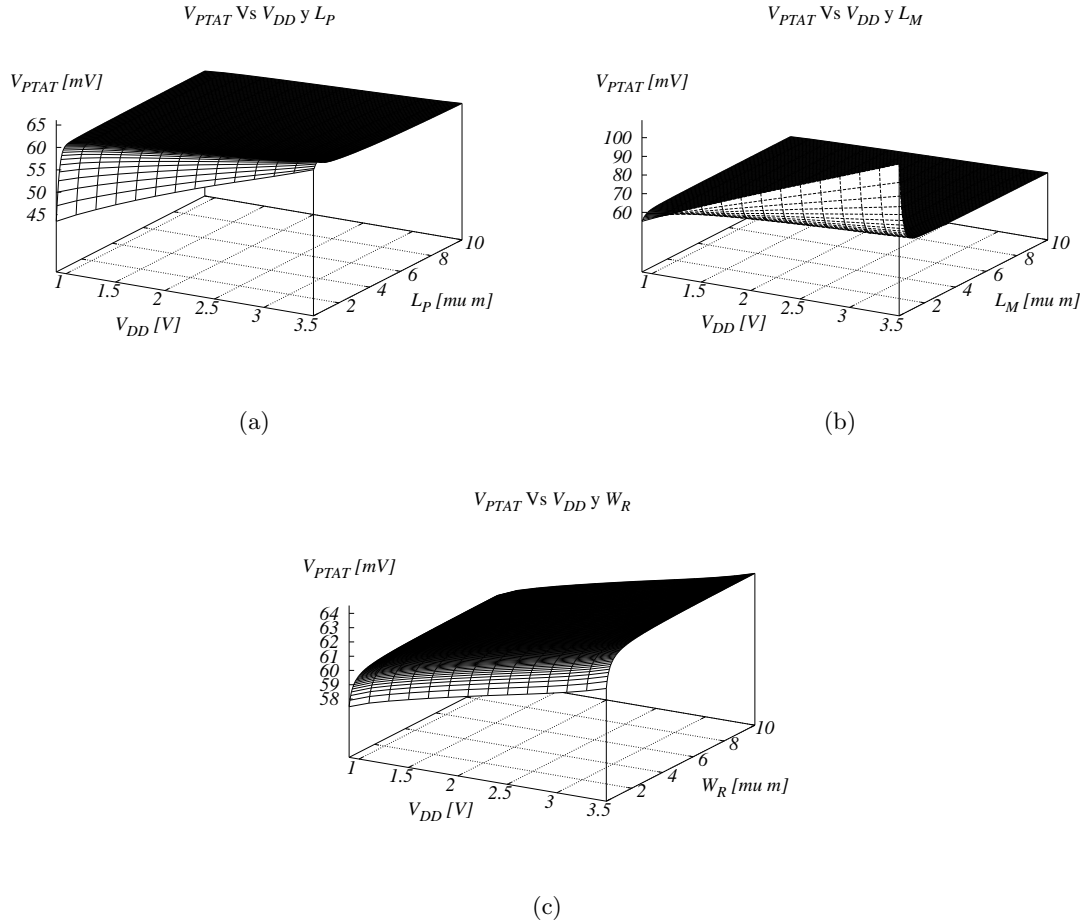


Figura 13: Dependencia de V_{PTAT} al voltaje V_{DD} y: (a) a la longitud del canal de los transistores M_{11} y M_{12} . (b) a la longitud del canal de los transistores M_{21} y M_{22} . (c) al ancho de la resistencia R_P .

En el circuito planteado se implementan espejos de corriente, un generador de diferencia de potencial y una etapa con polarización propia, ya sea para escalar corrientes o para producir potenciales. Con el fin de tener un diseño robusto, se debe garantizar que estas corrientes y voltajes tengan un error pequeño, para esto se debe hacer una selección adecuada de la longitud del canal de los transistores, teniendo en cuenta el efecto de la variación de V_{DD} y el análisis de Montecarlo. En la ecuación (2.30), donde $V_{ov} = V_{GS} - V_t$, se presenta la expresión para la corriente de dren, incluyendo los efectos de las variaciones de los parámetros, dividiendo la corriente de dos transistores acoplados por la compuerta I_{Da}/I_{Db} , ecuación (2.31), se pueden obtener dos factores, uno debido a la desviación de la movilidad y otro debido a la desviación del voltaje de umbral. Estos factores se separan, de tal manera que si se quiere espejar adecuadamente la corriente se utiliza la ecuación (2.32) y si se quiere una

Parámetro	Meta
$I_{V_{DD}}$	$< 3 \mu A$
V_{DDmin}	$< 1 V$
V_{REF}	$180 mV$
Rango de T	$[-50; 150] ^\circ C$
Área	$0,05 mm^2$
$PSRR$	$> 40 dB$
SNR	$> 60 dB$

Tabla 4: Metas de diseño de la fuente de voltaje de referencia.

diferencia de potencial con la menor desviación se emplea la ecuación (2.33)

$$I_D = \mu(1 + \sigma(\Delta\mu))V_T^2 S \exp \frac{V_{ov} + \sigma(\Delta V_t)}{nV_T} \quad (2.30)$$

$$\frac{\mu_a}{\mu_b} \left(1 + \sqrt{\sigma^2(\Delta\mu_a) + \sigma^2(\Delta\mu_b)} \right) \frac{S_a}{S_b} \exp \frac{V_{ova} - V_{ovb}}{nV_T} \exp \frac{\sqrt{\sigma^2(\Delta V_{ta}) + \sigma^2(\Delta V_{tb})}}{nV_T} = 1 \quad (2.31)$$

$$1 + \sqrt{\sigma^2(\Delta\mu_a) + \sigma^2(\Delta\mu_b)} \leq 1,01 \quad (2.32)$$

$$\exp \frac{\sqrt{\sigma^2(\Delta V_{ta}) + \sigma^2(\Delta V_{tb})}}{nV_T} \leq 1,01 \quad (2.33)$$

Para seleccionar adecuadamente el ancho de la resistencia R_P , se debe bajar su desviación relativa de acuerdo a la ecuación (2.34), así como bajar la dependencia de V_{PTAT} respecto a la tolerancia del ancho de canal, W_R . Para esto se fija una desviación máxima, que junto a la curva de la figura 2.13(c) dan el ancho mínimo de W_R . Adicionalmente, la selección del ancho W_R debe considerar una buena distribución de los contactos ubicados en los extremos de la resistencia, esta distribución garantiza que se haga una adecuada recolección de la corriente que fluye por la resistencia.

$$\sigma(\Delta R) = \frac{A_R}{\sqrt{WL}} = \frac{A_R}{W_R^2 \sqrt{S_{\square p}}} = \frac{A_R \sqrt{\rho}}{W_R^2 \sqrt{R_P}} \quad (2.34)$$

2.4. Estrategia y diseño

Una vez se conocen las herramientas de análisis que se emplean en el diseño de la fuente de voltaje de referencia, y a partir del estudio realizado a los trabajos del estado del arte reportados en la tabla 1, se propone unas metas de diseño presentadas en la tabla 4. A continuación se expone una estrategia de diseño y se presentan los resultados de cada fase, siempre apuntando a cumplir con las metas de diseño trazadas.

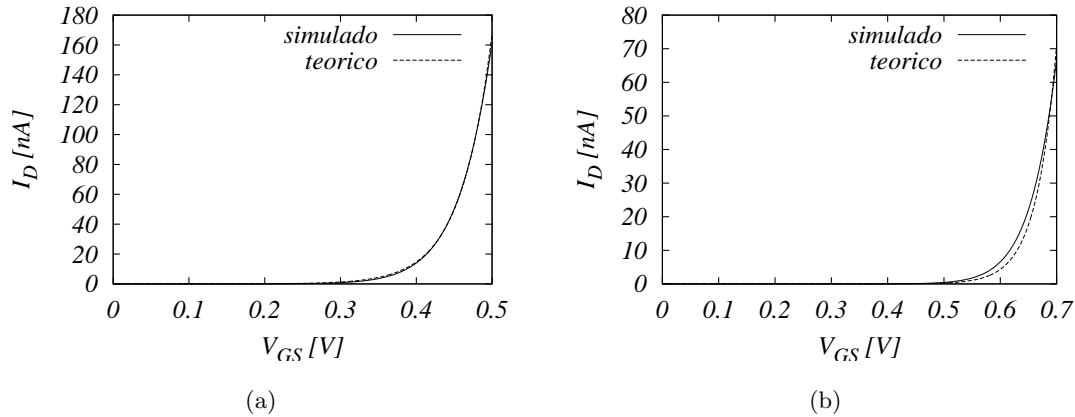


Figura 14: (a) Corriente del transistor *NMOS* Vs. V_{GS} . (b) Corriente del transistor *PMOS* Vs. V_{GS} .

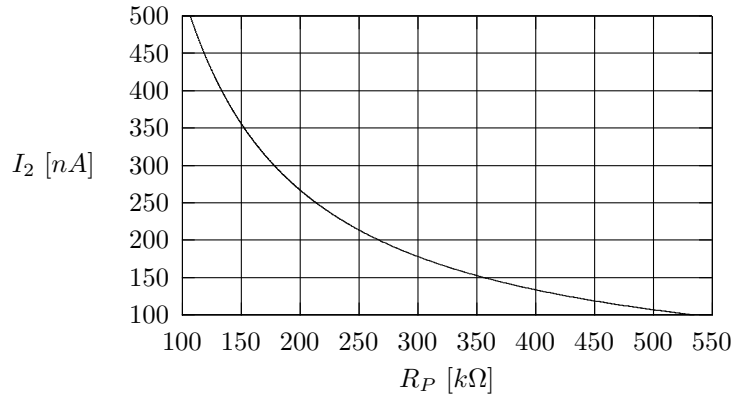
2.4.1. Modelado del transistor *MOS* en inversión débil

Conocer el funcionamiento del transistor *MOS* en inversión débil es fundamental para el diseño, más aún cuando su comportamiento no es altamente conocido. Por ello se hace necesario estudiar los modelos que describen el comportamiento del transistor *MOS* en esta región, además de realizar simulaciones con el fin de determinar los límites de la misma.

Teniendo en cuenta lo expresado anteriormente, se procede a realizar simulaciones en los transistores *MOS* haciendo un barrido de V_{GS} entre 0 V y el voltaje de umbral, obteniendo las curvas presentadas en la figura 14; hecho este ejercicio se tienen los modelos analíticos que se van a usar en el diseño preliminar del circuito. Una vez contrastados los modelos, se selecciona el voltaje V_{GS} de los transistores para garantizar su polarización en inversión débil, en ambos casos se toma el punto medio entre el voltaje donde la curva comienza a ser diferente de cero y el voltaje de umbral, 0,4 V en el transistor *NMOS* y 0,6 V en transistor *PMOS*.

2.4.2. Diseño preliminar

Basándose en el modelado previamente hecho, se diseñan los bloques *PTAT* y *CTAT*, en el que se polaricen adecuadamente los transistores *MOS*. En esta parte se deben empezar a vislumbrar las limitantes del circuito, como mínimo voltaje de alimentación, consumo de corriente en temperatura de referencia y la área que va a ser abarcada por el circuito; éstas son las tres variables que se tienen en cuenta en esta etapa del diseño. Además se hace el análisis estadístico con el fin de obtener las dimensiones mínimas aceptables para que las variaciones de los parámetros no afecten significativamente el desempeño del circuito.

Figura 15: Corriente I_{D2} contra resistencia R_P .

- ♣ **Diseño de la corriente I_{PTAT} .** El diseño preliminar parte de la selección de una corriente I_{D2} , tomada de la ecuación (2.21), donde se hace un barrido de R_P , figura 15. Se selecciona $I_{D2} \approx 225 \mu A$ con una resistencia de $250 k\Omega$, de tal manera que se tenga un equilibrio entre el consumo de corriente y el área de la resistencia. Con esta corriente seleccionada se calcula la relación S de los transistores del bloque $PTAT$.

Una vez se ha seleccionado la cantidad de corriente y el valor de la resistencia, se usa el modelo analítico para calcular el número de cuadros de cada elemento, tabla 5. Con estos datos se calcula la longitud de canal mínima de los transistores, ya sea considerando el efecto de la variación de V_{DD} o recurriendo al análisis de Montecarlo. En los transistores M_{11} y M_{12} , la longitud garantiza que $\sigma(\Delta V_{p3})$ sea menor al 1%; mientras que en los transistores M_{21} y M_{22} la longitud depende del efecto de la variación de V_{DD} . En el caso de la resistencia, el análisis de Montecarlo indica que cualquier ancho que respete las reglas de diseño es aceptable, por lo que se tiene en cuenta el efecto en variación del ancho de la resistencia, y se selecciona $W = 2,5 \mu m$ para acomodar tres contactos en fila, de tal manera que se haga una buena recolección de la corriente.

- ♣ **Diseño de la corriente I_{CTAT} .** De la misma forma, para el bloque $CTAT$, se selecciona la corriente I_{D4} a partir del barrido de R_C en la ecuación (2.22), en la curva de la figura 16 se selecciona $I_{D4} \approx 1 \mu A$ para una resistencia de $350 k\Omega$. Durante la

Elemento	M_{11}	M_{12}	M_{21}	M_{22}	R_P
S	6	48	25	25	210
$L \wedge W$	10 μm		4 μm		2,5 μm
ε_r %	$\sigma(\Delta V_{p3}) = 1$		$\sigma(\Delta I_{D2}) = 0,04$		$\sigma(\Delta R_P) \approx 0$

Tabla 5: Dimensiones de los elementos del bloque $PTAT$.

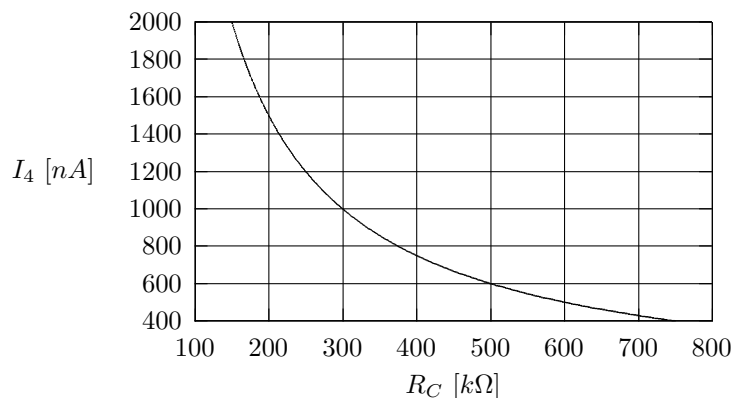


Figura 16: Corriente I_{D4} contra resistencia R_C .

selección de la corriente I_{D3} , se recurre a la relación $S_{23}/S_{22} < 1$ de la ecuación (2.26) con el fin de disminuir la dependencia de V_{REF} a las variaciones de V_{PTAT} , de tal manera que se escala el transistor M_{23} a partir de M_{22} , en este caso se selecciona un factor de $1/5$ buscando una corriente $I_{D3} = 50 \text{ nA}$.

Durante el diseño de la corriente I_{CTAT} se define el valor del voltaje de alimentación, el cual está regido por el brazo de la corriente I_{D4} , donde intervienen los voltajes V_{GS} de los transistores M_{24} y M_{13} , además del voltaje V_{DS} mínimo del transistor M_{14} , típicamente 50 mV , ecuación (2.35). Si se emplean los voltajes V_{GS} seleccionados en el modelado del transistor, se obtiene un voltaje mínimo de alimentación de $1,05 \text{ V}$, pero con el fin de alcanzar un voltaje alimentación mínimo menor a 1 V y aprovechando que la corriente I_{D3} es pequeña, se disminuye el voltaje V_{GS} del transistor M_{13} a $0,3\text{V}$ de tal manera que el voltaje de alimentación mínimo es de 950 mV .

Una vez seleccionadas las corrientes I_{D3} e I_{D4} y el voltaje V_{GS3} , se calculan los transistores del bloque $CTAT$, y a partir de su número de cuadros, se hace el análisis para seleccionar las longitudes de canal, que están regidas por el efecto de la variación de V_{DD} sobre los transistores $PMOS$, y por el análisis de Montecarlo en los transistores $NMOS$; en la tabla 6 se recopila la información de tamaños y errores debido a las longitudes y

Elemento	M_{13}	M_{14}	M_{23}	M_{24}	R_C
S	2,5	14	5	125	290
$L \wedge W$	$2 \mu m$		$4 \mu m$		$2,5 \mu m$
$\varepsilon_r \%$	$\sigma(\Delta V_{c3}) = 0,7$		$\sigma(\Delta I_{D4}) = 0,1$		$\sigma(\Delta R_C) \approx 0$

Tabla 6: Dimensiones de los elementos del bloque $CTAT$.

Elemento	M_{15}	M_{16}	M_{17}	M_{25}	M_{26}
S	3	3	3	6	6
L	$2 \mu m$			$4 \mu m$	
$\varepsilon_r \%$	$\sigma(\Delta V_{GS6}) = 0,8$			$\sigma(\Delta I_{M16}) = 0,3$	

Tabla 7: Dimensiones de los elementos del bloque PWL .

tamaños seleccionados.

$$V_{DDmin} = V_{SG4} + V_{DS4min} + V_{GS3} \quad (2.35)$$

- ♣ **Diseño de la corriente lineal por partes.** Una vez se ha diseñado las corrientes I_{PTAT} e I_{CTAT} , se procede a diseñar la corriente lineal por partes. Procurando bajar el consumo de corriente, y dado que la corriente I_{NL} no es producida con resistencias, su valor se puede bajar tanto como los transistores lo permitan, en este caso se selecciona que las corrientes I_{D5} e I_{D6} sean de 50 nA , dato que se tuvo en cuenta en el análisis de Montecarlo hecho a las primeras corrientes, en el que se incluyó el respectivo transistor $PMOS$ del bloque PWL , gracias a esto, se puede decir que las longitudes seleccionadas son definitivas y se pueden usar en todos los transistores $PMOS$ del circuito.

La selección del canal de los transistores $NMOS$ del bloque PWL , al igual que en los bloques anteriores, se selecciona comparando el análisis de Montecarlo con la longitud seleccionada teniendo en cuenta la variación en V_{DD} , de nuevo esta arroja la mayor longitud, y es esta la que se selecciona. En la tabla 7 se reportan los tamaños de los transistores de este bloque y la longitud de los transistores, así como el error tanto en corriente de dreno como en el voltaje V_{GS} en el espejo $M_{15} : M_{16}$.

- ♣ **Diseño de la etapa de salida.** El diseño de la etapa de salida se basa en la proyección de su consumo de corriente y el voltaje de referencia, calculando las resistencias R_1 y $R_2 + R_3$ mediante las ecuaciones (2.16) y (2.17), se tenía previsto usar $A < 1$, pero buscando mantener un compromiso área/consumo de corriente, se selecciona $A = 2$, $B = 2/3$ y $C = 3$, de tal manera que las corrientes I_{DMP} e I_{DMC} sean iguales. En la

Elemento	M_P	M_C	M_n	R_1	R_2	R_3
S	50	82	6	45	63	63
$L \wedge W$	$4 \mu m$			$2,5 \mu m$		
$\varepsilon_r \%$	$\sigma(\Delta V_{REF}) = 0,8$					

Tabla 8: Dimensiones de los elementos de la etapa de salida.

Parámetro	Valor
$I_{V_{DD}}$	$2,6 \mu A$
V_{DDmin}	$950 mV$
V_{REF}	$180 mV$
Área	$0,01 mm^2$

Tabla 9: Datos del diseño preliminar del circuito.

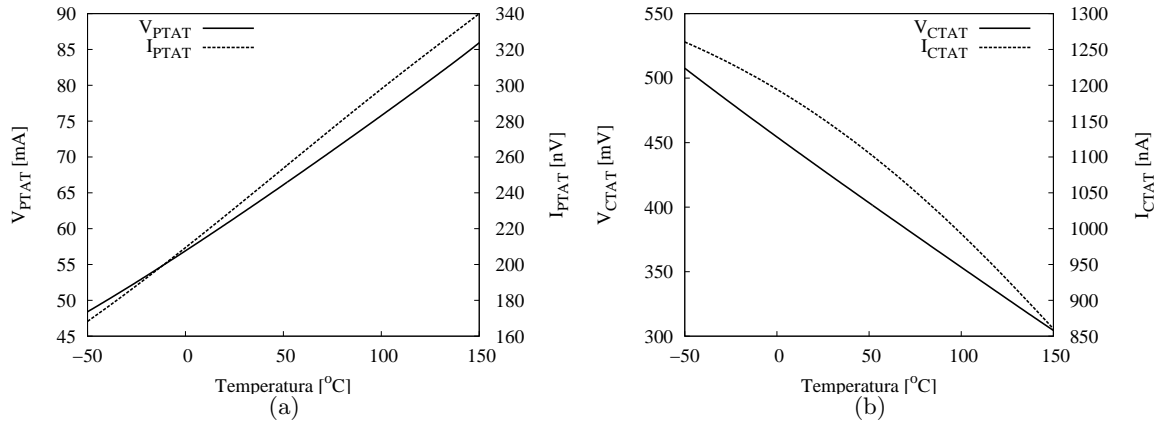
Figura 17: Comportamiento de las corrientes y los voltajes (a) V_{PTAT} e I_{PTAT} , y (b) V_{CTAT} e I_{CTAT} en el rango de temperatura de trabajo.

tabla 8 se recopilan los tamaños de los elementos de la etapa de salida, y su error sobre el voltaje de referencia. Debido a que es la última fase del diseño preliminar, en la tabla 9 se recopilan los datos que lo describe.

2.4.3. Resultados de simulación

Como se vio en la sección 2.3.2, V_{REF} tiene una fuerte dependencia a V_{PTAT} , esencialmente porque es el bloque base de todo el circuito; motivo por el que el bloque $PTAT$ debe ser muy bien diseñado, minimizando la modulación del canal y las desviaciones de los parámetros de proceso. En el diseño preliminar se obtuvieron relaciones de aspecto y longitudes de canal que satisfacen las ecuaciones analíticas, pero estas ecuaciones hacen una descripción aproximada del comportamiento del circuito, por lo que es necesario recurrir a las simulaciones para corroborar el diseño preliminar y hacer los ajustes necesarios.

- ♣ **Simulación en la T .** La principal característica de las fuentes de referencia es su linealidad en la temperatura, para esto se debe comprobar que los transistores están debidamente polarizados en inversión débil, y que en ningún instante cambian de región

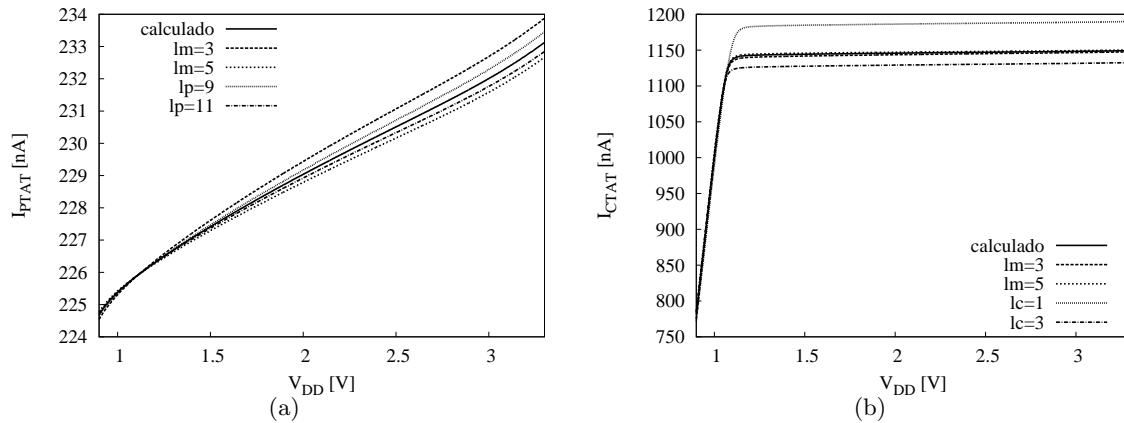


Figura 18: Comportamiento de las corrientes (a) I_{PTAT} y (b) I_{CTAT} usando transistores con diferentes longitudes de canal. l_m : transistores $PMOS$, l_n : transistores M_{13} y M_{14} . l_p : transistores M_{11} y M_{12} .

de polarización a lo largo de un rango de temperatura dado, lo que puede hacer que las corrientes I_{PTAT} e I_{CTAT} no sean lineales. En el caso del bloque $PTAT$, se debe cuidar que a bajas temperaturas no se apaguen los transistores, mientras que a altas temperaturas no deben pasar a inversión fuerte; contrario a la corriente I_{CTAT} , donde los transistores pueden pasar a inversión fuerte a bajas temperaturas o se pueden apagar a altas temperaturas

- ♣ **Polarización.** La simulación para comprobar que las longitudes de canal sean correctas se hacen con un barrido del voltaje de alimentación usando longitudes de canal cercanas a la seleccionada, $\pm 1 \mu m$. En la figura 18 se presentan los resultados de simulación para el circuito del diseño previo y dos longitudes de canal diferente. En la figura 2.18(a) se observa que la corriente I_{PTAT} no sufre modificaciones fuertes, mientras en la figura 2.18(b) se observa que la corriente I_{CTAT} se aleja considerablemente del valor calculado cuando la longitud de canal l_c se modifica, para bajar la sensibilidad de esta corriente a los cambios en la longitud de canal, esta es aumentada a $4 \mu m$.

Como se vio en la figura 2.18(b), el voltaje mínimo de alimentación está sobre $1 V$, con el fin de bajarlo, se necesita bajar el voltaje V_{CTAT} aumentando la relación de aspecto S_{13} . En la figura 19 se presenta una simulación haciendo un barrido en la relación de aspecto del transistor M_{13} , donde se encuentra que para $S_{13} = 25$ baja el voltaje V_{CTAT} , y con él la corriente I_{CTAT} y el voltaje V_{GS} del transistor M_{24} , logrando bajar el voltaje mínimo de alimentación de $1038 mV$ a $946 mV$.

- ♣ **Corriente lineal por partes.** Una vez se hacen los ajustes de los bloques $PTAT$

y $CTAT$, se procede a hacer lo propio con el bloque de la corriente lineal por partes. Primero se ajusta para que el cambio de linealidad de I_{NL} se haga en $50\text{ }^\circ\text{C}$, y se simula para diferentes longitudes de canal, figura 20. En esta figura se puede observar que la corriente I_{NL} y el valor de T_{med} no varían significativamente las diferentes longitudes de canal. Las variaciones que se tuvieron en cuenta para estas simulaciones superan ampliamente la resolución ofrecida por el proceso de fabricación (25 nm), por lo que estas variaciones van a tener un efecto menor en el desempeño del circuito.

♣ **Análisis estadístico.** Finalmente se hacen las simulaciones de Montecarlo para comprobar los resultados arrojados del análisis estadístico en el diseño preliminar. Se selecciona el transistor $PMOS$ y el transistor $NMOS$ más influyente en los bloques $PTAT$, $CTAT$ y PWL , y se hacen las simulaciones de Montecarlo para cada uno de los bloques. Esta simulación se hace para 100 corridas, arrojando en el bloque $PTAT$ una desviación estándar $\sigma(\Delta V_{PTAT}) = 1,14\%$, en el bloque $CTAT$ se obtiene $\sigma(\Delta V_{CTAT}) = 0,93\%$, y en el bloque PWL $\sigma(\Delta V_{GS6}) = 0,7\%$, desviaciones que pueden ser comparadas con las calculadas en el diseño preliminar, mostrando que se hizo un buen análisis en el diseño preliminar.

2.4.4. Respuesta en frecuencia

Aunque no se tuvo en cuenta la relación señal a ruido (SNR) ni la relación de rechazo a la fuente de alimentación ($PSRR$) como parámetros de diseño, se hacen las simulaciones en la frecuencia para comprobar que la salida no esté contaminada de ruido ni tenga una alta dependencia a las variaciones en frecuencia del voltaje de alimentación. La simulación de la SNR se hace a bajas frecuencias, donde las fuentes de referencia son afectadas por el ruido *flicker*, también llamado ruido $1/f$. En la figura 2.21(a) se presenta la curva de la densidad

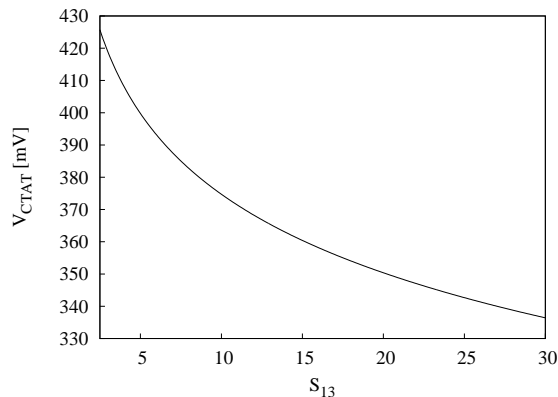


Figura 19: Voltaje V_{CTAT} en función de la relación de aspecto del transistor M_{13} .

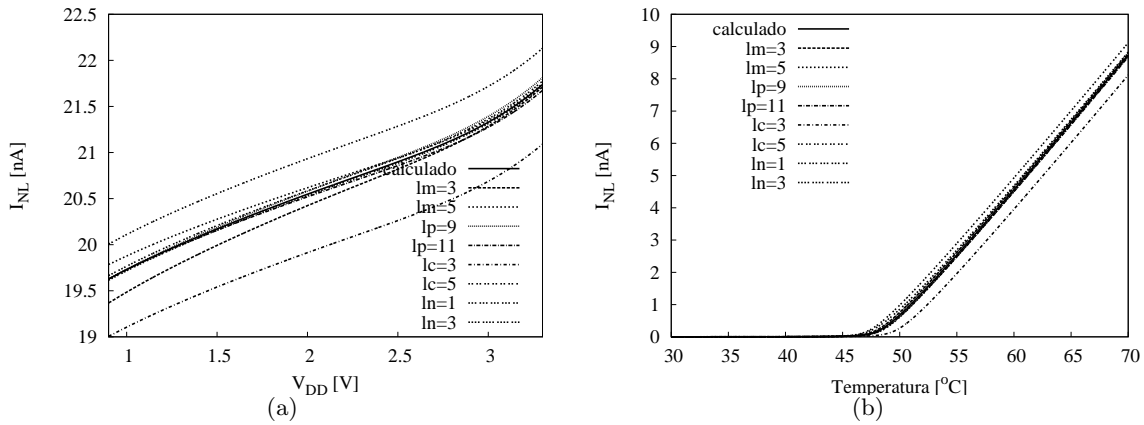


Figura 20: Comportamiento de la corriente I_{NL} usando usando transistores con diferente longitud de canal en: (a) voltaje y (b) temperatura.

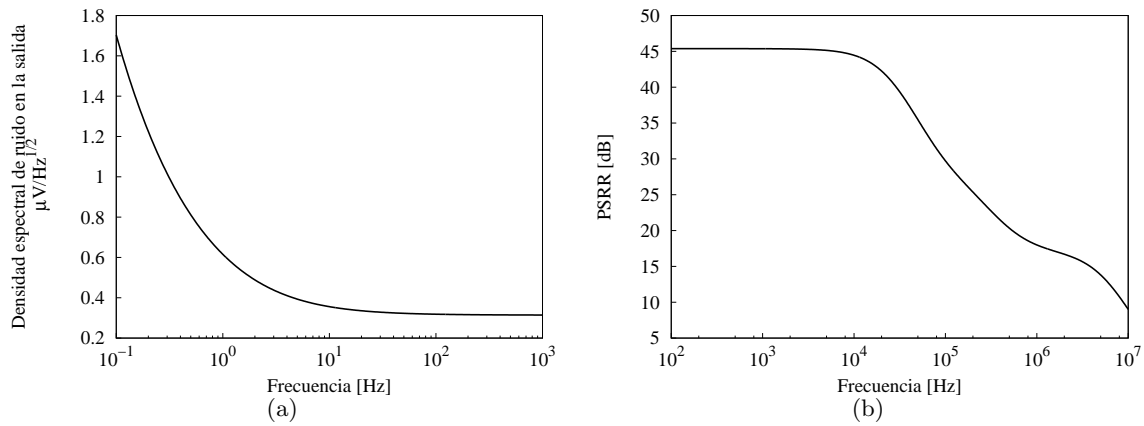


Figura 21: (a) Relación de señal a ruido y (b) relación de rechazo a la fuente de alimentación en el voltaje de salida.

espectral de ruido a la salida del circuito, dada en $\mu V/\sqrt{Hz}$, en donde se ve una densidad de ruido entre $1,7 \mu V/\sqrt{Hz}$ y $314 nV/\sqrt{Hz}$ entre $100 mHz$ y $1 kHz$, con una SNR de $115,4 dB @ 10 Hz$. Para la simulación de la $PSRR$ se toma un rango de frecuencias hasta $100 MHz$, figura 2.21(b), donde el circuito presenta una $PSRR$ de $-45,4 dB$ con un ancho de banda de $19 kHz$.

2.4.5. Ajuste de V_{REF}

En este punto se tiene un V_{REF} compensado pero no es el mejor, pues no se ha ajustado T_{med} de acuerdo a las necesidades de V_{REF} . En esta etapa del diseño se hace el ajuste fino de la resistencia R_3 , así como de los transistores M_{26} , M_P y M_C ; de tal manera que $V_{REF}(T_{min}) =$

$V_{REF}(T_{med}) = V_{REF}(T_{max})$ y $V_{REF}(T_b) = V_{REF}(T_a)$, garantizando un V_{REF} con una mínima variación en temperatura.

Con las dimensiones de los elementos del diseño *prelayout* se hace el trazado del *layout* teniendo en cuenta las consideraciones mínimas para el buen funcionamiento del circuito. Debido a que del *layout* se hace extraer todos los parámetros que describen los elementos, se deben hacer los ajustes necesarios para que V_{REF} tenga la menor variación posible. Una vez culminados los ajustes hechos al *layout*, se caracteriza su desempeño, se contrasta con los resultados reportados en el estado del arte, tabla 1.

Capítulo 3

Resultados

En el capítulo anterior se realizó el diseño de una fuente de voltaje de referencia, en donde se unen el uso de los transistores *MOS* polarizados en inversión débil, y el uso de una corriente lineal por partes para corregir la curvatura del voltaje de salida. Para el diseño de esta fuente, se busca alcanzar las especificaciones de los trabajos recopilados en la tabla 1, y teniendo en cuenta las consideraciones necesarias para utilizar el proceso *CMOS* 0,35 μm de *AMS*. En este capítulo se realiza la evaluación de desempeño del circuito antes y después de trazar el *layout*, se comparan los resultados para finalmente redactar las observaciones, conclusiones y recomendaciones para trabajos futuros.

3.1. Resultados *prelayout*

Para evaluar el desempeño del circuito se observa su comportamiento respecto a la temperatura y se realiza un análisis en *DC*. La respuesta del circuito con respecto a la temperatura presentada en la figura 22, muestra que los voltajes V_{PTAT} , V_{CTAT} y la corriente I_{PTAT} , tienen una componente de primer orden dominante, como se había planteado en los modelos analíticos presentados de las secciones 2.2.1 y 2.2.2, mientras que las componentes de orden superior influyen en el comportamiento de la corriente I_{CTAT} , figura 3.22(b), que a su vez van a ser dominantes en el comportamiento del voltaje de referencia, como se puede observar al comparar las figuras 3.22(b) y 3.22(d), donde las componentes de orden superior en la corriente I_{CTAT} son más notorias en la parte superior del rango superior de temperatura de diseño, en el cual el voltaje de referencia presenta la mayor variación en la temperatura, y por lo tanto presenta el lóbulo más angosto. En la figura 3.22(c) se muestran las corrientes del bloque no lineal, donde se puede apreciar con mayor facilidad la curvatura de la corriente I_{CTAT} respecto a la corriente I_{PTAT} , y la capacidad de los transistores *MOS* a manejar corrientes en el orden de las decenas de nanoamperes (I_{NL}), permitiendo pensar en llevar los

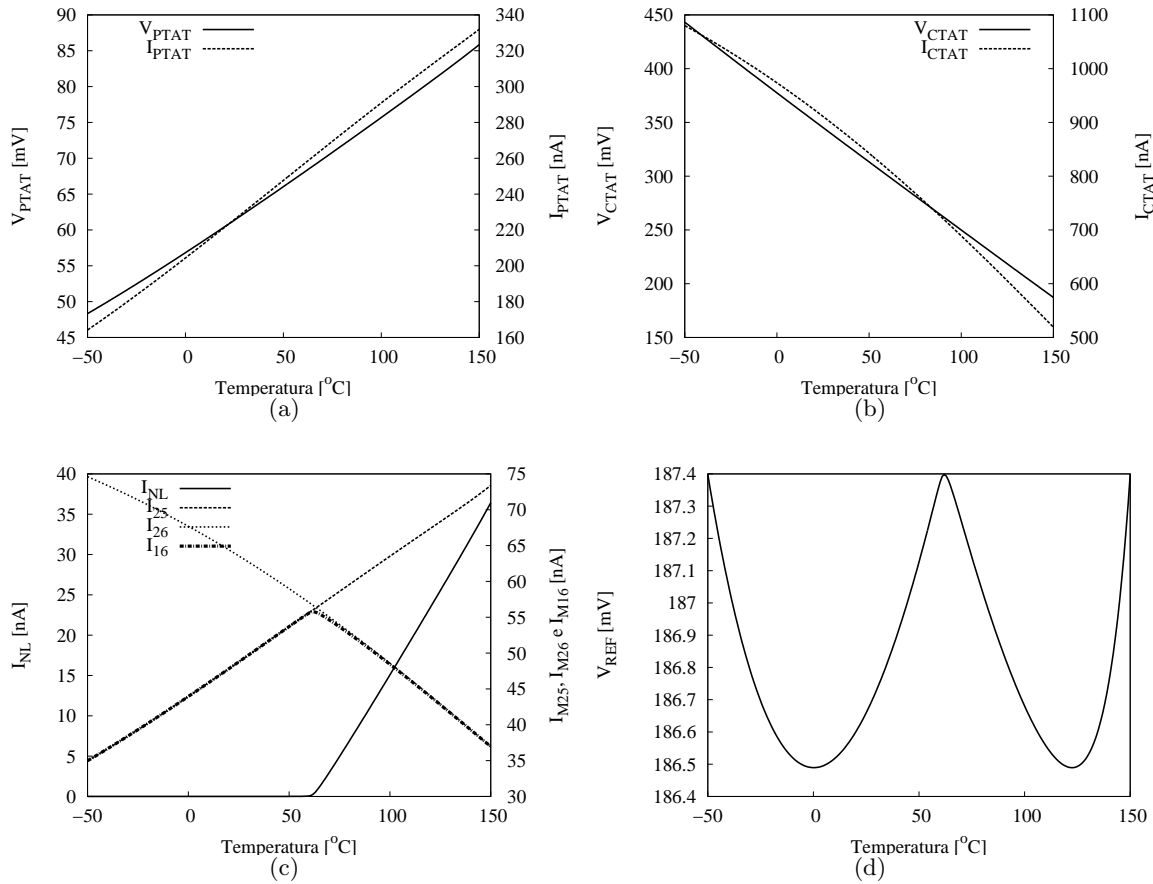


Figura 22: Resultados de simulación *prelayout* en la temperatura de los bloques (a) *PTAT*, (b) *CTAT*, (c) *PWL* y (d) voltaje de referencia.

circuitos basados en transistores *MOS* que no estén limitados por las resistencias, a consumos de corriente en el orden de los nanoamperes.

En la figura 23 se pueden comparar las curvas de voltaje y corriente de los bloques *PTAT* y *CTAT*, figuras 3.23(a) y 3.23(b) respectivamente, en donde se nota que el bloque *CTAT* sitúa el voltaje de alimentación alrededor de 1 V por la suma de las tensiones V_{GS} de los transistores M_{24} y M_{13} . La corriente I_{NL} y el voltaje de la resistencia R_3 , en donde se conecta el sumidero de corriente que corrige la curvatura del voltaje de referencia, son presentadas en la figura 3.23(c), en estas curvas se ven variaciones, que son más fuertes en el voltaje de la resistencia R_3 , resultado de la suma de las corrientes I_{PTAT} , I_{CTAT} e I_{NL} . En la curva de la figura 3.23(d) se ve la regulación de línea presentada en el voltaje de salida, que es considerablemente mayor que la regulación en V_{CTAT} , debido a que buscando un uso racional

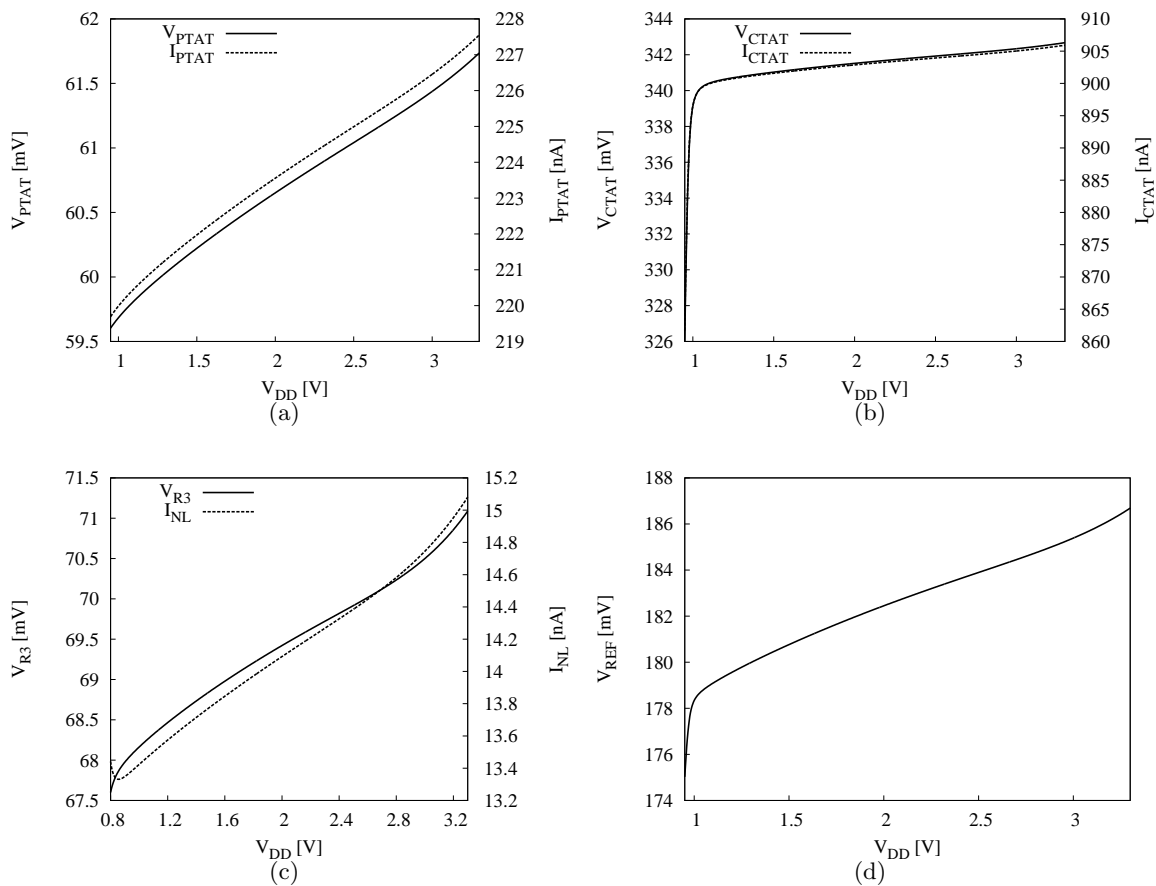


Figura 23: Resultados de simulación *prelayout* en *DC* de los bloques (a) *PTAT*, (b) *CTAT*, (c) *PWL* @ 100 °C y (d) voltaje de referencia.

en la área de circuito, se usaron los factores $A = 2$ y $C = 3$, sección 2.4, escalando la regulación de línea presente en el voltaje V_{PTAT} y en el voltaje V_{R3} .

3.2. Consideraciones para el trazado del *layout*

Del *layout* depende que se conserve o se mejore el desempeño del circuito, por eso se deben seguir las reglas básicas para su trazado. A continuación se recopilan las consideraciones que se tuvieron en cuenta en el trazado del *layout* de la fuente:

- ♣ **Efecto *latch up*.** Conceptualmente, *latch up* se refiere al estado en el que un circuito se vuelve inoperable por un corto circuito parásito entre V_{DD} y V_{SS} , y dependiendo del corto parásito, el circuito puede recuperarse simplemente desconectando la alimentación

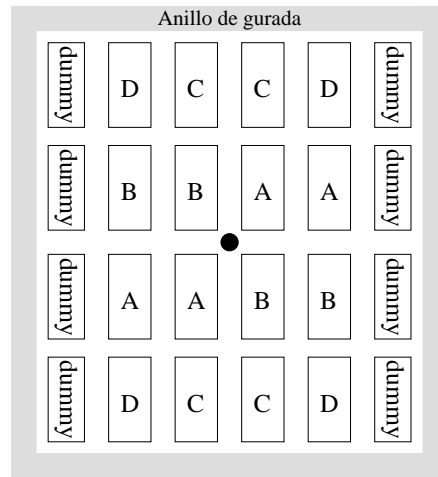


Figura 24: Ubicación de los elementos *dummies*, anillo de guarda y distribución para minimizar el *mismatch*.

o, en el peor de los casos, quedar permanentemente inservible. Estos cortos se deben a la constante reducción de las distancias mínimas en los procesos *CMOS*, lo cual origina que cada vez sean más frecuentes los transistores bipolares parásitos, transistores que se pueden activar por las fluctuaciones de corriente en la alimentación (V_{DD}) o la tierra (V_{SS}), pues son estos los terminales que están en contacto con el mundo exterior [15].

Para eliminar el efecto de *latch up* se debe garantizar una distancia máxima entre cualquier parte de un elemento y la tierra de señal, que en el caso de los transistores *PMOS* es el pozo *NWELL*, y para las resistencias *RPOLYH* y los transistores *NMOS* es el pozo *PWELL*. En el *layout* trazado para este trabajo se toman grupos de transistores que compartan alguna corriente o algún voltaje y se encierran en anillos de guarda, estos anillos están conectados directamente a la tierra de señal protegiendo los elementos del efecto de *latch up*. En el caso de los transistores M_{11} y M_{12} , debido a que su longitud de canal es de $10 \mu m$, se coloca un anillo de guarda cada dos dedos, figura 24.

- ♣ **Efecto de *mismatch*.** Como se había comentado en la sección 2.3.3, los circuitos integrados se fabrican en un material que tiene variaciones anisotrópicas en su dopado, esto hace que inevitablemente dos elementos del mismo material y adyacentes no tengan las mismas propiedades eléctricas. Para compensar las deficiencias del uno con la suficiencia del otro se hace el trazado de los elementos de forma simétrica, seleccionando un punto central, de tal manera que los elementos están dispuestos simétricamente respecto a este punto, siendo complementarios eléctricamente y de este modo minimizando el *mismatch* entre ellos, figura 24.

- ♣ **Elementos parásitos.** El análisis de un circuito se hace bajo la premisa que las conexiones tienen resistencia cero (0Ω), y que no hay capacitancias entre los terminales. Las características eléctricas de los materiales usados para la fabricación de los circuitos integrados distan de ser los materiales ideales, por ello, para acercarse al ideal que se maneja en el análisis, se usa tanto material como sea posible, en el caso del metal, se procura aumentar los anchos para que la resistencia L/W sea mínima, así como se usan tantos contactos como sus dimensiones y distancias lo permitan para que sus resistencias en paralelo mejoren la conducción de corriente entre el metal y el polisilicio o las difusiones, así mismo, se usan tantas vías como es posible para minimizar la resistencia que conecta los metales de diferentes niveles.

- ♣ **Elementos *dummies*.** La fabricación de los circuitos integrados se hace con técnicas de tipografía en donde se usan materiales de protección y ácidos para demarcar las áreas de los diferentes materiales, de tal manera que los dispositivos que se encuentran en los bordes de estas áreas pueden quedar demarcados de una forma irregular respecto a sus compañeros de área. Para minimizar este problema, se usan elementos *dummies*, que consisten en elementos del mismo material trazados con dimensiones mínimas, alojando tanto contactos como metales, pero sin estar funcionalmente conectados, de este modo, estos elementos sufren las demarcaciones irregulares, resguardando los elementos que se encuentran en el centro del área, figura 24.

- ♣ **Dimensiones mínimas.** En los procesos *CMOS* se busca bajar la longitud de canal mínima, de tal manera que se aumente la densidad de integración de elementos, longitudes que son aprovechadas por los circuitos digitales, bajando sus costos de fabricación. Pero en los circuitos analógicos no se pueden usar las dimensiones mínimas, en las secciones 2.3.2 y 2.3.3 se presenta el efecto debido a la variación de V_{DD} y las variaciones eléctricas de los elementos, mostrando que cuando se usan dimensiones mínimas los elementos son muy susceptibles a las variaciones eléctricas y a las variaciones anisotrópicas del material. Es por esto que en algunos elementos, como en los transistores *NMOS* del bloque *PTAT*, se seleccionan longitudes de canal tan grandes, como las mostradas en el diseño preliminar hecho en la sección 2.4.

3.3. Resultados *poslayout*

Una vez trazado el *layout* del circuito guardando las consideraciones presentadas en la sección 3.2, figura 27, se contrasta su desempeño contra el alcanzado antes del *layout*. Comparando las curvas de las figuras 3.22(a) y 3.23(a) contra 3.25(a) y 3.26(a) respectivamente,

Parámetro	Prelayout	Poslayout
V_{REF} [mV]	184,2	183,0
TC [$\mu V/^\circ C$]	4,6	3,0
LR [mV/V]	3,58	3,77
V_{DDmin} [mV]	950	950
I_{VDD} [μA @ 3,3V]	2,41	2,45
T_{med} [$^\circ C$]	64	38
SNR [dB @ 10 Hz]	115,4	113,4
$PSRR$ [dB @ 10 kHz]	44,5	42,9

Tabla 10: Desempeño del circuito antes y después del *layout*.

se nota que el comportamiento de las curvas del bloque *PTAT* *poslayout* no sufren cambios en forma ni en magnitud respecto al bloque *prelayout*, mientras que en la curva de la corriente I_{CTAT} se mueven las altas variaciones de orden superior a la parte inferior del rango de temperatura de diseño, modificando su impacto sobre el voltaje de referencia. Buscando que este tenga la menor variación posible en la temperatura, se modifica el valor de T_{med} bajando el valor de la corriente I_{26} en el bloque *PWL*, figura 3.26(c), a la vez que se ajusta el tamaño del transistor M_P y el valor de la resistencia R_3 , de tal manera que se es se mueve el lóbulo más pequeño del voltaje de referencia a la parte inferior del rango inferior de temperatura de diseño, figura 3.25(d). Todos estos cambios se deben a que en las simulaciones *poslayout* se hacen con la información de áreas y perímetros del drenó y el surtidor de cada transistor obtenida de la extracción de parámetros del *layout*.

Como se esperaba, y a diferencia de los resultados en la temperatura, los resultados *poslayout* en *DC* no muestran variaciones significativas respecto a los resultados *prelayout*, mostrando el buen trazado del *layout*, en el que se minimizaron las resistencias parásitas, que son los elementos que podían afectar el comportamiento *poslayout* del circuito. En la tabla 10 se recopila los datos, donde se encuentra que en las simulaciones *poslayout* baja el coeficiente térmico y se modifica el valor de T_{med} . Estos cambios se deben a las modificaciones de las no linealidades por la descripción de las áreas y perímetros hechas en los transistores después de trazar el *layout*, pero se mantiene el comportamiento básico de todos los parámetros, figuras 22–26.

Debido a que la topología propuesta usa una corriente lineal por partes así como los transistores *MOS* polarizados en inversión débil, se debe comparar su desempeño con el de los circuitos de Rincón-Mora [4], Giustolisi [6] y Huang [7], pues de estos se extraen los conceptos base para la topología propuesta. En la tabla se destaca el buen desempeño del circuito respecto a sus antecesores en el voltaje de salida, los parámetros térmicos y de consumo de

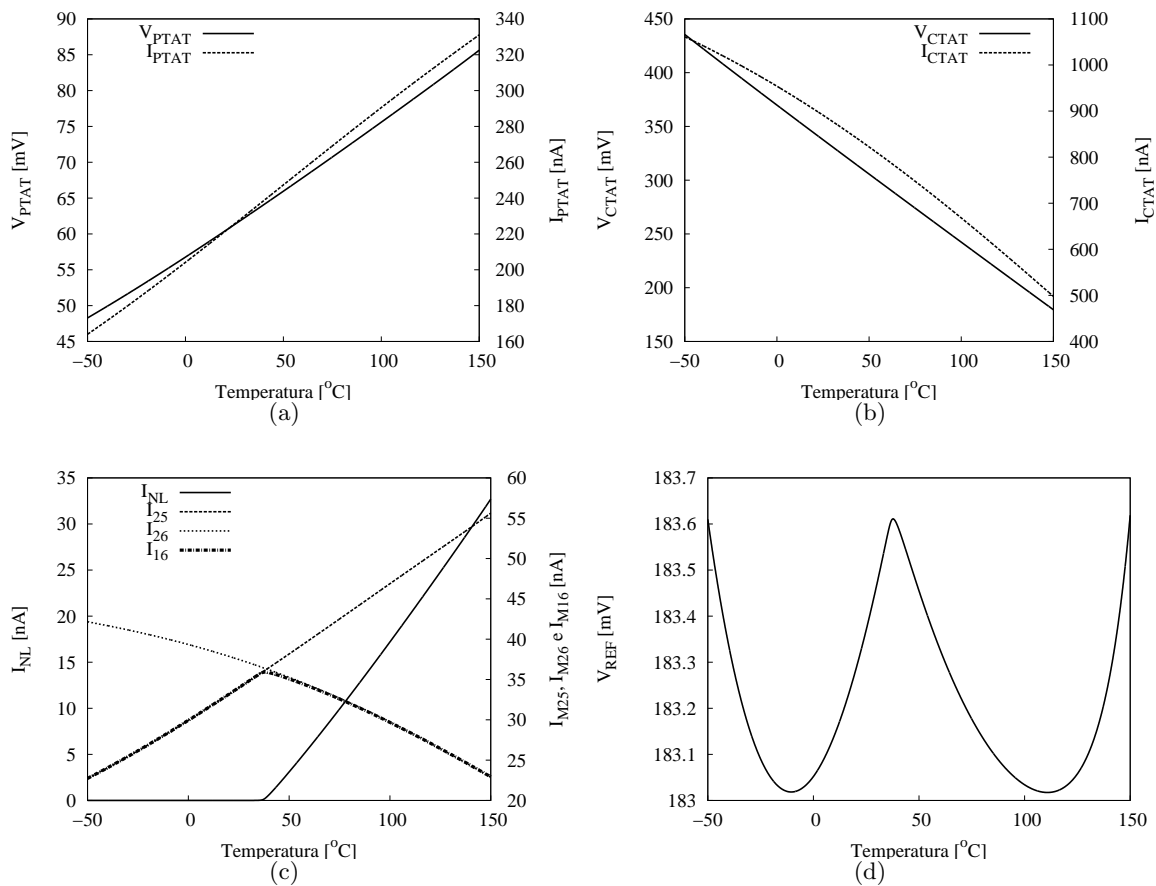


Figura 25: Resultados de simulación *poslayout* de los bloques (a) *PTAT*, (b) *CTAT*, (c) *PWL* y (d) voltaje de referencia.

corriente, y aunque numéricamente no se tiene el menor consumo de área, se debe recalcar que es semejante al de un circuito que usa una tecnología con menor longitud de canal.

Por otro lado y para tener una perspectiva más amplia, se debe comparar el diseño con el estado del arte en general. En la tabla 12 se retoma la tabla del estado del arte presentada en la sección 2.4 y se somete a comparación el diseño de este trabajo, donde sobre salen de nuevo el voltaje de salida y los parámetros térmicos.

3.4. Observaciones y conclusiones

Se propone una nueva topología en la que se usan transistores *MOS* polarizados en inversión débil y la corrección de curvatura con una corriente lineal por partes, buscando un

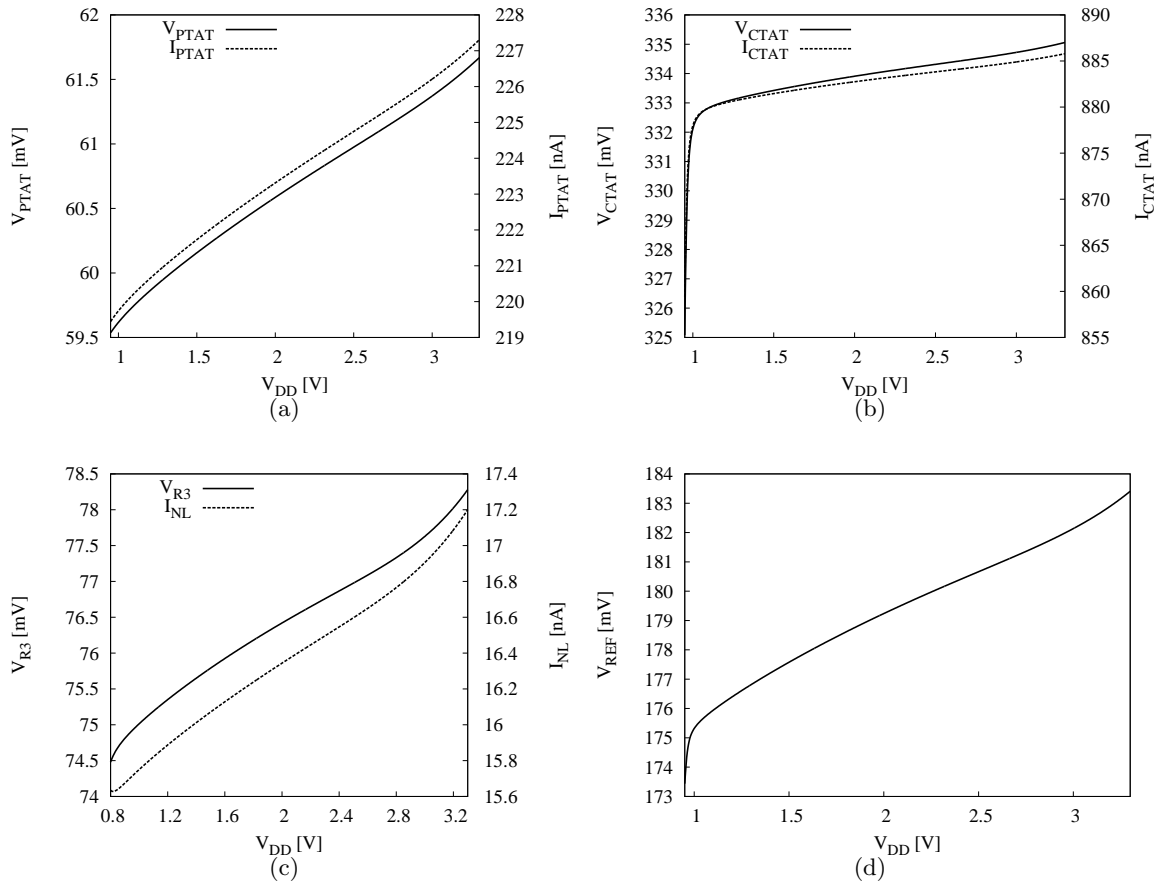


Figura 26: Resultados de simulación *poslayout* en *DC* de los bloques (a) *PTAT*, (b) *CTAT*, (c) *PWL* @ 100 °C y (d) voltaje de referencia.

circuito que se pueda implementar en tecnología *CMOS* sin usar transistores bipolares ni *OpAmps*, un bajo consumo de corriente y un voltaje de referencia con un bajo *TC* entre -50 y 150 °C, buscando alcanzar especificaciones del estado del arte.

Con el uso de los transistores *MOS* en inversión débil, se prescinde del uso de los transistores bipolares, por lo que el voltaje de salida no es de *bandgap*¹. De esta región de trabajo del transistor *MOS* se aprovecha el comportamiento exponencial de su corriente y el comportamiento *CTAT* de su voltaje V_{GS} .

Dentro de la definición del espacio de diseño, las resistencias juegan un papel importante,

¹En el apéndice A se muestra la desaparición del término correspondiente a la energía de *bandgap* en la ecuación del voltaje V_{CTAT} .

Trabajo	[4]	[6]	[7]	Mateus
Año	1998	2003	2006	2007
V_{REF} [mV]	595	295	221	183
TC [$\mu V/^{\circ}C$]	12	35	43	3,0
Temp. [$^{\circ}C$]	[-20;90]	[-25;125]	[-20;120]	[-50;150]
V_{DDmin} [V]	1,1	1,2	0,85	0,95
$I_{V_{DD}}$ [μA]	14	3,6	3,9	2,45
LR [mV/V]	1,19		2,00	3,77
Área [mm^2]	0,223	0,23	0,0238	0,03
$PSRR$ [dB]		40		42,9
Tecn. [μm]	2	1,2	0,18	0,35

Tabla 11: Trabajos comparables por técnica y concepto con la fuente diseñada.

pues tienen un compromiso área/corriente que obliga a mantener un equilibrio, limitando el consumo de corriente mínimo. Esta corriente a su vez limita el voltaje mínimo de alimentación, presentando un compromiso área/ V_{GS} en los transistores, y de esta forma, se definen dos de las características que describen el desempeño de las fuentes de voltaje de referencia.

Para corregir la curvatura del voltaje de referencia se considera la corrección de segundo orden usando resistencias de diferente material, pero esta técnica obliga a usar resistencias de alta resistividad, limitando su aplicación en la fuente. Finalmente se selecciona la corrección de curvatura con una corriente lineal por partes, que aprovecha la característica no lineal de los transistores para restar las corrientes escaladas de I_{PTAT} e I_{CTAT} y no exige características especiales en el proceso de fabricación. Esta resta de corrientes se hace en el bloque PWL , que se agrega a la topología de la fuente de referencia basada en transistores MOS polarizados en inversión débil, y gracias a que este bloque no tiene restricciones de área por el uso de resistencias, se logra un voltaje de salida con curvatura corregida sin que se aumente el consumo de corriente del circuito de forma significativa.

Debido a que los parámetros del proceso dispuestos por AMS buscan suplir la información necesaria para los modelos del transistor MOS en inversión fuerte, se debe ajustar algunos de los parámetros para adaptarlos al modelo analítico del transistor MOS en inversión débil. Con el modelo analítico ajustado y un espacio de diseño limitado, se calculan las dimensiones de los transistores y de las resistencias que son comprobadas, y ajustadas si es el caso, mediante simulación. Estas simulaciones se corren sobre los modelos BSIM3V3 usados en Hspice (nivel 49) y Eldo (nivel 53), con los que se busca garantizar que la polarización de los transistores se mantenga en la región de inversión débil a lo largo del rango de temperatura de diseño y, en

Año y Autor	V_{REF} [mV]	TC [$\frac{\mu V}{^{\circ}C}$]	Rango de T [$^{\circ}C$]	V_{DDmin} [V]	$I_{V_{DD}}$ [μA]	LR [$\frac{mV}{V}$]	$PSRR$ [dB]	Área [mm^2]	Tec. [μm]
1998 [4] ^a	595	12	[-20;90]	1,1	14	1,19		0,223	2
2002 [5] ^{ab}	1195	134	[0;70]	3,7	378		45,1	0,4	0,5
2003 [6] ^c	295	35	[-25;125]	1,2	3,6		40	0,23	1,2
2003 [3] ^{ad}	1140	6	[0;100]	2,0	23	1,43	47	0,057	0,6
2006 [7] ^c	221	43	[-20;120]	0,85	3,9	2,00		0,0238	0,18
2006 [8] ^{bc}	319	5	[-40;100]	0,5	0,08		11,5	0,000250	0,13
2006 [9] ^{bc}	670	7	[0;80]	0,9	0,07	1,83	52	0,045	0,35
Mateus ^c	183	3	[-50;150]	0,95 ^e	2,45	3,77	42,9	0,031	0,35

^a Circuitos con transistores bipolares.

^b Circuitos sin resistencias.

^c Circuitos con transistores *MOS* polarizados en inversión débil.

^d Circuitos con uno o más *OpAmps*.

^e Medido en temperatura ambiente.

Tabla 12: Comparativa del circuito diseñado con el estado del arte de las fuentes de referencia en tecnología *CMOS*.

los peores casos de potencia y velocidad de los elementos, así como comprobar las desviaciones estándar con las simulaciones de Montecarlo.

En la búsqueda de un diseño robusto, se acude al análisis estadístico y a los efectos debido a la variación de V_{DD} , de donde se obtienen las longitudes mínimas que garantizan un mínimo impacto debido a la variación de V_{DD} y una baja dependencia a la variación de parámetros presente en la fabricación de los circuitos integrados. Con estos análisis, se logra un voltaje de referencia con una desviación estándar cercana al 1%, y una regulación de línea comparable con el estado del arte.

En el *layout*, se buscó bajar tanto capacitancias como resistencias parásitas, minimizar el efecto de *mismatch* entre los elementos, evitar el *latch up* mediante el uso de anillos de guarda y proteger los elementos de las tolerancias de fabricación usando elementos *dummies*. Logrando el *layout* de un circuito que cumple con las especificaciones que se requieren para poder enviarlo a fabricación.

El desempeño del circuito diseñado se compara con el reportado en los trabajos que sirvieron de referencia para seleccionar la topología, tanto en inversión débil como con corrección de curvatura, en donde se encuentra el el menor voltaje de salida, con el menor coeficiente

térmico en el mayor rango de temperatura, presentando el mejor comportamiento térmico con el menor consumo de corriente, y haciendo una comparación más general con los trabajos del estado del arte, se mejora el desempeño térmico. Esta mejora se debe destacar teniendo en cuenta la creciente influencia de los componentes de orden superior a medida que la temperatura de trabajo se aleja de la temperatura de referencia, logrando obtener no solo un circuito comparable con el estado del arte, sino que presenta parámetros que mejoran lo presentado en la literatura.

Conociendo los avances logrados en este proyecto y con el deseo de disponer de su propia fuente de referencia, la casa de diseño LSI-TEC, establecida en Brasil, solicitó una fuente de referencia con un consumo de corriente y un voltaje de salida específicos. Para esta fuente se usó la topología y la estrategia de diseño propuestas, en un proceso *CMOS* de $0,6 \mu m$, logrando las especificaciones exigidas y demostrando la escalabilidad de la topología y la estrategia. Este diseño fue enviado a fabricar en Agosto, y se espera la entrega de los resultados en el próximo mes.

Con el fin de validar los resultados obtenidos en este proyecto con medidas sobre un circuito integrado, en Diciembre del presente año se va a mandar a fabricar el circuito presentado. Las medidas sobre este circuito se van tomar en el laboratorio de sistemas integrados de la Universidad de Sao Paulo, y de este modo, adelantar el desarrollo completo del circuito.

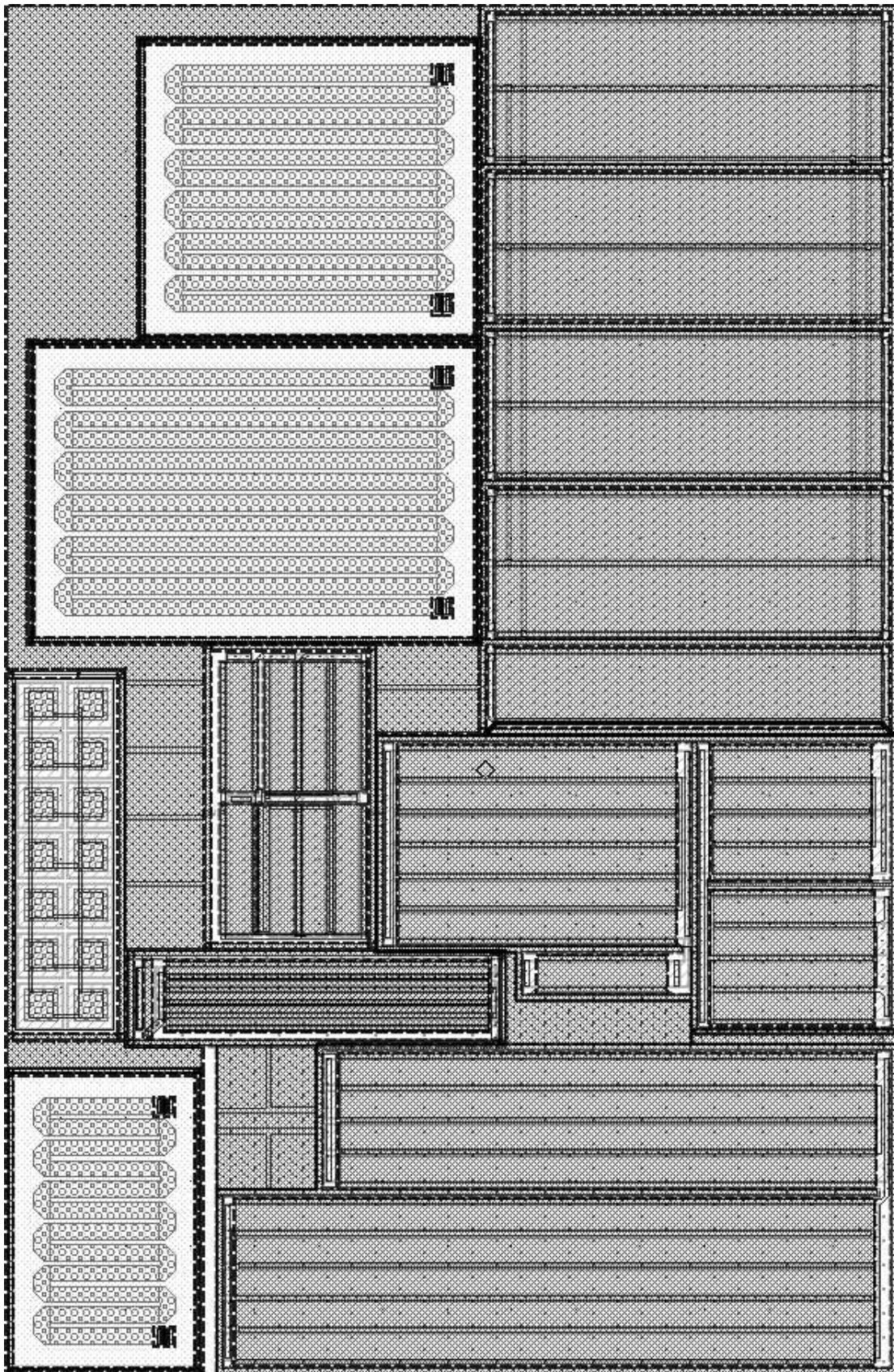
Con los resultados de este proyecto se sometió el artículo “Fuente de referencia compensada sub-1V de $2,45 \mu A$ ” al XIV *Workshop* de Iberchip.

3.5. Recomendaciones para trabajos futuros

- ♣ Uno de los conceptos usados en el diseño de este circuito fue la resta de corrientes, pero así como este concepto ayuda a mejorar el desempeño térmico del circuito, en el análisis estadístico la temperatura media (T_{med}) puede moverse incluso en un rango de $100 \text{ }^\circ C$. Por eso se recomienda un análisis estadístico profundo para encontrar la forma de reducir el movimiento de T_{med} .
- ♣ La regulación de línea es uno de los parámetros usados para la medir el desempeño de las fuentes de referencia, por eso se debe desarrollar una técnica que la mejore sin sacrificar considerablemente el desempeño térmico de la fuente de referencia.
- ♣ Como se nota en la tabla del estado del arte, existen circuitos que, además de los *OpAmps* y los transistores bipolares, también prescindan de las resistencias, permitiéndoles bajar de manera considerable el consumo de corriente. Para continuar con esta tendencia se

recomienda el desarrollo de una fuente de referencia con corrección de curvatura que no requiera el uso de las resistencias.

- ♣ Hasta ahora las fuentes de referencia de bajo ruido se han trabajado sobre topologías que usan transistores bipolares, en las que se ha reportado un consumo de corriente considerable. Buscando bajar el consumo de corriente en todas las aplicaciones, se recomienda trabajar en un diseño que con un bajo consumo de corrientes se obtenga una figura de ruido comparable con el estado del arte.
- ♣ Se recomienda revisar la posibilidad de crear modelos monomiales o posinomiales del transistor *MOS* en inversión débil, con estos modelos se debería poder describir su comportamiento de tal manera que se pueda predecir su polarización incluso ante variaciones en la temperatura, para así considerar la aplicación de la programación geométrica en el proceso de diseño de una fuente de referencia, y de este modo reducir el tiempo necesario para llegar a una solución óptima para unas especificaciones dadas.

Figura 27: *Layout* del circuito.

Apéndice A

Voltaje compuerta-surtidor V_{GS}

A continuación se desarrolla la expresión del voltaje compuerta-surtidor (V_{GS}), usada en la ecuación (2.7), a partir de la corriente de drenó del transistor *MOS* polarizado en inversión débil. En la ecuación (A.1) se presenta una de las expresiones que describe esta corriente, donde S es la relación del transistor *MOS*, μ es la movilidad de portadores en el canal, U_T es el voltaje térmico, ϵ_{si} es la permitividad del Si, N_{CH} es la concentración de dopantes en el canal, ϕ_s es el potencial de superficie y ϕ_B es el potencial de Fermi en el cuerpo. La otra expresión de la corriente de drenó es la de la ecuación (A.2), donde V_t es el voltaje de umbral, V_{OFF} es un voltaje correctivo usado en el modelo BSIM3V3 y n el factor de la pendiente de subumbral ($1 + C_d/C_{ox}$).

$$I_D = S\mu U_T^2 \sqrt{\frac{q\epsilon_{si}N_{CH}}{2\phi_s}} \exp\left(\frac{\phi_s - 2\phi_B}{U_T}\right) \quad (\text{A.1})$$

$$I_D = S\mu U_T^2 \sqrt{\frac{q\epsilon_{si}N_{CH}}{4\phi_B}} \exp\left(\frac{V_{GS} - V_t - V_{OFF}}{nU_T}\right) \quad (\text{A.2})$$

Comparando las ecuaciones (A.1) y (A.2), se tiene la igualdad de la ecuación (A.3) para la misma corriente de drenó. En las ecuaciones (A.4) y (A.5) se presentan las expresiones de ϕ_s y ϕ_B respectivamente, que al ser reemplazadas en (A.3) se obtiene una expresión en función de la temperatura T , ecuación (A.6).

$$\phi_s(T) - 2\phi_B(T) = \frac{V_{GS}(T) - V_t(T) - V_{OFF}}{n(T)} \quad (\text{A.3})$$

$$\phi_s(T) = \phi_s(T_0) \frac{T}{T_0} - \frac{3kT}{q} \ln\left(\frac{T}{T_0}\right) + \frac{E_g(T)}{q} - \frac{E_g(T_0)}{q} \frac{T}{T_0} \quad (\text{A.4})$$

$$\phi_B(T) = \phi_B(T_0) \frac{T}{T_0} - \frac{3kT}{2q} \ln\left(\frac{T}{T_0}\right) + \frac{E_g(T)}{2q} - \frac{E_g(T_0)}{2q} \frac{T}{T_0} \quad (\text{A.5})$$

$$[\phi_s(T_0) - 2\phi_B(T_0)] \frac{T}{T_0} = \frac{V_{GS}(T) - V_t(T) - V_{OFF}}{n(T)} \quad (\text{A.6})$$

Como se puede observar en la ecuación (A.6), después de la resta $\phi_s(T) - 2\phi_B(T)$ se cancelan los términos correspondientes al potencial de *bandgap*, por lo que el voltaje de referencia basado en transistores *MOS* no es un voltaje de referencia de *bandgap*. Al evaluar (A.6) en T_0 , ecuación (A.7), y reemplazándolo en (A.6) se obtiene la ecuación (A.8). Asumiendo que las variaciones en temperatura de $n(T)$ son pequeñas ($n(T) \approx n(T_0)$), y modelando V_t como en la ecuación (A.9) con $K_T < 0$, se obtiene la ecuación (A.10), que puede ser expresada como en la ecuación (A.11), donde K_G , ecuación (A.12), es negativa para valores típicos de K_T , V_{OFF} y $V_{GS} - V_t$, observándose con facilidad el comportamiento *CTAT* de V_{GS} .

$$\phi_s(T_0) - 2\phi_B(T_0) = \frac{V_{GS}(T_0) - V_t(T_0) - V_{OFF}}{n(T_0)} \quad (\text{A.7})$$

$$V_{GS}(T) = V_t(T) + V_{OFF} + \frac{n(T)}{n(T_0)} [V_{GS}(T_0) - V_t(T_0) - V_{OFF}] \frac{T}{T_0} \quad (\text{A.8})$$

$$V_t(T) = V_t(T_0) + K_T \left(\frac{T}{T_0} - 1 \right) \quad (\text{A.9})$$

$$V_{GS}(T) \approx V_{GS}(T_0) + [V_{GS}(T_0) + K_T - V_t(T_0) - V_{OFF}] \left(\frac{T}{T_0} - 1 \right) \quad (\text{A.10})$$

$$V_{GS}(T) \approx V_{GS}(T_0) + K_G \left(\frac{T}{T_0} - 1 \right) \quad (\text{A.11})$$

$$K_G \doteq K_T + V_{GS}(T_0) - V_t(T_0) - V_{OFF} \quad (\text{A.12})$$

Bibliografía

- [1] R. J. Widlar, “New Developments in IC Voltage Regulators,” *IEEE J. Solid-State Circuits*, vol. SC-6, no. 1, pp. 2–7, February 1971.
- [2] A. P. Brokaw, “A Simple Three-Terminal IC Bandgap Reference,” *IEEE J. Solid-State Circuits*, vol. SC-9, no. 6, pp. 388–393, Dic. 1974.
- [3] K.Ñ. Leung, P. K. T. Mok, y C. Y. Leung, “A $2V$ $23\mu A$ $5,3ppm/^{\circ}C$ Curvature-Compesated CMOS Bandgap Voltage Reference,” *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 561–564, Mar. 2003.
- [4] G. A. Rincon-Mora y P. E. Allen, “A $1.1V$ Current-Mode and Piecewise-Linear Curvature-Corrected Bandgap Reference,” *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1551–1554, Oct. 1998.
- [5] A. E. Buck, C. L. McDonald, S. H. Lewis, y T. R. Viswanathan, “A CMOS Bandgap Reference Without Resistors,” *IEEE J. Solid-State Circuits*, vol. 37, no. 1, pp. 81–83, Ene. 2002.
- [6] G. Giustolisi, G. Palombo, M. Criscione, y F. Cutri, “A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs,” *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 151–154, Ene. 2003.
- [7] P.-H. Huang, H. Lin, y Y.-T. Lin, “A Simple Subthreshold CMOS Voltage Reference Circuit with Channel-Length Modulation Compensation,” *IEEE Trans. Circuits Syst.*, vol. 53, no. 9, pp. 882–885, Sept. 2006.
- [8] S. Miller y L. MacEachern, “A Nanowatt Bandgap Voltage Reference for Ultra Low Power Applications,” *IEEE Int. Symp. Circuits Syst.*, pp. 645–648, Junio 2006.
- [9] G. D. Vita y G. Iannaccone, “A Sub-1V, $10ppm/^{\circ}C$, Nanopower Voltaje Reference Generator,” *ESSCIRC*, pp. 307–310, Sept. 2006.

-
- [10] G. A. Rincón-Mora, *Voltages References*, 1ra ed., IEEE, Ed. John Wiley & Sons, Inc., 2002.
- [11] E. Vittoz y J. Fellrath, “CMOS Analog Integrated Circuits Based on Weak Inversion Operation,” *IEEE J. Solid-State Circuits*, vol. SC-12, no. 3, pp. 224–231, Junio 1977.
- [12] P. R. Gray, P. J. Hurst, S. H. Lewis, y R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 4ta ed. John Wiley and Sons, Inc., 2001.
- [13] A. M. Systems, 0, *35 μ m CMOS C35 Process Parameters*, 2005.
- [14] ———, 0, *35 μ m CMOS C35 Matching Parameters*, 2005.
- [15] D. Clein, *CMOS IC Layout, Concepts, methodologies and tools*, 1ra ed. Newnes, 2000.