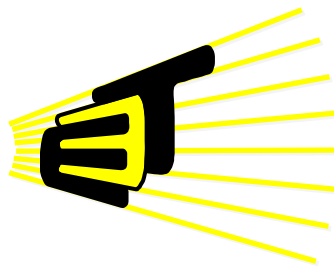


# DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA INALÁMBRICO DE ADQUISICIÓN DE SEÑALES ELECTROENCEFALOGRÁFICAS EN RATAS



JUAN MANUEL FRANCO JACOME  
YESID LEONARDO SUAREZ SANCHEZ



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**

Facultad de Físico – Mecánicas

Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones - E<sup>3</sup>T

**Bucaramanga, Febrero de 2009**

**DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA INALÁMBRICO DE  
ADQUISICIÓN DE SEÑALES ELECTROENCEFALOGRÁFICAS EN RATAS**

Proyecto de grado para optar por el título de  
**Ingeniero Electrónico**

Autores

**JUAN MANUEL FRANCO JACOME  
YESID LEONARDO SUAREZ SANCHEZ**

Director

**Ing. MIGUEL PINTO APARICIO**

Codirector

**Md. Ph. D. CARLOS CONDE COTES**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER**

Facultad de Físico – Mecánicas

Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones - E<sup>3</sup>T

**Bucaramanga, Febrero de 2009**

## RESUMEN

Título:

**DISEÑO E IMPLEMENTACIÓN DE UN SISTEMA INALÁMBRICO DE ADQUISICIÓN DE SEÑALES ELECTROENCEFALOGRÁFICAS EN RATAS.\***

Autores:

**JUAN MANUEL FRANCO JÁCOME, YESID LEONARDO SUÁREZ SÁNCHEZ.\*\***

Palabras Claves: EEG, electroencefalografía, digitalización, conversor A/D, telemetría, modulación OOK.

### DESCRIPCION

Los grupos de investigación en neurociencias a nivel universitario en la región no cuentan con laboratorios debidamente dotados. Por esta razón se establecen vínculos entre diferentes áreas tecnológicas como son las ingenierías electrónica y de sistemas, que brindan aportes al desarrollo de dispositivos y el tratamiento de las señales, y la medicina aplicada, en busca de la adecuada dotación de los laboratorios de investigación.

Este trabajo presenta en su primera parte el diseño del hardware de adquisición de señal electroencefalográfica, usando electrodos profundos en combinación con amplificadores de instrumentación, y su procesamiento con el uso de filtros activos basados en amplificadores operacionales que dan un tratamiento inicial a la señal electroencefalográfica para que luego pueda ser digitalizada correctamente. Posteriormente, se aborda el diseño de un sistema con circuitos digitales que tomen la señal analógica y la digitalicen para que sea transmitida de forma inalámbrica por radiofrecuencia al correspondiente módulo receptor. La digitalización exige que se tengan en cuenta las características principales del muestreo de las señales para poder garantizar que no hayan pérdidas de información útil. La comunicación inalámbrica es unidireccional y se realiza con modulación OOK (On–Off Key) y según las características del laboratorio en el cual se use el dispositivo se recomienda que se trabaje a una distancia de hasta tres metros entre transmisor y receptor para poder garantizar la integridad de la señal. El módulo de recepción demodula la señal digitalizada y la envía al computador, el cual la interpreta para que posteriormente sea visualizada en una interfaz gráfica diseñada para tal fin.

El dispositivo resultante constituye una ayuda al investigador del área de la neurofisiología, por su portabilidad, robustez y sencilla operación comparado con otros dispositivos que cumplen con funciones similares, permitiendo aproximaciones importantes a la comprensión del funcionamiento del sistema nervioso en una situación dada.

---

\* Trabajo de Grado.

\*\* Facultad de Fisicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: Miguel Pinto Aparicio. Co-director: Carlos Conde Cotes.

## ABSTRACT

Title:

**DESIGN AND IMPLEMENTATION OF A WIRELESS SYSTEM FOR THE ACQUISITION OF ELECTROENCEPHALOGRAPHIC SIGNALS ON RATS.\***

Authors:

**JUAN MANUEL FRANCO JÁCOME, YESID LEONARDO SUÁREZ SÁNCHEZ. \*\***

Keywords: EEG, electroencephalography, digitalization, Analog to Digital converter, telemetry, OOK modulation.

## DESCRIPTION

Neuroscience research groups at the university level in the region, do not count with adequately equipped laboratories. For this reason, joint endeavors have arisen involving different technological areas such as electrical engineering and computer sciences, which contribute to the development of new devices and techniques in signal processing, and applied medicine, in search for the adequate endowment of research laboratories.

This research work presents, in the first place, the design of the hardware necessary for the acquisition of electroencephalographic signal, using depth electrodes together with instrumentation amplifiers, and its further processing with op-amp based active filters, providing a signal which can be appropriately digitized later on. Following, this work deals with the design of a system which, with the use of digital circuits, picks up and digitizes the analog signal in order to transmit it using wireless RF communication to the corresponding receiver device. The analog to digital conversion demands that care be taken with the characteristics of the sampling process so that no significant information losses occur. The wireless communication is implemented one-way only, using OOK (On-Off Key) modulation on an ISM (Industrial, Scientific, Medical) band, and depending on the laboratory conditions, it is advised not to exceed a distance of 3 meters between transmitter and receiver, in order to guarantee the integrity of the transmitted signal. The receiver demodulates the digital signal and sends it to the computer, which in turn interprets and displays it on a graphical user interface.

The resulting device constitutes an aid to the Neurophysiologist investigator, given its portability, robustness and ease of use compared with devices that perform similar functions, allowing for important advances on the comprehension of the functioning of the nervous system under a given situation.

---

\* Final graduation work

\*\* Faculty of Physical-Mechanical engineerings. School of Electrical, Electronic and Telecommunications engineering. Director: Miguel Pinto Aparicio. Co-director: Carlos Conde Cotes.

## Tabla de Contenido

<b>INTRODUCCION.....</b>	<b>1</b>
<b>2. DESCRIPCIÓN DEL PROYECTO.....</b>	<b>3</b>
2.1. OBJETIVOS.....	3
2.1.1. Objetivo General.....	3
2.1.2. Objetivos Específicos.....	3
2.2. JUSTIFICACIÓN DEL PROYECTO.....	3
2.3. ALCANCES Y RESULTADOS DEL PROYECTO.....	5
2.4. IMPACTO SOCIAL Y VIABILIDAD DEL PROYECTO.....	6
<b>3. MARCO TEÓRICO.....</b>	<b>7</b>
3.1. ORIGEN DE LA ACTIVIDAD ELÉCTRICA CEREBRAL:.....	7
3.1.1. Potencial de reposo y Potencial de Acción:.....	7
3.1.2. Aproximación dipolar:.....	8
3.2. MODO GENERAL DE OBTENCIÓN DEL EEG:.....	10
3.2.1. Adquisición de la señal del EEG. ....	10
3.2.1.1. Propiedades específicas de los electrodos.....	10
3.2.1.2. El cálculo de la diferencia de potencial.....	11
3.2.2. Preamplificación.....	12
3.2.3. El filtrado de las señales.....	13
3.2.4. Amplificación de la señales de EEG.....	13
3.3. MUESTREO.....	14
3.3.1. Principales Parámetros.....	14
3.3.1.1. Frecuencia de muestreo:.....	14
3.3.1.2. Filtrado antisolapamiento:.....	14
3.3.1.3. Sobremuestreo y diezmado:.....	15
3.3.1.4. Margen dinámico, tamaño de paso y error de cuantización:.....	15
3.3.2. Requerimientos específicos:.....	17
<b>4. DISEÑO DEL HARDWARE:.....</b>	<b>19</b>
4.1. MODULO DE ADQUISICIÓN:.....	19
4.1.1. Etapa de Adquisición y Acondicionamiento de Señal:.....	20
4.1.1.1. Adquisición y Preamplificación:.....	21
4.1.1.2. Circuito de Escudo.....	24

4.1.1.3. Amplificación y Filtrado:.....	26
4.1.1.4. Diseño definitivo de la etapa de adquisición y filtrado.....	30
4.1.2. Digitalización, Modulación y Transmisión.....	36
4.1.2.1. Microcontrolador MSP430F2003.....	37
4.1.2.2. Configuración del Microcontrolador MSP430F2003:.....	38
4.1.2.3. Transmisor TXM-315-LR.....	41
4.1.3. Sistema de Alimentación.....	41
4.2. MODULO RECEPTOR.....	44
4.2.1. Transceptor CC1101.....	45
4.2.2. Microcontrolador MSP430F2013.....	47
4.2.2.1. Configuración del Microcontrolador msp430F2013.....	47
<b>5. DESARROLLO DEL SOFTWARE.....</b>	<b>48</b>
5.1. IMPLEMENTACIÓN DE LAS RUTINAS DE CONTROL PARA EL MÓDULO DE ADQUISICIÓN.....	48
5.1.1. Rutina principal.....	50
5.1.2. Rutina de servicio de interrupción del Watchdog Timer +.....	50
5.1.3. Rutina de servicio de interrupción del Conversor AD SD16.....	50
5.1.4. Rutina de servicio de interrupción del Timer_A.....	53
5.2. IMPLEMENTACIÓN DE LAS RUTINAS DE CONTROL PARA EL MODULO RECEPTOR.....	56
5.2.1. Rutina principal:.....	56
5.2.2. Rutina de servicio de interrupción del puerto 2:.....	57
5.2.2.1. Rutina de servicio de interrupción del Timer_A:.....	57
5.3. PROGRAMACIÓN DEL MICROCONTROLADOR MSP430F2003.....	60
5.3.1. Juego de herramientas (Toolchain) y Ambiente de desarrollo (IDE):.....	60
5.3.1.1. Juego de Herramientas MSPGCC.....	61
5.3.1.2. Ambiente de Desarrollo Integrado (IDE) Code::Blocks:.....	62
5.4. INTERFAZ GRÁFICA.....	66
5.4.1. Aplicaciones de LabVIEW.....	66
5.4.2. Programación gráfica con LabView.....	67
5.4.3. Programación de la interfaz de Adquisición y Visualización:.....	67
5.4.3.1. Módulo de Captura y Visualización en tiempo real.....	68
5.4.4. MODULO DE VISUALIZACION DE CAPTURAS GUARDADAS.....	69
<b>6. DISEÑO DEL HARDWARE.....</b>	<b>71</b>
6.1. KICAD.....	71
6.1.1. KiCAD – Gestor de proyectos.....	71
6.1.2. EESchema – Capturador de esquemáticos:.....	72
6.1.3. CVpcb – Asociación de componentes y huellas.....	73
6.1.4. PCBnew – Diseño del circuito impreso (PCB).....	73

6.2. DISEÑO DEL PCB PARA LA ETAPA ANALÓGICA DE ADQUISICIÓN.....	74
6.3. DISEÑO DEL PCB PARA LA ETAPA DE DIGITALIZACIÓN, MODULACIÓN Y TRANSMISIÓN.....	75
6.4. DISEÑO DEL PCB PARA EL MÓDULO RECEPTOR.....	77
<b>7. EVOLUCION DEL DISPOSITIVO.....</b>	<b>79</b>
7.1. PRIMERA FASE.....	79
7.1.1. Etapa Analógica.....	79
7.1.1.1. Primer prototipo.....	79
7.1.1.2. Segundo prototipo.....	80
7.2. SEGUNDA FASE.....	82
7.2.1. Etapa Analógica (Tercer prototipo).....	82
7.2.2. Etapa digital.....	82
<b>8. ANALISIS DE RESULTADOS.....</b>	<b>86</b>
8.1. RESPUESTA EN FRECUENCIA.....	86
8.2. PRUEBAS DE INTENSIDAD DE CAMPO ELÉCTRICO PARA EL TRANSMISOR TXM-315-LR.....	88
8.3. CALCULOS DE CONSUMO DE POTENCIA DEL TRANSMISOR.....	92
<b>9. OBSERVACIONES Y RECOMENDACIONES.....</b>	<b>94</b>
<b>10. CONCLUSIONES.....</b>	<b>97</b>
<b>BIBLIOGRAFIA.....</b>	<b>99</b>

## **Lista de Tablas**

Tabla 1. Características de algunos Amplificadores de Instrumentación comerciales.....	31
Tabla 2. Respuesta en Frecuencia.....	86
Tabla 3. Intensidad de Campo Eléctrico a 3 metros del transmisor.....	89
Tabla 4. Intensidad de campo permitida.....	90
Tabla 5. Consumo aproximado de los dispositivos analógicos en el módulo transmisor..	92
Tabla 6. Consumo aproximado de los dispositivos digitales en el módulo transmisor.....	93

## Lista de Figuras

Figura 1. Trazos de EEG correspondiente a potenciales superficiales.....	9
Figura 2: Distribución espectral del ruido en conversores AD.....	17
Figura 3. Diagrama conceptual del sistema propuesto.....	19
Figura 4. Amplificador de instrumentación de 3 OpAmp.....	22
Figura 5. Etapa de pre-amplificación (por canal).....	24
Figura 6. Circuito de Escudo y realimentación de modo común.....	26
Figura 7. Topología Sallen-Key.....	27
Figura 8. Filtro de Realimentación Múltiple (MFB).....	28
Figura 9. Filtro Muesca.....	30
Figura 10. Respuesta en frecuencia del Amplificador de Instrumentación.....	32
Figura 11. Respuesta en frecuencia del filtro pasa-bajas Butterworth de 4o orden.....	33
Figura 12. Respuesta en frecuencia del filtro muesca Doble-T activo.....	34
Figura 13. Respuesta en frecuencia de la etapa de Adquisición.....	34
Figura 14. Etapa de Adquisición.....	35
Figura 15. Etapa de digitalización, modulación y transmisión.....	36
Figura 16. Diseño del circuito de alimentación y de carga de batería.....	44
Figura 17. Circuito correspondiente al módulo receptor.....	45
Figura 18. Diagrama de estados del programa de control de Digitalización y Transmisión.....	49
Figura 19. Diagrama de flujo de la rutina principal.....	51
Figura 20. Diagrama de Flujo para la rutina de servicio del Watchdog Timer+.....	52
Figura 21. Diagrama de Flujo para la rutina de servicio del Conversor AD SD16.....	52
Figura 22. Rutina de servicio de interrupción del Timer_A.....	53
Figura 23. Formato del paquete de datos.....	55
Figura 24. Implementación del algoritmo CRC16 en el receptor CC1101.....	56
Figura 25. Diagrama de flujo de ejecución de la rutina principal.....	56
Figura 26. Diagrama de flujo de ejecución para la rutina de servicio de interrupción	

del puerto 2.....	58
Figura 27. Formato de la trama de comunicación usada en modo UART.....	58
Figura 28. Diagrama de flujo de ejecución para la rutina de servicio del Timer_A.....	59
Figura 29. Respuesta en Frecuencia del módulo de adquisición.....	88

## Lista de Imágenes

Imagen 1. Sesión de depuración con msp430-gdb a través de msp430-gdbproxy.....	62
Imagen 2. Interfaz gráfica del IDE Code:Blocks.....	63
Imagen 3. Ventana de configuración del Compilador.....	64
Imagen 4. Configuración de los Objetivos del proyecto.....	65
Imagen 5. Ventana de configuración de las opciones globales y por objetivo.....	66
Imagen 6. Módulo de Captura y Visualización en tiempo real.....	68
Imagen 7. Módulo de Visualización de capturas guardadas.....	70
Imagen 8. KiCAD - Gestor de Proyectos.....	72
Imagen 9. EESchema - Captura de esquemáticos.....	72
Imagen 10. CVpcb - Asociación de componentes y huellas.....	73
Imagen 11. PCBnew - Diseño de circuitos impresos (PCB).....	74
Imagen 12. Diseño del PCB para la etapa analógica de adquisición.....	75
Imagen 13. Diseño del PCB para la etapa de digitalización, modulación y transmisión....	76
Imagen 14. Diseño del PCB para el módulo receptor.....	77
Imagen 15. Primer Prototipo etapa de adquisición.....	79
Imagen 16. Segundo Prototipo etapa de adquisición.....	80
Imagen 17. Señal cardíaca registrada con el prototipo número dos.....	81

## Lista de Anexos

ANEXO A1. Instructivo de manejo del dispositivo.....	102
ANEXO A2. Instructivo de manejo de archivos.....	103
ANEXO A3. Tabla de Coeficientes para filtros Butterworth.....	105
ANEXO A4. Hoja de datos Amplificador de Instrumentación INA 118.....	106
ANEXO A5. Hoja de datos Amplificador Operacional OPA4251.....	108
ANEXO A6. Hoja de datos Amplificador Operacional OP-481.....	110
ANEXO A7. Hoja de datos Microcontrolador MSP430F2003.....	112
ANEXO A8. Hoja de datos transmisor TXM-315-LR.....	117
ANEXO A9. Hoja de datos Batería UBC322030.....	120
ANEXO A10. Hoja de datos Controlador de carga BQ24012.....	121
ANEXO A11. Hoja de datos Conversor DC/DC TPS63001.....	124
ANEXO A12. Código fuente para la programación de los microcontroladores.....	128

## GLOSARIO

Palabra/Término	Significado
amplificador de instrumentación	Es un dispositivo creado a partir de amplificadores operacionales. Está diseñado para tener una alta impedancia de entrada y un alto rechazo al modo común (CMRR). Se puede construir a base de componentes discretos o se puede encontrar encapsulado.
amplificador operacional	Es un dispositivo lineal de propósito general el cual tiene capacidad de manejo de señales tanto analógicas como digitales en un amplio rango de amplitud y frecuencia (especificación también definida por el fabricante).
Artefacto	En el trazado de un aparato registrador, toda variación no originada por el órgano cuya actividad se desea registrar.
atenuación	Se denomina atenuación de una señal, sea esta acústica, eléctrica u óptica, a la pérdida de potencia sufrida por la misma al transitar por cualquier medio de transmisión.
bits	Es el acrónimo de <i>Binary digit</i> . (dígito binario). Un bit es un dígito del sistema de numeración binario.
bytes	Equivalente a octeto, es decir a ocho bits, para fines correctos, un byte debe ser considerado como una secuencia de bits contiguos, cuyo tamaño depende del código de información o código de caracteres en que sea definido.
campo eléctrico	Es el modelo que describe la interacción entre cuerpos y sistemas con propiedades de naturaleza eléctrica.
Código objeto	Se llama código objeto en programación al código de la compilación del código fuente.
compilador	Es un programa informático que traduce un programa escrito en un lenguaje de programación a otro lenguaje de programación, generando un programa equivalente que la máquina será capaz de interpretar. Usualmente el segundo lenguaje es código máquina, pero también puede ser simplemente texto.
conversor analógico/digital	Consiste en la transcripción de señales analógicas en señales digitales, con el propósito de facilitar su procesamiento (codificación, compresión, etc.) y hacer la señal resultante (la digital) más inmune al ruido y otras interferencias a las que son más sensibles las señales analógicas.
corrientes sinápticas	Son las corrientes que circulan en el proceso de comunicación de las neuronas.
Demodular (demodulación)	El conjunto de técnicas utilizadas para recuperar la información transportada por una onda portadora, que en el extremo transmisor había sido modulada con dicha información. Este término es el opuesto a modulación.

depurador	Es un programa que permite depurar o limpiar los errores de otro programa informático.
despolarización	Es un proceso químico mediante el cual una célula neuronal cambia su potencial eléctrico, normalmente negativo, a positivo mediante el intercambio de iones con ayuda de canales de cloruro y canales de sodio. Este proceso forma parte de la transmisión sináptica.
digitalizar	Acción de convertir en digital información analógica. En otras palabras, es convertir cualquier señal de entrada continua (analógica) en una serie de valores numéricos.
dominio de la frecuencia	Es un término usado para describir el análisis de funciones matemáticas o señales respecto a su frecuencia
efecto memoria	Es un fenómeno que reduce la capacidad de las baterías con cargas incompletas. Se produce cuando se carga una batería sin haber sido descargada del todo: se crean unos cristales en el interior de estas baterías, a causa de una reacción química al calentarse la batería, bien por uso o por las malas cargas.
Electrodos (profundos, superficiales)	Son conductores utilizados para hacer contacto con una parte <i>no metálica</i> de un circuito. Son conductores eléctricos a través de los cuales entra o abandona una corriente eléctrica a un medio. Cuando se insertan, usualmente por medios quirúrgicos, se conocen como electrodos implantados.
Electroencefalografía	Es una exploración neurofisiológica que se basa en el registro de la actividad bioeléctrica cerebral en condiciones basales de reposo, en vigilia o sueño, y durante diversas activaciones (habitualmente hiperpnea y estimulación luminosa intermitente).
Fisiología	Es la ciencia biológica que estudia las funciones de los seres orgánicos. Todas las teorías en fisiología cumplen un mismo objetivo, hacer comprensibles aquellos procesos y funciones del ser vivo y todos sus elementos en todos sus niveles.
frecuencia de muestreo	Es el número de muestras por unidad de tiempo que se toman de una señal continua para producir una señal discreta, durante el proceso necesario para convertirla de analógica en digital.
LabView	Es una herramienta gráfica para pruebas, control y diseño mediante la programación. El lenguaje que usa se llama lenguaje G, donde la G simboliza que es lenguaje Gráfico.
margen dinámico	Se puede definir de dos formas: * El margen que hay entre el nivel de referencia y el ruido de fondo de un determinado sistema, medido en decibelios. En este caso rango dinámico y relación señal/ruido son términos intercambiables. * El margen que hay desde el nivel de pico y el nivel de ruido de fondo. También indicado en dB. En este caso, rango dinámico y relación señal/ruido no son equiparables.
Modular (modulación)	Engloba el conjunto de técnicas para transportar información sobre una onda portadora, típicamente una onda sinusoidal. Estas técnicas permiten un mejor aprovechamiento del canal de comunicación lo que posibilita transmitir más información en forma simultánea, protegiéndola de posibles interferencias y ruidos. consiste en hacer que un parámetro de la onda portadora cambie de valor de acuerdo con las variaciones de la señal modulada, que es la información que queremos transmitir.

neurofisiología	Es la parte de la Fisiología que estudia el sistema nervioso, siendo la fisiología la ciencia biológica que estudia la dinámica de los organismos vivos. Estudia la dinámica de la actividad bioeléctrica del sistema nervioso.
nivel de DC	Un filtro digital es un sistema que, dependiendo de las variaciones de las señales de entrada en el tiempo y amplitud, se realiza un procesamiento matemático sobre dicha señal; generalmente mediante el uso de la Transformada rápida de Fourier; obteniéndose en la salida el resultado del procesamiento matemático o la señal de salida.
Punto flotante	Es un método de representación de números reales que se puede adaptar al orden de magnitud del valor a representar, usualmente trasladando la coma decimal —mediante un exponente— hacia la posición de la primera cifra significativa del valor. De esta forma, con un número dado de dígitos representativos se obtiene mayor precisión que con la coma fija, debido a que el valor de estos dígitos es siempre significativo sea el que sea el orden de magnitud del número a representar. Debido a esta adaptación, permite representar un rango mucho mayor de números (determinado por los valores límite que puede tomar el exponente).
comprobación de redundancia cíclica	Es un tipo de función que recibe un flujo de datos de cualquier longitud como entrada y devuelve un valor de longitud fija como salida. El término suele ser usado para designar tanto a la función como a su resultado. Pueden ser usadas como suma de verificación para detectar la alteración de datos durante su transmisión o almacenamiento. Las CRCs son populares porque su implementación en hardware binario es simple, son fáciles de analizar matemáticamente y son particularmente efectivas para detectar errores ocasionados por ruido en los canales de transmisión.
ruido blanco	Es una señal aleatoria (proceso estocástico) que se caracteriza porque sus valores de señal en dos instantes de tiempo diferentes no guardan correlación estadística. Como consecuencia de ello, su densidad espectral de potencia (PSD, Power Spectral Density) es una constante.
Rutina	Es el procedimiento (en este caso un conjunto de código) que es usado cada vez que se le llame. Una rutina al ser llamada dentro de un programa hace que el código principal se detenga y se dirija a ejecutar el código de la rutina, en cambio cuando se llama a una macro, el ensamblador llama al código de la macro y lo implanta donde fue llamado, aumentando así el código fuente y por consiguiente el objeto.
sobremuestreo	Para evitar las caídas abruptas se utiliza la técnica conocida como sobremuestreo ( <i>oversampling</i> ), que permite reconstruir, tras la conversión D/A, una señal de pendiente suave.
teorema de Nyquist	Este teorema demuestra que la reconstrucción exacta de una señal periódica continua en banda base a partir de sus muestras es matemáticamente posible si la señal está limitada en banda y la tasa de muestreo es superior al doble de su ancho de banda.

Transceptor

Se aplica a un dispositivo que realiza, dentro de una misma caja o chasis, funciones tanto de transmisión como de recepción, utilizando componentes de circuito comunes para ambas funciones. Dado que determinados elementos se utilizan tanto para la transmisión como para la recepción, la comunicación que provee un transceptor solo puede ser semiduplex, lo que significa que pueden enviarse señales entre dos terminales en ambos sentidos, pero no simultáneamente.

## LISTA DE ABREVIATURAS

A/D	Análogo/Digital
AC	Corriente Alterna
ACLK	Reloj Auxiliar (Auxiliary Clock)
Ag	Plata
AgCl	Cloruro de plata
B	Byte
CMRR	Factor de Rechazo de Modo Común
CPU	Unidad Central de Procesamiento (Central Processing Unit)
CRC	Código de Redundancia Cíclica
D	Resolución del convertidor
dB	decibel
DC	Corriente Directa
DCO	Oscilador Controlado Digitalmente (Digitally-controlled oscillator)
DIP	(Dual Inline Package)
E/S	Entrada/Salida
EEG	Electroencefalografía
F <sub>s</sub>	Frecuencia de muestreo
Hz	Hercios
I2C	Protocolo de comunicación serial
ICM	Industrial, Científica, Médica
MCLK	Reloj Maestro (Master Clock)
MFB	Realimentación Múltiple (Multiple FeedBack )
OOK	On/Off Keying
OpAmp	Amplificadores Operacionales
OSR	Relación de Sobremuestreo
PC	Computador Personal
PCB	Circuito Impreso (Printed Circuit Board)
POR	Estado Inicial (Power On Reset)
Q	Factor de calidad
RAM	Memoria de Acceso Aleatorio (Random Access Memory )
R-C	Resistivas-Capacitivas
RISC	Conjunto de Instrucciones Reducidas
SINAD	Relación de Señal a ruido mas distorsión
SMCLK	Reloj Sub principal (Sub-main Clock)
SPI	Protocolo de comunicación serial

SPI	Interfaz de periféricos serie (Serial Peripheral Interface)
TSSOP	(Thin-Shrink Small Outline Package)
UART	Transmisor-receptor Asíncrono Universal (Universal Asynchronous Receiver-Transmitter)
VI	Instrumento Virtual (Virtual Instrument)
WDT	Guardián (Watch dog timer)
Xm	Margen dinámico



## INTRODUCCION

Las investigaciones en el campo de las ciencias bio-médicas suelen apoyarse en el desarrollo de nuevas técnicas y equipos de análisis con mayores prestaciones y que a la vez minimicen el impacto sobre el sujeto de estudio. Siendo el departamento de Neurociencias de la facultad de medicina de la Universidad Industrial de Santander un actor importante en campo de la investigación de los procesos neurológicos, éste no cuenta en la actualidad con el equipo idóneo para la realización de algunas pruebas especializadas en el área de la investigación de actividad cerebral en animales de laboratorio, en especial en ratas. El equipo con el que se cuenta actualmente depende de una conexión cableada entre el sujeto de estudio y los aparatos de medida, además de no contar con una forma de almacenamiento de los datos para su posterior análisis.

El presente trabajo se enfoca hacia el desarrollo de un dispositivo apropiado para el registro de señales electroencefalográficas en ratas de laboratorio sujetas a pruebas de desempeño en escenarios controlados. Para esto es necesario que el equipo de registro de las señales no influya de manera significativa sobre el animal alterando su comportamiento normal, por lo cual se eliminará la unión cableada entre el animal y el equipo de registro y se optará por una solución inalámbrica, a la vez que se optimizará el tamaño del dispositivo que deberá ser cargado por el sujeto bajo estudio.

Se abarcará todo el proceso de diseño, tanto de hardware como de software, partiendo del estudio de las diferentes alternativas de configuración para la etapa de adquisición, pasando por la implementación del sistema de comunicación inalámbrica, hasta la realización de la interfaz de visualización en el computador para el operador del equipo. En el transcurso se explicarán los criterios tenidos en cuenta en la toma de decisiones



para cada una de las etapas de diseño, como características de los dispositivos electrónicos, disponibilidad, prestaciones y limitaciones, diferentes parámetros en la digitalización y comunicación, características e información mostrada a través de la interfaz gráfica, formato de los datos, etc.

Teniendo en cuenta que el desarrollo tecnológico es un proceso de constante evolución, se espera que se promuevan grupos de investigación y desarrollo que optimicen, adapten e innoven sobre proyectos de esta naturaleza, logrando aplicaciones novedosas, sirviendo de apoyo a los programas académicos y de investigación a nivel de pregrado, postgrado y Maestría, e impulsando la incubación y generación de empresas y cooperación con entidades del sector de la electromedicina mediante el desarrollo de proyectos de investigación aplicada.



## 2. DESCRIPCIÓN DEL PROYECTO

### 2.1. OBJETIVOS

#### 2.1.1. *Objetivo General*

Contribuir al desarrollo tecnológico integrando las ciencias de la salud con la ingeniería electrónica por medio del diseño e implementación de un equipo de adquisición de señales bioeléctricas.

#### 2.1.2. *Objetivos Específicos*

- ◆ Diseñar e implementar un sistema electrónico el cuál registre las señales cerebrales y las acondicione (amplificación, filtrado).
- ◆ Obtener niveles adecuados de señal electroencefalográfica en ratas, para ser transmitidos por un sistema de modulación digital.
- ◆ Implementar un sistema de comunicación unidireccional inalámbrico para modular y transmitir la señal adquirida y a su vez recibirla y demodularla.
- ◆ Crear una interfaz gráfica usando la herramienta computacional LabView la cuál visualizará las señales electroencefalográficas.
- ◆ Crear una base de datos para almacenar los registros obtenidos.

### 2.2. JUSTIFICACIÓN DEL PROYECTO

El estudio de los procesos tanto fisiológicos como patológicos del sistema nervioso utiliza señales de comunicación electroquímicas (entre otras) lo cual puede ser registrado a través de la tecnología adecuada para cada parámetro. En esa dirección el estudio de los



cambios de potenciales eléctricos en diferentes regiones cerebrales permite aproximaciones importantes a la comprensión del funcionamiento del sistema nervioso en una situación dada.

La electroencefalografía (EEG) es una de las herramientas que permite aproximaciones deseables para la comprensión de los procesos. Esta puede realizarse mediante la adquisición de potenciales de campo obtenidos desde lugares extracerebrales como el cuero cabelludo o la superficie de la cabeza de un animal de experimentación (EEG convencional) o a través de la adquisición de potenciales de campo de regiones discretas dentro de diferentes puntos del cerebro. Esto implica la ubicación de electrodos profundos localizados en las áreas de interés del investigador y un sistema de adquisición, almacenamiento y procesamiento de la señal con especificaciones técnicas electrónicas diferente a las del registro convencional.

El EEG con electrodos profundos permite estimar razonablemente, potenciales de campo relativamente circunscritos en el espacio y por lo tanto facilita la reconstrucción de vectores temporoespaciales al comparar las señales provenientes de varios de los electrodos implantados. Con este dispositivo, puede abordarse el estudio de secuencias de activación asociadas a un determinado mecanismo fisiológico o patológico, información que se ve complementada con la observación en paralelo de otras salidas del sistema como por ejemplo las comportamentales (crisis convulsivas, desplazamientos del individuo, movimientos específicos etc.).

En el área biomédica, la utilización del EEG como herramienta ha sido subestimada básicamente por dos razones: 1. Por la aparición de nuevas tecnologías de imágenes que facilitan al profesional de esta área (con poca formación en ciencias básicas) la visualización del cerebro – tomografías, resonancias etc.– y 2. Por la falta de comprensión de los procesamientos más detallados y complejos que se pueden derivar de una señal eléctrica. En este sentido, el trabajo interdisciplinario entre áreas como la electrónica y la biología o la biomedicina resulta ideal para la complementación, dirigida no solo a diseñar y/o adecuar la tecnología requerida sino para el procesamiento y análisis de la información obtenida.



Existen en el mercado, equipos comerciales de alto costo económico y que para efectos de investigación o son muy rígidos en opciones (filtros fijos, dimensiones de dispositivos inadecuados, programas de análisis de ondas ausentes o pobres) u ofrecen muy poco soporte técnico y de mantenimiento dentro del país. En ese sentido, el desarrollo de tecnología propia, adecuada a las opciones requeridas para la investigación neurofisiológica básica, se constituye en una necesidad que sólo podrá desarrollarse con equipos interdisciplinarios.

En esta dirección se enmarca el presente proyecto de investigación, es decir, hacia la construcción de dispositivos de adquisición, almacenamiento y procesamiento de señales electroencefalográficas obtenidas por el implante de electrodos profundos en cerebros de ratas de experimentación.

### **2.3. ALCANCES Y RESULTADOS DEL PROYECTO**

Al finalizar el presente proyecto, se espera obtener un dispositivo portátil de fácil conexión, liviano, robusto con la función específica de adquirir señales electroencefalográficas de una rata, modularlas y transmitir las, para ser recibidas por otro dispositivo encargado a su vez de demodularlas y por medio de un sistema de captura de datos en el computador llevarlas a una base de datos que almacene la información para conservar un registro de las mediciones llevadas a cabo para posteriores análisis. El dispositivo deberá ser usado en condiciones controladas de laboratorio, adecuado especialmente para tal fin, de modo que se garantice la mayor integridad en la comunicación, y se minimice la pérdida de datos.

En el mercado un dispositivo que cumpla con estas funciones tiene un elevado costo, por lo que se espera que a partir de grupos de investigación interdisciplinarios se puedan diseñar y montar estos dispositivos que mejoren las condiciones de trabajo de los laboratorios de investigación.



## 2.4. IMPACTO SOCIAL Y VIABILIDAD DEL PROYECTO

Este proyecto tiene un impacto social en la medida en que los resultados que se obtengan a partir de su uso contribuyan a lograr avances en el campo de las neurociencias. Estos avances se logran mientras los investigadores de esta área puedan obtener la información precisa y clara, siendo básica la correcta implementación de los dispositivos, haciendo de este trabajo una constante retroalimentación entre las disciplinas involucradas.

Su diseño y construcción son posibles ya que los dispositivos que se requieren se pueden obtener en el mercado a precios razonables y los conocimientos teóricos necesarios para llevar a cabo estos pasos han sido adquiridos en el transcurso de los estudios de pregrado, complementados con la experiencia de las personas que dirigen el trabajo.

Se hace fundamental la buena interrelación que logren los grupos de trabajo involucrados en el proyecto ya que las bases de todo el trabajo no podrían cimentarse de otra manera que no sea por medio de aportes conjuntos que encaminen a la obtención de los resultados esperados.

Se espera lograr que los grupos de investigación relacionados con esta área puedan acceder a este dispositivo con costos razonables ya que en el mercado son elevados y dificultan la dotación de los laboratorios.



### 3. MARCO TEÓRICO

#### 3.1. ORIGEN DE LA ACTIVIDAD ELÉCTRICA CEREBRAL:

Los potenciales eléctricos ocurren debido a la distribución de cargas positivas y negativas. En los tejidos biológicos, hay cantidades iguales de cargas negativas (aniones) y positivas (cationes), y como consecuencia una carga neta nula, pero la dinámica de la concentración, distribución y movimiento de dichas cargas genera una actividad eléctrica, siendo especialmente fuerte y de interés biomédico en los tejidos musculares y nerviosos.

##### 3.1.1. *Potencial de reposo y Potencial de Acción:*

En las neuronas, se presenta un potencial eléctrico a través de su membrana debido a una diferencia de concentración de iones (sodio<sup>(+)</sup> y potasio<sup>(+)</sup> principalmente) entre el interior y el exterior de la célula.

Durante el estado de reposo, el potencial a través de la membrana permanece constante y es de alrededor de -70 milivoltios (mV), con referencia al exterior de la célula. Si un voltaje externo es aplicado sobre la membrana celular, puede desencadenarse una inversión de la polaridad de la membrana, siempre y cuando el voltaje aplicado supere un voltaje umbral. Esta inversión en la polaridad de la membrana se denomina Potencial de Acción y alcanza un valor de aproximadamente +30mV con una duración menor a un milisegundo (ms).

La inversión de polaridad se da debido a la activación de canales de transporte selectivo de iones. Este mecanismo se denomina Transporte Activo, y esta fuera del alcance del presente trabajo, pero se puede afirmar que es el mecanismo fundamental encargado de la propagación del impulso nervioso en las neuronas (En la transmisión de los impulsos



nerviosos de una célula a otra intervienen también otros mecanismos, en los cuales viene a jugar un papel importante la acción de agentes químicos denominados neurotransmisores, que pueden ser de acción excitatoria o inhibitoria).

Las neuronas no pueden excitarse durante la despolarización y son difíciles de excitar durante la repolarización. Esto se conoce como periodos refractarios absoluto y relativo, y determinan la velocidad máxima de disparo y restringen la propagación del Potencial de Acción en una sola dirección. El potencial de acción se propaga activamente a una velocidad constante y sin pérdida de amplitud a lo largo de todo el axón (cuerpo celular). La velocidad de conducción en axones no mielinizados es entre 0,5 y 2 metros por segundo (m/s) y es proporcional a la raíz cuadrada del diámetro del axón. Los axones mielinizados (recubiertos de mielina) conducen con mayor rapidez ya que solo la membrana axónica en los nodos de Ranvier (zonas expuestas del axón) se despolariza para generar un Potencial de Acción, los cuales parecen saltar de un nodo al siguiente. La velocidad de conducción es proporcional al diámetro del axón y varía entre 7 y 100 m/s.

A pesar de que se habla de potenciales relativamente grandes (de varias decenas de milivoltios), ésto ocurre a nivel de la membrana celular, que cuenta con unos 100 ångströms (Å) de espesor. Si bien esta actividad es posible de medir con el uso de electrodos transmembranales, no es de interés diagnóstico, además de requerir instalaciones y equipo especializado. El objetivo del EEG es registrar la actividad eléctrica resultante en regiones de la corteza cerebral y no de sus células individuales. Para tal fin se hace uso de electrodos extracelulares que, en proporción, son grandes y distantes de las fuentes de potencial eléctrico. Los procesos de despolarización y repolarización producen pequeñas corrientes en el tejido y fluidos circundantes lo que origina un campo eléctrico variante con el tiempo, y que en definitiva es la variable que se quiere medir.

### **3.1.2. Aproximación dipolar:**

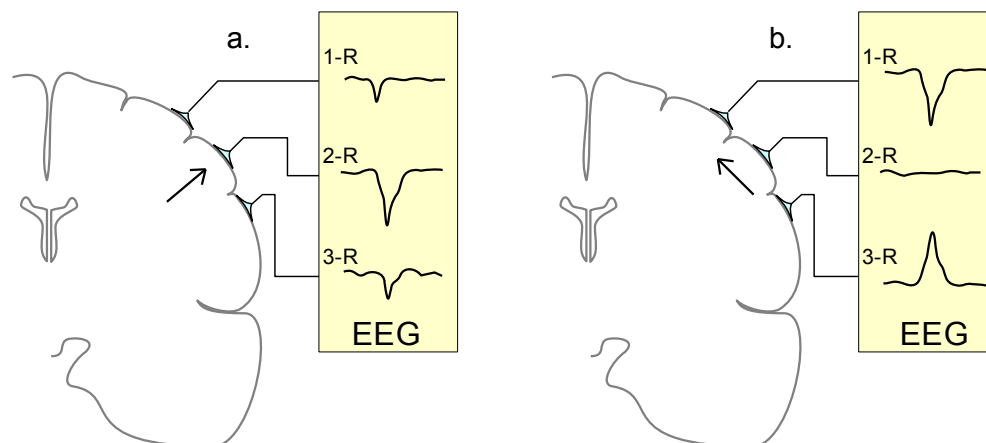
Un dipolo ocurre cuando dos cargas de igual magnitud y signos contrarios se encuentran separados una pequeña distancia. Entre ambas cargas aparecerá un campo eléctrico, y si la distancia entre cargas es pequeña con respecto a un punto de observación, se puede



considerar al dipolo como una fuente puntual de campo eléctrico. Aunque éste no es el caso para la distribución de cargas a nivel celular, la aproximación a un dipolo puntual puede usarse para representar la agrupación de patrones más complejos de fuentes de campo eléctrico en una zona de la corteza cerebral siempre que ésta sea de pequeñas dimensiones con respecto al tamaño y ubicación de los electrodos de medición. Bajo esta suposición, el registro de una señal electroencefalográfica se puede considerar como el registro del campo eléctrico generado por un dipolo puntual, cuya orientación, definida como la línea que parte de la carga negativa a la positiva, será función de las corrientes sinápticas en las neuronas.

Tomando como referencia el centro del cerebro, los dipolos con orientación radial registrarán un pico máximo (positivo o negativo) cuando se encuentren ubicados justo debajo del electrodo de medición. Caso opuesto, los dipolos con orientación tangencial no registrarán medida alguna cuando se encuentren bajo el electrodo. Los dipolos con orientación oblicua, presentarán un comportamiento equivalente a la combinación de los dos casos anteriores.

Figura 1. Trazos de EEG correspondiente a potenciales superficiales.  
a) Por dipolo en orientación radial ; b) Por dipolo en orientación tangencial.



Fuente: MURRO, Anthony. *Clinical Neurophysiology Course*. Medical College of Georgia.

En humanos, el voltaje de las señales electroencefalográficas sobre el cuero cabelludo varía en amplitudes entre 20 y 200 microvoltios ( $\mu\text{V}$ ) y las frecuencias de interés van entre 0,4 y 50 Hertz (Hz). Por otro lado, a nivel de corteza cerebral o en zonas profundas, se pueden registrar amplitudes de hasta unos pocos milivoltios.



### 3.2. MODO GENERAL DE OBTENCIÓN DEL EEG:

En la obtención del EEG se siguen cuatro etapas que se ejecutan ordenadamente, en cada una de las cuales se deben observar parámetros técnicos bien definidos que tienen por objeto garantizar la recogida óptima de las señales que conforman el EEG. Tales etapas comprenden: adquisición, preamplificación, filtrado, y la amplificación de las señales del EEG.

#### 3.2.1. *Adquisición de la señal del EEG.*

El primer paso para hacer posible la adquisición de las señales consiste en la colocación de los dispositivos conocidos con el nombre de electrodos de registro. Tales dispositivos consisten en general de una superficie metálica que se inserta en el lugar del registro, unida al equipo por un medio conductor.

La parte metálica del electrodo suele ser comúnmente de plata o de platino, recubierta de una capa de cloruro de plata que mejora sus propiedades físicas evitando la polarización. El medio conductor consiste en un cable, generalmente multifilar con blindaje exterior, que termina en un conector o “plug”. En ocasiones se hace necesario recurrir a electrodos especiales para recoger señales de algunas regiones del encéfalo, no detectables sobre el cuero cabelludo, los cuales suelen ser de un metal inerte, como el acero inoxidable. De acuerdo al sitio de colocación de los electrodos de registro, éstos se clasifican en craneales o de superficie y especiales o profundos.

##### 3.2.1.1. Propiedades específicas de los electrodos.

- ◆ Un electrodo es equivalente a una combinación de resistencias y capacitores.
- ◆ Un electrodo no polarizado no tiene capacitancia, únicamente resistencia. La impedancia no varía con la frecuencia de la señal. Un electrodo de Ag/AgCl (Plata/Cloruro de plata) se aproxima bastante a un electrodo no polarizado. Se

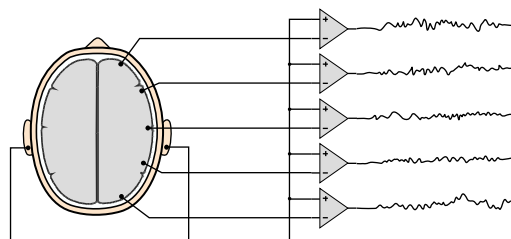


recomienda el uso de este electrodo cuando se requiere medir señales de baja frecuencia.

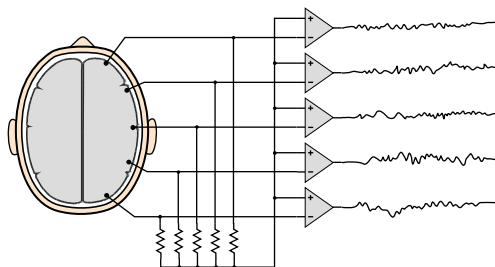
- ◆ Un electrodo polarizado tiene una capacitancia significativa. Este electrodo tendrá una mayor impedancia a bajas frecuencias. Los electrodos de acero inoxidable son electrodos polarizados. Aunque los electrodos de acero inoxidable tienen características eléctricas pobres, son muy útiles debido a que son químicamente inertes y pueden ser implantados en tejidos corporales.
- ◆ En un electrodo aparece un pequeño potencial DC llamado potencial DC de contacto. Esto suele ocurrir debido a que el electrodo en combinación con el electrolito actúa como una batería. También puede ocurrir cuando una corriente DC circula hacia el amplificador a través de electrodos de alta resistencia.
- ◆ Los electrodos de Ag/AgCl tienen un potencial DC de contacto constante.
- ◆ Una limpieza con etanol seguida de una leve abrasión de la piel reducirá la impedancia del electrodo. El gel para electrodos minimiza los efectos del movimiento de estos. Ubicar los electrodos sobre tejido blando en vez de hueso reduce también la impedancia.

### 3.2.1.2. El cálculo de la diferencia de potencial

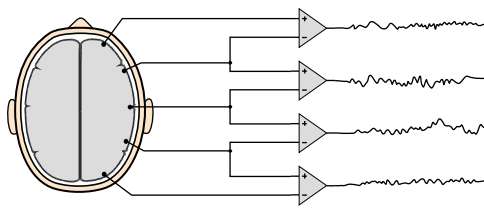
Configuraciones típicas de los electrodos:



Unipolar: un electrodo es puesto como referencia para todos los otros. La referencia se ubica en una zona neutra, que puede ser cualquiera de las orejas o la unión eléctrica de las dos.



Referido a la media: Todos los electrodos van conectados entre sí a través de una red resistiva. El punto común de la red es tomado como referencia.



Bipolar: No se usa referencia. Se registra la diferencia de tensión entre dos electrodos. Mediante esta configuración se puede determinar de una manera muy precisa las zonas de actividad.

Los electrodos de registro se conectan a las entradas del dispositivo. Como cada curva del EEG representa la diferencia de potencial eléctrico entre dos puntos, para el registro de cada curva se emplea un par de electrodos que constituye una derivación electroencefalográfica, uno de los cuales puede ser común a todas las derivaciones dependiendo de la configuración.

### 3.2.2. Preamplificación.

Para el cálculo de la diferencia de potencial, los electrodos que componen cada derivación se conectan a un dispositivo electrónico denominado amplificador de instrumentación. Tal dispositivo tiene dos entradas, negativa (-) y positiva (+), y una salida única. La función del amplificador de instrumentación consiste en el cálculo en cada instante de tiempo de la diferencia de potencial entre los puntos de registro. Esta peculiaridad hace que cuando las señales detectadas por los electrodos que componen la derivación son iguales en magnitud y en polaridad en forma mantenida en el tiempo, se producirá en el amplificador una cancelación continua de potenciales que dará lugar a una salida isoelectrica. Entonces, mientras más similares sean las señales detectadas por los dos electrodos, tanto más atenuada será la salida del amplificador diferencial.

La eficiencia con que un amplificador de instrumentación distingue entre señales muy semejantes se estima con un indicador denominado coeficiente de rechazo de modo común o CMRR (Common Mode Rejection Ratio), que será mayor en la medida en que el amplificador sea más eficiente. La capacidad de rechazo de modo común de los amplificadores de instrumentación es sumamente útil toda vez que la mayor parte de los artefactos originados por fuentes eléctricas biológicas de origen extracerebral llegan a los electrodos que forman una derivación (si éstos son contiguos) con magnitudes muy



semejantes y con igual polaridad.

### **3.2.3. El filtrado de las señales.**

La composición de frecuencias del EEG abarca los sectores bajos del espectro, entre 0.5 y 50 Hz. Estos límites no se refieren a las características de las señales que pueden ser recogidas por los electrodos, sino a aquella parte del total de frecuencias que son de interés a nivel clínico y que constituyen el EEG. Ello implica que para obtener señales electroencefalográficas "limpias", o sea, libres de frecuencias contaminantes, es preciso eliminar del registro los componentes de frecuencia por debajo de los 0.5 Hz y por encima de los 50 Hz. Este propósito se logra con el empleo de dispositivos electrónicos denominados filtros de frecuencia.

Los filtros de frecuencia están compuestos por redes R-C, R-L o R-L-C, y amplificadores en el caso de filtros activos, con magnitudes apropiadas para eliminar del registro determinados componentes de frecuencia. De acuerdo con la función que desempeñan pueden ser: filtros pasa-alta, filtros pasa-baja, filtros pasa-banda y filtros de rechazo de banda o filtros muesca, muy útiles para eliminar del registro la influencia de las redes de distribución de 60/50 Hz, comúnmente designada como interferencia de línea. Las posibilidades de filtrado de estos dispositivos se basan en las propiedades de impedancia compleja de los capacitores y las inductancias.

### **3.2.4. Amplificación de la señales de EEG**

Las señales electroencefalográficas que se recogen tienen una amplitud media en el orden de los microvoltios o de unos pocos milivoltios, dependiendo del lugar en el que son recogidas. Por ese motivo se hace necesaria la amplificación de estas señales para así adecuar sus dimensiones a las capacidades o a las preferencias del EEG. Estos ajustes se realizan incrementando o disminuyendo el valor total de la ganancia a utilizar a nivel de los amplificadores de potencia. En ocasiones se encuentra que el filtrado de las señales incluye etapas con amplificación, con lo cual se evita la inclusión de una amplificación adicional en el registro.



### 3.3. MUESTREO

Para entender los conceptos básicos sobre muestreo se requiere poseer cierto grado de formación en el campo del tratamiento de señales que incluya las transformadas de Laplace y Fourier, y concretamente para el caso de sistemas en tiempo discreto, se requieren buenos conceptos sobre transformada Z y transformada discreta de Fourier.

Dado que el proceso de convertir una señal analógica (continua en tiempo y en rango) a una digital (discreta en tiempo y rango) implica una pérdida “irreversible” de información, es de vital importancia asegurar que dicha pérdida se encuentre dentro de ciertos rangos de acuerdo al tipo de aplicación que se quiere implementar.

#### 3.3.1. Principales Parámetros

##### 3.3.1.1. Frecuencia de muestreo:

El primer parámetro de importancia en los sistemas de conversión analógico-digital es la Frecuencia de Muestreo, denominada  $F_s$ . Desde el punto de vista del dominio de la frecuencia, el muestreo en el tiempo de una señal continua implica una replicación periódica del espectro de ésta. La distribución de las réplicas en el espectro está directamente relacionada con  $F_s$ ; más específicamente, éstas se encuentran separadas exactamente  $F_s$  una de otra. Esto implica que para que no exista un traslape entre las réplicas en el espectro, la señal a muestrear no debe contener componentes a frecuencias mayores a  $F_s/2$ . Dicho de otra forma, si la frecuencia más alta de la señal a muestrear es  $F_N$ , se debe cumplir que  $F_s > 2F_N$ . Esto es lo que se conoce como el teorema de muestreo de Nyquist.

##### 3.3.1.2. Filtrado antisolapamiento:

El cumplimiento a cabalidad con el teorema de Nyquist implica trabajar con señales en



banda limitada, es decir, señales acotadas en frecuencia. Si embargo, en la práctica no es común encontrar este tipo de señales en la naturaleza, no siendo las señales bioeléctricas una excepción. Esto implica que a estas señales debe efectuárseles algún proceso de acondicionamiento para que sean adecuadas para muestrear. El proceso para lograr este objetivo es el filtrado en frecuencia. Idealmente, un filtro es un dispositivo que permite el paso de señales dentro de un rango de frecuencias específico y rechaza el resto. En la práctica, este rechazo no ocurre de manera abrupta sino gradual, y depende de las características de respuesta en frecuencia del filtro, por lo general siendo mejor cuanto mayor sea el orden del filtro. Una consecuencia de la no idealidad de los filtros es la dificultad para eliminar completamente las componentes de frecuencia no deseadas. Sin embargo es posible lograr una atenuación suficiente para que el efecto del solapamiento sea mínimo. El nivel de atenuación requerido depende de la aplicación en cuestión y es común encontrar que niveles de atenuación iguales o mayores a 60dB son adecuados para la mayoría de aplicaciones. Mas adelante se establecerán los requerimientos específicos para el dispositivo objeto de este trabajo.

#### 3.3.1.3. Sobremuestreo y diezmado:

El filtrado antisolapamiento suele realizarse en dos etapas. La primera, a nivel analógico, mediante filtros relativamente simples, con el objeto de lograr niveles de atenuación adecuados para frecuencias superiores a una frecuencia establecida, por encima de la frecuencia máxima de interés en la señal. Esto implica que es necesario hacer el muestreo a frecuencias superiores a la frecuencia establecida por el teorema de Nyquist, lo cual se conoce como sobremuestreo, y es práctica común en los sistemas de conversión analógico-digital. La segunda etapa se realiza de manera digital sobre la señal muestreada. Los sistemas de cómputo moderno permiten la implementación de filtros de ordenes muy altos con características muy cercanas a las ideales, lo cual es otra razón para minimizar la complejidad de los filtros analógicos.

#### 3.3.1.4. Margen dinámico, tamaño de paso y error de cuantización:

La conversión analógico-digital es un proceso en el cual se realiza una cuantización de la



señal continua. Esta cuantización implica el redondeo del valor real medido a un valor cercano que se encuentra dentro de un conjunto fijo de valores. Este conjunto fijo de valores se determina a partir de dos parámetros que son el margen dinámico  $X_m$  y la longitud de palabra de código, o número de bits  $B$ . El primero hace referencia al rango de valores dentro del cual es posible hacer la conversión de manera adecuada. El segundo parámetro determina el número de niveles de cuantización que es posible obtener, el cual corresponde a  $2^B$  niveles. De este modo, el tamaño de paso  $D$ , o resolución, del conversor corresponde a  $D = X_m/2^B$ , el cual se debe escoger de acuerdo a los requerimientos de la aplicación.

Los efectos del redondeo se traducen en un error, llamado *error de cuantización*, el cual puede tener amplitudes entre  $-D/2$  y  $D/2$ , y presenta un comportamiento similar al ruido blanco de banda ancha. Los requerimientos de la aplicación determinarán la cantidad de error que se puede tolerar en la cuantización. La relación señal a ruido (SNR) teórica para un conversor AD ideal con una resolución de  $B$  bits es igual a:

$$SNR = (6.02B + 1.76) \text{ dB} \quad (1)$$

Además del ruido introducido por efecto del error de cuantización, los conversores AD presentan un ruido intrínseco debido principalmente al ruido térmico, generalmente denominado como ruido referido a la entrada o ruido de transición de código. Este ruido por lo general presenta una distribución de tipo gaussiano, y su efecto puede atenuarse mediante el uso del sobremuestreo y promediado de las muestras, a razón de 3 dB por cada vez que se dobla la frecuencia de muestreo.

Una forma más adecuada para encontrar el número efectivo de bits (ENOB) de un conversor AD dado, se obtiene a partir de la raíz cuadrada de la suma de cuadrados de todos los términos de ruido y distorsión computados, denominado Relación Señal a ruido más distorsión (SINAD), y se define como:

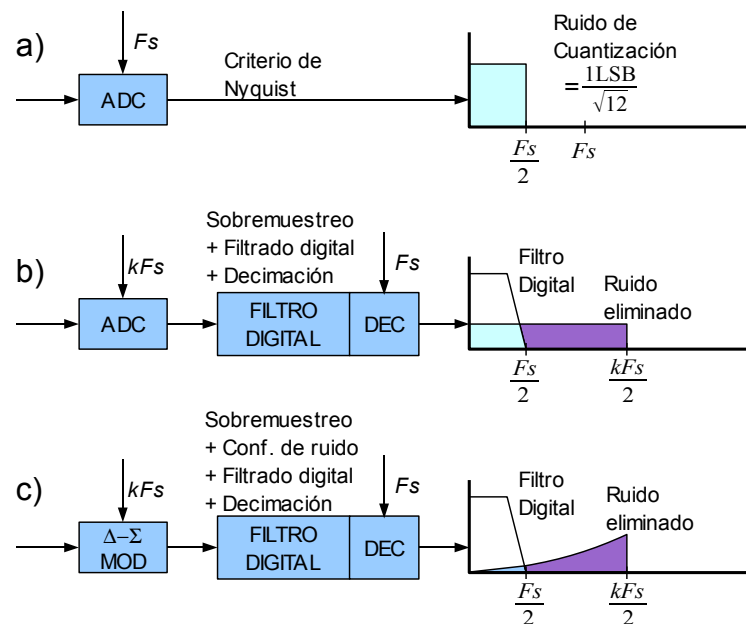
$$ENOB = \frac{SINAD - 1.76 \text{ dB}}{6.02} \quad (2)$$

El parámetro SINAD suele estar especificado en la hoja de datos de la mayoría de conversores AD comerciales.



En los conversores AD basados en modulador Delta-Sigma, la distribución de potencia espectral del ruido difiere de aquella encontrada en los conversores tradicionales, y está presente en su mayor parte fuera de la banda de interés. Este comportamiento, denominado conformación de ruido, se presenta debido a que el modulador Delta-Sigma se comporta como un filtro pasa-bajas para la señal adquirida, y como un filtro pasa-altas para el ruido de cuantización, aumentando considerablemente la relación SNR para un  $F_s$  dado en comparación con otras arquitecturas. En la figura 2 se ilustran las diferencias en la distribución del ruido de cuantización en distintos tipos de conversión AD.

Figura 2: Distribución espectral del ruido en conversores AD  
a) Conversor tradicional bajo el criterio de Nyquist; b) Conversor tradicional sobremuestreado; c) Modulador Delta-sigma.



Fuente: KESTER, Walt. Analog Dialogue 39-06,  
<http://www.analog.com/analogdialogue>

### 3.3.2. Requerimientos específicos:

Para el desarrollo del presente proyecto, las características más importantes a considerar en las señales son Frecuencia y Amplitud. Las características de fase de las señales pueden, hasta cierto punto, sufrir distorsiones sin que se sacrifique la utilidad de la



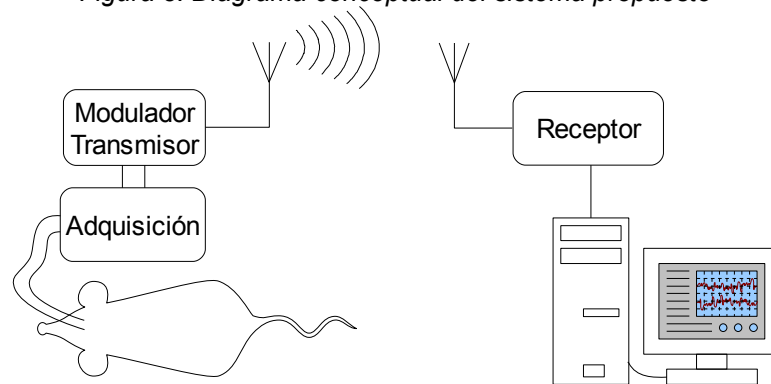
información.

Las frecuencias de interés se encuentran en el rango entre los 0.5Hz y 50Hz. Esto no quiere decir que las señales electroencefalográficas no tienen componentes de frecuencias fuera de este rango, sino, que a nivel clínico, en la actualidad, estas no son tan interesantes. Utilizando filtros pasa-bajas de cuarto orden en la etapa de adquisición, los cuales presentan una atenuación de unos 80dB por década, la frecuencia de muestreo necesaria está alrededor de 250 Hz, lo cual se puede lograr con facilidad con los sistemas digitales actuales. Para la conversión analógico-digital de las señales, se puede estimar que longitudes de palabra de 12 o 14 bits es suficientemente preciso.

## 4. DISEÑO DEL HARDWARE:

El sistema biomédico propuesto para el presente trabajo estará compuesto por tres partes fundamentales: un módulo inalámbrico de adquisición de señales bioeléctricas, el receptor respectivo y una aplicación en software para visualización en el PC.

*Figura 3. Diagrama conceptual del sistema propuesto*



*Fuente: Autores del proyecto*

### 4.1. MODULO DE ADQUISICIÓN:

Se requiere lograr acomodar el dispositivo a un tamaño lo suficientemente pequeño para que pueda ser transportado por el animal de laboratorio de una manera cómoda. Dentro de las opciones planteadas se tiene:

– **Dispositivo adherido a la parte externa de los electrodos:**

La gran limitante que se encuentra en el diseño de un dispositivo de este tipo es el tamaño máximo que sería aceptable para que el animal lleve adherido a su cráneo. Aunque un diseño de características aceptables sería posible de lograr a modo de



circuito integrado, y en efecto existen fabricantes que ofrecen este tipo de servicio de fabricación, el precio de dicho desarrollo sería muy elevado. Por otra parte, el diseño de un dispositivo con componentes discretos resultaría demasiado voluminoso.

– Dispositivo de collar:

Es una opción atractiva que no presenta restricciones de tamaño tan fuertes, aunque éste sigue siendo un factor importante. Un diseño sobre circuito impreso de sustrato flexible distribuido linealmente a lo largo de la circunferencia del collar es una opción, pero resulta muy delicado tanto para su manipulación como para la acción del animal sobre este. Por otro lado, un diseño sobre sustrato rígido resulta muy voluminoso e incómodo de cargar para el animal.

– Dispositivo cargado en el dorso:

Es el de menores restricciones de tamaño y peso. Puede lograrse como un dispositivo rígido, esto le puede brindar además mayor resistencia a la manipulación o la acción del animal. Sin embargo, sigue siendo un desafío lograr un diseño que sea cómodo de llevar. Un sistema a modo de morral en material suave dentro del cual se introduzca el dispositivo es una opción viable. Se requiere entonces un estudio de la ergonomía de dicho sistema de carga (aspecto que queda en manos de expertos en la materia).

De las opciones planteadas, se escoge el sistema cargado en el dorso, ya que es la más favorable por aspectos como el precio y la resistencia, factor decisivo ya que el sistema no es desechable.

#### **4.1.1. Etapa de Adquisición y Acondicionamiento de Señal:**

Se requiere que el dispositivo tenga capacidad para adquirir dos canales, cuyas señales sean tomadas en configuración unipolar referenciada al mismo punto. Por lo tanto, el dispositivo cuenta con tres entradas.

La adquisición de las señales consta de dos operaciones fundamentales que son la



adquisición y preamplificación, y el filtrado y amplificación. La amplificación se realiza en dos etapas debido a la presencia de ruido de amplitud considerable, y, a niveles de DC introducidos por los electrodos que pueden llevar a la saturación de los amplificadores de entrada.

#### 4.1.1.1. Adquisición y Preamplificación:

El diseño de la etapa de adquisición y preamplificación depende principalmente de las características de las señales a medir y del tipo de adquisición que se va a usar.

Como primer factor se tiene la amplitud. Las señales electroencefalográficas alcanzan una amplitud media de alrededor de  $100 \mu\text{V}$  cuando son tomadas sobre la piel y de 1 a 2 mV cuando se toman sobre la superficie cerebral o en zonas profundas. Teniendo en cuenta que la fisiología de la actividad nerviosa es similar en todos los mamíferos, se espera que los niveles de tensión estén dentro de estos rangos, al menos a nivel de regiones profundas, que es el valor que más interesa para el presente proyecto.

Como segundo factor se tiene la impedancia de la fuente de señales. Los electrodos de medida son implantados quirúrgicamente en ubicaciones específicas del cerebro y las mediciones se toman de forma unipolar con referencia a las orejas. En contraste, el electrodo de referencia se ubica sobre la piel, lo cual introduce un desbalance de impedancias considerable. El efecto de este desbalance se mencionará más adelante.

Como tercer factor, se tiene la presencia de ruido ambiental debido a radiaciones electromagnéticas, siendo considerable la intensidad del ruido de 60 [Hz] causado por las líneas de distribución.

Estos tres primeros factores dan una idea preliminar el tipo de hardware necesario para la adquisición de las señales. Primero que todo, la etapa de entrada busca registrar señales de muy baja amplitud que se deben diferenciar del nivel de ruido presente en el ambiente. Esto requiere el uso de amplificadores de tipo diferencial con bajo nivel de ruido intrínseco a la entrada y alto rechazo de ruido de modo común. Para minimizar los efectos del

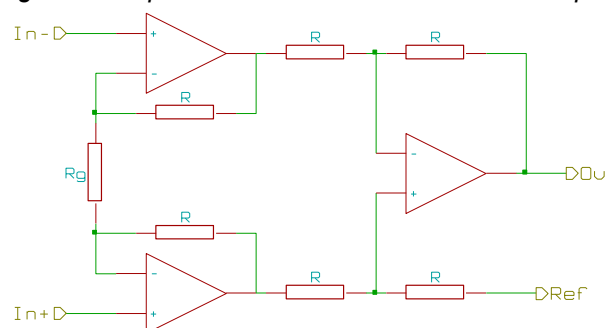


desbalance de impedancia entre los electrodos de medida y el de referencia, la impedancia de entrada del amplificador debe ser muy elevada. Los dispositivos más apropiados para suplir estas necesidades son los amplificadores de instrumentación.

Como factores adicionales para el diseño del hardware apropiado, se tienen el consumo de potencia y el voltaje de alimentación mínimo. Como se trata de diseñar un dispositivo portátil, de tamaño reducido, se imponen restricciones a estos dos parámetros de operación debido a las opciones de alimentación disponibles.

### El Amplificador de Instrumentación de 3 Op-Amp:

Figura 4. Amplificador de instrumentación de 3 OpAmp



Fuente: Autores del proyecto

La configuración de amplificadores de instrumentación de 3 op-amp mostrada en la figura 4 es la más comúnmente usada debido a su versatilidad. La ganancia diferencial del amplificador es determinada por la resistencia  $R_g$  y la salida depende del terminal de referencia. Si todas las  $R$  internas son iguales la ganancia del amplificador será:

$$V_{out} = \left(1 + \frac{2R}{R_g}\right) \cdot (V_{In+} - V_{In-}) + V_{Ref} \quad (3)$$

donde el término  $\left(1 + \frac{2R}{R_g}\right) = A_v$  se denomina Ganancia Diferencial.

Esta función de transferencia muestra que el amplificador de instrumentación es sensible únicamente a las señales de entrada en modo diferencial ( $V_{In+} - V_{In-}$ ). Esto corresponde al caso ideal únicamente, ya que en la práctica las señales presentes en modo común



también aparecerán, aunque atenuadas, a la salida. La relación en dBs entre las ganancias de modo diferencial y de modo común se conoce como Factor de rechazo de modo común o CMRR por sus siglas en inglés.

Anteriormente se hizo mención a la existencia de un desbalance de impedancias entre los electrodos de medida. El efecto más desfavorable de este desbalance es la disminución del CMRR debido a la conversión a modo diferencial a la entrada de una parte del ruido de modo común que terminará amplificándose junto con la señal. Aunque la elevada impedancia de entrada característica de los amplificadores de instrumentación ( $10^{10}\Omega$  –  $10^{12}\Omega$ ) contrarresta el efecto de este desbalance, es necesario usar otros medios para minimizar los efectos del ruido en modo común.

Para el presente diseño, por la naturaleza de la medición de las señales se hace necesario el uso de un acople en AC de los electrodos a la entrada del amplificador, ya que debido al desbalance de impedancias y al mecanismo de transducción de las señales en los electrodos de medida, se introducirá una componente indeterminada de DC en modo diferencial, que de no ser filtrada causaría saturación de los amplificadores

El acople no puede ser de tipo capacitivo únicamente, ya que es necesario que exista un camino para las corrientes de DC requeridas para la polarización de las entradas del amplificador. Una forma adecuada de hacer el acople en AC es mediante una red pasiva RC en configuración de filtro pasa-altas, que tiene una función de transferencia:

$$H(j\omega) = \frac{j\omega RC}{1 + j\omega RC} \quad (4)$$

La finalidad de este filtro de entrada es eliminar las componentes de DC indeseadas a la entrada y realizar un primer acotamiento de la banda de señal que se quiere amplificar. Sin embargo, debido a las tolerancias de fabricación de los elementos, es probable que aún existan componentes de DC en modo diferencial a la entrada del amplificador. Aumentar el orden de éste filtro no soluciona el problema, haciendo necesario el uso de una alternativa diferente. Una manera práctica de enfrentar este problema es usar el terminal de referencia del amplificador y realimentar en él la salida a través de un circuito integrador inversor con op-amp. De esta forma, la salida del amplificador será:



$$V_{out} = A_v \cdot (V_{In+} - V_{In-}) - \frac{V_{out}}{j \omega R_{Fb} C_{Fb}} \quad (5)$$

que equivale a una función de transferencia

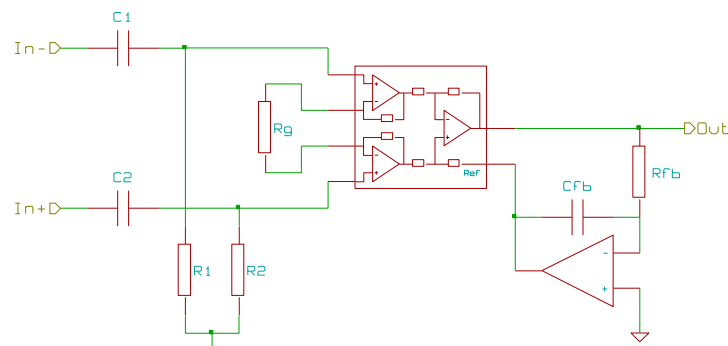
$$\frac{V_{out}}{(V_{In+} - V_{In-})} = A_v \cdot \frac{j \omega R_{Fb} C_{Fb}}{1 + j \omega R_{Fb} C_{Fb}} \quad (6)$$

Se observa entonces que la red de realimentación tiene el efecto de un filtro pasa-altas en cascada con el amplificador que aumenta efectivamente el orden del filtro de entrada. La frecuencia de corte de 3 dB para el filtro pasa-altas de primer orden es

$$f_c = \frac{1}{2 \pi R_{Fb} C_{Fb}} \quad (7)$$

En la figura 5 se expone el diseño propuesto para la etapa de preamplificación de cada canal. El valor de la resistencia Rg dependerá del amplificador elegido.

Figura 5. Etapa de pre-amplificación (por canal)



Fuente: Autores del proyecto

#### 4.1.1.2. Circuito de Escudo.

La señal de modo común puede resultar útil para llevar un escudo alrededor del dispositivo a dicho nivel de referencia, con lo cual se disminuye el efecto de acople capacitivo con la fuentes de ruido. La señal de modo común puede ser utilizada también para disminuir el nivel de ésta a la entrada de los amplificadores. Esto se logra realimentando a través del cuerpo, mediante otro electrodo, la señal de modo común amplificada e invertida de manera que ocurra un fenómeno de cancelación de la misma.

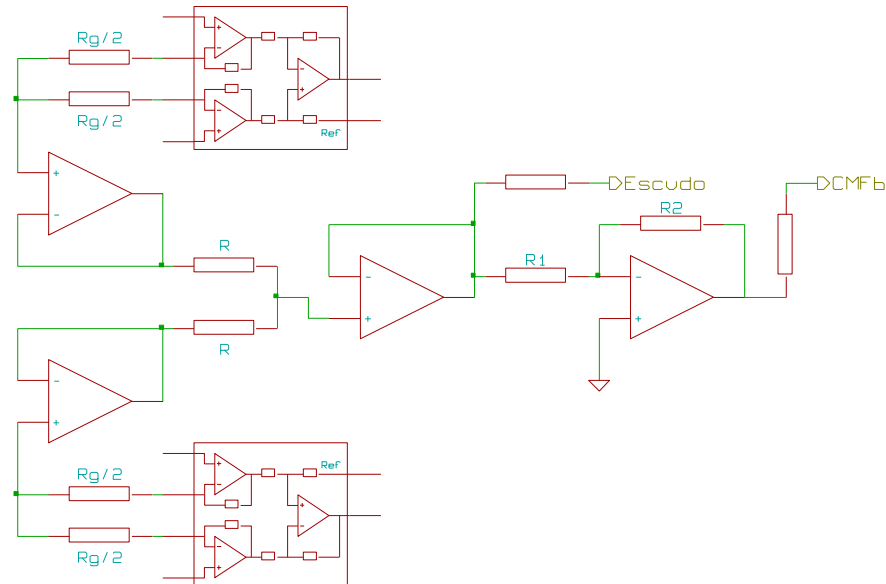


Para poder implementar este circuito, es necesario tener acceso a la señal de modo común a la entrada. Esta señal podría obtenerse mediante un puente resistivo entre los dos terminales de entrada del amplificador de instrumentación, pero este método disminuiría sus características de alta impedancia de entrada, ya que dicha red resistiva aparecería en paralelo con la impedancia diferencial de entrada propia del amplificador. Utilizar *buffers* para tomar las señales puede resolver el problema, pero esto implicaría el uso de un *buffer* por cada terminal de entrada, lo cual aumentaría innecesariamente el tamaño del diseño. La forma más sencilla de obtener la señal de modo común es a través de la resistencia  $R_g$  de ganancia, ya que ésta se encuentra conectada entre los dos terminales de entrada del amplificador de instrumentación a través del cortocircuito virtual de los terminales de los op-amp de entrada. Para obtener la señal se divide la resistencia de ganancia en dos partes iguales y se toma la señal del punto central. Esta señal debe tomarse a través de un *buffer* de modo que no se altere el funcionamiento del amplificador de instrumentación por efecto de carga. La señal de salida del *buffer* corresponderá a la señal de modo común del canal respectivo.

Ya que se requiere la señal de modo común a ambos canales, es necesario promediar entre las señales de cada canal. Esto se puede hacer de manera similar a como se obtuvieron las señales de modo común individuales, a través de un puente resistivo y tomando la señal en el punto medio. Una vez más, se alimenta esta señal a través de un *buffer*, obteniendo a la salida la señal de modo común requerida, que se usa directamente conectada al escudo. Finalmente, por medio de un amplificador inversor se obtiene la señal que será realimentada a través del cuerpo del animal usando un electrodo. El circuito resultante se ilustra en la figura 6.



Figura 6. Circuito de Escudo y realimentación de modo común.



Fuente: Autores del proyecto

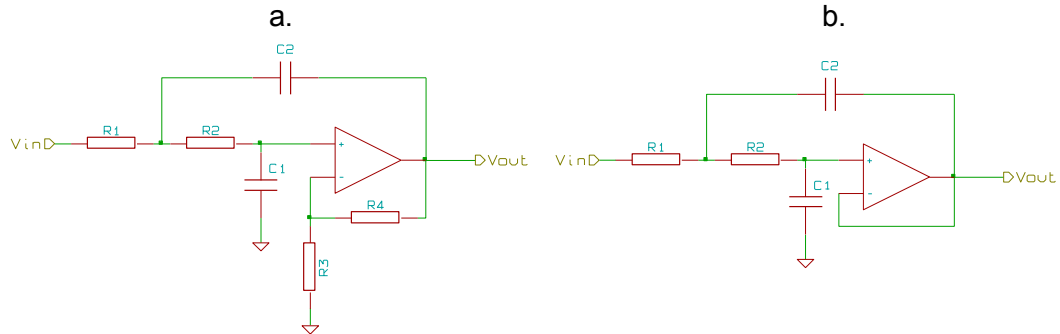
#### 4.1.1.3. Amplificación y Filtrado:

La etapa de adquisición y preamplificación entrega una señal con la que es más fácil trabajar, a la cual se debe aplicar una ganancia adicional y un proceso de filtrado. El filtrado tiene dos objetivos que son: aislar la banda de interés y eliminar el ruido de 60 Hz debido a las líneas de distribución eléctrica. En la etapa de preamplificación ya se incluye un primer proceso de filtrado pasa-altas al acoplar los amplificadores en AC. Falta entonces realizar un filtrado pasa-bajas para terminar de aislar la banda deseada. Para lograr un buen grado de selectividad, se deberán usar filtros de orden alto, para lo cual los filtros activos de op-amp son la mejor opción ya que son de fácil implementación y requieren pocos elementos pasivos. Dentro de las topologías más utilizadas se encuentran la de Sallen-Key y la de Realimentación Múltiple o MFB (Multiple Feedback). Para el caso del ruido de 60Hz se requerirá un filtro de tipo Muesca, de los cuales la topología más utilizada es quizá la de doble T (Twin Tee) que puede ser de tipo pasivo o activo. Se encuentra también la configuración de Wien-Robinson, igualmente de tipo activo o pasivo.



#### 4.1.1.3.1. Topología Sallen-Key

Figura 7. Topología Sallen-Key.  
a) General; b) De ganancia unitaria



Fuente: Autores del proyecto

La topología general Sallen-Key pasabajas se muestra en la figura 7a. Esta configuración permite ajustar la ganancia del filtro mediante las resistencias R3 y R4. Sin embargo, la configuración de ganancia unitaria de la figura 7b es la más comúnmente usada.

La función de transferencia normalizada para el filtro Sallen-Key de ganancia unitaria es:

$$A(s) = \frac{1}{1 + \omega_c C_1 (R_1 + R_2) s + \omega_c^2 R_1 R_2 C_1 C_2 s^2} \quad (8)$$

Comparando esta ecuación con la forma estándar normalizada de la ecuación de un filtro pasa-bajas de orden n

$$A(s) = \frac{A_0}{\prod_i (1 + a_i s + b_i s^2)} \quad (9)$$

se tiene que:

$$\begin{aligned} a_1 &= \omega_c C_1 (R_1 + R_2) \\ b_1 &= \omega_c^2 R_1 R_2 C_1 C_2 \end{aligned} \quad (10)$$

Resolviendo para R<sub>1,2</sub> se obtiene:

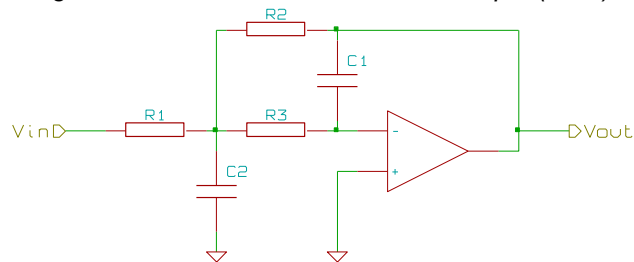
$$R_{1,2} = \frac{a_1 C_2 \mp \sqrt{a_1^2 C_2^2 - 4 b_1 C_1 C_2}}{4 \pi f_c C_1 C_2} \quad (11)$$

Para determinar los valores de R y C, se debe tener en cuenta las características deseadas para el filtro a implementar.

#### 4.1.1.3.2. Topología de Realimentación Múltiple (MFB)

La topología MFB pasabajas es más apropiada para etapas que requieran altas ganancias y un factor de calidad Q alto. En la figura 8 se muestra la forma general del filtro MFB pasabajas.

Figura 8. Filtro de Realimentación Múltiple (MFB)



Fuente: Autores del proyecto

La función de transferencia para el filtro de la figura 8 es:

$$A(s) = -\frac{R_2/R_1}{1 + \omega_c C_1 \left( R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) s + \omega_c^2 C_1 C_2 R_2 R_3 s^2} \quad (12)$$

Comparando con la forma normalizada (ecuación 9) se obtiene:

$$\begin{aligned} A_0 &= -\frac{R_2}{R_1} \\ a_1 &= \omega_c C_1 \left( R_2 + R_3 + \frac{R_2 R_3}{R_1} \right) \\ b_1 &= \omega_c^2 C_1 C_2 R_2 R_3 \end{aligned} \quad (13)$$

Resolviendo para cada  $R_i$ :



$$\begin{aligned}
 R_2 &= \frac{a_1 C_2 - \sqrt{a_1^2 C_2^2 - 4 b_1 C_1 C_2 (1 - A_0)}}{4 \pi f_c C_1 C_2} \\
 R_1 &= \frac{R_2}{-A_0} \\
 R_3 &= \frac{b_1}{4 \pi^2 f_c^2 C_1 C_2 R_2}
 \end{aligned} \tag{14}$$

Como se ha mencionado anteriormente, se desea registrar con mayor fidelidad la información de amplitud de las señales. La opción más adecuada en este caso es usar un filtro con respuesta tipo Butterworth, el cual presenta una respuesta máximamente plana en la banda de paso.

Los valores apropiados para los coeficientes  $a_i$  y  $b_i$  pueden tomarse de tablas correspondientes para filtros tipo Butterworth (Anexo A3), y con estos se procede a calcular los valores para  $R_i$  y  $C_i$ .

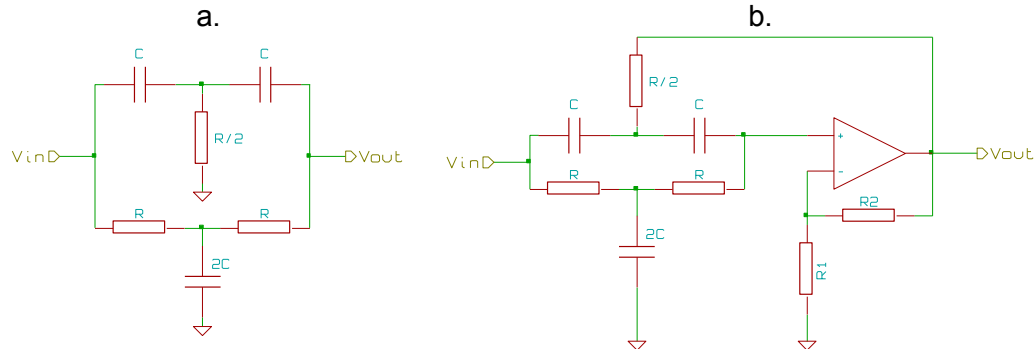
#### 4.1.1.3.3. Filtro Muesca de “Doble-T” activo.

La forma básica del filtro muesca Doble-T se muestra en la figura 9a. La frecuencia de la muesca esta dada por  $f_c = \frac{1}{2\pi RC}$  (15), con un factor de calidad Q de 0,25. Poniendo el circuito en el lazo de realimentación de un Op-Amp, se aumenta el valor de Q sin variar la frecuencia central, y de esta forma aumenta la selectividad de la muesca. Una forma de filtro Doble-T activo se muestra en la figura 9b.

El nuevo valor de Q esta dado por:  $Q = \frac{1}{2(2-G)}$ , donde  $G = 1 + \frac{R_2}{R_1}$ .



Figura 9. Filtro Muesca.  
a) Pasivo; b) Activo



Fuente: Autores del proyecto

#### 4.1.1.4. Diseño definitivo de la etapa de adquisición y filtrado.

El diseño final de la etapa de adquisición y adecuación de las señales está conformado, para cada canal, por un amplificador de instrumentación acoplado en AC, un filtro Butterworth de 4o orden más un filtro muesca Doble-T activo. La ganancia total de la etapa de adquisición se distribuye principalmente entre el amplificador de instrumentación y el filtro pasa-bajas, más una pequeña ganancia adicional variable en el filtro muesca. Al final se desea una ganancia total del orden de los 200 V/V, teniendo en cuenta que el rango máximo de voltajes de entrada para el conversor AD se recomienda esté dentro del 80% de  $\pm 600\text{mV}$ .

En la Tabla 1 se presenta un cuadro comparativo con algunos de los amplificadores de mejores características disponibles en el mercado y que se ajustan a los requerimientos para este diseño. En ésta se evidencia la relación entre consumo de potencia y desempeño frente al ruido. Los que mejor comportamiento respecto al ruido ofrecen son los de entrada bipolar, que también presentan en general, mejor factor de rechazo en modo común (CMRR). Para el presente proyecto se evaluaron el AD 627A, el INA 114 y el INA 118 en las diferentes etapas del desarrollo de la etapa analógica. En el capítulo 7 se explican en mayor detalle cada una de estas etapas.



Tabla 1. Características de algunos Amplificadores de Instrumentación comerciales

Amp.	CMRR [dB]	Ruido RTI [ $\mu$ V p-p]	Alimentación [V]	Tipo entrada	I pol. [nA]	I alim. [ $\mu$ A]
AD621	110	0,55	$\pm 2,3$	bipolar	0,5	900
AD627A	90	1,2	$\pm 1,1$	bipolar	3	60
AD8220	100	0,8	$\pm 2,5$	FET	0,01	750
AD8221	100	0,5	$\pm 2,3$	Bipolar	0,5	900
INA 114	115	0,4	$\pm 2,25$	Bipolar	0,5	2200
INA 118	110	0,28	$\pm 1,35$	Bipolar	1	350
INA 121	100	1	$\pm 2,25$	FET	0,004	450
INA 122	96	2	$\pm 1,1$	Bipolar	10	60
INA 128	106	0,2	$\pm 2,25$	Bipolar	2	700
INA 321	90	20	$\pm 1,25$	CMOS	0,01	40
INA 326	114	0,8	$\pm 1,35$	Bipolar	0,2	2400
INA 331	90	7	$\pm 1,35$	CMOS	0,0005	450

El amplificador de instrumentación escogido para el diseño es el INA 118 de la casa Texas Instruments (División Burr-Brown). Las características mas relevantes para su escogencia fueron: bajo nivel de ruido referido a la entrada, corriente de polarización de entrada suficientemente pequeña, bajo consumo de potencia y una topología favorable para la implementación del circuito de escudo. Además, su voltaje de alimentación se adecua mejor al diseño, que otros amplificadores que pueden presentar características eléctricas un poco más favorables. En el anexo A4 se pueden observar sus principales características eléctricas. La ganancia de éste amplificador esta dada por:

$$G_{Inst} = 1 + \frac{50 \text{ k}\Omega}{R_g} \quad (16)$$

Aunque el INA118 soporta ganancias de hasta 10,000 V/V, se utiliza una ganancia bastante modesta, por los requerimientos del diseño y para evitar la posible saturación de los amplificadores por señales de ruido a la entrada. Utilizando resistencias  $R_g/2 = 2,7\text{k}\Omega$ , se obtiene una ganancia de 10,26 V/V.

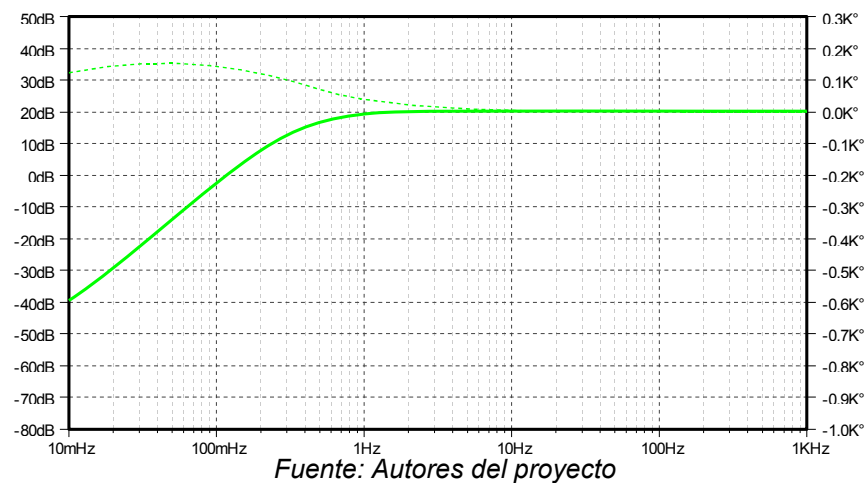
Para el filtro pasa altas de entrada del amplificador de instrumentación se usan los



siguientes valores para los elementos:  $R_1, R_2 = 1\text{Meg}\Omega$  y  $C_1, C_2 = 0,47\mu\text{F}$ , con lo cual se obtiene una frecuencia de corte bajo de  $0,34\text{ Hz}$ . Para el circuito de realimentación del amplificador de instrumentación se escogen los mismos valores para  $R_{Fb}$  y  $C_{Fb}$  que a la entrada.

La respuesta en frecuencia para esta etapa es entonces la siguiente:

Figura 10. Respuesta en frecuencia del Amplificador de Instrumentación.



El filtro Butterworth de 4o orden se implementa mediante dos filtros de 2o orden en cascada, siendo el primero de topología de realimentación múltiple (Figura 8) y el segundo de topología Sallen-Key (Figura 7b). Se ha elegido una frecuencia de corte alto de  $50\text{Hz}$ . Según la tabla de coeficientes (Anexo A3), los valores de  $a_i$  y  $b_i$  para Butterworth de 4o orden son:

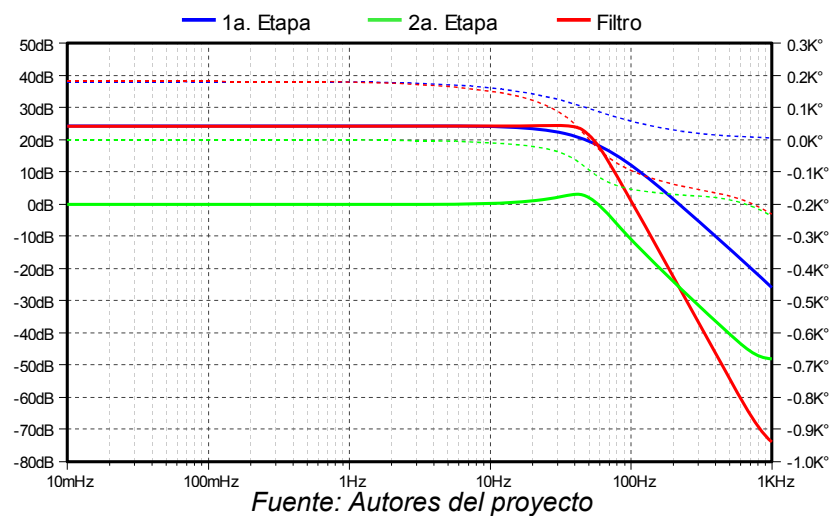
$$\begin{aligned} a_1 &= 1,8478 & b_1 &= 1 \\ a_2 &= 0,7654 & b_2 &= 1 \end{aligned}$$

Para la primera etapa, los valores de capacitancia utilizados son:  $C_1 = 270\text{ pF}$  y  $C_2 = 18\text{ nF}$ . Aplicando la ecuación 14, con una ganancia  $A_0 = -20\text{ V/V}$  se obtiene un valor de  $2,2\text{ Meg}\Omega$  para  $R_2$ . Se usará una resistencia con valor de  $2,00\text{ Meg}\Omega$ , por tanto,  $R_1 = 100\text{ k}\Omega$ . Con estos valores, a partir de la ecuación 14 se obtiene para  $R_3$  un valor de  $1,04\text{Meg}\Omega$ . Se usará una resistencia de  $1,00\text{ Meg}\Omega$ .



Para la segunda etapa del filtro Butterworth, de topología Sallen-Key, se toman valores de  $C1 = 4.7\text{nF}$  y  $C2 = 0,22\mu\text{F}$ . Resolviendo para  $R_i$  según la ecuación 11, se obtiene  $R1 = 19,65\text{k}\Omega$  y  $R2 = 498,72\text{k}\Omega$ . Los valores usados en resistencias al 1% son  $R1 = 20,00\text{k}\Omega$  y  $R2 = 510\text{k}\Omega$ . De esta forma, la respuesta en frecuencia del filtro pasabajas quedará según la figura 11.

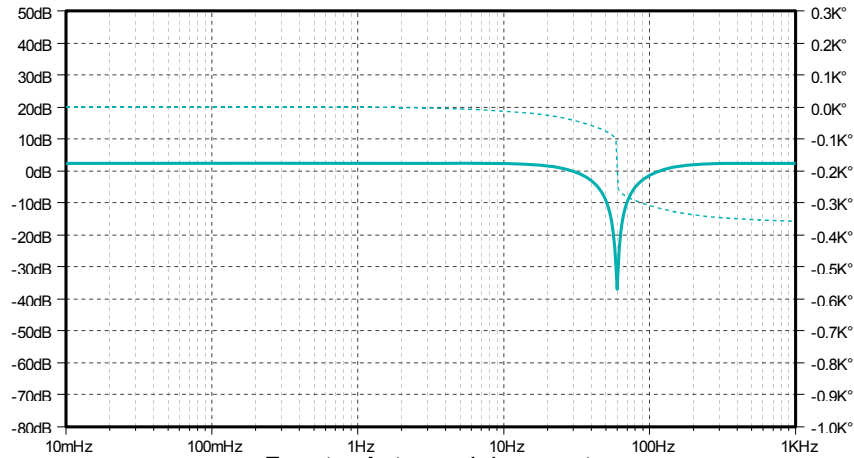
Figura 11. Respuesta en frecuencia del filtro pasa-bajas Butterworth de 4o orden.



El filtro muesca es utilizado para eliminar el ruido de 60Hz proveniente de las líneas de distribución eléctrica. Este ha sido implementado en forma de filtro Doble-T activo. Los valores disponibles escogidos para los elementos son:  $R = 267\text{ k}\Omega$ , ( $R/2 = 133\text{ k}\Omega$ ) y  $C = 10\text{nF}$  ( $2C = 20\text{nF}$ ). La frecuencia de la muesca, según la ecuación 15, será  $f_c = 59,8\text{Hz}$ . La ganancia en la banda de paso esta determinada por  $R1$  y  $R2$ . Se usa  $R1 = 100\text{k}\Omega$  y para  $R2$  se usa un potenciómetro con valores entre  $0\Omega - 50\text{ k}\Omega$ , lo cual permite un rango de ganancia entre 1 y 1,5 V/V, o, visto de otra forma, un rango de  $Q$  entre 0,25 y 1. Esta ganancia variable puede usarse para ajustar diferencias de ganancia entre los 2 canales por variaciones en los valores de los elementos, a la vez que permite aumentar o disminuir la selectividad de la muesca. La respuesta en frecuencia del filtro muesca se muestra en la figura 12. La ganancia utilizada es de 1,33 lo cual equivale a  $Q = 0,75$ .



*Figura 12. Respuesta en frecuencia del filtro muesca Doble-T activo.*

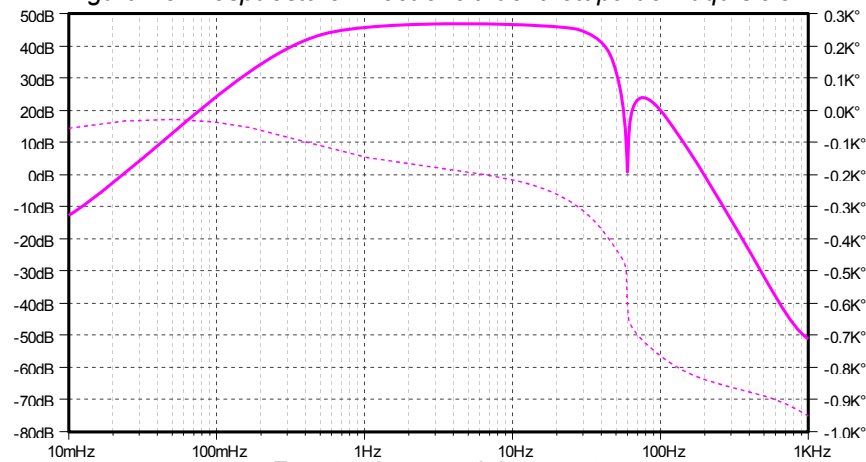


Fuente: Autores del proyecto

El diseño definitivo de la etapa de Adquisición se muestra en la figura 14 y su respuesta en frecuencia en la figura 13.

Para la realización de los filtros, se ha utilizado el amplificador operacional OPA4251 de la familia Burr Brown de Texas Instruments. Se trata de amplificadores de micro-consumo de potencia, excelentes para aplicaciones alimentadas a batería y dispositivos portátiles. Su hoja de datos se puede ver en el anexo A5.

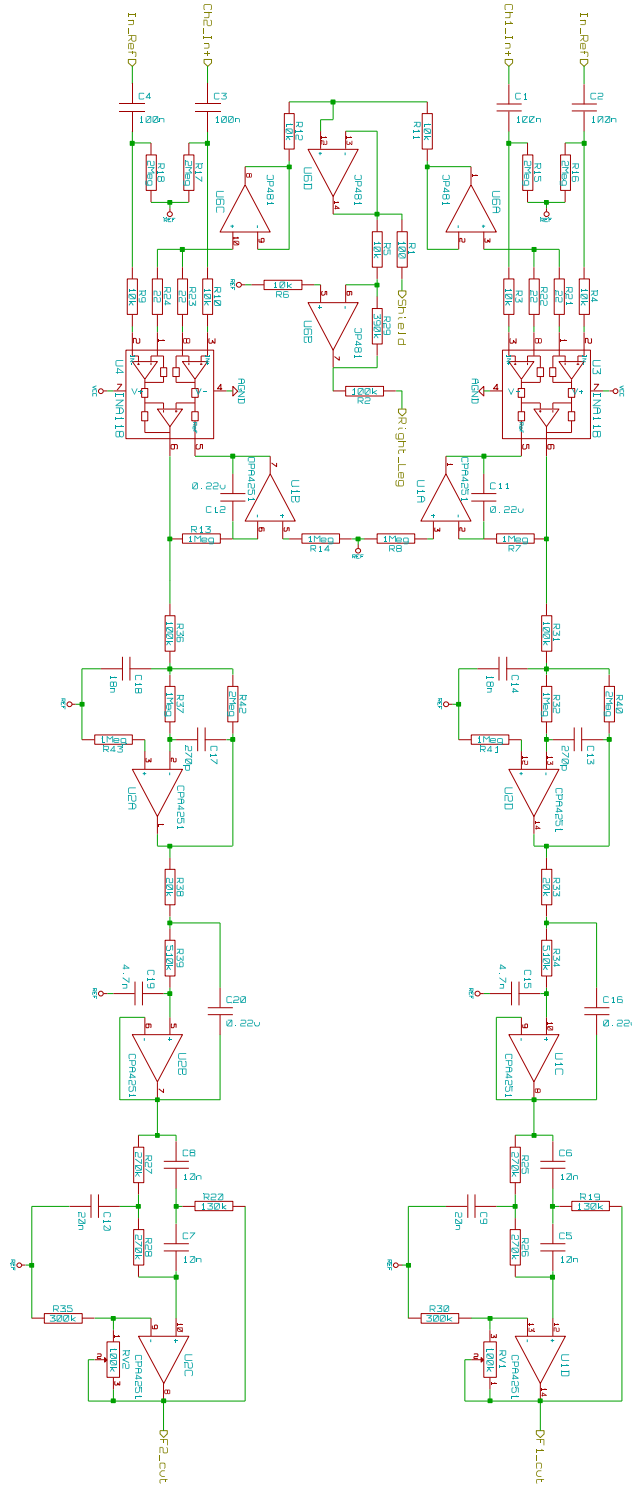
*Figura 13. Respuesta en frecuencia de la etapa de Adquisición.*



Fuente: Autores del proyecto



Figura 14. Etapa de Adquisición.



Fuente: Autores del proyecto

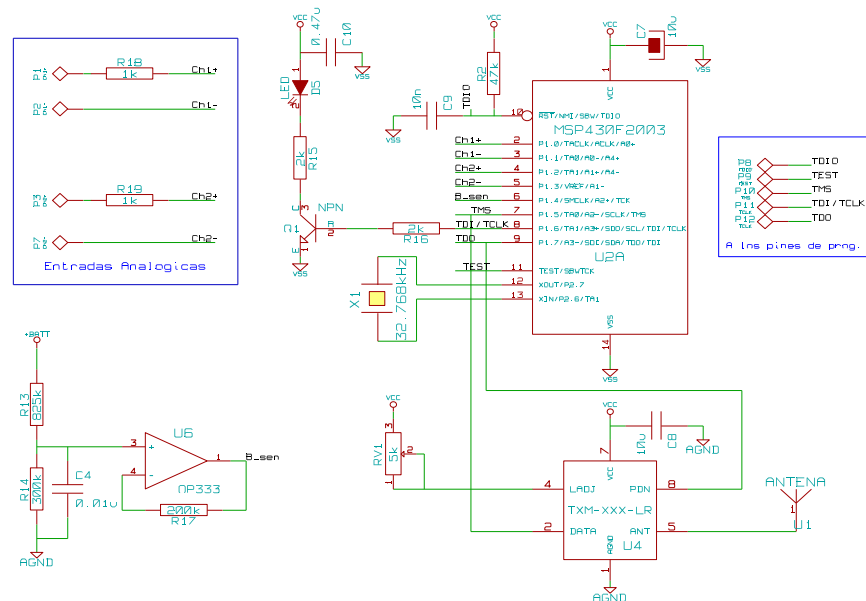


El circuito de escudo y de cancelación de ruido de modo común, se ha implementado con amplificadores operacionales OP-481 de la casa Analog Devices. Estos amplificadores son de ultra bajo consumo de potencia. Sus características eléctricas, comparadas con el OPA4251, favorecen el bajo consumo de potencia pero degradan en una pequeña proporción su desempeño en cuanto a ruido. Sin embargo, esto no tiene mayor importancia, ya que el circuito de escudo no requiere alta fidelidad en la señal. Su hoja de datos se puede consultar en el anexo A6.

#### 4.1.2. Digitalización, Modulación y Transmisión.

Para la etapa de digitalización, se eligió el microcontrolador MSP430F2003 de la casa Texas Instruments, y para la transmisión se ha usado el transmisor TXM-315-LR fabricado por LINX Technologies, Inc. En la figura 15 se muestra el circuito implementado para esta etapa

Figura 15. Etapa de digitalización, modulación y transmisión.



Fuente: Autores del proyecto



#### 4.1.2.1. Microcontrolador MSP430F2003.

Los microcontroladores de la familia MSP430 de Texas Instruments son líderes en aplicaciones de bajo consumo de potencia para soluciones de señales mixtas. Cuentan con un avanzado sistema de gestión de energía, con 5 modos de consumo disponibles. Incorporan una unidad de procesamiento central de 16 bits tipo RISC, y arquitectura Von-Neumann.

La versión F2003 cuenta además con:

- 1 kB + 256 B de memoria Flash, 128 B de memoria RAM.
- Modulo de Reloj con 4 posibles modos de operación:
  - Oscilador controlado digitalmente (DCO) integrado, con capacidad de operación hasta 16MHz.
  - Oscilador RC integrado de baja frecuencia y bajo consumo.
  - Cristal externo de 32kHz.
  - Fuente de reloj digital externa.
- Modulo Watchdog+ que puede operar en modo Guardián o como Temporizador.
- Temporizador con contador de 16 bits.
- Conversor A/D Delta-Sigma de 16 bits, con 8 canales de entrada multiplexados (5 en los pines E/S).
- Modulo de comunicación serial integrado con soporte para protocolos I<sup>2</sup>C y SPI.
- 10 pines de Entrada/Salida.

Este microcontrolador se encuentra disponible en encapsulados TSSOP-14, DIP-14 y QFN-16. En el presente diseño se ha usado el encapsulado TSSOP-14, que es de pequeñas dimensiones, pero de tamaño adecuado para soldadura manual.

En el Anexo A7 se pueden observar apartes de su hoja de datos con las principales características eléctricas y de desempeño del conversor analógico-digital SD16. Para mas detalles se pueden consultar la hoja de datos completa y la guía de usuario en el sitio web de Texas Instruments bajo los números de literatura *slau144* y *msp430f2013*.



#### 4.1.2.2. Configuración del Microcontrolador MSP430F2003:

##### 4.1.2.2.1. Puertos de Entrada/Salida (I/O)

El microcontrolador cuenta con 2 puertos de E/S cuyos pines comparten las diferentes funciones de los periféricos internos. El puerto A cuenta con 8 pines, de los cuales 5 han sido usados para el convertor AD (2 canales en modo diferencial bipolar, 1 canal en modo unipolar), 1 pin para comunicación serial directa con el transmisor, 1 pin de habilitación del transmisor y 1 pin para un LED indicador. El puerto B cuenta únicamente con 2 pines de E/S y han sido usados como pines de reloj, con un cristal de 32 kHz de baja potencia. En la figura 15 se puede observar el diagrama de conexiones.

##### 4.1.2.2.2. Módulo de Reloj

Los microcontroladores MSP430 cuentan con un modulo de reloj especialmente diseñado para aplicaciones de bajo consumo de potencia. Al contar con 3 señales de reloj internas (MCLK, SMCLK, ACLK), permite un gran equilibrio entre alto desempeño y ahorro de energía. Para el control de digitalización y transmisión de los datos, se han usado las 3 diferentes señales de reloj así:

- MCLK (Master Clock): Reloj Maestro. Se ha usado el DCO configurado a una frecuencia alrededor de 2 MHz. El MCLK es utilizado por la CPU durante su operación en modo activo.
- SMCLK (Sub-main Clock): Reloj Sub-Principal. Ha sido configurado para usar el DCO con preescalador 2. El SMCLK es usado por el modulador Delta-Sigma del convertor AD.
- ACLK (Auxiliary Clock): Reloj Auxiliar. Se ha utilizado el cristal de 32 kHz para generar la señal de reloj auxiliar. EL ACLK es utilizado por el Watchdog+ y el Timer\_A, para controlar el inicio de las conversiones del AD y para el control de transmisión respectivamente.



#### 4.1.2.2.3. Conversor Analógico-Digital:

El microcontrolador MSP430F2013 cuenta con un conversor Analógico-Digital de 16 bits (SD16). El conversor esta basado en un modulador Delta-Sigma de segundo orden sobremuestreado más un filtro decimador tipo peine (SINC3), con relación de sobremuestreo hasta 1024.

Se ha establecido que la frecuencia de muestreo sea al menos 5 veces mayor a la frecuencia de corte deseado para lograr una atenuación de al menos 80dB antes de presentarse solapamiento . Los filtros pasa-bajas se han diseñado para una frecuencia de corte alto de 50 Hz, por tanto, la frecuencia de muestreo deberá estar por encima de las 250 muestras por segundo.

Para la digitalización de las señales, el modulador Delta-Sigma utiliza una señal de reloj de aproximadamente 1MHz, y el filtro digital se configuró con una relación de sobremuestreo (OSR) de 256. Según la hoja de datos, el conversor tendrá una relación de Señal a Ruido más Distorsión (SINAD<sub>256</sub>) de 81dB típico y 80dB como mínimo para una frecuencia de entrada de 100Hz. Según estas cifras, se tendría un rango dinámico de  $10^4$ , es decir de 1:10.000 en el peor caso. La resolución efectiva del conversor para este rango dinámico es de 13 bits, según la ecuación 2. Esto se ha tenido en cuenta para el diseño de la interfaz gráfica, y los 3 dígitos menos significativos de la conversión han sido descartados.

Aunque el filtro digital soporta una OSR de hasta 1024, se encontraron tres factores para limitar esta relación a 256. Como primer factor, hay que tener en cuenta que se deben realizar 2 muestreos por vez la mayoría de las veces (1 por canal) y 3 muestreos cuando se hace medición del voltaje de la batería. Como segundo factor se tiene el hecho de que por cada medición hay que descartar 3 muestras del conversor. La razón de esto, es explicada en la guía de usuario del microcontrolador y tiene que ver con el hecho de que el filtro digital es compartido por los 8 canales del conversor, y por tanto, luego de realizar el cambio de un canal de entrada a otro, hay que permitir un tiempo de asentamiento para



obtener una medición válida. Estos dos primeros factores resultan en un total de  $256 \times 2 \times 4 = 2048$  ciclos de a 1 MHz cada vez, 2176 cuando hay medición de batería (ésta se hace con OSR 32), según lo cuál se podrían realizar 488 mediciones por segundo, una cantidad mayor de las 250 como mínimo deseadas. El siguiente valor de OSR disponible es 512. Con ese OSR se podrían realizar hasta 244 mediciones por segundo. Sin embargo, con un OSR de 512, el rango dinámico mínimo solo aumentaría a 82 dB, es decir un rango de 1:12.590, que no es suficiente para aumentar un dígito de resolución efectiva adicional al convertor. Este tercer factor determino la decisión de limitar el OSR a 256, ya que con 512 no se garantiza mayor exactitud y se aumenta el consumo de potencia por mayor tiempo de operación del convertor.

#### 4.1.2.2.4. Watchdog Timer+ y Timer\_A:

Los módulos WDT+ y Timer\_A son usados como temporizadores, y con sus rutinas de servicio de interrupción se controlan las conversiones del SD16 y la transmisión de los datos respectivamente. Utilizan la señal ACLK como fuente de reloj, debido a la necesidad de una referencia de tiempo mas exacta y estable.

El WDT+ en modo temporizador puede generar interrupciones cada 64, 512, 8.192 o 32.768 ciclos de la fuente de reloj utilizada. Con esos intervalos se generan 512, 64, 4 y 1 interrupciones por segundo respectivamente. Para cumplir con las 250 muestras por segundo, se ha configurado el WDT+ para generar interrupciones cada 64 ciclos, y se inicia el convertor AD cada 2 interrupciones, con lo cual se obtienen 256 mediciones por segundo para cada canal.

El Timer\_A por su parte, se ha usado para generar la base de tiempo para la transmisión de los datos. Utilizado como temporizador, se generan interrupciones cada 3 ciclos de reloj, lo cual resulta en una velocidad de unos 10.923 bps. La rutina de servicio de interrupción cumple 2 funciones básicas. Pone en la línea de comunicación con el radio el bit de turno del paquete de datos (El formato del paquete de datos se explica más adelante). Además, se encarga de realizar el cálculo del chequeo de redundancia cíclica de 16 bits (CRC16) según el algoritmo explicado en las notas de aplicación con número



de literatura *slaa221* y *swra111* de Texas Instruments<sup>1</sup>, correspondiente a la implementación del algoritmo por el transceptor CC1101, utilizado para la recepción de los datos.

#### 4.1.2.3. Transmisor TXM-315-LR

El transmisor utilizado es el TXM-315-LR fabricado por LINX Technologies. Se trata de un transmisor de baja potencia, totalmente integrado, cuyos únicos elementos externos necesarios son una resistencia para graduar la potencia de salida, y una antena. Implementa una modulación digital básica, de tipo On-Off (OOK). Soporta tasas de transmisión garantizadas de hasta 10 kbps según su hoja de datos, y hasta 12 kbps según el fabricante, para una señal de entrada de características favorables. No implementa control de transmisión, por lo cual, la generación de la base de tiempo y el control de transmisión de datos debe hacerse en el microcontrolador. Los datos son transmitidos en la medida en que son puestos, de forma serial directa, en el pin de entrada. Soporta una potencia de salida máxima de 9dBm, logrando distancias de transmisión de hasta 1km en línea de vista. En el diseño se utilizó una potencia de transmisión de aproximadamente  $-6\text{dB}$ , con la cual se obtuvo una distancia de transmisión de 10 metros, pero para garantizar la integridad de la comunicación se recomienda no exceder los 3 metros entre el transmisor y el receptor. La frecuencia de transmisión es de 315MHz, que se encuentra en una banda ICM (Industrial, Científica, Medica), regulada por el Ministerio de Comunicaciones según la resolución 797 de Junio 8 de 2001, y de libre acceso al público en general, siempre que se respeten lo establecido en dicha resolución. En el anexo A8 se pueden observar sus principales características eléctricas.

#### 4.1.3. Sistema de Alimentación

Por la portabilidad del diseño, el módulo de adquisición será alimentado con batería. Los factores más relevantes para la elección de la batería adecuada fueron el tiempo de operación requerido, la frecuencia de operación, el tamaño y el peso. Se optó por una

<sup>1</sup> Disponibles en el sitio web de Texas Instruments: <http://www.ti.com>



batería de tipo recargable, ya que se tiene previsto que el dispositivo sea usado durante jornadas largas ( $> 1$  hora) y de manera frecuente, por lo cual, el uso de baterías no recargables resultaría costoso.

Las baterías de tipo moneda tiene a su favor el precio y la disponibilidad en tamaños pequeños. Además, por lo general utilizan compuestos con alta capacidad de carga (NiMH, NiCd) y que requieren regímenes de carga sencillos de implementar (por lo general de voltaje constante). Sin embargo, se descartó el uso de batería de tipo moneda, ya que a pesar de su tamaño, requieren espacio considerable en el PCB, sea que se utilice un porta-batería o una batería con terminales incluidos.

Una mejor opción en baterías de tipo recargable son las de Litio-Polímero. Estas baterías ofrecen densidades de carga altas y disponibilidad en tamaños reducidos. Por lo general tienen cables de conexión en lugar de terminales rígidos, lo que da la posibilidad de utilizar terminales pequeños que no ocupan mucho espacio en la placa. Además, por su empaque aislante, pueden ubicarse sin riesgo y entrar en contacto con los elementos soldados a la placa. Tienen un voltaje nominal alto (3,7 V) en comparación con otros tipos de batería de una celda, y amplio rango de operación (3.0 V – 4.2 V). No sufren de Efecto Memoria, pero requieren de un control minucioso en su régimen de carga, que consta de una etapa de precarga (cuando esta muy descargada), una etapa de carga en régimen de corriente constante y una etapa final en régimen de voltaje constante. Afortunadamente, en la actualidad existen circuitos integrados dedicados para control de carga de baterías, que requieren de pocos elementos externos para configurar las distintas etapas de carga. La batería escogida es la UBC322030 fabricada por Ultralife Batteries y sus características se pueden observar en el anexo A9.

Para el control de carga se ha usado el circuito integrado BQ24012 de Texas Instruments, cuya hoja de datos se puede consultar en el anexo A10. Según la hoja de datos para la batería, el régimen máximo de carga recomendado es a  $C/2$ . Una vez se alcanzan 4.2V, se pasa a voltaje constante hasta que la corriente caiga a  $C/10$ . El régimen de carga se configura en el BQ24012 mediante la resistencia  $R_{SET}$ . La corriente de carga está dada



por:  $I_{O(OUT)} = \frac{(K_{(SET)} \times V_{(SET)})}{R_{(SET)}}$  . Donde  $K_{(SET)} = 335$  y  $V_{(SET)} = 2.5V$  para el régimen de carga deseado. Se ha usado un valor de  $18k\Omega$  para  $R_{(SET)}$ , con lo cual se obtiene una corriente de carga de alrededor de 45mA, un poco menor al régimen máximo de C/2, es decir, 60mA, para dar cierta holgura y evitar degradar la capacidad de la batería.

La alimentación para cargar la batería se puede suministrar mediante un adaptador AC/DC de pared convencional que tenga un voltaje de salida entre 6 y 10 VDC, a 200mA. Se escogió un conector para el adaptador tipo “mini Jack” de 4.5mm de diámetro con pin central de 1mm de diámetro que incluye un interruptor que desconecta el circuito de carga del resto del circuito, para evitar operar el dispositivo con el adaptador conectado.

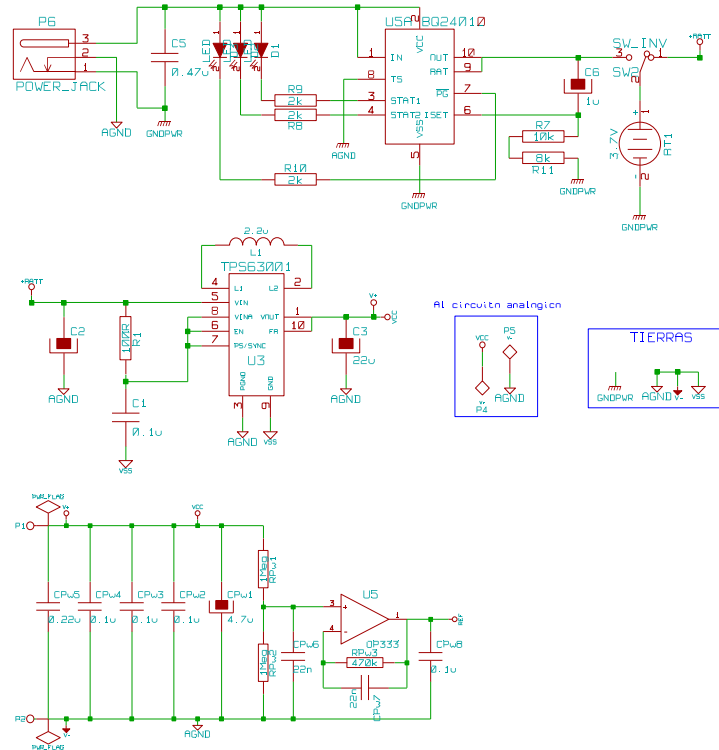
Durante la operación normal, el voltaje de alimentación del circuito estará regulado a 3,3V por un convertor DC/DC de tipo buck-boost de alta eficiencia, referencia TPS63001 de Texas Instruments, cuyas características eléctricas se pueden observar en el anexo A11. Para mayor detalle en su operación y configuración se puede consultar su hoja de datos completa en el sitio web de Texas Instruments.

El dispositivo de adquisición completo esta compuesto por 2 tarjetas individuales, conectadas entre si a través de pines, una conteniendo la etapa analógica de acondicionamiento de señal y la otra, la parte digital que incluye el microcontrolador, el regulador y el radiotransmisor. La etapa analógica implementa una tierra virtual de baja impedancia, necesaria para los amplificadores por la naturaleza bipolar de las señales, generada mediante un puente resistivo como divisor de tensión y un amplificador operacional en configuración de *buffer*, o ganancia unitaria. Para cada uno de los circuitos integrados se utilizó uno o varios capacitores de *bypass* de fuente, teniendo especial cuidado con los circuitos digitales, que son los más susceptibles de introducir ruido de alta frecuencia a la alimentación. Igualmente, las tierras se separaron cuidadosamente para los circuitos analógicos y digitales en una configuración de “estrella”, unidas en un solo punto, cercano al regulador. Se ha tenido cuidado también de utilizar un trazo de guarda para el cristal oscilador y planos de tierra, para evitar la introducción de ruido en la tierra



general del circuito. El diseño final del circuito de alimentación se muestra en la figura 16.

Figura 16. Diseño del circuito de alimentación y de carga de batería



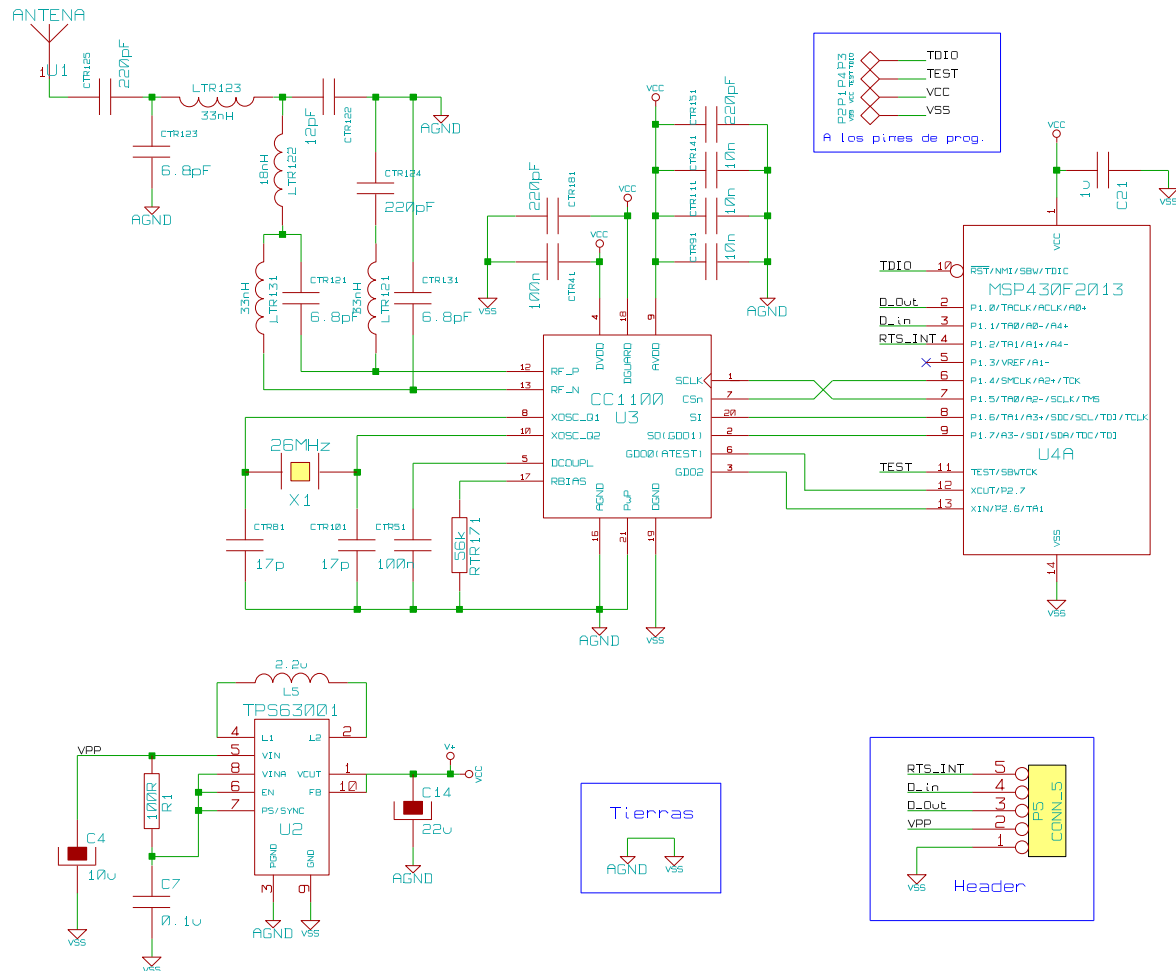
Fuente: Autores del proyecto

## 4.2. MODULO RECEPTOR.

La recepción se hará utilizando el transceptor CC1101 de la división Chip-Con de Texas Instruments, en conjunto con el microcontrolador MSP430F2013. El circuito implementado se muestra en la figura 17. Se ha vuelto a usar el integrado TPS63001 como regulador de voltaje por la flexibilidad que ofrece en la elección de la fuente de alimentación, la cual debe suministrarse a través del *header*. Se pone también en los pines del *header* las señales de datos en niveles TTL para que sean traducidas a RS232 en un circuito aparte.



Figura 17. Circuito correspondiente al módulo receptor



Fuente: Autores del proyecto

#### 4.2.1. Transceptor CC1101

Se trata de un transceptor integrado para frecuencias inferiores a 1 Ghz (315, 433, 868 y 915 MHz) correspondientes a bandas ICM (Industrial-Científico-Médico) de uso libre. Su integración no es tan compacta como la del transmisor Linx TXM-315, pero ofrece mayor funcionalidad. Cuenta con un modem altamente configurable, con soporte para varios formatos de modulación y velocidades de comunicación de hasta 500 kbps. Requiere de pocos elementos externos: cristal de 26 o 27 MHz, resistencia de polarización, red de acople o balún para la antena y capacitores de bypass de fuente. Los parámetros de operación del radio deben ser configurados, para lo cual, el radio cuenta con 3 pines



dedicados y uno compartido con funciones de salida general. Cuenta además, con otros dos pines de salida general, uno de los cuales ha sido usado para proveer una fuente de reloj secundario al microcontrolador, y el otro, para generar un pulso cada vez que se recibe un paquete lo cual sirve para disparar una interrupción.

La configuración del radio se realiza a través de una interfaz SPI de 4 hilos (SO, SI, SCLK, CSn), en la cual el CC1101 actúa como esclavo. En la nota de aplicación *slaa325* se encuentran las rutinas en lenguaje C para msp430 necesarias para el control del radio. Los valores para los registros de configuración del CC1101 se pueden generar con el programa SmartRF Studio, disponible para descargar de forma gratuita en la página web de Texas Instruments. Deben configurarse parámetros como frecuencia, modulación, velocidad de transmisión/recepción, y parámetros relacionados con el manejo automático de paquetes, como longitud, dirección, buffer de recepción, verificación de CRC, etc.

Las transacciones de comunicación en la interfaz SPI se inician llevando CSn a nivel bajo, luego de lo cual, se envía un encabezado que contiene 1 bit de lectura/escritura (R/W), 1 bit de acceso en cascada (burst access), y 6 bits que corresponden a la dirección del comando o del registro que se quiere leer o escribir. Dependiendo del encabezado enviado, el comando puede finalizar inmediatamente, leer o escribir uno o más bytes en la interfaz SPI. La comunicación finaliza llevando la línea CSn de vuelta a nivel alto.

Los comandos de un solo byte son llamados Strobes, y son usados para operaciones frecuentes, como cambiar el modo de operación del radio (TX, RX, Idle, Sleep), reiniciar el Receptor, vaciar el buffer, etc. Los comandos de acceso sencillo son usados para leer o escribir el contenido de un solo registro de configuración, especificado en la dirección transmitida en el encabezado. Los comandos de acceso en cascada (burst access) son seguidos por la lectura o escritura de uno o más bytes, iniciando en el registro especificado en la dirección transmitida en el encabezado, y finaliza en cuanto CSn es llevado a nivel alto. Este modo de comunicación es útil, por ejemplo, para escribir parte o la totalidad de los registros de configuración en una sola operación, o para leer o escribir el contenido del buffer FIFO de recepción o transmisión respectivamente.



#### 4.2.2. **Microcontrolador MSP430F2013**

Para la configuración y control del radio, se ha utilizado el microcontrolador msp430F2013, con idénticas características al F2003, excepto por el tamaño de la memoria flash, que es de 2 kB, requerida por el mayor tamaño y complejidad de las rutinas de control del radio.

##### 4.2.2.1. Configuración del Microcontrolador msp430F2013

###### 4.2.2.1.1. Puertos de Entrada/Salida (E/S):

El puerto 1 usa sus 2 bits inferiores (P1.[0:1]) para la comunicación serial con el PC y los 4 bits superiores (P1.[4:7]) para la comunicación con el radio a través del modulo USCI. El puerto 2 por su parte, utiliza un pin (P2.6) como entrada de reloj digital, y el otro (P2.7) como pin de control para generar interrupciones.

###### 4.2.2.1.2. Módulo de Reloj:

El DCO ha sido configurado para operar en una frecuencia cercana a 8MHz y se utiliza como fuente de reloj para la señal maestra MCLK, con la que trabajan la CPU y el módulo USCI. Se ha configurado el ACLK para utilizar como fuente de reloj la señal de entrada en el pin P2.6, proveniente del CC1101. Esta señal tiene una frecuencia de  $Xosc/128 = 203.125$  Hz. La señal ACLK es usada por el módulo TimerA.

###### 4.2.2.1.3. Timer\_A.

Es utilizado para generar la base de tiempo para la comunicación serial con el PC. Generando interrupciones cada 7 ciclos del ACLK se obtiene una frecuencia de 29.018Hz, que es lo suficientemente próxima a los 28,8 kbps esperados por el puerto serial del PC.

###### 4.2.2.1.4. USI (Universal Serial Interface):

El módulo USI ha sido configurado para utilizar el protocolo SPI y es utilizado para comunicarse con el CC1101. Opera como “Maestro” en la comunicación y utiliza la señal MCLK como fuente de reloj.



## 5. DESARROLLO DEL SOFTWARE

### 5.1. Implementación de las rutinas de control para el módulo de adquisición.

El programa para el control de digitalización y transmisión de los datos consta de 4 rutinas independientes, controladas mediante interrupciones y coordinadas con el uso de banderas que indican el estado de ciertas variables o procesos. El diagrama de estados de ejecución del programa se muestra en la figura 18.

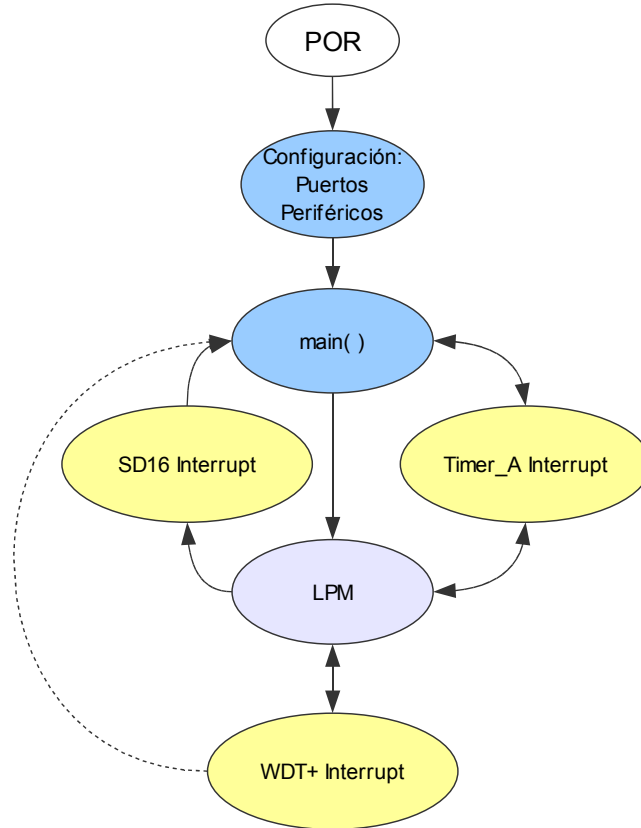
Luego de encender el dispositivo, el microcontrolador se encuentra en estado Power On Reset (POR). Seguidamente, se detiene el WatchDog Timer+ (WDT+), se inicializan las variables y se procede a configurar los puertos y periféricos.

Una vez configurado, se entra en el bucle principal (infinito) en el cual se inicia una primera medición de la batería para luego entrar en modo de bajo consumo (LPM) en espera de ser activado por alguna interrupción. Si el nivel de batería se encuentra por encima del nivel crítico, en el siguiente ciclo del bucle principal se activará el radio y se iniciará el WDT+ en modo temporizador, el cuál, como se ha dicho anteriormente, se encargará de iniciar las conversiones del SD16. Cada vez que se completa un ciclo del bucle principal, el microcontrolador pasa a modo de bajo consumo.

El microcontrolador regresa a operación normal para reiniciar el bucle principal en 2 posibles casos. El primero, luego de atender la rutina de servicio de interrupción del SD16, bien sea para almacenar un nuevo dato o luego de medir el nivel de batería. El segundo, luego de atender la rutina de interrupción del WDT+, cuando la batería se encuentra en nivel crítico.



Figura 18. Diagrama de estados del programa de control de Digitalización y Transmisión



Fuente: Autores del proyecto



### **5.1.1. Rutina principal**

La rutina principal de encarga de:

- Configurar los puertos y periféricos del microcontrolador.
- Almacenar los datos del SD16.
- Iniciar el Timer\_A para comenzar a transmitir un nuevo paquete.
- Monitoreo del nivel de batería.

En la figura 19 se muestra el diagrama de flujo de la rutina principal.

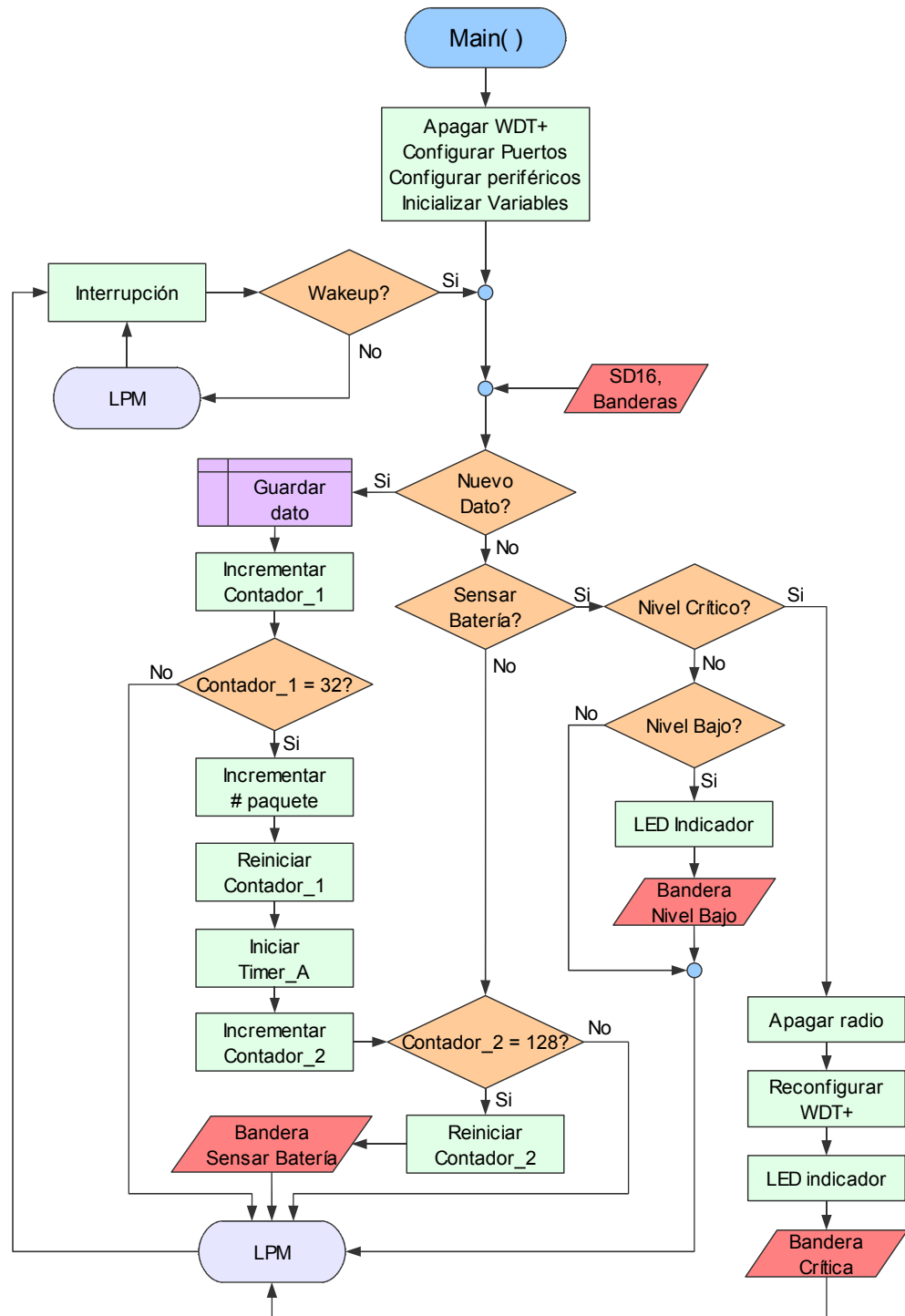
### **5.1.2. Rutina de servicio de interrupción del Watchdog Timer +**

Su función principal es iniciar un nuevo ciclo de conversiones del SD16 durante operación normal. Cuando la batería se encuentra en nivel crítico, debe encargarse de actualizar el contador para medición de batería y despertar el microcontrolador para ejecutar la rutina principal. El diagrama de flujo de para la rutina de servicio wdt\_isr() se muestra en la figura 20.

### **5.1.3. Rutina de servicio de interrupción del Conversor AD SD16.**

Esta rutina es llamada cada vez que se completa una conversión del SD16. Se encarga de hacer el cambio entre canales del conversor, y debe despertar el microcontrolador para que la rutina principal se encargue de procesar el dato. El diagrama de flujo para la rutina de servicio sd16\_isr() se muestra en la figura 21.

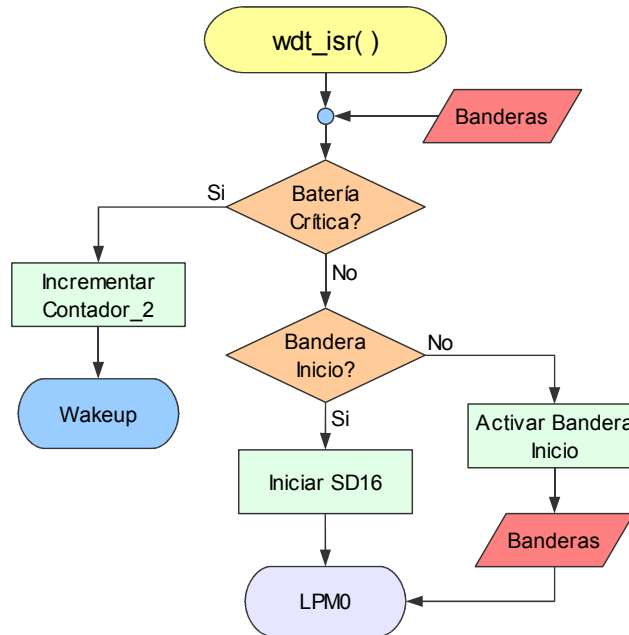
Figura 19. Diagrama de flujo de la rutina principal.



Fuente: Autores del proyecto

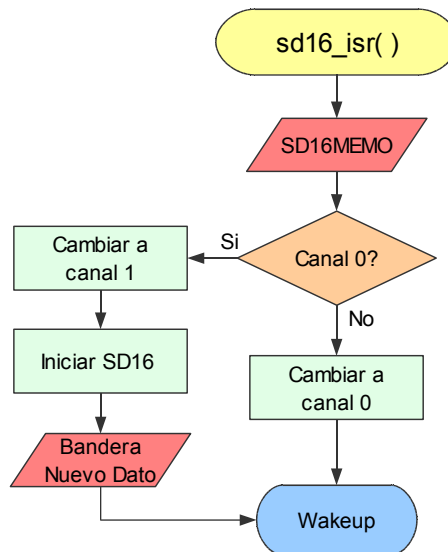


Figura 20. Diagrama de Flujo para la rutina de servicio del Watchdog Timer+



Fuente: Autores del proyecto

Figura 21. Diagrama de Flujo para la rutina de servicio del Conversor AD SD16

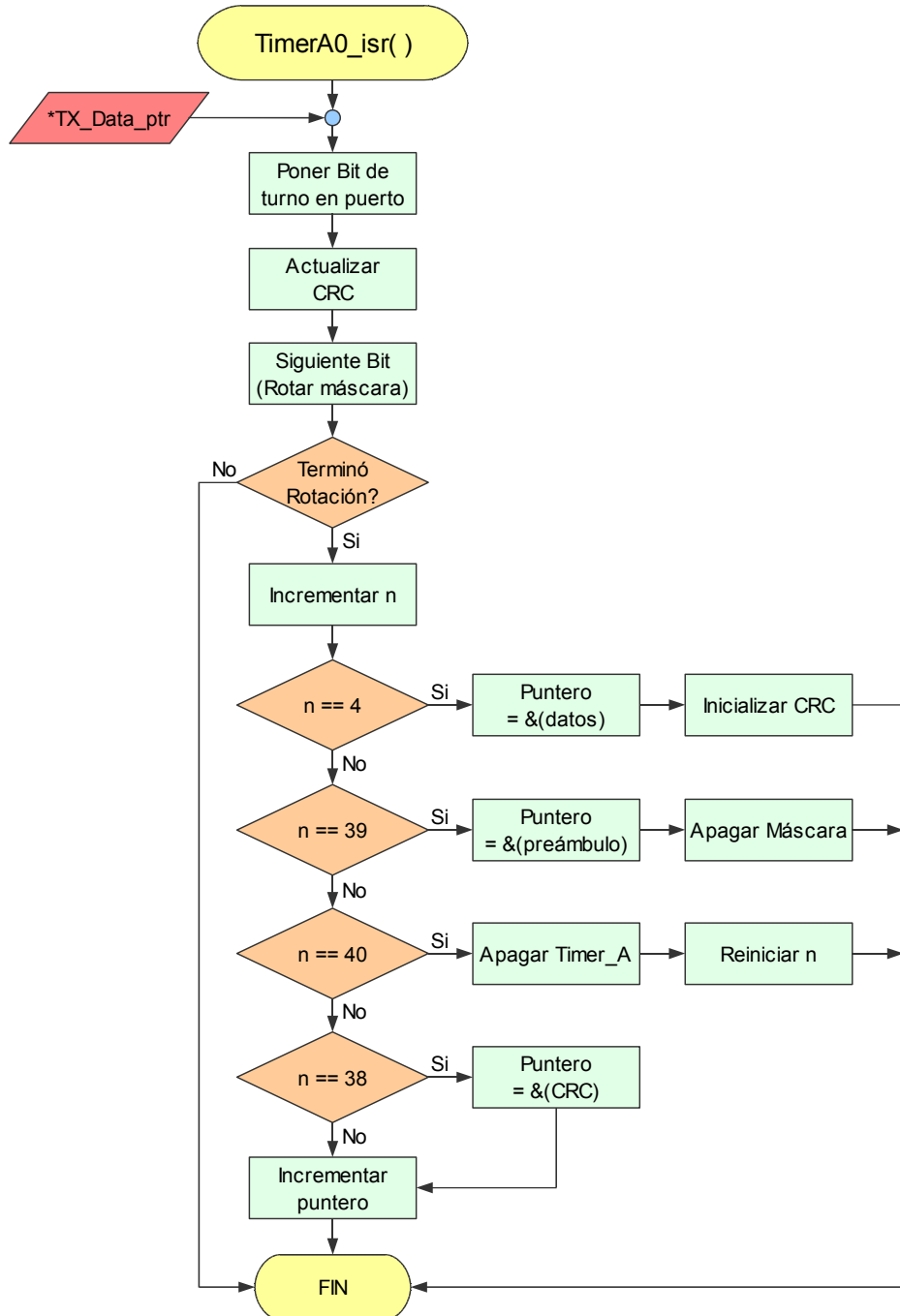


Fuente: Autores del proyecto



### 5.1.4. Rutina de servicio de interrupción del Timer\_A

Figura 22. Rutina de servicio de interrupción del Timer\_A



Fuente: Autores del proyecto



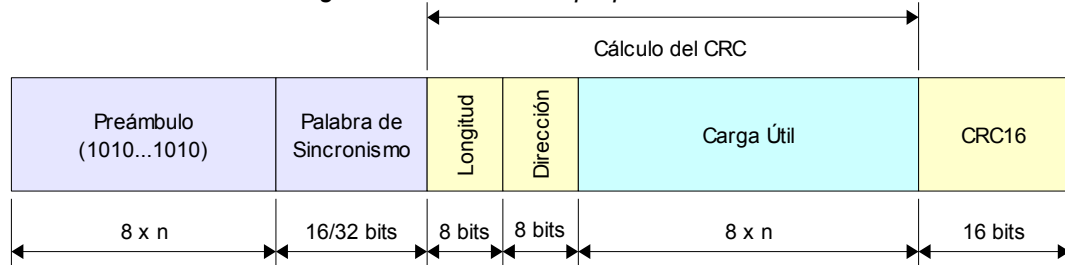
La rutina `timerA_isr()` es la encargada de controlar el flujo de bits al transmisor y se ilustra en la figura 22. Para este fin, debe llevar control mediante un puntero al dato siendo transmitido y de este dato, el bit actual en el pin de transmisión, en una técnica conocida como Bit-Banging. Cada paquete de datos está configurado para ser procesado por el receptor CC1101 de la división Chip-Con de Texas Instruments. Consta de 6 segmentos:

- Preámbulo: consiste en una sucesión de 1s y 0s. Debe tener una longitud mínima de 8 bits, luego de los cuales, el receptor esta listo para recibir el resto del paquete. El preámbulo es requerido por el receptor para calibrar la sincronización a nivel de bits. Se ha configurado con una longitud de 32 bits.
- SyncWord - Palabra de sincronismo: Luego del preámbulo, el receptor espera una palabra de 2 o 4 bytes (16/32 bits) correspondientes al SyncWord. Esta es necesaria para la sincronización del receptor a nivel de bytes. Se ha usado una palabra de 2 bytes.
- Length Field - Longitud (Opcional): Campo de 1 byte que indica la longitud del paquete entendida como el tamaño (en bytes) de la carga útil más el byte de dirección.
- Address Field - Dirección (Opcional): Campo de 1 byte, contiene la dirección del receptor.
- Payload - Carga útil: Contiene los datos correspondientes a 16 mediciones de señal para cada canal, es decir, 64 bytes, más 2 bytes correspondientes a un contador de paquetes.
- CRC16: El último segmento del paquete corresponde a 2 bytes de comprobación de redundancia cíclica, implementado de acuerdo al algoritmo encontrado en las notas de aplicación *slaa221* y *swra111*. El CRC16 es calculado sobre todo el paquete excluyendo el preámbulo y la palabra de sincronismo.

En la figura 23 se muestra el formato del paquete. En la aplicación actual, la cabecera, conformada por el preámbulo, la palabra de sincronismo, el byte de longitud y el de dirección, es constante, y está definida en un vector constante a nivel global, que está almacenado en la memoria flash. El contenido del paquete, por su parte, varía de un paquete a otro y está ubicado en RAM.



Figura 23. Formato del paquete de datos



Fuente: Hoja de datos del transceptor

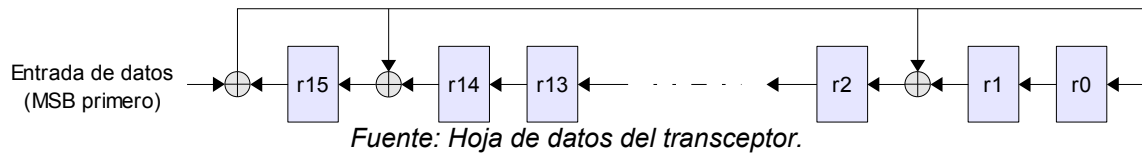
### Cálculo de comprobación de redundancia cíclica CRC16

A grandes rasgos, la palabra de comprobación de redundancia cíclica de orden  $n$  corresponde al residuo  $r(x)$  de la división polinomial del mensaje original  $m(x)$ , por un polinomio generador  $g(x)$  de grado  $n+1$ . El mensaje aumentado transmitido corresponde entonces a  $c(x) = m(x)x^n + r(x)$ . Debido a que la división aritmética es costosa en términos de número de instrucciones requeridas, los algoritmos de generación del CRC para aplicaciones embebidas, utilizan diferentes niveles de optimización dependiendo de la disponibilidad de espacio en el dispositivo. Todos se basan en el uso de un registro de desplazamiento y operaciones XOR. La principal diferencia entre un nivel de optimización y otro es el número de bits que se desplaza el registro de una iteración a otra. La forma básica, utiliza desplazamientos de un bit, y es la de implementación más directa, aunque la menos eficiente. Las implementaciones en las que se realizan desplazamientos de varios bits a la vez, requieren el uso de tablas de búsqueda en las que se guardan los valores pre-calculados para cada combinación posible de los bits desplazados. Por ejemplo, para implementar el algoritmo CRC16 con desplazamientos de 8 bits (1 byte) por vez, se requiere una tabla de búsqueda de  $(2^8 \times 16) = 4096$  bits (512 bytes).

Teniendo en cuenta que para la transmisión de los datos se está procesando 1 bit en cada interrupción, la opción más adecuada es utilizar el algoritmo básico. La implementación del CRC16 en el CC1101 utiliza un polinomio generador  $g(x) = 0x18005$ , con el registro del CRC inicializado a  $0xFFFF$ . El funcionamiento del algoritmo se ilustra en la figura 24.



Figura 24. Implementación del algoritmo CRC16 en el receptor CC1101



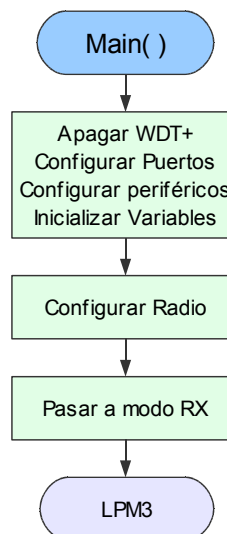
La implementación del algoritmo en lenguaje C ha sido adaptado del programa encontrado en la nota de aplicación *sla221*.

## 5.2. Implementación de las rutinas de control para el modulo receptor.

De forma similar al módulo de adquisición, la ejecución del programa del microcontrolador es controlada mediante interrupciones y coordinada con banderas que indican el estado de ejecución. Las interrupciones pueden ser generadas por el radio, luego de recibir cada paquete, ó, por el TimerA, para generar la base de tiempo para la comunicación serial con el PC, y son las únicas rutinas ejecutándose luego de realizada la configuración del microcontrolador y del radio en la función principal o main().

### 5.2.1. Rutina principal:

Figura 25. Diagrama de flujo de ejecución de la rutina principal



Fuente: Autores del proyecto



Su única tarea es configurar el microcontrolador y el radio, para luego pasar a modo de bajo consumo, dejando el control de ejecución a cargo de las rutinas de interrupción. En la figura 25 se muestra su diagrama de flujo de ejecución.

### **5.2.2. Rutina de servicio de interrupción del puerto 2:**

La rutina servicio de interrupción del puerto 2 es iniciada por un flanco de subida en el pin P2.7, el cual está conectado al pin GDO0 del CC1101. Este ha sido configurado para indicar cuándo el buffer FIFO de recepción se encuentra lleno (64 bytes), ó, cuando se ha llegado al final del paquete, cuando son paquetes de menos de 64 bytes.

En la comunicación implementada, los paquetes tienen una longitud de 69 bytes, correspondientes a la dirección (1 byte), 16 datos de mediciones para cada canal (64 bytes), y el consecutivo de transmisión (4 bytes). La rutina debe entonces leer el byte de longitud, leer y vaciar el buffer, y esperar que termine de llegar el paquete. Para garantizar que se recibe un paquete correctamente, el GDO0 es re-configurado para indicar que se ha recibido un CRC correcto. Si el radio termina la recepción y no se ha indicado un CRC correcto, el paquete es descartado y se reinicia el modo RX.

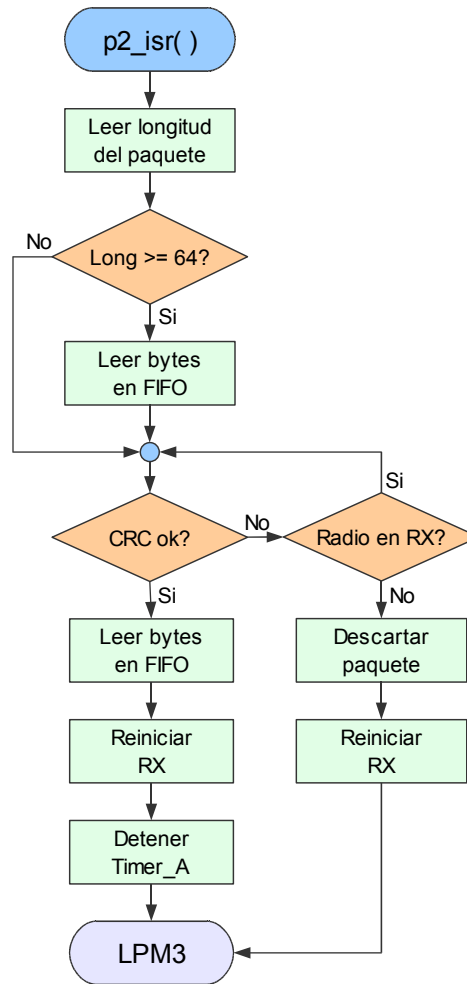
Una vez finalizada una recepción exitosa, se arranca el TimerA para iniciar la transmisión serial del paquete al PC, se restablece el GDO0 a su configuración inicial y se reinicia el radio en modo RX. El diagrama de ejecución de la rutina de interrupción del puerto 2 se muestra en la figura 26.

#### **5.2.2.1. Rutina de servicio de interrupción del Timer\_A:**

Esta rutina es similar a la implementada en el módulo trasmisor, ya que debe poner en el pin de comunicación con el PC el bit de turno del paquete transmitido. La comunicación es en modo UART, con un bit de inicio, 8 bits de datos (LSB primero), sin paridad y 2 bits de parada, para un total de 11 bits por byte transmitido. El formato del paquete se muestra en la figura 27.

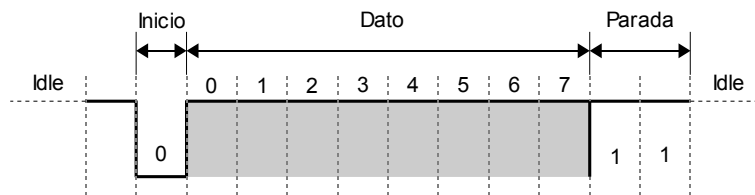


Figura 26. Diagrama de flujo de ejecución para la rutina de servicio de interrupción del puerto 2



Fuente: Autores del proyecto

Figura 27. Formato de la trama de comunicación usada en modo UART

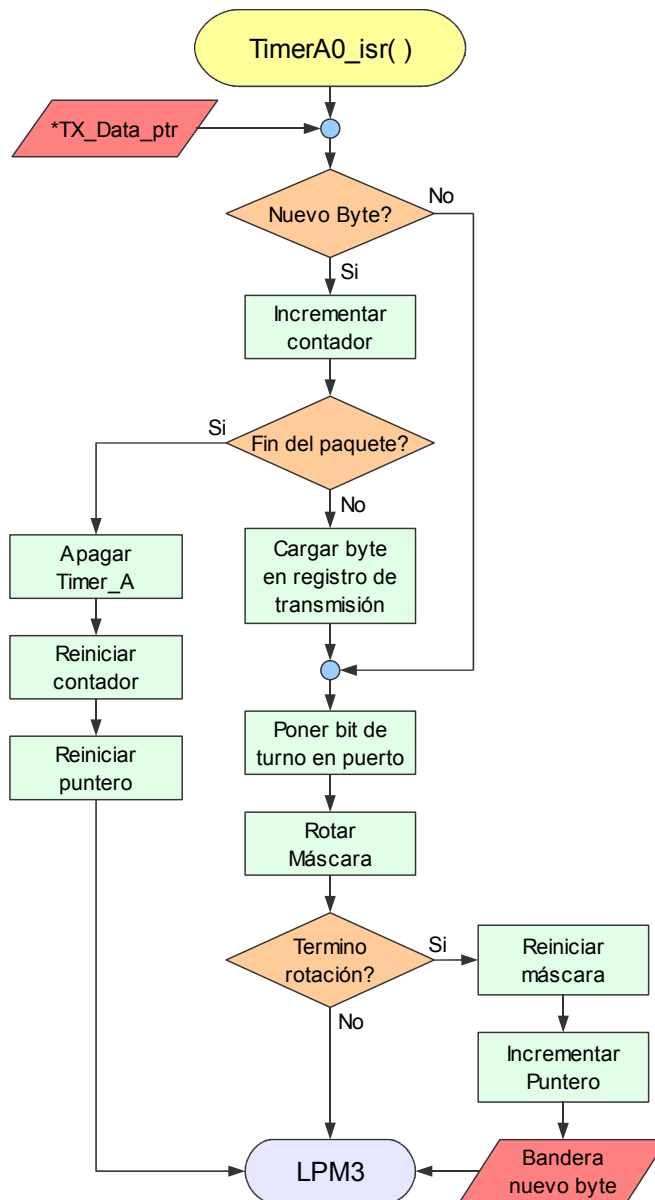


Fuente: Autores del proyecto

Para sincronizar la lectura de datos desde el PC, se incluyen 4 bytes predefinidos al inicio de la transmisión, seguidos de los 64 bytes correspondientes a los datos de las mediciones en los 2 canales y los 4 bytes del consecutivo de transmisión. El programa

implementado en LabView se encarga de buscar los 4 bytes de sincronismo antes de leer los bytes restantes del paquete. En la figura 28 se muestra el diagrama de ejecución de la rutina del TimerA.

Figura 28. Diagrama de flujo de ejecución para la rutina de servicio del Timer\_A



Fuente: Autores del proyecto



### 5.3. Programación del microcontrolador MSP430F2003

Se ha escogido el lenguaje C para la programación del microcontrolador. Antes de entrar a explicar las diferentes rutinas del programa, se hará una introducción a las herramientas de programación utilizadas.

#### 5.3.1. Juego de herramientas (Toolchain) y Ambiente de desarrollo (IDE):

Existe una buena variedad de herramientas de desarrollo disponibles para la familia de microcontroladores msp430. Las soportadas oficialmente, y ofrecidas por Texas Instruments son:

- *IAR Embedded Workbench* de IAR Systems AB
- *Code Composer Essentials*, basado en Eclipse

Ambas se encuentran disponibles en versión gratuita, con limitaciones en tamaño de programa generado y versiones pagadas, sin restricciones.

Además de las herramientas sugeridas por Texas Instruments, existen una cantidad considerable de alternativas, destacándose en especial las ofrecidas por Rowley Associates Ltd (CrossWorks), e ImageCraft Creations Inc (ICC430).

Finalmente, y correspondiendo a la opción utilizada para este proyecto, se encuentra el juego de herramientas MSPGCC Toolchain, basado en las herramientas GNU GCC, software libre y de código abierto, y el ambiente de desarrollo Code::Blocks, también software libre y de código abierto, licenciado bajo GPL3. Esta combinación de herramientas de desarrollo es también ofrecida por HighTec EDV-Systeme GMBH, de forma customizada bajo el nombre de PXROS System Development Platform.



### 5.3.1.1. Juego de Herramientas MSPGCC.

MSPGCC consta del compilador C, las herramientas “Binutils”, el depurador GDB y algunas otras herramientas necesarias para conformar un ambiente de desarrollo completo para los microcontroladores MSP430<sup>2</sup>. Estas herramientas pueden ser usadas bajo Windows, Linux, BSD y la mayoría de sistemas operativos basados en Unix.

El compilador msp430-gcc se basa en el compilador C GNU (GCC) 3.2.3 (a la fecha). Este compilador está acogido al estándar ANSI C89. Soporta diferentes niveles de optimización, inclusión de rutinas en ensamblador, manejo de interrupciones, operaciones en punto flotante, etc.

“Binutils” es una colección de herramientas para línea de comandos usadas para trabajar con archivos de ensamblador y en código objeto. Incluye el ensamblador msp430-as, el linker o encadenador msp430-ld y la herramienta msp430-objcopy, usada para convertir entre formatos de archivo objeto.

El depurador msp430-gdb esta basado en el depurador GNU GDB 5.7 (a la fecha). Para el desarrollo de un proyecto de programación es de gran importancia el uso de una herramienta de depuración, ya que aún cuando el proyecto sea compilado correctamente, pueden existir errores en la lógica del programa, que son muy difíciles de rastrear si no se tiene la posibilidad de controlar la ejecución del programa y la supervisión de los diferentes registros y variables. Aunque el IDE Code::Blocks cuenta con una interface de control para el depurador, la versión utilizada por el juego de herramientas MSPGCC no esta soportada, por lo cuál es necesario utilizar el depurador en modo de ventana de comandos.

Para realizar una sesión de depuración con MSPGCC se deben utilizar dos programas, debido a incompatibilidad de licencias entre el depurador msp430-gdb (GNU) y la librería de control de ejecución del microcontrolador (Propietaria de Texas Instruments). Para sortear este obstáculo, msp430-gdbproxy, es utilizado como “proxy” o puente entre el

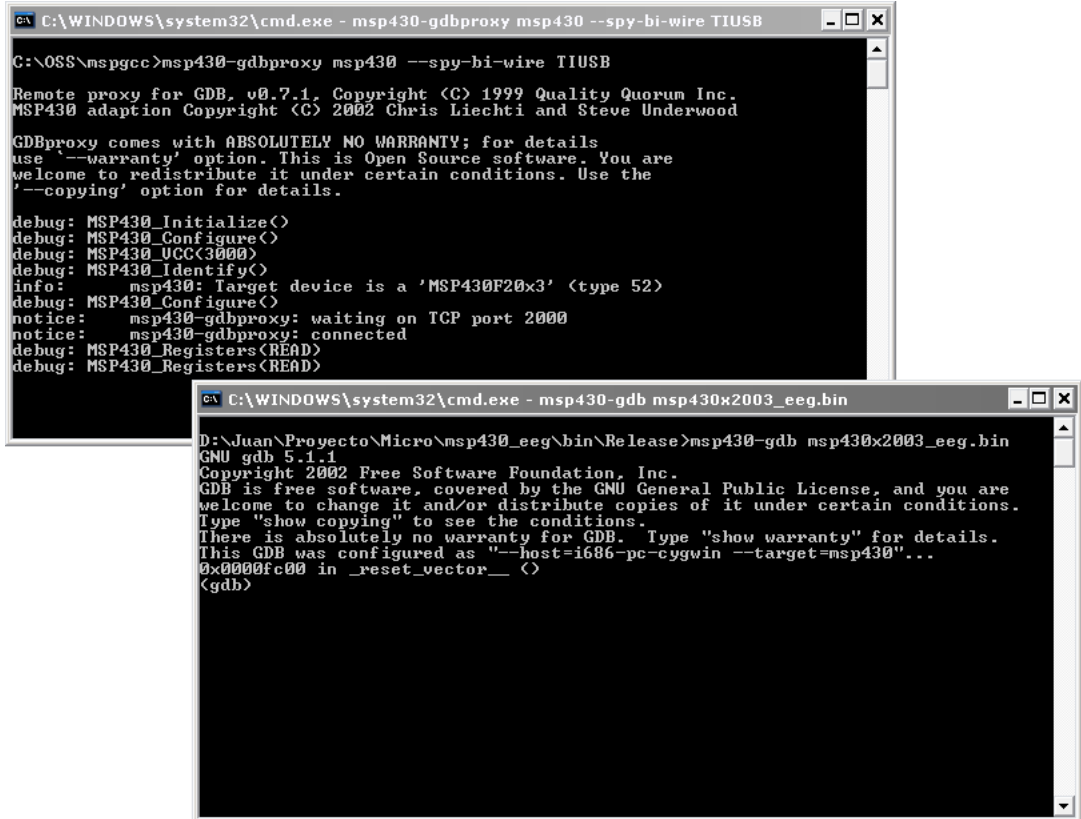
---

<sup>2</sup> MSPGCC se puede descargar de <http://mspgcc.sourceforge.net/>



depurador y el emulador flash, encargado del control de ejecución del microcontrolador. En la Imagen 1 se muestra una sesión de depuración para el msp430F20x3.

*Imagen 1. Sesión de depuración con msp430-gdb a través de msp430-gdbproxy.*



```

C:\WINDOWS\system32\cmd.exe - msp430-gdbproxy msp430 --spy-bi-wire TIUSB
C:\OSS\mspgcc>msp430-gdbproxy msp430 --spy-bi-wire TIUSB
Remote proxy for GDB, v0.7.1, Copyright (C) 1999 Quality Quorum Inc.
MSP430 adaption Copyright (C) 2002 Chris Liechti and Steve Underwood

GDBproxy comes with ABSOLUTELY NO WARRANTY; for details
use '--warranty' option. This is Open Source software. You are
welcome to redistribute it under certain conditions. Use the
'--copying' option for details.
debug: MSP430_Initialize(<)
debug: MSP430_Configure(<)
debug: MSP430_UCC<3000>
debug: MSP430_Identify(<)
info: msp430: Target device is a 'MSP430F20x3' (type 52)
debug: MSP430_Configure(<)
notice: msp430-gdbproxy: waiting on TCP port 2000
notice: msp430-gdbproxy: connected
debug: MSP430_Registers<READ>
debug: MSP430_Registers<READ>

C:\WINDOWS\system32\cmd.exe - msp430-gdb msp430x2003_eeg.bin
D:\Juan\Proyecto\Micro\msp430_eeg\bin\Release>msp430-gdb msp430x2003_eeg.bin
GNU gdb 5.1.1
Copyright 2002 Free Software Foundation, Inc.
GDB is free software, covered by the GNU General Public License, and you are
welcome to change it and/or distribute copies of it under certain conditions.
Type "show copying" to see the conditions.
There is absolutely no warranty for GDB. Type "show warranty" for details.
This GDB was configured as "--host=i686-pc-cygwin --target=msp430"...
0x0000fc00 in _reset_vector_ (<)
(gdb)
  
```

*Fuente: Autores del proyecto (Captura de pantalla)*

### 5.3.1.2. Ambiente de Desarrollo Integrado (IDE) Code::Blocks:

Code::Blocks<sup>3</sup> está especialmente diseñado para el desarrollo de proyectos de programación en C/C++, pero con la flexibilidad suficiente para ser adaptado a cualquier otro lenguaje de programación. Su estructura modular y basada en plug-ins, permite un alto nivel de configurabilidad, permitiendo añadir virtualmente cualquier funcionalidad deseada.

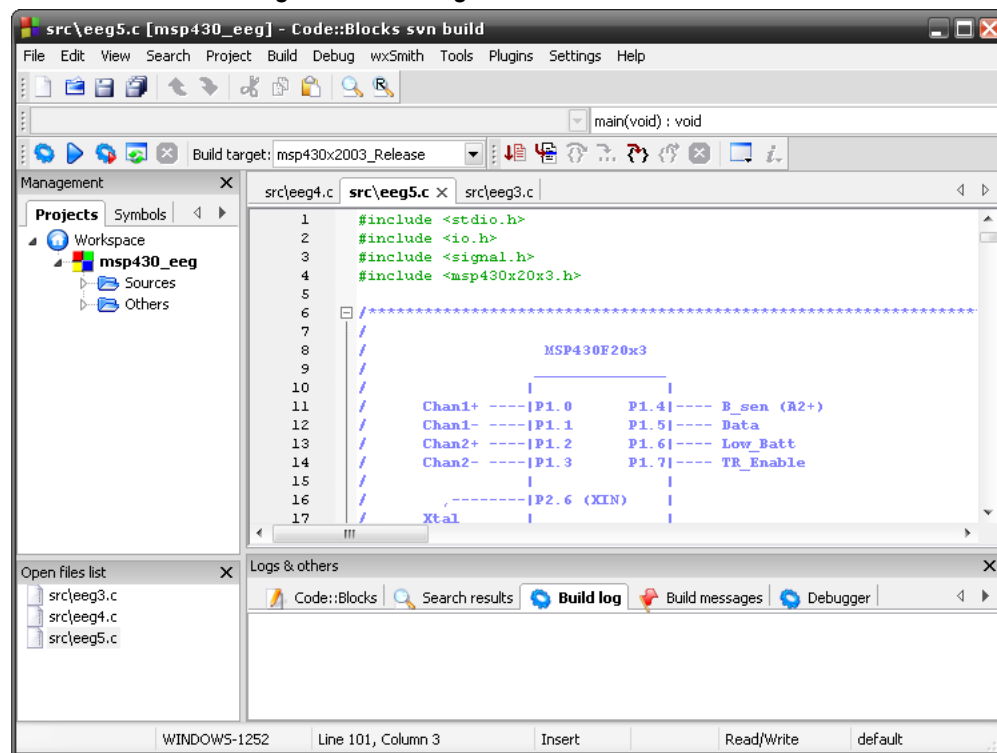
Soporta una amplia variedad de compiladores, incluyendo GCC (MinGW / GNU GCC),

<sup>3</sup> Code::Blocks se puede descargar de <http://www.codeblocks.org/>



MSVC++, Digital Mars, Borland C++, entre otros, con la posibilidad de añadir cualquier otro compilador de manera sencilla. Tiene soporte completo integrado para el depurador GNU GDB, y soporte limitado para el depurador MS CDB. El editor cuenta con resaltado de sintaxis, explorador de clases, auto-completado de código, múltiples vistas, interface por pestañas, etc.

Imagen 2. Interfaz gráfica del IDE Code:Blocks



Fuente: Autores del proyecto (Captura de pantalla)

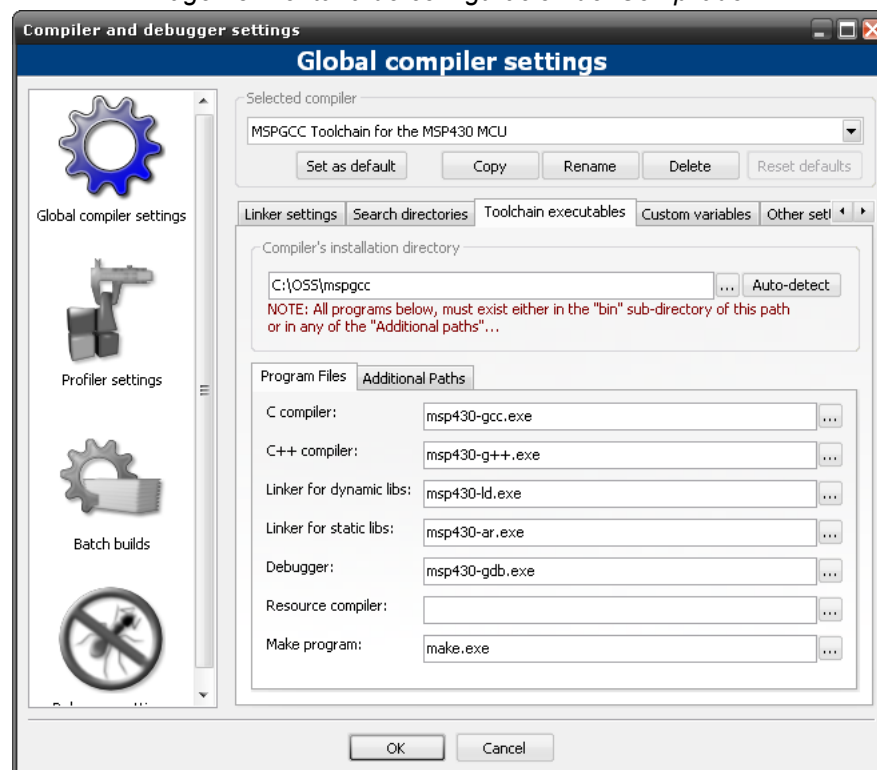
La interfaz de usuario del IDE está dividida en 3 partes principales. En la parte superior se encuentran las barras menús y de herramientas, en la parte izquierda se encuentra la ventana de administración de proyectos y archivos, y en la parte derecha, abarcando la mayor parte de la pantalla, se encuentra la ventana del editor y de mensajes.

Primero que todo, debe configurarse el IDE para utilizar el juego de herramientas MSPGCC. Esto se hace a través del menú Settings → Compiler and debugger.... Dado que el MSPGCC esta basado en GCC, se utiliza la configuración del compilador “GNU GCC Compiler” como base para añadir el nuevo compilador. Una vez seleccionado en la



lista de compiladores disponibles, se da click en el botón “Copy”, y aparece un cuadro de diálogo pidiendo introducir un nombre para el nuevo compilador. Se utilizará el nombre “MSPGCC Toolchain for the MSP430 MCU”. Una vez añadido el nuevo compilador, se deben configurar las diferentes opciones. Primero que todo, debe especificarse la ubicación de los archivos ejecutables, en la pestaña Toolchain ejecutables. En la imagen 3 se muestra la configuración utilizada. En las otras pestañas se especifican opciones globales que afectan el comportamiento del compilador para todos los “Targets” u Objetivos del proyecto. En la pestaña “Search directories” se especifica la ubicación de los archivos de cabecera (para el compilador) y las librerías (para el linker). Adicionalmente, se pueden configurar variables personalizadas en la pestaña “Custom variables” con el objeto de simplificar, con cierto grado de portabilidad, la configuración del compilador para los distintos objetivos.

Imagen 3. Ventana de configuración del Compilador.



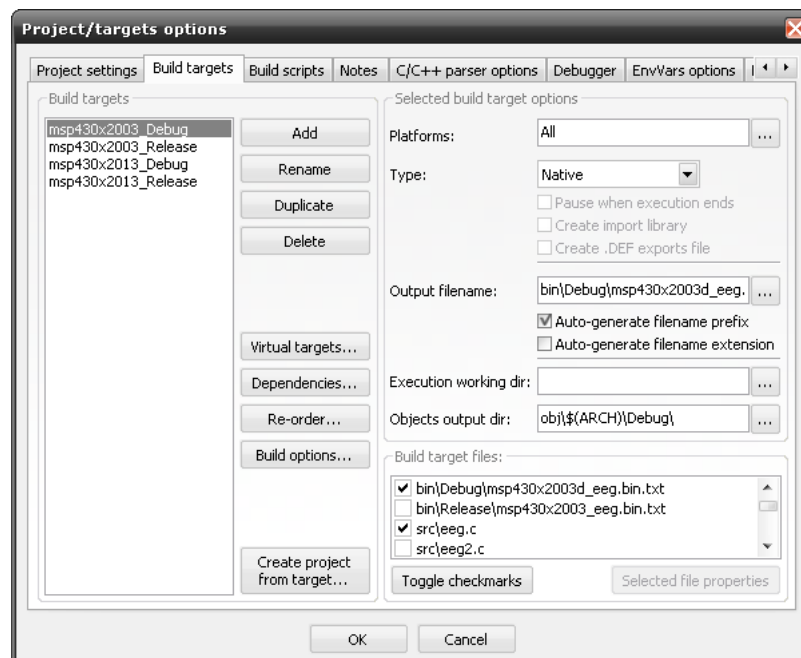
Fuente: Autores del proyecto (Captura de pantalla)

Una vez añadido el compilador a la lista, se puede proceder a la creación y configuración



del proyecto. Para crear un proyecto nuevo, se accede a través del menú File → New → Project.... De la lista de plantillas existentes, se selecciona Empty Project (proyecto vacío), y se sigue el asistente para creación de proyectos. Se debe indicar el nombre y ubicación de los archivos del proyecto, y se debe seleccionar el compilador que se va a usar.

*Imagen 4. Configuración de los Objetivos del proyecto.*

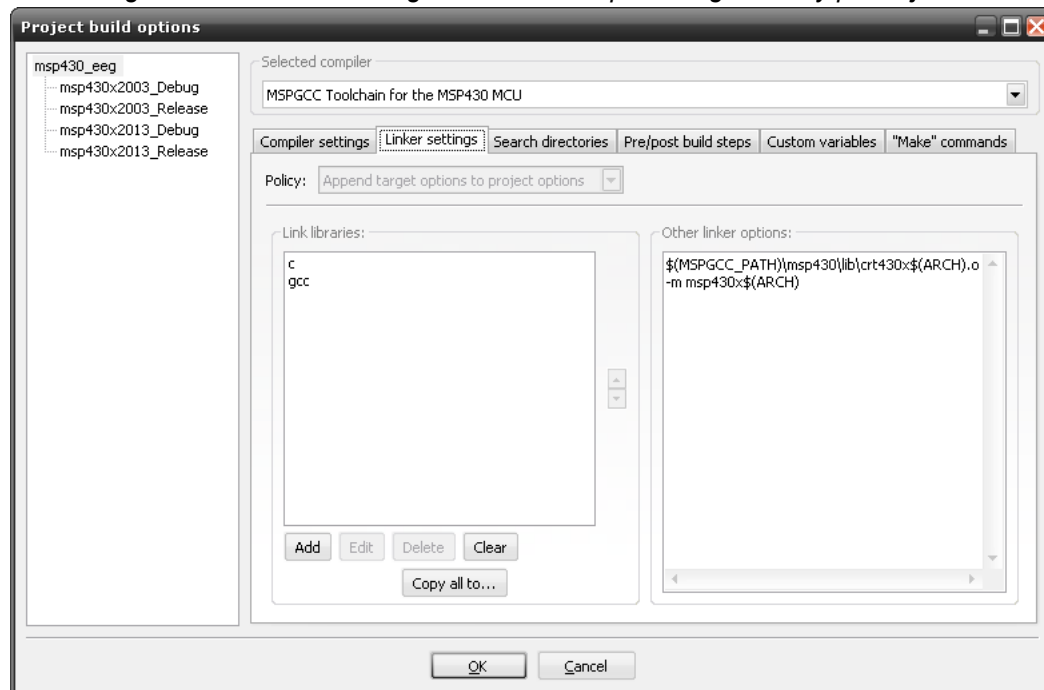


*Fuente: Autores del proyecto (Captura de pantalla)*

Para este caso, se usará el compilador MSPGCC, que ha sido añadido previamente a la lista de compiladores disponibles. El asistente permite además crear dos objetivos por defecto: Release y Debug. Las opciones de compilación para cada uno de los objetivos se debe revisar y ajustar de acuerdo al microcontrolador utilizado. En las imágenes 4 y 5, se muestran las ventanas de configuración del proyecto y de los distintos objetivos de compilación. La configuración para cada uno de los objetivos se puede revisar examinando el archivo del proyecto generado, y el efecto de cada opción utilizada puede consultarse en el manual de usuario del juego de herramientas.



Imagen 5. Ventana de configuración de las opciones globales y por objetivo.



Fuente: Autores del proyecto (Captura de pantalla)

## 5.4. INTERFAZ GRÁFICA

LabVIEW (Laboratory Virtual Instrument Engineering Workbench) es un lenguaje de programación gráfico para el diseño de sistemas de adquisición de datos, instrumentación y control desarrollado por National Instruments, Inc. LabVIEW es compatible con herramientas de desarrollo similares y puede trabajar con programas de otra área de aplicación, como Matlab. Permite una fácil integración con hardware, específicamente con tarjetas de medición, adquisición y procesamiento de datos .

### 5.4.1. Aplicaciones de LabVIEW

LabView tiene su mayor aplicación en sistemas de medición, como monitoreo de procesos y aplicaciones de control. También es muy utilizado en procesamiento digital de señales



(wavelets, FFT, Total Harmonic Distorsion THD), procesamiento en tiempo real de aplicaciones biomédicas, manipulación de imágenes y audio, automatización, diseño de filtros digitales, generación de señales, entre otras.

#### **5.4.2. Programación gráfica con LabView**

Los programas diseñados en LabVIEW son llamados Instrumentos Virtuales o VIs. Cada VI está conformado por un panel frontal en el cual se encuentran los controles que van a ser accionados por el usuario durante la ejecución del programa, y un diagrama de bloques que determina la operación del programa como tal. El diagrama de bloques contiene la representación gráfica de las diferentes operaciones y relaciones entre las variables del programa, determinadas por la interconexión de diversos elementos que operan sobre dichas variables, y que pueden ser elementos primarios o primitivos, o elementos compuestos, como otras VIs (SubVIs) con sus diferentes variables de entrada y salida. Al igual que en otros lenguajes de programación, el tipo de las variables y controles en LabVIEW debe ser establecido dependiendo de los datos a manejar, y pueden ser de tipo booleano, entero, punto flotante, string, etc.

Por su naturaleza gráfica, la ejecución de los programas en LabVIEW esta orientada al flujo de las señales, que por convención se ha establecido que estas se mueven de izquierda a derecha. Esto se puede observar en el diagrama de bloques durante la operación en modo “resaltado”, lo cual resulta muy útil al momento de depurar una aplicación.

#### **5.4.3. Programación de la interfaz de Adquisición y Visualización:**

La interfaz de adquisición y visualización de los datos ha sido hecha utilizando LabVIEW 7 Express. Se ha usado el puerto Serial del PC, controlado mediante la librería VISA de LabVIEW. Se ha puesto especial cuidado en tratar de usar preferiblemente funciones primitivas, para evitar sobrecargar el PC y degradar el desempeño del programa, siendo

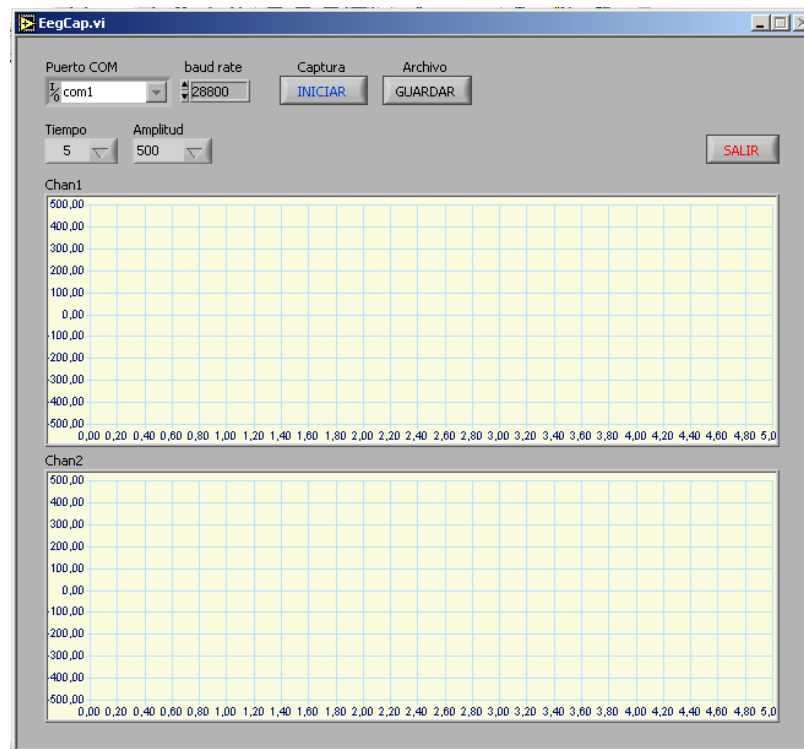


que se requiere la captura, visualización y almacenamiento de los datos en tiempo real, por periodos de tiempo prolongados.

La interfaz gráfica consta de 2 módulos independientes, uno dedicado a la captura y visualización en tiempo real de nuevos datos, y el otro, utilizado para visualizar archivos de captura guardados con anterioridad.

#### 5.4.3.1. Módulo de Captura y Visualización en tiempo real

*Imagen 6. Módulo de Captura y Visualización en tiempo real*



*Fuente: Autores del proyecto (Captura de pantalla)*

Este módulo continuamente realiza, a grandes rasgos, cuatro operaciones. Primero que todo, debe recibir correctamente cada paquete. Esto se logra realizando una búsqueda, en el flujo continuo de datos proveniente del puerto especificado, de un patrón de sincronización constante que ha sido introducido al inicio de cada paquete transmitido desde el módulo receptor, y que consta de una palabra de 4 bytes. Al encontrar la palabra



de sincronismo, se realiza la lectura de 68 bytes en el puerto, correspondientes a 16 datos para cada canal, más el consecutivo de transmisión.

Luego de la recepción de un nuevo paquete, debe realizarse la conversión y separación de los datos, ya que estos son recibidos como un “string” o cadena de caracteres, en la cual los datos vienen entrelazados como enteros de 16 bits, y un entero de 4 bytes correspondiente al consecutivo de transmisión. Como resultados, se obtiene una matriz de 2x16 conteniendo los datos de ambos canales, y el consecutivo de transmisión que es usado como base de tiempo para la visualización de los datos. El consecutivo es útil también para realizar un chequeo básico de los paquetes, verificando que este sea siempre creciente, y descartando de esta forma, paquetes que puedan llegar deformados.

Una vez separados los datos, se procede a graficarlos. La rutina encargada de graficar los datos debe llevar control de la cantidad de puntos mostrados en la pantalla y cuando esta se llene, debe mover el eje de tiempo y reiniciar el gráfico. Se han habilitado controles para seleccionar cuanto tiempo se quiere visualizar por gráfico, y la amplitud de los datos en la pantalla, cuya escala está calculada en microvoltios (aproximadamente, a partir de la ganancia).

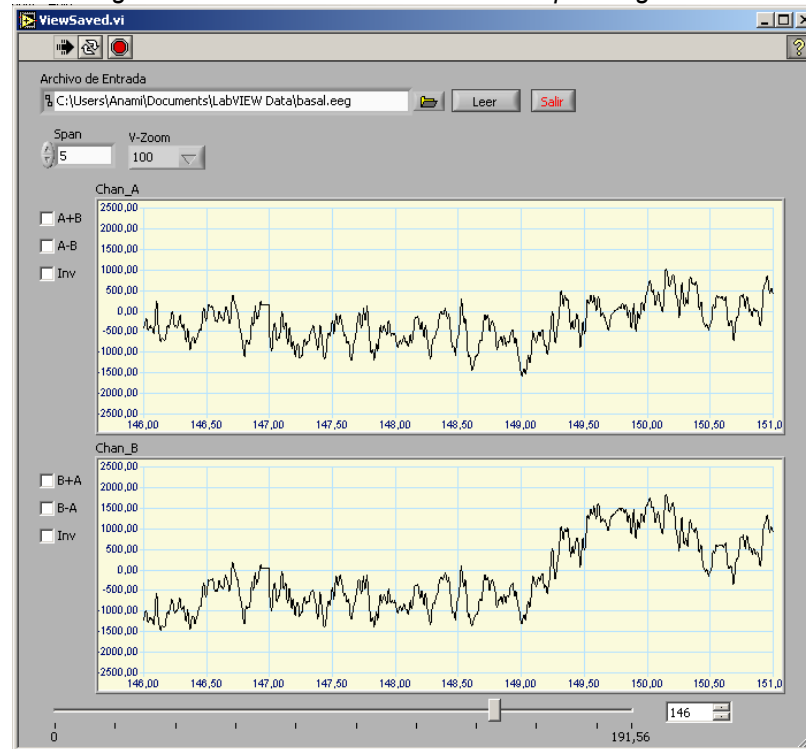
Por último, cada cierta cantidad de paquetes recibidos, los datos se escriben al disco. La escritura no se realiza en cada recepción, para mejorar el desempeño del programa y evitar poner a trabajar excesivamente el disco.

#### **5.4.4. MODULO DE VISUALIZACION DE CAPTURAS GUARDADAS.**

El módulo para la visualización de capturas guardadas, a diferencia del modulo de captura que funciona de forma ininterrumpida, es controlado mediante eventos, correspondientes a operación de los controles en su panel frontal, que pueden ser, abrir un nuevo archivo, cambia la escala o zoom del gráfico o activar algún tipo de operación básica entre canales.



*Imagen 7. Módulo de Visualización de capturas guardadas*



*Fuente: Autores del proyecto (Captura de pantalla)*

Cuando se abre un archivo de captura, se realiza primero un proceso de reindexado e interpolación de los datos para llenar los posibles vacíos resultante de paquetes de transmisión perdidos en la comunicación. Este proceso genera un nuevo archivo de trabajo temporal, que es almacenado en la carpeta de trabajo por defecto, el cual puede ser guardado para futuras sesiones. Si en el archivo existiesen vacíos en el consecutivo, se producirá un desfase entre la ventana de tiempo del gráfico y el trazo de los datos, llegando incluso a encontrarse completamente por fuera de la zona visible.

La operación de los controles de escala, permite cambiar el tamaño de la ventana de tiempo mostrada en pantalla, y el nivel de acercamiento realizado a los datos. De esta manera, es posible revisar un detalle pequeño, o una sección más amplia. Los rangos posibles van desde 1 a 30 segundos para la ventana de tiempo, y zoom de 100% hasta 5000%.



## 6. DISEÑO DEL HARDWARE.

### 6.1. KiCAD

Se ha utilizado la herramienta KiCAD<sup>4</sup> para la captura de esquemáticos y diseño del circuito impreso o PCB. Se trata de un software multiplataforma libre y de código abierto, bajo licencia GPL2, desarrollado por Jean-Pierre Charras, profesor en las áreas de ingeniería eléctrica y procesamiento de imágenes del Institut Universitaire de Technologie – IUT de Grenoble (Francia) e investigador del Laboratoire des Images et des Signaux perteneciente al Centre National de la Recherche Scientifique – CNRS.

El software comprende un gestor de proyectos y cuatro herramientas de diseño: EESchema (Capturador de esquemáticos), CVpcb (asocia componentes con las huellas), PCBnew (Para diseño del PCB), y GerbView (Visor de archivos Gerber).

#### 6.1.1. KiCAD – Gestor de proyectos

Permite crear un nuevo proyecto o abrir uno existente, ejecutar EESchema, PCBnew, etc. También ofrece la posibilidad de archivar el proyecto, creando de esta forma un archivo comprimido en formato zip, conteniendo todos los archivos (esquemáticos, PCBs, librerías, archivos de configuración) necesarios para trabajar en el proyecto. Esto es útil, por ejemplo, para transportar el proyecto de un computador a otro, o para compartir el proyecto con otras personas. En la Imagen 8 se muestra la interfaz del gestor de proyectos.

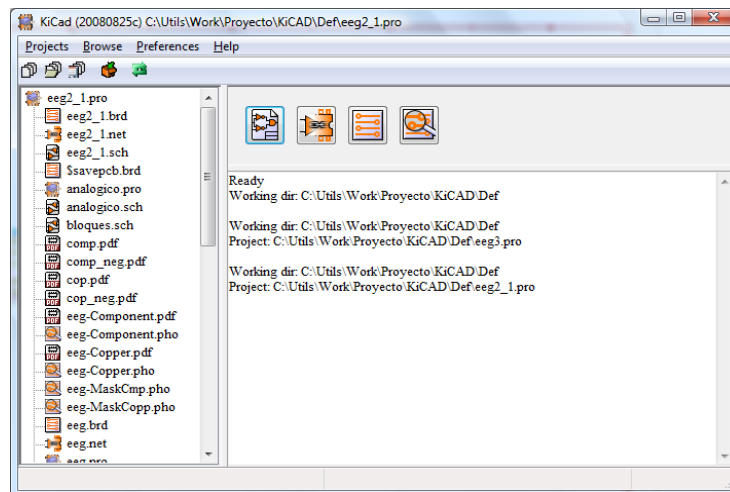
---

<sup>4</sup> KiCAD puede descargarse de [http://www.lis.inpg.fr/realise\\_au\\_lis/kicad/](http://www.lis.inpg.fr/realise_au_lis/kicad/)

### 6.1.2. EESchema – Capturador de esquemáticos:

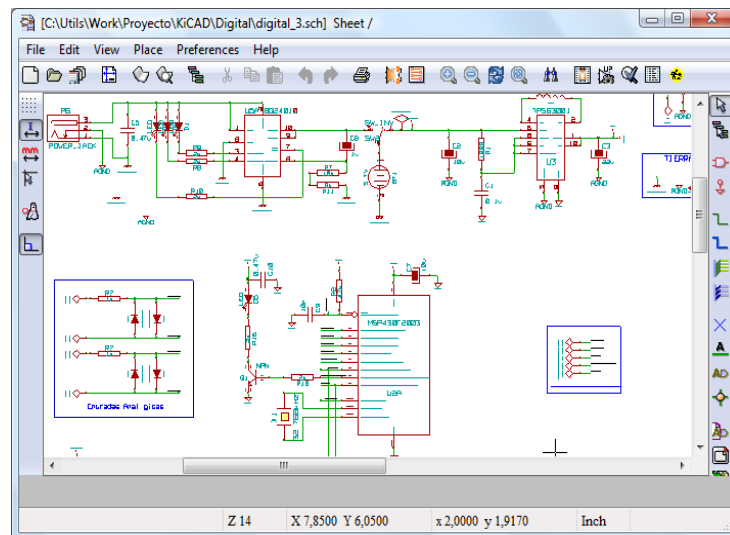
La captura de los esquemáticos se puede hacer en hojas simples o en múltiples hojas ordenadas en forma jerárquica. Una vez creado el diseño, se puede realizar un chequeo de reglas eléctricas (ERC) para descartar errores. Luego de verificar el diseño, se procede a crear el Netlist que será utilizado por PCBnew. En la Imagen 9 se muestra la interfaz correspondiente a EESchema.

Imagen 8. KiCAD - Gestor de Proyectos



Fuente: Autores del proyecto (Captura de pantalla)

Imagen 9. EESchema - Captura de esquemáticos



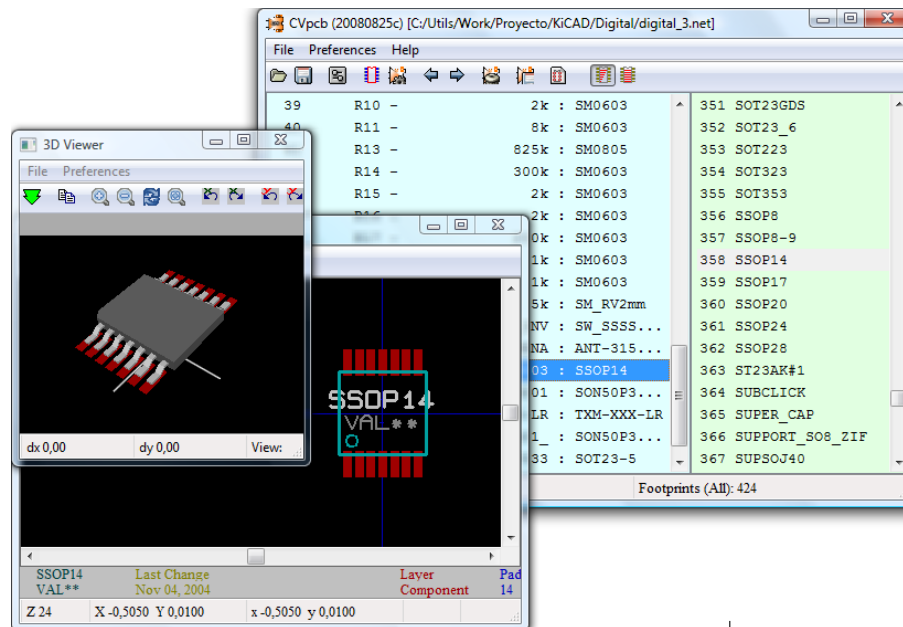
Fuente: Autores del proyecto (Captura de pantalla)



### 6.1.3. CVpcb – Asociación de componentes y huellas

Antes de proceder a realizar el diseño del PCB, se debe hacer la asociación de cada componente presente en el esquemático con su respectiva huella o footprint. Una vez la asociación está completa, se debe actualizar el Netlist para incluir los módulos a utilizar en PCBnew. CVpcb permite visualizar las huellas y si está disponible, su representación en 3D, para ayudar en el proceso de escoger las huellas apropiadas. En la Imagen 10 se muestra la interfaz correspondiente a CVpcb.

Imagen 10. CVpcb - Asociación de componentes y huellas



Fuente: Autores del proyecto (Captura de pantalla)

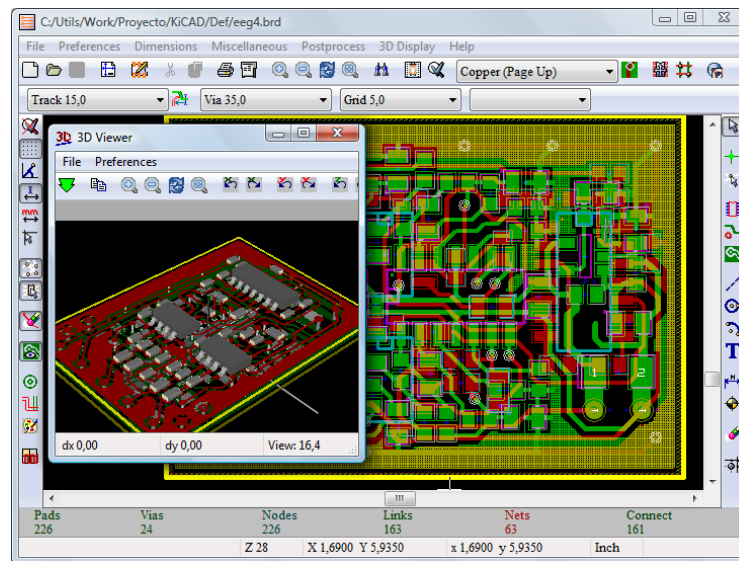
### 6.1.4. PCBnew – Diseño del circuito impreso (PCB)

Una vez hecha la asociación de las huellas a los componentes, se procede a realizar el diseño de la placa de circuito impreso. Primero que todo, debe leerse el Netlist, lo cual cargará en el espacio de trabajo todos los módulos a usar. Se ha optado por trabajar en



placas de doble cara, por facilidad y economía en la fabricación, ya que el uso de placas con capas de cobre internas requiere la contratación de fabricantes en otras ciudades, lo cual es un proceso costoso y demorado.

*Imagen 11. PCBnew - Diseño de circuitos impresos (PCB)*



*Fuente: Autores del proyecto (Captura de pantalla)*

## 6.2. DISEÑO DEL PCB PARA LA ETAPA ANALÓGICA DE ADQUISICIÓN.

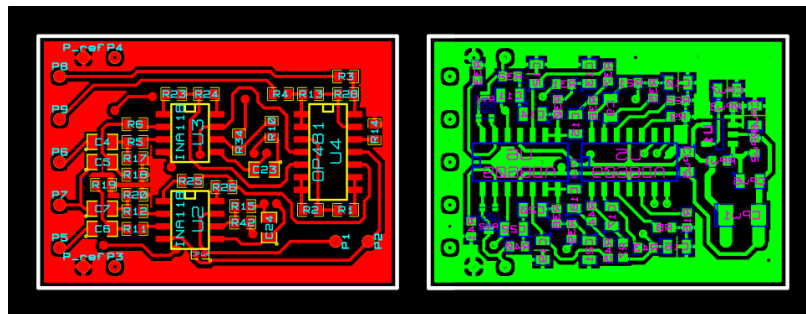
Dependiendo del tipo de señales que se requieren manejar, las consideraciones de diseño para cada una de las etapas varía. La etapa de adquisición analógica es la más flexible en cuanto a utilización de las capas de cobre, ya que se van a manejar señales de baja frecuencia, lo cual reduce los efectos de interferencia o crosstalk entre los elementos del circuito. Esto permite aprovechar ambas capas de la placa tanto para ubicación de elementos como para el trazado de pistas. Por otra parte, el circuito analógico es susceptible a la interferencia de alta frecuencia generada por los elementos digitales de la etapa de digitalización y transmisión. Debido a esto, el circuito analógico será protegido con una jaula de Faraday.

El diseño ha sido distribuido en tres bloques. El primero, abarcando toda la capa superior, también llamada “Componentes” contiene los amplificadores de instrumentación con sus



respectivos terminales para los electrodos, y el circuito usado para generar la señal del circuito de escudo y de realimentación para cancelación de modo común. El segundo bloque, abarca casi el 75% de la capa inferior o “Cobre”, y contiene el circuito de acople en DC para los amplificadores de instrumentación y los filtros Butterworth y Notch. Finalmente, en el espacio restante de la capa Cobre, se encuentra en circuito de alimentación, usado para generar el nivel de tierra virtual de baja impedancia.

*Imagen 12. Diseño del PCB para la etapa analógica de adquisición*



*Fuente: Autores del proyecto.*

### 6.3. DISEÑO DEL PCB PARA LA ETAPA DE DIGITALIZACIÓN, MODULACIÓN Y TRANSMISIÓN.

Las consideraciones de diseño para esta placa difieren en gran medida de las de la etapa de adquisición, ya que los elementos en su mayoría, van a manejar señales digitales, con excepción de las entradas analógicas al convertor SD16 del microcontrolador, y la salida de RF del transmisor. Se encuentra también el cristal oscilador utilizado para generar la base de tiempo para la transmisión.

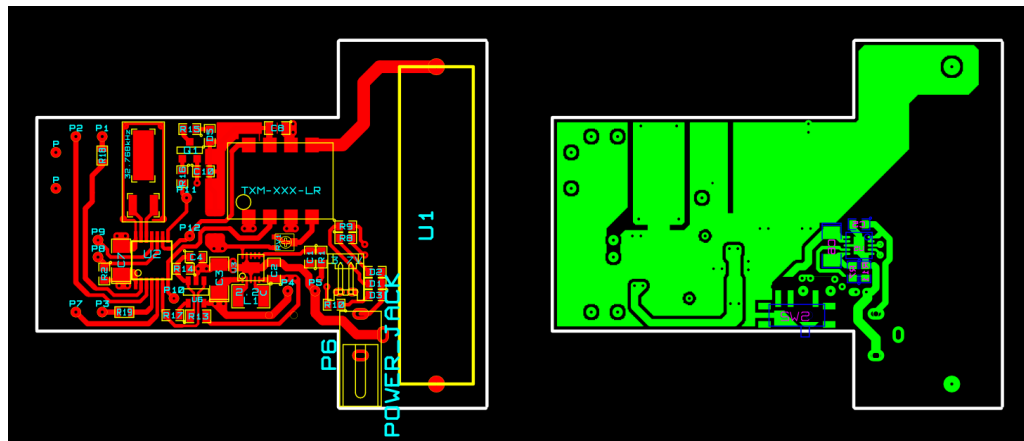
La diferencia más notoria con el diseño del circuito analógico, es la restricción del uso de la capa inferior o “cobre” para ubicar elementos de circuito en ella. De manera similar, se trató de utilizar al mínimo esta capa para trazar pistas o caminos de señal.

Para minimizar el crosstalk o interferencia entre los diferentes elementos del circuito, se tuvo especial cuidado en el trazado de los planos de tierra. Estos se han distribuido en



una configuración de estrella, unidos en un punto cercano al regulador. La parte analógica abarca las entradas de los dos canales provenientes de la etapa de adquisición, y parte del microcontrolador. El resto del plano de tierra maneja señales de naturaleza digital y esta dividido entre el transmisor y el microcontrolador, además de una isla de tierra para proteger el cristal de 32kHz.

Imagen 13. Diseño del PCB para la etapa de digitalización, modulación y transmisión



Fuente: Autores del proyecto.

Como una excepción a la manera de distribuir los elementos, se encuentra el circuito de control de carga de la batería, el cual se ubica en la capa inferior o “Cobre”, cercano al conector del cargador. Opuesto a este, en la capa superior o “Componentes”, se encuentra el conector de la batería y los leds indicadores del proceso de carga.

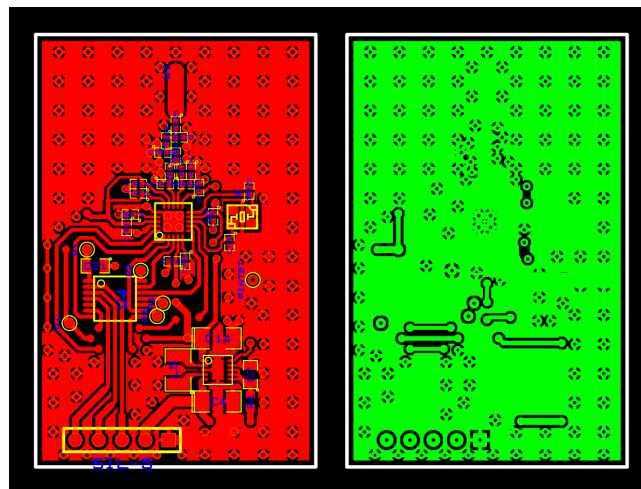
Finalmente, en el extremo de la placa, sobre un ensanchamiento que le da al circuito impreso una figura de T, se encuentra la antena helicoidal, la cual se conecta al transmisor mediante una microtira (microstrip) de cobre, calculada de modo que su impedancia característica sea de 50 ohms a la frecuencia de trabajo. Los valores para el ancho de la microtira fueron obtenidos con la ayuda de la herramienta “Microstrip Analysis/Synthesis Calculator” encontrada en línea en <http://mcalc.sourceforge.net/>.



#### 6.4. DISEÑO DEL PCB PARA EL MÓDULO RECEPTOR.

El diseño del PCB para el módulo receptor se basó en el diseño de referencia recomendado por Texas Instruments para el transceptor CC1101, que se puede descargar de la página oficial de este fabricante. En este diseño, la totalidad de los elementos se ubican en la capa superior o “Componentes”, dedicando la capa inferior o “Cobre” como plano de tierra, y para enrutar algunas señales.

*Imagen 14. Diseño del PCB para el módulo receptor*



*Fuente: Autores del proyecto.*

En el diseño, el transceptor ocupa una posición central en la placa, acompañado en uno de sus lados por el cristal de 26MHz con sus respectivos capacitores de carga. En uno de los extremos se encuentra el punto de conexión para la antena, con el balún de acople. En el extremo opuesto se ubican el microcontrolador y el regulador. Se ha dejado un header a través del cual se alimenta el circuito, y se accede a las señales de comunicación UART en niveles TTL.

La alimentación del circuito y la traducción de niveles de señal no se han incluido en la placa del receptor y son suministrados por un circuito aparte, para brindar mayor flexibilidad. De esta forma la comunicación puede implementarse a través del puerto serial COM del PC utilizando elementos discretos o un circuito integrado como el MAX232 para



la traducción de niveles, o a través de USB, utilizando un integrado de comunicación como el FT232R de FTDI o el CP2101 de Silicon Laboratories, Inc. La alimentación puede suministrarse mediante baterías o con un adaptador de pared convencional, para el caso de RS232, o directamente a través del puerto USB en el otro caso.



## 7. EVOLUCION DEL DISPOSITIVO

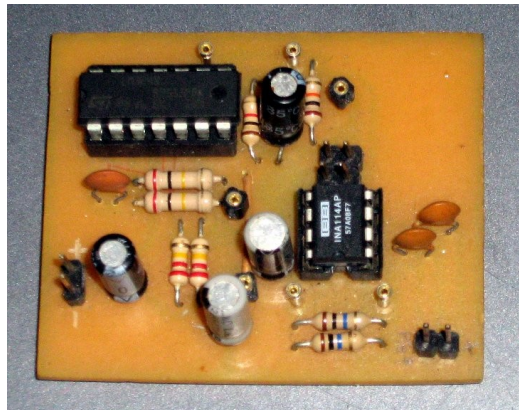
### 7.1. PRIMERA FASE.

#### 7.1.1. *Etapa Analógica.*

Es de tener en cuenta que el capítulo 6 contiene el diseño del circuito impreso y en el capítulo 4 se describen los componentes y el diseño que cumple con las características requeridas para la construcción del dispositivo definitivo.

##### 7.1.1.1. Primer prototipo

*Imagen 15. Primer Prototipo etapa de adquisición*



*Fuente: Autores del proyecto*

Para analizar el desempeño real del diseño de la etapa analógica, se construyó un primer prototipo sin circuito de realimentación, escudo y acople en AC; con elementos pasivos de tipo axial como resistencias con una tolerancia del 5% y capacitores con una tolerancia del 10%; elementos activos como amplificadores de instrumentación de fabricante Analog Devices con referencia AD 627 y amplificadores operacionales de fabricante ST con



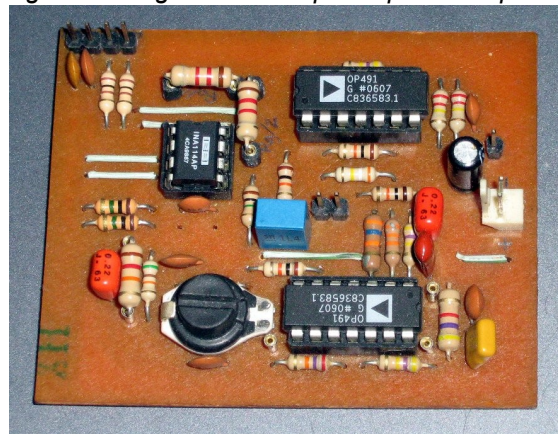
referencia LM 324 todos de montaje DIP; los dispositivos se montaron en una baquelita de cara sencilla y se alimentó la configuración con las fuentes de poder del laboratorio de electrónica de la Universidad.

Para las pruebas iniciales realizadas se operó un espécimen de laboratorio al cual se le implantó un electrodo profundo de acero inoxidable que se conectó al dispositivo a través de un cable multifilar ordinario sin escudo. También se usaron electrodos superficiales de cloruro de plata conectados a través de cables al dispositivo y ubicados en el pecho de un voluntario que accedió a la medición señales de tipo cardíaco.

Los resultados obtenidos mostraron saturación en los amplificadores debido al ruido de 60 [Hz] introducido por la red eléctrica y por los instrumentos de medida utilizados; este ruido no permitió diferenciar la actividad cerebral o cardíaca de los especímenes analizados; se observó que sin circuito de realimentación en modo común (pierna derecha) no se eliminaban señales de modo común indeseadas.

#### 7.1.1.2. Segundo prototipo.

*Imagen 16. Segundo Prototipo etapa de adquisición*



*Fuente: Autores del proyecto*

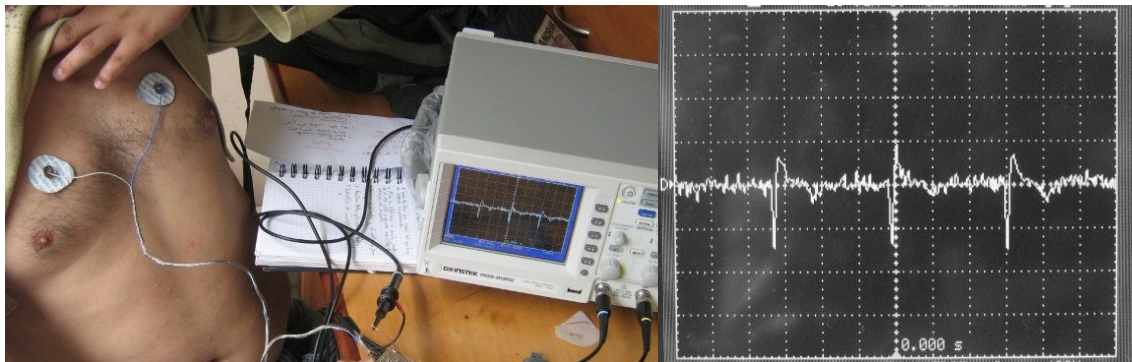
Para la construcción del segundo prototipo se incluyó el circuito de realimentación de modo común, escudo y acople en AC, repitiéndose las pruebas realizadas al prototipo inicial.



Los elementos pasivos conservaron las características usadas en el anterior prototipo; por el contrario los elementos activos fueron de mejores características de desempeño que los usados anteriormente; el amplificador de instrumentación empleado era del fabricante Texas Instruments con referencia INA 114, los amplificadores operacionales usados fueron del fabricante Analog Devices con referencia OP 491 todos de montaje DIP.

En las pruebas realizadas al segundo prototipo se observó que se presentaba una oscilación en el nivel de referencia central del circuito de alimentación que no era atribuible a la fuente de alimentación (fuentes de laboratorio, adaptadores y baterías) y que arrojaba como resultado un circuito saturado a una frecuencia de oscilación dominante; por lo tanto se procedió a eliminar un capacitor ubicado a la salida del generador de referencia central. Este cambio de diseño permitió observar actividad cardíaca de un voluntario, sin embargo el nivel de ruido aun era muy considerable debido a la alimentación empleada; las fuentes de poder y los elementos de medida del laboratorio indujeron ruido de 60 [Hz] de la red eléctrica.

*Imagen 17. Señal cardíaca registrada con el prototipo número dos*



*Fuente: Autores del proyecto.*

Los resultados de las pruebas pusieron en evidencia que la única forma práctica de eliminar en su mayoría el ruido de la red eléctrica manteniendo el tamaño reducido era la construcción de un dispositivo con alimentación por baterías.



## 7.2. SEGUNDA FASE.

### 7.2.1. *Etapa Analógica (Tercer prototipo).*

Para la construcción del dispositivo con alimentación a través de baterías (cumpliendo los parámetros especificados en el capítulo 6) se importaron dispositivos electrónicos que no se encuentran en el mercado nacional como son resistencias de montaje superficial de tamaño 0402, 0603 (en su mayoría se usó de este tamaño) con tolerancia al 1%; capacitores de montaje superficial de tamaño 0402, 0603, 0805, 1210 con tolerancia al 5% y potenciómetros de montaje superficial de 2 mm. Este prototipo portátil conserva las características de diseño descritas en el numeral 7.1.1.2.

Para la construcción del dispositivo alimentado por baterías se construyó de forma simultánea también la etapa digital con el fin de definir el tipo de alimentación que se debía suministrar y el circuito que la iba a proporcionar.

### 7.2.2. *Etapa digital.*

A diferencia de los circuitos analógicos que requieren características de diseño más complejas debido al comportamiento de las señales continuas en el tiempo, los circuitos digitales son más versátiles dado el mismo conjunto de entradas (tanto en valor como en serie de tiempo), cualquier circuito digital que sea diseñado en la forma adecuada, siempre produce exactamente los mismos resultados. Las salidas de un circuito analógico varían con la temperatura, el voltaje de la fuente de alimentación y otros factores.

La facilidad con la que se puede diseñar, escribir y depurar programas permite especificar o modelar la función del circuito digital. Los dispositivos digitales son muy veloces y proporcionan mucha funcionalidad en un espacio pequeño.

El sistema digital programable a trabajar permite flexibilidad a la hora de reconfigurar las operaciones de procesamiento solamente con cambiar el programa sin necesidad de cambiar dispositivos físicos. La reconfiguración de un sistema analógico implica el rediseño del



hardware, seguido de la comprobación y verificación para ver que opera correctamente; es por esto que inicialmente se trabajó solo la etapa analógica.

Las tolerancias en los componentes de los circuitos analógicos hacen que para el diseñador del sistema sea extremadamente difícil controlar la precisión de un sistema de procesamiento analógico de señales; en cambio, el sistema digital permite un mejor control de los requisitos de precisión. Tales requisitos definen, por ejemplo, los requerimientos en la precisión del convertidor A/D y del procesador.

La etapa digital (del transmisor) debe tomar las señales entregadas por la etapa de adquisición y transmitir las en forma de radio-frecuencia al receptor remoto. En este proceso están involucrados como mínimo 3 dispositivos digitales que son un convertidor A/D, un radiotransmisor y un microcontrolador encargado de coordinar la interacción entre los dos. En la actualidad, es común encontrar microcontroladores que incluyen en sus periféricos internos uno o varios convertidores A/D, e incluso ya empiezan a aparecer algunos transceptores de radio que llevan un microcontrolador integrado.

El diseño de la etapa digital empieza con la elección de los dispositivos adecuados. Por la naturaleza del diseño los dispositivos deben ser de tamaño reducido y tener un bajo consumo de potencia. Para minimizar la utilización de espacio en el PCB, se optó por investigar opciones integradas al menos a nivel de microcontrolador y convertidor A/D. Entre los fabricantes más conocidos de microcontroladores se revisaron las características de los dispositivos fabricados por Microchip, Freescale (Motorola), Atmel, Silicon Labs, Maxim y Texas Instruments. Entre estos, se escogieron 2 posibles candidatos: el PIC12F615 de Microchip, y el MSP430F20x3 de Texas Instruments.

Para la implementación de la comunicación por Radio Frecuencia, se estudiaron las opciones integradas ofrecidas por Texas Instruments, Silicon Labs y Linx Technologies. Para la transmisión se optó por la solución de más fácil implementación, correspondiendo al integrado TXM-315-LR ofrecido por Linx Technologies, que consta de un transmisor completamente integrado, requiriendo únicamente una resistencia (para la graduación de la potencia de transmisión) y la antena. La modulación utilizada es de tipo OOK y los



datos son transmitidos desde el microcontrolador a través de una interfaz serial directa. De esta forma, solo es necesario controlar el flujo de datos del microcontrolador al transmisor.

Esta decisión se tomó para agilizar el proceso de diseño tanto de hardware como de software, y poder garantizar el correcto funcionamiento sin contratiempos al menos en uno de los extremos de la comunicación, pero se recomienda en futuras revisiones del diseño reemplazar el transmisor por uno que permita implementar otros esquemas de modulación y mayores velocidades de comunicación. Para el módulo receptor se optó por el transceptor integrado CC1101 fabricado por la división ChipCon de Texas Instruments. A diferencia del transmisor, el transceptor es altamente configurable, permitiendo variar casi todos los parámetros de la comunicación, incluyendo frecuencia, tipo de modulación, codificación, sensibilidad, etc.

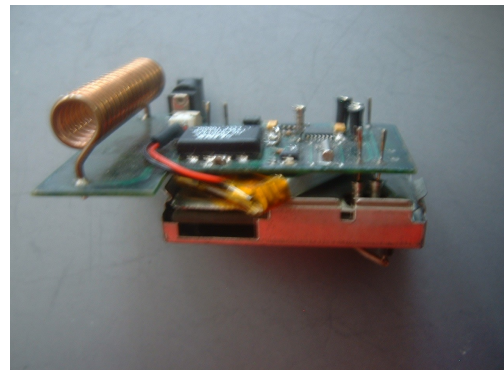
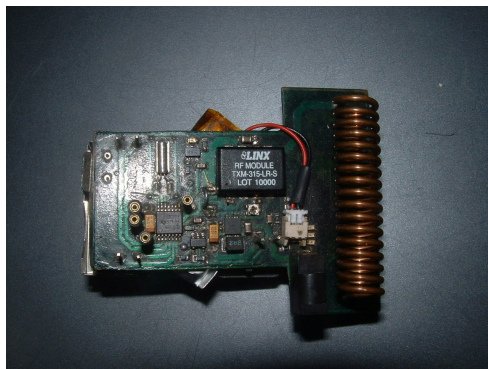
El diseño del módulo transmisor se inició teniendo en cuenta el PIC12F615 como microcontrolador, ya que cumplía con las características mínimas deseadas, teniendo a su favor el tamaño, tratándose de un integrado en encapsulado de 8 pines. Sin embargo, al avanzar en el diseño del receptor, se encontró que en éste era más favorable el uso del MSP430F20x3, por contar con un módulo de comunicación serial SPI integrado, necesario para la comunicación con el radioreceptor. Para evitar el tener que manejar dos familias de microcontroladores diferentes, se tomó la decisión de sustituir el PIC12F615 por un MSP430F20x3 en el transmisor. Este cambio trajo como consecuencia el aumento en el área de circuito impreso necesaria, ya que éste microcontrolador viene en presentación de encapsulado de 14 pines y requiere adicionalmente un cristal externo para la generación de una base de tiempos precisa, necesaria para lograr una buena sincronización entre el transmisor y el receptor. Este cambio trajo además algunas consecuencias favorables, por sus características de bajo consumo de potencia y por el conversor A/D, ya que cuenta con un conversor tipo Delta-Sigma de 16 bits, frente a uno de tipo SAR de 10 bits del PIC.

En la etapa digital del transmisor se acomodaron también los circuitos correspondientes al regulador para la alimentación, y el controlador de carga de la batería, ya que estos son



susceptibles de generar ruido de alta frecuencia. Se escogió como regulador, un convertor DC/DC de tipo buck-boost de alta eficiencia, para aprovechar al máximo el rango de voltaje de la batería en su ciclo de descarga. El circuito de control de carga de batería se escogió de acuerdo al compuesto de la misma, habiéndose escogido una batería de compuesto de polímero de litio, por su alta densidad de carga y mayor seguridad.

Una vez terminado el diseño del hardware, se procedió a la implementación de la programación de los microcontroladores. El control de la comunicación fue implementado iterativamente. Se empezó utilizando un patrón fijo en la transmisión y operando el receptor en modo serial directo para verificar que el receptor estuviera configurado a la frecuencia correcta. Una vez verificado el funcionamiento de esta comunicación básica se procedió a implementar los controles adicionales en la transmisión que son el uso de un preámbulo de transmisión, una cabecera que incluye una palabra de sincronismo, una dirección y la longitud del paquete, y, finalmente, la carga útil más una palabra de comprobación CRC16.



## 8. ANALISIS DE RESULTADOS

### 8.1. RESPUESTA EN FRECUENCIA

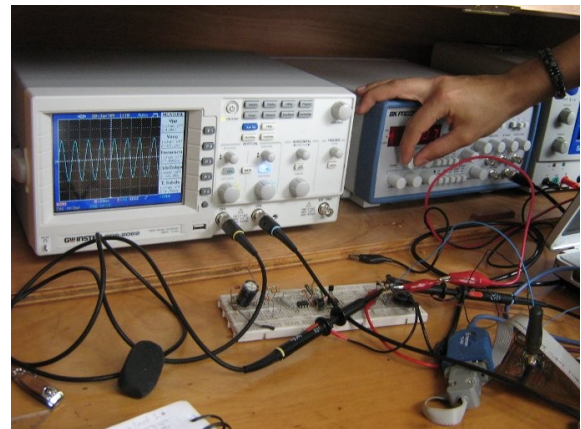
Con el objeto de conocer la respuesta en frecuencia de la etapa de adquisición definitiva, se realizó una prueba controlada en los laboratorios de la Universidad Industrial de Santander. La prueba consistió en alimentar, utilizando el generador de senales, una onda senoidal de amplitud 2 V (pico), a través de un divisor de tensión y realizando un barrido en todo el rango de frecuencias de interés. Las resistencias se caracterizaron utilizando el puente de impedancia, encontrando valores de  $9.905\Omega$  y  $10,15\Omega$ . El valor de tensión en el divisor resistivo se tomó como entrada para ambos canales del dispositivo de adquisición, el cual debe ser:

$$V_i = 2 \times \frac{10,15}{9905 + 10,15} V = 2,05 mV$$

Los valores obtenidos son:

Tabla 2. Respuesta en Frecuencia

F [Hz]	Canal 1		Canal 2	
	Amplitud [mV]	Ganancia [dB]	Amplitud mV	Ganancia [dB]
0,14	15,34	17,49	16,52	18,14
0,2	28,32	22,82	35,4	24,76
0,3	61,36	29,53	70,8	30,78
0,4	89,68	32,83	96,76	33,49
0,5	120,36	35,39	132,16	36,2
0,6	153,4	37,49	169,92	38,38
0,8	200,6	39,82	224,2	40,79
1	247,8	41,66	278,48	42,67
1,5	295	43,17	342,2	44,46
2	342,2	44,46	365,8	45,04
5	365,8	45,04	401,2	45,84
10	365,8	45,04	401,2	45,84
15	330,4	44,16	377,6	45,32





F [Hz]	Canal 1		Canal 2	
	Amplitud [mV]	Ganancia [dB]	Amplitud mV]	Ganancia [dB]
20	306,8	43,51	349,28	44,64
25	271,4	42,45	306,8	43,51
30	236	41,23	271,4	42,45
35	188,8	39,3	224,2	40,79
40	141,6	36,8	165,2	38,14
42	122,72	35,55	146,32	37,08
44	106,2	34,3	129,8	36,04
45	94,4	33,28	113,28	34,86
46	89,68	32,83	106,2	34,3
47	77,88	31,6	94,4	33,28
48	70,8	30,78	82,6	32,12
49	61,36	29,53	73,16	31,06
50	56,64	28,84	66,08	30,18
51	42,48	26,34	56,64	28,84
52	37,76	25,32	44,84	26,81
53	30,68	23,51	40,12	25,84
54	25,96	22,06	31,86	23,84
55	16,52	18,14	25,96	22,06
56	12,98	16,04	18,88	19,3
57	10,62	14,3	14,16	16,8
58	4,72	7,25	9,91	13,7
59	2,83	2,82	4,72	7,25
59,5	2,36	1,23	0,83	-7,88
60	2,36	1,23	1,18	-4,79
61	5,19	8,08	3,54	4,76
62	7,08	10,78	5,9	9,19
63	9,44	13,28	8,26	12,12
65	14,16	16,8	14,16	16,8
67	17,7	18,74	17,7	18,74
70	20,06	19,82	21,24	20,32
75	21,24	20,32	23,6	21,23
80	21,24	20,32	23,6	21,23
85	21,24	20,32	22,42	20,79
90	18,88	19,3	20,06	19,82
100	14,16	16,8	15,34	17,49
110	11,8	15,21	12,98	16,04
120	9,44	13,28	10,62	14,3
130	7,08	10,78	8,26	12,12
140	5,9	9,19	6,61	10,18
150	4,25	6,34	4,72	7,25
160	3,54	4,76	3,54	4,76
180	2,36	1,23	2,36	1,23
200	1,89	-0,7	1,89	-0,7
250	1,18	-4,79	1,18	-4,79
256	0,94	-6,72	1,18	-4,79
500	0,94	-6,72	1,18	-4,79
1000	0,94	-6,72	1,18	-4,79

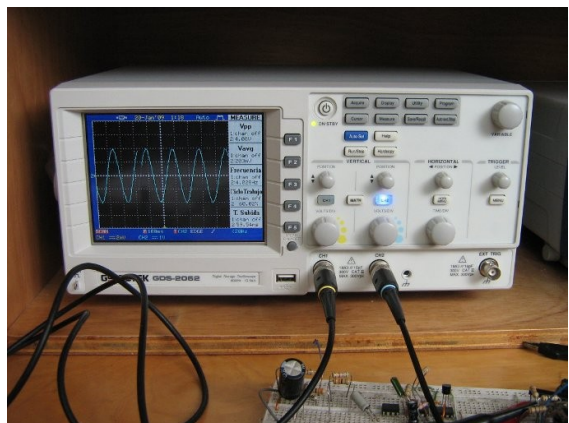
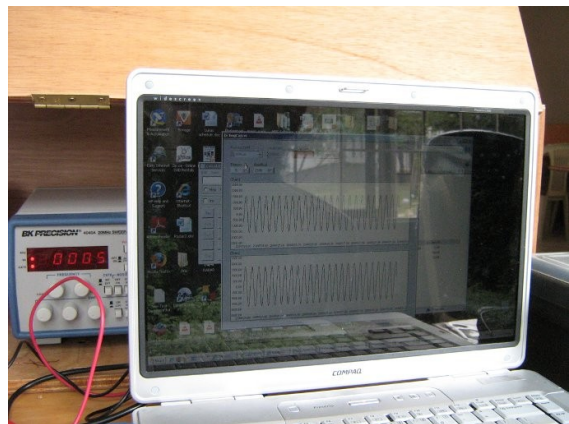
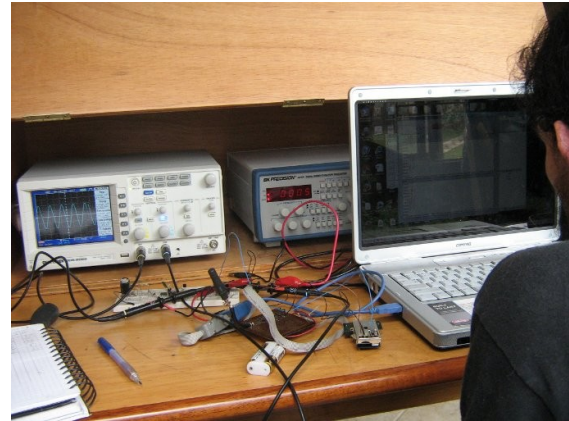
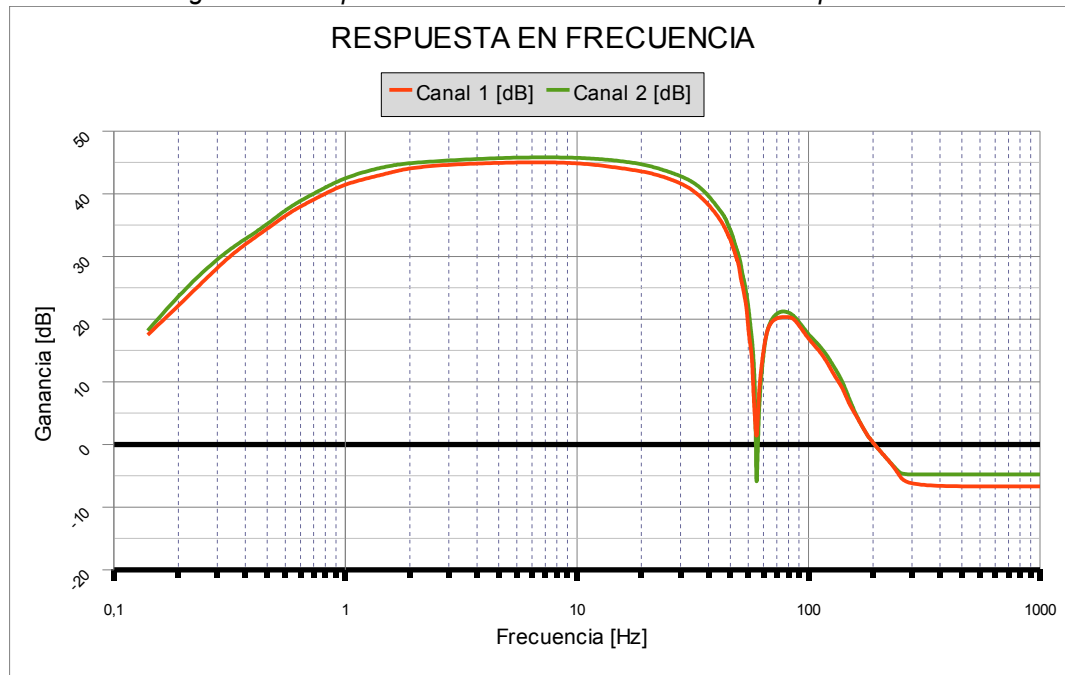




Figura 29. Respuesta en Frecuencia del módulo de adquisición



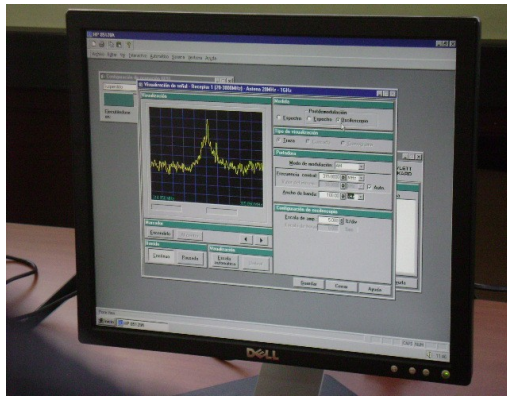
Fuente: Autores del proyecto

Analizando las gráficas de la respuesta en frecuencia de cada canal y los datos obtenidos en estas pruebas se puede observar que el canal 2 tiene una ganancia levemente mayor y mejor sintonizado el filtro muesca. Aunque los dos canales cuentan con los mismos valores de elementos electrónicos, las tolerancias de estos hace difícil lograr que las respuestas de los canales sean idénticas.

## 8.2. PRUEBAS DE INTENSIDAD DE CAMPO ELÉCTRICO PARA EL TRANSMISOR TXM-315-LR.

Para cumplir con lo estipulado en la [Resolución número 797 de 8 de Junio de 2001](#) se solicitó a la Dirección Territorial Bucaramanga del Ministerio de Comunicaciones a través del Ingeniero Antonio Jaimes Oviedo, un estudio de la Intensidad de Campo Eléctrico en un radio de 360° a tres (3) metros de distancia del transmisor del dispositivo construido (EEG inalámbrico).

Como primera prueba, se determinó la ubicación exacta de la portadora en el espectro. Según la hoja de datos del transmisor la frecuencia de la portadora es de 315 [MHz]. En el analizador de espectros del Ministerio de Comunicaciones se pudo verificar la precisión con la que el transmisor trabaja a la frecuencia de 315 [MHz].



Se usó para las mediciones de la intensidad de campo eléctrico el analizador de espectro marca Rohde&Schwarz modelo FSP y la antena marca Rohde&Schwarz modelo HE200 módulo de 200 a 500 [Mhz].

Los resultados obtenidos fueron los siguientes

Tabla 3. Intensidad de Campo Eléctrico a 3 metros del transmisor

POSICION	Medida [dB $\mu$ V]	Antenna Factor [dB/m]	Intensidad de Campo [dB $\mu$ V/m]
Normal frente	34,97	29	63,97
30 $\curvearrowright$	34,68	29	63,68
45 $\curvearrowright$	33,67	29	62,67
60 $\curvearrowright$	31,12	29	60,12
90 $\curvearrowright$	31,03	29	60,03
120 $\curvearrowright$	35,7	29	64,7
135 $\curvearrowright$	38,95	29	67,95





150 ɔ	39,69	29	68,69
180 ɔ		29	
210 ɔ	39,7	29	68,7
240 ɔ	38,44	29	67,44
270 ɔ	37,94	29	66,94
300 ɔ	32,92	29	61,92
330 ɔ	27,78	29	56,78
350 ɔ	30,11	29	59,11
360 ɔ	32,15	29	61,15
Normal superior	38,16	29	67,16
Normal inferior	38,35	29	67,35
2 metros pos. Máx. tx.	41,88	29	70,88
1 metro pos. Máx. tx.	47,88	29	76,88



En la primera columna la de la tabla 3, la posición corresponde a la ubicación del dispositivo sobre un soporte de plástico que se ubicó a tres metros de los aparatos de medida.

Tabla 4. Intensidad de campo permitida

BANDAS DE FRECUENCIAS (MHz)	LÍMITE DE POTENCIA O DE INTENSIDAD DE CAMPO (a 3 metros)
40,66 a 40,70	10mV/m
70 a 108	1250 uV/m (470 nW)
138 a 149,9	1250 a 3750 uV/m
150,5 a 156,5	1250 a 3750 uV/m
156,9 a 174	1250 a 3750 uV/m
174 a 260	1250 a 3750 uV/m
260 a 328,6	3750 a 12500 uV/m
335,4 a 399,9	3750 a 12500 uV/m
406 a 470	3750 a 12500 uV/m
470 a 960	12500 uV/m (47 uW)
Mayor a 1427	12500 uV/m (47 uW)



Según la resolución del Ministerio de Comunicaciones, en su resolución 797 “Artículo 3o. FRECUENCIAS Y BANDAS DE FRECUENCIAS. Las frecuencias y bandas de frecuencias radioeléctricas relacionadas a continuación, podrán ser utilizadas libremente por el público en general, en aplicaciones de: telemetría, telecomando, telealarmas, telecontrol vehicular, dispositivos de operación momentánea (la aplicación del presente trabajo), microfonía inalámbrica y transreceptores de voz y datos, y radios portátiles de operación itinerante, que posean bajos niveles de potencia o de intensidad de campo, con las características técnicas particulares descritas en los siguientes casos: ”

La tabla muestra que en el rango comprendido entre los 260 a 328,6 MHz la Intensidad del Campo Eléctrico debe ser menor a 12,5 mV/m. En la columna cuatro de la tabla 3 se puede observar este aspecto y se obtienen valores del orden de los microvolts incluso a un metro de distancia del dispositivo.

En el informe presentado por el Ministerio de Comunicaciones (Anexo X) se reporta lo siguiente: “Analizando los resultados frente a la resolución 797 del 08 de Junio de 2001, emanada por el Ministerio de Comunicaciones; en la cual se definen las intensidades de campo máximas para equipos de baja potencia y corto alcance, que usen el espectro radioeléctrico para aplicaciones industriales, científicas y medicas (ICM) y para aplicaciones en recinto cerrado autorizadas de manera general; se encuentra que cumple con lo allí establecido porque su nivel máximo de intensidad de campo están muy por debajo de los máximos establecidos en dicha resolución”.



### 8.3. CALCULOS DE CONSUMO DE POTENCIA DEL TRANSMISOR

Para establecer un valor estimado del consumo de potencia del módulo transmisor se debe hacer un análisis de tiempos de ejecución de las diferentes rutinas del microcontrolador, ya que dependiendo de los periféricos en uso y el modo de operación puede variar el consumo de potencia instantáneo.

Los circuitos analógicos tendrán un consumo de potencia constante y el valor puede tomarse de las tablas de características eléctricas de sus hojas de datos. En la tabla 5 se sintetiza el consumo de los diferentes componentes analógicos. (Se tomaron valores máximos)

Tabla 5. Consumo aproximado de los dispositivos analógicos en el módulo transmisor.

Dispositivo	Cantidad	Consumo Und. [ $\mu$ A]	Consumo total [ $\mu$ A]
OPA4251	8	30	240
OP-481	4	4	16
OPA333	2	25	50
INA118	2	350	700
Pasivos*	1	300	300
Total Analógicos			1306

\* El consumo de los dispositivos pasivos se calculó de forma aproximada como el valor RMS teniendo en cuenta la máxima excursión posible para una señal de excitación sinusoidal en las ramas con fuentes de baja impedancia (e.g. Rieles, salidas amplificadores).

Los dispositivos digitales consumen dependiendo de su estado de operación. En la siguiente tabla se resume el consumo para los diferentes circuitos digitales y los periféricos del microcontrolador, y el tiempo promedio de operación para un tiempo base de 1 segundo.



Tabla 6. Consumo aproximado de los dispositivos digitales en el módulo transmisor

Dispositivo / Periférico	Tiempo de operación [s]	Consumo nominal [ $\mu$ A]	Consumo total [ $\mu$ A]
msp430f2003 (CPU) modo activo	0,2	370	74
msp430f2003 (CPU) LPM0	0,3	100	30
msp430f2003 (SD16)	0,5	1050	525
TXM-315-LR (High)	0,42	3000	1260
TXM-315-LR (Low)	0,58	1800	1044
Total Digitales			2933

El consumo total de los dispositivos es entonces  $1306\mu\text{A} + 2933\mu\text{A} = 4,239 \text{ mA}$ . La eficiencia del convertor DC/DC para ese rango de corriente de salida es aproximadamente del 75%, por lo tanto el consumo total del módulo transmisor tomado de la batería será  $4,24 / 0,75 = 5,65 \text{ mA}$ . Teniendo en cuenta este consumo, se puede esperar que el dispositivo opere un poco más de 20 horas continuas con carga completa.



## 9. OBSERVACIONES Y RECOMENDACIONES.

- Este dispositivo tiene limitaciones en la transmisión de los datos en ciertas áreas del país porque las frecuencias de 314,9 Y 315,1 [MHz] que ya han sido asignadas por el Ministerio de Comunicaciones y presentadas en los Planes Técnicos de Radiodifusión Sonora en Amplitud y Frecuencia Moduladas (actualizado el 17 de Agosto de 2007) (Ver tabla X) pueden bloquear el receptor e interferir la transmisión de los paquetes de datos. Las emisoras clase A que son las de más alta potencia de transmisión y requieren de especial cuidado al momento de usar el dispositivo.

Adaptar los laboratorios al momento de construirlos sería una ventaja para cualquiera que sea el tipo de transmisión que se use ya que el espectro electromagnético con el tiempo tiende a saturarse generando ruido en cualquier banda de frecuencia y las comunicaciones inalámbricas exigirán estándares de codificación que para un dispositivo sencillo como el que se quiere trabajar no van a ser justificables.

LUGAR	FRECUENCIA [MHz]	POTENCIA [KW]	MODULACION	TIPO DE EMISORA
Bogotá (Municipio El Rosal) Cundinamarca	314,9	100	AM	A
Socorro Santander	314,9	5	AM	C
Medellín Antioquia	314,9	100	FM	A
Bogotá Cundinamarca	314,9	15	FM	A
Villavicencio Meta	314,9	5	FM	C



Bucaramanga Santander	314,9	10	FM	B
Sutatausa Cundinamarca	314,9	0,2	FM	D
Villagomez Cundinamarca	314,9	0,2	FM	D
San Pablo Nariño	314,9	0,2	FM	D
La Paz Santander	314,9	0,2	FM	D
Sampues Sucre	314,9	0,2	FM	D
Rionegro Antioquia	315,1	5	FM	C
Puerto Colombia Atlántico	315,1	5	FM	C
Cali Valle	315,1	15	FM	A
Cartago Valle	315,1	1	FM	C
Ramiriquí Boyacá	315,1	0,2	FM	D
Convención Norte de Santander	315,1	0,2	FM	D
Chitagá Norte de Santander	315,1	0,2	FM	D
Líbano Tolima	315,1	0,2	FM	D

En Bucaramanga el Ministerio de Comunicaciones asignó la banda de 314,9 Mhz para un enlace de una emisora de FM clase B, sin embargo se realizaron pruebas en la facultad de salud de la UIS (Laboratorio de Ciencias Básicas), en la Sede principal de la UIS (Laboratorio de Alta Tensión) y en el Ministerio de Comunicaciones (Dirección Territorial Bucaramanga) al dispositivo y en ninguno de los casos se presentaron problemas con el adecuado funcionamiento de este.

2. El costo para adquirir la licencia del software Labview 7.0 Express se puede eliminar si los grupos de investigación interesados en el área de la neurofisiología desarrollasen un software propio que se adapte mejor a las necesidades que surgen en este campo de la investigación.
3. El prototipo desarrollado en el presente proyecto es susceptible de numerosas



mejoras, y se espera que trabajos posteriores basados en éste, tiendan a reducir el tamaño del dispositivo desarrollado, para aumentar su grado de portabilidad por medio del uso de dispositivos electrónicos discretos de menor tamaño y peso. Esto se puede lograr con recursos económicos que faciliten la adquisición y el montaje de estos.

4. Es importante que los usuarios del dispositivo construido consulten con regularidad el Plan Técnico de Radiodifusión Sonora, porque con cierta periodicidad son asignadas las frecuencias a las cuales deben operar los enlaces de las emisoras de AM y FM en todo el territorio nacional y si el laboratorio de la ciudad donde se espera utilizar el dispositivo se encuentra en la línea de vista de los enlaces que se encuentran transmitiendo a las frecuencias de 314,9 y 315,1 MHz, se puede presentar el bloqueo del modulo de recepción y por lo tanto perdida de datos que pueden alterar los resultados de los estudios que se estén ejecutando en ese momento.
5. Los laboratorios donde se espera usar el dispositivo deben contar con ciertas especificaciones que permitan un desempeño óptimo con el objeto de garantizar la integridad de los datos: Entre el modulo transmisor y el modulo receptor no se deben situar objetos que obstruyan o degraden la comunicación lo cual puede ocasionar la perdida de paquetes en la transferencia de los datos; los dos módulos transmisor-receptor deben estar a una distancia no mayor de tres metros para que la comunicación sea confiable; se debe evitar la cercanía con fuentes de interferencia radioeléctrica, y en caso de su existencia previa, se deben tomar las medidas necesarias para minimizar su impacto, como el uso de blindajes apropiados alrededor de la zona de operación del dispositivo.



## 10. CONCLUSIONES

1. Con las pruebas realizadas a la etapa analógica y luego a todo el dispositivo integrado se pudo corroborar que el sistema electrónico diseñado está en capacidad de registrar las señales cerebrales y acondicionarlas para que puedan ser interpretadas por una persona especializada en el área de la neurofisiología y carreras afines.
2. El módulo de comunicación unidireccional inalámbrica implementado para modular y transmitir las señales y su respectivo módulo de recepción y demodulación cumplen una transmisión exitosa de datos y permiten, a través de diferentes pruebas realizadas, evidenciar que se puede visualizar de forma correcta la información.
3. La interfaz gráfica programada en Labview representa la información de manera clara y permite un manejo intuitivo de la misma facilitando la interacción de los usuarios con el equipo desarrollado.
4. El dispositivo desarrollado contribuye al logro de avances en las neurociencias a nivel regional porque facilita la adquisición e interpretación de los datos tomados de un espécimen de laboratorio y es accesible siempre y cuando se cuente con los recursos para adquirir las licencias del software Labview 7.0 Express y del sistema operativo Microsoft Windows y se puedan patrocinar grupos de investigación que construyan el dispositivo.
5. El formato de los datos guardados cumple con el estándar EDF+ utilizado para intercambio de información biomédica que lo hace compatible con otros software de visualización de registros biomédicos integrando investigaciones relacionadas en diferentes campos de las ciencias.



6. El proyecto desarrollado sirve de apoyo a los programas académicos y de investigación a nivel de pregrado, postgrado y maestría en Ingeniería e impulsa actividades orientadas a la incubación, generación de empresas y cooperación con entidades del sector de la electrómedicina mediante el desarrollo de proyectos de investigación aplicada.
7. El uso de baterías facilita que el dispositivo sea portátil y lo hace seguro para el animal de experimentación porque los niveles de tensión son menores y la probabilidad de un choque eléctrico se reduce sustancialmente.
8. Las baterías recargables aunque en primera instancia representan un costo elevado al adquirirlas y exigen el diseño de un circuito adecuado de carga para optimizar la vida útil de estas, a largo plazo se consideró que son más rentables porque la vida útil de las baterías desechables es menor comparadas con la batería de litio que tienen un diseño más liviano. Además proporciona una densidad energética considerablemente mayor que las pilas de níquel y pueden ser recargadas en cualquier momento, sin que sea necesario que se hayan descargado por completo, lo que las hace bastante más cómodas en su uso.
9. El Ministerio de Comunicaciones a través del Plan Técnico de Radiodifusión Sonora regula los enlaces de las diferentes emisoras asignando frecuencias de transmisión de los enlaces para cada usuario en su respectiva región. Se considera que la transmisión de los datos se puede ver afectada si el dispositivo es trabajado dentro de la línea de vista de un enlace de comunicaciones que se encuentre en las frecuencias de 314,9 y 315,1 Mhz.



## BIBLIOGRAFIA

DORF, Richard C. The Electrical Engineering Handbook – Cap 113 “*Bioelectricity*”; Taylor & Francis, Inc; 2000.

SEDRA, A.S., SMITH K.C. Circuitos Microelectrónicos. 4ª Edición. Oxford University Press. 2002.

MANCINI, Ron. Op Amps for Everyone Chapter 16 - Active Filter Design Techniques. Texas Instruments Incorporated. Literature Number *sloa088*, *sloa006*.

SU, Kendall L. Analog Filters. Second Edition . Kluwer Academic Publishers. 2002. ISBN 978-1402070334.

PAARMANN, L. D. Design and Analysis of Analog Filters - A Signal Processing Perspective. Kluwer Academic Publishers. 2001. ISBN 978-0792373735

OPPENHEIM, A. V. SCHAFFER R.W.; Tratamiento de señales en tiempo discreto; 2ª Edición; Prentice Hall, 2000.

HAYKIN, S.; Sistemas de comunicación; Ed. Limusa; 2002.

JUNG, Walt. Op Amp Applications Handbook. Analog Devices, Inc. 2002

KESTER Walt. ADC Input Noise: The Good, The Bad, and The Ugly. Is No Noise Good Noise?. Analog Devices, Inc. Analog Dialogue. <http://www.analog.com/analogdialogue>.



RODES, Francis. CHEVALIERAS, Olivier. GARNIER, Eliane. AC-coupling instrumentation amplifiers improves rejection range of differential dc input voltage. The best of Design Ideas – September 30, 2004. EDN – <http://www.edn.com/>

COLOMBIA. Ministerio de Comunicaciones. Resolución Número 0797 de 8 de Junio de 2001. Artículo 3o. Frecuencias y Bandas de Frecuencias, Bandas de Frecuencias para dispositivos de operación momentánea. Bogotá, D.C. Ministerio de Comunicaciones; 2001.



## ANEXOS



## ANEXO A1. Instructivo de manejo del dispositivo.

Este dispositivo es de fácil manejo puesto que la estructura que se implementó fue proyectada para que usuarios de especializaciones diferentes a la ingeniería electrónica lo puedan manipular.

Pasos que se requieren para el manejo adecuado del dispositivo:

1. Sitúe los electrodos y sujételos sobre el animal de experimentación.
2. Conecte cada plug de las entradas de los respectivos canales a los electrodos; ubique el electrodo de referencia en una superficie de piel donde quede fija y haya buen contacto; coloque el electrodo de eliminación de ruido de modo común en un punto del animal alejado de los demás electrodos y garantice que haya buen contacto con la piel.
3. Ubique el módulo de recepción a una distancia no mayor a tres metros del modulo de transmisión y verifique que no hayan elementos que puedan interferir la comunicación; proceda a conectarlo al computador y enciéndalo.
4. Active la interfaz gráfica en el computador conectado al módulo receptor.
5. Teniendo debidamente conectado el animal, proceda a realizar el experimento encendiendo el módulo de transmisión y ejecutando la interfaz gráfica iniciando la toma de datos.
6. Para garantizar el buen manejo de los datos adquiridos siga debidamente el instructivo de manejo de archivos.

Nota: Es importante recordar que el modulo de transmisión cuenta con alimentación a través de una batería recargable y que antes de usarlo esta debe contar con carga suficiente para poder transmitir durante tiempo prolongado la información de interés.



## ANEXO A2. Instructivo de manejo de archivos.

Para la administración de los archivos y el fácil manejo de estos se requiere de información almacenada en memoria que permita acceso directo y un conjunto de instrucciones que faciliten la manipulación de los registros ordenadamente.

El usuario del dispositivo debe tener claro que los datos deben ser debidamente estructurados y organizados independientemente de su utilización y su implementación; a su vez deben estar accesibles en tiempo real.

Para evitar “dueños” únicos de la información registrada se recomienda seguir los siguientes pasos de forma puntual:

1. La interfaz gráfica dispone de una tecla interactiva que permite guardar el último registro transmitido, si el usuario considera que debe guardar en cualquier instante de tiempo la información recopilada, lo puede hacer de forma inmediata. Es importante que tenga en cuenta la siguiente estructura de almacenamiento:
  - a. el nombre del archivo que se va a guardar debe constar de la fecha de toma del registro, día.mes.año. (xx.xx.xx; las x's representan únicamente números), edad del espécimen (meses, años; escrito con números) y el nombre de la prueba (escrito de forma idéntica a como fue nombrada la prueba).
  - b. Para que las carpetas no sean personalizadas se debe contar con una carpeta llamada “registros EEG” ubicada en la carpeta “mis documentos” del computador que se encuentre dispuesto para la recepción y el almacenamiento de los registros. La carpeta de “registros EEG” debe contener una carpeta con el mes y año (xx.xxxx; las x's representan números) y dentro de las carpetas deben ir contenidos los archivos mencionados en el numeral a. del presente escrito.



2. En caso de haber detenido la última captura de la interfaz gráfica y haber olvidado guardar el último registro como se especifica en el numeral 1., la interfaz gráfica crea un archivo temporal de nombre 'temp.eeg' que se va encontrar guardado en la carpeta de trabajo por defecto de LabView con la siguiente ruta de acceso: `~\misdocumentos/labviewdata/temp.eeg`; la interfaz gráfica antes de poder ser puesta en marcha nuevamente arroja un aviso a través de una ventana donde informa lo siguiente "desea guardar la captura anterior"; si el usuario no realiza el paso 1. del presente escrito, la nueva captura será sobrescrita sobre la anterior y se perderán los resultados obtenidos inmediatamente sin posibilidad de recuperación; es por esto que es recomendable seguir estas instrucciones al pie de la letra, para poder lograr un modo de guardado sistemático y cumplir con un modelo jerárquico de archivo de datos.




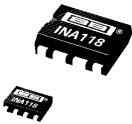
### ANEXO A3. Tabla de Coeficientes para filtros Butterworth

n	i	a <sub>i</sub>	b <sub>i</sub>	k <sub>i</sub> = f <sub>c<sub>i</sub></sub> / f <sub>c</sub>	Q <sub>i</sub>
1	1	1,0000	0,0000	1,000	---
2	1	1,4142	1,0000	1,000	0,71
3	1	1,0000	0,0000	1,000	---
	2	1,0000	1,0000	1,272	1,00
4	1	1,8478	1,0000	0,719	0,54
	2	0,7654	1,0000	1,390	1,31
5	1	1,0000	0,0000	1,000	---
	2	1,6180	1,0000	0,859	1,62
	3	0,6180	1,0000	1,448	0,62
6	1	1,9319	1,0000	0,676	0,52
	2	1,4142	1,0000	1,000	0,71
	3	0,5176	1,0000	1,479	1,93
7	1	1,0000	0,0000	1,000	---
	2	1,8019	1,0000	0,745	0,55
	3	1,2470	1,0000	1,117	0,80
	4	0,4450	1,0000	1,499	2,25
8	1	1,9616	1,0000	0,661	0,51
	2	1,6629	1,0000	0,829	0,60
	3	1,1111	1,0000	1,206	0,90
	4	0,3902	1,0000	1,512	2,56
9	1	1,0000	0,0000	1,000	---
	2	1,8794	1,0000	0,703	0,53
	3	1,5321	1,0000	0,917	0,65
	4	1,0000	1,0000	1,272	1,00
	5	0,3473	1,0000	1,521	2,88
10	1	1,9754	1,0000	0,655	0,51
	2	1,7820	1,0000	0,756	0,56
	3	1,4142	1,0000	1,000	0,71
	4	0,9080	1,0000	1,322	1,10
	5	0,3129	1,0000	1,527	3,20



## ANEXO A4. Hoja de datos Amplificador de Instrumentación INA 118





# INA118

---

### Precision, Low Power INSTRUMENTATION AMPLIFIER

#### FEATURES

- **LOW OFFSET VOLTAGE:** 50µV max
- **LOW DRIFT:** 0.5µV/°C max
- **LOW INPUT BIAS CURRENT:** 5nA max
- **HIGH CMR:** 110dB min
- **INPUTS PROTECTED TO ±40V**
- **WIDE SUPPLY RANGE:** ±1.35 to ±18V
- **LOW QUIESCENT CURRENT:** 350µA
- **8-PIN PLASTIC DIP, SO-8**

#### APPLICATIONS

- **BRIDGE AMPLIFIER**
- **THERMOCOUPLE AMPLIFIER**
- **RTD SENSOR AMPLIFIER**
- **MEDICAL INSTRUMENTATION**
- **DATA ACQUISITION**

#### DESCRIPTION

The INA118 is a low power, general purpose instrumentation amplifier offering excellent accuracy. Its versatile 3-op amp design and small size make it ideal for a wide range of applications. Current-feedback input circuitry provides wide bandwidth even at high gain (70kHz at G = 100).

A single external resistor sets any gain from 1 to 10,000. Internal input protection can withstand up to ±40V without damage.

The INA118 is laser trimmed for very low offset voltage (50µV), drift (0.5µV/°C) and high common-mode rejection (110dB at G = 1000). It operates with power supplies as low as ±1.35V, and quiescent current is only 350µA—ideal for battery operated systems.

The INA118 is available in 8-pin plastic DIP, and SO-8 surface-mount packages, specified for the -40°C to +85°C temperature range.

International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111  
Internet: <http://www.burr-brown.com/> • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132



## SPECIFICATIONS

### ELECTRICAL

At  $T_A = +25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$ ,  $R_L = 10\text{k}\Omega$  unless otherwise noted.

PARAMETER	CONDITIONS	INA118PB, UB			INA118P, U			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
<b>INPUT</b>								
Offset Voltage, RTI	$T_A = +25^\circ\text{C}$ $T_A = T_{\text{MIN}}$ to $T_{\text{MAX}}$ $V_S = \pm 1.35\text{V}$ to $\pm 18\text{V}$		$\pm 10 \pm 50/\text{G}$	$\pm 50 \pm 500/\text{G}$		$\pm 25 \pm 100/\text{G}$	$\pm 125 \pm 1000/\text{G}$	$\mu\text{V}$
Initial vs Temperature			$\pm 0.2 \pm 2/\text{G}$	$\pm 0.5 \pm 20/\text{G}$		$\pm 0.2 \pm 5/\text{G}$	$\pm 1 \pm 20/\text{G}$	$\mu\text{V}/^\circ\text{C}$
vs Power Supply			$\pm 1 \pm 10/\text{G}$	$\pm 5 \pm 100/\text{G}$		*	$\pm 10 \pm 100/\text{G}$	$\mu\text{V}/\text{V}$
Long-Term Stability				$\pm 0.4 \pm 5/\text{G}$				$\mu\text{V}/\text{mo}$
Impedance, Differential				$10^{10} \parallel 1$				$\Omega \parallel \text{pF}$
Common-Mode				$10^{10} \parallel 4$				$\Omega \parallel \text{pF}$
Linear Input Voltage Range			$(V+) - 1$ $(V-) + 1.1$	$(V+) - 0.65$ $(V-) + 0.95$		*	*	V
Safe Input Voltage	$V_{\text{CM}} = \pm 10\text{V}$ , $\Delta R_S = 1\text{k}\Omega$			$\pm 40$	*	*	*	V
Common-Mode Rejection								V
$G = 1$		80	90		73	*		dB
$G = 10$		97	110		89	*		dB
$G = 100$		107	120		98	*		dB
$G = 1000$	110	125		100	*		dB	
<b>BIAS CURRENT</b>			$\pm 1$	$\pm 5$		*	$\pm 10$	nA
vs Temperature			$\pm 40$			*		$\text{pA}/^\circ\text{C}$
<b>OFFSET CURRENT</b>			$\pm 1$	$\pm 5$		*	$\pm 10$	nA
vs Temperature			$\pm 40$			*		$\text{pA}/^\circ\text{C}$
<b>NOISE VOLTAGE, RTI</b>	$G = 1000$ , $R_S = 0\Omega$					*		$\text{nV}/\sqrt{\text{Hz}}$
$f = 10\text{Hz}$			11			*		$\text{nV}/\sqrt{\text{Hz}}$
$f = 100\text{Hz}$			10			*		$\text{nV}/\sqrt{\text{Hz}}$
$f = 1\text{kHz}$			10			*		$\text{nV}/\sqrt{\text{Hz}}$
$f_B = 0.1\text{Hz}$ to $10\text{Hz}$			0.28			*		$\mu\text{Vp-p}$
Noise Current							*	
$f = 10\text{Hz}$			2.0			*		$\text{pA}/\sqrt{\text{Hz}}$
$f = 1\text{kHz}$			0.3			*		$\text{pA}/\sqrt{\text{Hz}}$
$f_B = 0.1\text{Hz}$ to $10\text{Hz}$			80			*		$\text{pAp-p}$
<b>GAIN</b>								
Gain Equation			$1 + (50\text{k}\Omega/R_G)$	10000	*	*	*	V/V
Range of Gain		1		$\pm 0.01$		*	$\pm 0.1$	%
Gain Error	$G = 1$		$\pm 0.02$	$\pm 0.4$		*	$\pm 0.5$	%
	$G = 10$		$\pm 0.05$	$\pm 0.5$		*	$\pm 0.7$	%
	$G = 100$		$\pm 0.5$	$\pm 1$		*	$\pm 2$	%
	$G = 1000$		$\pm 1$	$\pm 10$		*	$\pm 10$	ppm/ $^\circ\text{C}$
Gain vs Temperature	$G = 1$		$\pm 25$	$\pm 100$		*	*	ppm/ $^\circ\text{C}$
50k $\Omega$ Resistance <sup>(1)</sup>			$\pm 0.0003$	$\pm 0.001$		*	$\pm 0.002$	% of FSR
Nonlinearity	$G = 1$		$\pm 0.0005$	$\pm 0.002$		*	$\pm 0.004$	% of FSR
	$G = 10$		$\pm 0.0005$	$\pm 0.002$		*	$\pm 0.004$	% of FSR
	$G = 100$		$\pm 0.0005$	$\pm 0.002$		*	$\pm 0.004$	% of FSR
	$G = 1000$		$\pm 0.002$	$\pm 0.01$		*	$\pm 0.02$	% of FSR
<b>OUTPUT</b>								
Voltage: Positive	$R_L = 10\text{k}\Omega$	$(V+) - 1$	$(V+) - 0.8$		*	*		V
Negative	$R_L = 10\text{k}\Omega$	$(V-) + 0.35$	$(V-) + 0.2$		*	*		V
Single Supply High	$V_S = +2.7\text{V}/0\text{V}^{(2)}$ , $R_L = 10\text{k}\Omega$	1.8	2.0		*	*		V
Single Supply Low	$V_S = +2.7\text{V}/0\text{V}^{(2)}$ , $R_L = 10\text{k}\Omega$	60	35		*	*		mV
Load Capacitance Stability			1000			*		pF
Short Circuit Current			+5/-12			*		mA
<b>FREQUENCY RESPONSE</b>								
Bandwidth, -3dB	$G = 1$		800			*		kHz
	$G = 10$		500			*		kHz
	$G = 100$		70			*		kHz
	$G = 1000$		7			*		kHz
Slew Rate	$V_O = \pm 10\text{V}$ , $G = 10$		0.9			*		V/ $\mu\text{s}$
Settling Time, 0.01%	$G = 1$		15			*		$\mu\text{s}$
	$G = 10$		15			*		$\mu\text{s}$
	$G = 100$		21			*		$\mu\text{s}$
	$G = 1000$		210			*		$\mu\text{s}$
Overload Recovery	50% Overdrive		20			*		$\mu\text{s}$
<b>POWER SUPPLY</b>								
Voltage Range		$\pm 1.35$	$\pm 15$	$\pm 18$	*	*	*	V
Current	$V_{\text{IN}} = 0\text{V}$		$\pm 350$	$\pm 385$		*	*	$\mu\text{A}$
<b>TEMPERATURE RANGE</b>								
Specification		-40		85	*		*	$^\circ\text{C}$
Operating		-40		125	*		*	$^\circ\text{C}$
$\theta_{\text{JA}}$			80			*		$^\circ\text{C}/\text{W}$

\* Specification same as INA118PB, UB.

NOTE: (1) Temperature coefficient of the "50k $\Omega$ " term in the gain equation. (2) Common-mode input voltage range is limited. See text for discussion of low power supply and single power supply operation.



## ANEXO A5. Hoja de datos Amplificador Operacional OPA4251

**OPA241**  
**OPA2241**  
**OPA4241**

**OPA251**  
**OPA2251**  
**OPA4251**

---

### Single-Supply, *MicroPOWER* OPERATIONAL AMPLIFIERS

**OPA241 Family** optimized for +5V supply.  
**OPA251 Family** optimized for ±15V supply.

#### FEATURES

- **MicroPOWER:**  $I_Q = 25\mu A$
- **SINGLE-SUPPLY OPERATION**
- **RAIL-TO-RAIL OUTPUT** (within 50mV)
- **WIDE SUPPLY RANGE**  
Single Supply: +2.7V to +36V  
Dual Supply: ±1.35V to ±18V
- **LOW OFFSET VOLTAGE:** ±250µV max
- **HIGH COMMON-MODE REJECTION:** 124dB
- **HIGH OPEN-LOOP GAIN:** 128dB
- **SINGLE, DUAL, AND QUAD**

#### APPLICATIONS

- **BATTERY OPERATED INSTRUMENTS**
- **PORTABLE DEVICES**
- **MEDICAL INSTRUMENTS**
- **TEST EQUIPMENT**

#### DESCRIPTION

The OPA241 series and OPA251 series are specifically designed for battery powered, portable applications. In addition to very low power consumption (25µA), these amplifiers feature low offset voltage, rail-to-rail output swing, high common-mode rejection, and high open-loop gain.

The OPA241 series is optimized for operation at low power supply voltage while the OPA251 series is optimized for high power supplies. Both can operate from either single (+2.7V to +36V) or dual supplies (±1.35V to ±18V). The input common-mode voltage range extends 200mV below the negative supply—ideal for single-supply applications.

They are unity-gain stable and can drive large capacitive loads. Special design considerations assure that these products are easy to use. High performance is maintained as the amplifiers swing to their specified limits. Because the initial offset voltage (±250µV max) is so low, user adjustment is usually not required. However, external trim pins are provided for special applications (single versions only).

The OPA241 and OPA251 (single versions) are available in standard 8-pin DIP and SO-8 surface-mount packages. The OPA2241 and OPA2251 (dual versions) come in 8-pin DIP and SO-8 surface-mount packages. The OPA4241 and OPA4251 (quad versions) are available in 14-pin DIP and SO-14 surface-mount packages. All are fully specified from -40°C to +85°C and operate from -55°C to +125°C.

**OPA241, OPA251**

8-Pin DIP, SO-8

**OPA2241, OPA2251**

8-Pin DIP, SO-8

**OPA4241, OPA4251**

14-Pin DIP, SO-14

International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111  
Internet: <http://www.burr-brown.com/> • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132



## SPECIFICATIONS: $V_S = 2.7V$ to $5V$

At  $T_A = +25^\circ C$ ,  $R_L = 100k\Omega$  connected to  $V_S/2$ , unless otherwise noted.  
Boldface limits apply over the specified temperature range,  $T_A = -40^\circ C$  to  $+85^\circ C$ .

PARAMETER	CONDITION	OPA241UA, PA OPA2241UA, PA OPA4241UA, PA			OPA251UA, PA OPA2251UA, PA OPA4251UA, PA			UNITS
		MIN	TYP <sup>(1)</sup>	MAX	MIN	TYP <sup>(1)</sup>	MAX	
<b>OFFSET VOLTAGE</b> Input Offset Voltage $T_A = -40^\circ C$ to $+85^\circ C$ vs Temperature vs Power Supply $T_A = -40^\circ C$ to $+85^\circ C$ Channel Separation (dual, quad)	$V_{OS}$  $dV_{OS}/dT$ PSRR  $T_A = -40^\circ C$ to $+85^\circ C$ $V_S = 2.7V$ to $36V$		$\pm 50$ <b><math>\pm 100</math></b> $\pm 0.4$ 3 0.3	$\pm 250$ <b><math>\pm 400</math></b> $\pm 0.4$ 30 <b>30</b>		$\pm 100$ <b><math>\pm 130</math></b> <b><math>\pm 0.6</math></b> * *	* * *	$\mu V$ $\mu V$ $\mu V/^\circ C$ $\mu V/V$ $\mu V/V$
<b>INPUT BIAS CURRENT</b> Input Bias Current <sup>(2)</sup> $T_A = -40^\circ C$ to $+85^\circ C$ Input Offset Current $T_A = -40^\circ C$ to $+85^\circ C$	$I_B$  $I_{OS}$		-4  $\pm 0.1$	-20 <b>-25</b> $\pm 2$ <b><math>\pm 2</math></b>		* * *		nA nA nA nA
<b>NOISE</b> Input Voltage Noise, $f = 0.1Hz$ to $10Hz$ Input Voltage Noise Density, $f = 1kHz$ Current Noise Density, $f = 1kHz$	$e_n$  $i_n$		1 45 40			* * *		$\mu V/p-p$ nV/ $\sqrt{Hz}$ fA/ $\sqrt{Hz}$
<b>INPUT VOLTAGE RANGE</b> Common-Mode Voltage Range Common-Mode Rejection Ratio $T_A = -40^\circ C$ to $+85^\circ C$	$V_{CM}$ CMRR  $V_{CM} = -0.2V$ to $(V+) - 0.8V$ $V_{CM} = 0V$ to $(V+) - 0.8V$	-0.2 80 <b>80</b>	106	(V+) - 0.8		* *		V dB dB
<b>INPUT IMPEDANCE</b> Differential Common-Mode			$10^7 \parallel 2$ $10^9 \parallel 4$			* *		$\Omega \parallel pF$ $\Omega \parallel pF$
<b>OPEN-LOOP GAIN</b> Open-Loop Voltage Gain $T_A = -40^\circ C$ to $+85^\circ C$	$A_{OL}$  $T_A = -40^\circ C$ to $+85^\circ C$	$R_L = 100k\Omega$ , $V_O = (V-) + 100mV$ to $(V+) - 100mV$ $R_L = 100k\Omega$ , $V_O = (V-) + 100mV$ to $(V+) - 100mV$ $R_L = 10k\Omega$ , $V_O = (V-) + 200mV$ to $(V+) - 200mV$ $R_L = 10k\Omega$ , $V_O = (V-) + 200mV$ to $(V+) - 200mV$	100 <b>100</b> 100 <b>100</b>	120  120		* * *		dB dB dB dB
<b>FREQUENCY RESPONSE</b> Gain-Bandwidth Product Slew Rate Overload Recovery Time	GBW SR  $V_S = 5V$ , $G = 1$ $V_{IN} \cdot G = V_S$		35 0.01 60			* * *		kHz V/ $\mu s$ $\mu s$
<b>OUTPUT</b> Voltage Output Swing from Rail <sup>(3)</sup> $T_A = -40^\circ C$ to $+85^\circ C$ $T_A = -40^\circ C$ to $+85^\circ C$ Short-Circuit Current Single Versions Dual, Quad Versions Capacitive Load Drive	$V_O$  $I_{SC}$  $C_{LOAD}$	$R_L = 100k\Omega$ to $V_S/2$ , $A_{OL} \geq 70dB$ $R_L = 100k\Omega$ to $V_S/2$ , $A_{OL} \geq 100dB$ $R_L = 100k\Omega$ to $V_S/2$ , $A_{OL} \geq 100dB$ $R_L = 10k\Omega$ to $V_S/2$ , $A_{OL} \geq 100dB$ $R_L = 10k\Omega$ to $V_S/2$ , $A_{OL} \geq 100dB$	50 75 <b>100</b> 100  -24/+4 -30/+4	100 <b>100</b> 200 <b>200</b>		* * * * * * *		mV mV mV mV mA mA
<b>POWER SUPPLY</b> Specified Voltage Range Operating Voltage Range Quiescent Current (per amplifier) $T_A = -40^\circ C$ to $+85^\circ C$	$V_S$  $I_Q$	$T_A = -40^\circ C$ to $+85^\circ C$ $I_Q = 0$ $I_Q = 0$	<b>+2.7</b>  $\pm 25$	+2.7 to +5  $\pm 30$ <b><math>\pm 36</math></b>		* * *	* * *	V V $\mu A$ $\mu A$
<b>TEMPERATURE RANGE</b> Specified Range Operating Range Storage Range Thermal Resistance 8-Pin DIP SO-8 Surface Mount 14-Pin DIP SO-14 Surface Mount	$\theta_{JA}$		-40 -55 -55	+85 +125 +125		* * * * * * *		$^\circ C$ $^\circ C$ $^\circ C$ $^\circ C/W$ $^\circ C/W$ $^\circ C/W$ $^\circ C/W$

\* Specifications the same as OPA241UA, PA.

NOTES: (1)  $V_S = +5V$ . (2) The negative sign indicates input bias current flows out of the input terminals. (3) Output voltage swings are measured between the output and power supply rails.

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.



## ANEXO A6. Hoja de datos Amplificador Operacional OP-481



## Ultralow Power, Rail-to-Rail Output Operational Amplifiers

### OP281/OP481

#### FEATURES

- Low supply current: 4  $\mu$ A/amplifier maximum
- Single-supply operation: 2.7 V to 12 V
- Wide input voltage range
- Rail-to-rail output swing
- Low offset voltage: 1.5 mV
- No phase reversal

#### APPLICATIONS

- Comparator
- Battery-powered instrumentation
- Safety monitoring
- Remote sensors
- Low voltage strain gage amplifiers

#### GENERAL DESCRIPTION

The OP281 and OP481 are dual and quad ultralow power single-supply amplifiers featuring rail-to-rail outputs. Each operates from supplies as low as 2.0 V and is specified at +3 V and +5 V single supplies as well as  $\pm 5$  V dual supplies.

Fabricated on Analog Devices' CBCMOS process, the OP281/OP481 feature a precision bipolar input and an output that swings to within millivolts of the supplies, continuing to sink or source current up to a voltage equal to the supply voltage.

Applications for these amplifiers include safety monitoring, portable equipment, battery and power supply control, and signal conditioning and interfacing for transducers in very low power systems.

The output's ability to swing rail-to-rail and not increase supply current when the output is driven to a supply voltage enables the OP281/OP481 to be used as comparators in very low power systems. This is enhanced by their fast saturation recovery time. Propagation delays are 250  $\mu$ s.

The OP281/OP481 are specified over the extended industrial temperature range ( $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ ). The OP281 dual amplifier is available in 8-lead SOIC surface-mount and TSSOP packages. The OP481 quad amplifier is available in narrow 14-lead SOIC and TSSOP packages.

#### PIN CONFIGURATIONS

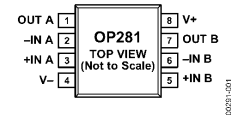


Figure 1. 8-Lead Narrow-Body SOIC (R Suffix)

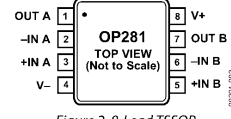


Figure 2. 8-Lead TSSOP (RU Suffix)

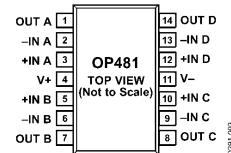


Figure 3. 14-Lead Narrow-Body SOIC (R Suffix)

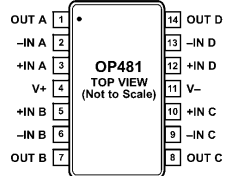


Figure 4. 14-Lead TSSOP (RU Suffix)

#### Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 www.analog.com  
Fax: 781.461.3113 ©1996–2008 Analog Devices, Inc. All rights reserved.



OP281/OP481

## SPECIFICATIONS

### ELECTRICAL SPECIFICATIONS

$V_S = 3.0\text{ V}$ ,  $V_{CM} = 1.5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ , unless otherwise noted.

Table 1.

Parameter	Symbol	Condition	Min	Typ	Max	Unit
<b>INPUT CHARACTERISTICS</b>						
Offset Voltage <sup>1</sup>	$V_{OS}$				1.5	mV
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			2.5	mV
Input Bias Current	$I_B$	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		3	10	nA
Input Offset Current	$I_{OS}$	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		0.1	7	nA
Input Voltage Range			0		2	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 0\text{ V to } 2.0\text{ V}$ , $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	65	95		dB
Large-Signal Voltage Gain	$A_{VO}$	$R_L = 1\text{ M}\Omega$ , $V_O = 0.3\text{ V to } 2.7\text{ V}$	5	13		V/mV
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	2			V/mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C to } +85^\circ\text{C}$		10		$\mu\text{V}/^\circ\text{C}$
Bias Current Drift	$\Delta I_B/\Delta T$			20		$\text{pA}/^\circ\text{C}$
Offset Current Drift	$\Delta I_{OS}/\Delta T$			2		$\text{pA}/^\circ\text{C}$
<b>OUTPUT CHARACTERISTICS</b>						
Output Voltage High	$V_{OH}$	$R_L = 100\text{ k}\Omega$ to GND, $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	2.925	2.96		V
Output Voltage Low	$V_{OL}$	$R_L = 100\text{ k}\Omega$ to $V_+$ , $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$		25	75	mV
Short-Circuit Limit	$I_{SC}$			$\pm 1.1$		mA
<b>POWER SUPPLY</b>						
Power Supply Rejection Ratio	PSRR	$V_S = 2.7\text{ V to } 12\text{ V}$ , $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	76	95		dB
Supply Current/Amplifier	$I_{SY}$	$V_O = 0\text{ V}$		3	4	$\mu\text{A}$
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			5	$\mu\text{A}$
<b>DYNAMIC PERFORMANCE</b>						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$ , $C_L = 50\text{ pF}$		25		V/ms
Turn-On Time		$A_V = 1$ , $V_O = 1\text{ V}$		40		$\mu\text{s}$
		$A_V = 20$ , $V_O = 1\text{ V}$		50		$\mu\text{s}$
Saturation Recovery Time				65		$\mu\text{s}$
Gain Bandwidth Product	GBP			95		kHz
Phase Margin	$\phi_M$			70		Degrees
<b>NOISE PERFORMANCE</b>						
Voltage Noise	$e_n$ p-p	0.1 Hz to 10 Hz		10		$\mu\text{V p-p}$
Voltage Noise Density	$e_n$	$f = 1\text{ kHz}$		75		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	$i_n$			<1		$\text{pA}/\sqrt{\text{Hz}}$

<sup>1</sup>  $V_{OS}$  is tested under a no load condition.



## ANEXO A7. Hoja de datos Microcontrolador MSP430F2003

### MSP430x20x1, MSP430x20x2, MSP430x20x3 MIXED SIGNAL MICROCONTROLLER

SLAS491C – AUGUST 2005 – REVISED MAY 2006

- Low Supply Voltage Range 1.8 V to 3.6 V
- Ultralow-Power Consumption
  - Active Mode: 220  $\mu$ A at 1 MHz, 2.2 V
  - Standby Mode: 0.5  $\mu$ A
  - Off Mode (RAM Retention): 0.1  $\mu$ A
- Five Power-Saving Modes
- Ultrafast Wake-Up From Standby Mode in Less Than 1  $\mu$ s
- 16-Bit RISC Architecture, 62.5 ns Instruction Cycle Time
- Basic Clock Module Configurations:
  - Internal Frequencies up to 16MHz with 4 Calibrated Frequencies to  $\pm$ 1%
  - Internal Very Low Power LF oscillator
  - 32-kHz Crystal
  - External Digital Clock Source
- 16-Bit Timer\_A With Two Capture/Compare Registers
- On-Chip Comparator for Analog Signal Compare Function or Slope A/D (MSP430x20x1 only)
- 10-Bit, 200-ksps A/D Converter with Internal Reference, Sample-and-Hold, and Autoscan. (MSP430x20x2 only)
- 16-Bit Sigma-Delta A/D Converter with Differential PGA Inputs, and Internal Reference (MSP430x20x3 only)
- Universal Serial Interface (USI), supporting SPI and I2C (MSP430x20x2 and MSP430x20x3 only)
- Brownout Detector
- Serial Onboard Programming, No External Programming Voltage Needed Programmable Code Protection by Security Fuse
- On-Chip Emulation Logic with Spy-Bi-Wire Interface
- Family Members Include:
  - MSP430F2001: 1KB + 256B Flash Memory 128B RAM
  - MSP430F2011: 2KB + 256B Flash Memory 128B RAM
  - MSP430F2002: 1KB + 256B Flash Memory 128B RAM
  - MSP430F2012: 2KB + 256B Flash Memory 128B RAM
  - MSP430F2003: 1KB + 256B Flash Memory 128B RAM
  - MSP430F2013: 2KB + 256B Flash Memory 128B RAM
- Available in a 14-Pin Plastic Small-Outline Thin Package (TSSOP), 14-Pin Plastic Dual Inline Package (PDIP), and 16-Pin QFN
- For Complete Module Descriptions, Refer to the *MSP430x2xx Family User's Guide*

#### description

The Texas Instruments MSP430 family of ultralow-power microcontrollers consist of several devices featuring different sets of peripherals targeted for various applications. The architecture, combined with five low-power modes is optimized to achieve extended battery life in portable measurement applications. The device features a powerful 16-bit RISC CPU, 16-bit registers, and constant generators that attribute to maximum code efficiency. The digitally controlled oscillator (DCO) allows wake-up from low-power modes to active mode in less than 1 $\mu$ s.

The MSP430x20xx series is an ultralow-power mixed signal microcontroller with a built-in 16-bit timer, and ten I/O pins. In addition the MSP430x20x1 has a versatile analog comparator. The MSP430x20x2 and MSP430x20x3 have built-in communication capability using synchronous protocols (SPI or I2C), and a 10-bit A/D converter (MSP430x20x2) or a 16-bit sigma-delta A/D converter (MSP430x20x3).

Typical applications include sensor systems that capture analog signals, convert them to digital values, and then process the data for display or for transmission to a host system. Stand alone RF sensor front end is another area of application.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

Copyright © 2005 – 2006 Texas Instruments Incorporated



## MSP430x20x1, MSP430x20x2, MSP430x20x3 MIXED SIGNAL MICROCONTROLLER

SLAS491C – AUGUST 2005 – REVISED MAY 2006

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

active mode supply current (into  $V_{CC}$ ) excluding external current (see Notes 1 and 2)

PARAMETER	TEST CONDITIONS	$T_A$	VCC	MIN	TYP	MAX	UNIT
$I_{AM, 1MHz}$ Active mode (AM) current (1MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1MHz$ , $f_{ACLK} = 32,768Hz$ , Program executes in flash, BCSCTL1 = CALBC1_1MHZ, DCOCTL = CALDCO_1MHZ, CPUOFF = 0, SCG0 = 0, SCG1 = 0, OSCOFF = 0		2.2 V		220	270	$\mu A$
			3 V		300	370	
$I_{AM, 1MHz}$ Active mode (AM) current (1MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1MHz$ , $f_{ACLK} = 32,768Hz$ , Program executes in RAM, BCSCTL1 = CALBC1_1MHZ, DCOCTL = CALDCO_1MHZ, CPUOFF = 0, SCG0 = 0, SCG1 = 0, OSCOFF = 0		2.2 V		190		$\mu A$
			3 V		260		
$I_{AM, 4kHz}$ Active mode (AM) current (4kHz)	$f_{MCLK} = f_{SMCLK} = f_{ACLK} = 32,768Hz/8 = 4,096Hz$ , $f_{DCO} = 0Hz$ , Program executes in flash, SELMx = 11, SELS = 1, DIVMx = DIVSx = DIVAx = 11, CPUOFF = 0, SCG0 = 1, SCG1 = 0, OSCOFF = 0	-40–85°C	2.2 V		1.2	3	$\mu A$
		105°C	2.2 V			6	
		-40–85°C	3 V		1.6	4	
		105°C	3 V			7	
$I_{AM, 100kHz}$ Active mode (AM) current (100kHz)	$f_{MCLK} = f_{SMCLK} = f_{DCO(0,0)} = 100kHz$ , $f_{ACLK} = 0Hz$ , Program executes in flash, RSELx = 0, DCOx = 0, CPUOFF = 0, SCG0 = 0, SCG1 = 0, OSCOFF = 1	-40–85°C	2.2 V		37	50	$\mu A$
		105°C	2.2 V			60	
		-40–85°C	3 V		40	55	
		105°C	3 V			65	

- NOTES: 1. All inputs are tied to 0 V or  $V_{CC}$ . Outputs do not source or sink any current.  
2. The currents are characterized with a Micro Crystal CC4V–T1A SMD crystal with a load capacitance of 9 pF. The internal and external load capacitance is chosen to closely match the required 9pF.



**MSP430x20x1, MSP430x20x2, MSP430x20x3  
MIXED SIGNAL MICROCONTROLLER**

SLAS491C – AUGUST 2005 – REVISED MAY 2006

**electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (continued)**

**low power mode supply currents (into V<sub>CC</sub>) excluding external current (see Notes 1 and 2)**

PARAMETER	TEST CONDITIONS	T <sub>A</sub>	V <sub>CC</sub>	MIN	TYP	MAX	UNIT	
I <sub>LPM0</sub> , 1MHz Low-power mode 0 (LPM0) current, see Note 3	f <sub>MCLK</sub> = 0MHz, f <sub>SMCLK</sub> = f <sub>DCO</sub> = 1MHz, f <sub>ACLK</sub> = 32,768Hz, BCSCTL1 = CALBC1_1MHZ, DCOCTL = CALDCO_1MHZ, CPUOFF = 1, SCG0 = 0, SCG1 = 0, OSCOFF = 0		2.2 V		65	80	μA	
			3 V		85	100		
I <sub>LPM0</sub> 100kHz Low-power mode 0 (LPM0) current, see Note 3	f <sub>MCLK</sub> = 0MHz, f <sub>SMCLK</sub> = f <sub>DCO</sub> (0, 0) = 100kHz, f <sub>ACLK</sub> = 0Hz, RSELx = 0, DCOx = 0, CPUOFF = 1, SCG0 = 0, SCG1 = 0, OSCOFF = 1		2.2 V		37	48	μA	
			3 V		41	52		
I <sub>LPM2</sub> Low-power mode 2 (LPM2) current, see Note 4	f <sub>MCLK</sub> = f <sub>SMCLK</sub> = 0MHz, f <sub>DCO</sub> = 1MHz, f <sub>ACLK</sub> = 32,768Hz, BCSCTL1 = CALBC1_1MHZ, DCOCTL = CALDCO_1MHZ, CPUOFF = 1, SCG0 = 0, SCG1 = 1, OSCOFF = 0	-40–85°C	2.2 V		22	29	μA	
						31		
		105°C	3 V		25	32		
						34		
I <sub>LPM3</sub> , LFXT1 Low-power mode 3 (LPM3) current, see Note 4	f <sub>DCO</sub> = f <sub>MCLK</sub> = f <sub>SMCLK</sub> = 0MHz, f <sub>ACLK</sub> = 32,768Hz, CPUOFF = 1, SCG0 = 1, SCG1 = 1, OSCOFF = 0	-40°C	2.2 V		0.7	1.2	μA	
						0.7		1.0
						1.4		2.3
						3		6
		-40°C	3 V		0.9	1.2		
					0.9	1.2		
					1.6	2.8		
					3	7		
I <sub>LPM3</sub> , VLO Low-power mode 3 current, (LPM3) see Note 4	f <sub>DCO</sub> = f <sub>MCLK</sub> = f <sub>SMCLK</sub> = 0MHz, f <sub>ACLK</sub> from internal LF oscillator (VLO), CPUOFF = 1, SCG0 = 1, SCG1 = 1, OSCOFF = 0	-40°C	2.2 V		0.4	0.7	μA	
						0.5		0.7
						1.0		1.6
						2		5
		-40°C	3 V		0.5	0.9		
					0.6	0.9		
					1.3	1.8		
					2.5	6		
I <sub>LPM4</sub> Low-power mode 4 (LPM4) current, see Note 5	f <sub>DCO</sub> = f <sub>MCLK</sub> = f <sub>SMCLK</sub> = 0MHz, f <sub>ACLK</sub> = 32,768Hz, CPUOFF = 1, SCG0 = 1, SCG1 = 1, OSCOFF = 1	-40°C	2.2 V/3 V		0.1	0.5	μA	
						0.1		0.5
						0.8		1.5
						2		4

- NOTES: 1. All inputs are tied to 0 V or V<sub>CC</sub>. Outputs do not source or sink any current.  
 2. The currents are characterized with a Micro Crystal CC4V–T1A SMD crystal with a load capacitance of 9 pF. The internal and external load capacitance is chosen to closely match the required 9pF.  
 3. Current for brownout and WDT clocked by SMCLK included.  
 4. Current for brownout and WDT clocked by ACLK included.  
 5. Current for brownout included.



## MSP430x20x1, MSP430x20x2, MSP430x20x3 MIXED SIGNAL MICROCONTROLLER

SLAS491C – AUGUST 2005 – REVISED MAY 2006

### MSP430x20x3 electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

#### SD16\_A, power supply and recommended operating conditions (MSP430x20x3 only)

PARAMETER		TEST CONDITIONS		T <sub>A</sub>	VCC	MIN	TYP	MAX	UNIT	
AVCC	Analog supply voltage range	AVCC = DVCC = VCC AVSS = DVSS = VSS = 0V				2.5		3.6	V	
I <sub>SD16</sub>	Analog supply current including internal reference	SD16LP = 0, f <sub>SD16</sub> = 1 MHz, SD16OSR = 256	GAIN: 1,2	-40–85°C	3 V		730	1050	μA	
				105°C			1170			
			GAIN: 4,8,16	-40–85°C			810	1150		
				105°C				1300		
			GAIN: 32	-40–85°C				1160		1700
				105°C						1850
		SD16LP = 1, f <sub>SD16</sub> = 0.5 MHz, SD16OSR = 256	GAIN: 1	-40–85°C	3 V		720	1030	μA	
				105°C				1160		
GAIN: 32	-40–85°C					810	1150			
	105°C						1300			
f <sub>SD16</sub>	SD16 input clock frequency	SD16LP = 0 (Low power mode disabled)			3 V	0.03	1	1.1	MHz	
f <sub>SD16</sub>	SD16 input clock frequency	SD16LP = 1 (Low power mode enabled)			3 V	0.03	0.5		MHz	

#### SD16\_A, input range (MSP430x20x3 only)

PARAMETER		TEST CONDITIONS		VCC	MIN	TYP	MAX	UNIT
V <sub>ID,FSR</sub>	Differential full scale input voltage range (see Note 1)	Bipolar Mode, SD16UNI = 0			$-(V_{REF}/2)/GAIN$	$+(V_{REF}/2)/GAIN$		mV
		Unipolar Mode, SD16UNI = 1			0	$+(V_{REF}/2)/GAIN$		mV
V <sub>ID</sub>	Differential input voltage range for specified performance (see Note 1)	SD16REFON=1	SD16GAINx=1			±500		mV
			SD16GAINx=2			±250		
			SD16GAINx=4			±125		
			SD16GAINx=8			±62		
			SD16GAINx=16			±31		
			SD16GAINx=32			±15		
Z <sub>I</sub>	Input impedance (one input pin to AVSS)	f <sub>SD16</sub> = 1MHz	SD16GAINx=1	3 V		200		kΩ
			SD16GAINx=32	3 V		75		
Z <sub>ID</sub>	Differential Input impedance (IN+ to IN-)	f <sub>SD16</sub> = 1MHz	SD16GAINx=1	3 V	300	400		kΩ
			SD16GAINx=32	3 V	100	150		
V <sub>I</sub>	Absolute input voltage range				AVSS -0.1V		AVCC	V
V <sub>IC</sub>	Common-mode input voltage range				AVSS -0.1V		AVCC	V

NOTES: 1. The analog input range depends on the reference voltage applied to V<sub>REF</sub>. If V<sub>REF</sub> is sourced externally, the full-scale range is defined by V<sub>FSR+</sub> = +(V<sub>REF</sub>/2)/GAIN and V<sub>FSR-</sub> = -(V<sub>REF</sub>/2)/GAIN. The analog input range should not exceed 80% of V<sub>FSR+</sub> or V<sub>FSR-</sub>.



**MSP430x20x1, MSP430x20x2, MSP430x20x3  
MIXED SIGNAL MICROCONTROLLER**

SLAS491C – AUGUST 2005 – REVISED MAY 2006

**MSP430x20x3 electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (continued)**

**SD16\_A, SINAD performance ( $f_{SD16} = 1\text{MHz}$ ,  $SD16OSRx = 1024$ ,  $SD16REFON = 1$ , MSP430x20x3 only)**

PARAMETER	TEST CONDITIONS	VCC	PW, or N		RSA		UNIT
			MIN	TYP	MIN	TYP	
SINAD <sub>1024</sub> Signal-to-Noise + Distortion Ratio (OSR = 1024)	SD16GAINx = 1, Signal Amplitude: $V_{IN} = 500\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	84	85	86	87	dB
	SD16GAINx = 2, Signal Amplitude: $V_{IN} = 250\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	82	83	82	83	
	SD16GAINx = 4, Signal Amplitude: $V_{IN} = 125\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	78	79	78	79	
	SD16GAINx = 8, Signal Amplitude: $V_{IN} = 62\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	73	74	73	74	
	SD16GAINx = 16, Signal Amplitude: $V_{IN} = 31\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	68	69	68	69	
	SD16GAINx = 32, Signal Amplitude: $V_{IN} = 15\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	62	63	62	63	

**SD16\_A, SINAD performance ( $f_{SD16} = 1\text{MHz}$ ,  $SD16OSRx = 256$ ,  $SD16REFON = 1$ , MSP430x20x3 only)**

PARAMETER	TEST CONDITIONS	VCC	PW, or N		RSA		UNIT
			MIN	TYP	MIN	TYP	
SINAD <sub>256</sub> Signal-to-Noise + Distortion Ratio (OSR = 256)	SD16GAINx = 1, Signal Amplitude: $V_{IN} = 500\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	80	81	82	83	dB
	SD16GAINx = 2, Signal Amplitude: $V_{IN} = 250\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	74	75	76	77	
	SD16GAINx = 4, Signal Amplitude: $V_{IN} = 125\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	69	70	71	72	
	SD16GAINx = 8, Signal Amplitude: $V_{IN} = 62\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	63	64	67	68	
	SD16GAINx = 16, Signal Amplitude: $V_{IN} = 31\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	58	59	63	64	
	SD16GAINx = 32, Signal Amplitude: $V_{IN} = 15\text{mV}$ , Signal Frequency: $f_{IN} = 100\text{Hz}$	3 V	52	53	57	58	



## ANEXO A8. Hoja de datos transmisor TXM-315-LR

# LINX<sup>®</sup>

## TECHNOLOGIES

**WIRELESS MADE SIMPLE<sup>®</sup>**

TXM-315-LR  
TXM-418-LR  
TXM-433-LR

### LR SERIES TRANSMITTER MODULE DATA GUIDE

#### DESCRIPTION

The LR Series transmitter is ideal for the cost-effective wireless transfer of serial data, control, or command information in the favorable 260-470MHz band. When paired with a compatible Linx receiver, a reliable wireless link is formed, capable of transferring data at rates of up to 10,000bps at distances of up to 3,000 feet. Applications operating over shorter distances or at lower data rates will also benefit from increased link reliability and superior noise immunity. The transmitter's synthesized architecture delivers outstanding stability and frequency accuracy and minimizes the affects of antenna pulling. Housed in a tiny reflow-compatible SMD package, the transmitter requires no external components (except an antenna), which greatly simplifies integration and lowers assembly costs.

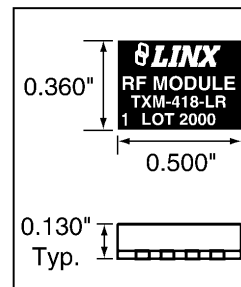


Figure 1: Package Dimensions

#### FEATURES

- Long range
- Low cost
- PLL-synthesized architecture
- Direct serial interface
- Data rates to 10,000bps
- No external RF components needed
- Low power consumption
- Low voltage (2.1 to 3.6VDC)
- Compact surface mount package
- Wide temperature range
- Power-down function
- No production tuning

#### APPLICATIONS INCLUDE

- Remote Control
- Keyless Entry
- Garage / Gate Openers
- Lighting Control
- Medical Monitoring / Call Systems
- Remote Industrial Monitoring
- Periodic Data Transfer
- Home / Industrial Automation
- Fire / Security Alarms
- Remote Status / Position Sensing
- Long-Range RFID
- Wire Elimination

#### ORDERING INFORMATION

PART #	DESCRIPTION
TXM-315-LR	Transmitter 315MHz
TXM-418-LR	Transmitter 418MHz
TXM-433-LR	Transmitter 433MHz
RXM-315-LR	Receiver 315MHz
RXM-418-LR	Receiver 418MHz
RXM-433-LR	Receiver 433MHz
EVAL-***-LR	Basic Evaluation Kit
*** = Frequency	
Transmitters are supplied in tubes of 50 pcs.	

Revised 10/12/06



## ELECTRICAL SPECIFICATIONS

Parameter	Designation	Min.	Typical	Max.	Units	Notes
<b>POWER SUPPLY</b>						
Operating Voltage	$V_{CC}$	2.1	3.0	3.6	VDC	–
Supply Current:	$I_{CC}$	–	3.4	–	mA	1,2
Logic High		–	5.1	–	mA	2
Logic Low		–	1.8	–	mA	–
Power-Down Current	$I_{PDN}$	–	5.0	–	nA	–
<b>TRANSMITTER SECTION</b>						
Transmit Frequency Range:	$F_C$					
TXM-315-LR		–	315	–	MHz	–
TXM-418-LR		–	418	–	MHz	–
TXM-433-LR		–	433.92	–	MHz	–
Center Frequency Accuracy	–	-50	–	+50	kHz	–
Output Power	$P_O$	-4	0.0	+4	dBm	2
Output Power Control Range	–	-80	–	+10	dB	3
Harmonic Emissions	$P_H$	-36	–	–	dBc	–
Data Rate	–	DC	–	10,000	bps	–
Data Input:						
Logic Low	$V_{IL}$	–	–	0.25	VDC	–
Logic High	$V_{IH}$	$V_{CC}-0.25$	–	–	VDC	–
Power Down Input:						
Logic Low	$V_{IL}$	–	–	0.25	VDC	–
Logic High	$V_{IH}$	$V_{CC}-0.25$	–	–	VDC	–
<b>ANTENNA PORT</b>						
RF Output Impedance	$R_{OUT}$	–	50	–	$\Omega$	4
<b>TIMING</b>						
Transmitter Turn-On Time:						
Via $V_{CC}$ or PDN	–	–	1.0	–	mSec	4
Modulation Delay	–	–	–	30.0	nS	4
<b>ENVIRONMENTAL</b>						
Operating Temperature Range	–	-40	–	+85	$^{\circ}C$	4

Table 1: LR Series Transmitter Electrical Specifications

### Notes

1. With a 50% duty cycle.
2. With a 750 $\Omega$  resistor on LADJ.
3. See graph on Page 3.
4. Characterized, but not tested.

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage $V_{CC}$	-0.3	to	+3.6	VDC
Any Input or Output Pin	-0.3	to	$V_{CC} + 0.3$	VDC
Operating Temperature	-40	to	+85	$^{\circ}C$
Storage Temperature	-40	to	+90	$^{\circ}C$
Soldering Temperature	+225 $^{\circ}C$ for 10 seconds			

**\*NOTE\*** Exceeding any of the limits of this section may lead to permanent damage to the device. Furthermore, extended operation at these maximum ratings may reduce the life of this device.



## PERFORMANCE DATA

These performance parameters are based on module operation at 25°C from a 3.0VDC supply unless otherwise noted. Figure 2 illustrates the connections necessary for testing and operation. It is recommended all ground pins be connected to the ground plane.

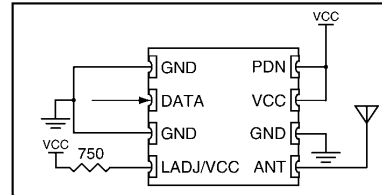


Figure 2: Test / Basic Application Circuit

## TYPICAL PERFORMANCE GRAPHS

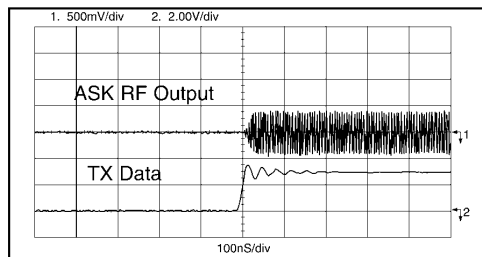


Figure 3: Modulation Delay

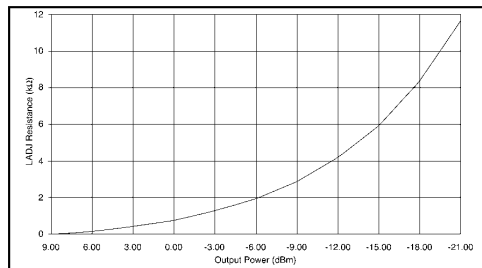


Figure 4: Output Power vs. LADJ Resistance

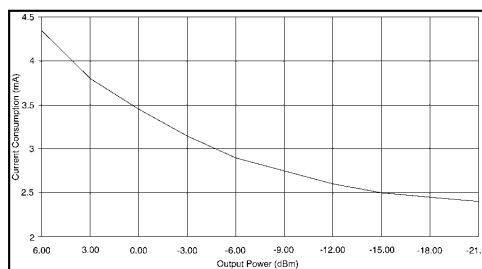


Figure 5: Current Consumption vs. Output Power (50% Duty Cycle)



## ANEXO A9. Hoja de datos Batería UBC322030

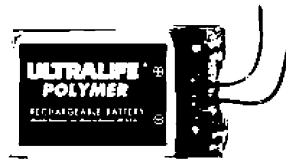
# ULTRALIFE<sup>®</sup> Batteries

We. Are. Power.<sup>™</sup>

## UBC322030 Technical Datasheet

### The Ultralife Advantage

Better technology. Our lithium-based (lithium-manganese dioxide, lithium ion and lithium polymer) technologies enable us to design leading-edge power solutions for the world's most demanding applications.



### FEATURES

- Thin
- High energy density
- Wide operating temperature range
- Lightweight
- No memory effect
- Can be assembled into packs

### APPLICATIONS

- Portable Electronics
- Medical Devices
- RFID Applications
- Tracking Applications

### SPECIFICATIONS

<b>Part No</b>	UBC008
<b>Voltage Range</b>	3.0 to 4.2 V
<b>Average Voltage</b>	3.7 V
<b>Nominal Capacity</b>	120 mAh @ C/5 Rate @ 23° C
<b>Max. Discharge</b>	2C continuous
<b>Energy</b>	0.44 Wh
<b>Energy Density</b>	148 Wh/kg, 230 Wh/l
<b>Weight</b>	3.0 grams
<b>Cycle Life</b>	> 300 cycles @ C/5 to 80% of initial capacity
<b>Memory</b>	No Memory Effect
<b>Operating Temp</b>	-20° C to 60° C
<b>Storage Temp</b>	-20° C to 60° C
<b>Self-Discharge</b>	< 10% per month
<b>Exterior/Housing</b>	Laminated Foil
<b>Terminals/Connector</b>	30 AWG wire: Red (+), Black (-)
<b>Safety</b>	Material Safety Datasheet – MSDS014.
<b>Transportation</b>	Excepted from Regulations – see note 1
<b>Protection Circuit Module</b>	Over Voltage Limit: 4.28 +/- 0.03 V Under Voltage Limit: 2.3 +/- 0.10 V Over Current Protection: 2.0 A @ Room Temp. Max. Quiescent Drain: 6 µA
<b>Charging</b>	Maximum charge rate at C/2 to 4.2 Volts in a temperature range of 0° to 45° C. Hold at 4.2 Volts until current declines to C/10. Refer also to Safety Guide UBI-5112.
<b>Note 1</b>	For a complete description of transportation regulations and definitions of the transportation classifications "Excepted" and "Class 9," refer to the Ultralife web site at <a href="http://www.ultralifebatteries.com">www.ultralifebatteries.com</a> .



## ANEXO A10. Hoja de datos Controlador de carga BQ24012



bq24010, bq24012  
bq24013, bq24014, bq24018

www.ti.com

SLUS530J-SEPTEMBER 2002-REVISED DECEMBER 2008

### SINGLE-CHIP, LI-ION CHARGE MANAGEMENT IC FOR HANDHELD APPLICATIONS (bqTINY™)

#### FEATURES

- Small 3 mm × 3 mm MLP (QFN) Package
- Ideal for Low-Dropout Designs for Single-Cell Li-Ion or Li-Pol Packs in Space Limited Applications
- Integrated Power FET and Current Sensor for Up to 1-A Charge Applications
- Reverse Leakage Protection Prevents Battery Drainage
- Integrated Current and Voltage Regulation
- ±0.5% Voltage Regulation Accuracy
- Charge Termination by Minimum Current and Time
- Precharge Conditioning With Safety Timer
- Status Outputs for LED or System Interface Indicates Charge and Fault Conditions
- Battery Insertion and Removal Detection
- Works With Regulated and Unregulated Supplies
- Short-Circuit Protection
- Charge Voltage Options: 4.2 V and 4.36 V

#### APPLICATIONS

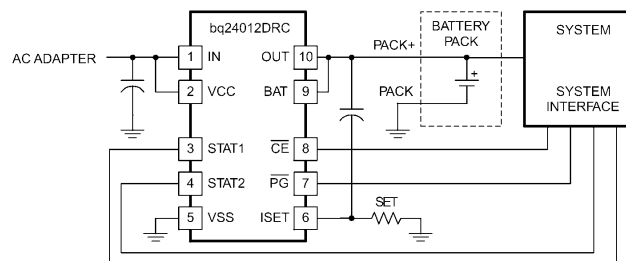
- Cellular Phones
- PDAs, MP3 Players
- Digital Cameras
- Internet Appliances

#### DESCRIPTION

The bqTINY™ series are highly integrated Li-Ion and Li-Pol linear charge management devices targeted at space limited portable applications. The bqTINY™ series offer integrated powerFET and current sensor, reverse blocking protection, high accuracy current and voltage regulation, charge status, and charge termination, in a small package.

The bqTINY™ charges the battery in three phases: conditioning, constant current, and constant voltage. Charge is terminated based on minimum current. An internal charge timer provides a backup safety feature for charge termination. The bqTINY™ automatically re-starts the charge if the battery voltage falls below an internal threshold. The bqTINY™ automatically enters sleep mode when V<sub>CC</sub> supply is removed.

In addition to the standard features, different versions of the bqTINY™ offer a multitude of additional features. These include temperature sensing input for detecting hot or cold battery packs; power good (PG) output indicating the presence of valid input power; a TTL-level charge-enable input (CE) used to disable or enable the charge process; and a TTL-level timer and termination enable (TTE) input used to disable or enable the fast-charge timer and charge termination.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

bqTINY is a trademark of Texas Instruments.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2002–2008, Texas Instruments Incorporated



**bq24010, bq24012  
bq24013, bq24014, bq24018**



SLUS530J–SEPTEMBER 2002–REVISED DECEMBER 2008

www.ti.com



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

**ORDERING INFORMATION**

T <sub>A</sub>	CHARGE REGULATION VOLTAGE (V) <sup>(1)</sup>	OPTIONAL FUNCTIONS <sup>(1)</sup>	PART NUMBER <sup>(2)(3)</sup>	MARKINGS
–40°C to 125°C	4.2	PG and TS	bq24010DRCR	AZN
	4.2	PG and CE	bq24012DRCR	AZP
	4.2	CE and TTE	bq24013DRCR	AZQ
	4.2	CE and TS	bq24014DRCR	AZR
			bq24014DRCT	
	4.36	CE and TTE	bq24018DRCR	BZH
		bq24018DRCT		

- (1) Contact Texas Instruments for other options.
- (2) The DRC package is available only taped and reeled. Quantities are 3,000 devices per reel (e.g. bq24010DRCR) and 250 devices per mini-reel (e.g. bq24014DRCT).
- (3) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI website at www.ti.com.

**ABSOLUTE MAXIMUM RATINGS<sup>(1)</sup>**

	VALUE	UNIT
Supply voltage range, (V <sub>CC</sub> all with respect to V <sub>SS</sub> )	–0.3 to 18	V
Input voltage range <sup>(2)</sup>	IN, STAT1, STAT2, TS, PG, CE, TTE	–0.3 to V <sub>CC</sub>
	BAT, OUT, ISET	–0.3 to 7
Voltage difference between V <sub>CC</sub> and IN inputs V <sub>CC</sub> – V <sub>IN</sub>	±0.5	V
Output sink/source current	15	
Output current	1.5	
T <sub>A</sub> Operating free-air temperature range	–40 to 125	°C
T <sub>J</sub> Junction temperature range		
T <sub>stg</sub> Storage temperature		
	–65 to 150	°C

- (1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are DC and with respect to V<sub>SS</sub>.

**DISSIPATION RATINGS**

PACKAGE	θ <sub>JA</sub>	T <sub>A</sub> < 40°C POWER RATING	DERATING FACTOR ABOVE T <sub>A</sub> = 40°C
DRC <sup>(1)</sup>	47°C/W	1.5 W	0.021 W/°C

- (1) This data is based on using the JEDEC High-K board and the exposed die pad is connected to a copper pad on the board. This is connected to the ground plane by a 2x3 via matrix.

**RECOMMENDED OPERATING CONDITIONS**

over operating free-air temperature range (unless otherwise noted)

	MIN	NOM	MAX	UNIT
V <sub>CC</sub> Supply voltage <sup>(1)(2)</sup>	3		16.5	V
V <sub>IN</sub> Input voltage <sup>(1)(2)</sup>	3		16.5	V
T <sub>J</sub> Operating junction temperature range	–40		125	°C

- (1) Pins V<sub>CC</sub> and IN must be tied together.
- (2) If V<sub>in</sub> is between UVLO and 4.35V, and above the battery voltage, then the IC is active (can deliver some charge to the battery), but the IC will have limited or degraded performance (some functions may not meet data sheet specifications). The battery may be undercharged (V<sub>O(reg)</sub> less than in the specification), but will not be overcharged (V<sub>O(reg)</sub> will not exceed specification).

2 Submit Documentation Feedback

Copyright © 2002–2008, Texas Instruments Incorporated

Product Folder Link(s): bq24010, bq24012 bq24013, bq24014, bq24018



**bq24010, bq24012**  
**bq24013, bq24014, bq24018**

www.ti.com

SLUS530J–SEPTEMBER 2002–REVISED DECEMBER 2008

## ELECTRICAL CHARACTERISTICS

over 0°C ≤ T<sub>J</sub> ≤ 125°C and recommended supply voltage, (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>INPUT CURRENT</b>						
I <sub>CC(VCC)</sub>	VCC current	V <sub>CC</sub> > V <sub>CC(min)</sub> , STATx pins in OFF state	0	3.5	5	mA
I <sub>CC(SLP)</sub>	Sleep current	Sum of currents into OUT and BAT pins, V <sub>CC</sub> < V <sub>(SLP)</sub>			5	μA
I <sub>B(BAT)</sub>	Input bias current on BAT pin				500	nA
I <sub>B(TS)</sub>	Input current on TS pin	V <sub>(TS)</sub> ≤ 10 V			1	μA
I <sub>B(CE)</sub>	Input current on CE pin				1	
I <sub>B(TTE)</sub>	Input bias current on TTE pin				1	
<b>VOLTAGE REGULATION V<sub>O(REG)</sub> + V<sub>(DO-MAX)</sub> ≤ V<sub>CC</sub>, I<sub>(TERM)</sub> &lt; I<sub>O(OUT)</sub> ≤ 1 A</b>						
Output voltage, V <sub>O(REG)</sub>		bq24010, bq24012, bq24013, bq24014	4.2			V
		bq24018	4.36			
Voltage regulation accuracy		T <sub>A</sub> = 25°C	-0.5%		0.5%	
			-1%		1%	
V <sub>(DO)</sub>	Dropout voltage (V <sub>(IN)</sub> - V <sub>(OUT)</sub> )	V <sub>O(REG)</sub> + V <sub>(DO-MAX)</sub> ≤ V <sub>CC</sub> , I <sub>O(OUT)</sub> = 1 A		650	790	mV
<b>CURRENT REGULATION</b>						
I <sub>O(OUT)</sub> <sup>(1)</sup>	Output current range	V <sub>CC</sub> ≥ 4.5 V, V <sub>IN</sub> ≥ 4.5 V, V <sub>(BAT)</sub> > V <sub>(LOWV)</sub> , V <sub>IN</sub> - V <sub>(BAT)</sub> > V <sub>(DO-MAX)</sub> See note <sup>(2)</sup>	100		1000	mA
			25		100	
V <sub>(SET)</sub>	Output current set voltage	Voltage on ISET pin, V <sub>CC</sub> ≥ 4.5 V, V <sub>IN</sub> ≥ 4.5 V, V <sub>(BAT)</sub> > V <sub>(LOWV)</sub> , V <sub>IN</sub> - V <sub>(BAT)</sub> > V <sub>(DO-MAX)</sub> , V <sub>O(REG)</sub> = 4.2 V	2.45	2.50	2.55	V
			2.548	2.6	2.652	
K <sub>(SET)</sub>	Output current ISET factor	50 mA ≤ I <sub>O(OUT)</sub> ≤ 1000 mA, V <sub>(LOWV)</sub> < V <sub>(OUT)</sub> < V <sub>(RCH)</sub>	315	335	355	
		25 mA ≤ I <sub>O(OUT)</sub> < 50 mA, V <sub>(LOWV)</sub> < V <sub>(OUT)</sub> < V <sub>(RCH)</sub>	315	372	430	
		10 mA ≤ I <sub>O(OUT)</sub> < 100 mA, V <sub>(OUT)</sub> < V <sub>(LOWV)</sub>	350		1000	
		2.5 mA ≤ I <sub>O(OUT)</sub> < 10 mA, V <sub>(OUT)</sub> < V <sub>(LOWV)</sub>			450	
		2.5 mA ≤ I <sub>O(OUT)</sub> < I <sub>(PGM)</sub> , V <sub>(OUT)</sub> < V <sub>(RCH)</sub>			355 <sup>(3)</sup>	
<b>PRECHARGE AND SHORT-CIRCUIT CURRENT REGULATION</b>						
V <sub>(LOWV)</sub>	Precharge to fast-charge transition threshold	Voltage on BAT pin	2.80	2.95	3.10	V
V <sub>(SC)</sub>	Precharge to short-charge transition threshold	Voltage on BAT pin	1	1.4	1.8	V
I <sub>O(PRECHG)</sub> <sup>(4)</sup>	Precharge range	V <sub>(SC)</sub> < V <sub>(BAT)</sub> < V <sub>(LOWV)</sub> , t < t <sub>(PRECHG)</sub>	10		100	mV
V <sub>(PRECHG)</sub>	Precharge set voltage	Voltage on ISET pin, V <sub>(SC)</sub> < V <sub>(BAT)</sub> < V <sub>(LOWV)</sub>	225	250	280	mV
I <sub>SC</sub>	Short circuit current	V <sub>(SC)</sub> > V <sub>(BAT)</sub>	660	900	1200	μA

$$I_{O(OUT)} = \frac{(K_{(SET)} \times V_{(SET)})}{R_{(SET)}}$$

- (1) Specified by design. Not production tested.  
 (2) The ISET pin may be used as a current monitor during voltage regulation by applying the following equation:

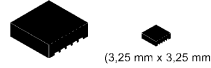
$$I_{O(OUT)} = K_{(ISET)} \times \left( \frac{V_{(ISET)}}{R_{(ISET)} + 10\mu A} \right)$$

This equation is also used for calculating the termination point.

$$(4) \quad I_{O(PRECHG)} = \frac{(K_{(SET)} \times V_{(PRECHG)})}{R_{(SET)}}$$



## ANEXO A11. Hoja de datos Conversor DC/DC TPS63001



TPS63000  
TPS63001  
TPS63002

www.ti.com

SLVS520B–MARCH 2006–REVISED JULY 2008

### HIGH EFFICIENT SINGLE INDUCTOR BUCK-BOOST CONVERTER WITH 1.8-A SWITCHES

#### FEATURES

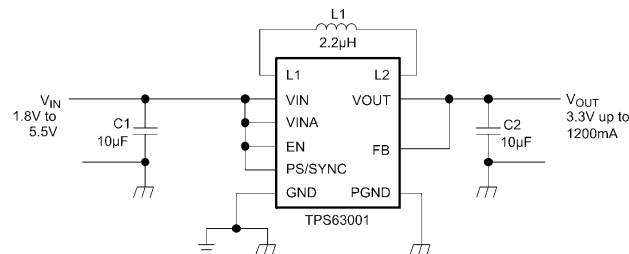
- Up to 96% Efficiency
- 1200-mA Output Current at 3.3V in Step Down Mode ( $V_{IN} = 3.6V$  to  $5.5V$ )
- Up to 800-mA Output Current at 3.3V in Boost Mode ( $V_{IN} > 2.4V$ )
- Automatic Transition between Step Down and Boost Mode
- Device Quiescent Current less than  $50\mu A$
- Input Voltage Range: 1.8V to 5.5V
- Fixed and Adjustable Output Voltage Options from 1.2V to 5.5V
- Power Save Mode for Improved Efficiency at Low Output Power
- Forced Fixed Frequency Operation and Synchronization possible
- Load Disconnect During Shutdown
- Over-Temperature Protection
- Available in Small 3 mm × 3 mm, QFN-10 Package

#### APPLICATIONS

- All Two-Cell and Three-Cell Alkaline, NiCd or NiMH or Single-Cell Li Battery Powered Products
- Portable Audio Players
- PDAs
- Cellular Phones
- Personal Medical Products
- White LEDs

#### DESCRIPTION

The TPS6300x devices provide a power supply solution for products powered by either a two-cell or three-cell alkaline, NiCd or NiMH battery, or a one-cell Li-Ion or Li-polymer battery. Output currents can go as high as 1200 mA while using a single-cell Li-Ion or Li-Polymer Battery, and discharge it down to 2.5V or lower. The buck-boost converter is based on a fixed frequency, pulse-width-modulation (PWM) controller using synchronous rectification to obtain maximum efficiency. At low load currents, the converter enters Power Save mode to maintain high efficiency over a wide load current range. The Power Save mode can be disabled, forcing the converter to operate at a fixed switching frequency. The maximum average current in the switches is limited to a typical value of 1800 mA. The output voltage is programmable using an external resistor divider, or is fixed internally on the chip. The converter can be disabled to minimize battery drain. During shutdown, the load is disconnected from the battery. The device is packaged in a 10-pin QFN PowerPAD™ package measuring 3 mm × 3 mm (DRC).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PowerPAD is a trademark of Texas Instruments.  
All other trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date.  
Products conform to specifications per the terms of the Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2006–2008, Texas Instruments Incorporated



**TPS63000**  
**TPS63001**  
**TPS63002**



SLVS520B–MARCH 2006–REVISED JULY 2008

www.ti.com



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

**AVAILABLE OUTPUT VOLTAGE OPTIONS<sup>(1)</sup>**

T <sub>A</sub>	OUTPUT VOLTAGE DC/DC	PACKAGE MARKING	PACKAGE	PART NUMBER <sup>(2)</sup>
–40°C to 85°C	Adjustable	BPT	10-Pin QFN	TPS63000DRC
	3.3 V	BPU		TPS63001DRC
	5.0 V	BPV		TPS63002DRC

- (1) Contact the factory to check availability of other fixed output voltage versions.  
 (2) The DRC package is available taped and reeled. Add R suffix to device type (e.g., TPS63000DRCR) to order quantities of 3000 devices per reel. Add T suffix to device type (e.g., TPS63000DRCT) to order quantities of 250 devices per reel.

**ABSOLUTE MAXIMUM RATINGS**

over operating free-air temperature range (unless otherwise noted)<sup>(1)</sup>

	TPS6300x
Input voltage range on VIN, VINA, L1, L2, VOUT, PS/SYNC, EN, FB	–0.3 V to 7 V
Operating virtual junction temperature range, T <sub>J</sub>	–40°C to 150°C
Storage temperature range T <sub>stg</sub>	–65°C to 150°C

- (1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

**DISSIPATION RATINGS TABLE**

PACKAGE	THERMAL RESISTANCE Θ <sub>JA</sub>	POWER RATING T <sub>A</sub> ≤ 25°C	DERATING FACTOR ABOVE T <sub>A</sub> = 25°C
DRC	48.7°C/W	2054 mW	21 mW/°C

**RECOMMENDED OPERATING CONDITIONS**

	MIN	NOM	MAX	UNIT
Supply voltage at VIN, VINA	1.8		5.5	V
Operating free air temperature range, T <sub>A</sub>	–40		85	°C
Operating virtual junction temperature range, T <sub>J</sub>	–40		125	°C

2 Submit Documentation Feedback

Copyright © 2006–2008, Texas Instruments Incorporated

Product Folder Link(s): [TPS63000](#) [TPS63001](#) [TPS63002](#)



TPS63000  
TPS63001  
TPS63002

www.ti.com

SLVS520B–MARCH 2006–REVISED JULY 2008

## ELECTRICAL CHARACTERISTICS

over recommended free-air temperature range and over recommended input voltage range (typical at an ambient temperature range of 25°C) (unless otherwise noted)

DC/DC STAGE						
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V <sub>I</sub>	Input voltage range		1.8		5.5	V
V <sub>I</sub>	Input voltage range for startup		1.9		5.5	V
V <sub>O</sub>	TPS63000 output voltage range		1.2		5.5	V
V <sub>FB</sub>	TPS63000 feedback voltage		495	500	505	mV
f	Oscillator frequency		1250		1500	kHz
	Frequency range for synchronization		1250		1800	kHz
I <sub>SW</sub>	Switch current limit	V <sub>IN</sub> = V <sub>INA</sub> = 3.6 V, T <sub>A</sub> = 25°C	1600	1800	2000	mA
	High side switch on resistance	V <sub>IN</sub> = V <sub>INA</sub> = 3.6 V		100		mΩ
	Low side switch on resistance	V <sub>IN</sub> = V <sub>INA</sub> = 3.6 V		100		mΩ
	Line regulation				0.5%	
	Load regulation				0.5%	
I <sub>q</sub>	Quiescent current	V <sub>IN</sub>		1	1.5	μA
		V <sub>INA</sub>	I <sub>O</sub> = 0 mA, V <sub>EN</sub> = V <sub>IN</sub> = V <sub>INA</sub> = 3.6 V, V <sub>OUT</sub> = 3.3 V	40	50	μA
		V <sub>OUT</sub> (adjustable output voltage)		4	6	μA
	FB input impedance (fixed output voltage)			1		MΩ
I <sub>S</sub>	Shutdown current	V <sub>EN</sub> = 0 V, V <sub>IN</sub> = V <sub>INA</sub> = 3.6 V		0.1	1	μA
CONTROL STAGE						
V <sub>UVLO</sub>	Under voltage lockout threshold	V <sub>INA</sub> voltage decreasing	1.5	1.7	1.8	V
V <sub>IL</sub>	EN, PS/SYNC input low voltage				0.4	V
V <sub>IH</sub>	EN, PS/SYNC input high voltage		1.2			V
	EN, PS/SYNC input current	Clamped on GND or V <sub>INA</sub>		0.01	0.1	μA
	Overtemperature protection			140		°C
	Overtemperature hysteresis			20		°C

TPS63000  
TPS63001  
TPS63002



SLVS520B – MARCH 2006 – REVISED JULY 2008

www.ti.com

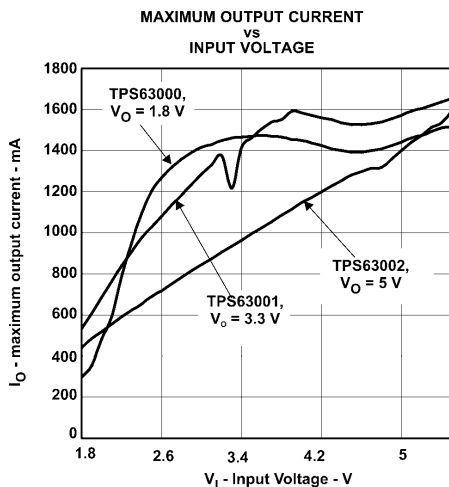


Figure 1.

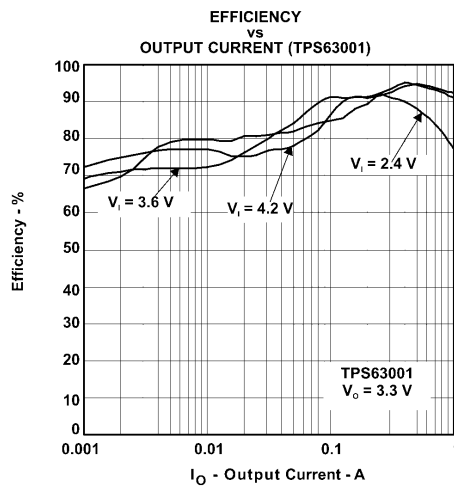


Figure 2.

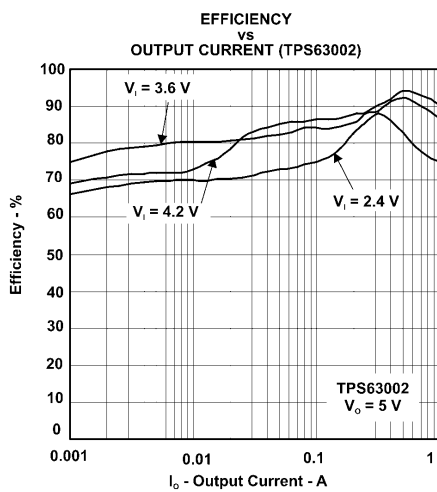


Figure 3.

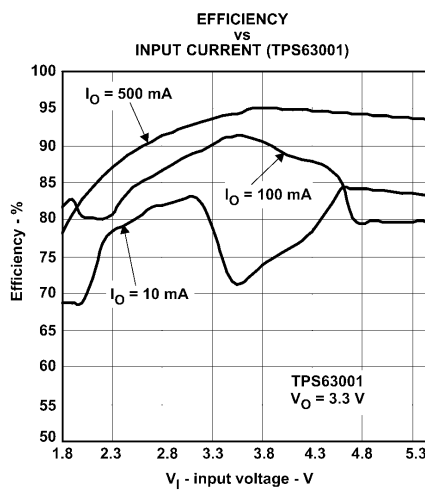


Figure 4.





```

#define FLAGS                flags
#define SD16_NEW             0x01 // Bandera para indicar nuevo dato
#define B_SEN_FL             0x02 // Bandera para solicitar medir la batería
#define TR_RDY_FL           0x04 // Bandera para solicitar transmisión
#define TR_NEW_FL           0x08 // Bandera para pasar al siguiente registro
#define CONV_FL             0x10 // Bandera para solicitar conversión del SD16
#define SET_LPM0            0x20 // Bandera para indicar modo LPM a la salida
#define LOW_BATT_FL         0x40 // Bandera de batería baja
#define LOW_BATT2_FL        0x80 // Bandera de batería crítica

//-----

void main(void) {

    uint16_t data;
    uint16_t b_thres1, b_thres2;
    uint8_t n_conv = 0;

    WDTCTL = WDTPW|WDTHOLD; // Apagar el WatchDog (PassWord 0x5A):(WDTHOLD 0x80)
    P1DIR = 0xE0; // Configuración de dirección del puerto 1 (0:in 1:Out)
    P1OUT = 0x00; // Resetear puerto 1
    P1SEL = 0x17; // Selección de la función de los pines
    P2DIR = 0x80; // Puerto 2 para el ACLK en modo LFXT1
    P2SEL = 0xC0; // Función de los pines.

    /// ***** CONFIGURACION DEL BCS (Basic Clock System) *****

    BCSCTL1 = 0x09; // Alrededor de 2MHz
    DCOCTL = 0x20;
    BCSCTL2 = SELM_0 | DIVS_1; // SMCLK = DCO / 2;

    BCSCTL1 |= XT2OFF | DIVA_0; // ACLK = LFXT1 / 1
    BCSCTL3 |= LFXT1S_0 | XCAP_3; // LFXT1 = 32.768 kHz crystal | Crystal Caps 12.5pF

    /// *****

    /// ***** CONFIGURACION DEL SD16 (SigmaDelta 16 ADC) *****
    SD16CTL = SD16XDIV_0 | SD16DIV_0 | SD16SSEL_1 | SD16REFON;
    // FDIV 1 | SMCLK | 1.2 V ref |
    SD16AE = SD16AE0 | SD16AE1 | SD16AE2 | SD16AE3 | SD16AE4;
    // P1.0(A0+) | P1.1(A0-) | P1.2(A1+) | P1.3(A1-) | P1.4(A2+)

    /// *****

    /// ***** CONFIGURACION DEL WDT+ (WatchDog Timer+) *****

    WDTCTL = WDTPW | WDTTMSSEL | WDTCNTCL | WDTSSSEL | WDTIS_3;
    // PassWord | Interval mode | Clr Count | ACLK | Interval 64

    /// *****

    /// ***** CONFIGURACION DEL TIMER_A *****

    TACTL = TASSEL_1 | ID_0 | MC_0; // ACLK/1 | Stop | Int Enable
    TACCTL0 = CM_0 | CCIS_2 | CCIE; // Compare | TACC0 Int Enable

    TACCRO = 0x0002; // Contar hasta 2

    /// *****

    trans_ctl_1 = 0; // Inicializar contador de transmisión
    trans_ctl_2 = (uint16_t *) preamble; // Inicializar puntero

    FLAGS = LOW_BATT_FL | LOW_BATT2_FL;

```



```

b_thres1 = 0xB BBB; // (~ 3.5V)
b_thres2 = 0xA4FA; // (~ 2.9V)

IE1 = WDTIE;           // Habilitar interrupciones del WDT+ (Controla las conversiones)
_BIS_SR(GIE);

while (1) {           // Bucle principal (infinito...)

  data = sd16_data;

  if (FLAGS & B_SEN_FL) {

    FLAGS &= ~(B_SEN_FL | SD16_NEW);

    if (data < b_thres2) { // Bateria < ~ 2.9V
      b_thres2 = 0xAAA; // Aumentar thres2 (~3.0V) para crear histéresis
      FLAGS = LOW_BATT_FL | LOW_BATT2_FL | B_SEN_FL; // Bateria crítica
      P1OUT &= ~TR_EN; // Apagar el transmisor
      WDTCTL = WDTPW | WDTTMSSEL | WDTCNTCL | WDTSSSEL | WDTIS_2;
      // Cambiar WDT+ a una conf. más conservadora
      TACTL &= 0xFFCF; // Apagar el timer A
      P1OUT ^= LOW_BATT; // Toggle Power LED
    } else {

      if (FLAGS & LOW_BATT2_FL) {
        FLAGS &= ~LOW_BATT2_FL; // Si salio de bateria crítica
        b_thres2 = 0xA4FA; // restaurar thres2 original
        WDTCTL = WDTPW | WDTTMSSEL | WDTCNTCL | WDTSSSEL | WDTIS_3;
        // Restaurar conf. del WDT+
        P1OUT |= TR_EN; // Volver a prender el transm.
      }

      if (data < b_thres1) { // Bateria < ~ 3.5V
        b_thres1 = 0xC9F4; // Aumentar thres1 (~3.55V) para crear histéresis
        FLAGS |= LOW_BATT_FL; // Bateria baja
      } else if (FLAGS & LOW_BATT_FL) { // Si salió de bateria baja
        b_thres1 = 0xB BBB; // Restaurar thres1 inicial
        FLAGS &= ~LOW_BATT_FL; // Apagar bandera de bateria baja
      }

      // Restaurar la configuracion del SD16
      SD16INCTL0 = SD16INTDLY_1 | SD16GAIN_1 | SD16INCH_0;
      SD16AE = SD16AE0 | SD16AE1; // Delay 2 samples | PGA = 1x | Chan A0
      SD16CCTL0 = SD16SNGL | SD16OSR_256 | SD16DF | SD16IE;
      // Single mode | 256 OSR | 2'S complement | Int enable
    }
    FLAGS &= ~SET_LPM0; // LPM3 a la salida
  }

  if (FLAGS & SD16_NEW) { // Si es un nuevo dato

    data_arr[n_conv] = ( data & 0xFFF8 ) + 5500; // Guardar dato
    n_conv += 1; // Incrementar contador

    if (n_conv == 32) { // Si ya llenó el buffer
      *trans_cnt += 1; // Incrementar el contador de paquetes
      n_conv = 0; // Reiniciar el conteo de datos
      b_sen_cnt++; // Incrementar contador de monitoreo de bateria
      TACTL |= MC_1; // Arrancar el Timer_A en modo "Up to CCR0"
    }
  }

  if (!(SD16INCTL0 & SD16INCH_1)) { // Si no esta seleccionado el canal 1 (e.g 0 o 2)

    FLAGS &= ~SD16_NEW;
  }
}

```



```

    if (b_sen_cnt >= 16) {

        FLAGS |= B_SEN_FL;
        b_sen_cnt = 0;
        SD16INCTL0 = SD16INTDLY_1 | SD16GAIN_1 | SD16INCH_2;
        SD16AE = SD16AE4; // Delay 2 samples | PGA = 1x | Chan A2
        SD16CCTL0 = SD16SNGL | SD16OSR_32 | SD16IE;
        // Single mode | 32 OSR | Bipolar Offset binary | Int enable
        SD16CCTL0 |= SD16SC; // Iniciar el SD16
        FLAGS |= SET_LPM0; // Solicitar LPM0 a la salida
    }
}
if (FLAGS & SET_LPM0)
    _BIS_SR(LPM0_bits);
else
    _BIS_SR(LPM3_bits);
} // Fin del bucle principal
} // Fin de main();

interrupt (WDT_VECTOR) wdt_isr(void) {

    if (!(SD16CCTL0 & SD16SC) && (FLAGS & CONV_FL) && !(FLAGS & LOW_BATT2_FL)) {
        P1OUT |= LOW_BATT;
        SD16CCTL0 |= SD16SC; // Iniciar el SD16
        _BIC_SR_IRQ(LPM3_bits); // Pasar a LPM0 en la salida
        _BIS_SR_IRQ(LPM0_bits);
    }
    FLAGS ^= CONV_FL; // Cambiar la bandera de conversión

    if (FLAGS & LOW_BATT2_FL) {
        FLAGS &= ~(SD16_NEW | CONV_FL);
        b_sen_cnt++;
        _BIC_SR_IRQ(LPM3_bits);
    }
}

interrupt (SD16_VECTOR) wakeup sd16_isr(void) {

    sd16_data = SD16MEM0;

    if (!(SD16INCTL0 & 0x07)) { // Si esta seleccionado el canal 0
        SD16INCTL0 |= SD16INCH_1; // Cambiar al canal 1
        SD16AE = SD16AE2 | SD16AE3;
        FLAGS |= (SD16_NEW | SET_LPM0); // Indicar nueva conversión y solicitar LPM0
        SD16CCTL0 |= SD16SC; // Y empezar una nueva conversión.
    } else { // Si esta seleccionado el canal 1 o 2
        SD16INCTL0 &= 0xf8; // Cambiar al canal 0
        SD16AE = SD16AE0 | SD16AE1;
        FLAGS &= ~SET_LPM0; // Y solicitar LPM3
    }

    P1OUT &= ~LOW_BATT;
}

interrupt (TIMERA0_VECTOR) timera0_isr(void) {

    if (*trans_ctl_2 & trans_msk) {
        P1OUT |= DATA; // Poner el bit de turno en el puerto
        if (crc & 0x8000)
            crc <<= 1;
        else
    }
}

```







```

// BCSCCTL1 = CALBC1_8MHZ; // Set DCO to 12MHz
BCSCCTL1 = 0x09; /// Alrededor de 2MHz
// DCOCTL = CALDCO_1MHZ;
// DCOCTL = 0xE0;
// DCOCTL = CALDCO_8MHZ;
DCOCTL = (1<<5);

BCSCCTL1 |= XT2OFF | DIVA_0; // ACLK = LFXTL / 1
BCSCCTL2 = SELM_0 | DIVS_1; // SMCLK = DCO / 2;
BCSCCTL3 |= LFXTLIS_3; // LFXTL = Digital External Clock

/// *****

/// ***** CONFIGURACION DEL WDT+ (WatchDog Timer+) *****
// WDTCTL = WDTPW | WDTMSEL | WDTCNTCL | WDTSEL | WDTIS_3;
// PassWord | Interval mode | Clr Count | ACLK |
Interval 64;
/// *****

/// ***** CONFIGURACION DEL TIMER_A *****
TACTL = TASSEL_1 | ID_0 | MC_0; // ACLK/1 | Stop | Int Enable
TACCTL0 = CM_0 | CCIS_2 | CCIE; // Compare | TACCO Int Enable

TACCRO = 0x0006; // Contar de 0 a 6 para ~28800 bauds

/// *****

// TACTL |= MC_1; /// Arrancar el Timer_A en modo "Up to CCR0"
// _BIS_SR(LPM0_bits);

TI_CC_SPISetup();
TI_CC_CS_n_PxOUT &= ~TI_CC_CS_n_PIN;

TI_CC_SPIWriteReg(TI_CCxxx0_IOCFG0, 0x06); // Sync word received - Para int. de P2.7
TI_CC_SPIWriteReg(TI_CCxxx0_IOCFG2, 0x3E); // CLK_XOSC/128 (203.125 kHz)
// 28800 bauds es la que se ajusta mejor.
TI_CC_SPIWriteReg(TI_CCxxx0_FIFOTHR, 0x0E); // RX_FIFO Threshold = 60

P2SEL = 0x40; // Función de los pines.
P2IE = 0x80; // Habilitar interrupción por P2.7 (GDO0)

_BIS_SR(GIE);

while (1) { // Bucle principal (infinito...)

    _NOP();
    BCSCCTL3 &= ~LFXTL1OF ;

    if ( FLAGS & RX_FIFO_THR ) {
        TI_CC_SPIReadBurstReg(TI_CCxxx0_RXFIFO, data_arr, 58); // En el FIFO hay por lo menos
60 bytes.
        n_bytes0 = TI_CC_SPIReadReg(TI_CCxxx0_RXBYTES);
        do {
            n_bytes1 = TI_CC_SPIReadReg(TI_CCxxx0_RXBYTES);
            if (n_bytes0 == n_bytes1) {

```



```

        if (n_bytes1 == 6) {
            RFReceivePacket((data_arr + 58), &n_bytes1);
            break;
        }
    }
    n_bytes0 = n_bytes1;
    n_bytes1 = TI_CC_SPIReadReg(TI_CCxxx0_RXBYTES);
} while (1);
}
}
}

interrupt (TIMERA0_VECTOR) timera0_isr(void) {

    switch (trans_ctl_1) { // Actualizar el puntero
    case 0:
        trans_ctl_2 = preamble;
        break;
    case 3:
        trans_ctl_2 = data_arr;
        break;
    case 36: // Si llego al ultimo registro de los datos
              // Apagar el timer A
        TACTL &= 0xFFCF;
        return;
    }

    trans_data = *trans_ctl_2++; // Poner el dato apuntado en el registro de
transmision
    trans_ctl_1++;

    if (trans_data & trans_msk) // Poner el bit de turno en el puerto
        P1OUT |= D_OUT;
    else
        P1OUT &= ~D_OUT;

    if (trans_msk != 0x0001) // Rotar la máscara para el siguiente bit
        trans_msk >>= 1;
    else {
        trans_msk = 0x8000; // Si termino la rotación
    }
}

interrupt (WDT_VECTOR) __attribute__((naked)) wdt_isr(void) {

    P1OUT ^= 0x08; //Para generar disparo de prueba

}

interrupt (PORT2_VECTOR) wakeup p2_isr(void) {

    P1OUT ^= D_OUT;

    if (!(FLAGS & SYNC_RX)) {
        P2IFG = 0x00; // Limpiar las solicitudes de interrupción
        FLAGS |= SYNC_RX; // Indicar recepción de sync-word.
        TI_CC_SPIWriteReg(TI_CCxxx0_IOCFG0, 0x01); // Cambiar a modo RX_FIFO Threshold para
GDO0.
    } else {
        FLAGS &= ~SYNC_RX;
        FLAGS |= RX_FIFO_THR;
    }
}
}

```