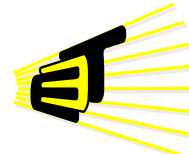


DISEÑO E IMPLEMENTACIÓN DE UNA PLATAFORMA MODULAR
PARA EL DESARROLLO DE SISTEMAS EMBEBIDOS.

JOE ROLANDO SALAS PEREZ
FELIPE SUAREZ FLECHAS



UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE
TELECOMUNICACIONES
BUCARAMANGA

2018

DISEÑO E IMPLEMENTACIÓN DE UNA PLATAFORMA MODULAR
PARA EL DESARROLLO DE SISTEMAS EMBEBIDOS.

JOE ROLANDO SALAS PEREZ
FELIPE SUAREZ FLECHAS

Trabajo de grado presentado como requisito para optar al título de
Ingeniero Electrónico

Director
Elkim Felipe Roa Fuentes
Doctor of Philosophy

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAÑICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE
TELECOMUNICACIONES
BUCARAMANGA

2018

CONTENIDO

	Pág.
INTRODUCCIÓN	11
1 DISEÑO MECÁNICO DE LAS TARJETAS.	13
1.1. DISEÑO DEL CONECTOR	13
1.2. TETROMINOES. PERMUTACIONES POSIBLES.	19
1.3. NÚMERO DE CONECTORES Y UBICACIÓN.	21
1.3.1. Propuesta 1 conexión de tarjetas	22
1.3.2. Propuesta 2 conexión de tarjetas	22
1.3.3. Propuesta final conexión de tarjetas	23
2 DISEÑO E IMPLEMENTACIÓN PRIMER VERSIÓN.	25
2.1. DISEÑO DE LA PCB.	25
2.2. FABRICACIÓN PCB	27
2.2.1. Metalización de las vías	27
2.2.2. Acabado de la superficie	29
3 DISEÑO E IMPLEMENTACIÓN SEGUNDA VERSIÓN.	36
3.1. DISEÑO PCB.	36
3.2. PLANTILLA DE PRUEBA. TEST JIG.	40
4 CONCLUSIONES	42
BIBLIOGRAFÍA	43

LISTA DE FIGURAS

	Pág.
Figura 0.1. Diagrama de conexión CoB. Vista lateral.	11
Figura 2. Diseño inicial para el borde de las tarjetas.	13
Figura 3. (A) Opción 1: vista superior. (B) Opción 1: vista lateral. (C) Opción 2: vista superior. (D) Opción 2: vista lateral.	14
Figura 4. (A) Prueba vías opción 1. (B) Prueba vías con imán opción 1. (C) Prueba <i>castellations</i> opción 2. (D) Prueba <i>castellations</i> con imán opción 2.	15
Figura 5. Líneas de campo magnético, configuración vertical en antiparalelo.	15
Figura 6. Líneas de campo magnético, configuración horizontal antiparalela.	16
Figura 7. Arreglo de dipolos verticales en antiparalelo.	17
Figura 8. Arreglo de dipolos horizontales en antiparalelo.	18
Figura 9. Posibles permutaciones con las 7 formas para 4 tarjetas.	19
Figura 10. Rotación cada 90° para cada permutación forma cuadrado.	20
Figura 11. Proyecto de clase, plataforma modular con dos tarjetas.	20
Figura 12. Propuesta inicial para la conexión de tarjetas.	21
Figura 13. Propuesta 1, alternativa 1 para la ubicación de imanes.	22
Figura 14. Prpuesta 2, alternativa 2 para la ubicación de imanes.	23
Figura 15. Propuesta final para la ubicación de los imanes.	24
Figura 16. Esquemático tarjeta principal primer versión plataforma modular. . .	26
Figura 17. PCB prueba para metalización de vías por electrodeposición.	28
Figura 18. Aplicación del polímero conductor sobre la PCB.	28
Figura 19. Resultado final aplicación del polímero conductor.	29
Figura 20. Curado del polímero a 160°C durante 30min.	29
Figura 21. Montaje para electrodeposición de oro.	30
Figura 22. Resultado final de electrodeposición sobre la placa FR4.	31
Figura 23. Perfil de grabado Micro Cutter *Tomado de LPKF.	31
Figura 24. Perfil de grabado Universal Cutter *Tomado de LPKF.	32

LISTA DE FIGURAS

Figura 25.	Caracterización de la profundidad de trabajo para la Micro Cutter.	32
Figura 26.	Resultado final de fabricación de la PCB.	33
Figura 27.	Dispensación pasta de soldadura sobre los pads.	33
Figura 28.	Detalle dispensación pasta de soldadura sobre los pads.	34
Figura 29.	Ubicación de los elementos sobre la PCB.	34
Figura 30.	Ubicación de los elementos sobre la PCB.	34
Figura 31.	Curva de soldadura recomendada por LPKF para soldadura Sn63Pb37.	35
Figura 32.	Ubicación die sobre la PCB.	35
Figura 33.	Proceso de wirebonding del die según el diagrama.	35
Figura 34.	Esquemático tarjeta principal segunda versión plataforma modular.	37
Figura 35.	Diseño capa <i>top</i> segunda versión.	38
Figura 36.	Diseño capa <i>bottom</i> segunda versión	39
Figura 37.	Diagrama de conexión para <i>wirebonding</i>	39
Figura 38.	Wirebonding realizado en china	40
Figura 39.	Aplicación de epoxi oscuro para protección de CoB	41
Figura 40.	Fabricación tarjeta de prueba para <i>test jig</i>	41

RESUMEN

TÍTULO:	Diseño e implementación de una plataforma modular para el desarrollo de sistemas embebidos. *
AUTORES:	Joe Rolando Salas Perez ** Felipe Suarez Flechas **
PALABRAS CLAVE:	Plataforma modular, RISC-V, <i>chip-on-board</i> , CoB, producción en masa.

DESCRIPCIÓN

Este documento presenta el diseño e implementación de una plataforma modular de tarjetas para el desarrollo de aplicaciones en sistemas embebidos, empleando el microcontrolador (MCU) de 32-bit desarrollado en la Escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones de la Universidad Industrial de Santander [1]. Para la fabricación de la plataforma se plantea el uso del proceso de fabricación conocido como *chip-on-board* (CoB), con el objetivo de evitar los costos de encapsulado del die del circuito integrado, realizando el montaje del die directamente sobre la PCB. En cada capítulo se presenta un reto presentado durante la fabricación de la plataforma y el proceso que se siguió para dar solución a cada reto. El primer reto consiste en el diseño de la plataforma garantizando la conexión y comunicación entre las tarjetas, sin perjudicar el número de permutaciones posibles al conectar las cuatro tarjetas que conforman la plataforma. El segundo reto corresponde al prototipado rápido local o *in-house* con el fin de disminuir los costos y tiempos de fabricación de PCBs, por lo que se hace uso por primera vez de herramientas de prototipado *in-house* en la Universidad Industrial de Santander para la implementación de CoB. Finalmente, se propone sigue el proceso de fabricación en masa de 100 PCBs de la tarjeta principal en Shenzhen, China.

*Trabajo de investigación.

** Facultad de Ingenierías Fisicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: Elkim Felipe Roa Fuentes, Doctor of Philosophy.

ABSTRACT

TITLE: Design and implementation of a modular platform for the development of embedded systems. *

AUTHORS: Joe Rolando Salas Perez **
Felipe Suarez Flechas **

KEYWORDS: Modular platform, RISC-V, chip-on-board, CoB, mass production.

DESCRIPTION:

This document presents the design and implementation of a modular platform for the development of applications in embedded systems, using the 32-bit microcontroller (MCU) developed in the Escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones de la Universidad Industrial de Santander [1]. For the manufacture of the platform the use of the manufacturing process known as textit chip-on-board (CoB) is considered, with the aim of avoiding the cost of encapsulation of the integrated circuits die, making the assembly of the die directly over the PCB. Each chapter presents a challenge presented during the manufacturing of the platform and the process that was followed to solve each challenge. The first challenge consists in the design of the platform, guaranteeing the connection and communication between the cards, without damaging the number of possible permutations when connecting the four cards that make up the platform. The second challenge corresponds to in-house rapid prototyping to reduce the costs and times of manufacturing PCBs, which is why prototyping tools are used for the first time textit in-house at the Universidad Industrial de Santander for the implementation of CoB. Finally, it is proposed to follow the mass production process of 100 PCBs of the main card in Shenzhen, China.

*Bachelor Thesis

** Facultad de Ingenierías Fisicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: Elkim Felipe Roa Fuentes, Doctor of Philosophy.

INTRODUCCIÓN

La industria de semiconductores comúnmente realiza el proceso de fabricación de circuitos integrados por lotes sobre obleas (*wafer*) de silicio. Una vez fabricadas las obleas, estas son cortadas en circuitos individuales conocidos como *dies*. Generalmente los *dies* son empaquetados en diferentes formas (QFN, DIP, SOT, BGA, etc) con el objetivo de facilitar su manejo e integración en una placa de circuito impreso (PCB, por sus siglas en inglés). Sin embargo, el empaquetado es costoso para lotes pequeños, usualmente en el orden de decenas o cientos de *dies*, llegando a costar € 1000 el empaquetado de 10 circuitos integrados. Para evitar el costo de empaquetado, se emplea un proceso de fabricación conocido como *chip-on-board* (CoB), el cual consiste en el montaje del *die* directamente sobre la PCB [4].

Durante el proceso de CoB se adhiere el *die* a la PCB por medio de un adhesivo conductor de plata, quedando los pads del *die* expuestos en su parte superior. Para la conexión de estos pads a la PCB se emplea un proceso denominado *wirebonding*, en el que por medio de una unión termosónica, que incluye energía térmica, ultrasónica y mecánica, se suelda un cable de oro entre el pad del *die* y el pad correspondiente en la PCB como se observa en la Figura 0.1. Para este proceso se deben cumplir ciertos requisitos dados por el estándar IPC-2221 [2]. Como principal requisito a cumplir para asegurar la soldadura termosónica entre el hilo de oro y la superficie de la PCB, se necesita que esta tenga una capa de oro de al menos $2\mu\text{m}$ de espesor.

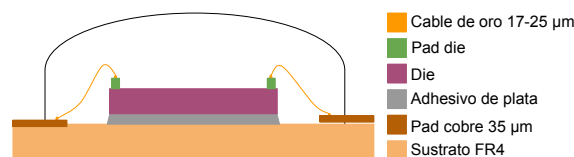


Figura 0.1: Diagrama de conexión CoB. Vista lateral.

A nivel industrial el proceso de CoB es en su mayoría automatizado, en donde una máquina *pick-and-place* aplica el adhesivo conductor y ubica el *die* en la PCB. Pos-

teriormente, un *wirebonder* automático realiza las conexiones necesarias, lo que facilita el proceso y disminuye sus costos. Por otra parte, a nivel nacional es escaso el avance en este tipo de procesos, lo que lleva a realizar la fabricación de la PCB en países como Estados Unidos o China, esto resulta costoso en tiempo ya que se debe esperar la fabricación en el extranjero y el tiempo de envío e importación.

Desde el año 2015, el grupo de investigación OnChip ha estado trabajando en el desarrollo de microcontroladores (MCU) basados en el set de instrucciones RISC-V, diseñando el primer MCU denominado Turpial. Además, se cuenta con la infraestructura, maquinaria y equipos adecuados para el desarrollo e implementación de CoB. Por lo que se hace necesario el planteamiento, adaptación e implementación de una metodología de acuerdo con las herramientas disponibles, que permita al grupo fabricar PCBs *in-house*, para reducir los costos y tiempos de fabricación, llegando a fabricar y realizar el montaje de PCBs en 1 o 2 días. Esto para realizar la verificación de los circuitos integrados diseñados. Considerando que no se encuentran reportes detallados para el desarrollo de esta metodología y que es la primera vez que se utiliza este tipo de máquinas en la universidad, se requiere seguir un proceso de aprendizaje, capacitación y habituación para el uso de estas.

Para llevar a cabo el planteamiento, adaptación e implementación de esta metodología, se propone la creación de una plataforma modular empleando el MCU Turpial. Esto con el objetivo de conocer los retos que se puedan presentar en durante la creación de la plataforma y plantear soluciones. La plataforma modular está compuesta por 4 tarjetas, cada una con un área de $1935.48 \text{ mm}^2 (3 \text{ in}^2)$ y con forma de rompecabezas (*puzzle*). Las tarjetas deben ser diseñadas de tal manera que se garantice la conexión y comunicación, sin limitar las permutaciones posibles en la distribución de estas.

1. DISEÑO MECÁNICO DE LAS TARJETAS.

El primer reto presentado corresponde al diseño la plataforma de manera que se garantice las conexiones entre las tarjetas sin limitar el número de permutaciones posibles. Inicialmente se diseña el borde de las tarjetas de forma que cumpla con el área deseada y tenga las muescas del rompecabezas. En la Figura 2 se muestra el borde de las tarjetas con un área total de $1935.48 \text{ mm}^2 (3 \text{ in}^2)$ y un área útil, sin muescas, de $1445.16 \text{ mm}^2 (2,24 \text{ in}^2)$. El borde fue diseñado de manera que se pueda fabricar con una herramienta de corte del contorno de máximo $2.54 \text{ mm} (100 \text{ mils})$ de diámetro, comúnmente utilizada por los fabricantes de PCBs. Se realizaron pruebas con la máquina ProtoMat S63 de LPKF [5] para la construcción del borde de las tarjetas con herramientas de 1 mm y 2 mm obteniendo un óptimo ajuste entre las tarjetas.

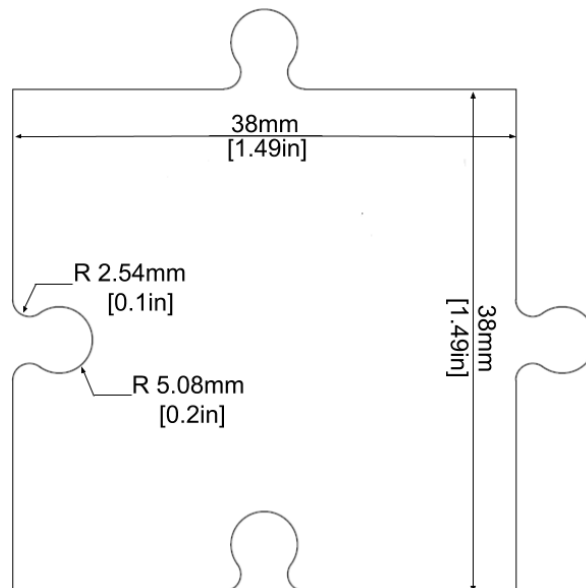


Figura 2: Diseño inicial para el borde de las tarjetas.

1.1 DISEÑO DEL CONECTOR

En versiones anteriores de este proyecto se usaron conectores hermafroditas SMD de 4 posiciones, sin embargo, se tuvieron problemas ya que estos conectores no resisten el esfuerzo mecánico al que están sometidas las tarjetas al armar y desarmar

la plataforma, por lo que se desoldaron fácilmente. Se plantea el uso de imanes de neodimio cilíndricos de 1 mm de diámetro y 1 mm de largo, de forma que se garantice la comunicación entre las tarjetas y la fuerza magnética de los imanes facilite el armado de la plataforma.

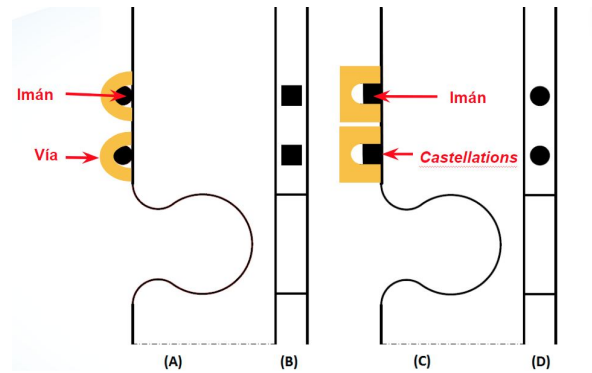


Figura 3: (A) Opción 1: vista superior. (B) Opción 1: vista lateral. (C) Opción 2: vista superior. (D) Opción 2: vista lateral.

Se proponen dos opciones para la ubicación de los imanes, la opción 1 se muestra en la Figura 3A y Figura 3B en donde el imán se ubica en el borde de la tarjeta y su eje se permanece perpendicular a la superficie de la PCB. Sin embargo, esta propuesta presenta algunos inconvenientes, el principal son las ubicaciones de las vías para los imanes, de 1 mm de diámetro, sobre el borde de la tarjeta no es permitido por los fabricantes de PCBs ya que genera problemas como imperfecciones al realizar el corte del borde, por lo que es necesario modificar el borde de la tarjeta de forma que los imanes no queden sobre este. Esto requiere trabajo post-fabricación para permitir que los imanes hagan contacto físico. Se realizan pruebas con la primera opción, como se observa en la Figura 4A y Figura 4B donde se observan las vías y la ubicación de los imanes.

En la Figura 3C y Figura 3D se presenta la segunda propuesta en la cual el imán se ubica sobre el borde la tarjeta, pero su eje se coloca paralelo a la superficie de la PCB. Los fabricantes de PCBs sí permiten este tipo de vías, conocidas como *castellations*. En la Figura 4C y Figura 4D se observa la fabricación de las *castellations* y la ubicación de los imanes.

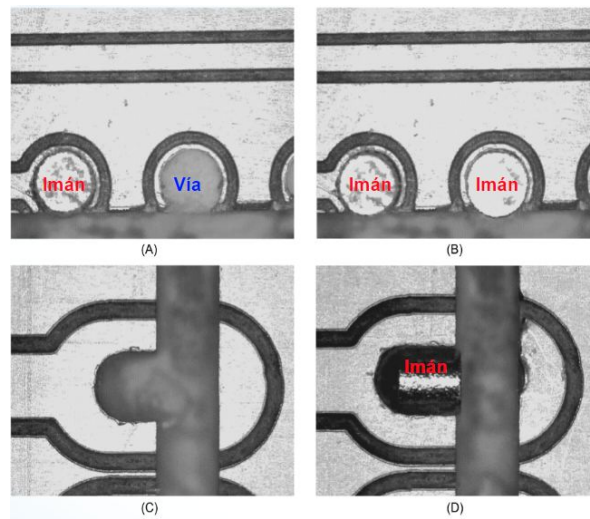


Figura 4: (A) Prueba vías opción 1. (B) Prueba vías con imán opción 1. (C) Prueba *castellations* opción 2. (D) Prueba *castellations* con imán opción 2.

Además de considerar el inconveniente descrito anteriormente, es necesario tener en cuenta el campo magnético y la fuerza magnética generada por los imanes en las posiciones descritas en las dos opciones.

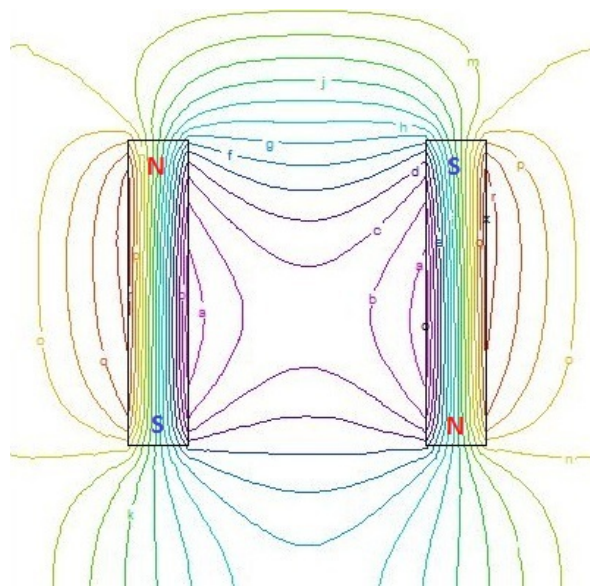


Figura 5: Líneas de campo magnético, configuración vertical en antiparalelo.

En la Figura 5 se observan las líneas de campo magnético producidas por 2 imanes

dispuestos en forma antiparalela. Se puede apreciar como en los polos de los imanes hay una alta densidad de líneas de campo y en el espacio comprendido entre los 2 imanes tiene una densidad de líneas de campo baja.

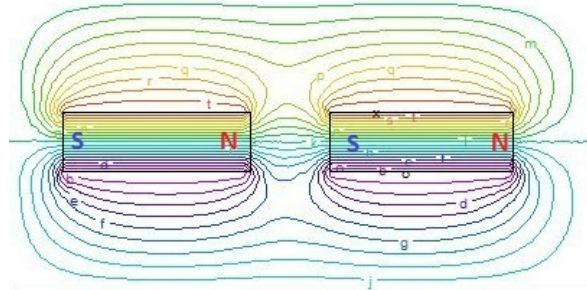


Figura 6: Líneas de campo magnético, configuración horizontal antiparalela.

En la Figura 6 se observan las líneas de campo magnético producidas por 2 imanes dispuestos en forma serial.

Es necesario analizar la densidad de líneas de campo magnético entre los espacios comprendidos entre los imanes con el objetivo de saber con cual configuración se puede obtener una mayor fuerza de atracción. Teniendo en cuenta que las líneas de campo magnético convergen donde la fuerza magnética es mayor, es preciso decir que, en el espacio comprendido entre los imanes, en la configuración serial presenta una mayor densidad de líneas a diferencia de la configuración antiparalela.

Con el ánimo de argumentar matemáticamente los dos párrafos anteriores se plantea una serie de ecuaciones a continuación.

Un imán se puede ver como un dipolo magnético, por tanto, la fuerza que experimenta un dipolo de momento magnético \vec{m} en un campo magnético externo \vec{B}_{ex} está dada por la ecuación 1 [3].

$$\vec{F} = (\vec{m} \Delta) \vec{B}_{ex} \quad (1)$$

Donde:

- \vec{F} : Fuerza magnética [N]

- \vec{m} : Momento dipolar magnético [$A \cdot m^2$]
- \vec{B}_{ex} : Campo magnético externo [T]

La fuerza magnética entre dos dipolos magnéticos es la fuerza que aparece sobre un dipolo en el campo magnético creado por el otro. El campo magnético que crea un dipolo de momento magnético \vec{m} , localizado en el eje coordenado tiene la ecuación 2.

$$\vec{B} = \frac{\mu_o}{4\pi} \frac{3(\vec{m} \cdot \vec{r})\vec{r} - r^2\vec{m}}{r^5} \quad (2)$$

Donde:

- \vec{B} : Campo magnético [T]
- μ_o : Constante de Permeabilidad magnética [$H \cdot m$]
- \vec{m} : Momento dipolar magnético [$A \cdot m^2$]
- \vec{r} : Distancia desde el centro del dipolo [m]

Teniendo en cuenta las expresiones 1 y 2, es posible calcular la fuerza magnética entre dos dipolos, considerando las configuraciones en serie y antiparalelo.

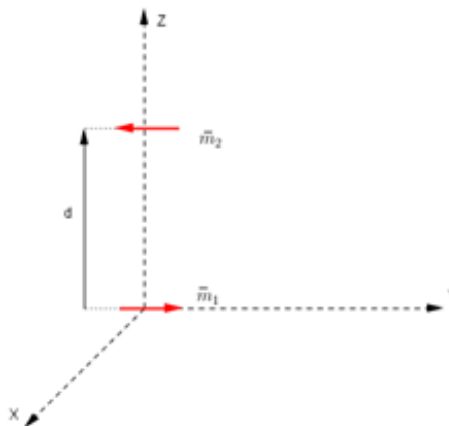


Figura 7: Arreglo de dipolos verticales en antiparalelo.

Se observa en la Figura 7 el arreglo de dipolos en antiparalelo, la fuerza de atracción entre estos se representa en la ecuación 3.

$$F_{12antip}^{\rightarrow} = \frac{\mu_o}{4\pi} \frac{3(m_1 m_2)}{d^4} \vec{u}_z \quad (3)$$

Donde:

- \vec{F}_{12} : Fuerza magnética [N]
- μ_o : Permeabilidad magnética [$H \cdot m$]
- \vec{m} : Momento dipolar magnético [$A \cdot m^2$]
- d : Distancia entre los dipolos [m]

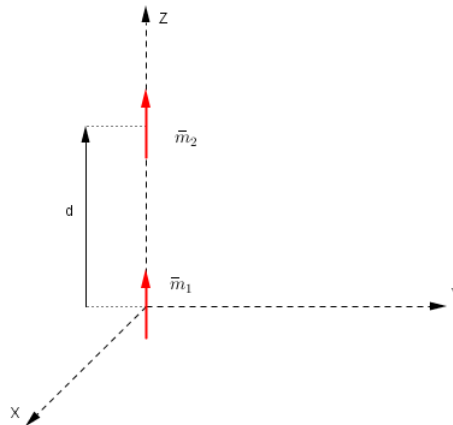


Figura 8: Arreglo de dipolos horizontales en antiparalelo.

Se observa en la Figura 8, el arreglo de dipolos en serie, la fuerza de atracción viene dada por la ecuación 4.

$$F_{12serial}^{\rightarrow} = \frac{\mu_o}{4\pi} \frac{6(m_1 m_2)}{d^4} \vec{u}_z \quad (4)$$

Donde:

- \vec{F}_{12} : Fuerza magnética [N]
- μ_o : Permeabilidad magnética [$H \cdot m$]
- \vec{m} : Momento dipolar magnético [$A \cdot m^2$]
- d : Distancia entre los dipolos [m]

Se concluye de las ecuaciones (3 y 4), y del análisis realizado con las líneas de campo magnético que la mayor fuerza de atracción magnética se obtiene usando la configuración serial, ya que $F_{12serial}^{\vec{}} = 2 * F_{12antip}^{\vec{}}$.

1.2 TETROMINOES. PERMUTACIONES POSIBLES.

Se plantea para este proyecto el desafío de crear un puzzle de 4 fichas, el cual se pueda armar de múltiples formas, buscando como objetivo principal el alcanzar el mayor número de configuraciones posibles. Las configuraciones posibles para este puzzle se pueden observar en la Figura 9.

En la figura 9 se puede observar 7 distintas formas (Cuadrado, línea, Z, S, T, L, J), y a su vez cada una de estas siluetas tiene 24 configuraciones posibles, usando la fórmula de permutaciones sin repetición $n_{fichas} = 4 \rightarrow nPr = \frac{n!}{(n-r)!} = \frac{4!}{(4-4)!} = 1x2x3x4 = 24$ variaciones por cada forma posible, en conclusión con 4 fichas se puede armar este rompecabezas de $Permosibles = 24x7 = 168$ diferentes maneras.

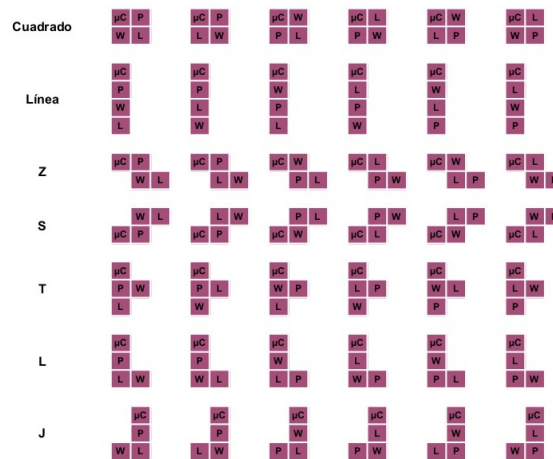


Figura 9: Posibles permutaciones con las 7 formas para 4 tarjetas.

Es preciso aclarar que, para la forma cuadrada, si se gira 90° en su propio eje (simetría eje x y y), se tiene la ilusión de tener 4 nuevas permutaciones, como se puede observar en la figura 10, pero en términos físicos y electrónicos sigue siendo la misma. Por tanto, la forma cuadrada son solo 6 distintas. Partiendo de este prin-

cipio la forma "Línea" por su simetría (eje x) solo cuenta con 12 permutaciones, y las demás al no ser simétricas con ningún eje tienen de a 24 distintas permutaciones. En total son 138 distintas permutaciones.

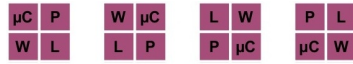


Figura 10: Rotación cada 90° para cada permutación forma cuadrado.

Lograr tal número de permutaciones implica un gran reto de comunicación electrónica ficha a ficha, debido a las conexiones necesarias. Para determinar las debidas conexiones es indispensable entender qué función cumple cada una de estas fichas. A modo de preámbulo es necesario referenciar el proyecto de clase de la asignatura Diseño de sistemas electrónicos (27146) , en la cual se diseñó e implementó una plataforma modular compuesta por 2 tarjetas y su conexión, la cual se puede observar en la Figura 11.

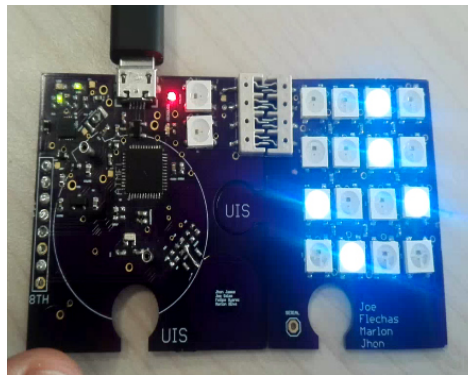


Figura 11: Proyecto de clase, plataforma modular con dos tarjetas.

- Tarjeta principal: Tarjeta constituida por una PCB, la cual cuenta con una etapa lógica, sensores capacitivos y un circuito de potencia.
 - Etapa lógica: Compuesta por un microcontrolador SAMD21 programable por JTAG y USB.
 - Etapa de sensores: Formada por un sensor capacitivo y un sensor tipo wheel, para los cuales es necesario usar el ADC del microcontrolador.

- Etapa de potencia: constituida por un circuito regulador de potencia 5v a 3.3v y una batería lipo a 3.3v.
- Ficha Auxiliar: compuesta por una pcb con una matriz de leds seriales RGB 4x4
 - Conexión: establecida mediante un conector macho-hembra de 4 pines, por el cual se transmite (3v3, GND, pin serial).

En este proyecto el bootloader fue cargado al microcontrolador mediante JTAG y se programó por medio de USB, con la cual se logró hacer una aplicación básica para el funcionamiento de los sensores capacitivos y la matriz de leds serial. Este primer prototipo presenta solo una forma de conectarse, gran reto por abordar para este proyecto, ya que se requiere aumentar el número de tarjetas de 2 a 4, donde cada una cumpla con una función específica.

1.3 NÚMERO DE CONECTORES Y UBICACIÓN.

Luego de definir cómo colocar los imanes se aborda el problema del número de imanes y la ubicación para cada tarjeta. La propuesta inicial (Figura 12) consta de 8 imanes por cada lado de la tarjeta, uno para VDD, dos para GND, dos para identificación de las fichas y tres para transmisión de datos entre las tarjetas. Esta propuesta presenta dos alternativas para la ubicación de los imanes (Figura 13 y Figura 14) las cuales se diferencian en el orden los imanes horizontales. Sin embargo; para esta propuesta se observa que las tarjetas 1 y 4 tendrán la misma distribución y lo mismo sucedería con las tarjetas 2 y 3.

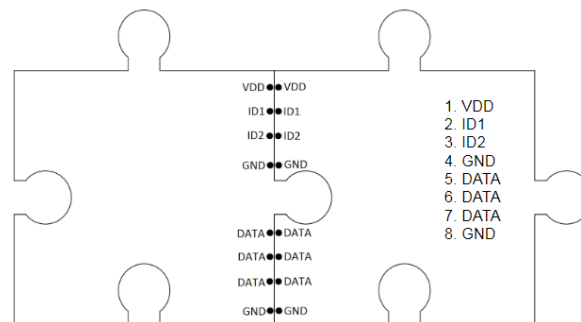


Figura 12: Propuesta inicial para la conexión de tarjetas.

1.3.1 Propuesta 1 conexión de tarjetas Este prototipo usa la disposición de 8 pines de la Figura 12 , dividiendo el conjunto de 4 fichas en 2 pares de fichas , par “A” (fichas 1 y 4) y par “B” (fichas 2 y 3), para el par A los pines están dispuestos en la parte superior de izquierda a derecha (1,2,3,4,5,6,7,8) y contrario en la parte inferior (8,7,6,5,4,3,2,1), en el lateral izquierdo están dispuestos de arriba a abajo (8,7,6,5,4,3,2,1) y contrario en la parte derecha (1,2,3,4,5,6,7,8), se observa a primera vista una factible conexión en la figura anteriormente dicha entre el conjunto de fichas, pero esta presenta una gran falencia; cuando se arma de distinta forma las fichas de cada par (A y B) quedan en corto entre VDD y GND, limitando la interacción entre estas. Analizando las 6 posibles configuraciones con la forma de cuadrado como se observa en figura 9 y la figura 13, se obtiene que solo 2 de estas configuraciones es funcional, las otras 4 quedan en corto circuito. Por tanto, las permutaciones posibles son (2 de 6) en un cuadrado, teniendo en cuenta que hay 7 formas para armar resultaría un total de $2 \times 7 = 14$ posibles permutaciones.

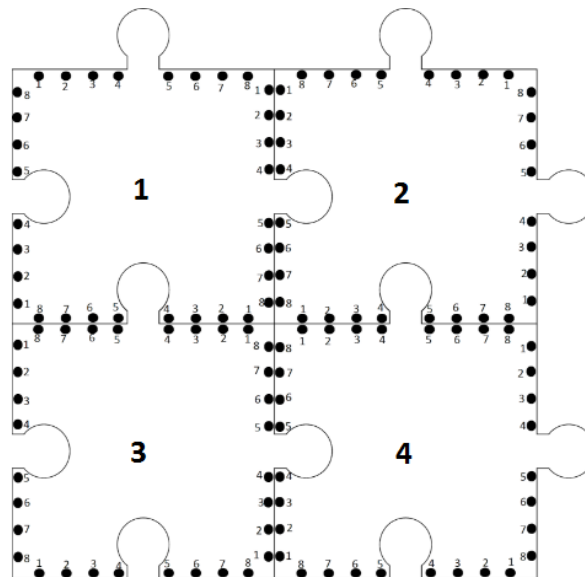


Figura 13: Propuesta 1, alternativa 1 para la ubicación de imanes.

1.3.2 Propuesta 2 conexión de tarjetas Este prototipo usa la misma disposición de 8 pines de la Figura 12, básicamente se cambia el orden de la disposición de los

pinos con respecto a la propuesta 1, esto se propuso con el ánimo de lograr un mayor número de permutaciones posibles, pero se obtuvo el mismo resultado.

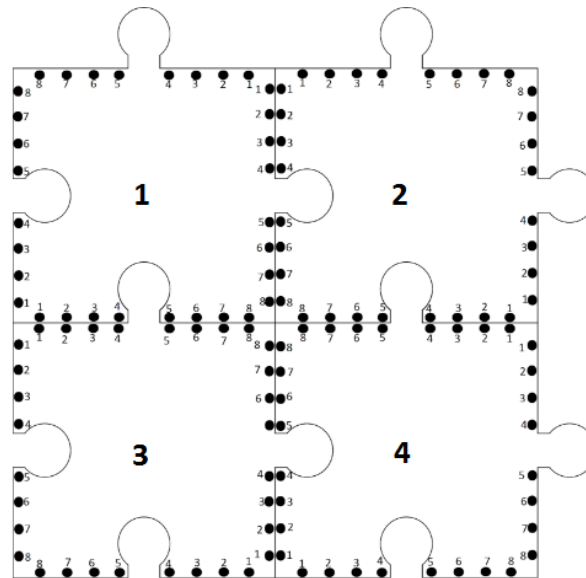


Figura 14: Prpuesta 2, alternativa 2 para la ubicación de imanes.

1.3.3 Propuesta final conexión de tarjetas Partiendo del análisis de las propuestas 1 y 2 de comunicación, se observa que es necesario plantear una solución al problema del corto circuito al conectar las fichas de distinta forma y reducir el número de pines. Se deduce que los pines deben tener simetría con respecto al eje X y Y, por lo que cada pin debe ir repetido por cada lado de la tarjeta. Dada la reducción de pines de datos se propone el uso del protocolo I²C, lo que implica que cada tarjeta secundaria debe llevar un MCU para realizar la comunicación con la tarjeta principal, la propuesta final para la ubicación de los imanes se muestra en la Figura 15. Se observa que para la propuesta final todas las tarjetas tienen la misma distribución y se corrigen los problemas descritos en las propuestas anteriores.

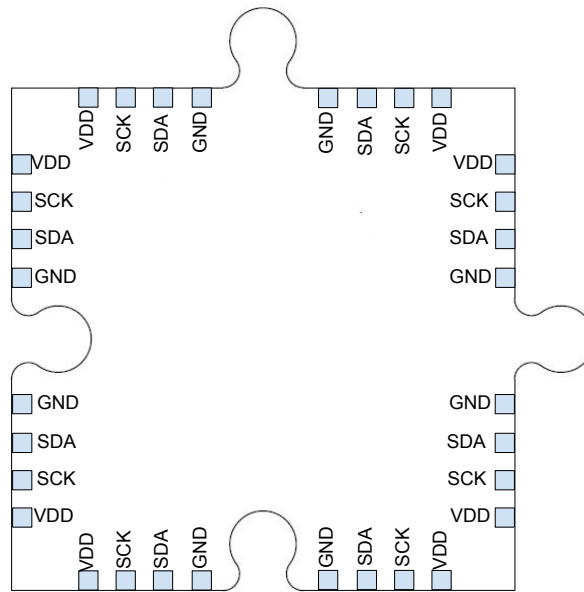


Figura 15: Propuesta final para la ubicación de los imanes.

2. DISEÑO E IMPLEMENTACIÓN PRIMER VERSIÓN.

El segundo reto presentado fue el prototipado de PCBs rápido de manera local o *in-house*. Esto con el objetivo de disminuir los costos y tiempos de fabricación de PCBs.

2.1 DISEÑO DE LA PCB.

El diseño de la tarjeta se realizó en el software Allegro de Cadence, el cual hace parte del paquete de OrCAD. Para esto se parte de la creación del esquemático en OrCAD, mostrado en la Figura 16, teniendo en cuenta los requerimientos del microcontrolador y los requerimientos de diseño de la tarjeta.

Para el manejo de potencia se tiene como requisito que la tarjeta sea alimentada desde un conector micro-USB (5V), por la universalidad de este formato, el microcontrolador debe ser alimentado con tensiones de 1.2V y 2.5V, adicionalmente se requiere una tensión de 3.3V para la alimentación de otros dispositivos de la tarjeta, por lo cual se tiene un total de 4 dominios de tensión: 1.2V, 2.5V, 3.3V y 5V.

El microcontrolador requiere tres relojes: el reloj principal del procesador (*AXI-CLK*), un reloj para el ADC (*ADC-AXI-CLK*) y uno para el reset del ADC (*ADC-AXI.RST*). Para estos se emplea un generador de reloj CY 22150 de CYPRESS y un cristal de 30 MHz, este generador se configura por medio de una interfaz I²C y permite personalizar la frecuencia de cada uno de los relojes por separado hasta un máximo de 200 MHz. El CY 22150 además trabaja a una tensión de 3.3V, pero su salida se puede configurar a una tensión de 2.5V para conectarlo al microcontrolador, para lo cual requiere su conexión a los dos dominios mencionados.

La programación del microcontrolador se realiza por medio del protocolo SPI, la cual tiene una tensión de 3.3V por lo que es necesario usar un *level shifter* de esta tensión a una de 2.5V para conectar al microcontrolador. Finalmente, el microcontrolador cuenta con un GPIO de 8 bits para el cual se tienen dispuestos 8 leds que

DISEÑO E IMPLEMENTACIÓN PRIMER VERSIÓN.

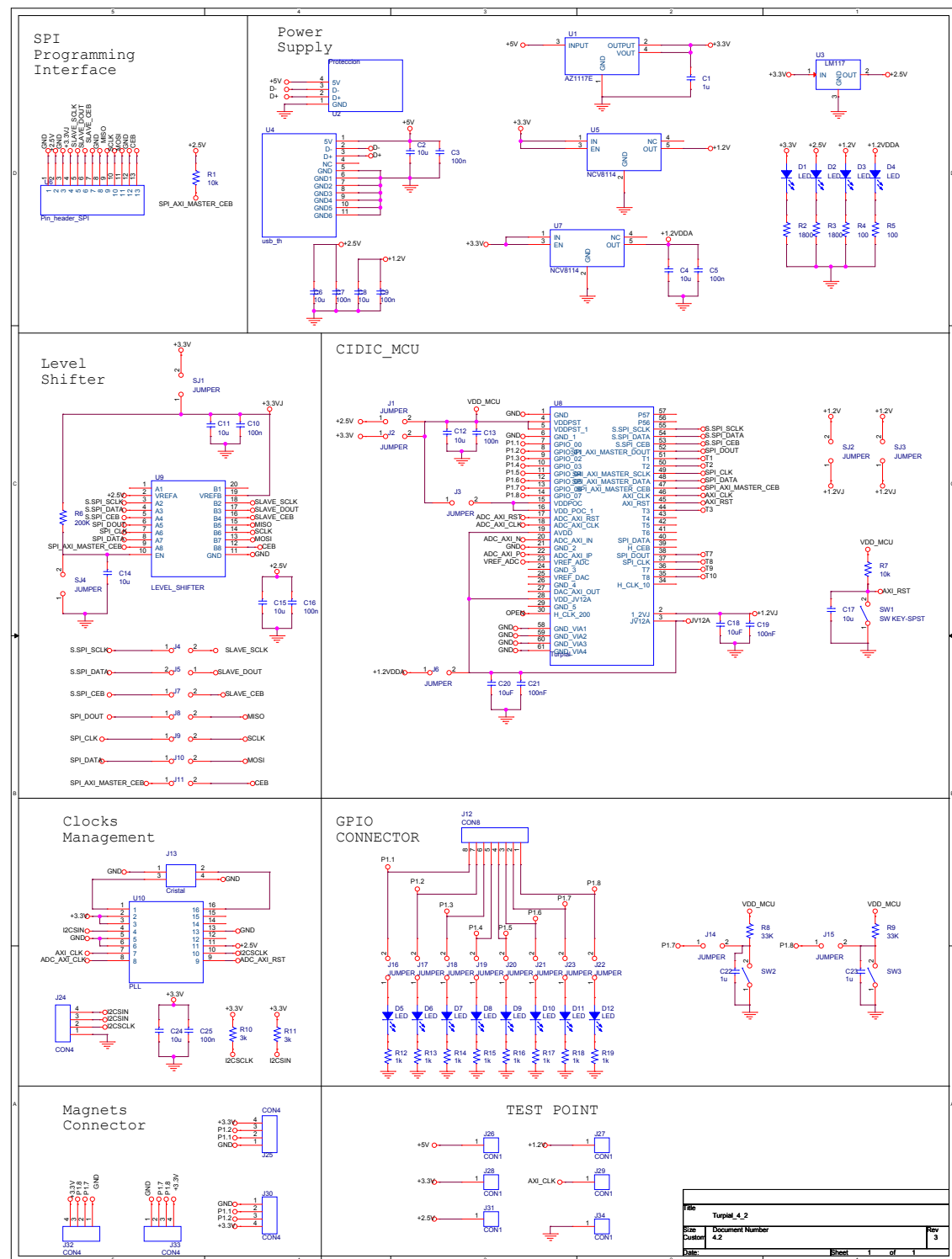


Figura 16: Esquemático tarjeta principal primer versión plataforma modular.

se pueden configurar como salida y 2 pulsadores como entrada, además 2 pines del GPIO se vinculan con el conector de las fichas para realizar la comunicación con las demás tarjetas.

2.2 FABRICACIÓN PCB

La fabricación de la PCB se realizó utilizando la máquina ProtoMat S63 de LPKF, sin embargo, antes de la fabricación se debieron resolver dos problemas. El primer problema es la metalización de las vías presentes en la PCB. El segundo problema es que para realizar el *wirebonding*, los pads del microcontrolador deben tener un acabado de la superficie con una capa de oro de al menos $2\mu\text{m}$ [2], generalmente se emplea *Hard Gold* o *Electroless Nickel Immersion Gold* (ENIG), esto con el objetivo de garantizar una adhesión de los hilos de oro del *wirebonding* a la PCB.

2.2.1 Metalización de las vías este proceso es muy importante ya que se puede afectar el desempeño de la tarjeta, se requiere que las vías tengan una baja resistencia y un espesor mínimo de $20\mu\text{m}$ [2]. El metalizado de las vías generalmente se realiza por electrodeposición en una solución de cobre ácido compuesta de agua, ácido sulfúrico, sulfato de cobre, ácido clorhídrico y compuestos orgánicos, estos últimos para regular y distribuir la carga de cobre que se va a depositar sobre toda la superficie deseada. Sin embargo, antes de realizar la electrodeposición de cobre se debe llevar a cabo la activación de los agujeros, que consiste en hacerlos conductores de tal manera que los iones de la solución formen la superficie dentro de estos.

Se fabricó una PCB de prueba (Figura 17) con 28 vías de diferente diámetro, de 0.2mm a 1.2mm, en esta se realizaron pruebas para la activación de los agujeros aplicando una solución de grafito y acetona para luego realizar la electrodeposición del cobre, sin embargo, después de realizado este proceso solamente se obtuvo el metalizado de 5 de las 28 vías.

de esto se usó el producto ProConduct de LPKF, que es un polímero conductor

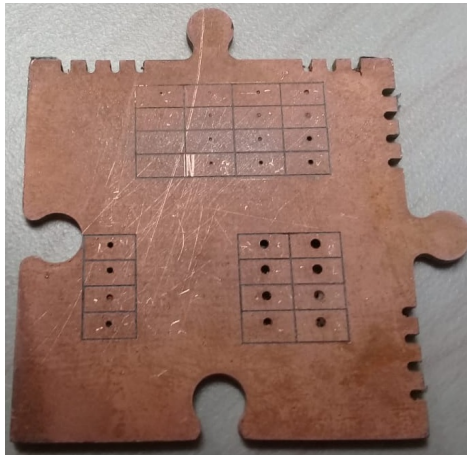


Figura 17: PCB prueba para metalización de vías por electrodeposición.

compuesto principalmente de plata, por medio del cual se realizó el metalizado de las vías. Inicialmente se perforan dos agujeros de 1.5mm por fuera del borde de la PCB los cuales se utilizan como fiduciales que son reconocidos por la máquina para la ubicación de la PCB. Posteriormente, se coloca una película protectora sobre las dos capas de cobre, para no aplicar el polímero sobre toda la superficie. A continuación, se perforan todos los agujeros en la PCB, para que la plantilla de agujeros quede también en las dos películas. Se trabaja sobre una mesa de vacío y se aplica el polímero sobre la superficie con una espátula de goma para rellenar todos los agujeros (Figura 18), el vacío atrae el polímero a través de los agujeros y remueve el exceso, la placa se gira y se repite el proceso por la capa *bottom*. El resultado final se muestra en la Figura 19.



Figura 18: Aplicación del polímero conductor sobre la PCB.

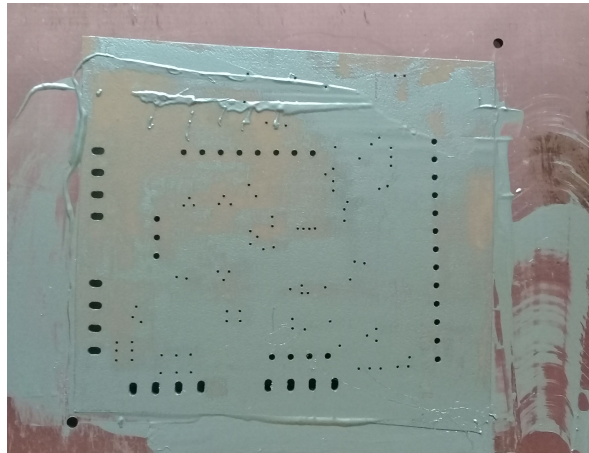


Figura 19: Resultado final aplicación del polímero conductor.

Se remueven las dos películas protectoras y se lleva la placa a un horno de aire caliente a 160°C durante 30 minutos para el curado del polímero (Figura 20).

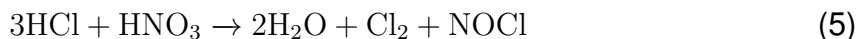


Figura 20: Curado del polímero a 160°C durante 30min.

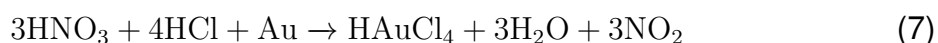
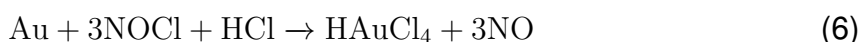
2.2.2 Acabado de la superficie para lograr el acabado necesario se realiza la electrodeposición de oro sobre la superficie de cobre, inicialmente se fabricó una PCB sobre una placa de cobre FR4 para luego realizar el acabado en la superficie de cada uno de los pads del microcontrolador, sin embargo, este procedimiento se dificulta ya que los pads tienen un ancho de 152 μ m y se requiere la conexión de estos a un electrodo para la electrodeposición. Para facilitar este proceso, se decide hacer el acabado de la superficie a toda la tarjeta luego de realizar el metalizado de las vías y antes de realizar el proceso de fabricación en la S63.

DISEÑO E IMPLEMENTACIÓN PRIMER VERSIÓN.

Realizar el proceso de electrodeposición requiere la preparación de una solución de cianuro áurico [6], la cual se realizó disolviendo 500mg de oro de 24 quilates en 10 ml de agua regia, compuesta de ácido clorhídrico y ácido nítrico en una proporción de 3:1 (5).



El cloruro de nitrosilo (NOCl) es el encargado de la disolución del oro (6). El óxido nítrico en (6) es una molécula altamente inestable e incolora que se combina con el oxígeno presente en el ambiente generando dióxido de nitrógeno que es un gas tóxico, por lo que se debe trabajar bajo una campana de extracción y con los elementos de seguridad necesarios. La reacción general se presenta en (7).



De esta reacción se obtiene ácido cloroáurico con un pH de 0, para agregar el cianuro se debe tener un pH de 7, por lo cual se agrega soda cáustica hasta obtener el pH necesario. Finalmente se agrega el cianuro.

Luego se realizó el montaje de la Figura 21 en el cual se coloca un electrodo de oro en el ánodo y en el cátodo se coloca la placa para realizar la electrodeposición. El espesor de oro depositado depende del área de la placa, la concentración de oro en la solución, el tiempo de electrodeposición y la corriente aplicada, para obtener

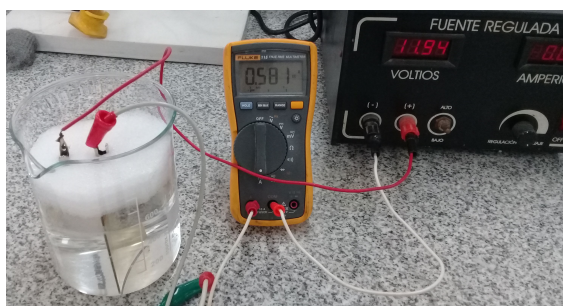


Figura 21: Montaje para electrodeposición de oro.

la capa de $2\mu\text{m}$, aproximadamente, se configuró una corriente de 581 mA durante 45 minutos.

El resultado final de la metalización de las vías y la electrodeposición de oro se muestra en la Figura 22

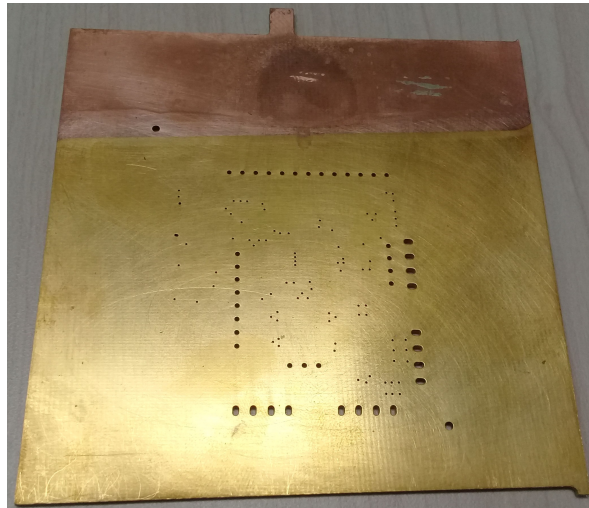


Figura 22: Resultado final de electrodeposición sobre la placa FR4.

Después de los procesos de metalización de las vías y acabado de la superficie se procede al grabado de la PCB, para esto se utilizó la ProtoMat S63 haciendo uso de las herramientas Micro Cutter y Universal Cutter. En las Figura 23 y Figura 24 se muestran sus perfiles de grabado, en las cuales se observa que el ancho de las pistas de aislamiento puede cambiar en función de la profundidad a la cual trabaja la herramienta.

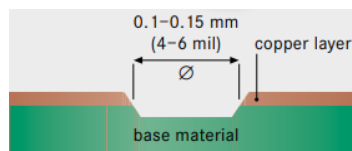


Figura 23: Perfil de grabado Micro Cutter *Tomado de LPKF.

La huella diseñada para el microcontrolador tiene un ancho de pad y un espaciamiento entre estos de $152\mu\text{m}$, siendo esta una de las zonas de la PCB que requiere

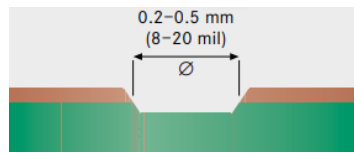


Figura 24: Perfil de grabado Universal Cutter *Tomado de LPKF.

mayor resolución en el grabado, por lo que es necesario realizar una caracterización de la herramienta Micro Cutter a diferentes alturas.

En la Figura 25 se observa el resultado obtenido al realizar el grabado a diferentes profundidades con la Micro Cutter.

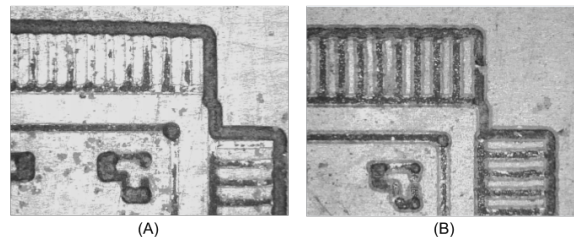


Figura 25: Caracterización de la profundidad de trabajo para la Micro Cutter.

Luego del grabado de las pistas se realiza el corte del borde de la PCB con la forma deseada, usando una herramienta de corte de contorno de 1 mm de diámetro. En la Figura 26 se muestra el resultado final luego de los procesos de metalización de las vías, electrodeposición de oro en la superficie, grabado de las pistas y corte de la PCB.

El siguiente paso consiste en la dispensación de la pasta de soldadura, este proceso también se realiza con la ProtoMat S63 para lo cual es necesario el *gerber* con la ubicación de los pads sobre los cuales se aplicará la soldadura, estos pads se definen desde el diseño de la PCB.

Durante este proceso se usa una jeringa que contiene soldadura Sn63Pb37 y una boquilla que según su diámetro define el tamaño de los puntos que se aplicarán sobre la PCB, antes de la dispensación de la soldadura se debe limpiar la superficie para eliminar cualquier residuo. En este caso se utilizó una boquilla con un diáme-

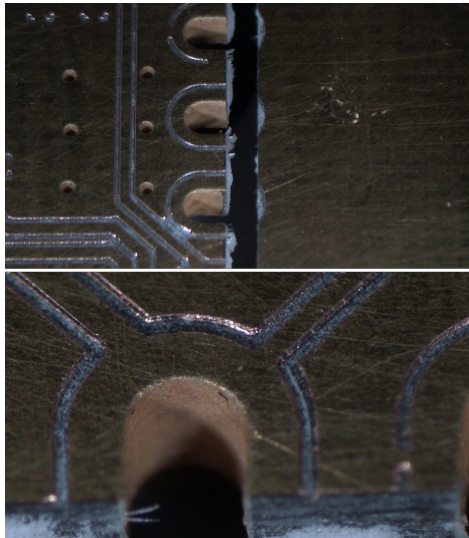


Figura 26: Resultado final de fabricación de la PCB.

tro de 0.4mm, ya que el pad más pequeño tienen unas dimensiones de 0.6mm x 0.6mm, de esta forma se garantiza la dispensación en todos los pads necesarios. Este proceso se realiza por medio de aire comprimido a una presión de 3 bar. En la Figura 27 se visualiza la dispensación de la soldadura sobre los pads deseados y en la Figura 28 se observa con más detalle la dispensación sobre un pad de 0.6mm x 0.6mm y un pad de 1.2mm x 1.2mm.

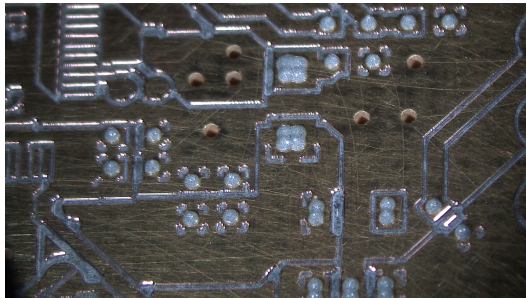


Figura 27: Dispensación pasta de soldadura sobre los pads.

A continuación, se ubican los elementos que componen el circuito, como se muestra en las Figura 29 y Figura 30.

Para terminar el proceso de soldadura se utilizó el perfil de soldadura de la Figura 31,

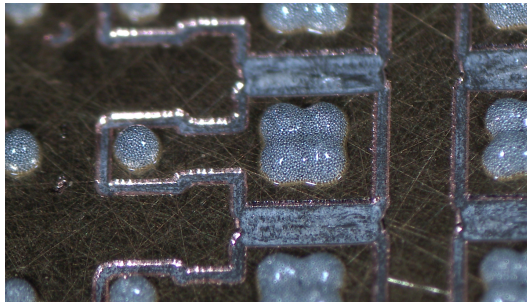


Figura 28: Detalle dispensación pasta de soldadura sobre los pads.

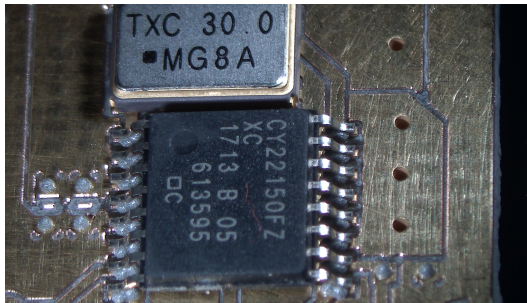


Figura 29: Ubicación de los elementos sobre la PCB.

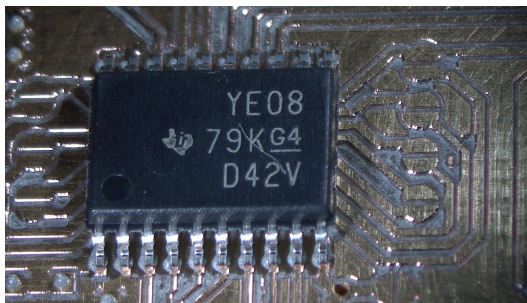


Figura 30: Ubicación de los elementos sobre la PCB.

este perfil es recomendado por LPKF para este tipo de soldadura, este perfil puede tener modificaciones en los parámetros de tiempo y temperatura dependiendo de la soldadura utilizada.

Luego de tener todos los elementos y realizar pruebas de funcionamiento de las diferentes etapas del circuito sin el MCU se procede a fijar el *die* sobre la PCB, para esto se utiliza un adhesivo epoxi conductor de plata el cual tiene un tiempo de curado de 4 horas a una temperatura de 100°C.

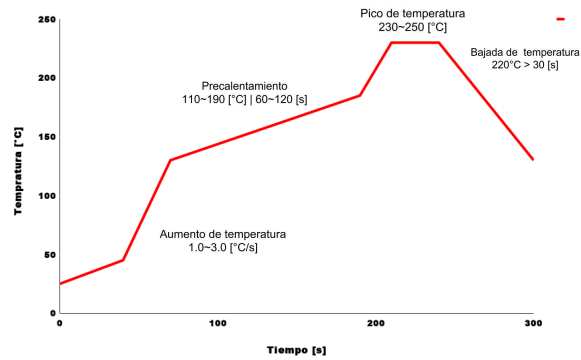


Figura 31: Curva de soldadura recomendada por LPKF para soldadura Sn63Pb37.

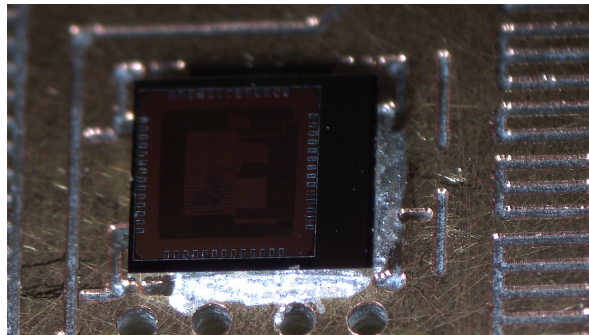


Figura 32: Ubicación die sobre la PCB.

Finalmente se realiza el wirebonding del *die*. Para esto se utilizó el *wirebonder* semiautomático HB16 de la empresa TPT [8]. El resultado final se observa en la Figura 33.

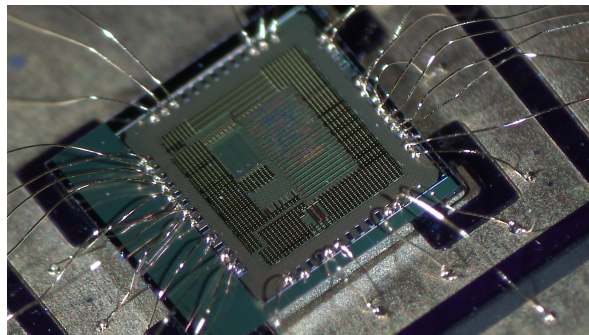


Figura 33: Proceso de wirebonding del die según el diagrama.

3. DISEÑO E IMPLEMENTACIÓN SEGUNDA VERSIÓN.

El tercer reto corresponde a la producción en masa del prototipo. Con el objetivo de examinar la viabilidad de implementación de un prototipo en masa, se decide realizar un ensayo con la fabricación de 100 PCBs en Shenzhen, China. Con esto se busca establecer una ruta a seguir para la implementación en masa de tarjetas con próximos circuitos integrados diseñados en el grupo OnChip.

3.1 DISEÑO PCB.

Dado que el microcontrolador Turpial no posee memoria EEPROM debe ser programado cada vez que se enciende, para solucionar esto se plantea usar un circuito integrado que contenga memoria EEPROM y desde el cual se pueda realizar la programación de Turpial cada vez que se enciende. Para esto se seleccionó el integrado SAMD11C14 con un procesador ARM Cortex-M0 de 32-Bit, 48 MHz y 16 KB de tamaño de memoria del programa, además este integrado posee conectividad USB para su programación y conectividad SPI para la programación de Turpial, desde este integrado también se genera el reloj de Turpial. Ya que la programación se realizará por USB se requieren reguladores de 5V a 2.5V y de 2.5V a 1.2V, que son los voltajes requeridos por Turpial. Dados los requisitos de la PCB se crea el esquemático mostrado en la Figura 34 y se procede con el diseño de la PCB, en las Figura 35 y Figura 36 se observa el resultado de diseño de las capas *top* y *bottom*, respectivamente. Vale la pena aclarar que el diseño del borde en las Figura 35 y Figura 36 difiere con el diseño inicial de la Figura 2 en sus esquinas, esta modificación se realiza para facilitar la panelización de las tarjetas para su producción en tableros.

DISEÑO E IMPLEMENTACIÓN SEGUNDA VERSIÓN.

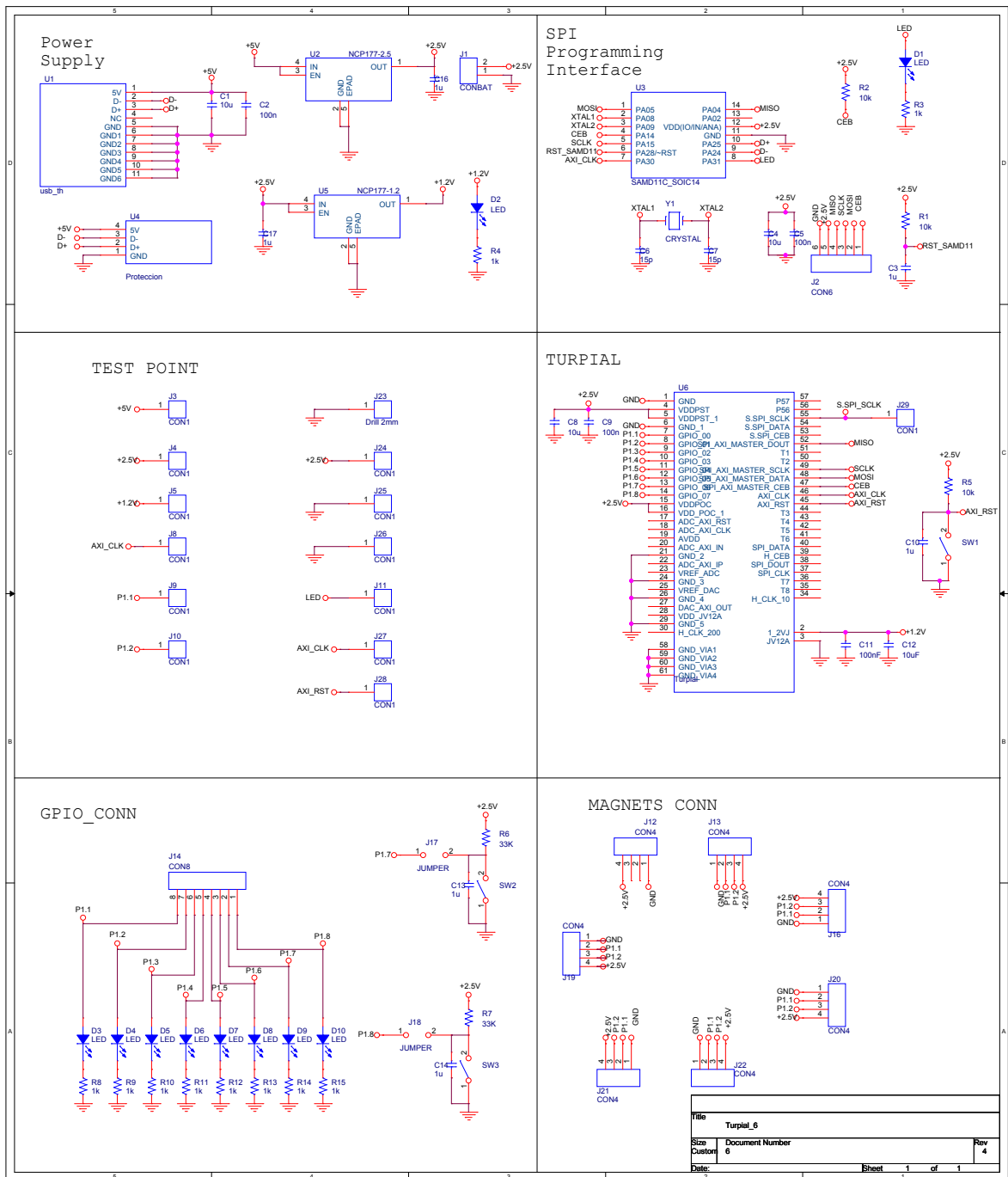


Figura 34: Esquemático tarjeta principal segunda versión plataforma modular.

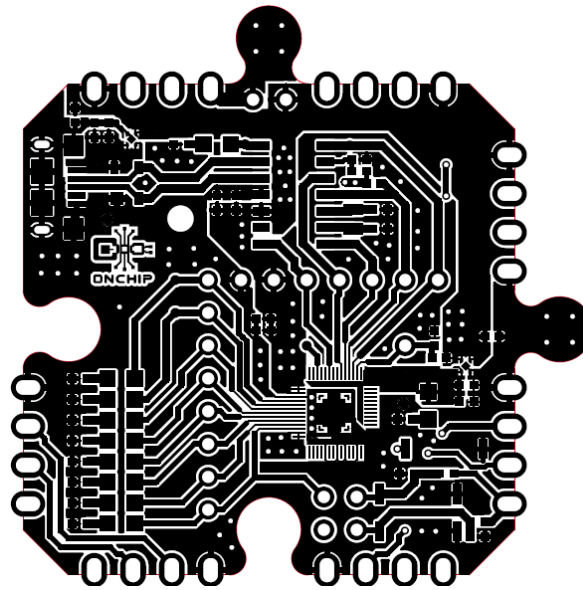


Figura 35: Diseño capa *top* segunda versión.

Las 100 tarjetas se mandaron a fabricar en la empresa King Credie Technology Ltd, con sede en Shenzhen, China, en material FR4 de 1 oz de Cu ($35\mu\text{m}$) y acabado de la superficie *Hard Gold* de $1\mu\text{m}$ de espesor.

Luego de la fabricación de las tarjetas se realizó una prueba inicial para el *wirebonding* con 10 tarjetas con el diagrama de la Figura 37. Para esta prueba el operario realiza el wirebonding de una de las tarjetas ubicando algunos fiduciales, luego el wirebonder automático realiza el proceso para las demás tarjetas. Durante esta prueba se tuvieron algunos problemas con los *downbonds*, *bonds* que se conectan a los rieles cercanos a la PCB, de 1.2V y GND ya que son muy cortos, este problema se puede solucionar aumentando el tamaño de los rieles de 1.2V y GND.

En la Figura 38 se muestra el resultado del wirebonding sobre una de las tarjetas fabricadas.

Posteriormente, sobre el *die* y los *bonds* se aplica un epoxi para su protección, la fábrica encargada del *wirebonding* aplica de forma automatizada epoxi negro, sin embargo se realizaron pruebas con epoxi transparente manualmente pero se tuvie-

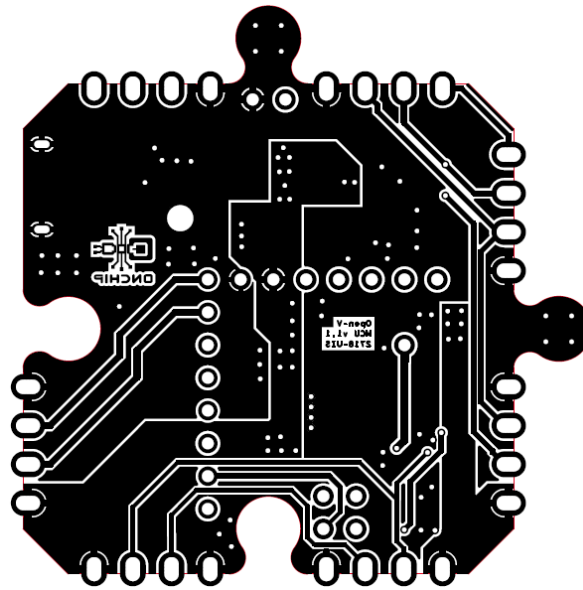


Figura 36: Diseño capa *bottom* segunda versión

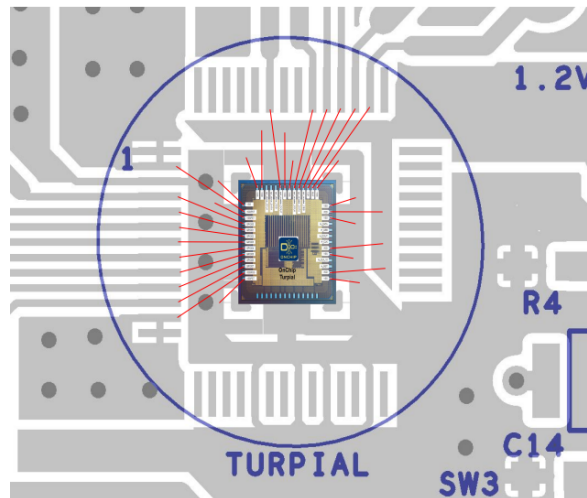


Figura 37: Diagrama de conexión para *wirebonding*

ron problemas ya que este es muy líquido y se propagó a algunos pads cercanos, finalmente se obtuvieron 6 tarjetas con epoxi transparente que se muestran en la Figura 39 y 4 tarjetas con epoxi negro.

La ubicación de los elementos se realiza por medio de una máquina *pick-and-place*, para esto se han realizado pruebas iniciales con la máquina QM1100 de SMTmax

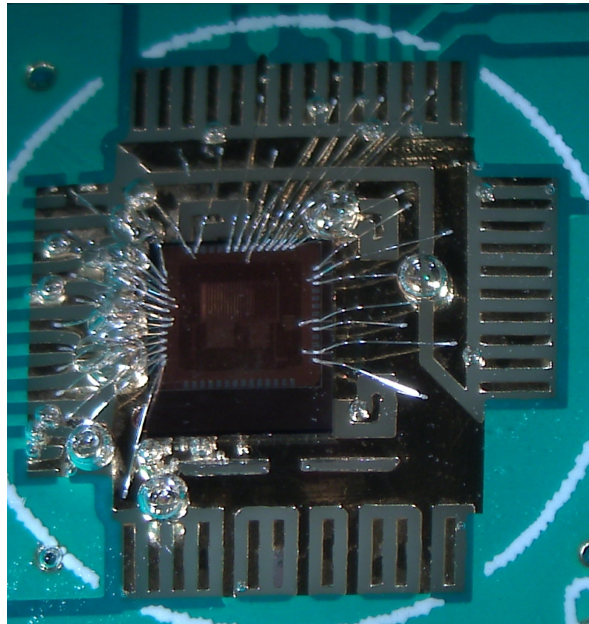


Figura 38: Wirebonding realizado en china

[7]. Sin embargo, esta requiere que los elementos se encuentren en un carrete o *reel*, que son colocados en alimentadores o *feeders* automáticos que funcionan de dos maneras: neumáticos o mecánicos. Además, son necesarios varios fiduciales para el reconocimiento visual de la ubicación de cada PCB y una lista de partes, donde se encuentran todos los elementos de cada PCB y su ubicación.

3.2 PLANTILLA DE PRUEBA. TEST JIG.

Actualmente se esperan recibir las 10 tarjetas iniciales para realizar pruebas de funcionamiento del proceso *wirebonding* realizado, para esto se debe fabricar una plantilla de prueba, o test jig, por medio del cual se envían estímulos a la tarjeta y se espera una respuesta conocida para verificar su conexión. Para fabricar la plantilla de prueba se fabricó el diseño de las Figura 35 y Figura 36, para esto fue necesario realizar los procesos de electrodeposición de oro para el acabado de la superficie y el wirebonding del *die*, el resultado se muestra en la Figura 40.



Figura 39: Aplicación de epoxi oscuro para protección de CoB

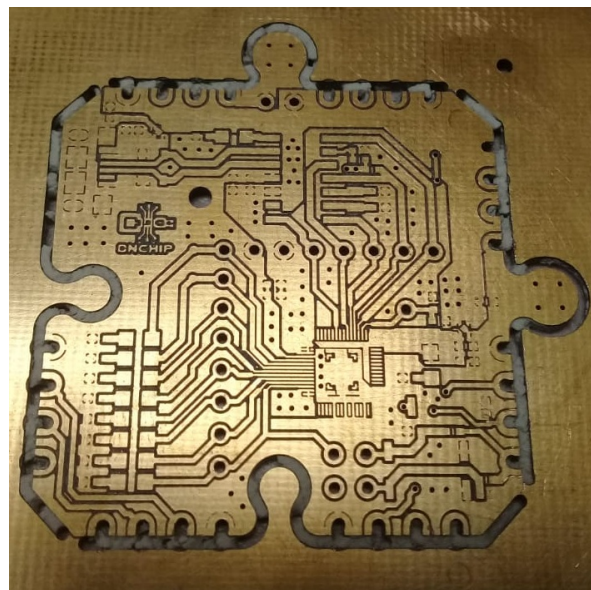


Figura 40: Fabricación tarjeta de prueba para *test jig*.

4. CONCLUSIONES

- El diseño planteado para el conector y la ubicación de los imanes permite realizar la conexión y comunicación de las 4 tarjetas sin limitar las 168 permutaciones posibles.
- La utilización de *castellations* en el diseño de la PCB facilita el montaje de los imanes y a la vez permite la fabricación en masa del prototipo.
- El prototipado rápido *in-house* disminuye los costos y tiempos de fabricación de PCBs necesarias para la verificación de circuitos integrados.
- La metodología propuesta facilita el metalizado de vías y acabado de la superficie de PCBs para prototipado rápido *in-house* de CoB en la Universidad Industrial de Santander.
- Se realiza el diseño para fabricación en masa de 100 tarjetas en Shenzhen, China, lo que permite generar una metodología para la fabricación en masa de PCBs usando CoB.

BIBLIOGRAFÍA

- [1] DURAN C., RUEDA D. L., CASTILLO G., AGUDELO A., ROJAS C., CHAPARRO L., HURTADO H., ROMERO J., RAMIREZ W., GOMEZ H., ARDILA J., RUEDA L., HERNANDEZ H., and ROA J. AMAYA E., “A 32-bit risc-v axi4-lite bus-based microcontroller with 10-bit sar adc,” en *2016 IEEE 7th Latin American Symposium on Circuits Systems (LASCAS)*, pp. 315–318, Feb 2016.
- [2] for Interconnecting I Institute and Circuits Packaging Electronic, “Ipc-2221a - generic standard on printed board design,”, pp. 20–80, May 2003.
- [3] GRIFFITHS David, *Introduction to Electrodynamics. Fourth Edition*, Pearson Education, Inc, 2013.
- [4] KEELER R., *The Electronics Assembly Handbook*, ch. Chip-on-board Technology, pp. 41–45, Berlin: Springer Berlin Heidelberg, 1988.
- [5] LPKF Laser and Electronics AG., Osteriede 7, D-30827 Garbsen, Germany., *CircuitPro PM2.3. Version 1.1*, November 2016.
- [6] MORDECHAY Schlesinger and MILAN Paunovic, *Modern Electroplating. Fifth Edition*, John Wiley and Sons, Inc. Hoboken, New Jersey, 2010.
- [7] SMTmax, 5675 Kimball Avenue, Chino CA 91710, *User Manual. Automatic Pick and Place Machine. Models QM1100(A), 1500, QM2000(2100) and QM3000.*, 2015.
- [8] TPT, Munchen, Germany, *Wire Bonder HB10/HB16. Operation Manual. Version 4.*, September 2016.