

DISEÑO DE AMPLIFICADORES DE BAJA TENSIÓN Y BAJO CONSUMO DE
POTENCIA PARA APLICACIONES PORTÁTILES

OSCAR SANTIAGO PIÑEROS TORRES
CRISTHIAN ROLANDO TORRES DELGADO

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERIAS FISICO-MECANICAS
ESCUELA DE INGENIERIAS ELECTRICA ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2015

DISEÑO DE AMPLIFICADORES DE BAJA TENSIÓN Y BAJO CONSUMO DE
POTENCIA PARA APLICACIONES PORTÁTILES

OSCAR SANTIAGO PIÑEROS TORRES
CRISTHIAN ROLANDO TORRES DELGADO

Trabajo de Grado para optar al título de
Ingeniero Electrónico

Director

M.Sc. ANDRÉS FELIPE AMAYA BELTRÁN
Magíster en ciencias del Instituto Nacional de Astrofísica y Óptica

Codirector

M.Sc. JAIME GUILLERMO BARRERO PÉREZ
Magíster en ingeniería en el área de potencia eléctrica de la
Universidad Industrial de Santander-UIS.

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERIAS FISICO-MECANICAS
ESCUELA DE INGENIERÍAS ELECTRICA ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2015

CONTENIDO

	Pág.
INTRODUCCIÓN	13
1. MODELO COMPACTO DEL MOSFET Y REGIÓN DE SUBUMBRAL	15
2. TÉCNICA DE ENTRADA CUERPO	17
3. METODOLOGÍA gm/ID PARA EL DISEÑO DE CIRCUITOS ANALÓGICOS	19
4. DISEÑO DE LOS AMPLIFICADORES	21
4.1 ETAPA DE GANANCIA INTRÍNSECA	21
4.2 ANALISIS DEL AMPLIFICADOR DE TRANSCONDUCTANCIA DE MILLER	24
4.3 COMPENSACIÓN DEL AMPLIFICADOR	25
4.4 FLUJO DE DISEÑO DE LOS AMPLIFICADORES	27
4.5 RED DE REALIMENTACIÓN EN MODO COMÚN	32
5. RESULTADOS DE SIMULACIÓN	35
6. CONCLUSIONES	40
REFERENCIAS	41
BIBLIOGRAFÍA	43
ANEXOS	45

LISTA DE FIGURAS

	Pág.
Figura 1. Característica de transconductancia de un transistor nMOS para entrada por compuerta y entrada por cuerpo	17
Figura 2. Curva de gm/ID con respecto a V_G .	20
Figura 3. Etapa de ganancia intrínseca (I.G.S).	21
Figura 4. Modelo de pequeña señal de la etapa de ganancia intrínseca.	22
Figura 5. Amplificador de transconductancia de Miller con terminación sencilla.	24
Figura 6. Modelo a pequeña señal simplificado del amplificador de transconductancia de Miller.	25
Figura 8. Curva de gm/ID con respecto a V_G .	30
Figura 9. Amplificador de transconductancia de Miller con salida diferencial.	32
Figura 10. Modelo simplificado de las fuentes de corriente de la segunda etapa.	33
Figura 11. Red de realimentación en modo común.	33
Figura 12. Análisis en AC del amplificador en subumbral.	35
Figura 13. Análisis en AC del amplificador de entrada cuerpo.	36
Figura 14. Respuesta transitoria del amplificador en subumbral.	37
Figura 15. Respuesta transitoria del amplificador de entrada cuerpo.	37
Figura 16. Análisis en AC del amplificador en subumbral teniendo en cuenta variaciones del proceso	38
Figura 17. Análisis en AC del amplificador de entrada cuerpo teniendo en cuenta variaciones del proceso.	38

LISTA DE TABLAS

	Pág.
Tabla 1. Valores de diseño seleccionados de la curva gm/ID	28
Tabla 2. Valores de diseño seleccionados de la curva gmb/ID	30
Tabla 3. Resultados de las dimensiones de los transistores en subumbral	31
Tabla 4. Resultados de las dimensiones de los transistores de entrada cuerpo	31
Tabla 5. Resultados de simulación de los amplificadores, $VDD = 500mV$	39

LISTA DE ANEXOS

	Pág.
Anexo A. Extracción de parámetros de diseño para el modelo EKV v2.6	45

RESUMEN

TÍTULO: DISEÑO DE AMPLIFICADORES DE BAJA TENSIÓN Y BAJO CONSUMO DE POTENCIA PARA APLICACIONES PORTÁTILES*

AUTORES: OSCAR SANTIAGO PIÑEROS TORRES, CRISTHIAN ROLANDO TORRES DELGADO**

PALABRAS CLAVE: SUBUMBRAL, METODOLOGÍA gm/Id, ENTRADA CUERPO

DESCRIPCIÓN:

En este trabajo se presenta el diseño y la comparación de dos amplificadores diferenciales de transconductancia orientados al desarrollo de aplicaciones portátiles de bajo voltaje y bajo consumo de potencia. Para la caracterización de los transistores utilizados en el diseño de los amplificadores se utilizó el modelo EKV que permite caracterizar transistores en todas las regiones de operación con un menor número de parámetros comparado con otros modelos de transistores. Los amplificadores fueron diseñados en la región de inversión débil; en esta región de operación del transistor se presentan las mejores características para el diseño de amplificadores de bajo consumo de potencia y alta ganancia. Sin embargo en esta región se ve restringida la frecuencia de operación del transistor. Los amplificadores fueron diseñados mediante dos técnicas de diseño: subumbral y entrada cuerpo. Cada una de estas técnicas se llevo a cabo mediante la metodología gm/Id que permite diseñar amplificadores con los transistores en una región de operación deseada. Además se presenta el diseño de una red de estabilización de modo común (CMFB) con entrada cuerpo. Esta red fue utilizada para completar el flujo de diseño de los amplificadores. Los resultados de ganancia obtenidos mediante simulación corresponden a 84dB para el amplificador de subumbral y 77dB para el de entrada cuerpo. La frecuencia de diseño fue de 10kHz logrando el doble de este valor mediante compensación indirecta. Para las simulaciones se utilizó una tecnología Sylterra CL180G de 180nm.

* Trabajo de grado

** Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica Electrónica y de Comunicaciones. Director: MSc. Andrés Felipe Amaya Beltrán.

ABSTRACT

TITLE: DESIGN OF AMPLIFIERS FOR LOW VOLTAGE AND LOW POWER TO PORTABLE APLICATTIONS*

AUTHORS: OSCAR SANTIAGO PIÑEROS TORRES, CRISTHIAN ROLANDO TORRES DELGADO**

KEYWORDS: SUBTHRESHOLD, gm/Id METHODOLOGY, BULK-DRIVEN

DESCRIPTION:

In this paper the design and comparison of two differential transconductance amplifiers aimed at developing portable low voltage and low power consumption is presented. The characterization of the transistors used in the amplifier design was done using the model EKV for characterizes transistors in all regions of operation with fewer parameters compared to other models of transistors. The amplifiers were designed in the weak inversion region; in this region of operation, the transistor presents the best features for design amplifiers with low-power and high gain. However in this region is restricted operating frequency of the transistor. The amplifiers were designed using two design techniques: subthreshold and bulk-driven. Each of these techniques was conducted using the methodology gm / Id design allows amplifiers with transistors in a region of desired operation. Furthermore designing a network stabilization common mode voltage (CMFB) with body input is presented. This network was used to complete the design flow of the amplifiers. The gain results obtained by simulation correspond to 84dB to 77dB amplifier subthreshold and body for entry. The frequency of 10kHz design was achieved twice this value by indirect compensation. For the simulations a Sylterra CL180G for transistors with 180nm length was used.

* Bachelor Thesis.

** Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica Electrónica y de Comunicaciones. Director: MSc. Andrés Felipe Amaya Beltrán.

INTRODUCCIÓN

El desarrollo de sistemas portátiles con un consumo de energía eficiente, así como de aplicaciones biomédicas y de detección de fallas (sensores de fallas en estructuras alimentados mediante antenas), que necesitan recolectar energía eléctrica del ambiente que las rodea, ha hecho que el diseño de circuitos integrados aumente su tendencia a desarrollar dispositivos de baja tensión de alimentación y bajo consumo de potencia[5][8].

Un circuito que funciona con baja tensión de alimentación hace accesible un bajo consumo de potencia, sin embargo, el ancho de banda se reduce debido a las corrientes extremadamente bajas [3]. No obstante, se han desarrollado distintas técnicas que permiten diseñar circuitos con buen desempeño y consumos de potencia menores a $1mW$; las dos técnicas más difundidas son el diseño en la región de subumbral, y la metodología de entrada cuerpo. En la técnica de subumbral se diseña el circuito para que los transistores operen por debajo de la tensión umbral; en la técnica de entrada cuerpo, el diseño se basa en la modulación de la tensión umbral del transistor el cual es uno de los principales inconvenientes en el diseño de dispositivos de baja tensión de alimentación[3].

Por tal motivo, en este trabajo se presenta el diseño de dos amplificadores de transconductancia (OTA), mediante las técnicas de diseño previamente mencionadas, haciendo uso del modelo compacto EKV¹[4] y la metodología de diseño (g_m/I_D), que sirven como punto de partida para diseñar circuitos con cálculos manuales y la mayor eficiencia posible entre velocidad de operación y potencia consumida.

En las secciones II, III y IV se aborda la teoría básica del transistor operando en la

¹ C. Enz, F. Krummenacher y E. A. Vittoz

región de subumbral y un bosquejo del modelo EKV; también se presenta la técnica de entrada cuerpo, así como la metodología de diseño g_m/I_D . En la sección V se describe el diseño de los amplificadores y la red de realimentación de modo común. La sección VI muestra los resultados de simulación obtenidos para los amplificadores y finalmente la sección VII enuncia las conclusiones de este trabajo.

1. MODELO COMPACTO DEL MOSFET Y REGIÓN DE SUBUMBRAL

En el diseño de circuitos integrados de baja tensión y bajo consumo de potencia, los modelos compactos que describen el comportamiento del MOSFET en todas las regiones de operación toman mayor interés a diferencia de modelos avanzados, pues permiten cálculos manuales con diseños eficientes [1].

El modelo compacto EKV describe el comportamiento del transistor a partir de una sola ecuación de corriente válida en todas las regiones de operación[4]:

$$I_D = I_F - I_R \quad (1)$$

con:

$$I_{F,R} = I_S \ln^2 \left(1 + e^{\frac{V_P - V_{S,D}}{2\phi_T}} \right) \quad (2)$$

con I_S como la corriente específica, V_P la tensión *pinch-off* (potencial del canal para el cual la inversión de carga Q_{inv} se hace cero), V_S y V_D tensiones de fuente y drenador respectivamente y ϕ_T el voltaje térmico.

En la región de inversión fuerte, esta ecuación se convierte en la ecuación cuadrática clásica, mientras que en la región de inversión moderada se debe emplear la ecuación completa dada por el modelo.

En la región de inversión débil o subumbral, la tensión V_{GS} es igual o inferior a la tensión umbral V_t ; aplicando además una tensión $V_{DB} > 3\phi_T$ el transistor se satura [3] y la ecuación de corriente de drenador I_D pasa a tener un comportamiento exponencial; la mejor aproximación del modelo se da en esta región de inversión y es descrito por la siguiente ecuación[11][7]:

$$I_D = I_S * e^{\left(\frac{V_G - V_t}{n\phi_T}\right)} \quad (3)$$

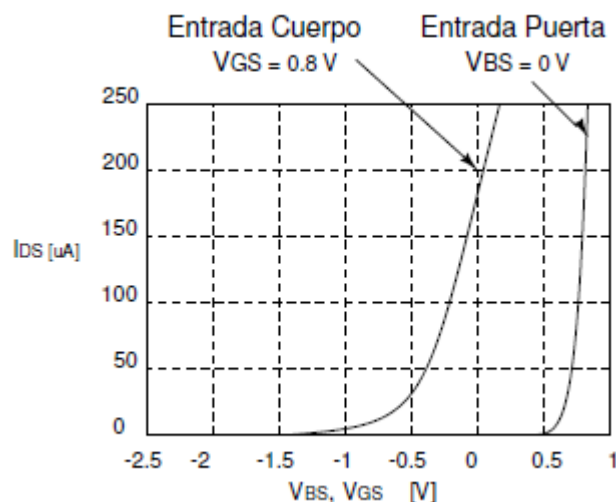
donde V_G es la tensión de compuerta, V_t la tensión umbral, y n el coeficiente de inversión del transistor.

2. TÉCNICA DE ENTRADA CUERPO

La técnica de entrada cuerpo utiliza el cuerpo del transistor como la entrada para la señal, a diferencia de los diseños clásicos de amplificadores que utilizan la compuerta. En ésta técnica, la transconductancia de cuerpo se encarga de controlar la corriente de drenador, mientras que la compuerta se ajusta a una tensión constante para que se genere un canal de conducción en el transistor; es por esto que el transistor con entrada cuerpo se asemeja al funcionamiento de un JFET[12].

La principal característica de ésta técnica es que el canal se genera en el transistor con tensiones en la entrada por debajo de V_t , 0V e incluso valores negativos, de esta forma, el rango de entrada en modo común (*ICMR*) puede lograr una excursión riel a riel[6]. La figura 1 compara el comportamiento de la corriente I_D con entrada por compuerta y entrada por cuerpo.

Figura 1. Característica de transconductancia de un transistor nMOS para entrada por compuerta y entrada por cuerpo.



Por otro lado, al tener la entrada por el cuerpo, es la transconductancia g_{mb} y no g_m la que opera en el transistor. Esto es una desventaja debido a que g_{mb} es mas pequeña que g_m en un factor de 0.2 a 0.4 [12], dado por la ecuación (4). Ésta incluye algunos parámetros tecnológicos propios de la tecnología de fabricación en cuestion. Debido a la reducción de la transconductancia, el ancho de banda y la ganancia del amplificador se ven limitados.

$$g_{mb} = \frac{\gamma}{2\sqrt{2}\phi_F - V_{SB}} * g_m = k g_m \quad (4)$$

Otra desventaja de la técnica es la restricción que se tiene en el proceso de fabricación ya que solo se tiene acceso independiente al cuerpo de transistores tipo P en un proceso de fabricación CMOS de pozo N[12].

3. METODOLOGÍA g_m/I_D PARA EL DISEÑO DE CIRCUITOS ANALÓGICOS

La metodología g_m/I_D permite una síntesis unificada de todas las regiones de operación del transistor independientemente de las dimensiones del mismo[1]. La metodología establece una relación entre la transconductancia y la corriente de polarización, permitiendo obtener la relación más eficiente entre ganancia y consumo de potencia en un diseño. Además, brinda la posibilidad de calcular las dimensiones del transistor y al mismo tiempo escoger su región de operación.

La relación g_m/I_D está definida como se indica en la ecuación (5); tomando como referencia la corriente I_D derivada del modelo compacto EKV para un transistor saturado[7], cuya expresión es la ecuación (6), y operando la derivada dI_D/dV_G , se llega a la expresión (7) en la cual se basa la metodología [7]; como se puede ver g_m/I_D varía en función de la relación I_D/I_S , conocida como corriente de drenador normalizada o coeficiente de inversión i [4], y permite conocer la región en la que opera el transistor.

$$\frac{g_m}{I_D} = \frac{1}{I_D} * \frac{dI_D}{dV_G} \quad (5)$$

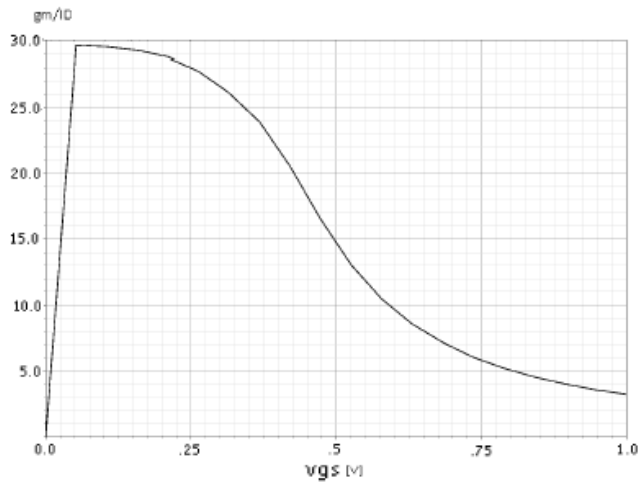
$$I_D = I_S * \log^2 \left(1 + e^{\left(\frac{V_G - V_T}{2n\phi_T} \right)} \right) \quad (6)$$

$$\frac{g_m}{I_D} = \frac{1}{n\phi_T} * \frac{1 - e^{-\sqrt{I_D/I_S}}}{\sqrt{I_D/I_S}} \quad (7)$$

En la figura 2 se observa la curva característica de g_m/I_D con respecto a V_{GS} para

un transistor de una tecnología conocida y con cualesquiera dimensiones; los valores mas grandes para la relación ocurren en la región de inversión débil y toman gran interés en el diseño de circuitos de bajo consumo de potencia, debido a que, en estos puntos la corriente de drenador I_D se reduce mientras que la ganancia se aumenta, sin embargo el producto ganancia-ancho de banda $(GBW)^2$ no alcanza grandes valores. No obstante, la metodología es una buena herramienta de diseño ya que se pueden encontrar las mejores relaciones de g_m/I_D según los requerimientos.

Figura 2. Curva de g_m/I_D con respecto a V_G .



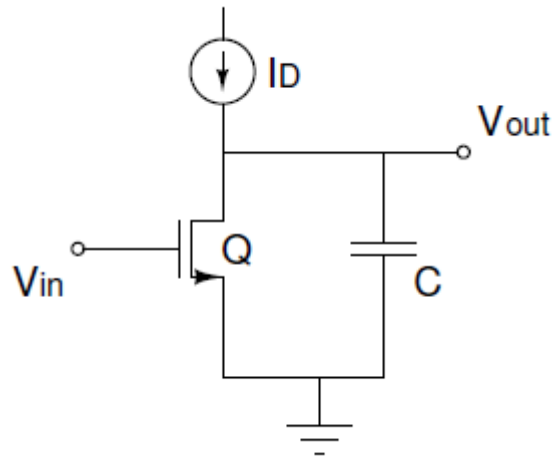
²GainBandWidthProduct

4. DISEÑO DE LOS AMPLIFICADORES

4.1 ETAPA DE GANANCIA INTRÍNSECA

Una vez conocida la característica g_m/I_D de la tecnología de fabricación,³ el dimensionamiento de los transistores se basa en la etapa de ganancia intrínseca propuesta para tal fin por [7]. Esta etapa consiste en un transistor con una carga capacitiva C y polarizado mediante una fuente de corriente I_D , como lo muestra la figura 3.

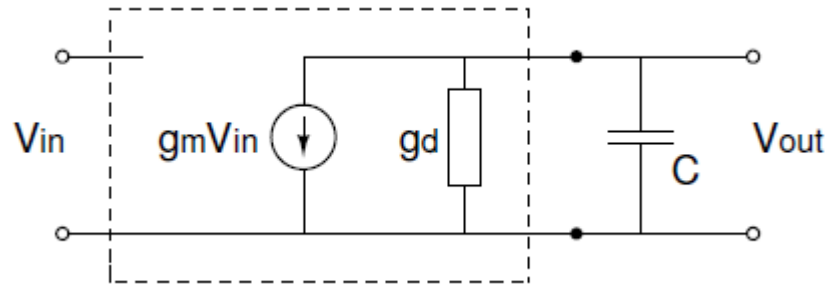
Figura 3. Etapa de ganancia intrínseca (I.G.S).



En pequeña señal ésta etapa se puede modelar como lo muestra la figura 4:

³ En este trabajo se utilizó la tecnología de fabricación SiTerra CL180G (0.18um CMOS LogicGeneric)

Figura 4. Modelo de pequeña señal de la etapa de ganancia intrínseca.



Analizando la respuesta en frecuencia del circuito, se tiene que, para altas frecuencias el condensador se comporta como un cortocircuito respecto a la resistencia de salida, haciendo que la mayoría de la corriente de fuente fluya a través del mismo, por lo cual:

$$g_m V_{in} = -j\omega C V_{out} \quad (8)$$

De ahí que la ganancia A_{AC} del circuito es:

$$A_{AC} = -\frac{\left(\frac{g_m}{C}\right)}{j\omega} \quad (9)$$

El punto en que la ganancia A_{AC} cruza la línea de $0dB$ se denomina frecuencia de transición angular ω_T , dado por:

$$\omega_T = \frac{g_m}{C} \quad (10)$$

Un comportamiento completamente opuesto ocurre cuando analizamos el circuito en bajas frecuencias, la impedancia asociada al condensador comparada con la resistencia de salida se comporta casi como un circuito abierto, como consecuencia

de esto, la corriente de fuente fluye por la resistencia de salida. Obteniendo así:

$$g_m V_{in} = -g_d V_{out} \quad (11)$$

De este modo, se tiene una expresión para la ganancia en A_{DC} dada por:

$$A_{DC} = -\frac{g_m}{g_d} \quad (12)$$

La metodología g_m/I_D toma como especificaciones principales de diseño la frecuencia de transición angular y el valor de g_m/I_D en el nivel de inversión en que se quiere diseñar, haciendo que otras especificaciones como la ganancia en DC o el área se estimen como atributos consecuencia de las especificaciones principales[7].

Una vez seleccionado el valor de ω_T y siendo el valor de la capacitancia de carga conocido y constante, el valor de la transconductancia g_m de la etapa está determinado. Conociendo el valor de g_m la corriente de polarización se puede determinar con:

$$I_D = \frac{g_m}{\left(\frac{g_m}{I_D}\right)^*} \quad (13)$$

Donde $(g_m/I_D)^*$ corresponde al valor de dicha relación para un índice de inversión seleccionado en la curva característica de un transistor de dimensiones conocidas. Calculada la corriente de polarización es posible dimensionar el transistor con la siguiente ecuación:

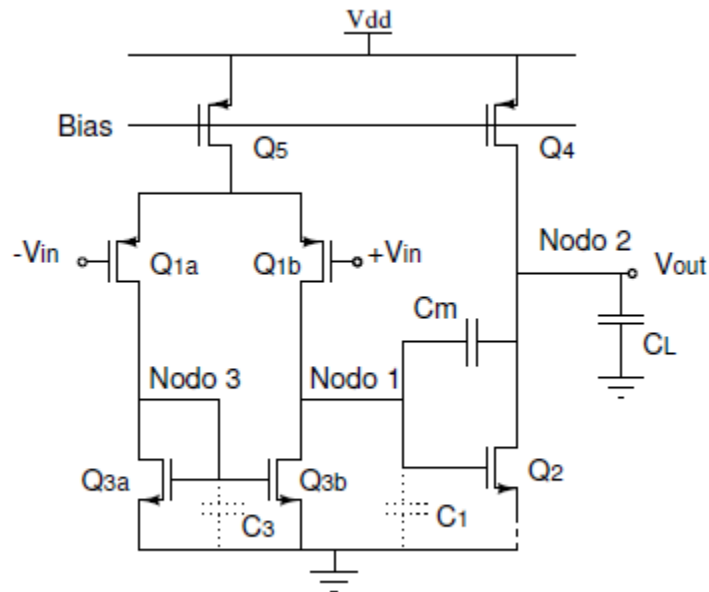
$$W = (W)^* \frac{I_D}{(I_D)^*} \quad (14)$$

Donde I_D^* y W^* son respectivamente la corriente y el ancho del transistor que se usó como referencia en la curva característica g_m/I_D .

4.2 ANALISIS DEL AMPLIFICADOR DE TRANSCONDUCTANCIA DE MILLER

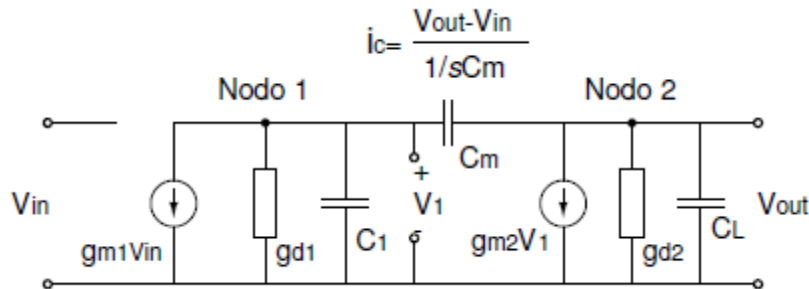
La topología que se utilizó como base fue el amplificador de Miller propuesto por [7], este es un amplificador de transconductancia de terminación sencilla como se muestra en la figura 5.

Figura 5. Amplificador de transconductancia de Miller con terminación sencilla.



La figura 6 muestra el modelo de pequeña señal del OTA, esta topología puede ser considerada como dos etapas de ganancia intrínseca conectadas en cascada, la primera en la que el transistor PMOS Q_{1b} se comporta como amplificador cargado con el condensador C_m y la segunda en que el transistor NMOS Q_L actúa como amplificador cargado con C_m y C_L que es el condensador de carga del amplificador.

Figura 6. Modelo a pequeña señal simplificado del amplificador de transconductancia de Miller.



4.3 COMPENSACIÓN DEL AMPLIFICADOR

Durante la etapa de dimensionamiento de los transistores, estos fueron diseñados usando la compensación de Miller descrita por [7]. Como se puede ver en el modelo de pequeña señal en la figura 6, en este tipo de compensación, la corriente de compensación está descrita por la ecuación:

$$I_c = sC_m(V_{out} - V_1) = sC_mV_{out} - sC_mV_1 \quad (15)$$

en donde C_m corresponde al valor de la capacitancia de compensación, V_{out} y V_1 a las tensiones de salida del amplificador y de la primera etapa de amplificación respectivamente.

La ecuación 15 tiene dos componentes que fluyen a través de la capacitancia de compensación. La primera componente sC_mV_{out} corresponde a la corriente que fluye desde el nodo de salida del amplificador hacia el nodo de alta impedancia que se va a compensar; la segunda componente sC_mV_1 fluye del nodo de salida de la primera etapa de amplificación hacia el nodo de salida del amplificador y depende del valor de la tensión V_1 , haciendo que el valor de la corriente en el nodo de salida

sea el descrito por la ecuación:

$$I_{out} = (g_{m2} - sC_m)V_1 \quad (16)$$

causando la aparición de un *RHP*⁴ en la función de transferencia cuyo valor es:

$$Z_1 = g_{m2}/C_m \quad (17)$$

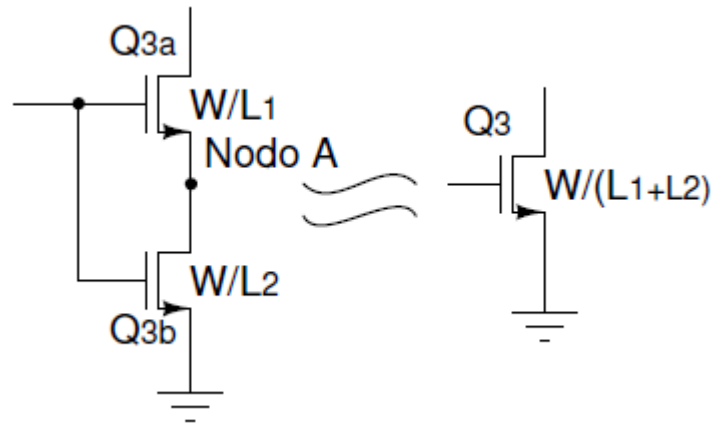
Este RHP ocasiona un cambio indeseado de fase de 90° en la respuesta en frecuencia del amplificador, lo que resulta en una limitación en el margen de fase.

Para evadir la aparición de este RHP y mantener una compensación correcta se necesita bloquear la componente de la corriente de compensación que fluye del nodo 1 al nodo de salida. Como solución a este problema se usa la compensación indirecta que consiste en realimentar la corriente de compensación en el nodo 1 a través de un nodo de baja impedancia bloqueando la corriente que ocasiona el RHP [2].

La técnica de realimentación indirecta utilizada consiste en doblar los transistores del espejo de corriente de la carga como se muestra en la figura 7

⁴Right Half Plane

Figura 7. Transistor nMOS doblado para la creación del nodo de baja impedancia.



Esto hace que el transistor Q_{3b} opere en la región de trío, por lo tanto se tiene un nodo de baja impedancia en el nodo A. Para mantener la relación de aspecto de los transistores se duplica el ancho de cada uno de los transistores que integran el espejo de corriente de la carga [10].

La realimentación indirecta de la corriente de compensación produce circuitos más rápidos y con mejor margen de fase. Como ventaja de la compensación indirecta aplicada se obtuvo una frecuencia de transición unitaria del doble de la frecuencia de diseño con compensación directa [2].

4.4 FLUJO DE DISEÑO DE LOS AMPLIFICADORES

Para el diseño del amplificador en subumbral se utilizan los valores extraídos de la curva $(g_m/I_D)^*$ de la tabla 1.

Tabla 1. Valores de diseño seleccionados de la curva g_m/I_D

	Q_1	Q_2
W^*	10 μm	10 μm
L^*	2 μm	1 μm
V_{GS}	140 mV	140 mV
$(g_m/I_D)^*$	29,14	29,34
I_D^*	0,644 nA	1,817 nA

Para diseñar los transistores de entrada se selecciona una frecuencia de 10 kHz con un capacitor de carga de 150 fF, se calcula la transconductancia como:

$$g_{m1} = \omega_T C_m = 9,42 \text{ nA/V} \quad (18)$$

La corriente de polarización de esta primera etapa de ganancia intrínseca se calcula como:

$$I_{D1} = \frac{g_{m1}}{\left(\frac{g_{m1}}{I_{D1}}\right)^*} = 323,348 \text{ pA} \quad (19)$$

Teniendo la corriente de polarización, se calcula el ancho de este transistor:

$$W_1 = (W1)^* \frac{I_{D1}}{(I_{D1})^*} = 5 \mu\text{m} \quad (20)$$

y la longitud L es la misma que se utilizó en el transistor de referencia L^* en la curva g_m/I_D

Para la segunda etapa del amplificador se selecciona la posición del cero en $10f_T$, por lo tanto:

$$g_{m2} = 10\omega_T C_m = 10f_{m1} = 94,24nA/V \quad (21)$$

entonces:

$$I_{D2} = \frac{g_{m2}}{\left(\frac{g_{m2}}{I_{D2}}\right)^*} = 3,212nA \quad (22)$$

así:

$$W_2 = (W2)^* \frac{I_{D2}}{(I_{D2})^*} = 18\mu m \quad (23)$$

con L igual a L^* de la curva g_m/I_D

Los demás transistores se dimensionan con los espejos de corriente respectivos.

Para la técnica de entrada cuerpo se propone una metodología g_{mb}/I_D

Teniendo en cuenta las ecuaciones 18 y 4, se tiene que:

$$I_D = \frac{k g_m}{\left(\frac{g_{mb}}{I_D}\right)^*} \quad (24)$$

entonces:

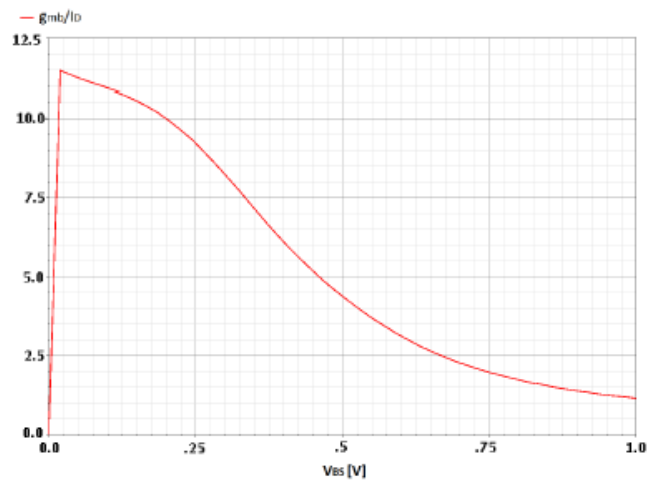
$$\left(\frac{I_D}{k}\right) = \frac{g_m}{\left(\frac{g_{mb}}{I_D}\right)^*} \quad (25)$$

Con esta consideración para el transistor de entrada cuerpo se sigue el mismo flujo de diseño del amplificador en subumbral. La tabla 2 muestra los índices extraídos de la curva g_{mb}/I_D que se muestra en la figura 8.

Tabla 2. Valores de diseño seleccionados de la curva g_{mb}/I_D

	Q_1	Q_2
W^*	10 μm	10 μm
L^*	2 μm	1 μm
V_{BS}, V_{GS}	150 mV	180 mV
$(g_{mb}/I_D)^*, (g_m/I_D)^*$	10,53	29
I_D^*	0,885 nA	5,942 nA

Figura 8. Curva de g_m/I_D con respecto a V_G .



Las dimensiones obtenidas para cada uno de los amplificadores se muestran en las tablas 3 y 4.

Tabla 3. Resultados de las dimensiones de los transistores en subumbral

Transistor	W [μm]	L [μm]	I_D [nA]
$Q_{1a,b}$	5	2	0,323
Q_2	18	1	3,211
$Q_{3a,b}$	5	4	0,323
Q_4	46	15	3,211
Q_5	13	20	0,646

Tabla 4. Resultados de las dimensiones de los transistores de entrada cuerpo

Transistor	W [μm]	L [μm]	I_D [nA]
$Q_{1a,b}$	50	2	4,471
Q_2	27	1	16,249
$Q_{3a,b}$	38	5	4,471
Q_4	49	12	16,249
Q_5	45	20	8,942

Una vez dimensionados los transistores el valor de C_m se puede corregir mediante la ecuación:

$$C_m = \frac{NDP}{Z} \left(C_1 + C_L + \sqrt{(C_1 + C_L)^2 + 4C_1C_L \frac{Z}{NDP}} \right) \quad (26)$$

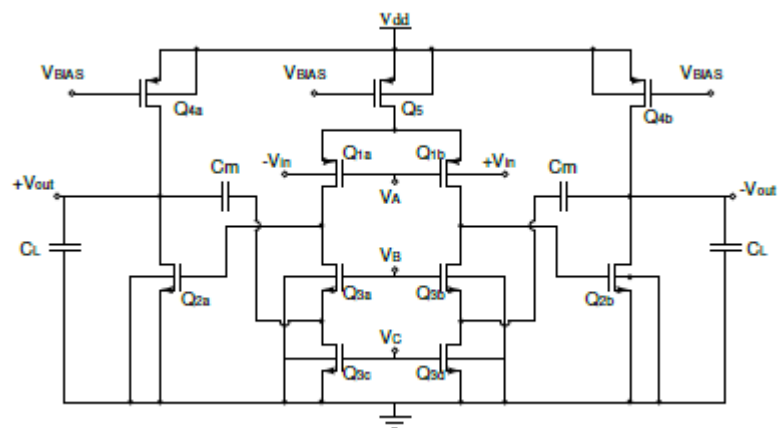
En la ecuación 22 el valor NDP^5 corresponde a la relación entre la frecuencia de transición y la frecuencia en que se quiere ubicar el polo no dominante. La corrección de C_m permite tener un grado de libertad en el diseño con el que de ser

⁵ Non Dominant Pole

necesario se puede corregir el margen de fase del amplificador.

Aprovechando la simetría del circuito y teniendo en cuenta las ventajas que presentan los circuitos completamente diferenciales, se desarrollo un amplificador con salida diferencial como lo muestra la figura 9.

Figura 9. Amplificador de transconductancia de Miller con salida diferencial.

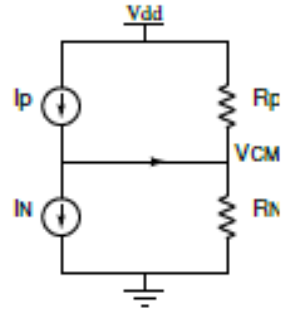


4.5 RED DE REALIMENTACIÓN EN MODO COMÚN

En el diseño de amplificadores de salida diferencial el control de la tensión de modo común a la salida ya no está controlado por el espejo de corriente de la carga del par diferencial, por lo tanto se requiere una red de control de esta tensión.

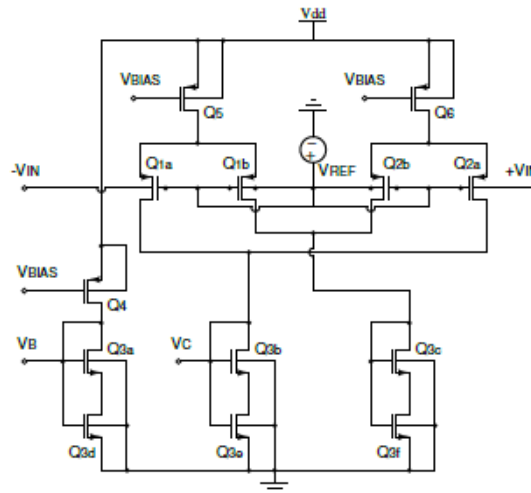
El problema radica en que a la salida de un amplificador de salida diferencial se tienen dos fuentes de corriente conectadas en serie como se muestra en la figura 10, por lo tanto se necesita una red de control que mantenga una tensión de modo común fija entre ellas, manteniendo en saturación los transistores que componen las fuentes de corriente a la salida.

Figura 10. Modelo simplificado de las fuentes de corriente de la segunda etapa.



La red de realimentación de modo común se muestra en la figura 11.

Figura 11. Red de realimentación en modo común.



Esta red detecta la tensión de modo común de cada una de las salidas del amplificador y lo compara con una tensión de referencia cuyo valor más conveniente es la mitad del valor de la tensión de alimentación. Una vez comparada esta tensión se realimenta a la compuerta de los transistores de carga del par diferencial, controlando la tensión de compuerta de estos transistores se tiene un control de la corriente que circula por ellos, controlando también la tensión de modo

común del transistor de la salida.

La red de CMFB del amplificador tiene transistores de entrada cuerpo, logrando así que el rango excursión a la salida del amplificador no disminuya con la integración de la red al circuito.

5. RESULTADOS DE SIMULACIÓN

Los amplificadores fueron diseñados y probados en simulación con una tensión de alimentación de 500 mV y una tecnología de 180 nm . Para evitar las consideraciones de canal corto de los transistores la longitud mínima utilizada fue de $1\mu\text{m}$.

Las figuras 12 y 13 muestran el análisis en AC de los amplificadores. El amplificador entrada cuerpo desarrolla una ganancia diferencial menor a pesar de consumir una mayor cantidad de corriente, como ya se mencionó la transconductancia del cuerpo es menor que la de compuerta.

Figura 12. Análisis en AC del amplificador en subumbral.

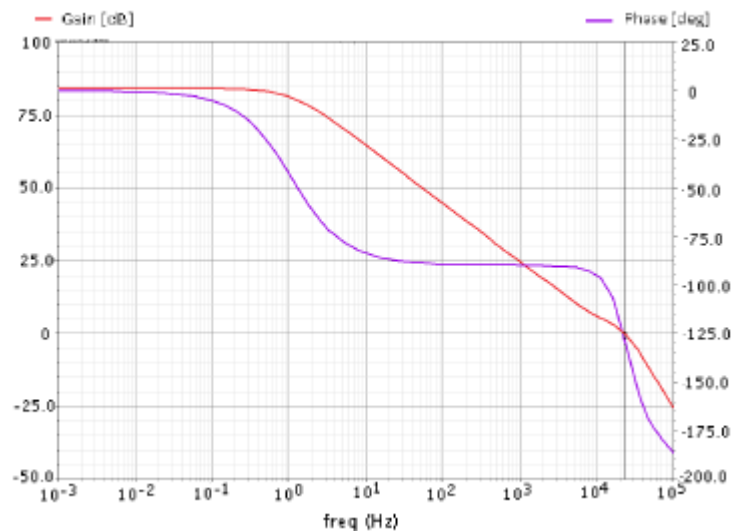
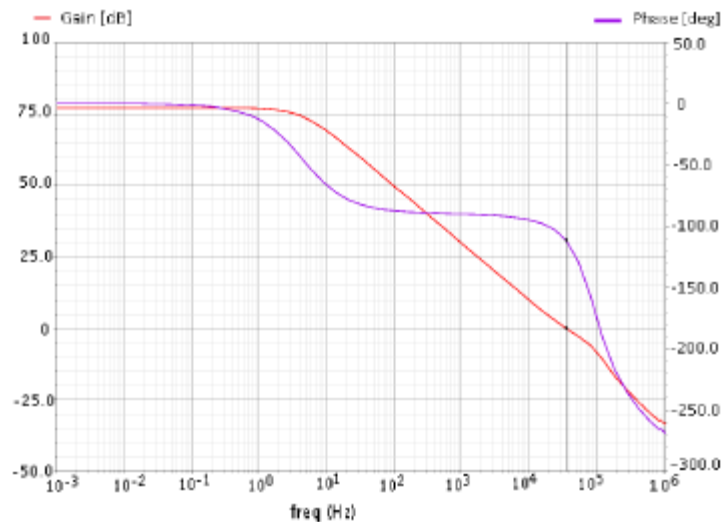


Figura 13. Análisis en AC del amplificador de entrada cuerpo.



La pérdida de ganancia del amplificador entrada cuerpo se ve compensada por una mayor frecuencia de transición ω_T y un amplificador más veloz. Como resultado de esto, bajo las mismas condiciones, el amplificador de entrada cuerpo tiene un SR^6 mayor y un tiempo de establecimiento (t_s) menor como se puede ver en las figuras 14 y 15.

⁶Slew-Rate

Figura 14. Respuesta transitoria del amplificador en subumbral.

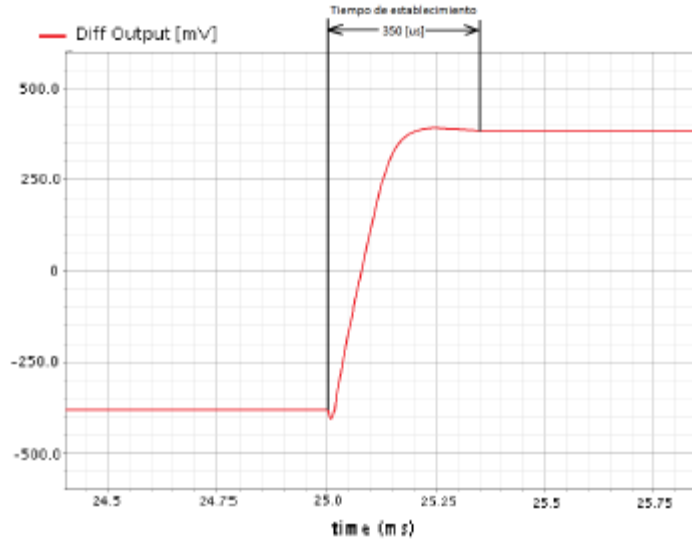
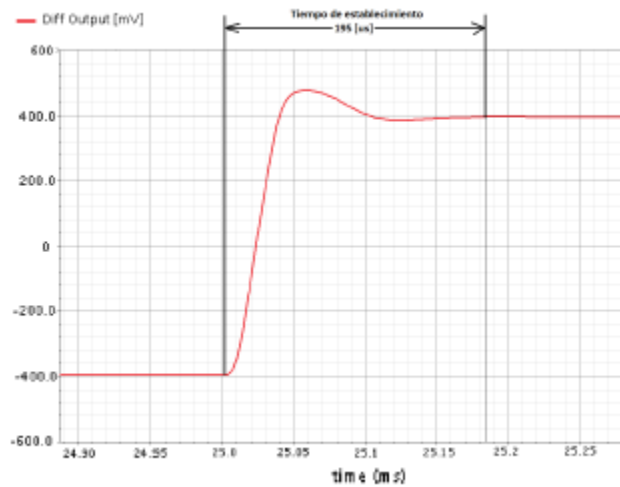


Figura 15. Respuesta transitoria del amplificador de entrada cuerpo.



Por último se realizaron simulaciones de los amplificadores con una distribución probabilística *Monte Carlo* teniendo en cuenta las posibles variaciones (*process, mismatch*) que se pueden presentar en el proceso de fabricación de los

amplificadores, la respuesta de los amplificadores ante estas variaciones se muestran en las figuras 16 y 17. Como se puede observar, el comportamiento del amplificador entrada cuerpo se comporta de manera mas robusta.

Figura 16. Análisis en AC del amplificador en subumbral teniendo en cuenta variaciones del proceso.

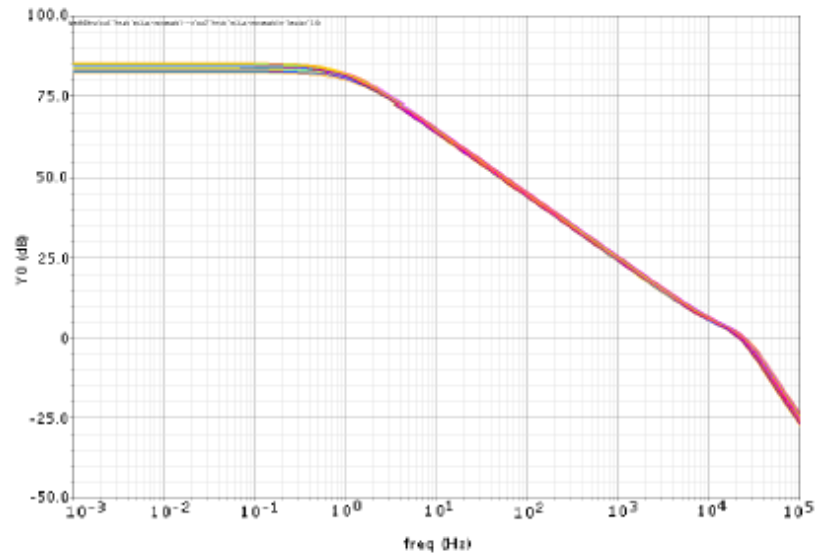
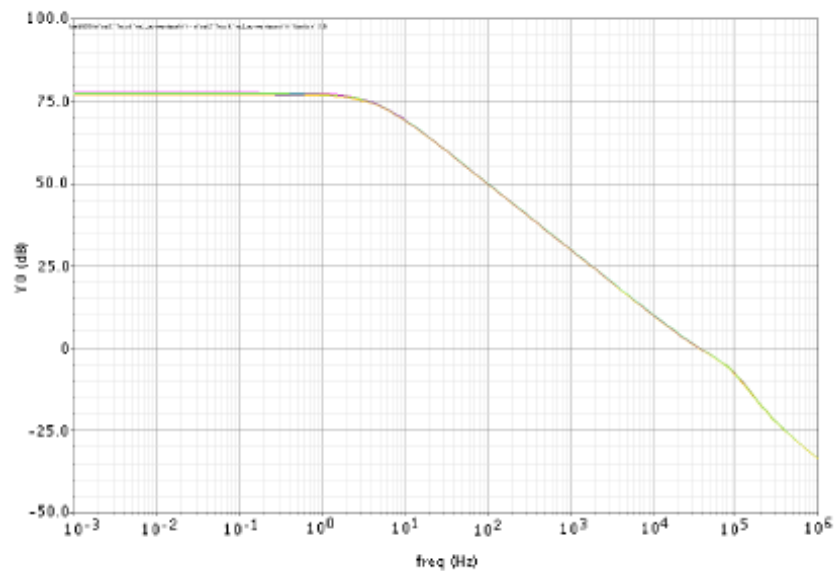


Figura 17. Análisis en AC del amplificador de entrada cuerpo teniendo en cuenta variaciones del proceso.



Los resultados medidos en simulación para los amplificadores se muestran en la tabla 5.

Tabla 5. Resultados de simulación de los amplificadores, $V_{DD} = 500mV$

	OTA subumbral	OTA Entrada cuerpo
Ganancia en lazo abierto [dB]	83,89	77,09
GBW [kHz]	23	36
PM [°]	52	68
<i>Slew-Rate</i> [V/ms]	5,6	27,7
Tiempo de establecimiento [μs]	350	195
Potencia consumida [nW]	4,1	27,8
CMRR [dB]	101	115
PSRR [dB]	101	130
Ruido referido a la entrada [nV^2/Hz]	80	41
DR_{com} [mV]	180	500
DR_{out} [mV]	360	500

6. CONCLUSIONES

El diseño de amplificadores de entrada cuerpo para aplicaciones de baja tensión de alimentación requiere de corrientes más grandes que un amplificador entrada por compuerta debido a la reducción en la transconductancia, afectando en la misma proporción la potencia consumida por el circuito. Sin embargo el amplificador de entrada cuerpo tiene como ventaja un rango dinámico riel a riel tanto a la entrada como a la salida.

Los sistemas de recolección de energía del ambiente generan potencias del orden de $500\mu W$ [9]. Los amplificadores diseñados en este proyecto consumen $4nW$ y $28nW$, lo que los hace apropiados para el diseño de sistemas electrónicos portátiles que integran un gran número de amplificadores.

En un gran número de aplicaciones biomédicas o de sensado el ancho de banda necesario de los dispositivos electrónicos que las integran es mucho menor a $1kHz$. Por lo tanto, para este tipo de aplicaciones la frecuencia de ganancia unitaria de los amplificadores resulta suficiente. Ya que la tensión de alimentación es de $500mV$ por lo que se tiene como beneficio la larga duración de las baterías.

Las figuras 16 y 17 muestran las pruebas realizadas a los amplificadores en un ambiente de simulación que toma en cuenta los errores de fabricación; las gráficas comprueban un comportamiento robusto del diseño ante los errores de fabricación.

El modelo EKV representa las características físicas del transistor en todas sus regiones de operación y con unos pocos parámetros, permitiendo así la representación y aplicación de la metodología g_m/I_D para el diseño de transistores.

REFERENCIAS

- [1] Ayed, A. and Ghariani, H. and Samet, M. Design and optimization of CMOS OTA with gm/Id methodology using EKV model for RF frequency synthesizer application. *Electronics, Circuits and Systems, 2005. ICECS 2005. 12th IEEE International Conference on*, pages 1-5, 2005.
- [2] Baker, Jacob R. *CMOS Circuit Design, Layout, and Simulation*. Wiley, 2010.
- [3] de Carvalho Ferreira, L.H. and Pimenta, T.C. An ultra low-voltage ultra low power rail-to-rail CMOS OTA Miller. *Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on*, pages 953-956 vol.2, 2004.
- [4] Christian C. Enz, Francois Krummenacher and Eric A. Vittoz. An Analytical MOS Transistor Model Valid in All Regions of Operation. *Analog Integrated Circuits and Signal Processing*, 8(1):83-114, 1995.
- [5] Ferreira, L.H.C. and Sonkusale, S.R. A 60-dB Gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, pages 1881-1884, 2014.
- [6] Haga, Y. and Zare-Hoseini, H. and Berkovi, L. and Kale, I. Design of a 0.8 Volt fully differential CMOS OTA using the bulk-driven technique. *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pages 220-223 Vol. 1, 2005.
- [7] Jespers, Paul G.A. *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits*. Springer, 2010.
- [8] Khateb, F. and Bielek, D. and Khatib, N. and Vavra, J. Utilizing the Bulk-driven

technique in analog circuit design. *Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on*, pages 16-19, 2010.

[9] Murugavel Raju and Mark Grazier. ULP meets energy harvesting: A game-changing combination for design engineers. *Energy Harvesting*, pages 1-7, 2010.

[10] Saxena, Vishal. *Indirect feedback compensation techniques for multi-stage operational amplifiers*. Boise State University, 2007.

[11] Tsividis, Yannis. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, 1999.

[12] Shouli Yan and Edgar Sanchez-Sinencio. Low Voltage Analog Circuit Design Techniques: A Tutorial. *IEICE Trans. Fundamentals*, Vol. E83-A, No.2 February 2000, pages 179-196, 2000.

BIBLIOGRAFÍA

AYED, A. and GHARIANI, H. and SAMET, M. Design and optimization of CMOS OTA with gm/Id methodology using EKV model for RF frequency synthesizer application. *Electronics, Circuits and Systems, 2005. ICECS 2005. 12th IEEE International Conference on*, pages 1-5, 2005.

BAKER, Jacob R. *CMOS Circuit Design, Layout, and Simulation*. Wiley, 2010.

DE CARVALHO FERREIRA, L.H. and Pimenta, T.C. An ultra low-voltage ultra low power rail-to-rail CMOS OTA Miller. *Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on*, pages 953-956 vol.2, 2004.

ENZ, Christian C, KRUMMENACHER, Francois and. VITTOZ, Eric A. An Analytical MOS Transistor Model Valid in All Regions of Operation. *Analog Integrated Circuits and Signal Processing*, 8(1):83-114, 1995.

FERREIRA, L.H.C. and SONKUSALE, S.R. A 60-dB Gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process. *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, pages 1881-1884, 2014.

HAGA, Y. and ZARE-HOSEINI, H. and BERKOVI, L. and KALE, I. Design of a 0.8 Volt fully differential CMOS OTA using the bulk-driven technique. *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pages 220-223 Vol. 1, 2005.

JESPER, Paul G.A. *The gm/ID Methodology, a sizing tool for low-voltage analog CMOS Circuits*. Springer, 2010.

KHATEB, F. and BIOLEK, D. and KHATIB, N. and VAVRA, J. Utilizing the

Bulk-driven technique in analog circuit design. *Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2010 IEEE 13th International Symposium on*, pages 16-19, 2010.

RAJU, Murugavel and GRAZIER, Mark. ULP meets energy harvesting: A game-changing combination for design engineers. *Energy Harvesting*, pages 1-7, 2010.

SAXENA, Vishal. *Indirect feedback compensation techniques for multi-stage operational amplifiers*. Boise State University, 2007.

TSIVIDIS, Yannis. *Operation and Modeling of the MOS Transistor*. McGraw-Hill, 1999.

YAN, Shouli and SANCHEZ-SINENCIO, Edgar. Low Voltage Analog Circuit Design Techniques: A Tutorial. *IEICE Trans. Fundamentals*, Vol. E83-A, No.2 February 2000, pages 179-196, 2000.

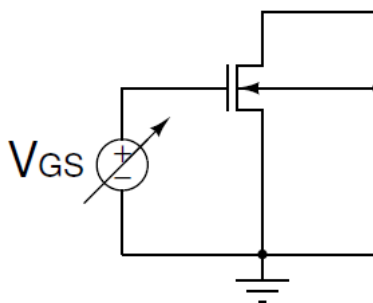
ANEXOS

Anexo A. Extracción de parámetros de diseño para el modelo EKV v2.6

A.1 EXTRACCIÓN DE COX

Para la extracción de la capacitancia COX , se debe simular el circuito de la figura 1. Considerando el punto de operación en DC del transistor, la capacitancia COX es igual a la capacitancia C_{gg} que arroja el simulador, por unidad de área. En este circuito se debe garantizar que el transistor se encuentre operando en la región de triodo[2].

Figura 1. Circuito para calcular la capacitancia COX

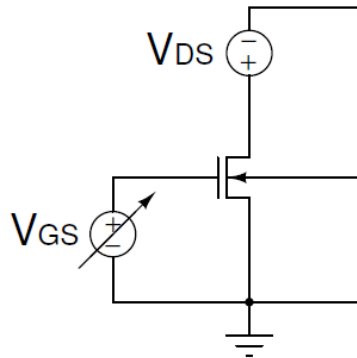


A.2 EXTRACCIÓN DE KP

El parámetro de transconductancia KP se define como el producto de la capacitancia COX y la movilidad de los electrones en el canal μ [4]. Si se ha extraído COX en el paso anterior, sólo hace falta conocer la movilidad de los electrones en el canal. Utilizando el circuito mostrado en la figura 2, encontramos la relación entre I_{DS} y V_{GS} . Esta relación junto con la ecuación (1) que corresponde al modelo de nivel 1, nos permite encontrar mediante un ajuste de recta el parámetro KP .

$$I_{DS} = W/L * \mu * COX * (V_{GS} - V_{TO}) \quad (1)$$

Figura 2. Circuito para calcular el parámetro de transconductancia KP



A.3 EXTRACCIÓN DE LA CORRIENTE ESPECÍFICA I_S

En esta etapa de la extracción se requiere encontrar la corriente específica I_S , esta corriente es un factor de normalización que interpola las curvas de inversión débil con inversión fuerte [1] y se utiliza para determinar los parámetros principales del modelo. Para esto, se simula el circuito de la figura 3, garantizando que el transistor opera en saturación y en inversión fuerte[1]. Se hace un barrido en DC para la fuente V_S y se grafica la raíz cuadrada de la corriente I_D en función de V_S para tres diferentes tensiones de V_G . A continuación se determina la pendiente de ésta relación, y utilizando la ecuación (2) se puede encontrar el valor de I_S . La figura 4 muestra un ejemplo de la relación $\sqrt{I_D}$ contra V_S para una geometría de $W = 5\mu m$ y $L = 5\mu m$. Este paso debe repetirse para tres geometrías diferentes (canal: largo-ancho, largo-angosto, corto-ancho)

$$pendiente = \frac{\sqrt{I_S}}{2\phi_T} \quad (2)$$

Donde ϕ_T corresponde al valor del voltaje térmico.

Figura 3. Circuito para determinar $\sqrt{I_D}$ variando la tensión V_S .

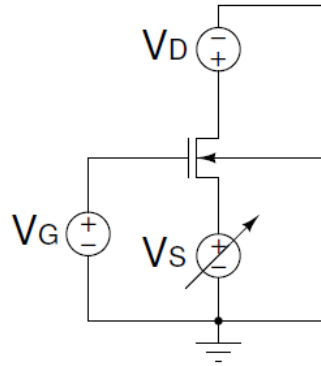
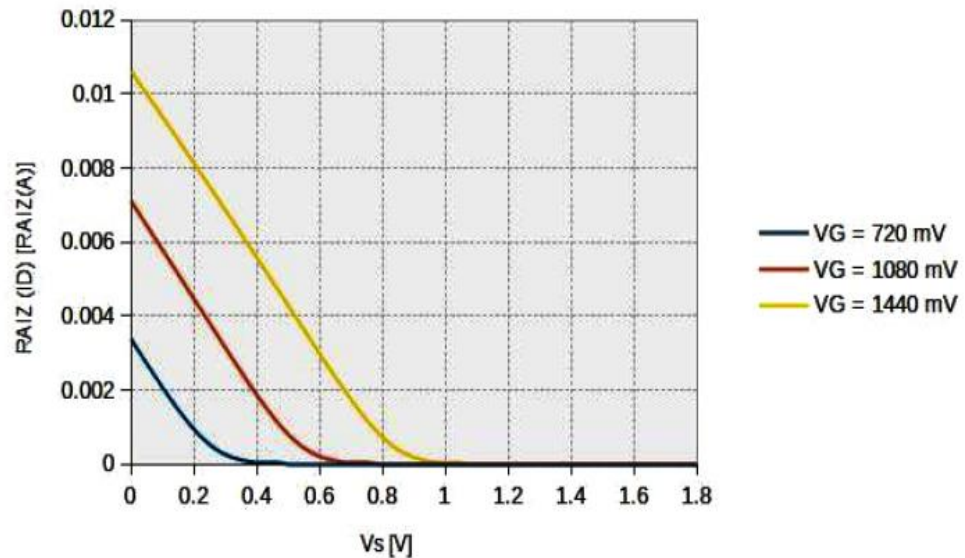


Figura 4. Relación de $\sqrt{I_D}$ contra V_S para una geometría de $W = 5\mu m$ y $L = 5\mu m$ de un transistor tipo n.

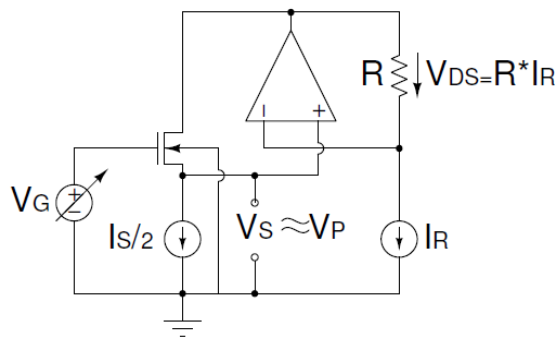


A.4 PRINCIPIO DE MEDICIÓN DE V_P

Según [3], el voltaje V_P puede ser medido en el voltaje de fuente del transistor en saturación, para un valor específico de corriente aproximadamente igual a la mitad de la corriente específica I_S , con esto se garantiza que el transistor se encuentra polarizado en la mitad de la región de inversión moderada [?]. Por lo tanto, la

característica V_p vs. V_G se obtiene con un barrido de voltaje de puerta, midiendo la tensión V_S a partir del circuito que se muestra en la figura 5 [1]. Este circuito permite imponer una tensión constante que se ajusta con la corriente I_R . V_{DS} no debe ser demasiado grande para evitar efectos por saturación[1]. Una vez extraída esta curva para diferentes geometrías del transistor (canal: largo-ancho, largo-angosto, corto-ancho) se procede a extraer los parámetros.

Figura 5. Circuito para determinar la relación V_p contra V_G .



A.5 EXTRACCIÓN DE VTO

Con los valores obtenidos en la medición de V_p contra V_G para el transistor de canal largo y ancho, se hace la aproximación para obtener el valor del parámetro VTO. Este corresponde al valor particular de V_G en el que $V_p = 0$ [1].

A.6 EXTRACCIÓN DE GAMMA Y PHI

Para la extracción de los parámetros se recomienda utilizar herramientas de interpolación y ajuste de curvas no lineales. Las hojas de calculo comunes traen éste tipo de herramientas integradas y permiten procesar los datos de manera rápida. Usando los valores medidos de V_p para canal largo y ancho, se utilizan las ecuaciones (3) y (4). Haciendo $\gamma' = GAMMA$, V_p es una función que sólo depende de V_G y de tres parámetros: VTO, GAMMA y PHI[1]. Los parámetros GAMMA y PHI se calculan ajustando (3) a la curva de V_p obtenida en el paso 4. Las herramientas

de interpolación ajustan rápidamente las curvas mediante la minimización del Error Cuadrático Medio entre los datos medidos y simulados, variando los parámetros que se están buscando, en este caso *GAMMA* y *PHI*.

$$V_P = V_{G'} - PHI - \gamma' * [\sqrt{V_G + (\frac{\gamma'}{2})^2} - \frac{\gamma'}{2}] \quad (3)$$

$$V_{G'} = V_G - VTO + PHI + GAMMA * \sqrt{PHI} \quad (4)$$

A.7 EXTRACCIÓN DE LOS PARÁMETROS DE EFECTOS DE CANAL CORTO (LETA, WETA, LK, Q0)

En esta etapa de la extracción se tienen en cuenta los efectos de canal corto así como los RSCE (*Reverse Short Channel Effects*) debidos a los dopantes *halo* y *pocket* introducidos en algunas tecnologías de fabricación. Por esta razón se modifican las ecuaciones (3) y (4) para incluir en ellas los efectos de canal corto como se muestra a continuación.

$$C_\xi = 4 * (22 * 10^{-3})^2 \quad (5)$$

$$C_A = 0.028 \quad (6)$$

$$\xi = C_A * (10 * \frac{L_{eff}}{LK} - 1) \quad (7)$$

$$\Delta V_{RSCE} = \frac{2*Q0}{COX} * \frac{1}{[1 + \frac{1}{2} * (\xi + \sqrt{\xi^2 + C_\xi})]^2} \quad (8)$$

Usando los valores de V_G de las pruebas de canal corto y canal angosto respectivamente, el voltaje efectivo de V_G se expresa como:

$$V_{G'} = V_G - VTO - \Delta V_{RSCE} + PHI + GAMMA\sqrt{PHI} \quad (9)$$

Este valor Se incluye en un nuevo V_{PO} (voltaje de *pinch-off*) así:

$$V_{PO} = V_{G'} - PHI - GAMMA\left(\sqrt{V_{G'} + \left(\frac{GAMMA}{2}\right)^2} - \frac{GAMMA}{2}\right) \quad (10)$$

A continuación se recalculan los valores de V_S y V_D teniendo en cuenta la carga compartida y quedan convertidos en $V_{S'}$ y $V_{D'}$ respectivamente con:

$$V_{S(D)'} = \frac{1}{2}[V_{S(D)} + PHI + \sqrt{(V_{S(D)} + PHI)^2 + (4\phi_T)^2}] \quad (11)$$

Se incluyen estos valores para calcular el efecto cuerpo:

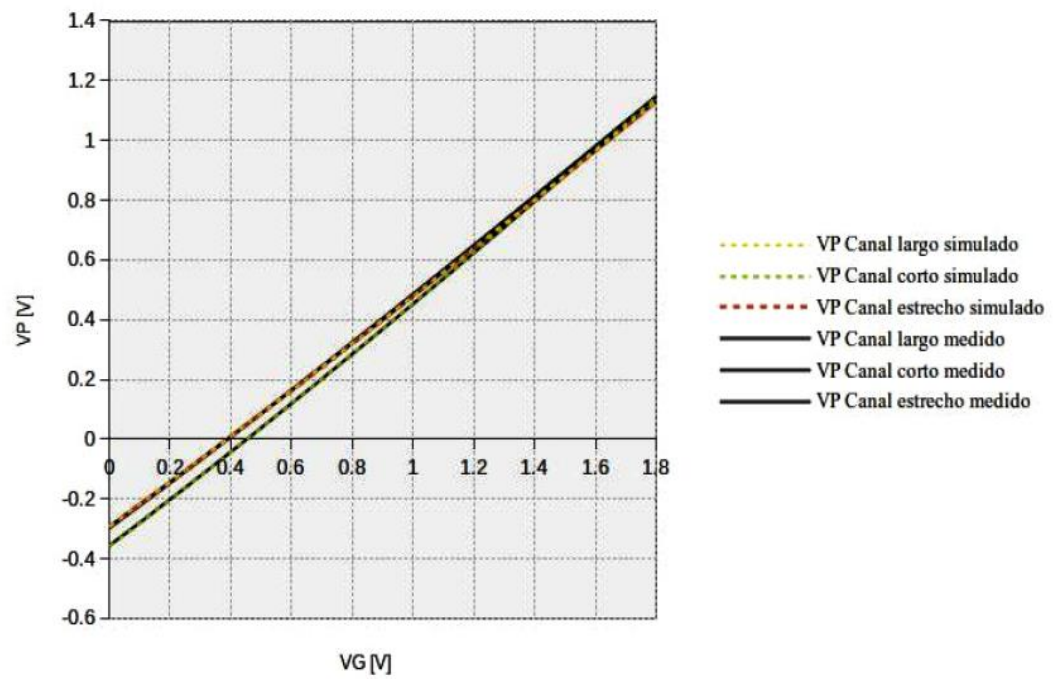
$$\gamma^o = GAMMA - \frac{\epsilon_o\epsilon_{si}}{C_{OX}} \left[\frac{LETA}{L_{eff}} (\sqrt{V_{S'}} + \sqrt{V_{D'}}) - \frac{3WETA}{W_{eff}} (\sqrt{V_{PO} + PHI + 0.1\phi_T}) \right] \quad (12)$$

Finalmente se calcula un nuevo γ' que se incluye en la ecuación (3) para con esto hacer la aproximación respectiva, fijando $WETA = 0$ para la aproximación en que se van a calcular los parámetros por efectos de canal corto $LETA$, LK y $Q0$. Para la aproximación en la que se tienen en cuenta los efectos de canal angosto, se calcula el parámetro $WETA$ fijando $LETA = 0$

$$\gamma' = \frac{1}{2}(\gamma^o + \sqrt{\gamma^{o2} + 0.1U_T}) \quad (13)$$

La figura 6 muestra la relacion de V_p contra V_G para tres geometrías diferentes, donde se observan los ajustes obtenidos para los diferentes parámetros.

Figura 6. Relacion de V_p contra V_G para tres geometrías diferentes de un transistor tipo n.



REFERENCIAS

- [1] M. Bucher and C. Lallement and C.C. Enz. An efficient parameter extraction methodology for the EKV MOST model. *Microelectronic Test Structures, 1996. ICMTS 1996. Proceedings. 1996 IEEE International Conference on*, pages 145–150, 1996.
- [2] Cadence. E.K.V MOSFET Model. *Spectre Circuit Simulator Device Model Equations*, 2002.
- [3] C. Lallement and C. Enz and M. Bucher. Simple solutions for modelling the non-uniform substrate doping. *Circuits and Systems, 1996. ISCAS '96., Connecting the World., 1996 IEEE International Symposium on*, pages 436–439 vol.4, 1996.
- [4] Yanis Tsvividis. Effective Mobility. *Operation and Modeling of The MOS Transistor*, pages 181–189, 1999.