



CONSTRUIMOS FUTURO



---

CONTROL EN LAZO CERRADO DE UN CONVERTIDOR DE TENSIÓN POR  
MEDIO DE UN FPGA

Jorge Yuldor Sepúlveda Martínez

Damián Alberto Trisancho Corzo

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

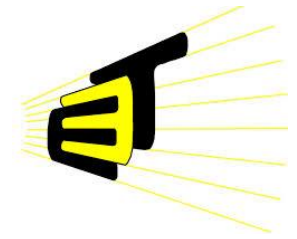
BUCARAMANGA

2015

---



CONSTRUIMOS FUTURO



---

CONTROL EN LAZO CERRADO DE UN CONVERTIDOR DE TENSIÓN POR  
MEDIO DE UN FPGA

Jorge Yuldor Sepúlveda Martínez

Damián Alberto Trisancho Corzo

Trabajo de Grado para optar al título de

Ingeniero Electrónico

Director

Jaime Guillermo Barrero, M.Sc.

UNIVERSIDAD INDUSTRIAL DE SANTANDER

FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

BUCARAMANGA

2015

---

---

---

## DEDICATORIA

A Dios principalmente por haberme otorgado sabiduría e inteligencia para alcanzar un nuevo logro en mi vida como profesional.

A mi abuela María Antonia Parra, mis padres Edilia Martínez y Pedro Sepúlveda y a mis hermanos Euliezs, Nagibe, Elizabeth, Alejandra y Hernán Yessith, que con su amor de familia, su unión y apoyo incondicional, hicieron posible que alcanzara esta nueva etapa de mi vida.

A Ingrid Vera y toda su familia por su motivación, amistad y cariño brindado, estuvieron pendientes de la culminación de este gran sueño y todos sus consejos en los momentos que más los necesitaba.

A mi compañero Damián por el tiempo, la paciencia y la determinación que lo caracterizó en la última etapa de nuestra formación como ingenieros.

A mis "parejeros" Oscar Castellanos, Edwar Gómez, Jhon Jiménez, Henry Roballo, Anderson Fuentes y todas sus familias por su amistad y hospitalidad.

A todos mis demás compañeros, amigos y personas allegadas, que fueron fundamentales para cerrar este capítulo en mi vida.

Muchas gracias para todos.

Jorge Yuldor Sepúlveda Martínez

---

---

## DEDICATORIA

A mi madre, Éleida María Corzo Delgado, su incondicional apoyo y amor me han hecho ser quien soy.

A mi padre, Iván Alberto Tristaneho Ramírez, por su sabiduría y determinación me han impulsado a alcanzar mis metas y seguir avanzando en la vida.

A mi nonita Matilde, mi hermano Cristhian y demás familiares por crecer en mí y darme su más sincero apoyo en esta etapa de mi vida.

A mi novia, Lady Giselligh Fuentes Díaz, mi compañera que ha caminado junto a mí durante todo este proceso. Sus consejos, comprensión, tolerancia, inspiración y amor han sido determinantes en esos momentos difíciles por los que se pasa en la investigación y la academia.

Ai “compa” Yuldor, hicimos un excelente equipo en la resolución de este proyecto que me enorgullece presentar a la comunidad.

A los pares de la U. German, Mario, Nelson y Juan Carlos, crecieron conmigo durante el pregrado, haciendo amena esta transición, gracias por su amistad.

A todos los quiero...

Damián Tristaneho Corzo

---

---

## AGRADECIMIENTOS

Al profesor Jaime Guillermo Barrero Pérez, por haber creído en nosotros, su apoyo, dirección de actividades y su acompañamiento a lo largo de todo el trabajo de grado.

Al Ingeniero Juan Omar Henao por brindarnos su ayuda técnica, facilitando equipos de laboratorio indispensables para el montaje y el análisis de resultados del circuito implementado.

A los recicladores del área metropolitana de Bucaramanga que nos facilitaron las tarjetas electrónicas de las cuales se reutilizaron los componentes más esenciales utilizados en el trabajo de grado.

A nuestros familiares, compañeros y amigos por su apoyo y amistad a lo largo de la carrera, por todos los momentos vividos y por estar ahí cuando más los necesitamos.

A la Universidad Industrial de Santander, por todos los servicios y facilidades que puso a nuestra disposición para alcanzar un título como profesionales.

---

---

## CONTENIDO

	Página
INTRODUCCIÓN .....	17
1.1 ANTECEDENTES .....	17
1.2 PLANTEAMIENTO DEL PROBLEMA .....	18
1.3 BASES DEL PROYECTO .....	19
1.4 OBJETIVOS .....	21
1.5 ALCANCE .....	21
1.6 ORGANIZACIÓN DEL DOCUMENTO .....	22
2. TOPOLOGÍAS DE CONVERTIDORES .....	23
2.1 CONVERTIDOR BUCK ASÍNCRONO .....	23
2.2 CONVERTIDOR BUCK SÍNCRONO (CBS) .....	24
2.2.1 Análisis en dc del CBS en modo de conducción continuo (MCC).....	25
2.3 CONVERTIDOR BUCK SÍNCRONO MULTIFASE .....	29
2.4 CÁLCULO DE PARÁMETROS TEÓRICOS DEL PROTOTIPO EXPERIMENTAL .....	30
3. METODOLOGÍA DE CONTROL E IMPLEMENTACIÓN EN FPGA.....	39
3.1 MÓDULO CONTROL VOLTAJE .....	41
3.1.1 Módulo de sensado y protocolo SPI .....	41
3.1.2 Módulo del controlador .....	43
3.2 IMPLEMENTACIÓN DEL BALANCEO DE CORRIENTE. ....	44
3.2.1 Descripción de hardware para el ecualizador de corriente en VHDL.....	47
3.3 MODULADOR PWM .....	50
4. PRUEBA DEL PROTOTIPO Y DEL CONTROL, RESULTADOS EXPERIMENTALES .....	52
4.1 IMPLEMENTACIÓN Y SIMULACIÓN DEL CONVERTIDOR.....	52
4.1.1 Simulación del convertidor .....	54
4.1.2 Implementación del convertidor .....	56
4.2 RESULTADOS EXPERIMENTALES.....	59
4.2.1 Gráficas Experimentales .....	59
5. CONCLUSIONES .....	70
6. OBSERVACIONES Y TRABAJO A FUTURO.....	72
REFERENCIAS .....	73
BIBLIOGRAFÍA.....	76
ANEXOS .....	79

---

---

---

---

## LISTA DE FIGURAS

Figura 1. Convertidor buck asíncrono.....	24
Figura 2. Convertidor Buck Síncrono.....	25
Figura 3. Formas de Onda del Convertidor Buck Síncrono. Adaptado de [15]......	27
Figura 4. Circuitos Equivalentes del CBS .....	28
Figura 5. Covertidor Buck Síncrono Multifase. ....	29
Figura 6. Diagrama de bloques de un control PID.....	39
Figura 7. Esquema general del controlador del convertidor. Adaptado de [18]. ....	40
Figura 8. Esquema del bloque “control voltaje” .....	41
Figura 9. Secuencia digital para la descripción del protocolo SPI utilizada. Fuente [23]. ...	42
Figura 10. Esquemático de sensado de voltaje. ....	42
Figura 11. Diagrama de bloques del controlador digital. ....	43
Figura 12. En rojo PWM generado, en azul PWM sensado con un ciclo útil menor que el generado. ....	45
Figura 13. Cuantificación del ciclo de trabajo real. Adaptado de [18]......	45
Figura 14. Diagrama de bloques del controlador. En verde, el sistema de balanceo de corriente.....	46
Figura 15. Sensor del ciclo de trabajo .....	48
Figura 16. Comparador .....	49
Figura 17. Acción del compensador.....	50
Figura 18. Generador PWM .....	51
Figura 19. Diagrama Esquemático del Prototipo. ....	53
Figura 20. Convertidor Buck Síncrono de una fase.....	54
Figura 21. Formas de onda de VGS de los MOSFET de alta y de baja y de la corriente vista desde Rsense.....	55
Figura 22. Convertidor Buck Síncrono de dos fases. ....	55
Figura 23. Formas de onda de VGS de los MOSFET de alta de cada fase, de las corrientes de fase y de la corriente vista desde Rsense. ....	56
Figura 24. Esquemático del convertidor buck de dos fases.....	57
Figura 25. Layout del convertidor .....	58
Figura 26. Convertidor Buck Síncrono Multifase.....	58
Figura 27. Señales PWM generadas por FPGA. ....	60
Figura 28. Corrientes Fase en Lazo Abierto.....	60
Figura 29. Señales de control para los mosfet de alta (amarillo) y baja (azul) para una fase.....	61
Figura 30. Voltaje de Salida en Lazo Abierto. ....	62
Figura 31. En azul señal PWM deseada, en amarillo onda de salida hacia el circuito.....	63
Figura 32. En amarillo señal generada y en azul señal entregada al filtro de salida. ....	63
Figura 33. En azul la señal generada, en amarillo la señal sensada. ....	64

---

---

---

---

Figura 34. En azul la onda al 10% y en amarillo la onda sensada con compensación. ....	64
Figura 35. En azul señal deseada, en amarillo aumento de compensación. ....	65
Figura 36. Circuito de perturbaciones a la carga y entrada. ....	66
Figura 37. Voltaje de salida ante una reducción del 20% del voltaje de entrada. ....	66
Figura 38. Voltaje de salida ante perturbaciones a la carga dadas por la activación de conmutadores eléctricos por medio de la señal digital en azul. ....	67
Figura 39. Controlador implementado. ....	67
Figura 40. Respuesta de la planta a una perturbación de tensión a la entrada en lazo cerrado, en azul señal digital que acciona el conmutador eléctrico que causa la perturbación. ....	69
Figura 41. Respuesta de la planta a una perturbación de tensión a la carga en lazo cerrado, en azul señal digital que acciona el conmutador eléctrico que causa la perturbación. ....	69

---

---

## LISTA DE TABLAS

Tabla 1. Características eléctricas del CBS Multifase .....	20
Tabla 2. Resumen del cálculo de las pérdidas en un CBS y CBS Multifase .....	38
Tabla 3. Características conversor análogo digital MCP3202 .....	41
Tabla 4. Parámetros de pruebas experimentales .....	59

---

---

## LISTA DE ANEXOS

ANEXO A. Análisis de Pérdidas en Convertidores CBS y Multifase .....	79
ANEXO B. Características Eléctricas de los Elementos del Prototipo .....	84

---

---

## RESUMEN

**TÍTULO:** CONTROL EN LAZO CERRADO DE UN CONVERTIDOR DE TENSIÓN POR MEDIO DE UN FPGA\*.

**AUTORES:** JORGE YULDOR SEPÚLVEDA MARTÍNEZ, DAMIÁN ALBERTO TRISTANCHO CORZO\*\*.

**PALABRAS CLAVE:** Convertidor DC-DC buck síncrono, multifase, FPGA, control en lazo cerrado, balanceo de corriente.

Este trabajo está enfocado principalmente en la implementación y simulación de un convertidor de tensión dc-dc multifase de tipo reductor, al cual se ejecutan dos estrategias de control para garantizar su adecuado comportamiento dinámico del voltaje regulado y el reparto de corrientes entre las fases. Como herramienta para implementar estos algoritmos de control se utiliza una plataforma digital programable, específicamente la FPGA Spartan 3AN de Xilinx.

Además se aborda un análisis de corriente directa de la topología asíncrona, síncrona y síncrona multifase del convertidor buck, donde se incluye los efectos parásitos de los transistores, así como los tiempos muertos de la operación síncrona, dando una comparativa entre las eficiencias de cada una de estas topologías. Posteriormente, se realiza el diseño y la descripción de *hardware* del algoritmo de control para el convertidor de tensión en lenguaje VHDL. Este diseño incluye el modelamiento del control PID, las razones de implementación del control de balanceo de corrientes, y la representación mediante diagrama de bloques de los mismos.

La validez de las acciones de control se ven reflejadas al realizar una serie de pruebas asociadas a perturbaciones tanto a la carga como a la fuente de alimentación del troceador, dimensionando su desempeño respecto a la operación en lazo abierto. Por último, se deja a consideración para el trabajo futuro la ejecución de sistemas de control más robustos y la implementación de convertidores que permitan una respuesta dinámica superior para cargas como microprocesadores de sistemas de cómputo contemporáneos.

---

\*Proyecto de Grado.

\*\*Facultad de Ingenierías Físico Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: Msc. Jaime Guillermo Barrero.

---

---

---

---

## ABSTRACT

**TITLE:** CLOSED-LOOP CONTROL OF A VOLTAGE CONVERTER BY AN FPGA\*.

**AUTHORS:** JORGE YULDOR SEPULVEDA MARTINEZ, DAMIAN ALBERTO TRISTANCHO CORZO\*\*.

**KEY WORDS:** Phase Synchronous Buck Converter, Multi-phase, FPGA, Closed-loop Control, Current Sharing.

This work is mainly focused on the implementation and simulation of a multi-phase synchronous buck voltage converter, to which two control strategies are implemented to ensure proper dynamic behavior of the regulated voltage and current sharing between phases. As a tool to implement these control of algorithms programmable digital platform is used, specifically the FPGA Spartan 3AN of Xilinx.

In addition, an analysis is approached of direct current topologies asynchronous, synchronous and multiphase synchronous buck converter, where parasitic effects of transistors include, as well as death time synchronous operation, giving a comparison of the efficiencies of each of these topologies. Subsequently, design and hardware description of the control algorithm for voltage converter in VHDL is performed. This design includes modeling of PID control, also the reasons for implementation of current sharing control, and block diagram representation of them.

The validity of the control actions are reflected by performing a series of tests associated with disturbances both the load and the power supply converter, sizing its performance relative to the open-loop operation. Finally, is considered for future work execution of systems more robust control and implementation of converters that enable superior dynamic response for loads such as microprocessors contemporary computing systems.

---

\*Deegre Project.

\*\*Physical-mechanical engineering faculty. School of Electrical, Electronics and Telecommunications.  
Director: Msc. Jaime Guillermo Barrero.

---

---

## INTRODUCCIÓN

Las exigencias que demanda el mundo actual requieren de soluciones ingeniosas y alternativas para responder a los cambios vertiginosos de las nuevas tecnologías. Este trabajo de pregrado busca dar aporte en el área de la electrónica y la automatización, específicamente con dispositivos de baja potencia y alta eficiencia, que cada vez requieren de fuentes de alimentación de alto desempeño.

### 1.1 Antecedentes

En las últimas décadas las ramas de la ingeniería electrónica, eléctrica y afines han tenido un gran cambio tecnológico, adoptando cada vez más la implementación de sistemas digitales en sus procesos, debido a su velocidad, reproducibilidad de resultados, flexibilidad, y costo [1]. Estas características son fundamentales en los convertidores de potencia, cuyo ejemplo de aplicación se da en la implementación de fuentes de tensión reguladas, que con una rápida respuesta de conmutación, aseguran niveles de salida mucho más precisos y confiables.

Los microcontroladores son muy utilizados para controlar las aplicaciones antes mencionadas, sin embargo, tienen una frecuencia limitada de trabajo debido a que operan sobre procesamiento de tareas *software*, disminuyendo la velocidad de respuesta, tiempo que podría ser utilizado para mantener una regulación más precisa en los niveles de salida [2].

Como una alternativa a las exigencias de tiempos de respuesta más cortos en los sistemas digitales, los arreglos de compuertas lógicas programables (FPGA) han logrado grandes resultados, dado que los algoritmos son ejecutados a nivel de *hardware*. Debido a esto, el rendimiento observado es superior comparado con la implementación de sistemas de cómputos de propósito general (microcontrolador), ofreciendo soluciones aceptables en tiempos más cortos [3], [7].

---

## Introducción

---

Llevar a cabo investigaciones con FPGAs ha tenido como resultado en el ámbito nacional aplicaciones en el sector del café [9]; trabajos con Unidades de Terminal Remota [1]; Implementaciones de controladores de posición de motores en DC [5]; trabajos de maestría como el control por modos deslizantes de un convertidor de potencia [6] y corrección activa de potencia mediante control difuso [10]. En la Universidad Industrial de Santander se han desarrollado trabajos con convertidores multifásicos de potencia [2] y filtros activos de potencia [8], sin embargo, estas investigaciones solo incluyen una implementación con dispositivos lógicos programados.

En términos prácticos, se ha buscado crear un marco de referencia que permita validar experimentalmente en futuros estudios la implementación sobre FPGA de controladores basados en diferentes técnicas (PID, estrategia ZAD, control difuso, control óptimo, entre otras) y controles más dedicados para una planta o sistema en específico, existiendo un particular interés en aplicaciones relacionadas con convertidores de potencia tipo *buck* [5].

### **1.2 Planteamiento del Problema**

En un mundo competitivo, la creación y mejoramiento de procesos se hace cada vez más necesario, no solo el hecho de ofrecer un buen producto garantiza el éxito del mismo. La supremacía se logra con la constante innovación en el desarrollo de los sistemas que dan como resultado el origen y el sostenimiento óptimo de los productos y/o servicios que se desean prestar.

En todo proceso químico, mecánico, eléctrico y/o electrónico desarrollado por el hombre, queda claro que es necesario de un sistema de control, capaz de verificar y cumplir de forma manual o automática la operación segura del mismo.

Los sistemas de control modernos utilizan dispositivos electrónicos programables y centros de cómputo avanzados capaces de tomar decisiones dependiendo de

---

## Introducción

alguna eventualidad y/o requerimiento deseado para el proceso, sin la supervisión constante del personal encargado. Existen muchos tipos y formas de control, pero en cuanto a sistemas de implementación pocos son conocidos. Los circuitos de propósito específico o circuitos físicos analógicos, microcontroladores, y ordenadores con *software* especializado para control digital, son los más utilizados en la industria y la investigación, pero ¿son los únicos sistemas que se pueden utilizar para realizar el control de sistemas electrónicos?, ¿Se pueden lograr mejoras en el desempeño de un convertidor DC/DC, utilizando plataformas de control distintas a las mencionadas anteriormente? ¿Tendrá la suficiente viabilidad investigar e implementar sistemas de control digital sobre tecnologías más recientes, para estrategias de control robustos?

En respuesta a lo anterior, se cuenta con un FPGA como posible candidata para el desarrollo de control digital, capaz de procesar señales digitales de forma más rápida, segura y confiable. Un FPGA soporta un procesamiento de datos mucho más rápido, por el hecho de trabajar a nivel de *hardware*, con excelentes características de rendimiento y eficiencia, además, trae incorporado numerosos recursos *hardware* que pueden ser interconectados por un HDL [13], para aplicaciones de tareas mucho más generales y complejas. Los aportes y resultados de este trabajo, serán utilizados como base para futuras investigaciones e implementaciones por parte del grupo de investigación CEMOS, en las áreas de electrónica y control.

### **1.3 Bases del Proyecto**

En este proyecto de pregrado se implementará un convertidor buck síncrono de dos fases basado en [17] al cual se le ejecutará dos acciones de control: la primera es de tipo PID el cual sensorá por medio de un conversor analógico-digital el valor de tensión de salida, la comparará y la compensará para mantener un valor de voltaje deseado; la segunda acción se ejecutará con un método de control “sin sensores”

## Introducción

basado en [18], la cual compensará las pérdidas de ancho de pulso en el nodo fase de cada rama en paralelo, para garantizar una distribución homogénea de las corrientes de fase. Las características eléctricas del convertidor se muestran en la tabla 1; este tipo de salida es ampliamente utilizado en reguladores de voltaje para microprocesadores y, en un futuro, en aplicaciones móviles, debido al avance en la fabricación de dispositivos semiconductores, los cuales cada vez tienden a ser de menor tamaño, según [14].

Tabla 1. Características eléctricas del CBS Multifase

<b>Parámetro</b>	<b>Valor</b>
<b>Voltaje de entrada <math>V_{in}</math></b>	10[V]
<b>Voltaje de salida <math>V_o</math></b>	1[V]
<b>Ciclo de trabajo <math>D</math></b>	10%
<b>Frecuencia de conmutación por fase <math>f_s</math></b>	300[kHz]
<b>Corriente de salida <math>I_o</math></b>	10[A]
<b>Número de fases <math>n</math></b>	2
<b>Potencia de salida</b>	10[W]
<b>Inductancia de salida <math>L_o</math></b>	320[nH]
<b>Capacitancia de salida <math>C_o</math></b>	4480[uF]

## 1.4 Objetivos

### Objetivo General

Implementar un control en lazo cerrado de un convertidor de tensión, por medio de descripción de *hardware* utilizando un FPGA.

### Objetivos Específicos

- Implementar un convertidor de tensión de baja potencia (DC/DC) de tipo reductor.
- Diseñar y simular una estrategia de control tipo PID digital en una herramienta de simulación.
- Generar la descripción de *hardware* en código VHDL para la programación del control propuesto en un sistema de desarrollo FPGA.
- Verificar el funcionamiento del controlador y convertidor ante escenarios de perturbación en carga y alimentación.

## 1.5 Alcance

Con la ejecución de este proyecto se dará a conocer una alternativa de implementación para sistemas de control digital en la Universidad Industrial de Santander. Al finalizar este proyecto de grado, se presentará un ejemplo de aplicación de los FPGAs. El control digital sobre un convertidor DC/DC reductor síncrono multifase programado en esta plataforma, será un gran aporte a un estudio que se está realizando dentro del grupo de investigación CEMOS, para estrategias de control avanzadas sobre convertidores de potencia. Los resultados del presente trabajo decidirán la viabilidad de la tecnología y el aprovechamiento de las ventajas que pueda ofrecer en el desarrollo de los objetivos del grupo y la universidad.

## **1.6 Organización del Documento**

El presente documento se divide en cinco capítulos, a través de los cuales se presentan las diversas etapas de este trabajo de pregrado, desde su gestación hasta su culminación. A continuación se describe brevemente el contenido de cada capítulo.

En el capítulo dos se presenta el análisis de corriente directa (DC) del convertidor buck síncrono (CBS). También se presenta el cálculo de la eficiencia, además de las peculiaridades de la estructura multifase para el mismo cálculo de la eficiencia.

En el capítulo tres se describe el diseño e implementación del algoritmo de control para el convertidor de potencia buck de dos fases síncrono. El modelamiento del control PID, las razones de implementación del balanceo de corrientes, y la representación mediante diagrama de bloques del mismo.

En el capítulo cuatro se presenta la simulación e implementación del convertidor buck síncrono basado en la estructura multifase, así como el análisis de resultados obtenidos experimentalmente, respuestas en lazo abierto y lazo cerrado, así como a eventos de perturbación externos al circuito.

Finalmente, en el capítulo cinco, se presentan las conclusiones del proyecto de investigación y las propuestas para trabajos futuros.

## 2. TOPOLOGÍAS DE CONVERTIDORES

Este capítulo presenta un análisis de corriente directa (DC) del convertidor *buck* síncrono (CBS), partiendo de los tiempos de operación [15]. De manera específica se estudia el CBS en modo de conducción continua (MCC) y el CBS multifase. El CBS en modo de conducción discontinua (MCD) no se analizará en este trabajo.

La importancia de este capítulo está en que se analiza varias características parásitas de los transistores, así como los tiempos muertos asociados a la operación síncrona, que permita determinar de una forma más precisa el cálculo de la eficiencia para las topologías mencionadas.

Los convertidores de potencia son circuitos electrónicos cuyo objetivo es transformar un tipo de energía en otra, por ejemplo, obtener corriente continua a partir de corriente alterna. Dependiendo de la necesidad a solventar, existen numerosas topologías de circuitos eléctricos y electrónicos, como lo menciona [16], con características específicas que realizan una tarea en particular, dependiendo la aplicación.

### 2.1 Convertidor Buck Asíncrono

Es un convertidor DC-DC tipo reductor de baja potencia, [11], [12], cuya topología se muestra en la figura 1, el cual transforma una señal de energía continua en otra del mismo tipo. Sin embargo, este tipo de convertidor básico presenta significativas pérdidas en sus componentes de conmutación y de almacenamiento de energía, así como en las etapas de control y filtrado, debido a que, a bajos niveles de voltaje de salida, las pérdidas, como se muestra en (2.1), se ven afectadas en gran medida por la caída de tensión directa en el diodo rectificador ( $V_d$ ).

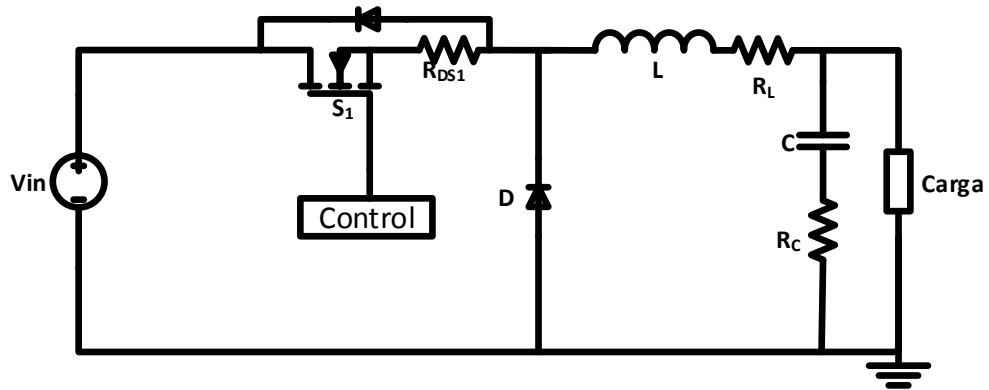


Figura 1. Convertidor *buck* asíncrono.

$$\eta = \frac{P_o}{P_d + P_o} = \frac{I_o \cdot V_o}{I_o \cdot V_d + I_o \cdot V_o} = \frac{V_o}{V_d + V_o} \quad (2.1)$$

Mejorar la eficiencia implica reducir estas pérdidas, en este capítulo se analizará una implementación de un convertidor *buck* síncrono multifase que reducirá estas pérdidas con respecto al *buck* asíncrono.

## 2.2 Convertidor Buck Síncrono (CBS)

Una solución para mejorar las pérdidas por conmutación presentes en un convertidor *buck* asíncrono mencionadas anteriormente, (2.1), es utilizar una operación síncrona en la cual se sustituye el diodo rectificador en el lado de baja por un MOSFET con diodo Schottky intrínseco. En la figura 2 se muestra la topología básica de un convertidor reductor en el que un impulsor o *driver* gobierna la sincronía de los PWM que alimentan las compuertas del MOSFET del lado de alta y de baja.

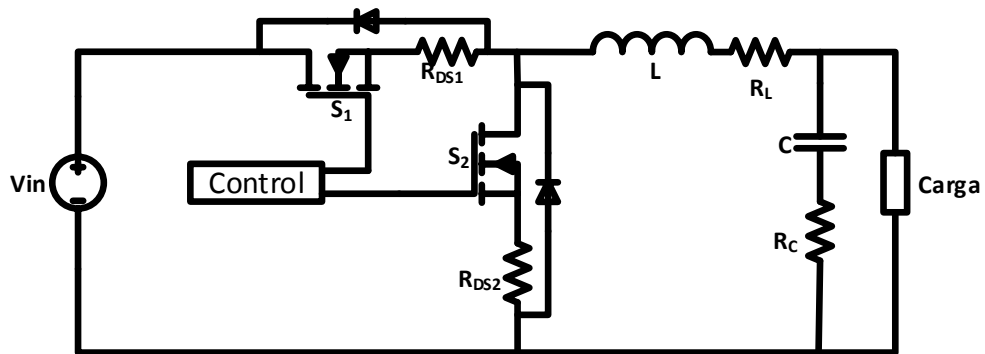


Figura 2. Convertidor Buck Síncrono

La eficiencia se ve mejorada debido a que las pérdidas por conducción en el CBS son equivalentes a  $I_L^2 \cdot R_{DS2}$ , donde  $R_{DS2}$  es la resistencia dinámica de  $S_2$ .

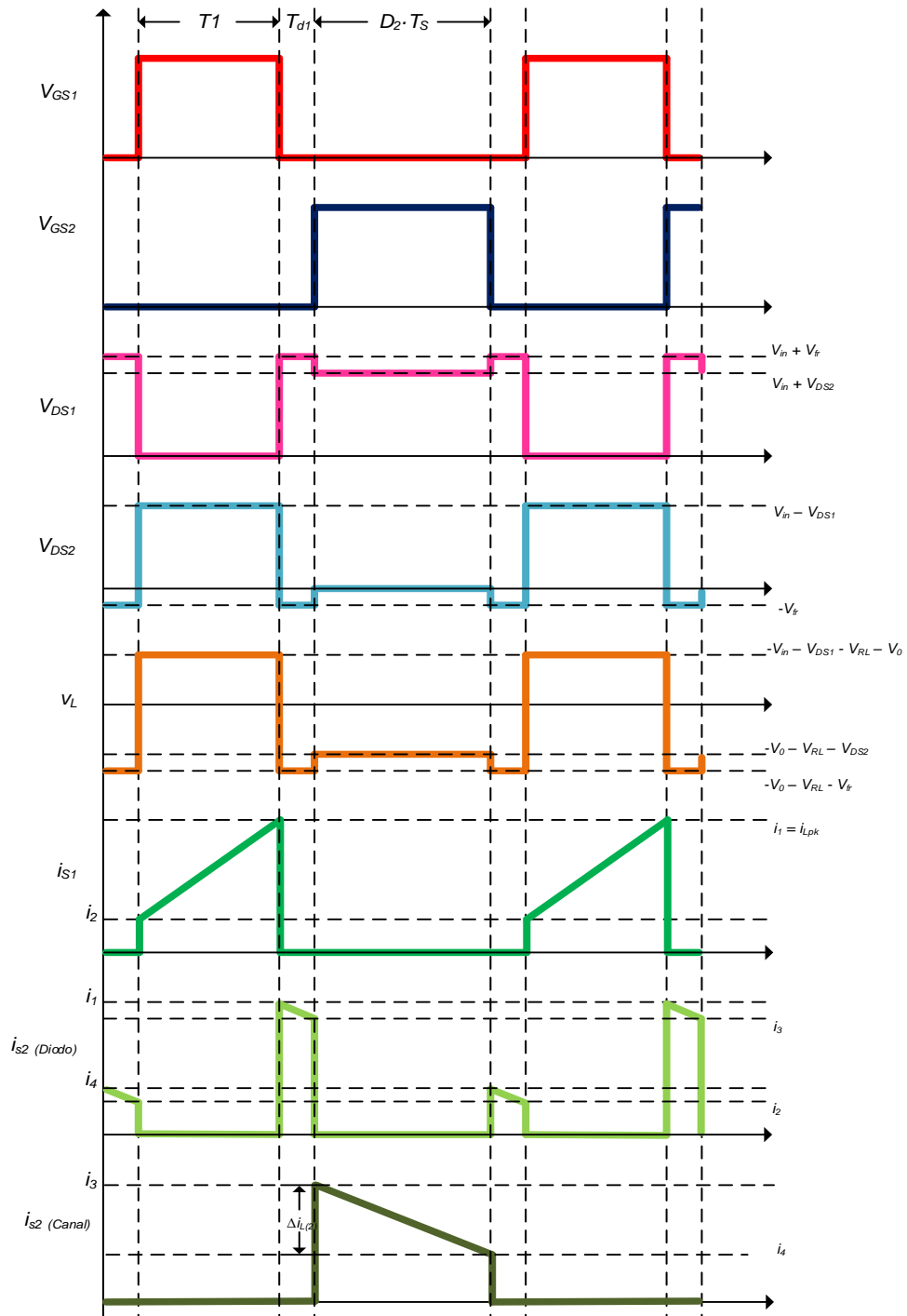
En la actualidad se puede encontrar transistores con  $R_{DSon}$  del orden de miliohms, asegurando así una disminución en las pérdidas de potencia respecto al convertidor reductor asíncrono ( $I_L \cdot V_d$ ).

Durante la operación típica, los MOSFET del CBS entran en activación o en corte, dependiendo de la operación de un generador PWM y un controlador de compuerta, a una frecuencia de conmutación (entre 100 kHz y 500 kHz). El impulsor o *driver* no permite que los dos transistores entren en conducción al mismo tiempo, estableciendo un tiempo muerto ( $t_{d1}$  y  $t_{d2}$ ), con el fin de evitar un cortocircuito en el sistema.

### 2.2.1 Análisis en dc del CBS en modo de conducción continuo (MCC).

En la figura 3 se muestran las diferentes formas de onda ideales de un CBS (Convertidor Buck Síncrono) de una fase operando en modo continuo.

## 2. Topologías de Convertidores



## 2. Topologías de Convertidores

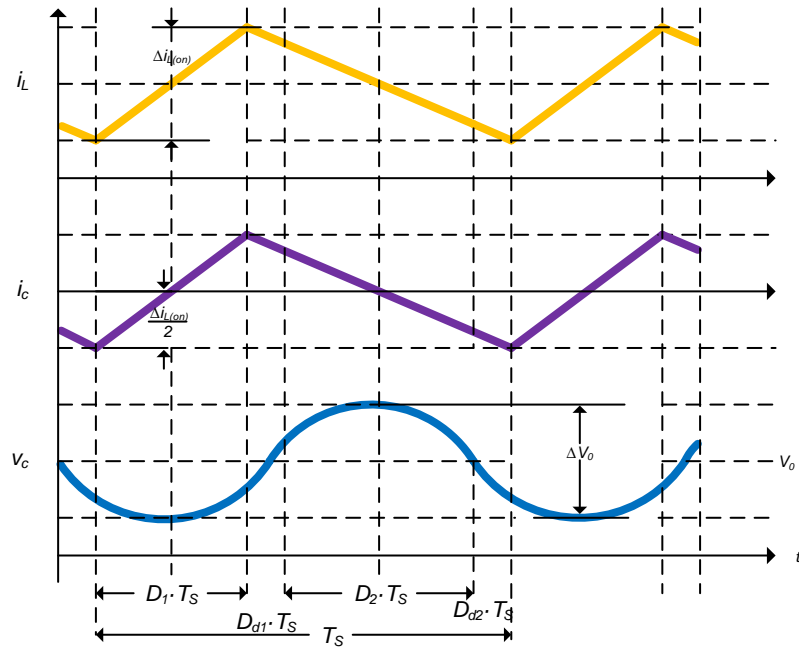


Figura 3. Formas de Onda del Convertidor Buck Síncrono. Adaptado de [15].

Durante la operación en modo continuo, el CBS presenta tres tiempos de conducción, como se muestra en la figura 4, dependiendo de qué MOSFET esté operando. En el lapso denominado  $t_{on}$ , el MOSFET  $S_1$  se enciende, mientras que el MOSFET  $S_2$  permanece abierto. La corriente fluye como se muestra en la figura 4 (a).

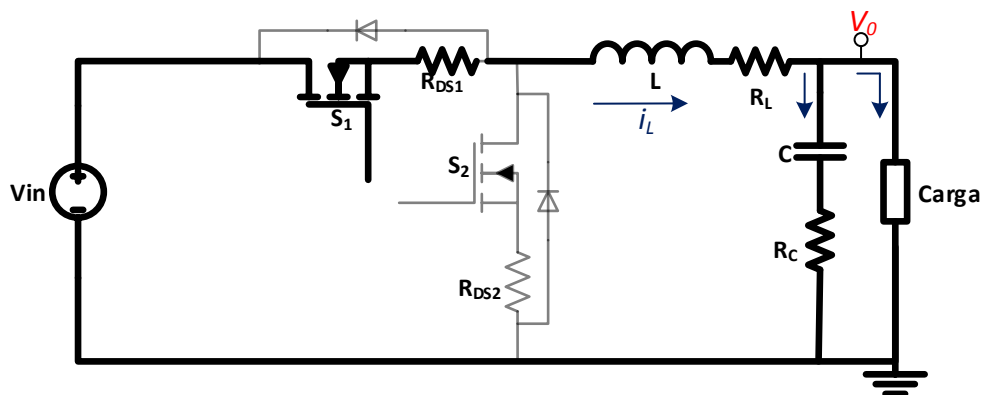


Figura 4 (a). Circuito Equivalente durante  $t_{on}$  ( $D_1 \cdot T_s$ )

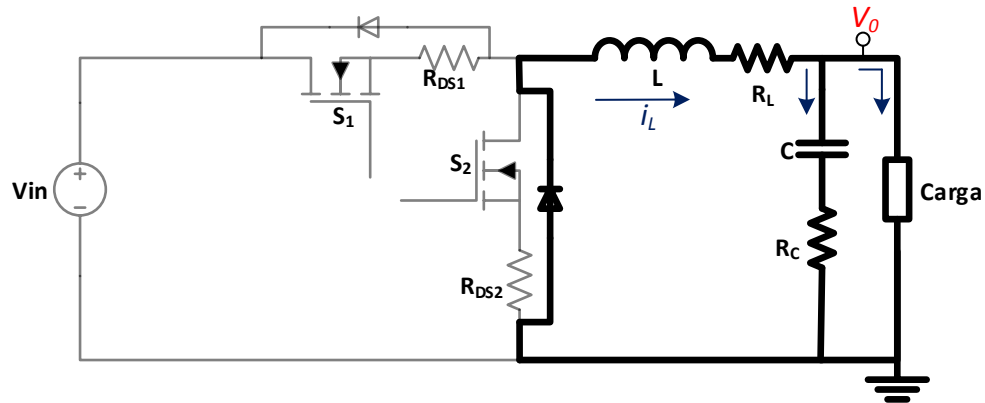


Figura 4 (b). Circuito Equivalente durante  $t_{d1}$  y  $t_{d2}$  ( $D_{d1} \cdot T_s$  y  $D_{d2} \cdot T_s$ )

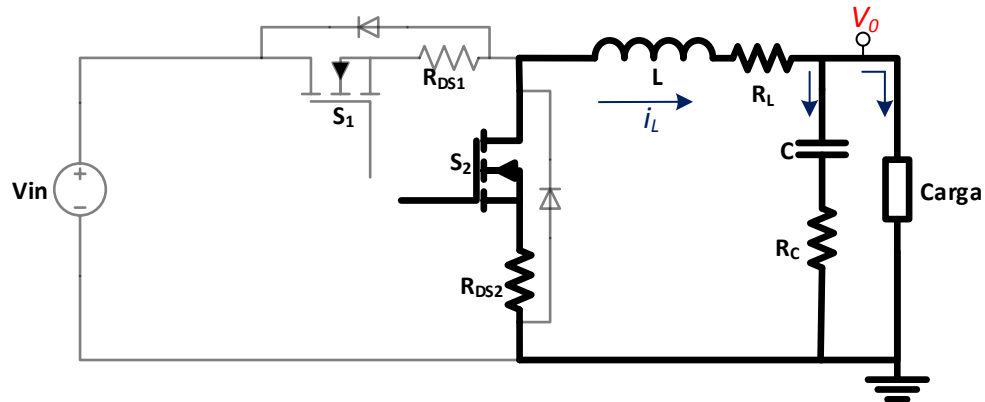


Figura 4 (c). Circuito Equivalente durante  $t_{off}$  ( $D_2 \cdot T_s$ )

Figura 4. Circuitos Equivalentes del CBS

Una vez apagado el MOSFET  $S_1$ , hay dos tiempos muertos  $t_{d1}$  y  $t_{d2}$  en el cual  $S_1$  y  $S_2$  están abiertos y la corriente fluye por el circuito como muestra la figura 4 (b), pasando por el diodo intrínseco de  $S_2$ . Por último, el tiempo  $t_{off}$  es en el que  $S_2$  conduce y  $S_1$  permanece abierto, figura 4 (c). Los detalles sobre el principio de operación del CBS se encuentran en la referencia [15].

### 2.3 Convertidor Buck Síncrono Multifase

Un CBS multifase consiste en un número  $N$  de convertidores buck síncronos, idealmente idénticos. La ventaja de esta topología radica en que la corriente de salida está dada por la sumatoria de las corrientes que aporta cada fase, como muestra la figura 5. Esto permite mejorar la gestión térmica de los elementos al tener que trabajar a menor corriente, pudiendo así poder seleccionar dispositivos con mejores características, diseñados para corrientes menores, además de bobinas de menor corriente y/o rizado. [16].

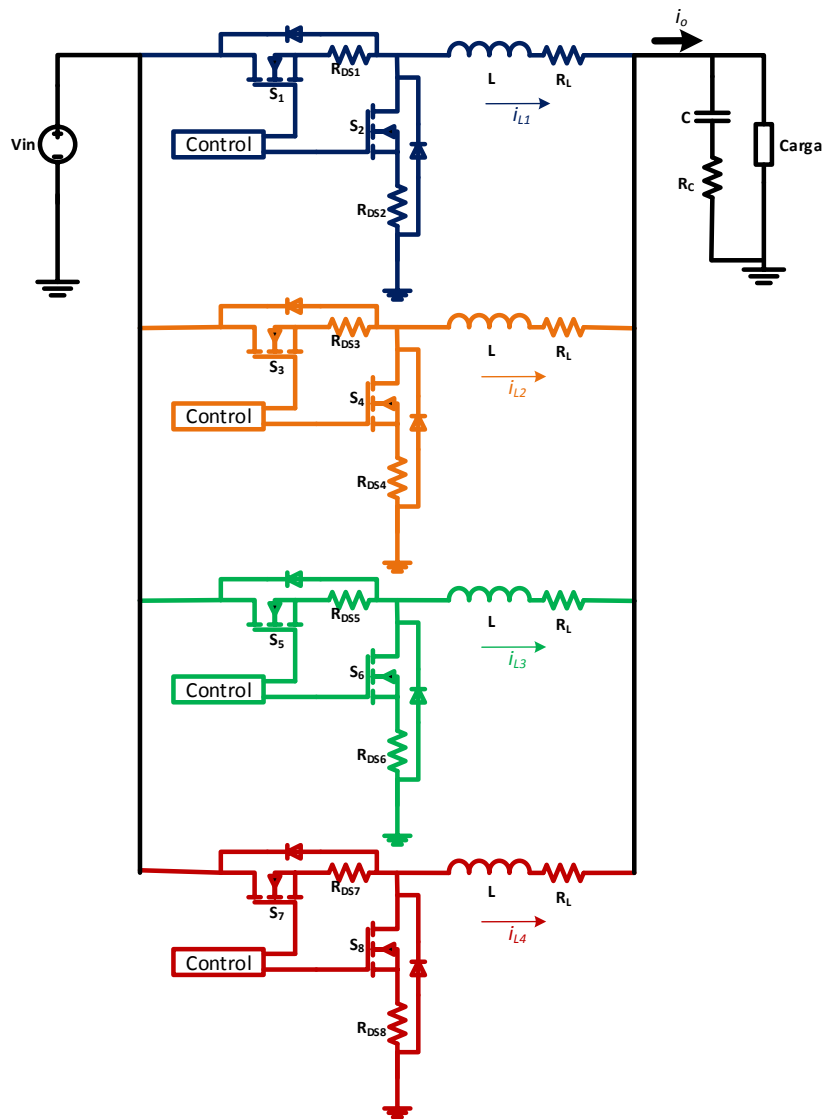


Figura 5. Convertidor Buck Síncrono Multifase.

$$I_{o(fase)} = \frac{I_o}{N} \quad (2.2)$$

Donde  $N$  es el número de fases. El análisis de cada fase es el mismo, sólo que la corriente de salida se debe considerar con (2.2). Las expresiones de [15] son válidas, individualmente, para cada fase.

En relación al capacitor sólo se utiliza uno para todas las fases, y debido al entrelazado de las  $N$  fases del convertidor multifase, la frecuencia de operación del capacitor se eleva aproximadamente  $N$  veces la frecuencia de conmutación de cada fase, haciendo que el tamaño del condensador se aminore. Esta frecuencia  $f_c$  del capacitor de salida se estima como:

$$f_c = N \cdot f_s \quad (2.3)$$

### 2.4 Cálculo de Parámetros Teóricos del Prototipo Experimental.

En esta sección se procede a realizar el cálculo de ciertas características eléctricas de un CBS multifase basado en [17], como el rizado de corriente de cada fase, el rizo del voltaje de salida y la comparación de la eficiencia teórica entre las topologías síncronas y asíncronas. Los parámetros de [17], objeto de pruebas para este trabajo, se presentan en la tabla 1 del capítulo anterior.

Teniendo en cuenta estos datos y despejando  $\Delta i_{L(fase(on))}$  según [22] y usando (2.2) se obtiene que el rizo de corriente por fase es:

$$\Delta i_{L(fase(on))} = \frac{D[V_{in} - V_o - I_{ofase}(R_{DS1} + R_L)]}{L \cdot f_s}$$

## 2. Topologías de Convertidores

---

$$\Delta i_{L_{fase(on)}} = \frac{0.1[10 - 1 - 5(10.5 \times 10^{-3} + 1.4 \times 10^{-3})]}{320 \times 10^{-9} \cdot 300 \times 10^3} = 9.31[A]$$

De [22] y (2.3) se puede obtener el valor del rizado de tensión de salida.

$$\Delta v_o = \frac{D[V_{in} - V_o - I_o(R_{DS1} + R_L)]}{8 \cdot C \cdot L \cdot f_c^2}$$

$$\Delta v_o = \frac{0.1[10 - 1 - 10(10.5 \times 10^{-3} + 1.4 \times 10^{-3})]}{8 \cdot 4.48 \times 10^{-3} \cdot 320 \times 10^{-9} \cdot (600 \times 10^3)^2} = 215[\mu V]$$

La eficiencia en un CBS multifase está determinada por (A.17), por lo que se procede a efectuar el cálculo de las pérdidas en el CBS multifase descritas en el Anexo A, empezando por las pérdidas asociadas al MOSFET superior, (A.1). Las pérdidas por conducción en  $S_1$  están dadas por

$$P_{S1\_conducción} = D \cdot \left( I_o^2 + \frac{\Delta i_L^2}{12} \right) \cdot R_{DS(on)} = 0.1 \left( 5^2 + \frac{9.31^2}{12} \right) \cdot 10.5 \times 10^{-3} = 33.83[mW]$$

Las pérdidas por conmutación en el encendido de  $S_1$  son

$$P_{S1\_SW(on)} = \frac{(V_{in} + V_{fr}) I_o \cdot Q_{SW} \cdot f_s}{2 \cdot I_{G(on)}}$$

Donde

$$Q_{SW} \approx Q_{GD} + \frac{Q_{gs}}{2}, \quad I_{G(on)} = \frac{V_{DD} - V_{GP}}{R_{GH} + R_G + R_g} \quad \text{y} \quad V_{GP} \approx V_{GS(th)} + \frac{I_o}{g_{fs}}$$

## 2. Topologías de Convertidores

---

Así

$$P_{S1\_SW(on)} = \frac{(10 + 0.7)5 \cdot 5.5 \times 10^{-9} \cdot 300 \times 10^3}{2 \cdot 1.768} = 24.964[mW]$$

Las pérdidas por conmutación en el apagado de  $S_1$  son

$$P_{S1\_SW(off)} = \frac{(V_{in} + V_{fr})I_o \cdot Q_{SW} \cdot f_s}{2 \cdot I_{G(off)}}$$

Donde

$$I_{G(off)} = \frac{V_{GP}}{R_{GL} + R_G + R_g}$$

Así

$$P_{S1\_SW(off)} = \frac{(10 + 0.7)5 \cdot 5.5 \times 10^{-9} \cdot 300 \times 10^3}{2 \cdot 314.58 \times 10^{-3}} = 140.342[mW]$$

De este modo las pérdidas en el MOSFET superior son

$$P_{S1\_Total} = 33.83[mW] + 24.964[mW] + 140.342[mW] = 199.132[mW]$$

Las pérdidas asociadas al MOSFET inferior son:

$$P_{S2\_conducción} = D_2 \cdot \left( I_o^2 + \frac{\Delta i_L^2}{12} \right) \cdot R_{DS(on)} = 0.879 \left( 5^2 + \frac{9.31^2}{12} \right) \cdot 10.5 \times 10^{-3} = 297.4[mW]$$

Donde

$$D_2 = (1 - D - (T_{d1} + T_{d2}) \cdot f_s) = (1 - 0.1 - (40 \times 10^{-9} + 30 \times 10^{-9}) \cdot 3000 \times 10^{-3}) = 0.879$$

## 2. Topologías de Convertidores

---

Las pérdidas por conmutación en el encendido de  $S_2$  son

$$P_{S2\_SW(on)} = \left( t_2 \cdot V_{fr} + t_3 \frac{V_{fr} + I_o \cdot R_{DS(on)}}{2} \right) \cdot I_o \cdot f_s$$

Donde

$$t_2 = \left[ \ln \left( \frac{V_{DD}}{V_{DD} - V_{GP}} \right) - \ln \left( \frac{V_{DD}}{V_{DD} - V_{GS(th)}} \right) \right] \cdot (R_{gh} + R_g + R_G) \cdot C_{iss}$$

$$t_2 = \left[ \ln \left( \frac{10}{10 - 1.51} \right) - \ln \left( \frac{10}{10 - 1.4} \right) \right] \cdot (1 + 1.6 + 2.2) \cdot 1200 \times 10^{-12} = 74.14 [ps]$$

Y  $t_3$  se define como:

$$t_3 = \left[ \ln \left( \frac{V_{DD}}{V_{DD} - 0.9 \cdot V_{SPEC}} \right) - \ln \left( \frac{V_{DD}}{V_{DD} - V_{GP}} \right) \right] \cdot (R_{gH} + R_g + R_G) \cdot C_{iss}$$

$$t_3 = \left[ \ln \left( \frac{10}{10 - 0.9 \cdot 10} \right) - \ln \left( \frac{10}{10 - 1.51} \right) \right] \cdot (1 + 1.6 + 2.2) \cdot 1200 \times 10^{-12} = 12.32 [ns]$$

Así  $P_{S2\_SW(on)}$  queda

$$P_{S2\_SW(on)} = \left( 74.14 \times 10^{-12} \cdot 0.7 + 12.32 \times 10^{-9} \frac{0.7 + 5 \cdot 10.5 \times 10^{-3}}{2} \right) \cdot 5 \cdot 300 \times 10^3$$

$$P_{S2\_SW(on)} = 7.03 [mW]$$

Las pérdidas por conmutación en el apagado de  $S_2$  se calculan de manera similar

$$P_{S2\_SW(off)} = \left( t_5 \cdot V_{fr} + t_4 \frac{V_{fr} + I_o \cdot R_{DS(on)}}{2} \right) \cdot I_o \cdot f_s$$

## 2. Topologías de Convertidores

---

Donde

$$t_4 = \ln\left(\frac{0.9 \cdot V_{SPEC}}{V_{GP}}\right) \cdot (R_{gL} + R_g + R_G) \cdot C_{iss}$$

$$t_4 = \ln\left(\frac{0.9 \cdot 10}{1.51}\right) \cdot (1 + 1.6 + 2.2) \cdot 1200 \times 10^{-12} = 10.28 [ns]$$

Y  $t_5$  se define como

$$t_5 = \ln\left(\frac{V_{GP}}{V_{GS(th)}}\right) \cdot (R_{gL} + R_g + R_G) \cdot C_{iss}$$

$$t_5 = \ln\left(\frac{1.51}{1.4}\right) \cdot (1 + 1.6 + 2.2) \cdot 1200 \times 10^{-12} = 435.7 [ps]$$

Así  $P_{S2\_SW(off)}$  queda

$$P_{S2\_SW(off)} = \left( 435.7 \times 10^{-12} \cdot 0.7 + 10.28 \times 10^{-9} \frac{0.7 + 5 \cdot 10.5 \times 10^{-3}}{2} \right) \cdot 5 \cdot 300 \times 10^3$$

$$P_{S2\_SW(off)} = 6.25 [mW]$$

Por otra parte, las pérdidas de potencia originadas por la conducción del diodo intrínseco son:

$$P_{diodo\_cond} = V_{fr} \cdot I_o (D_{d1} + D_{d2}) = V_{fr} \cdot I_o (T_{d1} + T_{d2}) f_s$$

$$P_{diodo\_cond} = 0.7 \cdot 5 (40 \times 10^{-9} + 30 \times 10^{-9}) \cdot 300 \times 10^3 = 73.5 [mW]$$

Las pérdidas debidas a la recuperación inversa del diodo intrínseco de  $S_2$  son:

$$P_{diodo\_inv} = \frac{1}{2} \cdot Q_{rr} \cdot V_{in} \cdot f_s = \frac{1}{2} \cdot 11 \times 10^{-9} \cdot 10 \cdot 300 \times 10^3 = 16.5 [mW]$$

## 2. Topologías de Convertidores

De este modo las pérdidas en el MOSFET inferior son

$$P_{S2\_Total} = 297.4[mW] + 7.03[mW] + 6.25[mW] + 73.5[mW] + 16.5[mW] = 400.68[mW]$$

Las pérdidas adicionales están constituidas por:

$$P_{adicionales} = P_G + P_{driver\_on} + P_{driver\_off} + P_{Coss}$$

Las pérdidas por el manejo de las cargas en la compuerta de los MOSFET se determinan de la siguiente forma:

$$P_G = C_{iss} \cdot V_{DD}^2 \cdot f_s = 1200 \times 10^{-12} \cdot 10^2 \cdot 300 \times 10^3 = 36[mW]$$

Las pérdidas disipadas en el driver durante el encendido están dadas por:

$$P_{driver\_on} = \frac{P_G \cdot R_{gH}}{2(R_{gH} + R_G + R_g)} = \frac{36 \times 10^{-3} \cdot 1}{2(1 + 1.6 + 2.2)} = 3.75[mW]$$

De modo similar las pérdidas debidas al apagado del driver son:

$$P_{driver\_off} = \frac{P_G \cdot R_{gL}}{2(R_{gL} + R_G + R_g)} = \frac{36 \times 10^{-3} \cdot 1}{2(1 + 1.6 + 2.2)} = 3.75[mW]$$

Por otro lado, las pérdidas por la capacitancia de salida de los MOSFET se determinan por:

$$P_{Coss} = \frac{1}{2} \cdot C_{oss} \cdot V_{in}^2 \cdot f_s = \frac{1}{2} \cdot 350 \times 10^{-12} \cdot 10^2 \cdot 3.75 \cdot 300 \times 10^3 = 5.25[mW]$$

Así el valor de las pérdidas adicionales es:

$$P_{adicionales} = 36[mW] + 3.75[mW] + 3.75[mW] + 5.25[mW] = 48.75[mW]$$

## 2. Topologías de Convertidores

Las pérdidas por conducción en los capacitores se debe principalmente a la resistencia en serie equivalente (ESR) intrínseca al capacitor y se calcula de la siguiente forma:

$$P_{cap} = \left( \frac{\Delta i_{L(on)}}{\sqrt{12}} \right)^2 \cdot ESR_C = \left( \frac{9.31}{\sqrt{12}} \right)^2 \cdot 5 \times 10^{-3} = 36.11 [mW]$$

Las pérdidas por conducción en la ESR debidas a la inductancia de la bobina están dadas por:

$$P_L = I_{Lrms}^2 \cdot ESR_L = \left( I_o^2 + \frac{\Delta i_L^2}{12} \right) \cdot ESR_L = \left( 5^2 + \frac{9.31^2}{12} \right) \cdot 1.4 \times 10^{-3} = 45.11 [mW]$$

Se puede definir la potencia de salida como el producto del voltaje y la corriente de salida promedio.

$$P_o = V_o \cdot I_o = 1 \cdot 10 = 10 [W]$$

Las pérdidas en el convertidor buck asíncrono de una fase se expresan como

$$P_{pérdidas} = P_{S1} + P_{diodo} + P_L + P_{adicionales} + P_C$$

$$P_{pérdidas} = 199.1 [mW] + 3.166 [W] + 45.11 [mW] + 48.75 [mW] + 36.11 [mW]$$

$$P_{pérdidas} = 3.495 [W]$$

Así, la eficiencia en el convertidor buck asíncrono de una fase, es de:

$$ef(\%) = \frac{100 \cdot P_o}{P_o + P_{pérdidas}} = \frac{100 \cdot 10}{10 + 3.495} = 74.09\%$$

## 2. Topologías de Convertidores

---

Las pérdidas en el CBS de una fase se expresan como

$$P_{p\acute{e}rdidas} = P_{S1} + P_{S2} + P_L + P_{adicionales} + P_C$$

$$P_{p\acute{e}rdidas} = 199.1[mW] + 400.7[mW] + 45.11[mW] + 48.75[mW] + 36.11[mW]$$

$$P_{p\acute{e}rdidas} = 729.77[mW]$$

Así, la eficiencia en el CBS de una fase es de:

$$ef(\%) = \frac{100 \cdot P_o}{P_o + P_{p\acute{e}rdidas}} = \frac{100 \cdot 10}{10 + 729.77 \times 10^{-3}} = 93.19\%$$

Retornando a (2.53), las pérdidas en el CBS Multifase propuesto en [17] son:

$$P_{multifase} = N \cdot (P_{S1} + P_{S2} + P_L + P_{adicionales}) + P_C$$

$$P_{multifase} = 2 \cdot (199.1[mW] + 400.7[mW] + 45.11[mW] + 48.75[mW]) + 36.11[mW]$$

$$P_{multifase} = 1.42[W]$$

Por último la eficiencia en el CBS multifase se puede calcular con (2.54)

$$ef(\%) = \frac{100 \cdot N \cdot P_o}{N \cdot P_o + P_{multifase}} = \frac{100 \cdot 2 \cdot 10}{2 \cdot 10 + 1.42} = 93.37\%$$

En la tabla 2.2 se presenta un resumen de las pérdidas de cada elemento realizadas a lo largo de esta sección, además de incluir las eficiencias tanto del convertidor buck asíncrono, como el CBS de una fase y del CBS de dos fases a implementar.

## 2. Topologías de Convertidores

Tabla 2. Resumen del cálculo de las pérdidas en un CBS y CBS Multifase

Elemento/Parámetro		Pérdidas Parámetro	Pérdidas Elemento
<b>S<sub>1</sub></b>	<i>Conducción</i>	33.83 [mW]	199.132 [mW]
	<i>Conmutación<sub>(on)</sub></i>	24.964 [mW]	
	<i>Conmutación<sub>(off)</sub></i>	140.32 [mW]	
<b>S<sub>2</sub></b>	<i>Conducción</i>	297.4 [mW]	400.68 [mW]
	<i>Conmutación<sub>(on)</sub></i>	7.03 [mW]	
	<i>Conmutación<sub>(off)</sub></i>	6.25 [mW]	
	<i>Conducción<sub>(diodo)</sub></i>	73.5 [mW]	
	<i>Diodo<sub>(inv)</sub></i>	16.5 [mW]	
<b>S<sub>1</sub> y S<sub>2</sub></b>	$P_G$	36 [mW]	48.75 [mW]
	<i>Driver<sub>(on)</sub></i>	3.75 [mW]	
	<i>Driver<sub>(off)</sub></i>	3.75 [mW]	
	$P_{Coss}$	5.25 [mW]	
<b>Inductor</b>	$ESR_L$	45.11 [mW]	45.11 [mW]
<b>Capacitor</b>	$ESR_C$	36.11 [mW]	36.11 [mW]
<b>Eficiencia Buck</b>		74.09%	
<b>Eficiencia CBS</b>		93.19%	
<b>Eficiencia CBS Multifase</b>		93.37%	

Los cálculos teóricos indican que la eficiencia con una topología síncrona se ve mejorada respecto a un buck asíncrono, esto es debido a las grandes pérdidas que se presentan en la conmutación del diodo rectificador en el lado de baja. Por otro lado, tanto del CBS de una fase como la del multifase, son similares. Sin embargo, en una topología multifase la corriente se distribuye por las  $N$  fases que posea, otorgando así una mejor gestión térmica de los elementos. Además que la eficiencia de este último se ve mejorada respecto al CBS de una fase cuando el consumo de corriente de salida aumente.

### 3. METODOLOGÍA DE CONTROL E IMPLEMENTACIÓN EN FPGA

A lo largo de este capítulo se describe el diseño e implementación en el FPGA Xilinx Spartan 3AN del algoritmo de control para el convertidor de potencia buck de dos fases síncrono. Se diseña un control de voltaje en lazo cerrado, tipo PID, y un sistema de balanceo de corrientes de fase sin sensores [19].

En este trabajo de grado se implementa un sistema de control digital tipo PID, que como su nombre lo indica, cuenta con una etapa de control proporcional (P) encargada de llevar el sistema al punto de ajuste, una de tipo integral (I) encargada de eliminar el error en estado estable y otra de tipo derivativo (D) que incrementa la tasa de respuesta del sistema. Las tres etapas de forma independiente, permiten tener control sobre cada uno de sus parámetros. Su diagrama se aprecia en la figura 6.

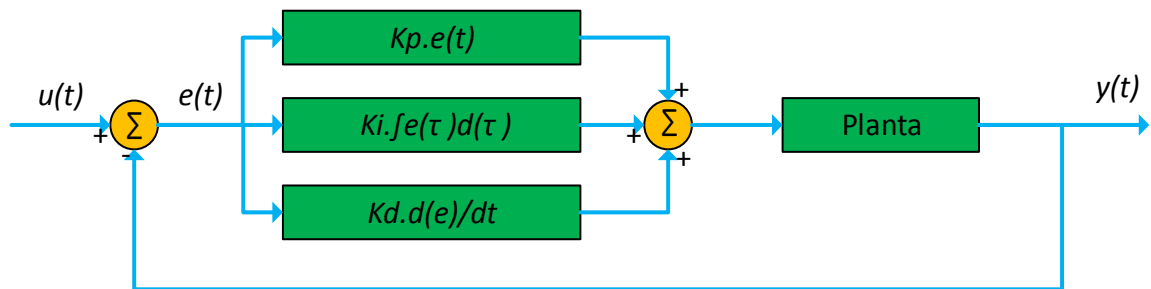


Figura 6. Diagrama de bloques de un control PID

### 3. Metodología de Control e Implementación en FPGA

El esquema del convertidor y el sistema de control implementado se presenta en la figura 7.

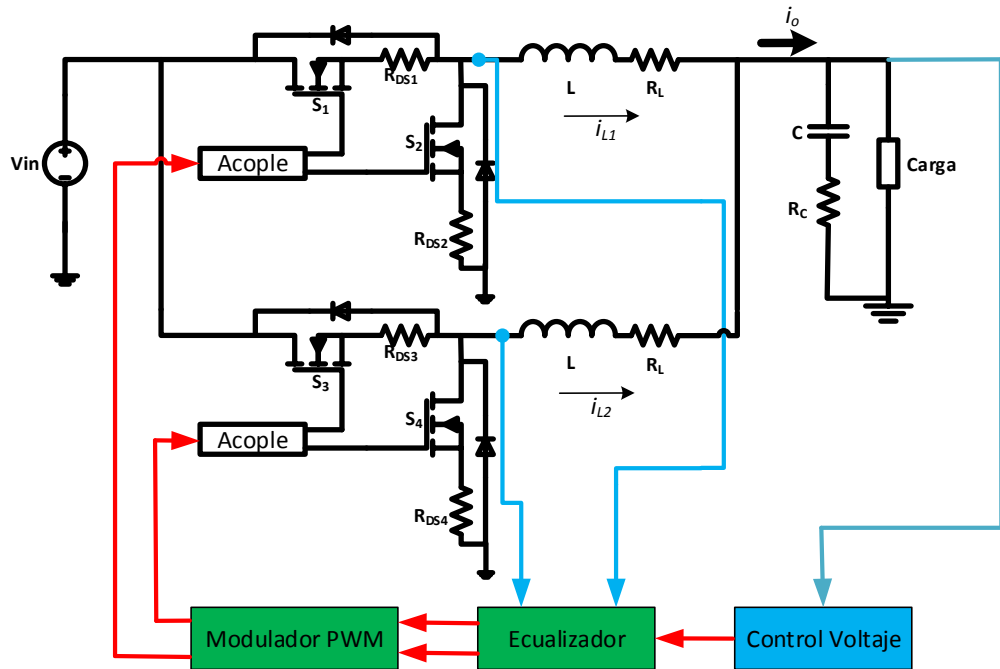


Figura 7. Esquema general del controlador del convertidor. Adaptado de [18].

El funcionamiento del sistema de control se divide en tres módulos principales. El módulo control de voltaje realiza la acción de control de voltaje como tal, sensa la salida y, dependiendo del *set point*, genera la acción de control respectiva; el módulo ecualizador de corriente mide el ancho de pulso real que se le entrega a cada filtro de salida, en otras palabras el tiempo que esta encendido el MOSFET de alta, lo compara con el valor generado por el controlador de voltaje, hace los respectivos ajustes y entrega la señal de control para cada fase al Modulador PWM.

### 3.1 Módulo Control Voltaje

Este módulo está compuesto por un circuito de sensado, protocolo SPI y un controlador digital PID, ilustrado en la figura 8.

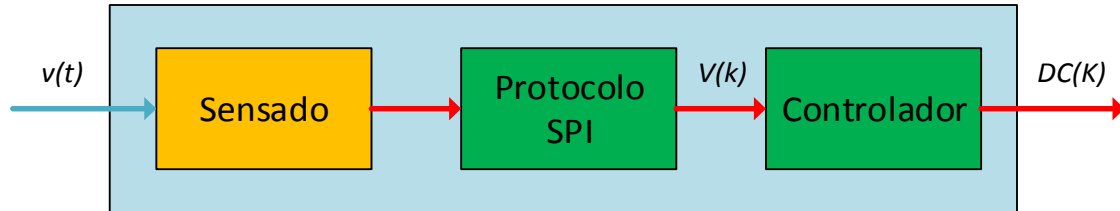


Figura 8. Esquema del bloque "control voltaje".

#### 3.1.1 Módulo de sensado y protocolo SPI

Se utiliza el convertor análogo digital MCP3202 de *Microchip Technology Inc* [23], cuyas características principales se muestran en la tabla 3. La comunicación serial se describe de acuerdo a la figura 9.

Tabla 3. Características convertor análogo digital MCP3202

Parámetro	Valor
Resolución	12
Canales	2
Voltaje entrada [V]	2.7-5.5
F. muestreo [kbps]	100
Max. $I_{in}$ [ $\mu A$ ]	550



### 3. Metodología de Control e Implementación en FPGA

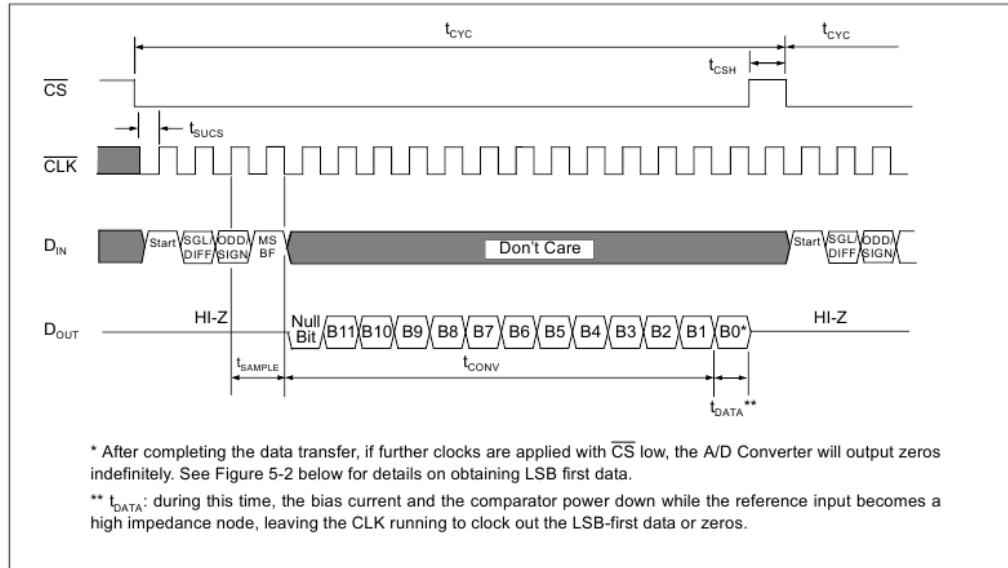


Figura 9. Secuencia digital para la descripción del protocolo SPI utilizada. Fuente [23].

El esquemático del circuito de sensado se presenta en la figura 10, se utilizan optoacopladores para aislar el circuito analógico de la parte digital.

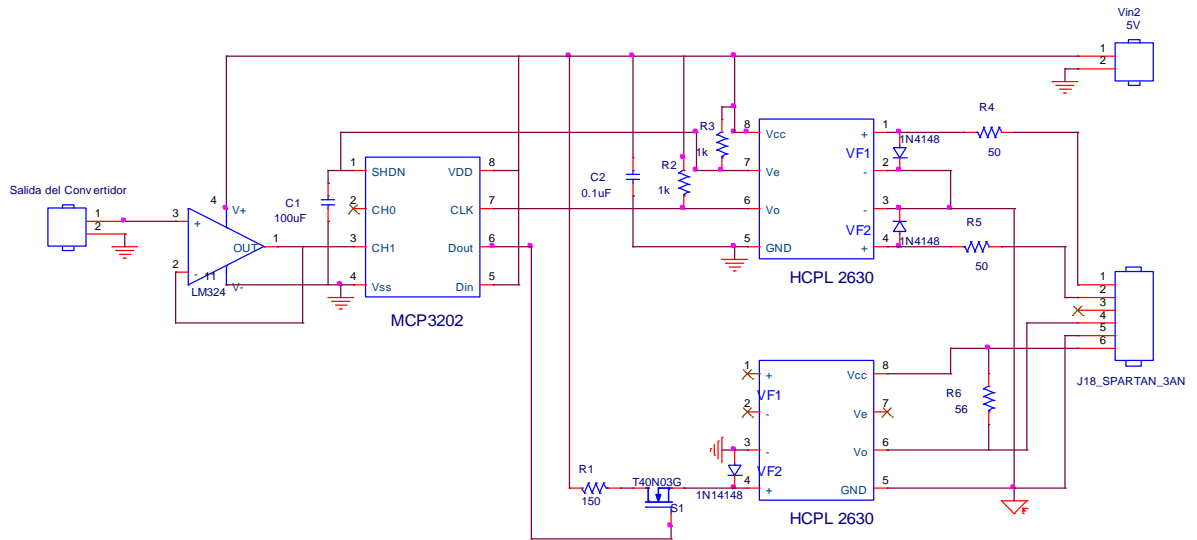


Figura 10. Esquemático de sensado de voltaje.

**3.1.2 Módulo del controlador**

Partiendo de la ecuación general del modelo de controlador PID (3.1), se calculan las ecuaciones discretas que modelan el controlador:

$$u(t) = Kp.(e(t) + Kd \frac{de(t)}{d(t)} + \frac{1}{Ti} \int_0^t e(\tau) d\tau) \quad (3.1)$$

De acuerdo al diagrama de bloques de la figura 11, se tienen las tres ecuaciones que parametrizan el controlador (3.3), (3.4), (3.5) y la resultante que va al actuador del sistema (3.6).

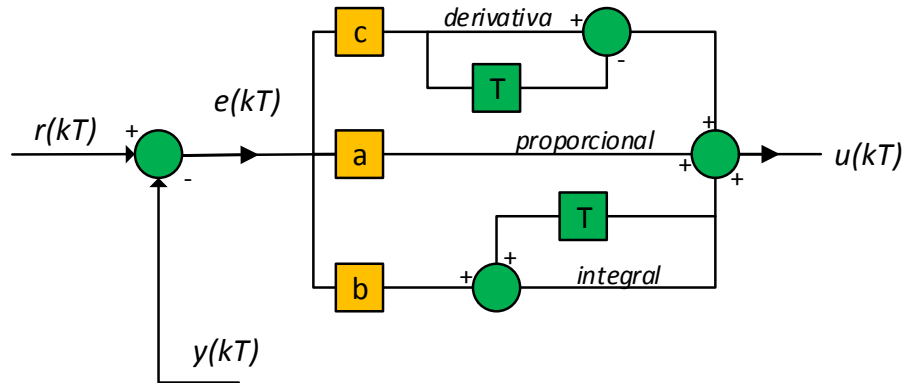


Figura 11. Diagrama de bloques del controlador digital.

$$e(kT) = r(kT) - y(kT) \quad (3.2)$$

$$p(kT) = a * e(kT) \quad (3.3)$$

$$d(kT) = c * (e(kT) - e((k - 1)T)) \quad (3.4)$$

$$i(kT) = b * (e(kT)) + i((k - 1)T) \quad (3.5)$$

$$u(kT) = p(kT) + d(kT) + i(kT) \quad (3.6)$$

### 3. Metodología de Control e Implementación en FPGA

---

Dónde:

$$a = Kp \qquad b = \frac{Kp \cdot T}{Ti} \qquad c = \frac{Kp \cdot Td}{T} \qquad (3.6)$$

En este proyecto de grado, estas constantes se calculan de forma experimental en la sección 4.2.1.3. El valor digital del *set point* se define con la ayuda de un potenciómetro de precisión que varía el voltaje a la entrada del ADC, el cual se ajusta a 1[V], como se requiere en la tabla 1, para obtener la palabra digital a la que se estabiliza el convertidor.

#### 3.2 Implementación del Balanceo de Corriente.

En un convertidor multifase es importante que cada rama del convertidor maneje la misma corriente que circula por cada una de las fases, siendo la corriente de salida la suma total de los aportes de cada uno de los convertidores en paralelo. Un buen control del rizado de corriente  $I_o$  depende significativamente de la compensación que aporta cada fase en un ciclo de trabajo, por ello una ecualización de corriente es recomendable.

El desbalance de corriente en un multifase obedece principalmente a dos variables: la resistencia parasita del inductor y pérdida en la duración del ciclo de trabajo, siendo la segunda, el factor más significativo en el aporte al desbalance de corriente [18]. Las principales causas de reducción en la duración del ciclo de trabajo son: perdidas en las pistas de cobre, retardos en los circuitos de protección, perdidas en los drivers, el tiempo de conmutación de cada uno de los transistores de efecto campo, y el mismo rizo de voltaje en la fuente de alimentación.

Para compensar el ciclo de trabajo se implementa un sistema de balanceo de corriente sin sensores basado en [19], que consiste en compensar las pérdidas que se producen desde el generador del PWM de control, hasta el nodo fase de

---

### 3. Metodología de Control e Implementación en FPGA

cada una de las ramas. En la figura 12 se muestra en rojo la señal generada por el FPGA y en azul la señal sensada desde el nodo fase, con un ancho de pulso menor ocasionado por las pérdidas a lo largo del convertidor.

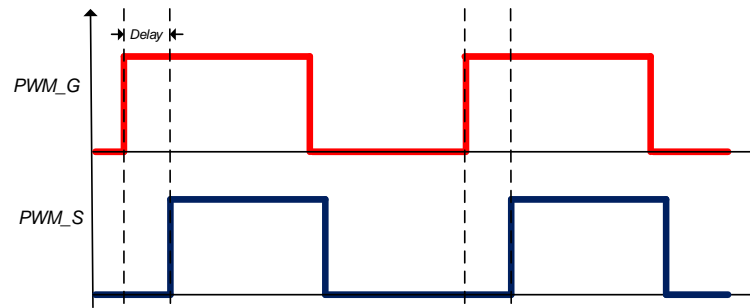


Figura 12. En rojo PWM generado, en azul PWM sensado con un ciclo útil menor que el generado.

La técnica consiste en iniciar un contador con el flanco de subida de la señal en el nodo fase (PWM\_S). Luego, con el siguiente flanco de bajada, se reinicia el contador y se almacena el dato actual en un registro. Esta palabra digital se compara con el ciclo de trabajo proveniente del controlador (PWM\_G) y genera la acción de compensación del ciclo de trabajo. La figura 13 ilustra el método de cuantización del ancho de pulso.

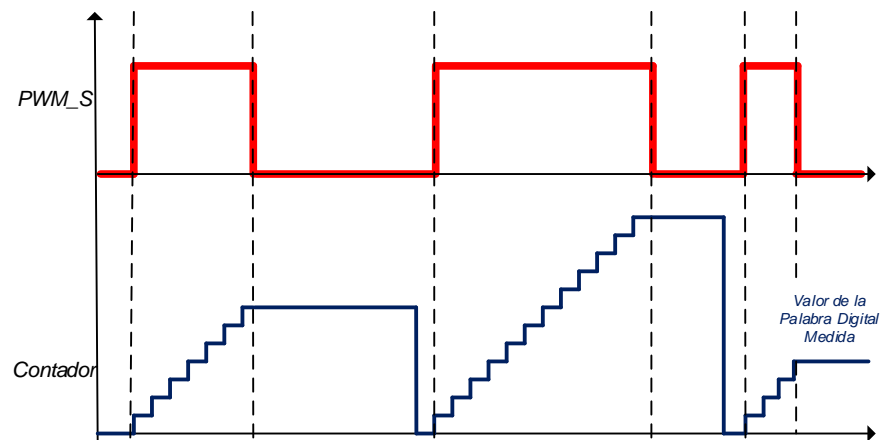


Figura 13. Cuantificación del ciclo de trabajo real. Adaptado de [18].

### 3. Metodología de Control e Implementación en FPGA

En la figura anterior muestra cómo aumenta o disminuye la palabra del contador dependiendo del ciclo de trabajo.

Cabe resaltar que este tipo de control sólo compensa las pérdidas de ancho de pulso asociadas a asimetrías físicas y eléctricas existentes desde el generador de control, hasta la conmutación de los nodos fase, debido a que como se muestra en la figura 7, las entradas del ecualizador se toman desde este punto. Las asimetrías en los filtros de salida, ya sea por resistencias parasitas de las bobinas, caminos más largos que otros, capacitancias parasitas y los mismos valores de los elementos, están fuera del alcance para este método.

La figura 14 representa el diagrama de bloques del sistema controlado y con balanceo de corriente, en verde los bloques del ecualizador de corriente.

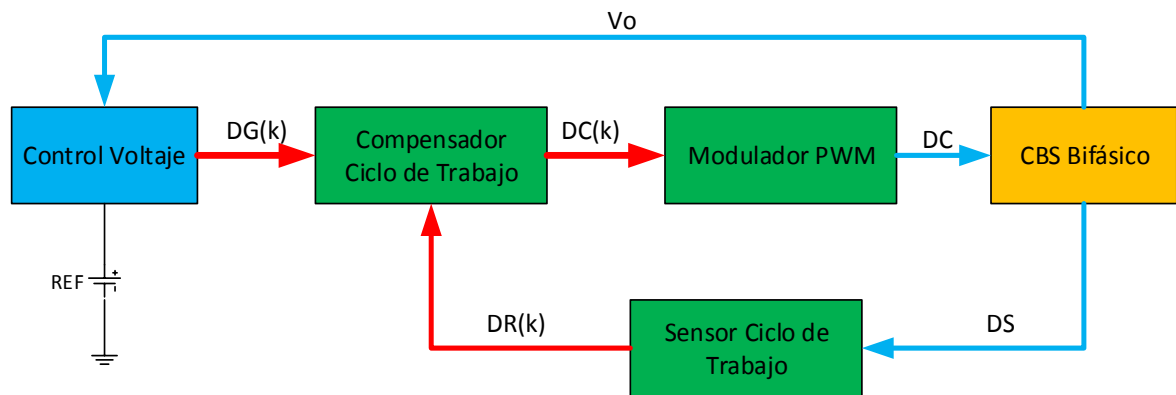


Figura 14. Diagrama de bloques del controlador. En verde, el sistema de balanceo de corriente.

Donde:

- $DG(k)$  es la representación digital del *set point* a la salida del controlador.
- $DR(k)$  es la representación digital del ciclo real recibido por el circuito.
- $DC(k)$  es la representación digital del ciclo de trabajo compensado.
- $DS$  es el ciclo de trabajo sensado, señal analógica PWM.
- $DC$  es el ciclo de trabajo compensado a la salida del modulador.

### 3. Metodología de Control e Implementación en FPGA

El bloque “sensor ciclo de trabajo” se habilita siempre que  $DS$  esté en alto, y a su vez reinicia un contador digital que incrementa a la velocidad del reloj de la plataforma de control.  $DR(k)$  es por tanto una palabra digital que representa el tiempo de encendido del MOSFET de alta en cada fase, traduciéndose esto en el ciclo de trabajo real que se le entrega al convertidor en cada periodo de conmutación.

El bloque “compensador ciclo de trabajo” compara bit a bit la palabra digital  $DR(k)$  con  $DG(k)$  y en base a ello realiza tres acciones:

- si  $DR(k) < DG(k)$  incrementa en 1 a  $DC(k)$ .
- si  $DR(k) > DG(k)$  decrementa en 1 a  $DC(k)$ .
- si  $DR(k) = DG(k)$  conserva el  $DC(k)$  actual.

El bloque “modulador PWM” genera en base a la señal  $DC(k)$  los ciclos de trabajo compensados que van hacia el convertidor. Básicamente es un contador con un rango que se extiende desde cero hasta la frecuencia de conmutación y compara la señal de incremento con  $DC(k)$  para generar el PWM.

#### **3.2.1 Descripción de *hardware* para el ecualizador de corriente en VHDL.**

La representación de las figuras de esta sección es una interpretación de la idea general de cada módulo. En VHDL una misma idea puede ser descrita de muchas formas, y ya pasa a ser criterio del diseñador.

De acuerdo con la figura 14, los tres bloques en verde hacen referencia al ecualizador de corriente, a continuación se describe cada uno de ellos y se hace la representación en componentes lógicos digitales.

### 3. Metodología de Control e Implementación en FPGA

#### 3.2.1.1 Sensor del ciclo de trabajo

En esta etapa del control, a partir de una señal analógica medida desde el nodo fase de cada rama, se mide su duración por medio de un contador digital, figura 15, el cual se habilita cuando la señal DS está en alto y mantiene el ultimo valor medido cuando DS regresa a su valor mínimo.

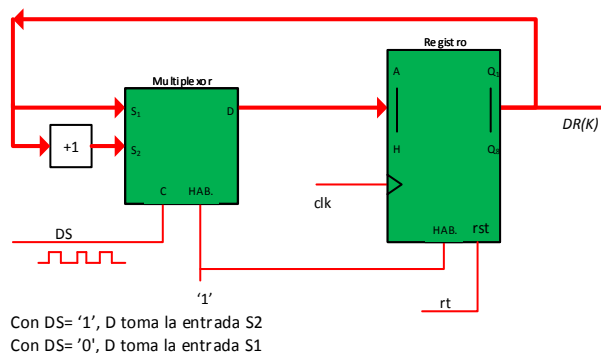


Figura 15. Sensor del ciclo de trabajo

La palabra digital  $DR(k)$  pasa al siguiente bloque del sintonizador, el “compensador de ciclo de trabajo”. El registro se resetea antes del siguiente ciclo de conmutación para llevar a cero el contador de ancho de pulso.

#### 3.2.1.2 Compensador del ciclo de trabajo

Para este componente del ecualizador se tiene como entradas las señales  $DG(k)$  y  $DR(k)$ , y se genera una señal de salida  $DC(k)$ .

Se tiene un comparador y un registro que actúa sobre las dos entradas y genera una señal de salida de dos bits, figura 16, que es entrada al sistema de compensación.

### 3. Metodología de Control e Implementación en FPGA

---

Esta señal de salida se define así:

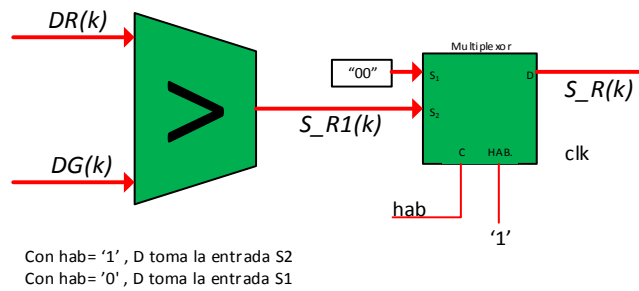


Figura 16. Comparador

$S\_R(k)$ : señal de dos bits que controla el bloque de compensación.

Sus estados son:

- "11" cuando  $DR(k) < DG(k)$ .
- "01" cuando  $DR(k) > DG(k)$ .
- "00" ó "10" cuando  $DR(k) = DG(k)$ .

La señal "hab" se enciende en un solo ciclo de reloj, esto con el fin de que el compensador realice una única acción en cada periodo de conmutación, un incremento, decremento o mantener el valor actual.

El compensador recibe la señal de salida del comparador y genera el respectivo ajuste a la señal de salida  $DC(k)$ , figura 17.



### 3. Metodología de Control e Implementación en FPGA

---

La figura 18 muestra la forma de generación del PWM para una fase, un comparador y un multiplexor son suficientes, la fase dos tiene la misma sintaxis pero desfasada  $180^\circ$  mediante descripción de Hardware.

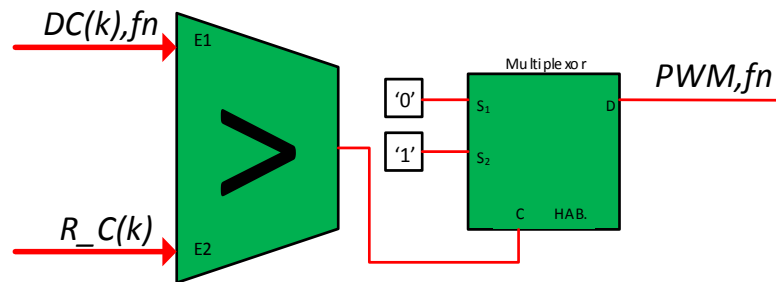


Figura 18. Generador PWM

$R\_C(k)$  es el registro del contador de sincronización y  $DC(k),fn$  hace referencia a la señal de compensación de la fase  $N$ . El bloque comparador evalúa varias condiciones y genera el PWM dependiendo de la fase sobre la que tiene control.

## 4. PRUEBA DEL PROTOTIPO Y DEL CONTROL, RESULTADOS EXPERIMENTALES

En este capítulo se presenta la simulación e implementación de un convertidor buck síncrono basado en la estructura multifase, así como el análisis de resultados obtenidos experimentalmente, dando una comparativa entre el circuito operando en lazo abierto y en lazo cerrado.

### 4.1 Implementación y Simulación del Convertidor

Para este trabajo se implementa un convertidor dc-dc de tipo reductor síncrono de dos fases basado en [17] en el que se sustituye el controlador de ancho de pulsos por un control externo por medio de FPGA para validar su correcto funcionamiento en balance de corrientes de fase, control de voltaje de salida y en perturbaciones a la carga y entrada. En la tabla 1 del capítulo 1, se presenta las características eléctricas del convertidor.

Tabla1.Características eléctricas del CBS Multifase

<b>Parámetro</b>	<b>Valor</b>
<b>Voltaje de entrada <math>V_{in}</math></b>	10[V]
<b>Voltaje de salida <math>V_o</math></b>	1[V]
<b>Ciclo de trabajo <math>D</math></b>	10%
<b>Frecuencia de conmutación por fase <math>f_s</math></b>	300[kHz]
<b>Corriente de salida <math>I_o</math></b>	10[A]
<b>Número de fases <math>n</math></b>	2
<b>Potencia de salida</b>	10[W]
<b>Inductancia de salida <math>L_o</math></b>	320[nH]
<b>Capacitancia de salida <math>C_o</math></b>	4480[uF]

**4. Pruebas del Prototipo y del Control. Resultados Experimentales.**

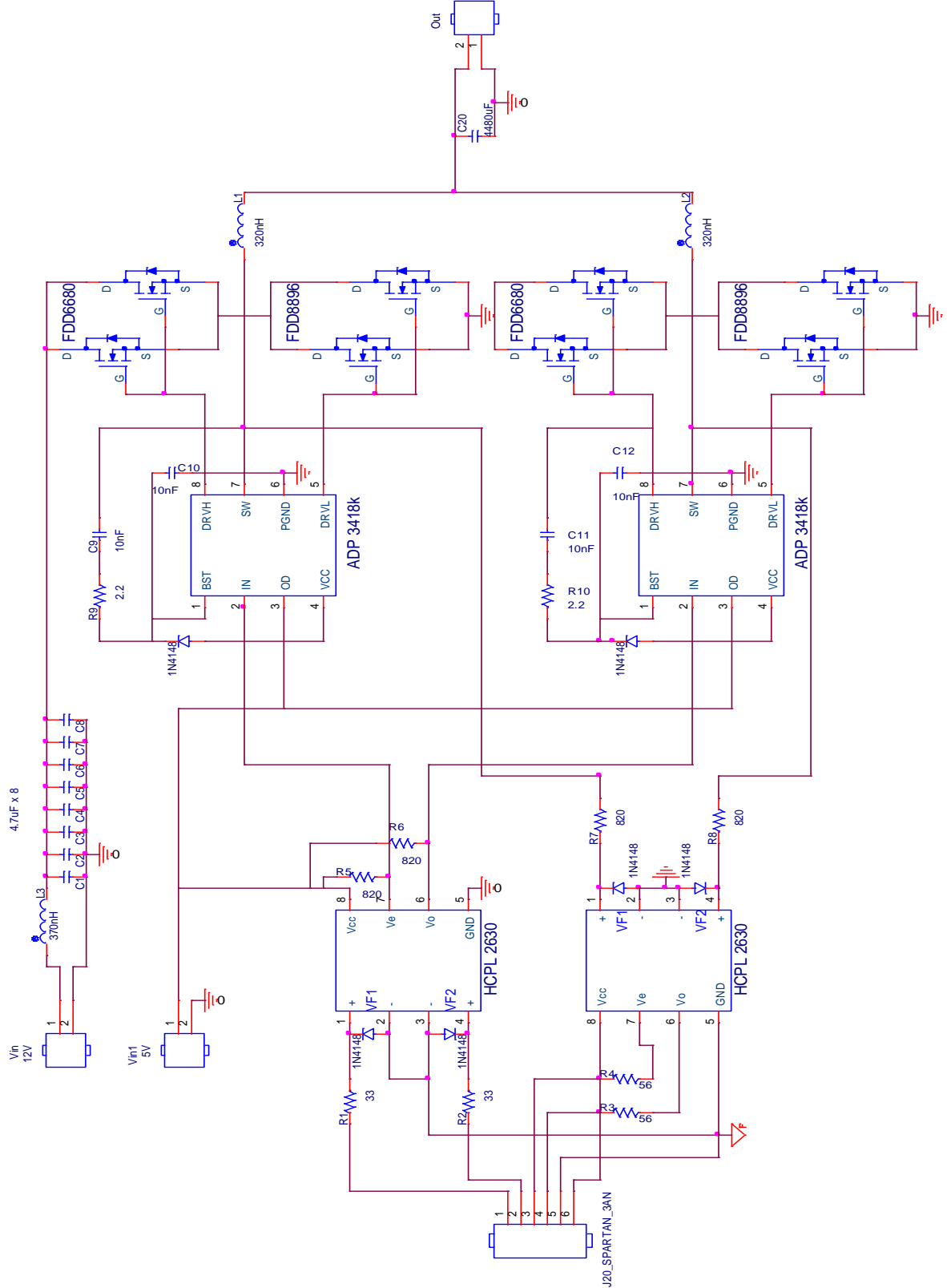


Figura 19. Diagrama Esquemático del Prototipo.

## 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

### 4.1.1 Simulación del convertidor

En la figura 20 se muestra el esquemático del circuito el cual se simuló en PsPice® empezando por la versión de una sola fase.

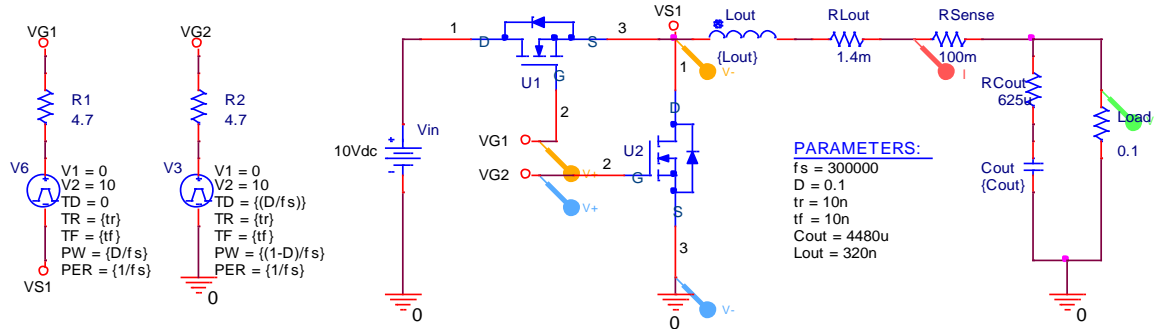


Figura 20. Convertidor Buck Síncrono de una fase.

Con los parámetros de simulación observados en la figura 20, la corriente vista desde Rsense tiene un sobre impulso de 14.55 [A], una corriente promedio de 4.89 [A] y un  $\Delta I = 9.27[A](189.57\%)$ . Por otro lado el tiempo de establecimiento del voltaje de salida es de 2[ms], con un valor de tensión de  $V_o = 4.92[mV]$ .

Se aclara que Rsense no hace parte del circuito como tal, sólo es una forma de poder ver las ondas de corriente en el osciloscopio, la cual se adiciona en el circuito real para la toma de valores de corriente y así compararlas con la simulación.

En la figura 21 se muestra la corriente en Rsense y de cómo se ve afectada por la conmutación de los transistores del lado de alta y de baja operando a un ciclo de trabajo del 10% y a una frecuencia de conmutación de  $f_s = 300[kHz]$ .

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

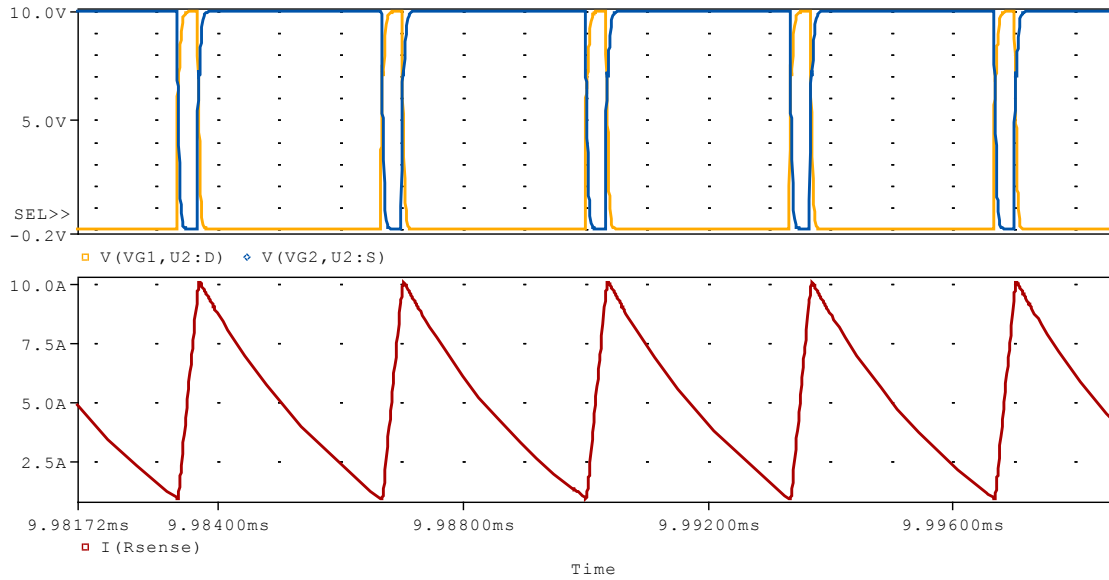


Figura 21. Formas de onda de VGS de los MOSFET de alta y de baja y de la corriente vista desde Rsense.

En la figura 22 se muestra el esquemático del convertidor buck síncrono de dos fases simulado en PsPice®.

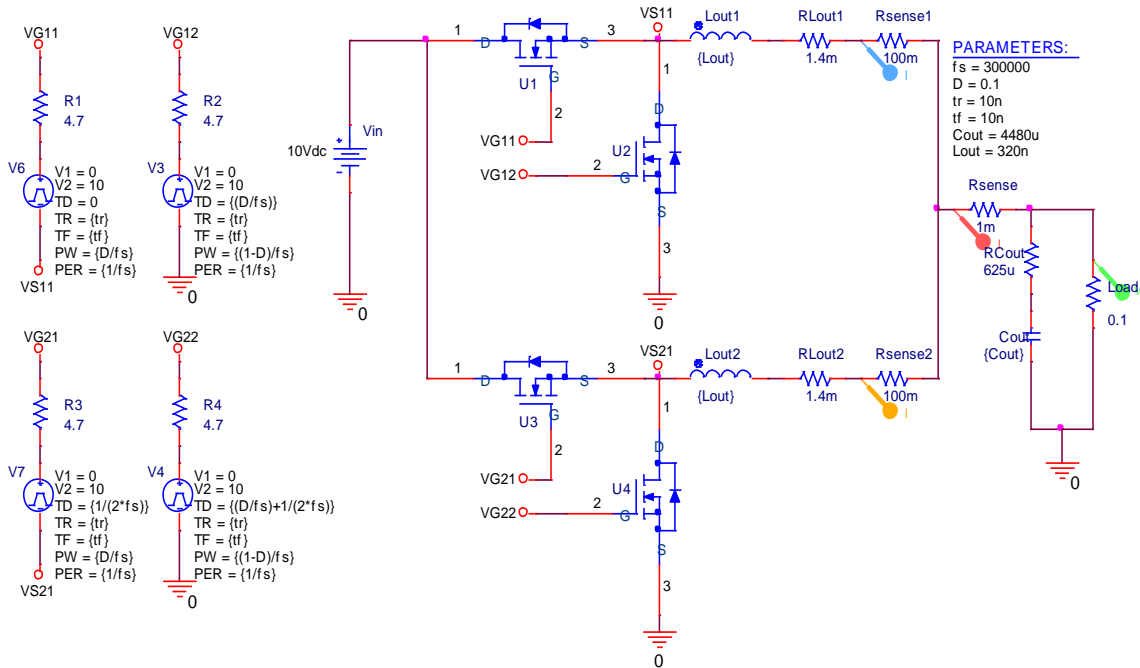


Figura 22. Convertidor Buck Síncrono de dos fases.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

Con los parámetros de simulación del convertidor de dos fases, la corriente vista desde  $R_{sense}$  tiene un máximo sobre impulso de 5.1 [A], una corriente promedio de 2.3 [A] y con  $\Delta I = 105[\text{mA}](4.56\%)$ . Por otro lado el tiempo de establecimiento del voltaje de salida es de 1.6[ms], con un valor de tensión de  $V_o = 919[\text{mV}]$ .

En la figura 23 se muestra la corriente en  $R_{sense}$ , las corrientes de fase y de cómo se ven afectadas por las ondas de conmutación de los transistores del lado de alta de las dos fases operando a un ciclo de trabajo del 10% y a una frecuencia de conmutación de  $f_s = 300[\text{kHz}]$ . Se puede observar la simetría en la corriente entre cada fase del convertidor.

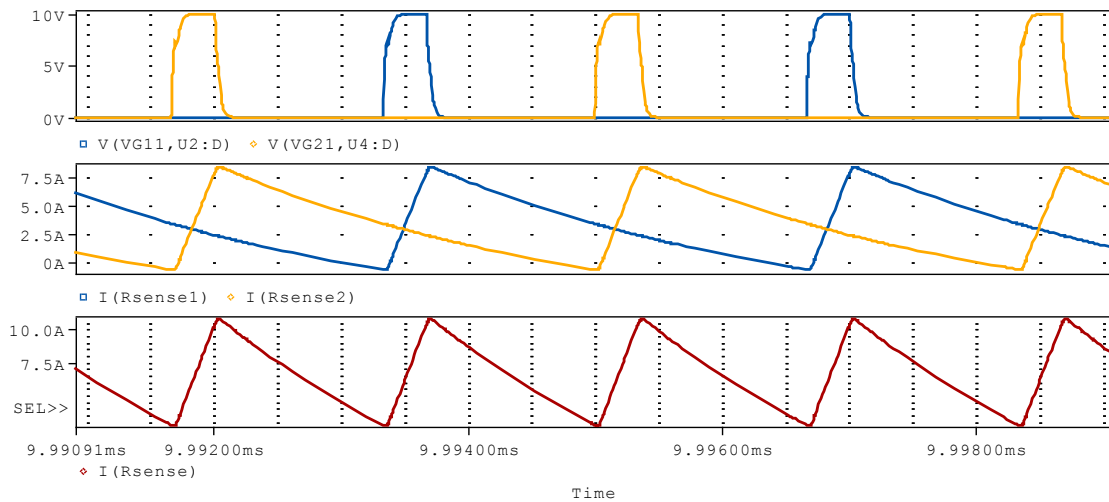


Figura 23. Formas de onda de VGS de los MOSFET de alta de cada fase, de las corrientes de fase y de la corriente vista desde  $R_{sense}$ .

#### **4.1.2 Implementación del convertidor**

Como se mencionó anteriormente, el convertidor se implementa a partir de [17], sin embargo es necesario incluir en el diseño de la PCB un circuito a base de optoacopladores para aislar el FPGA tanto en la entrega de los anchos de pulso

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

como para la adquisición de las señales de sensado. En la figura 24 se muestra el esquemático del circuito diseñado.

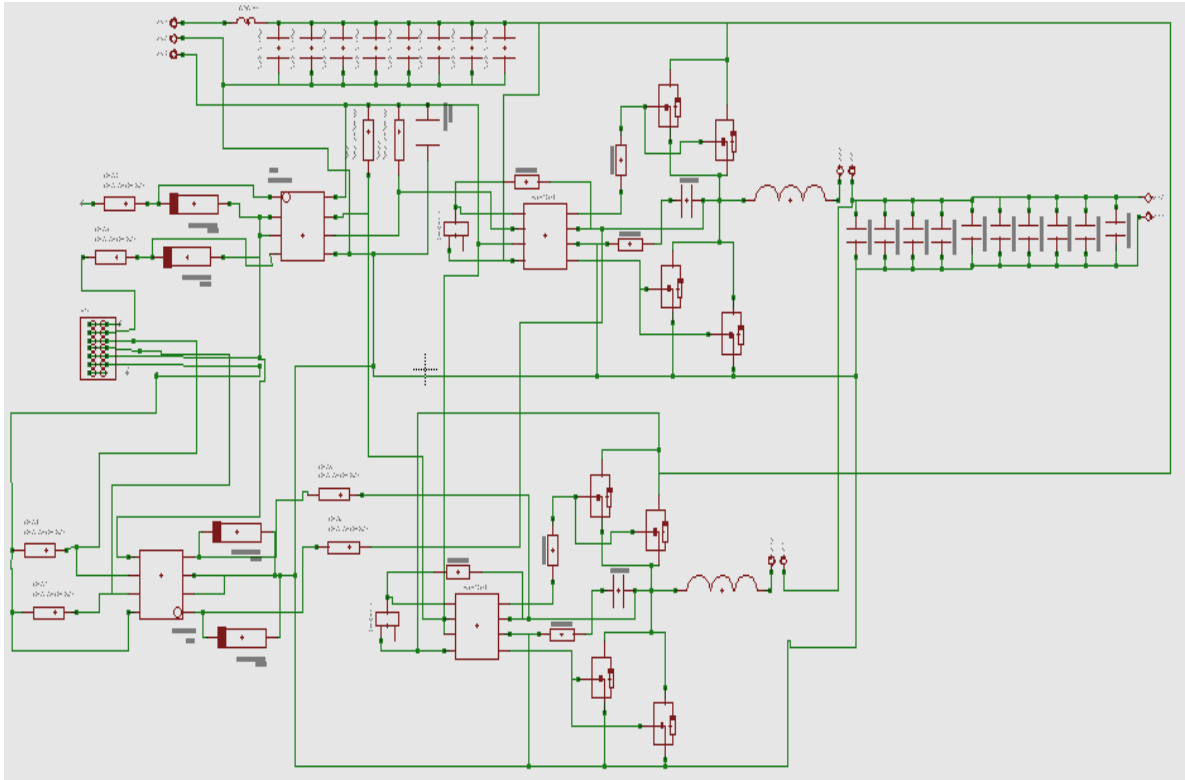


Figura 24. Esquemático del convertidor buck de dos fases.

En la figura 25 se muestra el *layout* de la PCB, esta incluye la etapa de potencia, los *drivers* de cada fase y los optoacopladores de protección al arreglo de compuertas lógicas programables. En el diseño de este *layout* se requiere que tanto los componentes en las fases como los caminos que los interconectan sean lo más simétricos posibles, debido a que las corrientes en cada fase se pueden ver afectadas por cualquier retraso en las señales de los *drivers*.



## 4.2 Resultados Experimentales

Esta sección presenta el protocolo de pruebas y los resultados experimentales de las pruebas realizadas a cada prototipo, tanto en lazo abierto como en lazo cerrado (implementación del algoritmo).

### 4.2.1 Gráficas Experimentales

#### 4.2.1.1 Convertidor operando en Lazo Abierto

En esta sección se presentan las ondas de PWM, corrientes de fase y tensión de salida en lazo abierto, entre otras. Los parámetros utilizados se muestran en la siguiente tabla:

Tabla 4. Parámetros de pruebas experimentales

<b>Parámetro</b>	<b>Valor</b>
Voltaje de entrada $V_{in}$	10[V]
Ciclo de trabajo $D$	10%
Frecuencia de conmutación por fase $f_s$	300[kHz]
Resistencias de sensado	0.1[Ω]
Resistencia e salida	0.1[Ω]

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

En la figura 27 se observa los PWM programados a 300[kHz] y al 10% del ciclo de trabajo.

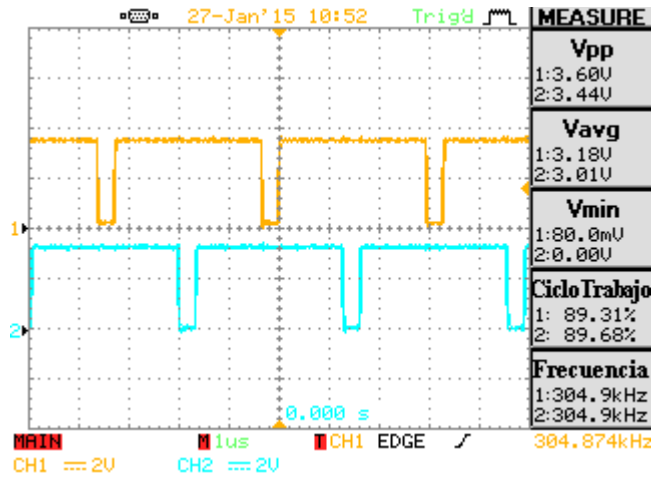


Figura 27. Señales PWM generadas por FPGA.

Por motivos de acople, el circuito de aislamiento digital análogo invierte las señales de salida. Por tal razón las señales se programan invertidas.

La figura 28 muestra las formas de onda de la corriente del inductor de cada fase. Nótese que las corrientes son parecidas, esto debido a que la PCB se diseñó para que fuera lo más simétrica posible.

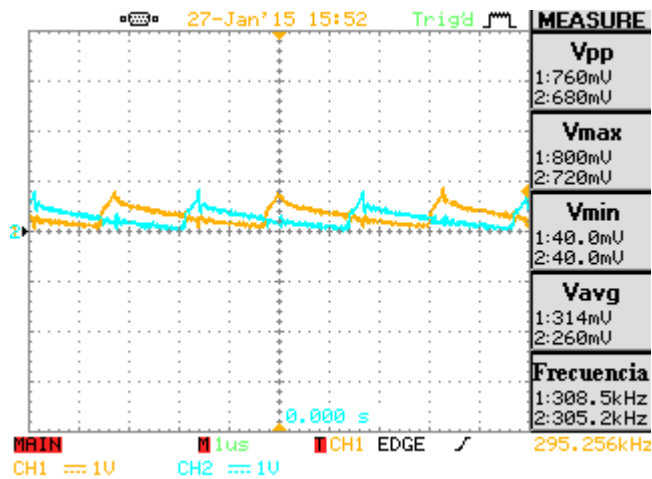


Figura 28. Corrientes Fase en Lazo Abierto.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

La acción de los impulsores, elementos fundamentales para la implementación de los convertidores síncronos se observa en la figura 29, se aprecia el tiempo muerto dentro de una conmutación, que evita que el convertidor sufra cortocircuitos en sus ramas.

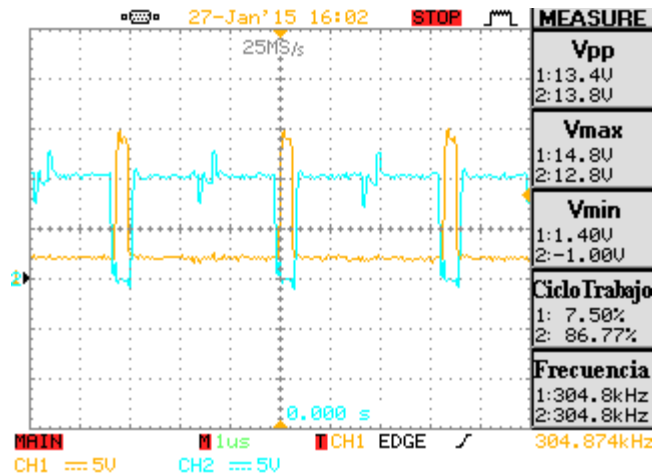


Figura 29. Señales de control para los mosfet de alta (amarillo) y baja (azul) para una fase.

La figura 30 muestra las formas de onda del voltaje de salida. Esta señal presenta pequeñas crestas debido al efecto de la conmutación, pequeños rizos cada 600 [kHz], de la onda de corriente resultante. Voltaje de salida a 872[mV], más bajo al esperado, atribuidos a las pérdidas del ciclo de trabajo y pérdidas en la resistencias de sensado principalmente.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

---

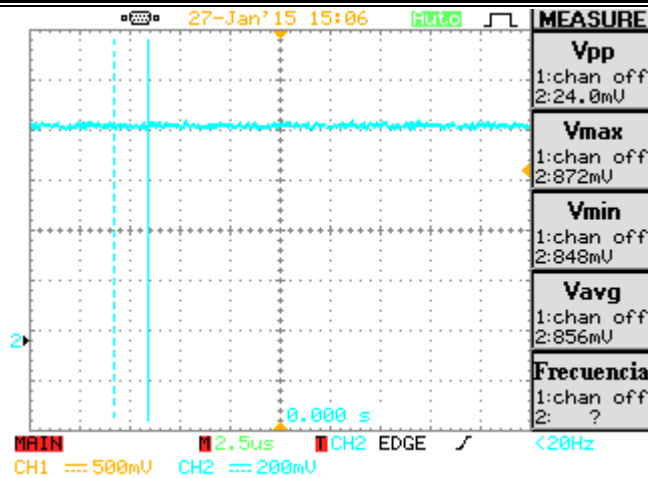


Figura 30. Voltaje de Salida en Lazo Abierto.

#### 4.2.1.2 Convertidor Operando con Compensador de Ciclo de Trabajo.

En base a lo observado en la figura 31, las pérdidas en las dos ramas del circuito desde la plataforma de generación hasta los MOSFET de alta de cada fase son similares, evidenciado por la simetría de las corrientes de línea.

En esta sección se hace un enfoque en la corrección del ancho de pulso real entregado al circuito. Se parte de un ciclo de trabajo del 10% y se compensan las pérdidas por efectos de adecuación de señal. Si se garantizan los anchos de pulso ecualizados, las corrientes de línea se ecualizan en consecuencia.

En la figura 31 se presenta en azul una onda del 10%, que sirve de prueba para comparar en todo tiempo las señales PWM en los puntos críticos del circuito.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

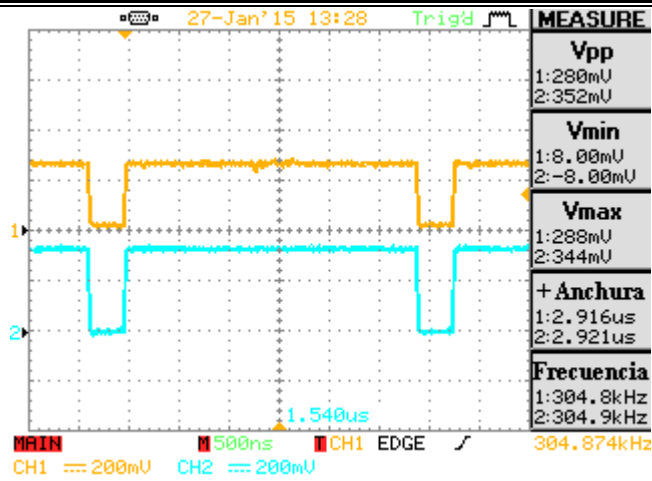


Figura 31. En azul señal PWM deseada, en amarillo onda de salida hacia el circuito.

La figura 32 se observa el retardo entre la señal generada y la onda real entregada al circuito. Se evidencia la pérdida en el ancho de pulso debido a los elementos electrónicos de acople y activación. Esta diferencia es la que se desea corregir.

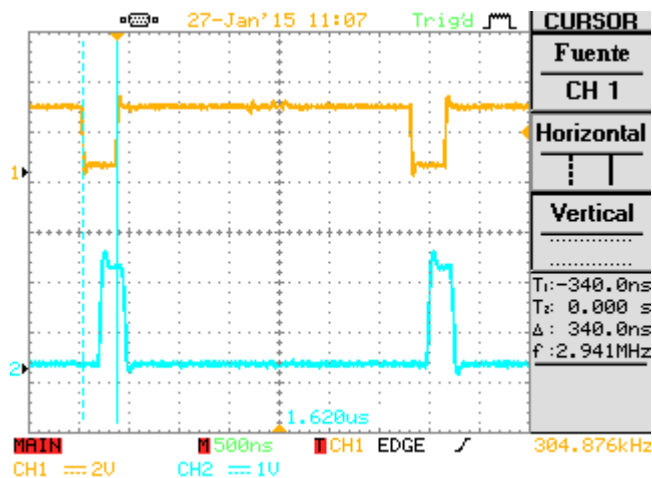


Figura 32. En amarillo señal generada y en azul señal entregada al filtro de salida.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

En base a la gráfica anterior se compara la señal generada con respecto a la sensada, se ve en detalle la pérdida y el retardo entre ellas. Figura 33.

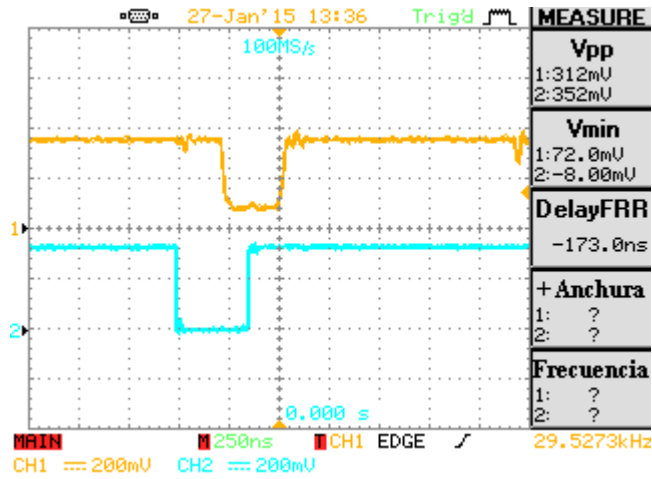


Figura 33. En azul la señal generada, en amarillo la señal sensada.

Activando el ecualizador de corriente se aprecia en la figura 34 la similitud de las dos señales mencionadas en la figura anterior. El objeto de la compensación busca esta similitud y asegura que la pérdida de ciclo de trabajo se aproxime a cero.

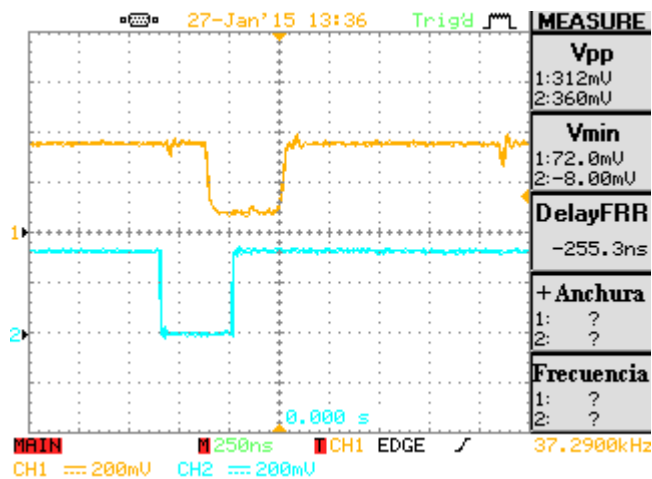


Figura 34. En azul la onda al 10% y en amarillo la onda sensada con compensación.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

Con esto se asegura que el ciclo de trabajo deseado es el mismo que se entrega a los transistores de alta de cada una de las fases. En la siguiente figura se observa el aumento que el control realiza a la señal PWM para lograr la compensación.

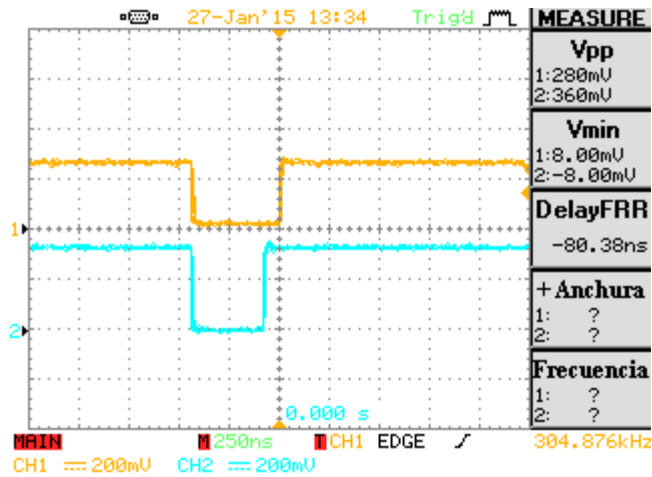


Figura 35. En azul señal deseada, en amarillo aumento de compensación.

Esta técnica es muy útil cuando se tienen circuitos demasiado asimétricos, las pérdidas por fase no necesariamente son las mismas, y esto requiere compensaciones diferentes para cada una de las ramas del convertidor.

#### 4.2.1.3 Convertidor operando en lazo cerrado con controlador proporcional.

Se desarrolla un procedimiento de prueba para la validación de la respuesta del convertidor a eventos de perturbaciones. En la figura 36 se observa un sistema de conmutadores eléctricos (relés) accionados digitalmente por la plataforma de control y los cuales varían tanto la señal de alimentación como los valores de la carga.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

---

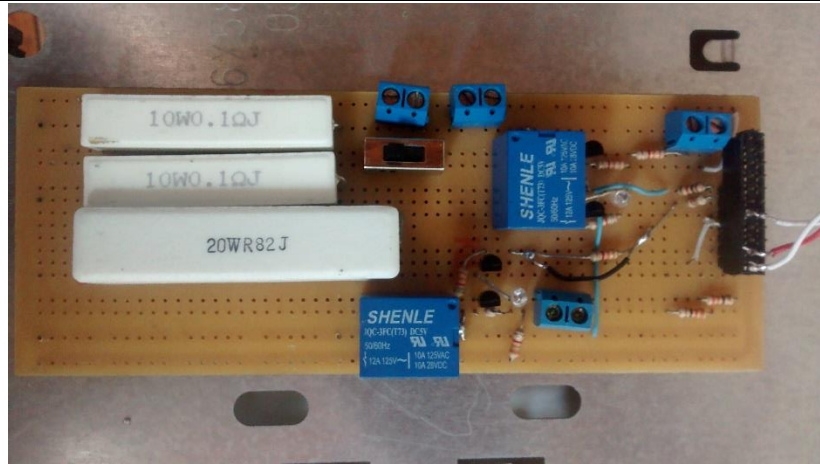


Figura 36. Circuito de perturbaciones a la carga y entrada.

En la figura 37 se observa el efecto en la tensión de salida de una perturbación a la entrada del convertidor, sin ningún tipo de control, una reducción de aproximadamente el 20% de tensión de alimentación, reduce en una misma proporción la tensión de salida del convertidor.

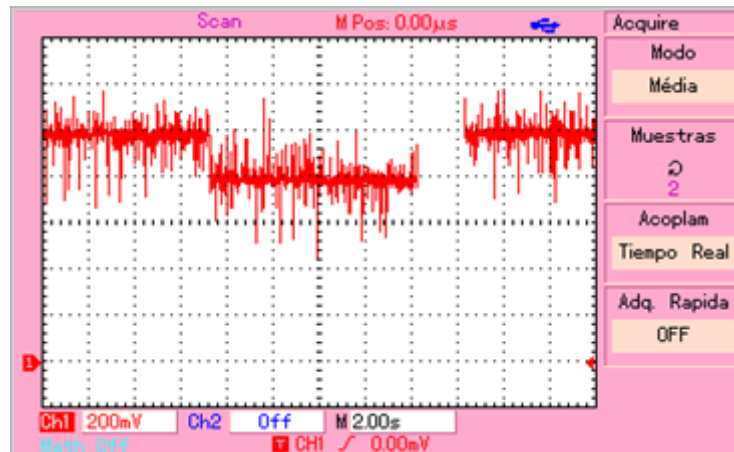


Figura 37. Voltaje de salida ante una reducción del 20% del voltaje de entrada.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

De igual forma se realiza el mismo procedimiento para una perturbación a la carga del convertidor, los resultados se observan en la figura 38.

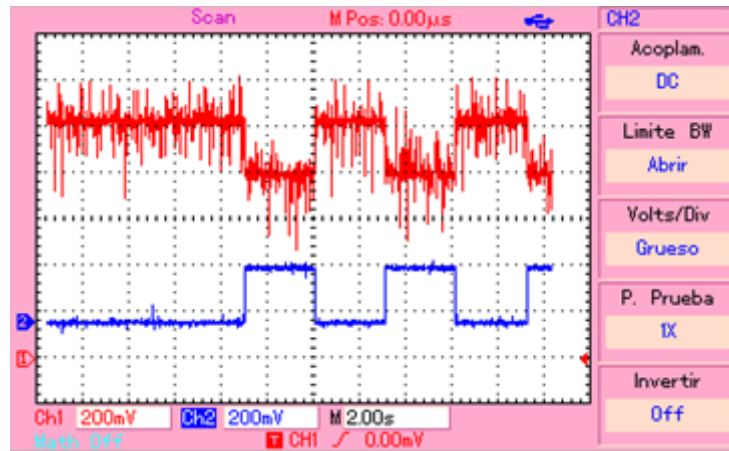


Figura 38. Voltaje de salida ante perturbaciones a la carga dadas por la activación de conmutadores eléctricos por medio de la señal digital en azul.

La tensión de salida se reduce cada vez que el conmutador engancha la nueva carga en paralelo y la recuperación después de que la carga es liberada.

Se procede a realimentar el sistema y realizar las dos pruebas anteriores, perturbación a la entrada y perturbación a la salida. Se implementa un controlador PID proporcional figura 39.

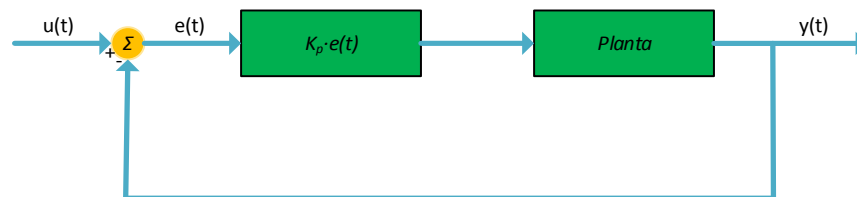


Figura 39. Controlador implementado.

De acuerdo a la resolución del ADC, se calcula el mínimo valor de voltaje que detecta el ADC como un cambio en su entrada de acuerdo a la ecuación (4.1)

Voltaje del bit menos significativo, LSB:

$$LSB = \frac{V_{ref}}{2^n} \quad (4.1)$$

Con un voltaje de referencia de 5[V] y una resolución de 12 bits para este proyecto se tiene:

$$LSB = \frac{5}{2^{12}} = 1.22[mV]$$

Lo que implica que cambios de 1,22[mV], genera un nuevo valor en la palabra digital sensada.

Con esta resolución es fácil detectar niveles de ruido, tanto del circuito y fuente de alimentación que provocar acciones de control innecesarias. Esto se corrige en gran parte reduciendo la resolución de la señal sensada y creando una ventana alrededor del *set point* como punto de establecimiento.

De acuerdo a lo anterior se genera una ventana por medio de descripción de *hardware* y se sintoniza gradualmente por una señal de control externa, hasta llegar a la señal de salida deseada: 1 [V].

La respuesta de la planta en lazo cerrado a una perturbación de la entrada se evidencia en la figura 40.

#### 4. Pruebas del Prototipo y del Control. Resultados Experimentales.

---

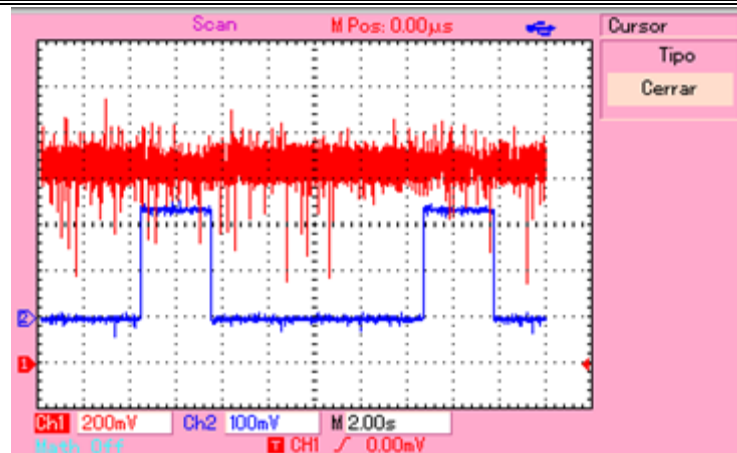


Figura 40. Respuesta de la planta a una perturbación de tensión a la entrada en lazo cerrado, en azul señal digital que acciona el conmutador eléctrico que causa la perturbación.

Se realiza el mismo procedimiento haciendo referencia al voltaje de salida del convertidor cuando se tiene una perturbación a la carga, figura 41.

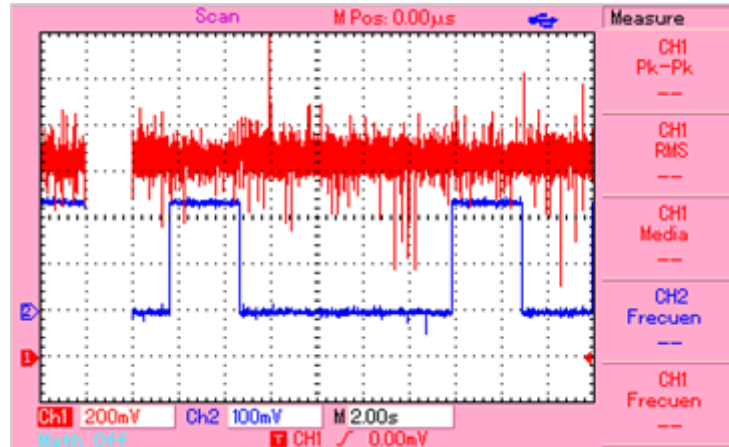


Figura 41. Respuesta de la planta a una perturbación de tensión a la carga en lazo cerrado, en azul señal digital que acciona el conmutador eléctrico que causa la perturbación.

Se aprecia el comportamiento del circuito y el funcionamiento del controlador proporcional, cuando el convertidor de potencia DC-DC es sometido a eventos externos.

---

## 5. CONCLUSIONES

Se simuló e implementó un convertidor reductor *buck* síncrono multifase superficial de baja potencia. Se estudiaron sus características, comportamiento real de operación, propiedades eléctricas de cada uno de los elementos y un análisis teórico de las pérdidas, para una y dos fases.

Se creó un circuito de acople electrónico entre la plataforma de control y el convertidor *buck* síncrono multifase. Parte del retardo y pérdidas de ancho de pulso de las señales de control fueron atribuidos a los optoacopladores, necesarios para el aislamiento físico entre la referencia análoga y digital.

Se realizaron pruebas al convertidor en lazo abierto con una entrada PWM del 10% de ciclo de trabajo, y se obtuvo una tendencia homogénea en la distribución de las corrientes de cada rama, debido al diseño simétrico de las fases en la PCB. Se concluye que la simetría en los convertidores multifase es muy importante para mantener una distribución equitativa de la corriente por cada fase.

Se llevó a cabo la descripción de *hardware* del control de balanceo de corriente a un punto de establecimiento fijo del 10% de la tensión de entrada, se obtuvo el resultado de las corrientes de cada inductor, las cuales debido al efecto de ecualización de los anchos de pulso compensados, aumentaron en igual proporción. Se comparó la señal PWM de salida con la señal de sensado alcanzando ciclos de trabajo similares, con un pequeño retardo debido a los circuitos de sensado y aislamiento.

Se implementó un conversor análogo digital de comunicación serial con el FPGA, como elemento de sensado del voltaje de salida del convertidor, para poder llevar a cabo la acción de control de voltaje en lazo cerrado.

## 5. Conclusiones

Se llevó a cabo un procedimiento de prueba para analizar la respuesta del sistema ante eventos de perturbación a la entrada y a la salida. Con ayuda de lógica digital se realizó una descripción de *hardware* para un sistema que realiza eventos de perturbación a diferentes instantes de tiempo. Se utilizaron conmutadores eléctricos (relés), de los cuales se aprovechó su rápida respuesta de conmutación, comparados con interruptores de acción mecánica.

Se generó un control proporcional basado en la técnica clásica PID, que llevó el nivel de voltaje de salida del convertidor alrededor del punto de establecimiento. El funcionamiento del CBS bifásico en lazo cerrado da testimonio de que los arreglos de compuertas lógicas programables (FPGAs) son plataformas aptas para la implementación de sistemas digitales de control.

## 6. OBSERVACIONES Y TRABAJO A FUTURO

Los logros propuestos y alcanzados a lo largo de este proyecto de grado, dan un punto de partida para futuros trabajos de investigación, en cuanto a convertidores de potencia más eficientes y/o al uso de plataformas FPGAs como elemento principal de procesamiento digital de datos.

Se recomienda obtener la función de transferencia del convertidor, hacer un análisis y simulación en una herramienta software de modelado, con la cual se implementaría un nuevo diseño tanto de elementos activos (*drivers* y transistores) como pasivos (capacitores y bobinas) para mejorar parámetros de conmutación y de rizado.

Una solución para aplicaciones que demanden mayor potencia de salida, es la implementación de un prototipo con mayor número de fases, con el que se obtendría un incremento en la intensidad de corriente de salida, con la misma relación tamaño-precio de los elementos.

Los resultados obtenidos en este trabajo de grado evidencian que es factible seguir investigando en estrategias avanzadas de control implementadas en FPGAs, para satisfacer las demandas de sistemas que requieran de altas tasas de procesamiento.

## REFERENCIAS

- [1] ACOSTA, Luis, DUQUE, Jorge, GRANADOS, José, FIALLO, Sergio. Diseño e implementación de una RTU en FPGA. En: Revista científica Ingeniería y Tecnología, Vol. 1, No 2. Cartagena, Colombia, 2010.
- [2] SILVA, César, Conception and Modeling of a Low-Voltage DC/DC Power Supply in Multiphase Buck-Converter Topology (Board Layout, Measurements and Simulation). Colombia, Bucaramanga, 2003, 64 h. Universidad Industrial de Santander.
- [3] LÓPEZ, Leonardo, FRANCO, Zulay, PATETI, Antonio, Metodología De Implementación De Un Controlador PID Difuso En Una FPGA. En: Universidad, Ciencia y Tecnología, Vol. 10, No 39, Venezuela, Julio 2010, pp 130 – 133.
- [4] ABDELATI Mohamed, FPGA-Based PID Controller Implementation, Palestine, Gaza 2007 19 h, The Islamic University of Gaza.
- [5] CASTAÑO, Luis, Diseño de un prototipo para la implementación de sistemas de control basado en FPGA. 2011, Manizales, 92 h, Tesis presentada como requisito parcial para optar al título de: Magister en Ingeniería-Automatización Industrial, Departamento de Ingenierías Eléctrica, Electrónica y Computación. Universidad Nacional de Colombia.
- [6] OCAMPO, Carlos, Control De Un Conversor De Potencia Con Modulador De Ancho De Pulso Centrado Usando Modos Deslizantes. 2003, Manizales, 88 h. Tesis para optar por el título de Magister en Automatización Industrial. Facultad de Ingeniería y Arquitectura. Universidad Nacional de Colombia – Sede Manizales.
- [7] RAMOS, Rafael, ZARAGOZA, Jordi, MÀNUEL, Antonio. Control difuso mediante una FPGA de Xilinx para convertidores DC/DC elevadores, En: Revista española de electrónica, Junio de 2001, núm. 559, pp. 54-64.

## Referencias

---

[8] VARGAS CÁCERES, Guillermo Antonio, GÉLVES LIZARAZO, Julio César. Filtros Activos de potencia: análisis comparativo entre técnicas de control utilizadas en el convertidor de potencia, Colombia, Bucaramanga, 2010, 25 h. Tesis para optar por el título de Ingeniero Electricista, Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Universidad Industrial de Santander.

[9] HERNANDEZ, Jorge, PRIETO, Flavio, Clasificación de granos de café usando FPGA, En: Ingeniería y Competitividad, Manizales, 2005, Vol. 7, No. 2, pp. 35 – 42.

[10] GALVIS, Jhon, HERNÁNDEZ, César, MARTÍNEZ, Freddy, Control difuso para la corrección activa del factor de potencia. En: Ingeniería y Desarrollo, Bogotá, 2011, Vol. 29, No 1, pp. 1-16.

[11] UNIVERSIDAD DE LA REPUBLICA, URUGUAY. Notas de apoyo para en curso básico de Electrónica de potencia parte I [en línea]. <<http://iie.fing.edu.uy/ense/asign/elpot1/dcdc.pdf>> [citado en 13 de Agosto de 2012].

[12] UNIVERSIDAD DE LAS AMÉRICAS PUEBLA, MEXICO. Convertidores de Potencia, capítulo 2, colección de tesis digitales, [en línea] [http://catarina.udlap.mx/u\\_dl\\_a/tales/documentos/lep/mendez\\_s\\_j/capitulo2.pdf](http://catarina.udlap.mx/u_dl_a/tales/documentos/lep/mendez_s_j/capitulo2.pdf) [citado en 13 de Agosto de 2012].

[13] NATIONAL INSTRUMENTS. Introducción a la tecnología FPGA: Los cinco beneficios principales [en línea]. <<http://www.ni.com/white-paper/6984/es>> [citado en 15 de Agosto de 2012].

[14] QUINTERO, Jesús. Control LNL aplicado a convertidores reductores síncronos multifase con entrelazado, baja tensión de salida y respuesta dinámica rápida. España, Leganés, 2010, 403. Tesis doctoral, Departamento de Tecnología Electrónica. Universidad Carlos III de Madrid.

[15] PACHECO, Arnoldo. Análisis de pérdidas del convertidor buck síncrono para aplicaciones móviles, México, Morelos, 2007, 110 h. Tesis de Maestría en Ciencias,

## Referencias

---

Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

[16] VILCHIS, Juan Carlos. Análisis de estructuras multifases para mejorar la eficiencia en convertidores buck síncronos para la tecnología LPIA-INTEL, México, Morelos, 2009, 116 h. Tesis de Maestría en Ciencias, Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

[17] ON Semiconductor, hoja de datos del ADP3418k [en línea], <<http://www.onsemi.com/>> [citado el 13 de enero de 2015], pp13.

[18] JIMÉNEZ, Juan Manuel. Revisión de técnicas de control para el balance de corriente en un sistema de alimentación multifase basado en el convertidor buck, México, Morelos, 2012, 129 h. Tesis de Maestría en Ciencias, Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

[19] SIRI,K. Siri, BANDA, J. Analysis and evaluation of current-sharing control for parallelconnected dc-dc converters taking into account cable resistance. Aerospace Applications Conference, vol. 2, 1995, pp. 29-48.

[20] Robert Warren Erickson y Dragan Maksimovid, "Fundamentals of Power Electronics Second Edition", Apéndice A, Edit. Kluwer Academic Publishers, 2001.

[21] A. Hermosa, Principios de Electricidad y Electrónica II, 2 ed. España, 1999.

[22] M. H. Rashid, Electrónica de Potencia. Circuitos, dispositivos y aplicaciones, 2 ed. México, 1995.

[23] Microship, hoja de datos del MCP3202 [en línea], <<http://ww1.microchip.com/downloads/en/DeviceDoc/21034D.pdf>> [citado el 11 de octubre de 2014], pp28.

## BIBLIOGRAFÍA

ABDELATI Mohamed, FPGA-Based PID Controller Implementation, Palestine, Gaza 2007 19 h, The Islamic University of Gaza.

ACOSTA, Luis, DUQUE, Jorge, GRANADOS, José, FIALLO, Sergio. Diseño e implementación de una RTU en FPGA. En: Revista científica Ingeniería y Tecnología, Vol. 1, No 2. Cartagena, Colombia, 2010.

A. Hermosa, Principios de Electricidad y Electrónica II, 2 ed. España, 1999.

CASTAÑO, Luis, Diseño de un prototipo para la implementación de sistemas de control basado en FPGA. 2011, Manizales, 92 h, Tesis presentada como requisito parcial para optar al título de: Magister en Ingeniería-Automatización Industrial, Departamento de Ingenierías Eléctrica, Electrónica y Computación. Universidad Nacional de Colombia.

GALVIS, Jhon, HERNÁNDEZ, César, MARTÍNEZ, Freddy, Control difuso para la corrección activa del factor de potencia. En: Ingeniería y Desarrollo, Bogotá, 2011, Vol. 29, No 1, pp. 1-16.

HERNANDEZ, Jorge, PRIETO, Flavio, Clasificación de granos de café usando FPGA, En: Ingeniería y Competitividad, Manizales, 2005, Vol. 7, No. 2, pp. 35 – 42.

JIMÉNEZ, Juan Manuel. Revisión de técnicas de control para el balance de corriente en un sistema de alimentación multifase basado en el convertidor buck, México, Morelos, 2012, 129 h. Tesis de Maestría en Ciencias, Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

LÓPEZ, Leonardo, FRANCO, Zulay, PATETI, Antonio, Metodología De Implementación De Un Controlador PID Difuso En Una FPGA. En: Universidad, Ciencia y Tecnología, Vol. 10, No 39, Venezuela, Julio 2010, pp 130 – 133.

## Bibliografía

---

Microship, hoja de datos del MCP3202 [en línea], <http://ww1.microchip.com/downloads/en/DeviceDoc/21034D.pdf> [citado el 11 de octubre de 2014], pp28.

M. H. Rashid, Electrónica de Potencia. Circuitos, dispositivos y aplicaciones, 2 ed. México, 1995.

NATIONAL INSTRUMENTS. Introducción a la tecnología FPGA: Los cinco beneficios principales [en línea]. <<http://www.ni.com/white-paper/6984/es>> [citado en 15 de Agosto de 2012].

OCAMPO, Carlos, Control De Un Conversor De Potencia Con Modulador De Ancho De Pulso Centrado Usando Modos Deslizantes. 2003, Manizales, 88 h. Tesis para optar por el título de Magister en Automatización Industrial. Facultad de Ingeniería y Arquitectura. Universidad Nacional de Colombia – Sede Manizales.

ON Semiconductor, hoja de datos del ADP3418k [en línea], <http://www.onsemi.com/> [citado el 13 de enero de 2015], pp13.

PACHECO, Arnoldo. Análisis de pérdidas del convertidor buck síncrono para aplicaciones móviles, México, Morelos, 2007, 110 h. Tesis de Maestría en Ciencias, Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

QUINTERO, Jesús. Control LNL aplicado a convertidores reductores síncronos multifase con entrelazado, baja tensión de salida y respuesta dinámica rápida. España, Leganés, 2010, 403. Tesis doctoral, Departamento de Tecnología Electrónica. Universidad Carlos III de Madrid.

RAMOS, Rafael, ZARAGOZA, Jordi, MÀNUEL, Antonio. Control difuso mediante una FPGA de Xilinx para convertidores DC/DC elevadores, En: Revista española de electrónica, Junio de 2001, núm. 559, pp. 54-64.

## Bibliografía

---

Robert Warren Erickson y Dragan Maksimovic, "Fundamentals of Power Electronics Second Edition", Apéndice A, Edit. Kluwer Academic Publishers, 2001.

SILVA, César, Conception and Modeling of a Low-Voltage DC/DC Power Supply in Multiphase Buck-Converter Topology (Board Layout, Measurements and Simulation). Colombia, Bucaramanga, 2003, 64 h. Universidad Industrial de Santander.

SIRI,K. Siri, BANDA, J. Analysis and evaluation of current-sharing control for parallelconnected dc-dc converters taking into account cable resistance. Aerospace Applications Conference, vol. 2, 1995, pp. 29-48.

UNIVERSIDAD DE LA REPUBLICA, URUGUAY. Notas de apoyo para en curso básico de Electrónica de potencia parte I [en línea]. <<http://iie.fing.edu.uy/ense/assign/elpot1/dcdc.pdf>> [citado en 13 de Agosto de 2012].

UNIVERSIDAD DE LAS AMÉRICAS PUEBLA, MEXICO. Convertidores de Potencia, capítulo 2, colección de tesis digitales, [en línea] [http://catarina.udlap.mx/u\\_dl\\_a/tales/documentos/lep/mendez\\_s\\_j/capitulo2.pdf](http://catarina.udlap.mx/u_dl_a/tales/documentos/lep/mendez_s_j/capitulo2.pdf) [citado en 13 de Agosto de 2012].

VARGAS CÁCERES, Guillermo Antonio, GÉLVES LIZARAZO, Julio César. Filtros Activos de potencia: análisis comparativo entre técnicas de control utilizadas en el convertidor de potencia, Colombia, Bucaramanga, 2010, 25 h. Tesis para optar por el título de Ingeniero Electricista, Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Universidad Industrial de Santander.

VILCHIS, Juan Carlos. Análisis de estructuras multifases para mejorar la eficiencia en convertidores buck síncronos para la tecnología LPIA-INTEL, México, Morelos, 2009, 116 h. Tesis de Maestría en Ciencias, Departamento de Ingeniería Electrónica. Centro Nacional de Investigación y Desarrollo Tecnológico.

### **ANEXO A. Análisis de Pérdidas en Convertidores CBS y Multifase**

En esta sección se presentan las diferentes pérdidas de potencia en cada uno de los componentes del CBS. Se muestran las pérdidas generadas en MCC debidas a los dispositivos semiconductores y los componentes pasivos. Al final de la sección se presenta el cálculo de la eficiencia, haciendo especial mención de las particularidades que se presenta en el funcionamiento multifase.

Las pérdidas de potencia en el CBS se dividen en tres categorías: las pérdidas por conducción dependientes de la carga, las pérdidas de conmutación dependientes de la frecuencia y las pérdidas fijas. [15], [16].

#### **Pérdidas de potencia en el MOSFET superior**

Las pérdidas de potencia en cada uno de los interruptores se componen de tres partes, como se muestra en (A.1)

$$P_{Total} = P_{conducción} + P_{conmutación} + P_{adicionales} \quad (A.1)$$

Las pérdidas de potencia por conducción se determinan por la corriente *rms* que circula a través del canal *n* del MOSFET  $S_1$  y la resistencia de encendido  $R_{DS(on)}$ . Las pérdidas por conducción en  $S_1$  son:

$$P_{conducción} = I_{rms S1}^2 \cdot R_{DS(on)} \quad (A.2)$$

Donde

$$I_{rms\ S1} = \sqrt{D \cdot \left( I_o^2 + \frac{\Delta I_L^2}{12} \right)} \quad (A.3)$$

Las pérdidas de conmutación durante el encendido y el apagado del MOSFET, originan grandes pérdidas de potencia durante la transición de encendido y se determina por la siguiente expresión:

$$P_{SW\ S1(on\_off)} = \frac{V_{in} \cdot I_o \cdot Q_{SW}}{2} \cdot \left( \frac{1}{I_{G(on)}} + \frac{1}{I_{G(off)}} \right) \cdot f_s \quad (A.4)$$

Donde  $I_{G(on)}$  es la corriente de compuerta durante el encendido,  $I_{G(off)}$  es la corriente de compuerta durante el apagado y  $Q_{SW}$  es la carga durante la conmutación. Por otra parte, las pérdidas adicionales en el MOSFET superior se componen de

$$P_{adicionales} = P_G + P_{Driver\ S1(on)} + P_{Driver\ S1(off)} + P_{Coss} \quad (A.5)$$

Donde  $P_G$  son las pérdidas por la carga y descarga de la capacitancia de entrada; y  $P_{Coss}$  son las pérdidas debidas a la carga de la capacitancia de salida del MOSFET.

### **Pérdidas de potencia en el MOSFET inferior**

Es necesario incluir tiempos muertos en la señal de control para evitar problemas de traslape durante el encendido y apagado de los interruptores controlados  $S_1$  y  $S_2$ .

$$P_{conducción} = I_{rms\ S2}^2 \cdot R_{DS(on)} \quad (A.6)$$

Donde

$$I_{rms\ S_2}^2 = \sqrt{(1 - D - (T_{d1} + T_{d2}) \cdot f_s \cdot \left( I_o^2 + \frac{\Delta I_L^2}{12} \right))} \quad (A.7)$$

Durante los tiempos muertos la corriente en el inductor circula a través del diodo parásito de  $S_2$  y las pérdidas por conducción en este diodo son:

$$P_{Diodo} = V_{fr} \cdot I_o \cdot (T_{d1} + T_{d2}) \cdot f_s \quad (A.8)$$

Las pérdidas de conmutación durante el encendido y el apagado del  $S_2$ , realmente no generan pérdidas de potencia.

Por último, las pérdidas debidas a la capacitancia de salida de  $S_2$  se componen de:

$$P_{Coss} = \frac{1}{2} \cdot Q_{oss} \cdot V_{in} \cdot f_s \quad (A.9)$$

### **Pérdidas en el capacitor**

Las pérdidas en el capacitor se deben principalmente a la resistencia serie equivalente (ESR) del capacitor y está definida como sigue:

$$P_{Cap} = I_{Crms}^2 \cdot ESR_C \quad (A.10)$$

$$I_{Crms} = \frac{\Delta i_{L(on)}}{\sqrt{12}} \quad (A.11)$$

### **Pérdidas en el inductor**

En el inductor, se presentan, principalmente, dos tipos de pérdidas, pérdidas por la conducción de la resistencia de los devanados y pérdidas en el núcleo del inductor,

---

---

---

## Anexos

pero para este caso éstas últimas son despreciables. Las pérdidas por conducción están dadas por:

$$P_{inductor} = I_{Lrms}^2 \cdot ESR_L \quad (A.12)$$

La corriente en el inductor está formada por varias secciones: conducción de  $S_1$ , tiempo muerto, conducción de  $S_2$  y discontinuidad. Por lo tanto, para calcular la corriente eficaz a través del inductor se utilizó el método “por segmentos” para una forma de onda periódica compuesta por  $n$  segmentos. [20].

La expresión obtenida para la corriente *rms* en el inductor está dada por:

$$I_{Lrms} = \sqrt{D \cdot u_1 + D_{d1} \cdot u_{d1} + D_2 \cdot u_2 + D_2 \cdot u_{d2}} \quad (A.13)$$

Donde:

$$u_1 = \frac{1}{3} \cdot (i_1^2 + i_1 \cdot i_2 + i_2^2)$$

$$u_{d1} = \frac{1}{3} \cdot (i_1^2 + i_2 \cdot i_3 + i_3^2)$$

$$u_2 = \frac{1}{3} \cdot (i_3^2 + i_3 \cdot i_4 + i_4^2)$$

$$u_{d2} = \frac{1}{3} \cdot (i_4^2 + i_4 \cdot i_1 + i_1^2)$$

### Cálculo de la eficiencia

El cálculo de la eficiencia se hace multiplicando 100 por el cociente de la potencia de salida ( $P_o$ ) entre la potencia de entrada la cual se evalúa sumando las pérdidas en el convertidor a la potencia de salida, la eficiencia del convertidor es:

$$ef(\%) = \frac{100 \cdot P_o}{P_o + P_{pérdidas}} \quad (A.14)$$

## Anexos

---

Las pérdidas del convertidor están dadas por la suma de las pérdidas en cada elemento:

$$P_{p\acute{e}rdidas} = P_{S1} + P_{S2} + P_L + P_C \quad (A.15)$$

Para el caso del CBS multifase, se suman las pérdidas de las  $N$  fases más las pérdidas del capacitor de salida:

$$P_{multifase} = N \cdot (P_{S1} + P_{S2} + P_L + P_{adicionales}) + P_C \quad (A.16)$$

El cálculo de la eficiencia total, a partir de la potencia de cada fase es:

$$ef(\%) = \frac{100 \cdot N \cdot P_o}{N \cdot P_o + P_{multifase}} \quad (A.17)$$

### **Cálculo del factor de rizado**

El factor de ruido  $F_r$ , expresa la magnitud de la componente en alterna que tiene la onda con respecto a la tensión media. Según [21] y [22] puede ser calculado mediante (2.55), cuya expresión viene dada por:

$$F_r = \frac{\text{tensión eficaz de rizado}}{\text{tensión continua media de salida}} = \frac{V_r}{V_{o\_dc}} \quad (A.18)$$

## ANEXO B. Características Eléctricas de los Elementos del Prototipo

Tabla B1. Características del MOSFET FDD6680.

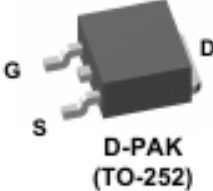
Parámetro	Valor	Empaquetado
Voltaje drenador–surtidor $V_{DSS}$	30[V]	 <p>D-PAK (TO-252)</p>
Corriente en drenador $I_D$	46 [A]	
Capacitancia de entrada $C_{iss}$	1230 [pF]	
Capacitancia de salida $C_{oss}$	325 [pF]	
Resistencia de conducción $R_{DS(on)}$	10[mΩ] @ $V_{GS}= 10[V]$	
Frecuencia de conmutación	1[MHz]	

Tabla B2. Características del MOSFET FDD8896.

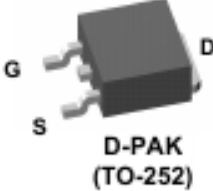
Parámetro	Valor	Empaquetado
Voltaje drenador–surtidor $V_{DSS}$	30[V]	 <p>D-PAK (TO-252)</p>
Corriente en drenador $I_D$	94 [A]	
Capacitancia de entrada $C_{iss}$	2525 [pF]	
Capacitancia de salida $C_{oss}$	490 [pF]	
Resistencia de conducción $R_{DS(on)}$	5.7[mΩ] @ $V_{GS}= 10[V]$	
Frecuencia de conmutación	1[MHz]	

Tabla B3. Características del Inductor.


Parámetro	Valor	Empaquetado
Inductancia	320 [nH]	
Resistencia Equivalente <i>ESR</i>	1.4 [mΩ]	
Corriente máxima $I_{max}$	46[A]	

Tabla B4. Características del Capacitor.


Parámetro	Valor	Empaquetado
Capacitancia	560 [uF]	
Resistencia Equivalente <i>ESR</i>	5 [mΩ]	
Voltaje	4 [V]	

Tabla B5. Características del *Driver* ADP3418k.


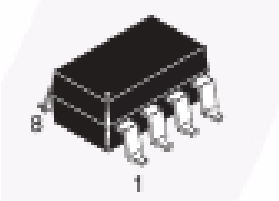
Parámetro	Valor	Empaquetado
Voltaje alimentación $V_{in}$	12[V]	
Voltaje del <i>Bootstrap</i> $BST$	4 a 26 [V]	
Frecuencia de operación	5[MHz]	
Rango de temperatura	0°C a 150°C	

Tabla B6. Características del Optoacoplador HCPL2630.

Parámetro	Valor	Empaquetado
Voltaje alimentación $V_{CC}$	4.5 a 5.5 [V]	
Frecuencia de operación	10 [Mbps]	
Número de canales	2	
Rango de temperatura	-40°C a 85°C	