

DISEÑO DE CELDAS ESTÁNDAR Y  
CELDAS I/O PARA CÓDIGO ABIERTO

JHON STEVEN PINTO HERNÁNDEZ  
NELSON JOSÉ RODRÍGUEZ SIERRA

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FISICOMECÁNICAS  
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA  
2023

DISEÑO DE CELDAS ESTÁNDAR Y  
CELDAS I/O PARA CÓDIGO ABIERTO

JHON STEVEN PINTO HERNÁNDEZ  
NELSON JOSÉ RODRÍGUEZ SIERRA

Trabajo de grado para optar al título de  
Ingeniero Electrónico

Director:

JUAN SEBASTIÁN MOYA BAQUERO  
Magister en Ingeniería Electrónica

Codirector:

JAIME GUILLERMO BARRERO PÉREZ  
Magister en Potencia Eléctrica

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FISICOMECÁNICAS  
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA

2023

## **DEDICATORIA**

Dedicado a mi familia y amigos.

## AGRADECIMIENTOS

Han sido tantas las personas que han aportado en mí como persona y ahora como ingeniero, que las páginas de este libro serían insuficientes para nombrarlas a todas y cada una de ellas.

Al profesor que me dictó mi primera y última asignatura durante mi pregrado y el responsable de yo haber elegido ingeniería electrónica como carrera profesional, profesor Carlos Fajardo, infinitas gracias, porque sin su consejo nunca habría iniciado este maravilloso viaje.

Quiero agradecerle a Hanssel Morales, por haberme invitado al grupo Onchip y contagiarme su pasión por la microelectrónica. Su guía y amistad han sido y siguen siendo invaluable para mí.

Gracias a mi director Juan Moya por haberme apoyado en desarrollar nuestro proyecto bajo la filosofía open-source, a mi compañero Jhon Pinto, por su compromiso y sinergia durante el desarrollo de este trabajo, al grupo Onchip, en especial a los profesores Elkim Roa, Javier Ardila y Luis Rueda, por hacer de Onchip un espacio de formación profesional de muy altos estándares y a la comunidad open-source, en particular, a Tim Edwards y Steffan Schippers, por la asesoría brindada en las primeras etapas del proyecto.

Gracias a mis compañeros con quienes compartí muchos desvelos y jornadas maratónicas de estudio y a todos los profesores que me enriquecieron con sus conocimientos y experiencias en el transcurso de mi pregrado.

Por último y más importante, gracias a Dios y a toda mi familia. A mi padre Nelson, mi madre Nelly, mi hermana Diana por su apoyo incondicional, esto es por y para ustedes.

- Nelson José Rodríguez Sierra

Quiero dar gracias primeramente a Dios. Mi carrera y mi vida la tengo por y para él. Muchas gracias a mi director Juan Moya por sus consejos, su acompañamiento y por haber sido quien me introdujo en este mundo de la microelectrónica. A mi compañero Nelson Rodríguez, por su compromiso y dedicación.

Gracias a todos esos amigos, que me brindaron su apoyo emocional y su mano para las ocasiones en las que me encontraba mal. En especial a Diana, infinitas gracias. Quiero agradecer a mi madre, cuyo apoyo constante fué mi motivante para lograr desarrollar este proyecto.

Finalmente, quiero expresar mi infinita gratitud a mi abuela Adelina. Ella es una de las causas primeras por la que me encuentro finalizando esta etapa. Su memoria y los recuerdos que viví con ella siempre los llevaré conmigo.

- Jhon Steven Pinto Hernández

## CONTENIDO

	pág.
<b>INTRODUCCIÓN</b>	<b>14</b>
<b>1. OBJETIVOS</b>	<b>17</b>
<b>2. COMPONENTES DE UN KIT DE DISEÑO DE PROCESO</b>	<b>18</b>
2.1. CELDAS ESTÁNDAR	18
2.2. CELDAS I/O	22
2.2.1. Celdas de <i>pad</i> de Señal	22
2.2.2. Celdas de Relleno y de Corte	25
<b>3. METODOLOGÍA DE DISEÑO</b>	<b>27</b>
3.1. CELDAS ESTÁNDAR	27
3.1.1. Arquitectura de la Celda	27
3.1.2. Especificaciones de las Celdas	29
3.1.3. Cálculo del ancho óptima	30
3.1.4. Implementación de Layouts	34
3.2. CELDA DE <i>PAD</i> DE SEÑAL	35
3.2.1. Capas Backend	36
3.2.2. Capa de Locali	38
3.2.3. Capa de Metal1	38
3.2.4. Capas Metal2 a Metal4	38
3.2.5. Capa Metal5	38
3.3. CELDAS DE RELLENO Y CORTE	41
<b>4. CARACTERIZACIÓN</b>	<b>42</b>

4.1. CARACTERIZACIÓN DE CELDAS ESTÁNDAR	42
4.2. CARACTERIZACIÓN DE CELDAS DE PAD DE SEÑAL	45
<b>5. RESULTADOS</b>	<b>52</b>
5.1. CELDAS ESTÁNDAR	52
5.2. CELDAS I/O	55
<b>6. CONCLUSIONES</b>	<b>62</b>
<b>BIBLIOGRAFÍA</b>	<b>64</b>
<b>ANEXOS</b>	<b>67</b>

## LISTA DE FIGURAS

	<b>pág.</b>
Figura 1. Celda estándar de 12 <i>tracks</i> de altura.	20
Figura 2. <i>Placement</i> de 6 celdas estándar.	21
Figura 3. Estructura general de un anillo I/O.	23
Figura 4. Porción de un anillo I/O.	24
Figura 5. Esquemático de una celda de <i>pad</i> de señal.	24
Figura 6. <i>Pitches</i> $P_{m1}$ and $P_{m2}$ para Sky130.	27
Figura 7. Posición de los contactos de polisilicio: a) Vertical, b) Horizontal	29
Figura 8. Reglas de diseño para el cálculo de $W_T$ .	31
Figura 9. Cálculo de anchos máximos y mínimos para el PMOS y NMOS.	32
Figura 10. <i>Testbench</i> de la cadena de inversores.	32
Figura 11. <i>Fanout4 testbench</i> .	33
Figura 12. Plantilla de 12 <i>tracks</i> .	35
Figura 13. Desglose de capas de la celda de <i>pad</i> de señal, celda de relleno y celda de corte.	37
Figura 14. Vista en sección transversal de la celda de <i>pad</i> con reglas de espaciado.	39
Figura 15. Vista de diseño en Metal3 para los 12 diseños de <i>pad</i> de señal.	41
Figura 16. Proceso de caracterización de la celda AOI22.	43
Figura 17. <i>testbench</i> de la celda de <i>pad</i> de señal con resistencias de 50 Ohmios tanto en la entrada como en la salida.	46
Figura 18. Modelo electromagnético de la celda de <i>pad</i> .	48
Figura 19. Vista simplificada de un anillo de potencia.	50

Figura 20.	Intersección en la cual $\overline{t_r}/\overline{t_f} = 1$	52
Figura 21.	<i>Layout</i> de la celda inversora de 12 tracks diseñada con Magic.	53
Figura 22.	BW vs I <sub>max</sub> obtenido usando CST Studio Suite.	57
Figura 23.	BW vs I <sub>max</sub> obtenido usando Ngspice.	58
Figura 24.	Número de pads que caben entro el SoC de Caravel en función del área del pad.	59
Figura 25.	Número de vias M5-M4 vs area del pad para una celda de pad basada en uno de los 12 diseños.	60
Figura 26.	Número de vias M5-M4 vs area del pad para una celda de pad basada en uno de los 12 diseños.	61

## LISTA DE TABLAS

	<b>pág.</b>
Tabla 1. Reglas de diseño para el cálculo de $P_{m1}$ y $P_{m2}$ .	28
Tabla 2. <i>Process corners</i> en Sky130 PDK.	33
Tabla 3. Diseños de celdas de <i>pad</i> de señal	40
Tabla 4. Ejemplo de tabla con los tiempos $t_r$ a la salida.	44
Tabla 5. Conductividades para las capas de metal de Sky130	48
Tabla 6. $t_r$ , $t_f$ y diferencia absoluta $ t_r - t_f $ para cada <i>corner</i> de proceso usado para obtener $W_N$ and $W_P$ .	54
Tabla 7. Area y función lógica de las celdas.	54
Tabla 8. Propiedades de la librería de celdas estándar.	55
Tabla 9. Resultados en CST	56
Tabla 10. Resultados en Ngspice	56
Tabla 11. Especificaciones de SigPad_6x7_12di	59

## LISTA DE ANEXOS

	<b>pág.</b>
Anexo A. Librería de celdas y códigos desarrollados	67

## RESUMEN

**TÍTULO:** DISEÑO DE CELDAS ESTÁNDAR Y CELDAS I/O PARA CÓDIGO ABIERTO \*

**AUTORES:** JHON STEVEN PINTO HERNÁNDEZ, NELSON JOSÉ RODRÍGUEZ SIERRA \*\*

**PALABRAS CLAVE:** SKY130, LIBRERÍA DE CELDAS ESTÁNDAR, ANILLO DE POTENCIA.

### DESCRIPCIÓN:

Desde la publicación del kit de diseño de procesos (PDK) de código abierto SkyWater “Sky130”, un gran número de proyectos han repercutido positivamente en la democratización del conocimiento sobre semiconductores. Sin embargo, dentro de este inmenso volumen de contribuciones, algunas áreas de diseño como el diseño físico digital y analógico no han sido explotadas debido a la falta de información en sus metodologías de diseño motivada por acuerdos de no divulgación (NDA). Para superar esta dificultad, en este proyecto de investigación, utilizando el PDK de código abierto “Sky130”, se implementó una metodología de código abierto que se aplica al diseño y caracterización de 10 celdas estándar con una altura fija de 12 pistas para aplicaciones de alta velocidad. Esta metodología obtiene las anchuras  $W_N = 0,88[\mu m]$  y  $W_P = 2,81[\mu m]$  como las dimensiones óptimas para que una celda inversora de 12 pistas cumpla la especificación de  $t_r/t_f = 1$  bajo varios *corners* de proceso. Asimismo, se presenta una metodología de diseño y caracterización de código abierto para celdas de *pad* de señal analógica, celdas de relleno y celdas de corte en las que se consideran diodos duales como protección ESD. Esta metodología de caracterización implica la determinación del modelo electromagnético de la celda de *pad* de señal como circuito RC y considera el compromiso entre ancho de banda, densidad de corriente entre capas metálicas y área. El diseño óptimo elegido para la celda de *pad* corresponde a una celda con 12 diodos y nodos  $\bar{\text{in}}\bar{\text{on}}$  tamaños de  $6\mu m \times 7\mu m$ .

---

\* Trabajo de Grado

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: Juan Sebastian Moya Baquero. Ingeniero Electrónico PhD(c). Co-director: Jaime Guillermo Barrero Perez. Ingeniero Electrónico MSc.

## ABSTRACT

**TITLE:** OPEN-SOURCE STANDARD CELL AND I/O CELL DESIGN \*

**AUTHOR:** JHON STEVEN PINTO HERNÁNDEZ, NELSON JOSÉ RODRÍGUEZ SIERRA \*\*

**KEYWORDS:** SKY130, STANDARD CELL LIBRARY, I/O RING.

### DESCRIPTION:

Since the release of the open-source SkyWater Sky130 Process Design Kit (PDK) a large number of projects have impacted positively the democratization of semiconductor knowledge. However, within this immense volume of contributions, some design areas like physical digital and analog design have not been exploited due to the lack of information in their design methodologies driven by non-disclosure agreements (NDA). To overcome this difficulty, in this research project, we implement using the open-source Sky130 PDK, a fully open-source methodology that is applied to the design and characterization of 10 standard cells with a fixed 12-track height for high-speed applications. This methodology obtains the widths  $W_N = 0.88[\mu m]$  and  $W_P = 2.81[\mu m]$  as the optimal dimensions for a 12-track inverter cell to meet the specification of  $t_r/t_f = 1$  under several process corners. Also, a fully open-source design and characterization methodology is presented for analog signal pad cells, filler cells, and cut-off cells in which dual diodes as ESD protection are considered. This characterization methodology involves the determination of the electromagnetic model of the signal pad cell as an RC circuit and considers the tradeoff between bandwidth, current density between metal layers, and area. The optimal design chosen for the pad cell corresponds to a cell with 12 diodes and in nodes with sizes of  $6\mu m \times 7\mu m$ .

---

\* Bachelor Thesis

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Advisor: Juan Sebastian Moya Baquero. Ingeniero Electrónico PhD(c). Co-advisor: Jaime Guillermo Barrero Perez. Ingeniero Electrónico MSc.

## INTRODUCCIÓN

En este capítulo, se resumen y describen los antecedentes de este trabajo, se presentan los retos técnicos, así como las contribuciones, el objetivo, el alcance y el esquema de esta disertación.

Desde julio de 2020, con el lanzamiento del PDK de código abierto <sup>1</sup> "Sky130" de Google/SkyWater, el número de proyectos e iniciativas del mundo académico, la industria y los entusiastas se ha ampliado significativamente.

Este lanzamiento ha generado un impacto positivo a nivel mundial en la democratización del conocimiento sobre semiconductores y sus aplicaciones. Ha permitido la formación, el desarrollo y la mejora de programas académicos en el campo del diseño de circuitos integrados que no podían acceder a las herramientas de diseño y a los kits de diseño de procesos (PDK), debido a sus elevados precios o a restricciones regionales.

Pese al gran número de contribuciones a la democratización del diseño de circuitos integrados, algunas áreas de diseño han quedado a menudo rezagadas debido a la escasa o nula información de sus respectivas metodologías de diseño, sobre todo a causa de los acuerdos de confidencialidad (NDA). Este es el caso del diseño de celdas estándar digitales y del diseño de celdas I/O.

La mayoría de los trabajos existentes en el diseño de celdas estándar se basan en

---

<sup>1</sup> Google. *Google/Skywater-PDK: Open Source Process Design Kit for usage with Skywater Technology Foundry's 130nm node.*

PDKs cerrados, evitando compartir el conocimiento asociado a la metodología de diseño. Además, existen varios proyectos de código abierto con librerías de celdas estándar diseñadas, pero la mayoría de ellos se basaban en PDKs no fabricables como FreePDK45<sup>2 3</sup>. Estos PDKs tienen la limitación de no estar asociados a ningún proceso real, evitando las pruebas de diseño en aplicaciones del mundo real.

Del mismo modo, el campo de las celdas I/O cuenta con información sobre el diseño, como *pads* con protección ESD para aplicaciones en banda K/Ka<sup>4</sup> y técnicas para reducir la capacitancia en el *pad* de señal<sup>5</sup>. Además, hay información relacionada con la caracterización, como la medición de la disipación de potencia en el *pad* de señal<sup>6</sup>. Aún así, actualmente no existe una metodología clara y accesible para la comunidad que cubra el proceso completo de diseño y caracterización de las celdas I/O.

Para contribuir a resolver los retos mencionados, en este proyecto de investigación

---

<sup>2</sup> Carlos H. Oliveira et al. "Ascend-Freepdk45: An open source standard cell library for asynchronous design". En: *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (2016). DOI: 10.1109/icecs.2016.7841286.

<sup>3</sup> Rabin Thapa, Samira Ataei y James E. Stine. "Wip. open-source standard cell characterization process flow on 45 nm (freepdk45), 0.18  $\mu\text{m}$ , 0.25  $\mu\text{m}$ , 0.35  $\mu\text{m}$  and 0.5  $\mu\text{m}$ ". En: *2017 IEEE International Conference on Microelectronic Systems Education (MSE)* (2017). DOI: 10.1109/mse.2017.7945072.

<sup>4</sup> Bo-Wei Peng y Chun-Yu Lin. "Low-loss I/O pad with ESD protection for K/Ka-bands applications in the nanoscale CMOS process". En: *IEEE Transactions on Circuits and Systems II: Express Briefs* 65.10 (2018), págs. 1475-1479.

<sup>5</sup> Katsumi Kikuchi et al. "A Double thick-polymer technology to realize low signal pad capacitance suitable for high-speed data transmission". En: *2009 IEEE International Interconnect Technology Conference*. IEEE. 2009, págs. 89-91.

<sup>6</sup> Tsugumichi Shibata y Daichi Ichikawa. "Temperature dependence of power dissipation in the Si substrate under the high-frequency signal pad". En: *2017 IEEE International Conference on Computational Electromagnetics (ICCEM)*. IEEE. 2017, págs. 18-20.

se aplica una metodología de código abierto con el PDK Sky130 al diseño y caracterización de 10 celdas estándar con una altura fija de 12 pistas para aplicaciones de alta velocidad. El diseño se basa en la especificación  $t_r/t_f = 1$ , donde  $(t_r)$  y  $(t_f)$  corresponden a los tiempos de subida y bajada de la señal de salida.

Continuando con las aportaciones, se presenta una metodología de diseño y caracterización totalmente de código abierto para celdas de *pad* de señal analógica, celdas de relleno y celdas de corte. Para obtener un comportamiento y prestaciones más realistas, se incluyeron los diodos de protección ESD. Esta metodología de caracterización implica el modelo electromagnético de la celda de *pad* de señal considerando el compromiso entre ancho de banda, densidad de corriente entre las capas metálicas y área.

Este artículo está organizado de la siguiente manera. La sección 1 presenta una visión general de los conceptos fundamentales sobre celdas estándar y celdas I/O necesarios para garantizar la correcta comprensión de las siguientes secciones. En la sección 2 se presenta la metodología de diseño aplicada para diseñar cada conjunto de celdas, haciendo hincapié en los procedimientos matemáticos y las simulaciones realizadas para cumplir las especificaciones. En la sección 3 se describen los diferentes métodos de caracterización empleados para medir las prestaciones de las celdas diseñadas. En la sección 4 se resumen todos los parámetros de diseño obtenidos teniendo en cuenta las especificaciones establecidas con las metodologías de diseño presentadas. Finalmente, en la sección 5 se presentan las principales conclusiones y aportaciones de este trabajo.

## 1. OBJETIVOS

### Objetivo general

- Diseñar una librería de celdas estándar y celdas principales de un anillo de potencia, ambos de libre acceso en una tecnología de 130 nanómetros utilizando herramientas de Automatización de Diseño Electrónico (EDA) de código abierto, junto al modelado electromagnético de una celda de pad.

### Objetivos específicos

- Diseñar y caracterizar una librería de celdas estándar utilizando el Kit de Diseño de Procesos SkyWater130 (PDK), soportado por las herramientas de fuente abierta Xschem, Ngspice, Magic y Netgen.
- Diseñar tres celdas base del anillo de potencia de un CI: una celda de pad, una celda de relleno y una celda de corte de dominios de tensión.
- Modelar electromagnéticamente una celda de pad considerando el compromiso entre ancho de banda, densidad de corriente y área.

## 2. COMPONENTES DE UN KIT DE DISEÑO DE PROCESO

Un kit de diseño de procesos (PDK) es esencialmente un conjunto de directrices proporcionadas por una empresa de fundición. Los equipos de diseño deben atenerse a estas directrices para garantizar que su diseño pueda ser fabricado por la empresa de fundición. Este kit incluye un manual de usuario, celdas paramétricas, modelos, reglas de diseño y disposiciones de elementos activos y pasivos. Cuando se utiliza junto con software compatible de automatización del diseño electrónico (EDA), el PDK permite una integración perfecta del proceso de diseño <sup>7</sup>. En el presente trabajo, se diseñan celdas estándar y celdas I/O utilizando el PDK “Sky130”.

### 2.1. CELDAS ESTÁNDAR

Las celdas estándar son los bloques de construcción fundamentales utilizados en el diseño de circuitos integrados digitales. Estos bloques, como inversores, compuertas NAND, compuertas NOR y flip-flops, se agrupan en una librería a la que accede el diseñador y pueden combinarse e interconectarse mediante un flujo bien definido para implementar estos circuitos integrados digitales. Este flujo ha hecho posible el diseño de la mayoría de los modernos y complejos procesadores utilizados en dispositivos informáticos destinados al usuario final, a servidores y a hardware embebido.

En términos generales, el diseño de un circuito digital es un flujo secuencial que implica diferentes pasos, como la síntesis, el *floorplanning*, *placement*, el enruta-

---

<sup>7</sup> Yulia A Novichkova et al. “Approach to Integration of a Synthesis Tool and PDK for Commercial EDA”. En: *2021 XV International Scientific-Technical Conference on Actual Problems Of Electronic Instrument Engineering (APEIE)*. IEEE. 2021, págs. 24-27.

miento, la verificación y la verificación <sup>8</sup>. Las entradas de este flujo son un diseño digital descrito en *Register-Transfer-Level* (RTL) en un Lenguaje de Descripción de Hardware (HDL) como Verilog o VHDL y, una librería de celdas estándar. Esta librería será utilizada por las herramientas de automatización del diseño electrónico (EDA) para implementar el diseño. El resultado del flujo es la disposición física del diseño, almacenada en formato GDS (*Graphic Data System*). Una vez que el diseño está listo, se envía a una fundidora para su fabricación.

El PDK proporciona una librería de celdas estándar, en la que se utiliza un conjunto de archivos con datos de cada celda en cada paso del flujo. Un archivo de formato *Liberty* (LIB) contiene las características de función lógica, temporización y potencia de la celda. El formato *Library Exchange Format* (LEF) describe las características físicas y geométricas de una celda, como la altura, el ancho, las capas de enrutamiento y la ubicación de los pines.

Durante la síntesis, la herramienta EDA utiliza los datos del archivo LIB para seleccionar las celdas que implementan la descripción lógica del diseño. A continuación, la herramienta EDA estima la temporización y la potencia consumida por el *netlist* resultante. En las etapas de *floorplanning*, *placement* y enrutamiento (PnR), la herramienta utiliza la información proporcionada por el archivo LEF para conectar las celdas y, a continuación, implementar el diseño físico del diseño <sup>9</sup>.

Es un requisito que las celdas tengan la misma altura sobre una rejilla fija para facilitar el *placement* y el enrutamiento del diseño por parte de la herramienta. Esta rejilla se compone de *tracks* verticales y horizontales hechas de los dos metales más bajos de la pila tecnológica. En el caso de sky130 se trata de metal1 y metal2, que

---

<sup>8</sup> Khosrow Golshan. *Physical Design Essentials an ASIC design implementation perspective*. Springer Science+Business Media, LLC, 2007.

<sup>9</sup> Belous Anatoly Saladukha Vitali. *Art and science of microelectronic circuit design*. Springer Nature, 2023.

se utilizarán para los *tracks* horizontales y verticales, respectivamente. Estas capas metálicas inferiores están separadas entre sí por una longitud denominada *pitch*. El espacio entre las capas de metal depende de un conjunto de reglas proporcionadas por la fundidora asociadas a la resolución mínima definida por las máquinas durante el proceso de fabricación. Además, el *track* horizontal se utiliza como unidad de referencia para establecer la altura de la celda estándar, por ejemplo, una altura de 12 *tracks*. La altura de la celda de 12 *tracks* se define entre el centro del riel de potencia (VPWR) y el centro del riel de tierra (VGND), como se muestra en la Fig. 1 8.

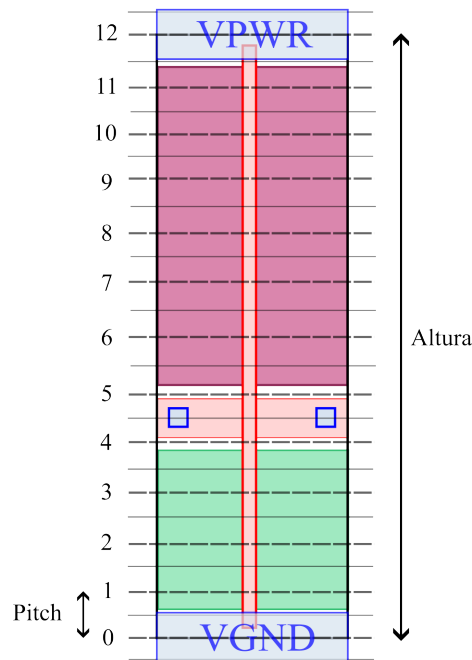


Figura 1. Celda estándar de 12 *tracks* de altura.

Por otro lado, el ancho de la celda es un múltiplo entero del paso, y se extiende hasta el múltiplo en el que la celda cabe adecuadamente. Además, los rieles de alimentación y tierra de la celda deben extenderse hasta los límites del área establecida para la celda estándar para garantizar la continuidad con los rieles de las celdas adyacentes, como se muestra en la Fig. 2.

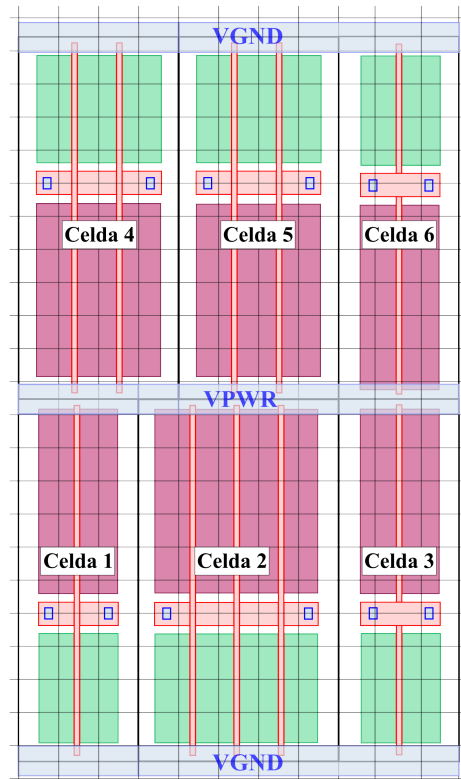


Figura 2. *Placement* de 6 celdas estándar.

La altura de las celdas establece un equilibrio entre velocidad, potencia y área. Las celdas de una librería de 11-12 *tracks* están pensadas para aplicaciones de alta velocidad y admiten un enrutamiento más complejo y una mayor fuerza de conducción, pero presentan un mayor consumo de energía, especialmente cuando los transistores están apagados (también denominada energía de fuga). Las librerías que contienen celdas con 7-8 *tracks* se utilizan para aplicaciones de bajo consumo. Por último, una altura de 9-10 *tracks* proporciona un equilibrio razonable entre área, eficiencia y rendimiento <sup>10</sup>.

<sup>10</sup> David Flynn et al. *Low Power Methodology Manual: For System-On-Chip Design*. Springer US, 2007, págs. 187-188.

La fuerza de conducción de una celda tiene una relación directamente proporcional con la relación  $W/L$ . Esta relación puede modificarse aumentando la altura de la celda, pero no es una solución adecuada para nuestra metodología de diseño. Para celdas con una altura constante, esta relación puede aumentarse incrementando el número de transistores en paralelo, de forma que el ancho efectivo  $W_{eff}$  sea proporcional al número de transistores. Por ejemplo, el ancho fijo  $W$  puede multiplicarse por un factor de 2 ( $X2$ ), 3 ( $X3$ ) o 4 ( $X4$ ), cuando se colocan dos transistores, tres transistores o cuatro transistores en paralelo, respectivamente.

## 2.2. CELDAS I/O

El anillo I/O es responsable de proporcionar y detectar señales analógicas y digitales de fuentes externas, así como los diversos dominios de alimentación requeridos por el núcleo del circuito integrado. Está conectado a los pines externos del paquete del circuito integrado mediante *bondwires*, como se muestra en la Fig. 3. Un *bondwire* es un alambre delgado para las conexiones entre el chip y la placa de circuito impreso (PCB) <sup>11</sup>. Está hecho de materiales como oro y aluminio. El anillo I/O está compuesto principalmente por celdas I/O como celdas de *pad* de señal, celdas de *pad* de alimentación, celdas de relleno y celdas de corte. Una vista simplificada del anillo I/O se presenta en la Fig. 4.

A continuación se describen brevemente las principales celdas que componen el anillo I/O.

**2.2.1. Celdas de *pad* de Señal** Las celdas de *pad* de señal son los bloques fundamentales de construcción de un anillo I/O. Su propósito es recibir señales pro-

---

<sup>11</sup> Muhammad Umar et al. "Bondwire model and compensation network for 60 GHz chip-to-PCB interconnects". En: *IEEE Antennas and Wireless Propagation Letters* 20.11 (2021), págs. 2196-2200.

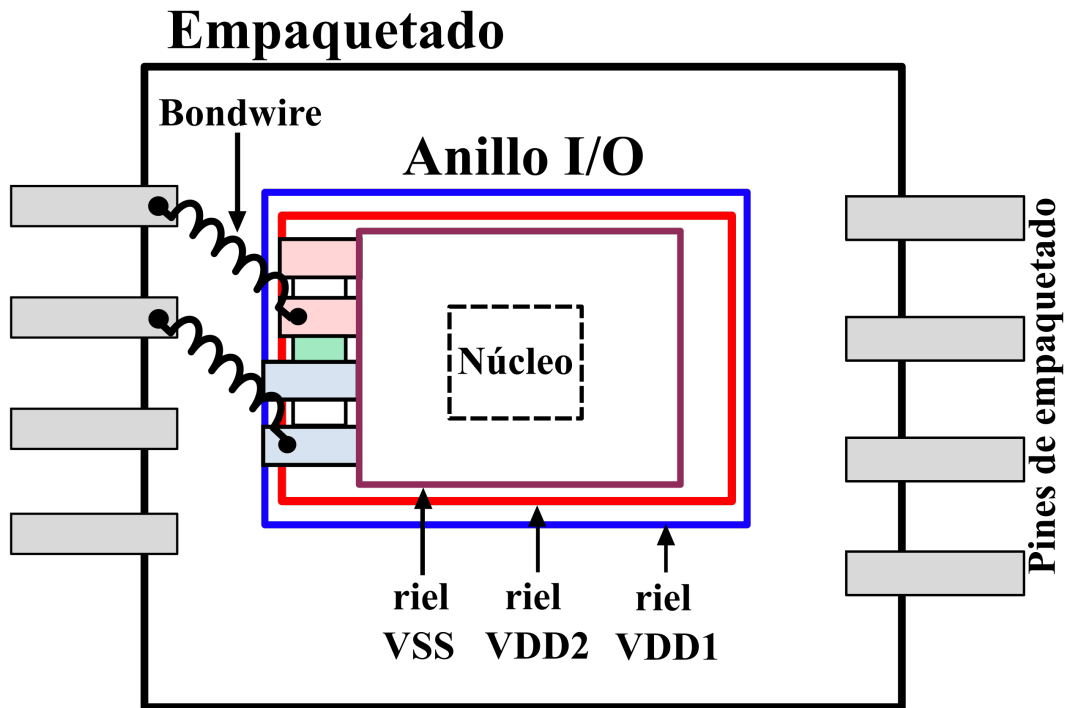


Figura 3. Estructura general de un anillo I/O.

venientes del exterior del chip, o transmitir señales desde el interior del chip hacia el exterior <sup>8</sup>. Las celdas de *pad* están compuestas principalmente por *bonding pads*, líneas de alimentación integradas y estructuras de protección contra descargas electrostáticas (ESD) <sup>12</sup>, como se muestra en la Fig. 5.

Dependiendo del propósito asignado a la celda de *pad*, un diseñador debe considerar varios factores:

- Naturaleza de la señal (ya sea digital, conocida como celdas GPIO, o analógica, conocida como celdas de *pad* analógica).
- Factor limitante (ya sea el área del núcleo o el número de *pads*).

<sup>12</sup> Egon Hörbst, Christian Müller-Schloer y Heinz Schwärtzel. *Design of VLSI circuits: based on VENUS*. Springer Science & Business Media, 2012.

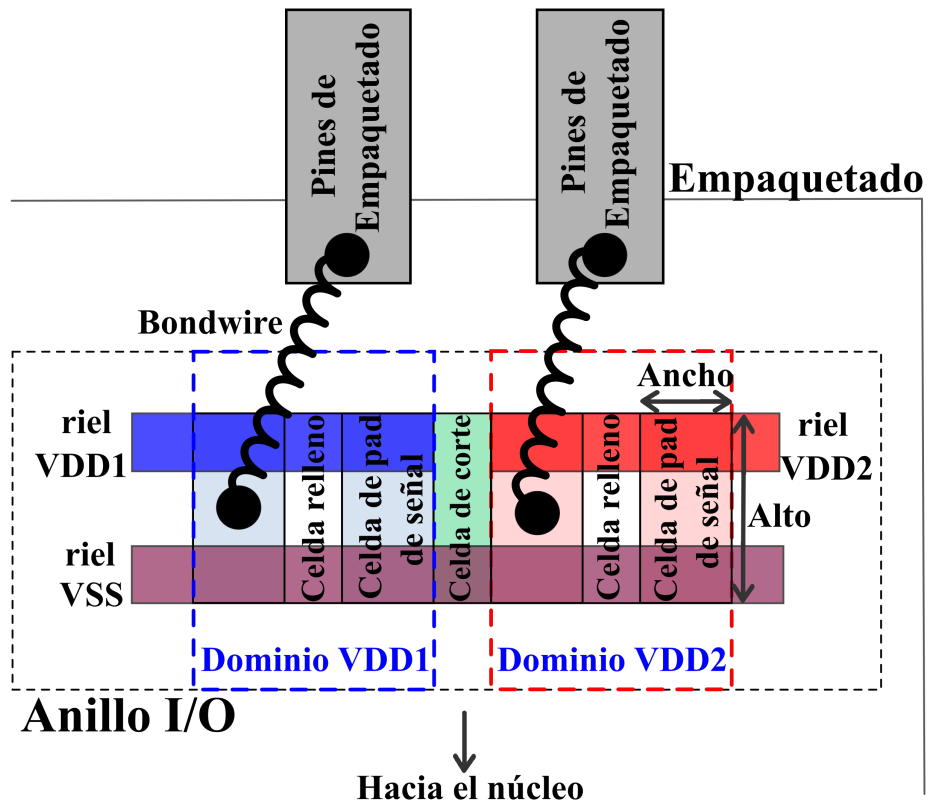


Figura 4. Porción de un anillo I/O.

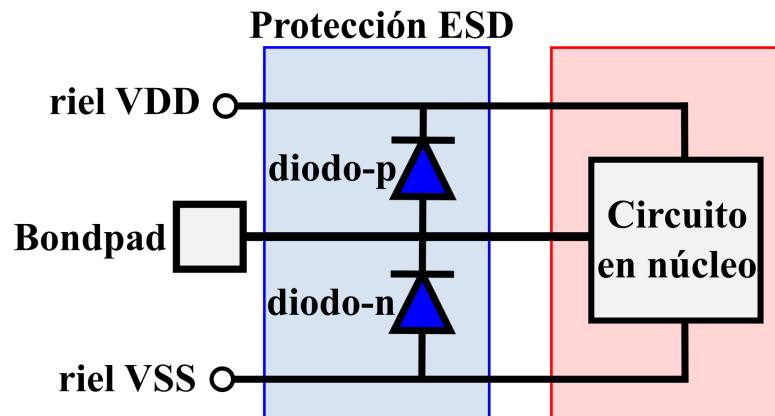


Figura 5. Esquemático de una celda de *pad* de señal.

- Número de dominios de alimentación presentes en el anillo I/O.
- Tamaño del chip.

- Área del anillo I/O.
- Instanciación o no de una estructura de protección ESD.

Una vez que se establece el área del chip y el área del núcleo es el factor limitante principal (limitado por el núcleo), la celda de *pad* se diseña con un gran ancho, y una altura lo más pequeña posible. Por otro lado, cuando el factor limitante principal es el número de *pads* en el chip (limitado por los *pads*), la celda de *pad* se diseña con una gran altura y un ancho pequeño <sup>13</sup>. Los tamaños del chip y el área del anillo I/O suelen estar sujetos a las especificaciones proporcionadas por una empresa de fundición. Sin embargo, dado que se utiliza el PDK “Sky130”, este trabajo considera la estructura Caravel proporcionada por Efabless. Caravel es una plataforma estándar de *System-on-Chip* (SoC) con recursos en el chip para controlar y realizar operaciones de lectura/escritura desde un espacio dedicado al usuario <sup>14</sup>.

**2.2.2. Celdas de Relleno y de Corte** Las celdas de relleno contienen los rieles de alimentación y tierra, y se posicionan en el espacio intermedio entre las celdas de *pad* (Fig. 4) para mantener un dominio de voltaje continuo en todo el anillo I/O, o en una parte específica del mismo <sup>15</sup>. Por otro lado, las celdas de corte están diseñadas para separar dominios de alimentación adyacentes y diferentes dentro de un circuito integrado, manteniendo al mismo tiempo la continuidad para la tierra. Garantizan la existencia de múltiples dominios de alimentación eléctricamente aislados dentro del chip <sup>16</sup>, según lo solicitado por el diseño del chip. Una vista conceptual de la celda

---

<sup>13</sup> Etienne Sicard y Sonia Ben Dhia. *Advanced CMOS cell design*. 0071488367. McGraw-Hill, 2007.

<sup>14</sup> *Efabless/Caravel: Caravel is a standard SOC harness with on-chip resources to control and read/write operations from a user-dedicated space.*

<sup>15</sup> Robert Eisenstadt. *Integrated circuits with multiple I/O regions*. 2011.

<sup>16</sup> Cadence. *TSMC 180nm Process Documentation*. 2016.

de corte se representa en la Fig. 4.

### 3. METODOLOGÍA DE DISEÑO

#### 3.1. CELDAS ESTÁNDAR

La metodología de diseño se compone de cuatro etapas bien definidas: La selección de la arquitectura de celdas, la selección de las especificaciones, el cálculo de los anchos NMOS y PMOS  $W_N, W_P$  para satisfacer las especificaciones, y la implementación del diseño.

**3.1.1. Arquitectura de la Celda** La arquitectura de la celda consiste en la selección de la altura y la fuerza de conducción. Dado que el PDK de Sky130 no integra una librería de celdas estándar de 12 *tracks*, decidimos utilizar esta altura. Una librería de 12 *tracks* permite implementar transistores más grandes que las librerías de 7 y 9 *tracks* presentes en el PDK, destinadas a aplicaciones de alta velocidad. Además, se seleccionó una fuerza de conducción de x1.

Para determinar la altura, es necesario establecer el espaciado entre *tracks*, que se denomina paso y se denota como  $P_{m1}$  y  $P_{m2}$  en la Fig. 6

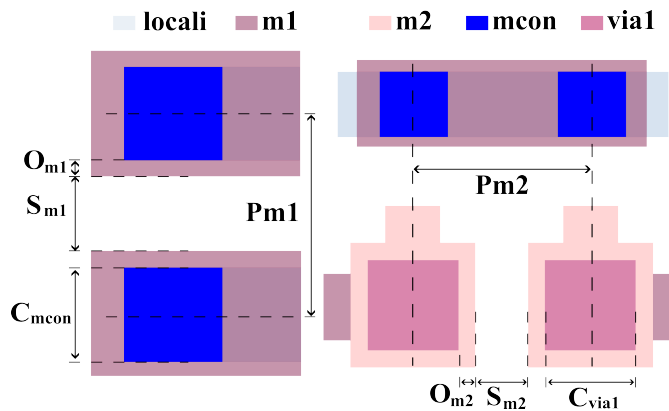


Figura 6. Pitches  $P_{m1}$  and  $P_{m2}$  para Sky130.

Estas longitudes se obtuvieron siguiendo un proceso de comprobación de reglas de diseño (DRC), que consiste en verificar que se respetan las distancias mínimas establecidas por la tecnología durante la implementación del diseño. Estas reglas pueden resumirse como sigue: El paso entre *tracks* horizontales ( $P_{m1}$ ) se basa en tres dimensiones: la separación mínima entre capas metal-1 ( $S_{m1}$ ), el solapamiento mínimo metal-1 de los contactos metálicos ( $O_{m1}$ ) y el tamaño mínimo de un contacto metálico ( $C_{mcon}$ ), tal y como se muestra en la ecuación (1). Del mismo modo, el paso de las vías verticales ( $P_{m2}$ ) se basa en la separación mínima entre las capas de metal-2 ( $S_{m2}$ ), el solapamiento mínimo de metal-2 de la vía-1 ( $O_{m2}$ ) y el tamaño mínimo de la vía-1 ( $C_{via1}$ ), tal como se indica en la ecuación (2).

$$P_{m1} = S_{m1} + 2 \left( O_{m1} + \frac{C_{mcon}}{2} \right) [\mu m] \quad (1)$$

$$P_{m2} = S_{m2} + 2 \left( O_{m2} + \frac{C_{via1}}{2} \right) [\mu m] \quad (2)$$

Todos estos valores de reglas de diseño asociados con el PDK Sky130 se resumen en la tabla 1.

Tabla 1. Reglas de diseño para el cálculo de  $P_{m1}$  y  $P_{m2}$ .

	$S[\mu m]$	$O[\mu m]$	$C[\mu m]$	$S[\mu m]$
$m_1$	0.14	0.03	0.17	0.37
$m_2$	0.14	0.03	0.26	0.46

Fuente: Elaboración propia en base al PDK SKY130.

En este trabajo, fijamos  $P_{m1} = 0,40[\mu m]$ , como práctica de *layout* adecuada, para colocar al menos dos contactos en todas las difusiones NMOS. Para  $P_{m2}$ , mantene-mos el mismo valor de  $0,46[\mu m]$ , como se indica en la Tabla 1.

Con  $P_{m1}$  determinado, se calcula la altura de la celda con la ecuación (3). El valor

obtenido es de  $4,8[\mu m]$ .

$$H_{cell} = P_{m1} \times N_{tracks} \quad (3)$$

La siguiente consideración para la arquitectura de la celda es la selección de la posición de los contactos de polisilicio en el centro de la celda. En cuanto a la posición de los dos contactos, hay dos opciones de diseño, vertical y horizontalmente como ilustran en la Fig. 7. Para lograr una mayor velocidad con un mayor ancho de los transistores, colocamos los contactos horizontalmente.

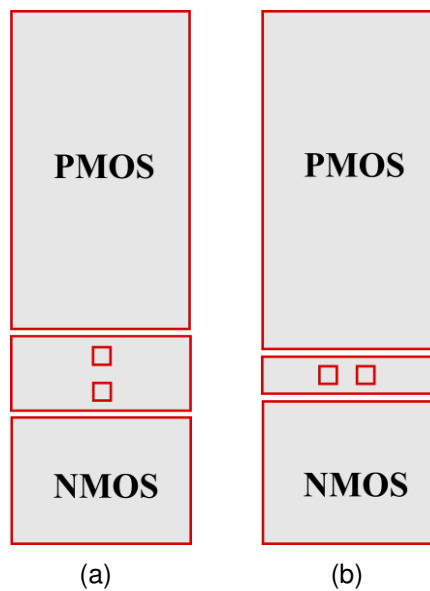


Figura 7. Posición de los contactos de polisilicio: a) Vertical, b) Horizontal

**3.1.2. Especificaciones de las Celdas** En este trabajo se diseña una librería para celdas estándar que se utilizará para circuitos lógicos combinacionales, por lo que se fija como objetivo  $t_r/t_f = 1$  para tener una señal simétrica con flancos de subida y bajada iguales.

**3.1.3. Cálculo del ancho óptima** Los anchos  $W_N$  y  $W_P$  necesarios para cumplir las especificaciones se determinan mediante un procedimiento de tres pasos: en primer lugar, se dibuja una celda de diseño de 12 *tracks* con sólo los dos transistores para determinar el espacio total disponible para los anchos de los transistores ( $W_T$ ). A continuación, se vuelve a dibujar esta celda para determinar el mínimo y el máximo de  $W_N$  y  $W_P$  y, por último, se realizan varias simulaciones para calcular las dimensiones de ancho que cumplen las especificaciones.

El valor de  $W_T$  se determinó dibujando una celda formada por un PMOS y un NMOS con ambas puertas interconectadas. Este dibujo se realizó utilizando una herramienta de diseño llamada Magic y su comprobador DRC integrado. Una vez colocados ambos transistores, se definió una expresión para el ancho total, presentada en la ecuación (4). En esta expresión, la altura de la celda ( $H$ ) se resta de las reglas DRC, como se muestra en la Fig. 8, que están asociadas con el espaciado polisilicio a polisilicio ( $PP$ ), la puerta colgante del transistor ( $HG$ ), el espaciado polisilicio a difusión ( $PD$ ), y la altura de la capa de polisilicio en el centro de la celda ( $PH$ ). Obtuvimos un  $W_T$  de  $3,69[\mu m]$  como se muestra en (5):

$$[h]W_T = H - 2 \left( \frac{PP}{2} + HG + PD \right) - PH \quad (4)$$

$$W_T = 4.8 - 2 \left( \frac{0.21}{2} + 0.13 + 0.185 \right) - 0.27 \quad (5)$$

Para determinar las posibles anchos mínimo y máximo  $W_{Nmin}$ ,  $W_{Nmax}$ ,  $W_{Pmin}$  y  $W_{Pmax}$  de ambos transistores, se redibuja la celda como se muestra en la Fig. 9. Encontramos  $W_{Nmin} = W_{Pmin} = W_{min} = 0,42[\mu m]$  y  $W_{Nmax} = W_{Pmax} = W_{max} = 3,27[\mu m]$ .

Una vez identificado el rango de valores posibles para  $W_P$  y  $W_N$ , determinamos los  $W_N$  y  $W_P$  para la especificación  $t_r/t_f = 1$ . Para lograr esta especificación, implemen-

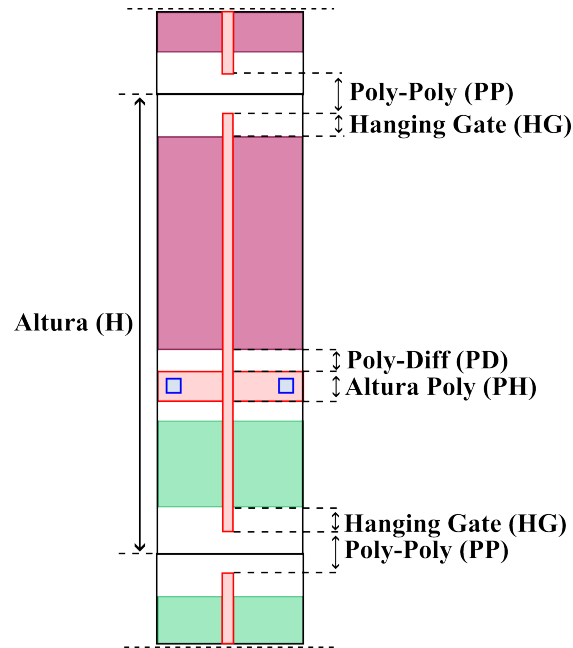


Figura 8. Reglas de diseño para el cálculo de  $W_T$ .

tamos dos bancos de pruebas: Una cadena de inversores en la Fig. 10 y un fan-out 4 (Fo4) en la Fig. 11, cada uno con un dispositivo bajo prueba (DUT) encerrado con un cuadrado rojo, que corresponde al inversor.

La cadena de inversores es un circuito formado por tres inversores idénticos en serie, mientras que el circuito Fo4 consiste en un inversor con 4 inversores idénticos conectados tanto a su entrada como a su salida.

La cadena de inversores se utiliza para determinar los tiempos de subida y bajada asociados a un comportamiento más realista. Estos tiempos se miden a la salida del DUT y se calcula su media. Este promedio se establece como la slew rate  $\tau_{in}$  o duración de la rampa de tensión de la fuente de tensión de entrada ( $V_{in}$ ) de la prueba Fo4. A continuación, en el banco de pruebas Fo4, medimos los tiempos de subida y bajada en la salida del DUT. Estas medidas de temporización se procesan mediante un algoritmo Python para encontrar los  $W_N$  y  $W_P$  en los que  $t_r/t_f = 1$ .

Los datos de simulación de la cadena de inversores se generaron mediante un script

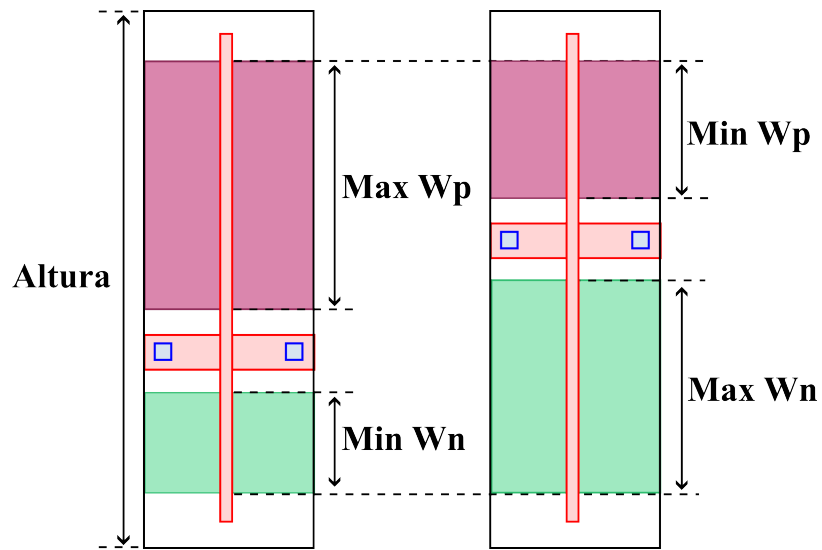


Figura 9. Cálculo de anchos máximos y mínimos para el PMOS y NMOS.

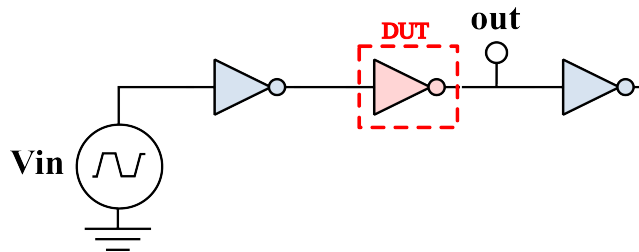


Figura 10. *Testbench* de la cadena de inversores.

de Python. Este script escribe un archivo Spice con una prueba de cadena inversora para cada proceso de esquina. Las cinco esquinas de proceso ( $T_C$ ) en Sky130 PDK se resumen en la Tabla 2. Estas esquinas de proceso describen las variaciones en las características del MOSFET, debido a las fluctuaciones en el proceso de fabricación de grabado de puerta o dopaje.<sup>17</sup>.

El script ejecuta Ngs spice en el *backend* para ejecutar los archivos *Spice* creados. Cada archivo *Spice* mide el tiempo de subida  $t_r$  y el tiempo de caída  $t_f$  mientras

<sup>17</sup> Amik Garg et al. *Advances in power systems and Energy Management ETAEERE-2016*. Springer Singapore, 2018.

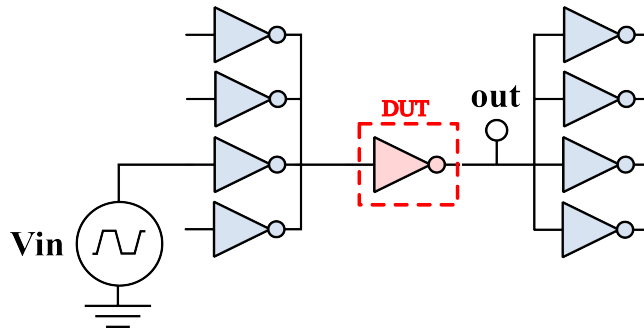


Figura 11. *Fanout4 testbench*.

Tabla 2. *Process corners* en Sky130 PDK.

Corner	NMOS	PMOS
TT	Typical	Typical
FF	Fast	Fast
SS	Slow	Slow
FS	Fast	Slow
SF	Slow	Fast

Fuente: Elaboración propia en base al PDK Sky130.

se barren los anchos de los transistores.  $W_N$  y  $W_P$  barren desde  $W_{min}$  hasta  $W_{max}$  con un tamaño de paso ( $W_{step}$ ) de  $0.005[\mu m]$ .  $W_{step}$  corresponde a la rejilla de dibujo mínima permitida por el PDK de Sky130.

Se ejecutó un número total ( $T_W$ ) de 570 simulaciones, tal y como se presenta en la ecuación (6), por *process corner* para obtener los diferentes valores de  $W_N$  y  $W_P$ :

$$T_W = \frac{W_{max} - W_{min}}{W_{step}} \quad (6)$$

$$T_W = \frac{3.27 - 0.42}{0.005} = 570 \quad (7)$$

Una vez que Ngspice ejecuta los archivos Spice, los datos exportados son procesados por un algoritmo de Python que calcula los valores medios de los tiempos de

subida y bajada utilizando la ecuación (8).

$$\tau_{in} = \frac{\sum_j^{T_W} \sum_i^{T_C} (t_{r_{ij}} + t_{f_{ij}})}{2T_W T_C} \quad (8)$$

Los datos de simulación del Fo4 se generan con un script Python similar al de la cadena de inversores. Este script escribe un archivo Spice con una prueba Fo4 para cada *corner*. El script ejecuta Ngspice para correr los diferentes archivos para calcular  $t_r$  y  $t_f$  mientras se barren  $W_N$  y  $W_P$ .

El script procesa los datos exportados en dos etapas: En la primera, promedia los  $t_r$  y  $t_f$  medidos para cada par  $(W_N, W_P)$  como indican las ecuaciones(9 y 10):

$$\bar{t}_r = \frac{\sum_i^{T_C} t_{r_i}}{T_C} \quad (9)$$

$$\bar{t}_f = \frac{\sum_i^{T_C} t_{f_i}}{T_C} \quad (10)$$

En la segunda etapa, el script traza las curvas  $\bar{t}_r$  vs  $W_N$  y  $\bar{t}_f$  vs  $W_N$  en el mismo gráfico y determina la intersección de ambas curvas. Esta intersección corresponde al valor en el que se cumple la especificación  $t_r/t_f = 1$ .

**3.1.4. Implementación de Layouts** Las celdas de diseño se dibujaron utilizando el tamaño de rejilla mínimo permitido por el PDK, que es de  $0,005[\mu m]$ . Se implementó una plantilla y se utilizó como Fig.12 representa para garantizar la altura de 12 *tracks* de la celda.

Las siguientes consideraciones se definieron durante la implementación del diseño de las celdas:

- Colocar al menos dos contactos por capa por si se pierde un contacto durante la fabricación del chip.

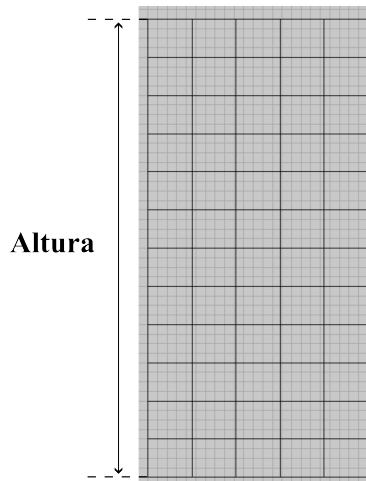


Figura 12. Plantilla de 12 tracks.

- Reducir al máximo las interconexiones metálicas para evitar capacitancias.
- Mantener la simetría con las diferentes capas.
- Ampliar la capa (*locali*) para cubrir al menos dos *tracks* asociadas a la rejilla, para ayudar a la herramienta PnR colocando contactos entre *metal1* y *locali* (*mcon*).
- Implementar un contacto para el cuerpo de los transistores NMOS y uno para el cuerpo de los transistores PMOS.

### 3.2. CELDA DE PAD DE SEÑAL

Para implementar el diseño de la celda de *pad* adecuada para el SoC Caravel y priorizar el número de *pads* sobre el área activa del núcleo, se tomó una decisión con respecto al tamaño de la celda de *pad*. Las dimensiones se determinaron como  $75\mu m \times 200\mu m$ . Además, la arquitectura general de la celda de *pad* está planificada para contener solo un riel de voltaje de polarización y tierra. Por lo tanto, el diseño consta de un único riel VDD y VSS. Finalmente, se utilizará una arquitectura es-

pecífica de *pad*, que incluye diodos con el propósito de protección ESD, como se muestra en la Fig. 5.

El diseño de la celda de *pad* en este proyecto implica la construcción de diseños desde la capa más inferior hasta la capa más superior. Por lo tanto, los diseños se realizan desde la capa *Backend* hasta la capa Metal5, según lo definido por la tecnología “Sky130”. El proceso de diseño sigue un flujo general, que se puede resumir de la siguiente manera:

1. Definir la descomposición de capas para la celda de *pad*.
2. Establecer reglas de espaciado basadas en DRC (Design Rule Check).
3. Establecer especificaciones para la creación de múltiples celdas de *pad* de señal.

A continuación se describe una celda de *pad* de señal en las diferentes capas que componen la estructura “Sky130”.

**3.2.1. Capas Backend** En esta capa se encuentran ubicados los diodos de protección ESD. Esta estructura incluye tanto diodos n como diodos p, como se ilustra en la Fig. 13(a). Los diodos n están conectados entre el nodo de entrada (cátodo) y VSS (ánodo), mientras que los diodos p están conectados entre el nodo de entrada (ánodo) y VDD (cátodo). Dado que tanto el cátodo de los diodos n como el ánodo de los diodos p comparten el mismo nodo (nodo de *pad* de conexión), cualquier nodo que represente cualquiera de estos dos terminales se definirá como un nodo *in*.<sup>en</sup> las capas de metal superiores. Dado que un nodo *in* representa un terminal del diodo, podemos establecer la siguiente expresión:

$$\#InNodes = \#Diodes$$

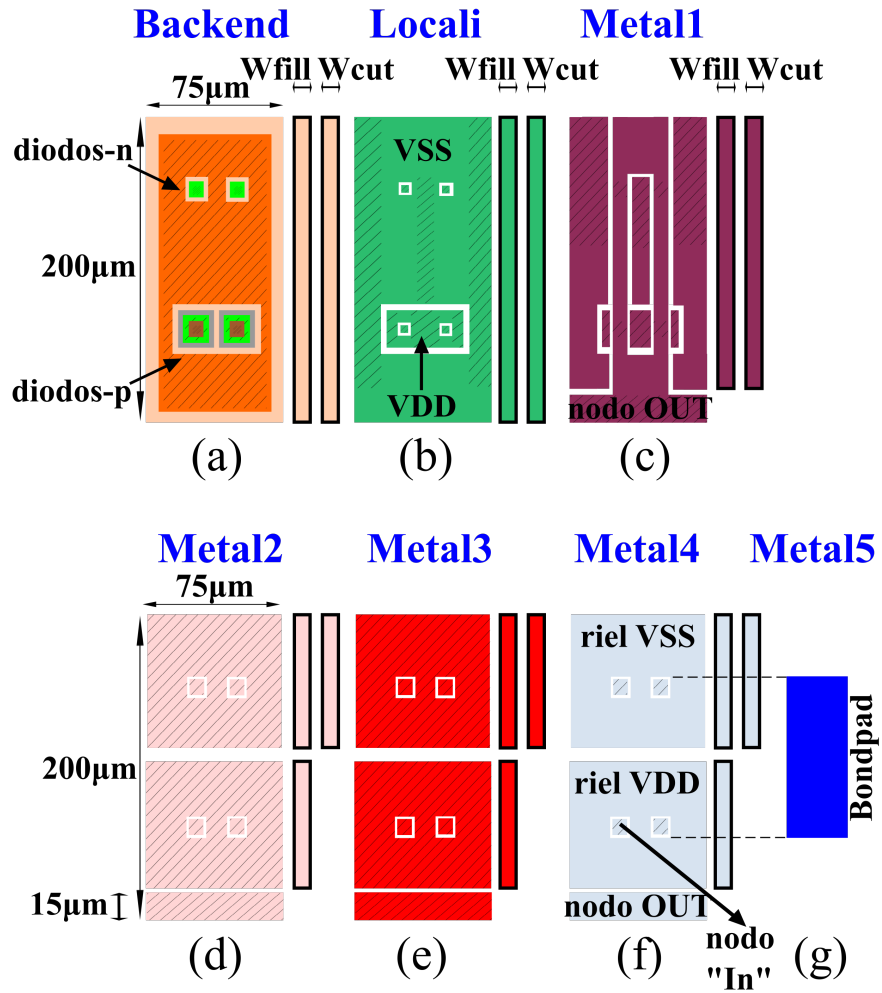


Figura 13. Desglose de capas de la celda de *pad* de señal, celda de relleno y celda de corte.

**3.2.2. Capa de Locali** En esta capa en particular, todos los cátodos de los diodos p se interconectan para crear un único nodo VDD, como se muestra en la Fig. 13(b). Este proceso de interconexión no es necesario para los diodos n, ya que sus ánodos ya están interconectados en el sustrato. Dentro de esta capa, hay tres componentes clave: el nodo VDD, el nodo VSS y los nodos "in".

**3.2.3. Capa de Metal1** A partir de esta capa surge un nodo llamado nodo "out". Este nodo "out" es donde se interconectan la entrada y la salida de la celda de *pad*. Por lo tanto, todos los nodos "in" están conectados al nodo "out" (ver Fig. 13(c)). Los nodos VDD y VSS ocupan el área restante disponible y mantienen la misma topología que en la capa de Locali.

**3.2.4. Capas Metal2 a Metal4** En esta pila de capas se implementan el nodo "out", los rieles VDD y VSS, y cada nodo "in" también se crea por separado. Esto se hace para maximizar el área de los rieles de alimentación.

**3.2.5. Capa Metal5** Esta capa contiene únicamente el *bonding pad*, donde los nodos "in" nuevamente se interconectan en un solo nodo, como se muestra en la Fig. 13(g).

A continuación, se presentan las reglas de espaciado establecidas para priorizar el área en los rieles VDD y VSS, que se muestran en la Fig. 14.

- $1\mu m$  entre bordes de metal
- $2\mu m$  entre rieles
- $2\mu m$  entre difusión de tipo p y borde de celda
- $1\mu m$  entre difusión de tipo p y pozo n
- $1\mu m$  entre difusión de tipo n y pozo n

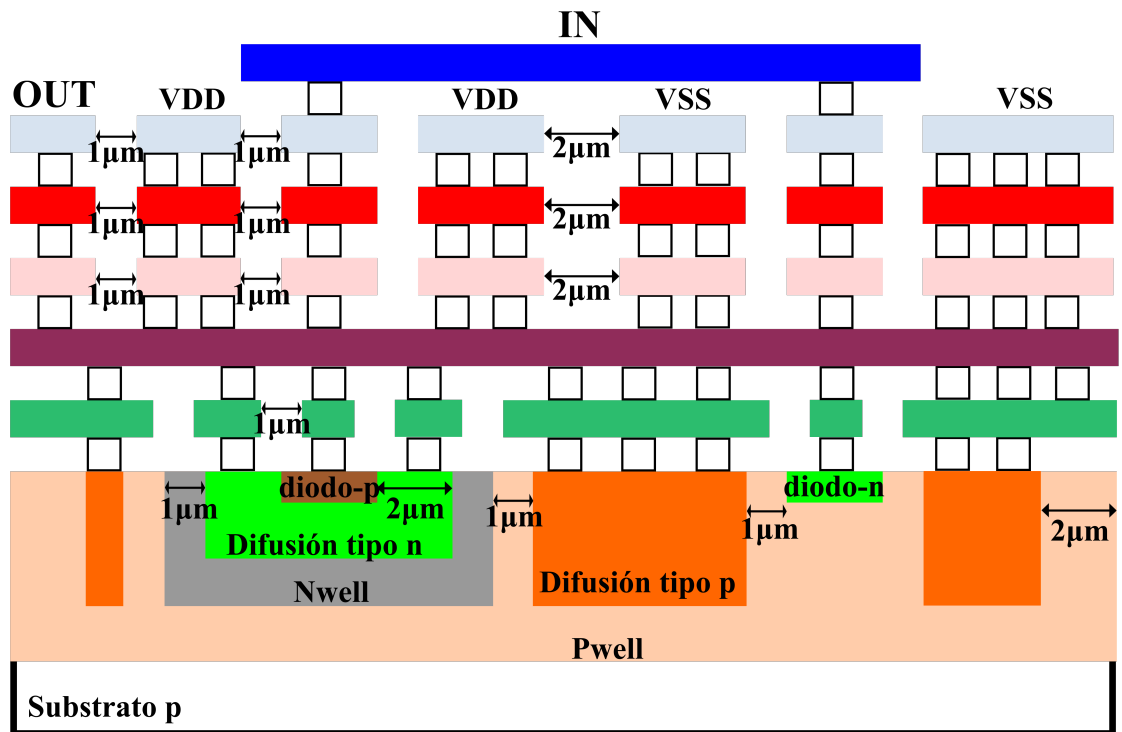


Figura 14. Vista en sección transversal de la celda de *pad* con reglas de espaciado.

Después de definir la estructura de cada capa y establecer las reglas de espaciado para la celda de *pad*, es posible crear una celda de diseño que tenga un número específico de nodos *in* con un tamaño particular. Para establecer un criterio claro para proponer un diseño y estudiar el ancho de banda, la corriente máxima y el área de la celda de *pad* en función del tamaño y el número de nodos *in*, este proyecto presenta 12 diseños diferentes de celda de *pad*, variando la cantidad de nodos *in* y los tamaños de los nodos *in*.

El punto de partida para crear estas celdas es definir el tamaño del nodo *out*. En este caso, se ha elegido un nodo *out* de  $75\mu m \times 15\mu m$ , que ocupa el 7.5% del área de la celda de *pad*. Esto se hace para priorizar el área en los anillos de VDD y VSS. Para asegurar que la corriente esté limitada por los nodos *in* en lugar del nodo *out*, y teniendo en cuenta que se utilizará un máximo de 12 diodos, el área del nodo *out* se divide en 12 partes iguales. Esta división determina el tamaño máximo

permitido para el nodo "in".

$$\begin{aligned}
 Area_{Out\_Node} &\geq \sum_{i=1}^{12} Area_{In\_Node\_i} \\
 Area_{Out\_Node} &\geq 12 \cdot Area_{In\_Node} \\
 \Rightarrow Area\_Max_{In\_Node} &\leq \frac{Area_{Out}}{12} \leq 93\mu m^2 \quad (11)
 \end{aligned}$$

Para asegurar que la distancia entre los nodos "in" sea la misma que la distancia entre los nodos "in"z el borde del riel, se establece una longitud de nodo "in" de  $10\mu m$ . El ancho se determina utilizando la siguiente expresión:

$$W_{In\_Node} = \left\lfloor \frac{Area\_Max_{In\_Node}}{L_{In\_Node}} \right\rfloor = 9\mu m$$

En este proyecto, se establecieron tres conjuntos de diseños con diferentes tamaños para el nodo "in". Además, cada diseño en un conjunto específico tiene una cantidad diferente de nodos "in". El tamaño del nodo "in" para el primer conjunto ya ha sido calculado, y los tamaños de los nodos "in" para los otros dos conjuntos de diseños se obtienen multiplicando el tamaño máximo por  $1/3$  y  $2/3$ .

Para asegurar que todos los diseños compartieran la misma corriente a través de los diodos, el tamaño de los nodos "in" para Locali y el tamaño de los contactos se mantuvieron iguales para todos los diseños, utilizando el tamaño mínimo calculado. Las especificaciones para los 12 diseños se presentan en la Tabla 3, y la Fig. 15 muestra las vistas de diseño correspondientes.

Tabla 3. Diseños de celdas de *pad* de señal

Tamaño nodos "In" / # Nodos "In"	2	4	6	12
$3\mu m \times 4\mu m$	Diseño1	Diseño2	Diseño3	Diseño4
$6\mu m \times 7\mu m$	Diseño5	Diseño6	Diseño7	Diseño8
$9\mu m \times 10\mu m$	Diseño9	Diseño10	Diseño11	Diseño12

Fuente: Elaboración propia.

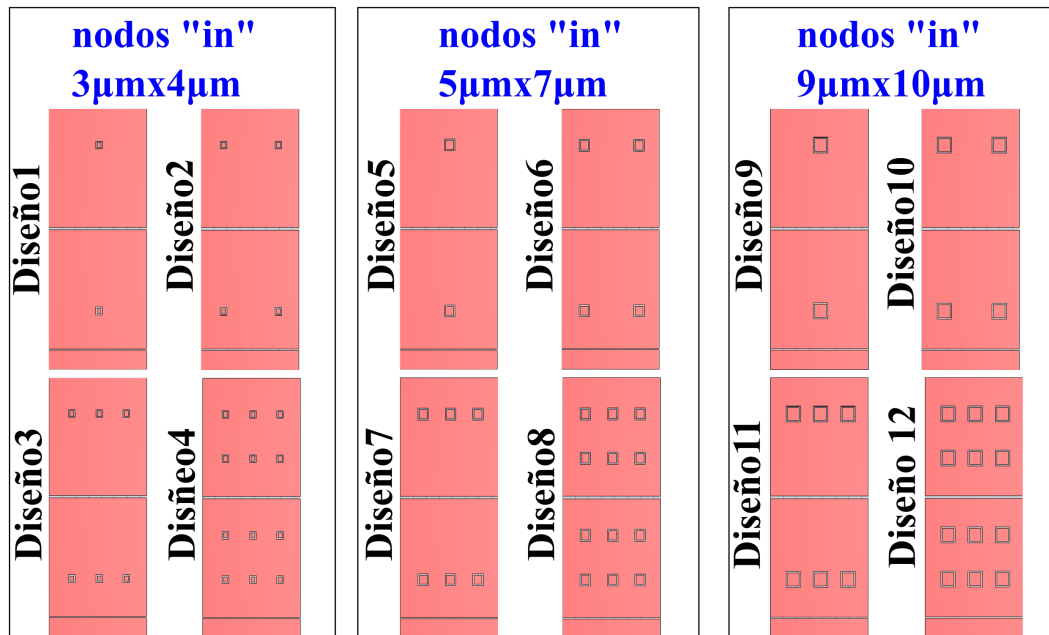


Figura 15. Vista de diseño en Metal3 para los 12 diseños de *pad* de señal.

### 3.3. CELDAS DE RELLENO Y CORTE

Como se mencionó en la sección anterior, las celdas de relleno y corte son responsables de mantener la continuidad del dominio de voltaje y de cortar el dominio de voltaje, respectivamente. Después de definir la arquitectura de las celdas de *pad*, también se define la estructura de las celdas de relleno y corte para asegurar la continuidad tanto del sustrato como de los rieles de alimentación, como se muestra en la Fig. 13. Al avanzar en las capas desde *Backend* hasta *Metal4*, se observa que el nodo VSS se vuelve más pequeño. Esto ocurre debido a que sigue el mismo patrón que el *pad* de señal en cuanto al área de VSS. Para ofrecer a los diseñadores una mayor flexibilidad en cuanto a la distancia entre las celdas de *pad*, este trabajo presenta celdas de relleno y corte con anchos de  $1\mu\text{m}$ ,  $5\mu\text{m}$ ,  $10\mu\text{m}$  y  $20\mu\text{m}$ .

## 4. CARACTERIZACIÓN

### 4.1. CARACTERIZACIÓN DE CELDAS ESTÁNDAR

La caracterización de la celda consiste en proporcionar información sobre la función lógica de la celda, la temporización y el rendimiento energético, en un formato de archivo denominado *Liberty*<sup>TM</sup> (LIB) que será utilizado por las herramientas EDA durante el flujo de diseño físico. Esta sección se centra en la identificación de la función lógica de la celda y su caracterización de temporización.

Las medidas de tiempo de salida que se entregan al diseñador son el tiempo de subida ( $t_r$ ), el tiempo de caída ( $t_f$ ) y los retardos de propagación ( $t_{phl}$ ,  $t_{plh}$ ) para cada celda. Estos tiempos de caracterización se calculan en condiciones de funcionamiento específicas: la duración de la rampa de tensión de entrada o *slew time* ( $\tau_{in}$ ) y la capacitancia de carga de salida ( $C_L$ )<sup>18</sup>.

Las medidas de temporización en las salidas  $t_r$ ,  $t_f$ ,  $t_{phl}$  y  $t_{plh}$  se realizan con respecto a cada puerto de entrada de la celda. Para cada caso, el pin a caracterizar se estimula con una señal de pulso mientras que el resto de puertos se manejan con una combinación bien definida de valores lógicos de tal forma que la salida  $Y$  pasa a ser función únicamente del pin a caracterizar, tal y como se muestra en la Fig. 16. Observamos en la Fig. 16 que durante la caracterización del rendimiento del pin A1, los otros pines (A2, B1, y B2) de la celda AOI22 se establecen a un valor fijo, establecido por el diseñador.

Cada parámetro de temporización,  $t_r$ ,  $t_f$ ,  $t_{phl}$ ,  $t_{plh}$  se calcula para cada par de valores

---

<sup>18</sup> Nadine Azemard y Lars Svensson. *Integrated circuit and system design. power and timing modeling, Optimization and Simulation: 17th International Workshop, Patmos 2007, Gothenburg, Sweden, September 3-5, 2007, Proceedings*. Springer Berlin Heidelberg, 2007.

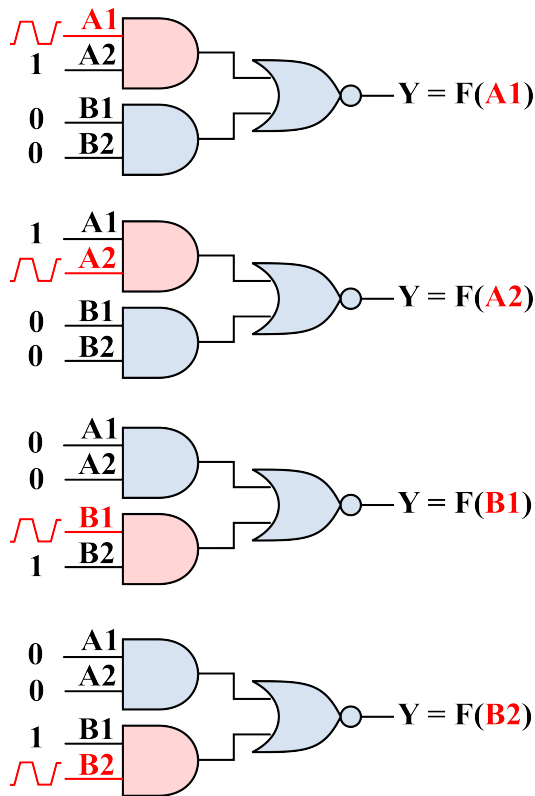


Figura 16. Proceso de caracterización de la celda AOI22.

( $\tau_{in}, C_L$ ). Definimos una lista de *slew times*  $[0, 1n, 0, 2n, 0, 4n, 0, 8n, 1, 6n, 3, 2n]$  y una lista de cargas de salida  $[0, 05p, 0, 1p, 0, 2p, 0, 4p, 0, 8p, 1, 6p]$  para su caracterización. A continuación, ejecutamos las simulaciones asociadas a los valores mencionados anteriormente para construir las cuatro tablas, para  $t_r, t_f, t_{phl}$ , y  $t_{plh}$ . Estas tablas se presentan en el formato LIB como se ilustra en el Código 4.1 para  $t_r$ , donde  $index\_1$  y  $index\_2$  representan los valores de la capacitancia de carga y las *slew times*, respectivamente. La tabla 4 presenta el Código LIB 4.1 en un formato tabular para ilustrar la relación entre índices y valores.

El proceso de caracterización se realizó mediante un script en Python. Este script llamado `dsc.py` que significa *Digital Standard Cell Characterizer*, toma el archivo

```

index_1("0.05, 0.1, 0.2, 0.4, 0.8, 1.6");
index_2("0.1, 0.2, 0.4, 0.8, 1.6, 3.2");
values("tr11, tr12, tr13, tr14, tr15, tr16", \
"tr21, tr22, tr23, tr24, tr25, tr26", \
"tr31, tr32, tr33, tr34, tr35, tr36", \
"tr41, tr42, tr43, tr44, tr45, tr46", \
"tr51, tr52, tr53, tr54, tr55, tr56", \
"tr61, tr62, tr63, tr64, tr65, tr66");

```

Code 4.1. Ejemplo de tabla con los tiempos  $t_r$  a la salida en formato LIB.

Tabla 4. Ejemplo de tabla con los tiempos  $t_r$  a la salida.

$\tau_{in}$	$C_L$					
	0.05p	0.1p	0.2p	0.4p	0.8p	1.6p
0.1n	tr11	tr12	tr13	tr14	tr15	tr16
0.2n	tr21	tr22	tr23	tr24	tr25	tr26
0.4n	tr31	tr32	tr33	tr34	tr35	tr36
0.8n	tr41	tr42	tr43	tr44	tr45	tr46
1.6n	tr51	tr52	tr53	tr54	tr55	tr56
3.2n	tr61	tr62	tr63	tr64	tr65	tr66

Fuente: Elaboración propia.

de disposición de celdas, una lista de valores  $C_L$  en picofaradios [ $pF$ ] y una lista de  $\tau_{in}$  en nanosegundos [ $ns$ ] como se muestra en el Código 4.2. Además, es posible especificar la ruta de instalación de sky130 PDK si difiere de la ruta de la librería estándar /usr/local/.

```

python3 dsc.py cell.mag \
--output-loads="0.05, 0.1, 0.2, 0.4, 0.8, 1.6" \
--slew-rates="0.1, 0.2, 0.4, 0.8, 1.6, 3.2" \
--pdk-root=/home/user/cad \

```

Code 4.2. Utilización de la herramienta de caracterización.

Este script extrae el modelo *Spice* de la celda de diseño y un algoritmo identifica la función lógica del *netlist* y crea un archivo *Spice* por pin de entrada. A continua-

ción, ejecuta cada archivo utilizando *Ngspice*, que es el motor de simulación, en el *backend* para generar los datos de temporización de salida.

Cada archivo *Spice* tiene una sección de control dividida en dos bloques de código: el primer código declara una tabla de verdad para establecer los valores fijos de los pines restantes y también define una fuente de tensión de pulso para estimular el pin a caracterizar. Esta sección itera hasta que una combinación de la tabla de verdad define la salida  $Y$  en función del pin a caracterizar. El segundo código ejecuta la simulación con los valores  $\tau_{in}$  y  $C_L$  especificados para medir el  $t_r$ ,  $t_f$ ,  $t_{phl}$  y  $t_{plh}$ .

Una vez finalizada la simulación, *Ngspice* exporta los datos de temporización en ficheros de formato *.raw*, que son leídos y formateados por otro algoritmo para generar el fichero LIB de la celda caracterizada.

## 4.2. CARACTERIZACIÓN DE CELDAS DE PAD DE SEÑAL

Esta sección aborda la caracterización del *pad* de señal considerando cuatro aspectos de diseño: ancho de banda, modelo electromagnético, densidad de corriente máxima a través de cada capa metálica y número máximo de *pads* en el anillo I/O. Debido a la naturaleza del *pad* de señal como una celda de interconexión entre una fuente de señal de baja o alta frecuencia fuera del chip y la entrada del circuito principal, este proyecto modela el *pad* de señal como una línea de transmisión. Para evaluar el rendimiento del *pad* de señal cuando se requiere la transferencia máxima de potencia, el proyecto utiliza un banco de pruebas estándar para altas frecuencias que establece la resistencia del circuito generador y la resistencia de carga en 50 Ohmios<sup>6</sup>. Además, considerando la capacitancia típica de la punta de la sonda de un osciloscopio, se agrega un capacitor de 20pF en la salida de la *pad* de señal, como se muestra en la Fig. 17.

Para determinar el ancho de banda del *pad* de señal, es necesario obtener su res-

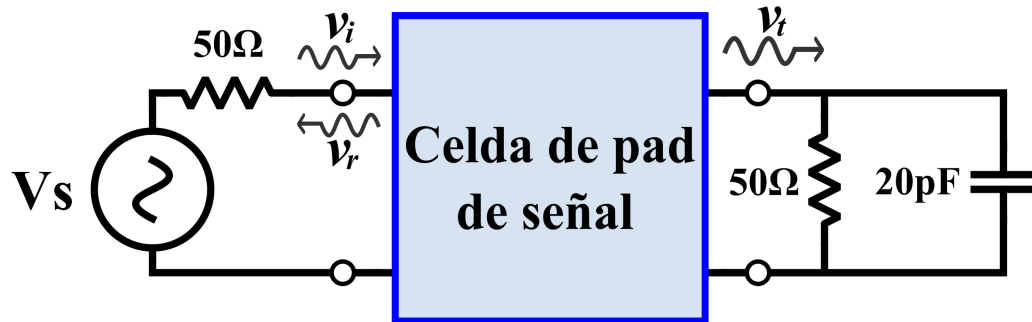


Figura 17. testbench de la celda de *pad* de señal con resistencias de 50 Ohmios tanto en la entrada como en la salida.

puesta en frecuencia, la cual puede obtenerse a partir de los parámetros de dispersión. Estos parámetros de dispersión (parámetros S) se utilizan ampliamente en circuitos de alta frecuencia para describir las características de un circuito de dos puertos. Representan cómo se transmiten y reflejan las componentes de onda de potencia desde los puertos de entrada y salida de un circuito <sup>19</sup>. La respuesta en frecuencia se representa mediante el parámetro de ganancia directa ( $S_{21}$ ). Además, al considerar el coeficiente de reflexión ( $S_{11}$ ), es posible calcular aspectos como la pérdida de disipación de potencia en el *pad* <sup>6</sup>. Estos parámetros se definen de la siguiente manera:

$$S_{21} = \frac{v_t}{v_i} \qquad S_{11} = \frac{v_r}{v_i} \qquad (12)$$

La respuesta en frecuencia (parámetro  $S_{21}$ ) se obtuvo utilizando dos paquetes de software diferentes: CST Studio Suite y Ngspice. Ambos paquetes de software consideran las capas de metal de “Sky130”, cuyas conductividades pueden calcularse en función de la resistencia por cuadrado y la profundidad de cada capa en el Dia-

<sup>19</sup> Reto B Keller. *Design for Electromagnetic Compatibility–In a Nutshell: Theory and Practice*. Springer Nature, 2023.

grama de la Pila de Procesos <sup>20</sup>, utilizando la siguiente expresión:

$$Conductivity = \frac{1}{Resistance \cdot Depth} [S/m]$$

Los valores de conductividad para cada una de las capas de la tecnología “Sky130” se muestran en la Tabla 5. Además, se realizaron las siguientes consideraciones específicas para cada software:

- En CST, la celda de pad de señal solo contiene las capas de metal. Esto se debe a la falta de acceso a los parámetros eléctricos de los materiales de los diodos.
- El circuito simulado en Ngspice y representado en la Fig. 17 genera un error, ya que asume un cortocircuito entre los nodos de entrada y salida. Esto se debe a que no hay ningún elemento entre ellos. Este error suprime los elementos parásitos y hace imposible caracterizar la celda de pad. Para resolver este problema, se agrega una resistencia adicional de cero ohmios en la entrada de la celda de pad. Esta resistencia se incluye como parte de la celda y tiene dimensiones de  $2\mu m \times 1cm$  para asegurarse de que su resistencia sea lo más cercana a cero posible.

En este proyecto, el pad de señal se modela como un circuito RC. La resistencia se refiere a la que se encuentra entre la entrada y la salida del pad de señal. La capacitancia se aproxima utilizando el método de placas paralelas <sup>6</sup>, donde la capacitancia total se encuentra entre la salida y la tierra. La representación del modelo RC se ilustra en la Fig. 18.

A continuación se presenta el proceso detallado para obtener los valores de R, C y ancho de banda del pad de señal.

---

<sup>20</sup> SkyWater. *SkyWater SKY130 PDK Documentation*. 2020.

Tabla 5. Conductividades para las capas de metal de Sky130

	Resistencia [ $m\Omega/sq$ ]	Profundidad [ $\mu m$ ]	Conductividad [ $S/m$ ]
Locali	12800	0.1	$7.81 \cdot 10^5$
Metal1	125	0.36	$2.22 \cdot 10^7$
Metal2	125	0.36	$2.22 \cdot 10^7$
Metal3	47	0.845	$2.52 \cdot 10^7$
Metal4	47	0.845	$2.52 \cdot 10^7$
Metal5	29	1.26	$2.74 \cdot 10^7$
MCON	152000	0.44	$1.50 \cdot 10^4$
VIA	4500	0.27	$8.23 \cdot 10^5$
VIA2	3410	0.42	$6.98 \cdot 10^5$
VIA3	3410	0.39	$7.52 \cdot 10^5$
VIA4	380	0.505	$5.21 \cdot 10^6$

Fuente: SkyWater.

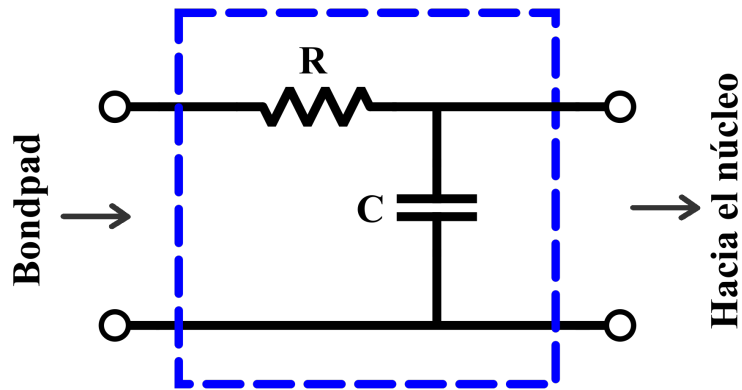


Figura 18. Modelo electromagnético de la celda de pad.

1. La ecuación (12) se utiliza junto con el modelo electromagnético mostrado en la Fig. 18 y el banco de pruebas ilustrado en la Fig. 17 para calcular la resistencia del modelo electromagnético RC.

$$S_{21}(0 Hz) = \frac{50}{R + 50}$$

$$\Rightarrow R = \frac{50}{S_{21}(0 Hz)} - 50 \text{ } [\Omega] \quad (13)$$

2. Con base en la frecuencia de corte de la respuesta y la ecuación (13), la capacitancia se puede calcular de la siguiente manera:

$$f_{c1} = \frac{1}{(R \parallel 50)(C + 20 \cdot 10^{-12})}$$

$$\Rightarrow C = \frac{R + 50}{50R \cdot f_{c1}} - 20 \cdot 10^{-12} [F] \quad (14)$$

3. Finalmente, considerando que la capacitancia equivalente de la punta de una sonda de osciloscopio es de 20pF, el ancho de banda del pad de señal se calcula con la siguiente expresión:

$$BW = \frac{1}{R(C + 20 \cdot 10^{-12})} [Hz] \quad (15)$$

Una vez que determinamos la expresión para el ancho de banda del pad de señal, continuamos con el siguiente parámetro de diseño, que es la corriente máxima que el pad de señal puede soportar.

La corriente máxima de una celda de pad de señal es un parámetro crucial en términos de su caracterización. Este parámetro depende de variables como el umbral de corriente antes de la electromigración del metal <sup>21</sup>, el número de vias de metal5 a metal4 y sus respectivos tamaños.

$$I_{max} = \#Vias_{M5M4} \cdot W_{via} \cdot J_{max} [A]$$

Dado que se carecía de acceso a la información sobre el umbral de corriente para la electromigración, se decidió presentar la corriente máxima de una celda de pad de señal como función del número de vias entre metal5 y metal4.

---

<sup>21</sup> R Jacob Baker. *CMOS: Circuit Design, Layout, and Simulation*. John Wiley & Sons, 2019.

Finalmente, el último parámetro de diseño es la cantidad de pads que pueden caber dentro de un anillo de potencia. Para este estudio, esta caracterización se llevará a cabo teniendo en cuenta la plataforma SoC Caravel. Para comenzar el proceso de obtención de este parámetro, debemos definir varias afirmaciones. Supongamos que el área de un anillo de potencia se representa como se muestra en la Fig. 19:

$$IO\_Ring_{Total\_Area} = L\_die \cdot W\_die \quad (16)$$

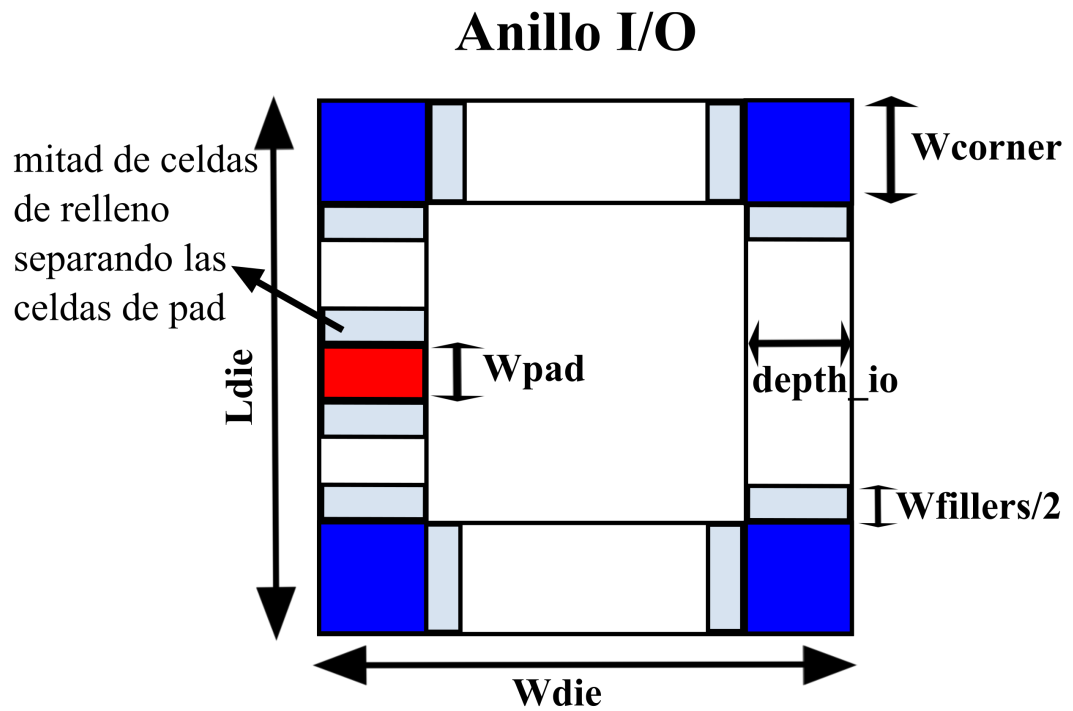


Figura 19. Vista simplificada de un anillo de potencia.

Ahora, consideremos el área de la mitad de las celdas de relleno que separan una celda de pad de señal de otra. Al posicionar esta área en el borde de cada celda de esquina o celda de pad de señal (ver Fig. 19), el área ocupada por las celdas de esquina y el área ocupada por una celda de pad de señal se pueden definir de la siguiente manera:

$$Corner_{Area} = 4depth_{io} \cdot (depth_{io} + W_{fillers}) \quad (17)$$

$$SignalPad_{Area} = depth_{io} \cdot (W_{pad} + W_{fillers}) \quad (18)$$

Utilizando las ecuaciones 16, 17 y 18, es posible determinar el número de pads en el anillo de entrada/salida de la siguiente manera:

$$\#Pads = \left\lfloor \frac{IO\_Ring_{Total\_Area} - Corner_{Area}}{SignalPad_{Area}} \right\rfloor$$

$$\#Pads = \left\lfloor \frac{2}{W_{pad} + W_{filler}} (W_{die} + L_{die} - 4depth_{io} - 2W_{filler}) \right\rfloor \quad (19)$$

## 5. RESULTADOS

### 5.1. CELDAS ESTÁNDAR

Los valores  $W_N$  y  $W_P$  obtenidos con el banco de pruebas Fo4 fueron  $0,88[\mu m]$  y  $2,81[\mu m]$  respectivamente. Estos valores se calcularon como la intersección de las curvas  $\bar{t}_r$  vs  $W_N$  y  $\bar{t}_f$  vs  $W_N$  como se muestra en la Fig. 20. Como se informó anteriormente, la especificación se definió como  $\bar{t}_r/\bar{t}_f = 1$ .

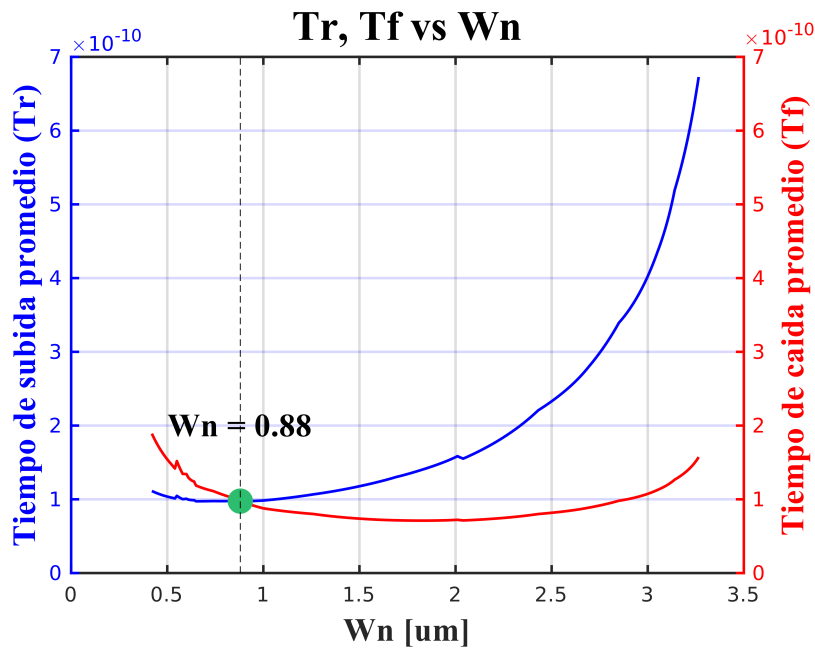


Figura 20. Intersección en la cual  $\bar{t}_r/\bar{t}_f = 1$

Para probar el diseño de la celda con las anchos obtenidas, se implementó un inversor mostrado en la Fig. 21 utilizando estas dimensiones y se probó en un banco de pruebas Fo4 para diferentes esquinas de proceso. Durante las simulaciones de las esquinas se midieron  $t_r$ ,  $t_f$  y su diferencia absoluta  $|t_r - t_f|$  y se obtuvieron como se presenta en la Tabla 6.

La mayor diferencia entre los resultados obtenidos es de  $37,8232[ps]$ , que es un va-

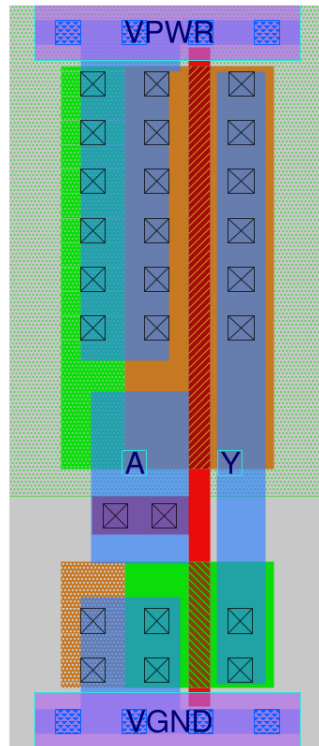


Figura 21. *Layout* de la celda inversora de 12 tracks diseñada con Magic.

lor aceptable según la tecnología utilizada. Para implementar la librería de celdas estándar, se diseñaron diez celdas utilizando los valores de referencia para  $W_N$  y  $W_P$  obtenidos durante la fase de diseño del inversor. Las celdas estándar diseñadas y caracterizadas fueron *INV*, *BUFF*, *NAND2*, *NOR2*, *AOI21*, *OAI21*, *AOI22*, *OAI22*, *AOI211*, y *OAI211*. La tabla 7 presenta el área de disposición y la función lógica asociada a cada celda.

Las principales propiedades utilizadas durante la fase de diseño de las distintas celdas se describen en la Tabla 8. En esta tabla se observan los valores asociados al paso, la altura de la celda, la fuerza de conducción, la tensión de funcionamiento (VPWR), el ancho de los dispositivos NMOS y PMOS, los modelos utilizados del PDK Sky130 y las condiciones de funcionamiento  $\tau_{in}$  y  $C_L$  para la caracterización.

Tabla 6.  $t_r$ ,  $t_f$  y diferencia absoluta  $|t_r - t_f|$  para cada *corner* de proceso usado para obtener  $W_N$  and  $W_P$ .

Corner	$t_r$ [ps]	$t_f$ [ps]	$ t_r - t_f $ [ps]
TT	124.1033	119.9666	4.136700
FF	96.91158	97.44748	0.5359000
SS	168.8683	154.2748	14.59350
FS	107.6150	124.7381	17.12310
SF	160.9117	123.0885	37.82320

Fuente: Elaboración propia.

Tabla 7. Area y función lógica de las celdas.

Celda	Area	Función
INV	8.83	!A
BUFF	11.04	A1
NAND2	11.04	!(A1 & B1)
NOR2	11.04	!(A1   B1)
AOI21	15.46	!((A1 & A2)   B1))
OAI21	15.46	!((A1   A2) & B1))
AOI22	19.87	!((A1 & A2)   (B1 & B2))
OAI22	19.87	!((A1   A2) & (B1   B2))
AOI211	19.87	!((A1 & A2)   B1   C1)
OAI211	19.87	!((A1   A2) & B1 & C1))

Fuente: Elaboración propia.

Para cada una de las celdas estándar diseñadas, la biblioteca contiene cinco archivos que serán utilizados por futuros diseñadores:

- La implementación física o layout (.mag).
- La vista abstracta con información asociada a la geometría, los pines de contacto y las capas metálicas (.lef).
- El modelo con resistencias y capacitancias parásitas (.spice).
- La función lógica y la caracterización de temporización (.lib).

Tabla 8. Propiedades de la librería de celdas estándar.

Propiedad	Valor
$P_{m1}$	0.40[um]
$P_{m2}$	0.46[um]
Y-Grid	12-Tracks
Altura	4.80[um]
Driving Strength	X1
VPWR	1.8[v]
$W_N$	0.88[um]
$W_P$	2.81[um]
Dispositivo NMOS usado	sky130_fd_pr__nfet_01v8
Dispositivo PMOS usado	sky130_fd_pr__pfet_01v8
$\tau_{in}$	0.1n, 0.2n, 0.4n, 0.8n, 1.6n, 3.2n
$C_L$	0.05p, 0.1p, 0.2p, 0.4p, 0.8p, 1.6p

Fuente: Elaboración propia.

- Los datos de temporización se presentan en un formato tabular para su post-procesamiento (.txt).

## 5.2. CELDAS I/O

A continuación, se presenta una descripción de los resultados obtenidos en CST y Ngspice en relación con el ancho de banda. La Tabla 9 y la Tabla 10 muestran los resultados del proceso de extracción explicado por las ecuaciones 13, 14 y 15 para las simulaciones realizadas en CST y Ngspice.

Se observan dos diferencias principales entre ambas tablas:

- Los valores de resistencia obtenidos en Ngspice y CST difieren significativamente. Esto se debe a que la celda diseñada en CST tiene menos vías en comparación con el diseño original utilizado en Ngspice. La razón para utilizar menos vías es evitar tiempos de simulación largos. Más vías resultan en una resistencia más baja, lo que explica la disparidad entre las dos simulaciones.

Tabla 9. Resultados en CST

Diseño	R [ $\Omega$ ]	C [nF]	BW [MHz]	Vias M5-M4
Diseño1	1.462	2.491	272.477	8
Diseño2	1.203	3.146	262.451	16
Diseño3	1.358	2.817	259.678	24
Diseño4	1.248	3.029	262.660	48
Diseño5	1.064	3.423	273.056	32
Diseño6	1.270	3.031	258.088	64
Diseño7	1.224	3.181	255.211	96
Diseño8	1.356	2.839	257.857	192
Diseño9	0.944	3.884	271.368	60
Diseño10	1.335	2.931	253.933	120
Diseño11	1.381	2.879	249.679	180
Diseño12	1.377	2.831	254.647	360

Fuente: Elaboración propia.

Tabla 10. Resultados en Ngspice

Diseño	R [m $\Omega$ ]	C [nF]	BW [MHz]	Vias M5-M4
Diseño1	149.952	26.17	254.668	8
Diseño2	152.538	27.43	238.867	16
Diseño3	155.171	27.36	235.364	24
Diseño4	162.981	26.04	235.420	48
Diseño5	155.576	25.64	250.471	32
Diseño6	164.750	26.11	232.331	64
Diseño7	174.593	25.28	226.371	96
Diseño8	204.477	21.67	225.431	192
Diseño9	164.757	24.62	246.293	60
Diseño10	185.567	23.83	225.942	120
Diseño11	205.518	22.32	217.806	180
Diseño12	269.435	17.18	215.769	360

Fuente: Elaboración propia.

- La capacitancia obtenida por Ngspice es significativamente mayor que la obtenida por CST. Esto se puede atribuir al hecho de que la celda modelada en CST no incluye los diodos, que contribuyen significativamente a sus capacitancias parásitas en el ancho de banda. La ausencia de estas capacitancias

disminuye el valor total de la capacitancia, lo que explica la discrepancia entre los dos resultados.

La información contenida en las tablas 9 y 10 se puede visualizar en las Figuras 22 y 23, ya que graficamos el ancho de banda en función del número de vias M5-M4 para ambas simulaciones de CST y Ngspice.

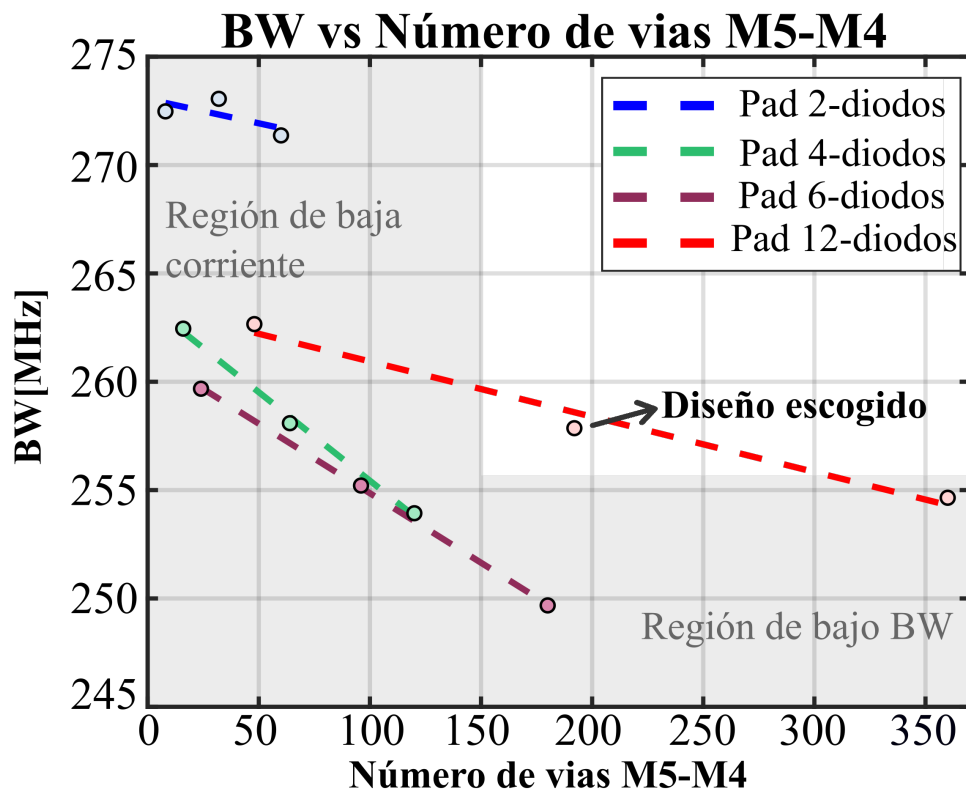


Figura 22. BW vs I<sub>max</sub> obtenido usando CST Studio Suite.

Las aproximaciones realizadas en CST han mostrado un impacto significativo en la resistencia y la capacitancia del modelo electromagnético, lo que se traduce en errores significativos para el ancho de banda de la celda de pad de señal. Por lo tanto, se eligieron los resultados concluyentes obtenidos por Ngspice (Tabla 10). Sin embargo, los resultados obtenidos tanto por CST como por Ngspice se tuvieron en cuenta para seleccionar el diseño óptimo.

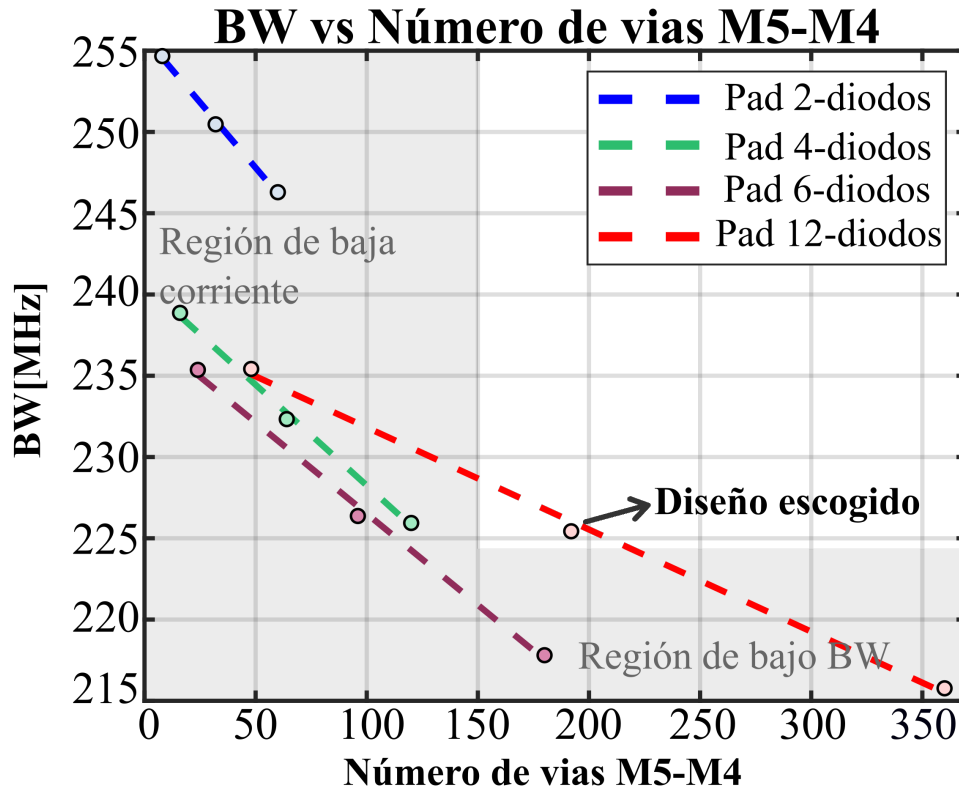


Figura 23. BW vs  $I_{max}$  obtenido usando Ngspice.

Durante la selección del diseño óptimo, los diseños con 4 y 6 diodos fueron los primeros en descartarse. Esto se debió a que los diseños con 12 diodos superaron a los mencionados diseños en términos de ancho de banda y corriente máxima. Los diseños con 2 diodos pueden resultar atractivos debido a su alto ancho de banda, pero su corriente máxima insignificante hizo que el conjunto de diseños con 12 diodos fuera la elección óptima.

Finalmente, para proporcionar un diseño que se encuentre dentro del rango medio de ancho de banda, se eligió el diseño con 12 diodos y tamaños de nodo  $in$  de  $6\mu m \times 7\mu m$ . Utilizando la Ecuación 19 y considerando el diseño elegido, se pueden colocar hasta 57 celdas de pads en el Caravel SoC. La curva generalizada para cualquier área de celda de pad de señal se presenta en la Figura 24. Las especificaciones para el diseño elegido se muestran en la Tabla 11.

Tabla 11. Especificaciones de SigPad\_6x7\_12di

R [mΩ]	C [nF]	BW [MHz]	#M5-M4 vias	#Pads en Caravel
204.47	21.67	225.43	192	57

Fuente: Elaboración propia.

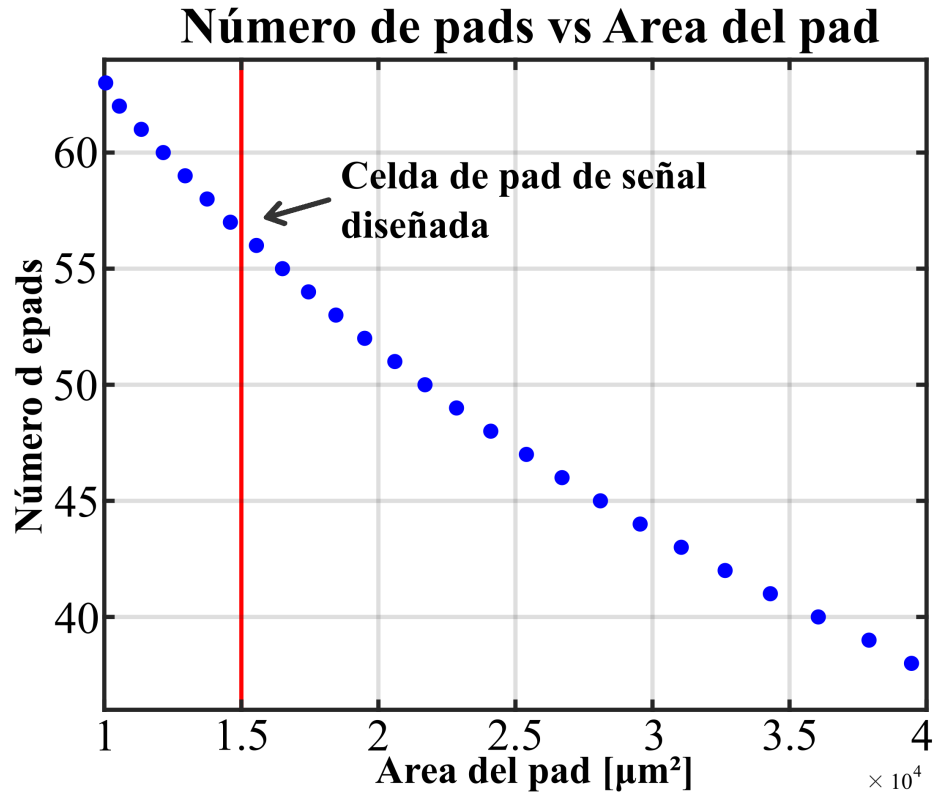


Figura 24. Número de pads que caben entro el SoC de Caravel en función del área del pad.

Al diseñar una celda de pad de señal desde cero, es útil contar con una curva que relacione la corriente máxima de la celda de pad de señal con su área. Por lo tanto, y limitándonos solo a las celdas que son diseños escalados de cualquiera de los 12 diseños ya propuestos, se propone la corriente máxima como:

$$\#Vias = Pad\_area \frac{\#Vias_{scaled\_design}}{A_{scaled\_design}}$$

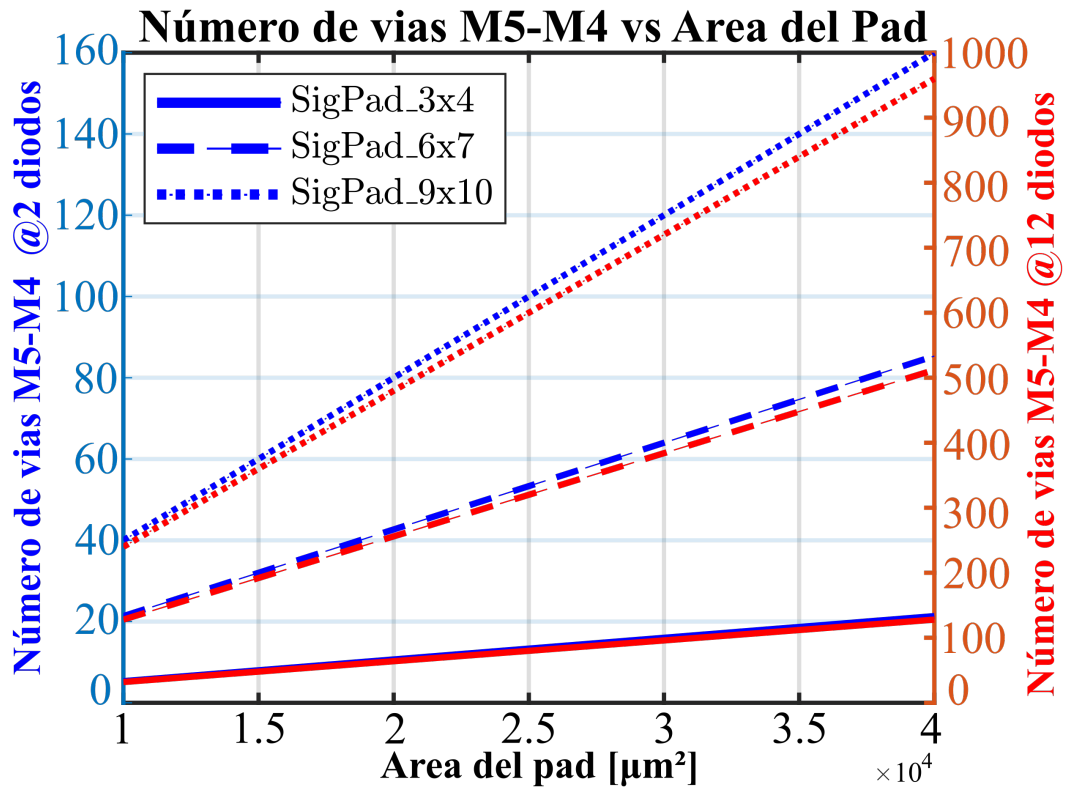


Figura 25. Número de vias M5-M4 vs area del pad para una celda de pad basada en uno de los 12 diseños.

La relación descrita anteriormente se muestra en la Fig. 25 y Fig. 26.

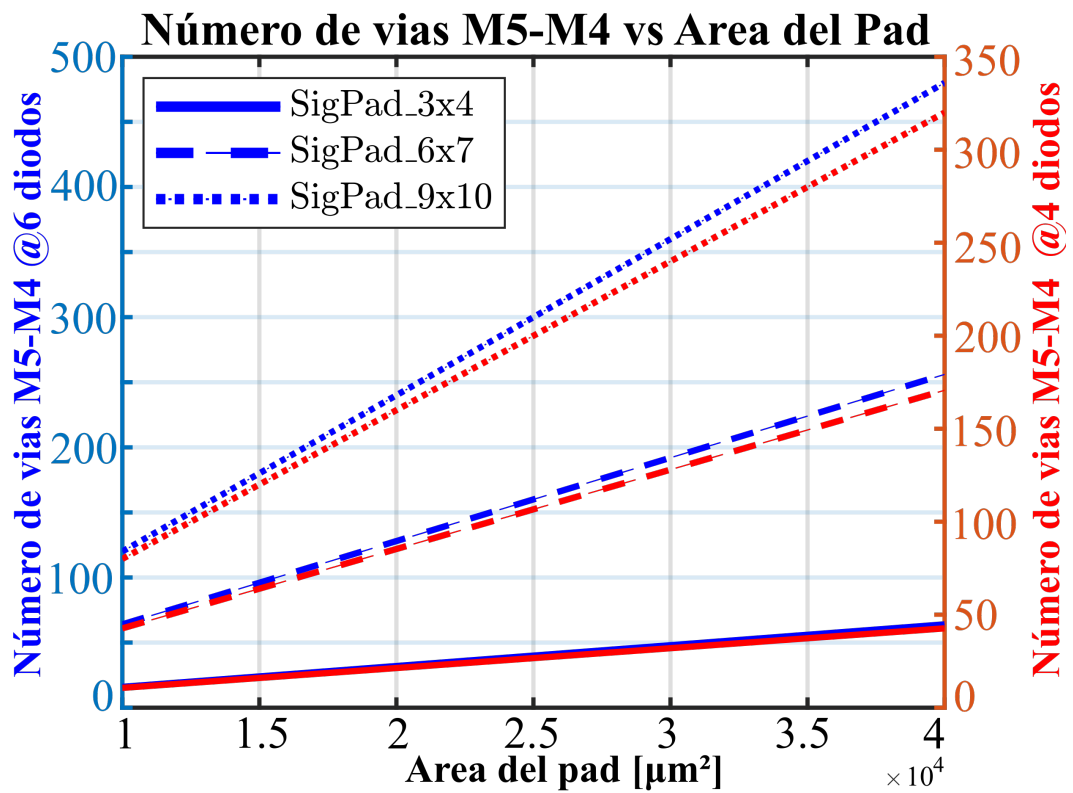


Figura 26. Número de vias M5-M4 vs area del pad para una celda de pad basada en uno de los 12 diseños.

## 6. CONCLUSIONES

En este proyecto, se presentó una metodología de diseño y caracterización para una librería de celdas estándar y un conjunto de celdas I/O implementadas en el PDK “Sky130”.

La metodología de diseño de celdas estándar determinó las anchuras  $W_N = 0,88[\mu m]$  y  $W_P = 2,81[\mu m]$  como las dimensiones óptimas para que una celda inversora de 12 pistas cumpliera la especificación de  $t_r/t_f = 1$  bajo las esquinas de proceso TT, SS, FF, SF y FS. Además, se diseñaron diez celdas combinatoriales con los  $W_N$  y  $W_P$  obtenidos durante la fase de inversor de diseño para implementar una librería de celdas estándar. Proponemos un código que caracteriza la librería, identifica la función lógica asociada a cada celda y mide el  $t_r$ ,  $t_f$ ,  $t_{phl}$  y  $t_{plh}$ . Las medidas de temporización se desarrollaron en cada celda bajo un rango típico de condiciones de funcionamiento para  $\tau_{in}$  y  $C_L$ . Además, la librería contiene cinco archivos asociados a los layouts (.mag), geometría (.lef), modelo eléctrico (.spice), caracterización lógica y de temporización (.lib) y datos de temporización para postprocesado (.txt) para cada celda.

Las celdas I/O diseñadas incluían celdas de *pad* de señal, celdas de relleno y celdas de corte, todas las cuales contienen sólo un riel VDD y un riel VSS. El diseño óptimo elegido para la celda de *pad* corresponde a una celda con 12 diodos y nodos inçon tamaños de  $6\mu m \times 7\mu m$ . La celda de *pad* de señal tiene un modelo electromagnético equivalente a un circuito RC. Los parámetros R, C y ancho de banda del modelo electromagnético se determinaron utilizando parámetros de dispersión  $S_{21}$ . Debido al efecto significativo de las aproximaciones realizadas en el software CST sobre la resistencia y la capacitancia, los resultados obtenidos en Ngspice se consideraron concluyentes.

Entre los posibles trabajos futuros que podrían complementar este trabajo, es po-

sible aplicar la metodología de diseño en cada celda estándar para obtener sus respectivos óptimos  $W_N$  y  $W_P$ . Asimismo, es deseable incluir el cálculo del consumo energético y las medidas de temporización para las celdas secuenciales.

En cuanto a las celdas I/O, existen varias opciones como caracterizar la celda calculando la corriente máxima en amperios o presentar una metodología de diseño para cualquier área de celda de *pad* de señal. Sin embargo, un posible trabajo futuro con gran utilidad en el trabajo descrito en este proyecto es diseñar la celda en CST, incluyendo tanto los diodos duales como todo el *layout* de diseño.

## BIBLIOGRAFÍA

- Azemard, Nadine y Lars Svensson. *Integrated circuit and system design. power and timing modeling, Optimization and Simulation: 17th International Workshop, Patmos 2007, Gothenburg, Sweden, September 3-5, 2007, Proceedings*. Springer Berlin Heidelberg, 2007 (vid. pág. 42).
- Baker, R Jacob. *CMOS: Circuit Design, Layout, and Simulation*. John Wiley & Sons, 2019 (vid. pág. 49).
- Cadence. *TSMC 180nm Process Documentation*. 2016 (vid. pág. 25).
- Efabless/Caravel: Caravel is a standard SOC harness with on-chip resources to control and read/write operations from a user-dedicated space*. (Vid. pág. 25).
- Eisenstadt, Robert. *Integrated circuits with multiple I/O regions*. 2011 (vid. pág. 25).
- Flynn, David et al. *Low Power Methodology Manual: For System-On-Chip Design*. Springer US, 2007, págs. 187-188 (vid. pág. 21).
- Garg, Amik et al. *Advances in power systems and Energy Management ETAEERE-2016*. Springer Singapore, 2018 (vid. pág. 32).
- Golshan, Khosrow. *Physical Design Essentials an ASIC design implementation perspective*. Springer Science+Business Media, LLC, 2007 (vid. págs. 19, 20, 23).
- Google. *Google/Skywater-PDK: Open Source Process Design Kit for usage with Skywater Technology Foundry's 130nm node*. (Vid. pág. 14).

- Hörbst, Egon, Christian Müller-Schloer y Heinz Schwärtzel. *Design of VLSI circuits: based on VENUS*. Springer Science & Business Media, 2012 (vid. pág. 23).
- Keller, Reto B. *Design for Electromagnetic Compatibility–In a Nutshell: Theory and Practice*. Springer Nature, 2023 (vid. pág. 46).
- Kikuchi, Katsumi et al. “A Double thick-polymer technology to realize low signal pad capacitance suitable for high-speed data transmission”. En: *2009 IEEE International Interconnect Technology Conference*. IEEE. 2009, págs. 89-91 (vid. pág. 15).
- Novichkova, Yulia A et al. “Approach to Integration of a Synthesis Tool and PDK for Commercial EDA”. En: *2021 XV International Scientific-Technical Conference on Actual Problems Of Electronic Instrument Engineering (APEIE)*. IEEE. 2021, págs. 24-27 (vid. pág. 18).
- Oliveira, Carlos H. et al. “Ascend-Freepdk45: An open source standard cell library for asynchronous design”. En: *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS) (2016)*. DOI: 10.1109/icecs.2016.7841286 (vid. pág. 15).
- Peng, Bo-Wei y Chun-Yu Lin. “Low-loss I/O pad with ESD protection for K/Ka-bands applications in the nanoscale CMOS process”. En: *IEEE Transactions on Circuits and Systems II: Express Briefs* 65.10 (2018), págs. 1475-1479 (vid. pág. 15).
- Shibata, Tsugumichi y Daichi Ichikawa. “Temperature dependence of power dissipation in the Si substrate under the high-frequency signal pad”. En: *2017 IEEE International Conference on Computational Electromagnetics (ICCEM)*. IEEE. 2017, págs. 18-20 (vid. págs. 15, 45-47).

Sicard, Etienne y Sonia Ben Dhia. *Advanced CMOS cell design*. 0071488367. McGraw-Hill, 2007 (vid. pág. 25).

SkyWater. *SkyWater SKY130 PDK Documentation*. 2020 (vid. pág. 47).

Thapa, Rabin, Samira Ataei y James E. Stine. “Wip. open-source standard cell characterization process flow on 45 nm (freepdk45), 0.18  $\mu\text{m}$ , 0.25  $\mu\text{m}$ , 0.35  $\mu\text{m}$  and 0.5  $\mu\text{m}$ ”. En: *2017 IEEE International Conference on Microelectronic Systems Education (MSE)* (2017). DOI: 10.1109/mse.2017.7945072 (vid. pág. 15).

Umar, Muhammad et al. “Bondwire model and compensation network for 60 GHz chip-to-PCB interconnects”. En: *IEEE Antennas and Wireless Propagation Letters* 20.11 (2021), págs. 2196-2200 (vid. pág. 22).

Vitali, Belous Anatoly Saladukha. *Art and science of microelectronic circuit design*. Springer Nature, 2023 (vid. pág. 19).

## **ANEXOS**

### **Anexo A. Librería de celdas y códigos desarrollados**

Repositorio GitHub