

LOW-POWER DELTA-SIGMA DATA CONVERTER

JOAN SEBASTIAN SANTAMARIA CALDERON

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICOMECÁNICAS  
ESCUELA DE INGENIERÍAS  
ELÉCTRICA, ELECTRÓNICA Y DE TELECOMUNICACIONES  
BUCARAMANGA  
2021

LOW-POWER DELTA-SIGMA DATA CONVERTER

JOAN SEBASTIAN SANTAMARIA CALDERON

Trabajo de Grado para optar al título de  
Ingeniero Electrónico

Director  
Elkim Felipe Roa Fuentes,  
Philosophy Doctor.

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICOMECÁNICAS  
ESCUELA DE INGENIERÍAS  
ELÉCTRICA, ELECTRÓNICA Y DE TELECOMUNICACIONES  
BUCARAMANGA  
2021

## CONTENIDO

	pág.
<b>INTRODUCCIÓN</b>	<b>9</b>
<b>1. OBJETIVOS</b>	<b>11</b>
<b>2. ESTUDIO DE LA MODULACIÓN DELTA-SIGMA</b>	<b>12</b>
2.1. PRINCIPIOS DE LA MODULACIÓN DELTA-SIGMA	12
2.2. MODULACIÓN DELTA-SIGMA DE BAJA TENSIÓN	14
<b>3. SELECCIÓN DEL MODULADOR Y DISEÑO DE LOS COMPONENTES</b>	<b>17</b>
3.1. EL INVERSOR COMO AMPLIFICADOR	19
3.2. OTROS ELEMENTOS DEL DISEÑO	22
<b>4. ESTRUCTURA DEL MODULADOR</b>	<b>25</b>
4.1. ORDEN Y TASA DE SOBREMUESTREO	25
4.2. ARQUITECTURA	26
4.3. IMPLEMENTACIÓN	27
<b>5. RESULTADOS DE SIMULACIÓN</b>	<b>29</b>
5.1. CONFIGURACIÓN DE LA SIMULACIÓN	29
5.2. RESULTADOS DE LA PRUEBA DE PSD	30
5.3. CONSUMO DE POTENCIA	31
<b>6. TRABAJO FUTURO</b>	<b>32</b>
<b>7. BONO</b>	<b>33</b>
<b>8. CONCLUSIONES</b>	<b>34</b>



## LISTA DE FIGURAS

	<b>pág.</b>
Figura 1. Modulador $\Delta\Sigma$ de primer orden con realimentación de 1 bit.	13
Figura 2. Limitaciones de baja tensión: a) Interruptor CMOS; b) Etapa de entrada diferencial.	15
Figura 3. Integrador de tiempo discreto basado en inversor CMOS.	18
Figura 4. Inversor CMOS.	19
Figura 5. Esquemático para simulación de la velocidad máxima del inversor.	21
Figura 6. Esquemático del circuito para la elevación de la señal de reloj.	22
Figura 7. Implementación del cuantizador de 1-bit.	23
Figura 8. Diagrama de bloques del modulador delta-sigma.	26
Figura 9. Estructura del modulador $\Delta\Sigma$ implementado.	27
Figura 10. Gráficas de la PSD de la señal de salida para las esquinas PVT para dos casos: con amplitud DC y sin amplitud DC.	30

## LISTA DE TABLAS

	<b>pág.</b>
Tabla 1. Resultados de la prueba del inversor para estimar la máxima velocidad de reloj posible para el integrador.	22
Tabla 2. SNR ideal para diferentes valores de N y OSR.	26
Tabla 3. Valores de SNR para las diferentes esquinas de PVT.	31

## RESUMEN

**TÍTULO:** CONVERTOR DE DATOS DELTA-SIGMA DE BAJA POTENCIA \*

**AUTOR:** JOAN SEBASTIAN SANTAMARIA CALDERON \*\*

**PALABRAS CLAVE:** System-on-chip, Low-Power, Delta-Sigma, ADC.

### DESCRIPCIÓN:

En este documento se presenta el proceso de diseño de un convertor de datos analógico-a-digital (ADC) tipo modulador delta-sigma ( $\Delta\Sigma$ ), que utiliza una baja tensión de alimentación y requiere de un reducido consumo de potencia. Este sistema es diseñado para usarse en aplicaciones de audio y es implementable en un *System-on-chip* (SoC), que utilice un proceso de fabricación de bajo costo de 180nm. Partiendo de un análisis de los retos de diseño para sistemas de baja tensión y de las topologías de modulación delta-sigma reportadas, se presenta la selección y la implementación del modulador, donde se tienen en cuenta las limitaciones del proceso de fabricación disponible para este proyecto. Además, se presentan las pruebas realizadas para determinar el rendimiento del convertor de datos diseñado, considerando variaciones de proceso, voltaje y temperatura (PVT) que puedan degradar el comportamiento del mismo. El modulador delta-sigma presenta una relación señal a ruido mínima de 55dB para la peor esquina de variación PVT junto con un consumo de potencia máximo de  $193\mu W$ , operando con una tensión de alimentación nominal de 0.9V y con un ancho de banda máximo de 8kHz para su señal de entrada. Por último, se presentan brevemente los aportes académicos en los que se participé durante el transcurso de mis estudios de pregrado.

---

\* Trabajo de grado

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: Elkim Felipe Roa Fuentes, Philosophy Doctor.

## ABSTRACT

**TITLE:** LOW-POWER DELTA-SIGMA DATA CONVERTER \*

**AUTHOR:** JOAN SEBASTIAN SANTAMARIA CALDERON \*\*

**KEYWORDS:** System-on-chip, Low-Power, Delta-Sigma, ADC.

### DESCRIPTION:

This document presents the design process of an analog-to-digital data converter (ADC) implemented as a delta-sigma ( $\Delta\Sigma$ ) modulator, that uses a low supply voltage and requires a reduced power consumption for its operation. This ADC is designed to be used in audio applications and can be implemented in a system-on-chip (SoC), fabricated in a low-cost 180nm CMOS node. Starting with an analysis of the design challenges for low voltage systems and the reported delta-sigma modulator topologies, the selection and implementation steps are presented, this part was made taking into account the limitations of the fabrication process available for this project. In addition to this, the article presents the tests done to verify the performance of the data converter, including testing for process, voltage and temperature (PVT) variations, that can reduce the performance of the system. The results obtained for the designed delta-sigma modulator show a minimal signal-to-noise ratio of 55dB in the worst PVT corner and a maximum power consumption of  $193\mu W$ , while operating with a nominal voltage supply of 0.9V and a maximum bandwidth of 8kHz for the input signal. Finally, the academic publications in which I participated during my undergraduate studies are briefly presented in the end part of the document.

---

\* Bachelor Thesis

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: Elkim Felipe Roa Fuentes, Philosophy Doctor.

## INTRODUCCIÓN

La tendencia en la implementación, cada vez mayor, de sistemas integrados (SoCs) se debe a las ventajas que estos circuitos integrados presentan en términos de consumo de potencia y costo. En aplicaciones para sensar variables físicas se requieren topologías de ADC robustas con respecto a variaciones en sus componentes, que puedan ser diseñadas para procesos de fabricación enfocados a circuitos digitales, procesos que representan un menor costo económico para un SoC. Asimismo, las aplicaciones que cuentan con un suministro limitado de energía tienen como prioridad un consumo bajo de potencia; problema que se puede mitigar operando a baja tensión de alimentación <sup>1</sup>.

La modulación  $\Delta\Sigma$  es una topología de ADC capaz de lograr altas resoluciones para frecuencias bajas, operación deseable en aplicaciones de audio. A diferencia de otras arquitecturas, la modulación  $\Delta\Sigma$  funciona a partir de determinar el promedio móvil de la señal de entrada, usando un lazo cerrado y una frecuencia de reloj superior al ancho de banda de la señal de entrada. La mayoría de arquitecturas con modulación  $\Delta\Sigma$  se basan en determinar precisamente el valor de cada muestra sin tener en cuenta valores anteriores de la entrada <sup>2</sup>. Esto último le permite al modulador  $\Delta\Sigma$  funcionar adecuadamente con variaciones mayores en sus componentes <sup>3</sup>, haciéndolo un sistema robusto de conversión a bajas frecuencias.

---

<sup>1</sup> RABII, Shahriar y WOOLEY, Bruce. *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Springer Science+Business Media, LLC, 1999. Cap. Chapter 4: Power Dissipation in Sigma-Delta A/D Converters.

<sup>2</sup> KESTER, Walt. *The Data Conversion Handbook*. Elsevier, 2005.

<sup>3</sup> PAVAN, Shanti, SCHREIER, Richard y TEMES, Gabor. *Understanding Delta-Sigma Data Converters*. John Wiley Sons, Inc., 2017. Cap. Chapter 2: Sampling, Oversampling, and Noise Shaping.

Para el diseño de un modulador  $\Delta\Sigma$  de baja tensión requiere de un buen entendimiento de las no idealidades causadas por variaciones ambientales y del proceso de fabricación. Por ejemplo, para los circuitos analógicos, la operación con una baja tensión implica la operación en la región de subumbral para los transistores de diferentes circuitos. La operación en la región de subumbral incrementa la susceptibilidad de los transistores a variaciones de proceso, voltaje, y temperatura (PVT) <sup>4</sup>. Por ejemplo, factores como la relación exponencial entre la corriente de drenador y la tensión de puerta son más susceptibles con respecto a la relación cuadrática que ocurre en transistores en inversión fuerte. Otro aspecto relevante es la disminución en la capacidad de los transistores para conducir corriente limitando la velocidad máxima de operación de circuitos, como por ejemplo, amplificadores.

En este reporte se presenta el diseño de un modulador  $\Delta\Sigma$  con baja tensión de alimentación y un bajo consumo de potencia. En el capítulo 2 se presenta un análisis de la modulación  $\Delta\Sigma$  teniendo en cuenta sus principios de funcionamiento y el estado del arte. En el capítulo 3 se muestran los criterios para selección de la arquitectura y el diseño de los componentes analógicos del modulador. En el capítulo 4 se presenta la estructura a nivel diagrama de bloques del modulador. En el capítulo 5 se presentan los resultados de simulación del modulador. Después, en el capítulo 6 se presenta el posible trabajo futuro, en el capítulo 7 se muestran los aportes académicos adicionales realizados, y en el capítulo 8 las conclusiones.

---

<sup>4</sup> ONABAJO, Marvin y SILVA-MARTÍNEZ, José. *Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip*. Springer Science + Business Media LLC, ene. de 2012.

## 1. OBJETIVOS

### Objetivo general

- Diseñar un conversor de datos usando la técnica delta-sigma que considere las arquitecturas recientes reportadas en tecnología CMOS.

### Objetivos específicos

- Reportar las arquitecturas de conversores delta-sigma recientes, haciendo énfasis en las arquitecturas que permiten bajo voltaje.
- Especificar un modulador delta-sigma a nivel de transistores usando un nodo de tecnología CMOS.
- Verificar el diseño del modulador delta-sigma mediante simulación con modelos SPICE y modelos comportamentales.

## 2. ESTUDIO DE LA MODULACIÓN DELTA-SIGMA

### 2.1. PRINCIPIOS DE LA MODULACIÓN DELTA-SIGMA

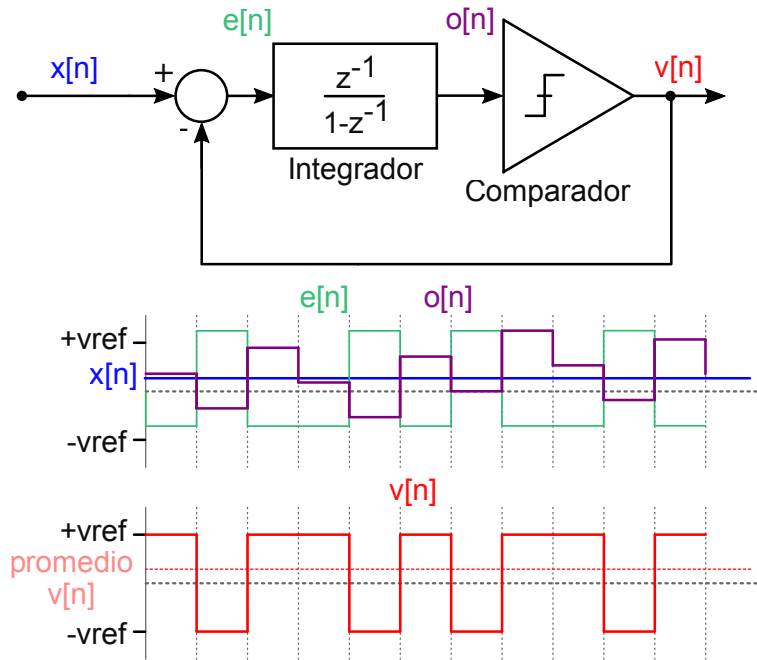
Según la relación entre las tasas de muestreo de la señal de entrada y la señal de salida, las topologías de ADC pueden dividirse en 2 tipos. ADCs de tasa de Nyquist y los ADCs sobremuestreados, los primeros son llamados así, debido a que la tasa de muestreo de la entrada coincide con la tasa de salida, mientras que en los últimos, la tasa de muestreo en la entrada es mayor que en la salida. Las topologías de ADCs Nyquist como SAR (*Successive Approximation Register*), flash o pipelined, procesan cada muestra de la señal de entrada de manera independiente a las demás, donde la precisión de la digitalización es directamente dependiente de la calidad de los comparadores utilizados, los cuales, para resoluciones altas presentan retos en su diseño, debido a las variaciones producidas por PVT y mismatch <sup>5</sup>.

Entre los ADCs sobremuestreados, la modulación  $\Delta\Sigma$  puede lograr altas resoluciones usando componentes más sencillos. El modulador  $\Delta\Sigma$  más básico, es el de primer orden, mostrado en la Figura 1. El modulador está compuesto por: un restador, un integrador con retraso de un ciclo usado como filtro de lazo y un comparador utilizado como cuantizador. Se observa que para una entrada  $x[n]$  lenta respecto a la frecuencia de reloj, y cuya amplitud se mantiene entre  $\pm v_{ref}$ , se forma un lazo de realimentación negativa, donde esta realimentación impide que la salida del integrador  $o[n]$  se sature. Lo cual implica que el valor promedio de la señal de error  $e[n]$  sea igual a cero, esto solo se logra cuando los valores promedio de la señal de entrada y de la señal de salida  $v[n]$  son iguales, siendo  $v[n]$  una señal digital. Un

---

<sup>5</sup> NORSWORTHY, Steven, SCHREIER, Richard y TEMES, Gabor. *Delta-Sigma Data Converters: Theory, Design, and Simulation*. Wiley-IEEE Press, 1997. Cap. Chapter 1: An Overview of Basic Concepts.

Figura 1. Modulador  $\Delta\Sigma$  de primer orden con realimentación de 1 bit.



ejemplo de este comportamiento se observa en la parte inferior de la Figura 1.

El poder realizar conversión analógica a digital con elementos sencillos es una gran ventaja de la modulación  $\Delta\Sigma$ , sin embargo, para lograr altas resoluciones se requiere que la señal de entrada cambie lentamente, es decir, que la frecuencia de reloj sea mucho mayor que el ancho de banda de la entrada. Otra ventaja de la modulación  $\Delta\Sigma$ , es la robustez contra los efectos de PVT y *mismatch* en el filtro de lazo, debido a la misma realimentación<sup>3</sup>. Los factores que tienen mayor influencia en la precisión de la conversión de datos para un modulador  $\Delta\Sigma$  son: La tasa de sobremuestreo, el número de bits del cuantizador y la función de transferencia del filtro de lazo.

## 2.2. MODULACIÓN DELTA-SIGMA DE BAJA TENSIÓN

El objetivo de este proyecto es diseñar un modulador  $\Delta\Sigma$  que funcione con una baja tensión de alimentación y un bajo consumo de potencia. La reducción en la tensión de suministro introduce limitaciones para el funcionamiento de diferentes circuitos analógicos. En la Figura 2(a) se muestra un interruptor CMOS donde se observa que al usar una tensión de puerta reducida, se vuelve imposible encender cualquiera de los dos transistores para un cierto rango de tensiones. Otra limitación ocurre con la implementación de etapas de entrada diferenciales, como se muestra en la Figura 2(b) el rango de tensiones para el cual los transistores se mantienen en saturación, se ve directamente limitado por la reducción en la tensión de suministro, lo cual implica una degradación en la relación señal a ruido. Un factor importante consiste en la disminución de la frecuencia máxima de reloj para el modulador, esto debido a que la velocidad de los circuitos se reduce con una baja tensión de alimentación<sup>6</sup>, empeorando con la necesidad de usar sobremuestreo en los moduladores  $\Delta\Sigma$ . Esto último, generalmente limita el uso de esta topología a aplicaciones de baja frecuencia.

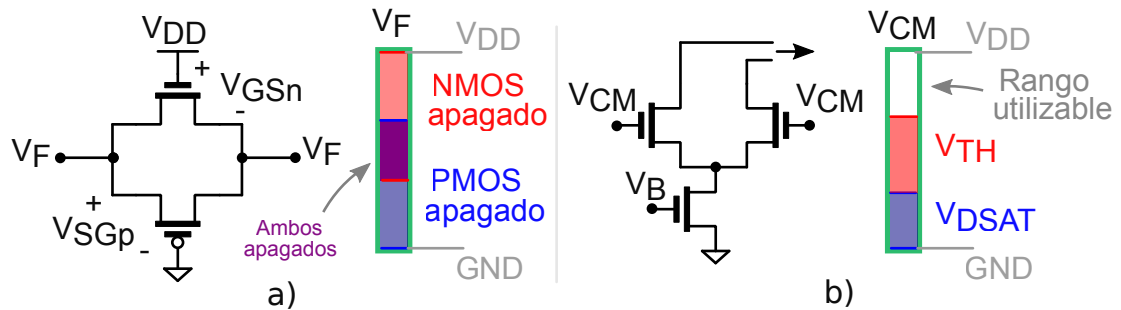
Lo anterior se realiza, teniendo en cuenta que el uso de una baja tensión de alimentación es beneficioso para el consumo de potencia de un SoC, en los cuales los circuitos digitales pueden consumir la mayor parte de la energía. Algunas soluciones para los retos descritos en el diseño de circuitos analógicos incluyen, el uso de elevadores de tensión para interruptores CMOS, o la utilización de topologías alternativas como los OpAmps conmutados<sup>7</sup>. Para contrarrestar la disminución en la

---

<sup>6</sup> WALTARI, Mikko y HALONEN, Kari. *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*. Kluwer Academic Publishers, 2003.

<sup>7</sup> CHEUNG, Vincent y LUONG, Howard. *Design of Low-Voltage CMOS Switched-Opamp Switched-Capacitor Systems*. Vol. 737. Kluwer Academic Publishers, ene. de 2003.

Figura 2. Limitaciones de baja tensión: a) Interruptor CMOS; b) Etapa de entrada diferencial.



relación señal a ruido, es preferible implementar integradores con la mayor excursión posible, tanto en la entrada como en la salida, utilizando circuitos como integradores RC o integradores de capacitor conmutado. Para lograr el ancho de banda deseado se vuelve necesario el uso de transistores más grandes, lo cual a su vez incrementa las capacitancias parásitas en los nodos del circuito.

El estado del arte en cuanto a diseños de baja tensión tiene como preferencia el uso de moduladores de tiempo continuo, es decir, moduladores donde el muestreo se realiza en la entrada del cuantizador y el filtrado se realiza directamente con la señal de entrada, esta preferencia es debida a cualidades como: El anti-aliasing inherente y requerimientos reducidos para el ancho de banda en amplificadores que presentan estos moduladores. Sin embargo, existen diseños de tiempo discreto que presentan ventajas, como ser realizables sin usar OpAmps ni circuitos de polarización, lo cual puede ser utilizado para simplificar el diseño y reducir el área utilizada. Se han presentado diversas alternativas para la implementación de moduladores  $\Delta\Sigma$  con bajo consumo de potencia, por ejemplo, en <sup>8</sup> se presenta un modulador de

<sup>8</sup> Gonçalo RODRIGUES, FERNANDES, Jorge y RABUSKE, Taimur. "A Small-Footprint Quasi-Passive 1st Order Modulator". En: *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2019, págs. 1-5.

tiempo discreto, el cual no requiere de amplificadores para realizar la integración sino de capacitores e interruptores únicamente. Esto le permite lograr un uso de área reducido a costa de precisión en la digitalización, lo cual para ciertas aplicaciones puede ser útil. En <sup>9</sup>, se implementa un modulador de bajo consumo de potencia, usando un filtro de lazo de tiempo continuo para aplicaciones de grabación neuronal, este modulador logra una relación señal a ruido y distorsión de 80dB y un consumo de potencia de solo  $6.5\mu\text{W}$ .

---

<sup>9</sup> Changuk LEE y col. "26.6 A  $6.5\mu\text{W}$  10kHz-BW 80.4dB-SNDR Continuous-Time Modulator with Gm-Input and 300mVpp Linear Input Range for Closed-Loop Neural Recording". En: *2020 IEEE International Solid- State Circuits Conference - (ISSCC)*. 2020, págs. 410-412.

### 3. SELECCIÓN DEL MODULADOR Y DISEÑO DE LOS COMPONENTES

La estructura del filtro de lazo es uno de los aspectos más importantes, para la selección de una arquitectura del modulador  $\Delta\Sigma$ . Una primera decisión consiste en definir como realizar el procesamiento de la señal de entrada, existen dos maneras principales, la modulación de tiempo continuo y la modulación de tiempo discreto. En la modulación de tiempo continuo la implementación más común consiste en usar integradores RC, esto debido a la posibilidad de usar los máximos rangos de entrada y de salida. Sin embargo, es necesario usar valores altos para los resistores lineales requeridos, los cuales no están disponibles para la ejecución de este proyecto. Una alternativa a este filtro consiste en el uso de integradores Gm-C, los cuales tienen como ventajas una elevada impedancia de entrada y el hecho de no necesitar resistores, desafortunadamente, esta topología sufre de problemas de linealidad y de rango de excursión en la entrada <sup>9</sup>, por lo tanto, dificulta su uso para diseños de baja tensión.

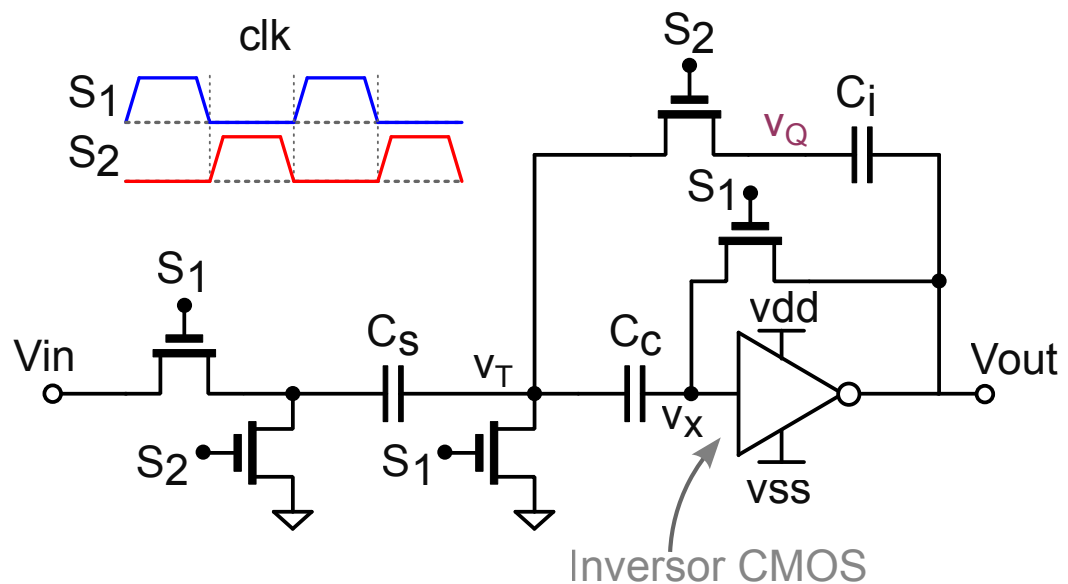
En cuanto a la modulación de tiempo discreto, el integrador de capacitor conmutado tiene la capacidad de utilizar los grandes rangos de excursión, en la entrada y en la salida, además de no necesitar resistores para su implementación. Las desventajas primarias de esta solución consisten, en la necesidad de usar interruptores, quienes a baja tensión son difíciles de operar, junto con mayores requerimientos para el amplificador, debido a que las señales deben asentarse antes de terminar cada ciclo de reloj. Generalmente se usan OpAmps para implementar los amplificadores en este tipo de circuitos, pero en <sup>10</sup> se presenta un integrador de tiempo discreto en el cual se usa un inversor CMOS como amplificador, el inversor siendo un circuito

---

<sup>10</sup> Youngcheol CHAE y HAN, Gunhee. "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator". En: *IEEE Journal of Solid-State Circuits* 44.2 (2009), págs. 458-472.

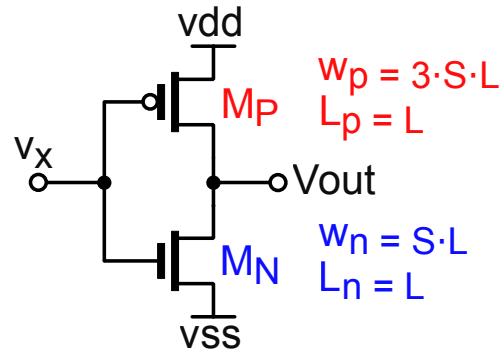
muy sencillo en comparación con un OpAmp, no requiere polarización para funcionar, disminuyendo así, la complejidad de la implementación. Estas características fueron consideradas para este trabajo, donde se seleccionó al integrador basado en inversor como el filtro de lazo a usar.

Figura 3. Integrador de tiempo discreto basado en inversor CMOS.



El integrador de tiempo discreto basado en un inversor CMOS, se muestra en la Figura 3, utilizando transistores NMOS como interruptores controlados por las señales  $s_1$  y  $s_2$ . Cuando  $s_1$  es igual a 1, una carga equivalente a  $-V_{in} \cdot C_s$  es acumulada en la parte derecha del capacitor  $C_s$ , además, al estar conectada la entrada del inversor con su salida, se produce una tensión  $V_x$  que es igual al *switching threshold* del inversor, esta tensión es almacenada en el capacitor  $C_c$ . Al apagarse los primeros interruptores y encenderse los controlados por  $s_2$ , se forma un lazo de realimentación negativa donde el valor de la tensión  $V_{out}$  se ajusta, para que el voltaje en la entrada del inversor sea igual a su *switching threshold*. Al estar almacenada esta misma tensión en el capacitor  $C_c$ , la tensión en el nodo  $V_T$  pasa a ser  $GND$  y toda

Figura 4. Inversor CMOS.



la carga almacenada en el capacitor  $C_s$  es transferida al capacitor  $C_i$ . El comportamiento para cada ciclo de reloj de este circuito puede expresarse con la ecuación 1.

$$V_{out}[n] = V_{out}[n - 1] + \frac{C_s}{C_i} V_{in}[n], \quad (1)$$

### 3.1. EL INVERSOR COMO AMPLIFICADOR

El inversor CMOS se muestra en la Figura 4, compuesto por dos transistores  $M_N$  y  $M_P$ , NMOS y PMOS respectivamente. En este trabajo se decidió usar la misma longitud de canal  $L$  en ambos transistores, para mantener una respuesta similar ante la tensión entre fuente y drenador para éstos. Además, el ancho del canal  $w_p$  del transistor PMOS es 3 veces el ancho del transistor NMOS  $w_n$ , para compensar por la diferencia entre las movilidades de los transistores. Las propiedades del inversor como la ganancia máxima, el *switching threshold* y la corriente estática, son dependientes de las dimensiones de sus transistores. Por ejemplo, para aumentar la ganancia máxima, es necesario aumentar el largo de canal o la relación entre el largo y el ancho del canal  $S$ , lo cual resulta en transistores más grandes con capacitancias parásitas más altas.

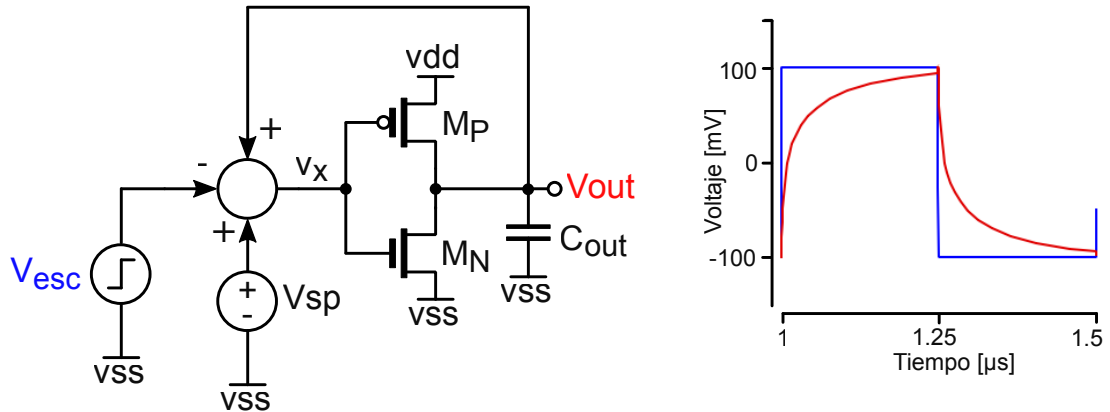
Una de las consideraciones utilizadas en la ecuación 1, consiste en que ganancia del

inversor debe ser infinita, lo que no es posible para un inversor CMOS real. Sin embargo, es posible realizar una integración adecuada utilizando una ganancia máxima mayor a  $100^{10}$ . La tensión  $V_{th}$  para ambos transistores en condiciones nominales es cercano a 0.5V, lo que significa que para tensiones de suministro menores a 1V, se tenga que tener en cuenta el comportamiento en la región de subumbral para el diseño. Esto implica mayores variaciones PVT junto con una disminución drástica en la velocidad del inversor, lo cual puede limitar la máxima frecuencia de reloj utilizable para el modulador.

El ciclo de operación más crítico para la velocidad de operación es  $s_2$ , debido a que en este es donde ocurre la transferencia de carga desde el capacitor  $C_s$  hacia el capacitor  $C_i$ , este proceso depende de la capacidad del inversor para cargar y descargar las capacitancias que tiene conectadas. Para estimar la máxima velocidad de reloj en la cual el integrador puede operar, se realizó una simulación con el montaje mostrado en la Figura 5, en la cual el circuito representa el funcionamiento del integrador en la fase  $s_2$  mediante la respuesta a una entrada escalón  $V_{esc}$ , donde  $C_{out}$  representa la carga capacitiva conectada al inversor y  $V_{sp}$  el *switching threshold* del inversor. En la parte derecha de la Figura 5 se muestra un ejemplo del comportamiento de la simulación.

La simulación se realizó usando valores de  $L$  de  $500nm$  y  $S$  de 10 para ambos transistores,  $100fF$  para el capacitor  $C_{out}$ , una entrada escalón de amplitud igual a un cuarto de la tensión de alimentación y definiendo el tiempo de asentamiento como el tiempo que demora la señal en llegar a un 99.3% de su valor final. Esto para un conjunto de diferentes de valores para la tensión de alimentación y teniendo en cuenta los resultados para las esquinas de PVT, las cuales indican las combinaciones de los peores casos para las variaciones de los parámetros de un sistema. En la tabla 1 se muestran los valores obtenidos en esta simulación, tanto usando los valores nominales de los elementos como usando los valores de la peor esquina de PVT

Figura 5. Esquemático para simulación de la velocidad máxima del inversor.



en términos de velocidad máxima. Se observa que para tensiones de alimentación mayores a 0.5V la ganancia del inversor se mantiene sobre 100, lo cual significa una calidad de integración aceptable. Sin embargo, la frecuencia máxima de operación se ve limitada por la disminución en la tensión suministro, lo cual teniendo en cuenta la necesidad operar con sobremuestreo en el modulador limita la tensión mínima de operación.

Una tarea para la cual un modulador  $\Delta\Sigma$  puede ser implementado, es en la adquisición de la voz humana, lo cual es necesario en aplicaciones como el reconocimiento de comandos de voz o las llamadas telefónicas, por ejemplo. El ancho de banda en el cual se considera que encuentran la mayoría de las frecuencias de la voz humana es de  $8kHz$ . Teniendo en cuenta esto, se decidió que una tasa de sobremuestreo de 128 es suficiente para lograr una calidad aceptable de digitalización, esto implica usar una frecuencia de reloj de  $2MHz$ . Observando los valores obtenidos en la tabla 1 se estima que la mínima tensión de operación para el modulador  $\Delta\Sigma$  es de 0.8V para la esquina de variaciones PVT.

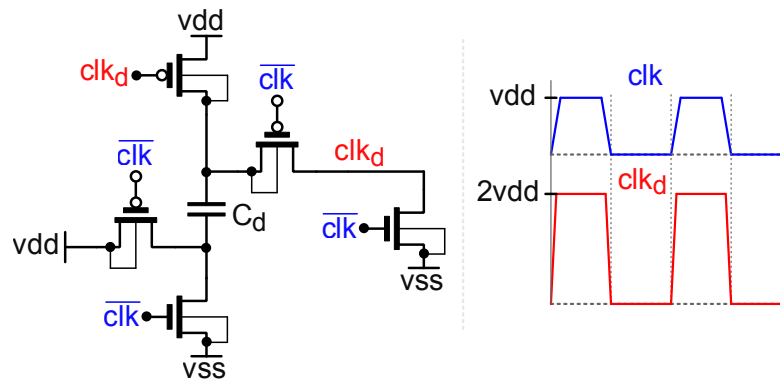
Tabla 1. Resultados de la prueba del inversor para estimar la máxima velocidad de reloj posible para el integrador.

Vdd [V]	Esquina nominal			Peor esquina		
	Ganancia máxima	Fmax [Hz]	GBW* [Hz]	Ganancia máxima	Fmax [Hz]	GBW* [Hz]
1	130	211M	43.3G	175	20.3M	5.6G
0.9	137	102M	22G	183	6.2M	1.82G
0.8	137	41M	8.9G	184	1.3M	378M
0.7	133	12.9M	2.7G	177	244k	68.2M
0.6	127	3.5M	710M	164	40.2k	10.4M
0.5	119	369k	69M	138	6.68k	1.46M
0.4	106	166k	27M	87	989	136k
0.3	86	32.5k	4.4M	30	167	7.97k
0.2	52	1.7k	139k	6.3	30	304

\*BW = 1.5807\*Fmax, calculado para una curva exponencial de asentamiento.

### 3.2. OTROS ELEMENTOS DEL DISEÑO

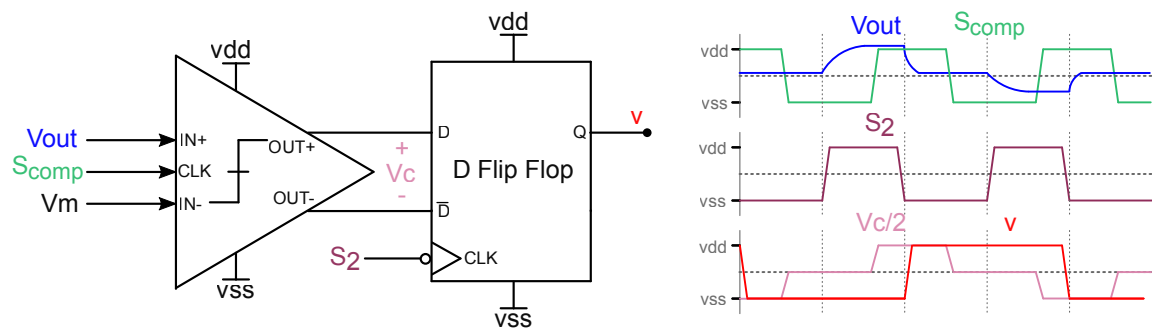
Figura 6. Esquemático del circuito para la elevación de la señal de reloj.



El integrador de tiempo discreto basado en inversores, requiere el uso de interruptores para su funcionamiento. Debido a la baja tensión de alimentación, la operación con interruptores CMOS comunes se dificulta, ya que existen tensiones para las cuales éstos no se pueden encender adecuadamente. En este trabajo, se implementó un circuito que permite encender transistores NMOS incluso con una baja tensión de alimentación, en la Figura 6 se muestra el circuito, su entrada es la señal de re-

loj  $clk$  y su salida es la señal  $clk_d$ , donde esta salida tiene el doble de la amplitud de la señal de entrada. Lo que permite que la señal  $clk_d$  sea usada para controlar adecuadamente a transistores NMOS usados como interruptores. En cuanto a las dimensiones de los interruptores, se implementaron transistores con el menor producto  $W \cdot L$  posible, esto para minimizar las capacitancias parásitas.

Figura 7. Implementación del cuantizador de 1-bit.



Se utilizaron capacitancias “*metal-insulator-metal capacitor*” (mimcaps) en este trabajo, debido a su linealidad, sin embargo, este tipo de capacitancias cuentan con una densidad de capacitancia baja, que solo permite implementaciones con valores menores a  $1pF$ . Estos valores son comparables con las capacitancias parásitas intrínsecas de los transistores, lo cual resulta en una disminución en la calidad de la integración. En la parte izquierda de la Figura 7, se observa el circuito para realizar la cuantización y mantener el valor durante 1 ciclo de reloj, este circuito está compuesto por un comparador y un *flip-flop* tipo D. Las curvas para las señales del cuantizador se ven en la parte derecha de la Figura 7, para cuantizar la señal  $V_{out}$ , cuando la señal  $s_{comp}$  pasa de 0 a 1, el comparador se enciende y determina si  $V_{out}$  es mayor o menor que  $V_m$ , la cual es la referencia del integrador. El resultado de la comparación es la señal  $V_c$ , esta señal debido al diseño del comparador solo mantiene su valor mientras  $s_{comp}$  se mantiene en estado alto. Debido a esto, se usa el

*flip-flop* tipo D para almacenar el resultado del comparador en sincronía con el borde de bajada de la señal  $s_2$ , la salida es la señal  $v$ . Los diseños tanto del comparador como del *flip-flop* son *IPs* del grupo OnChip, diseñados para funcionar con una tensión de alimentación de 1.8V, sin embargo, a menores tensiones de alimentación han podido ser usados en este proyecto.

## 4. ESTRUCTURA DEL MODULADOR

### 4.1. ORDEN Y TASA DE SOBREMUESTREO

La precisión en la conversión de datos de un modulador  $\Delta\Sigma$  puede expresarse en términos de su SNR (Signal-to-noise ratio), que es la potencia de la señal convertida dividida entre la potencia del ruido adquirido durante su procesamiento. Para la mayoría de topologías de modulador  $\Delta\Sigma$  es posible definir el máximo SNR para un comportamiento ideal de sus componentes, usando la formula expresada en la ecuación 2<sup>3</sup>.

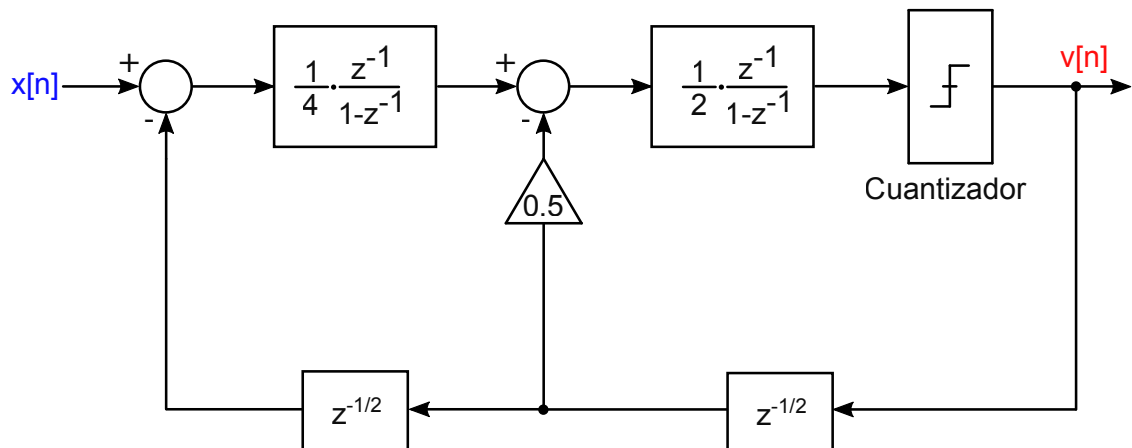
$$SNR_{ideal} = \frac{3 \cdot (2N + 1) \cdot (L - 1)^2 \cdot OSR^{2N+1}}{2\pi^{2N}}, \quad (2)$$

Donde  $N$  es el orden del modulador, es decir, la cantidad de integradores utilizada en el filtro de lazo,  $L$  es la cantidad de niveles de cuantización usados para la realimentación, en este trabajo la realimentación es de 1 bit, es decir 2 niveles y  $OSR$  (*Oversampling ratio*) es la tasa de sobremuestreo. Se observa que es posible aumentar la precisión usando filtros de orden elevado, sin embargo, hacer esto lleva a problemas de estabilidad del modulador, lo que implica utilizar técnicas para estabilizar el lazo. Además, el consumo de potencia y el área se ven elevados al incrementar el número de integradores. En la tabla 2 se muestran los distintos valores de SNR para diferentes configuraciones de  $N$  y  $OSR$  para un valor de  $L$  de 2, calculados con la ecuación 2. Para valores de  $OSR$  mayores a 100, el efecto que orden  $N$  tiene en la precisión es amplificado.

Tabla 2. SNR ideal para diferentes valores de N y OSR.

SNR ideal [dB], L = 2								
N/OSR	8	16	32	64	100	192	256	512
1	23	33	42	51	57	65	69	78
2	34	49	64	79	89	103	109	124
3	44	65	86	107	120	140	149	170
4	53	80	107	134	152	177	188	215

Figura 8. Diagrama de bloques del modulador delta-sigma.



## 4.2. ARQUITECTURA

Teniendo en cuenta las consideraciones expresadas en la subsección anterior, se decidió implementar un modulador de segundo orden. En la Figura 8, se muestra el diagrama de bloques del modulador  $\Delta\Sigma$  implementado en este trabajo, los bloques  $z^{-1/2}$  son una expresión teórica que representa el hecho de que el ciclo  $s_2$  del primer integrador coincide con el ciclo  $s_1$  del segundo integrador. Esto último se realiza para reducir la complejidad de la implementación. La ecuación 3 permite modelar el

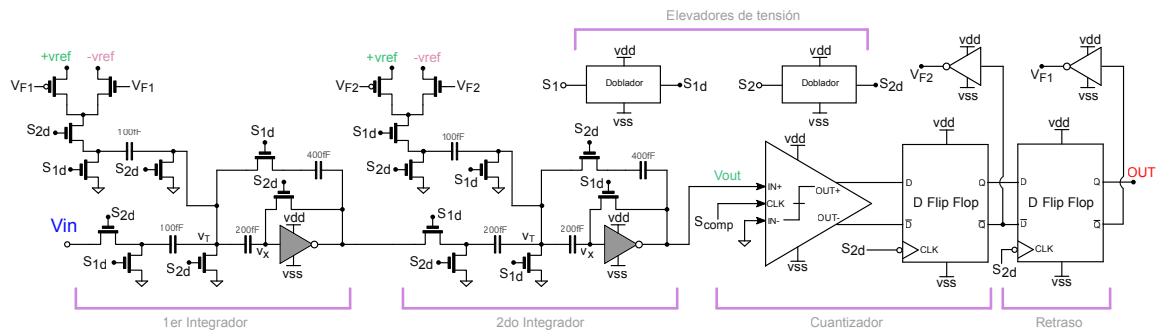
comportamiento de este sistema.

$$V(z) = \frac{1}{8}z^{-1}U(z) + (1 - z^{-1})^2 E(z), \quad (3)$$

Donde  $U(z)$  es la señal de entrada,  $V(z)$  la señal de salida y  $E(z)$  representa el error introducido por el cuantizador. De acuerdo a la ecuación 2 el SNR ideal del sistema sería de 94.2dB con un  $OSR$  de 128 pero al estar multiplicada la entrada por 1/8, el SNR ideal se reduce a 76.1dB. Este rendimiento es el máximo que se puede lograr con esta implementación, no idealidades como la ganancia finita del inversor y la inyección de carga de los interruptores, reducen este rendimiento.

### 4.3. IMPLEMENTACIÓN

Figura 9. Estructura del modulador  $\Delta\Sigma$  implementado.



En la Figura 9 se muestra el modulador  $\Delta\Sigma$  implementado a nivel de circuito eléctrico. En la parte izquierda se observan los dos bloques integradores, en los cuales también se encuentra implementada la función de resta, de la entrada con las tensiones de realimentación  $\pm vref$ . En la parte derecha se observa el cuantizador de 1-bit conectado en serie con un *flip-flop* tipo d, para almacenar una versión retrasada de la salida del cuantizador, que es necesaria para ser utilizada primer integrador. Las señales  $V_{F2}$  y  $V_{F1}$  son copias de las salidas del cuantizador y del *flip-flop* ti-

po d respectivamente, estas señales son usadas para controlar las tensiones de realimentación de ambos integradores. En la parte superior se observan los dos elevadores de tensión usados para  $s_1$  y  $s_2$  con el fin de controlar los interruptores del filtro.

El modulador requiere 3 referencias de tensión, la referencia de integración y las tensiones  $\pm v_{ref}$ , junto con las señales de reloj  $s_1$ ,  $s_2$  y  $s_{comp}$ .

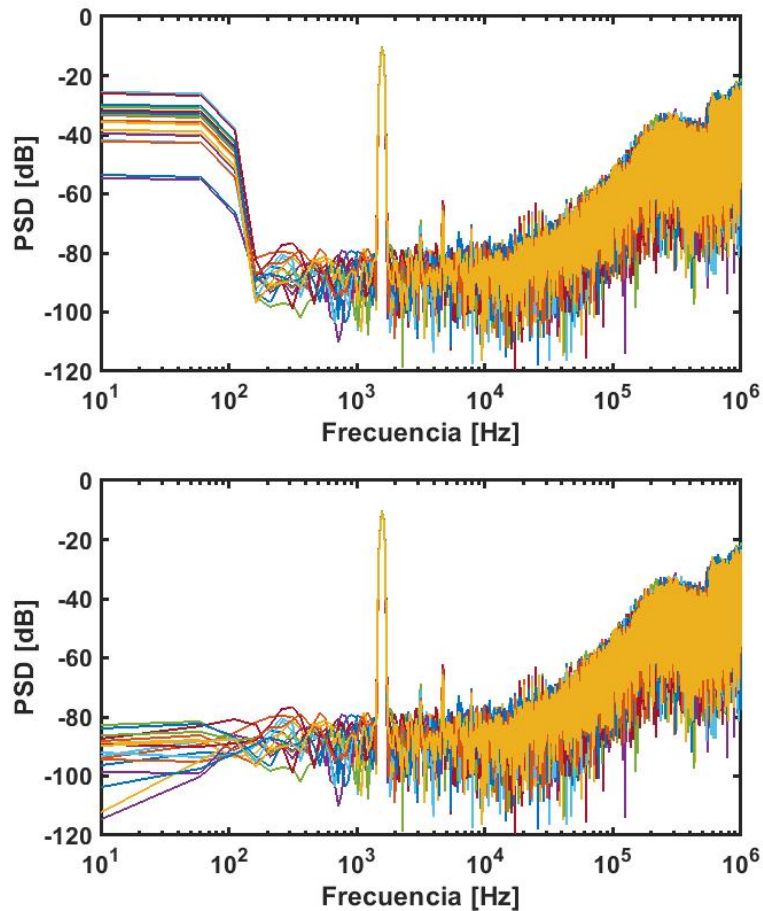
## 5. RESULTADOS DE SIMULACIÓN

### 5.1. CONFIGURACIÓN DE LA SIMULACIÓN

Para determinar el rendimiento del modulador  $\Delta\Sigma$  se realizó una prueba, mediante el cálculo de la densidad espectral de potencia (PSD) de la salida del modulador respecto a una señal de entrada. La señal de entrada utilizada es una señal senoidal de frecuencia igual a  $1.6kHz$ , la cual permite evaluar la distorsión de la salida hasta el quinto armónico, siendo el ancho de banda del modulador igual a  $8kHz$ . La amplitud de la señal de entrada equivale a 0.4 veces el valor utilizado para  $v_{ref}$  y el tiempo de simulación equivale a 50000 ciclos de reloj. Se obtuvo la señal de salida mediante simulación SPICE y se obtuvo la PSD de la señal de salida utilizando el software MATLAB<sup>11</sup>. El modulador  $\Delta\Sigma$  está diseñado para funcionar en un proceso de fabricación de circuitos integrados de  $180nm$ , en la simulación se tienen en cuenta los peores casos para la fabricación o esquinas de PVT. En las esquinas se tienen en cuenta las máximas variaciones de PVT para las cuales debe funcionar el modulador, de manera que sea un diseño robusto y confiable.

La definición de una esquina de PVT es en orden: Velocidad de transistores NMOS, velocidad de transistores PMOS, tensión de alimentación y temperatura. Donde S significa lento, F significa rápido, T indica velocidad nominal, H es alto, L es bajo y N indica valor nominal. El rango de temperaturas es entre  $-40^{\circ}C$  y  $125^{\circ}C$  y las variaciones en la tensión de operación son de  $\pm 5.5\%$  del valor nominal.

Figura 10. Gráficas de la PSD de la señal de salida para las esquinas PVT para dos casos: con amplitud DC y sin amplitud DC.



## 5.2. RESULTADOS DE LA PRUEBA DE PSD

En la parte superior de la Figura 10, se muestran las curvas PSD de las señales de salida para las 16 esquinas de PVT utilizadas y para condiciones nominales, se observa que la amplitud del ruido para el *bin* de la PSD de menor frecuencia es alto comparado con el resto de frecuencias. Una hipótesis para este comportamiento,

---

<sup>11</sup> MATLAB. *version 9.9.1495850 (R2020b) Update 1*. Natick, Massachusetts: The MathWorks Inc., 2020.

Tabla 3. Valores de SNR para las diferentes esquinas de PVT.

SNR [dB]	Velocidad NMOS, Velocidad PMOS			
Tensión, Temperatura	SS	SF	FS	FF
LL	57.5	57.6	56.1	57.5
LH	58.6	58.4	56.9	59.2
HL	57.75	57.1	55.3	57.2
HH	57.3	59.9	56.9	56.3

consiste en que esta elevada amplitud es producida por imprecisiones en el filtro de lazo, debidas a procesos de inyección de carga, por parte de los interruptores y degradación del comportamiento, a causa de la capacitancia parásita del inversor conectada en su entrada. Sin embargo, al descartar la componente DC de esta PSD, se obtienen resultados mayores en cuanto a la PSD, esto se observa en la parte inferior de la Figura 10. Las aplicaciones como la conversión de señales de audio no tienen en cuenta la componente DC de la señal de entrada, por lo que no se ven afectadas.

En la tabla 3, se muestran los valores de SNR para las 16 esquinas de PVT, donde el mínimo valor obtenido para esta métrica es de 55.3dB para la esquina FSHL y el SNR para condiciones nominales es de 58.8dB. Lo que equivale a una resolución de 8-bits para el peor caso y de 9-bits para el caso nominal.

### 5.3. CONSUMO DE POTENCIA

El consumo promedio de potencia del modulador varía de gran manera dependiendo de las condiciones del sistema, para la esquina SSLL el consumo es de solo  $16\mu\text{W}$ , mientras que para el peor caso el consumo aumenta a  $193\mu\text{W}$  en la esquina FFHH. En condiciones nominales el consumo es de  $55\mu\text{W}$ .

## 6. TRABAJO FUTURO

Una posible mejora para este trabajo consiste en la disminución de la componente DC del ruido, puesto que este factor degrada la aplicabilidad del modulador para aplicaciones como el monitoreo de señales ambientales o señales internas del chip. Existe también la posibilidad de incrementar el rendimiento de esta topología, mediante el aumento del orden del modulador, lo cual a su vez, permitiría disminuir la tasa de sobremuestreo y compensar o incluso reducir el consumo de potencia. Para la reducir la tensión de alimentación se podrían implementar transistores *low-Vt* por su reducida tensión de umbral. Por último, se pueden realizar más pruebas para verificar el comportamiento del modulador como pruebas de Montecarlo y pruebas de ruido.

## 7. BONO

Durante los últimos tres semestres académicos, se participó en el desarrollo de fuentes de corriente con bajo consumo de potencia, las cuales fueron reportadas en una publicación de una conferencia internacional <sup>12</sup>. También hice parte del equipo de mediciones de la fabricación de una nueva *physically unclonable function* (PUF), que fue reportada en una publicación como co-autor <sup>13</sup>.

---

<sup>12</sup> Joan SANTAMARIA y col. "A Family of Compact Trim-Free CMOS Nano-Ampere Current References". En: *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2019, págs. 1-4.

<sup>13</sup> Javier ARDILA y col. "A Stable Physically Unclonable Function Based on a Standard CMOS NVR". En: *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2020, págs. 1-4.

## 8. CONCLUSIONES

En este trabajo se presenta el proceso de diseño de un modulador  $\Delta\Sigma$  de baja tensión de alimentación, implementable en una tecnología de fabricación de circuitos integrados CMOS de  $180nm$ . El diseño del modulador  $\Delta\Sigma$  fue validado teniendo en cuenta las posibles variaciones ambientales y variaciones de su proceso de fabricación, esto con el objetivo de lograr una conversión de datos confiable y robusta. El modulador cuenta con una precisión para el peor caso de  $55.3dB$ , un consumo de potencia máximo de  $193\mu W$  y una tensión nominal de alimentación de  $0.9V$ . Esto se realizó usando transistores diseñados para operar en circuitos con una tensión de suministro de  $1.8V$ .

## BIBLIOGRAFÍA

ARDILA, Javier y col. "A Stable Physically Unclonable Function Based on a Standard CMOS NVR". En: *2020 IEEE International Symposium on Circuits and Systems (IS-CAS)*. 2020, págs. 1-4 (vid. pág. 33).

CHAE, Youngcheol y HAN, Gunhee. "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator". En: *IEEE Journal of Solid-State Circuits* 44.2 (2009), págs. 458-472 (vid. págs. 17, 20).

CHEUNG, Vincent y LUONG, Howard. *Design of Low-Voltage CMOS Switched-Opamp Switched-Capacitor Systems*. Vol. 737. Kluwer Academic Publishers, ene. de 2003 (vid. pág. 14).

KESTER, Walt. *The Data Conversion Handbook*. Elsevier, 2005 (vid. pág. 9).

LEE, Changuk y col. "26.6 A 6.5 $\mu$ W 10kHz-BW 80.4dB-SNDR Continuous-Time Modulator with Gm-Input and 300mVpp Linear Input Range for Closed-Loop Neural Recording". En: *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*. 2020, págs. 410-412 (vid. págs. 16, 17).

MATLAB. *version 9.9.1495850 (R2020b) Update 1*. Natick, Massachusetts: The MathWorks Inc., 2020 (vid. pág. 29).

NORSWORTHY, Steven, SCHREIER, Richard y TEMES, Gabor. *Delta-Sigma Data Converters: Theory, Design, and Simulation*. Wiley-IEEE Press, 1997. Cap. Chapter 1: An Overview of Basic Concepts (vid. pág. 12).

ONABAJO, Marvin y SILVA-MARTÍNEZ, José. *Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip*. Springer Science + Business Media LLC, ene. de 2012 (vid. pág. 10).

PAVAN, Shanti, SCHREIER, Richard y TEMES, Gabor. *Understanding Delta-Sigma Data Converters*. John Wiley Sons, Inc., 2017. Cap. Chapter 2: Sampling, Oversampling, and Noise Shaping (vid. págs. 9, 13, 25).

RABII, Shahriar y WOOLEY, Bruce. *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Springer Science+Business Media, LLC, 1999. Cap. Chapter 4: Power Dissipation in Sigma-Delta A/D Converters (vid. pág. 9).

RODRIGUES, Gonçalo, FERNANDES, Jorge y RABUSKE, Taimur. "A Small-Footprint Quasi-Passive 1st Order Modulator". En: *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2019, págs. 1-5 (vid. pág. 15).

SANTAMARIA, Joan y col. "A Family of Compact Trim-Free CMOS Nano-Ampere Current References". En: *2019 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2019, págs. 1-4 (vid. pág. 33).

WALTARI, Mikko y HALONEN, Kari. *Circuit Techniques for Low-Voltage and High-Speed A/D Converters*. Kluwer Academic Publishers, 2003 (vid. pág. 14).