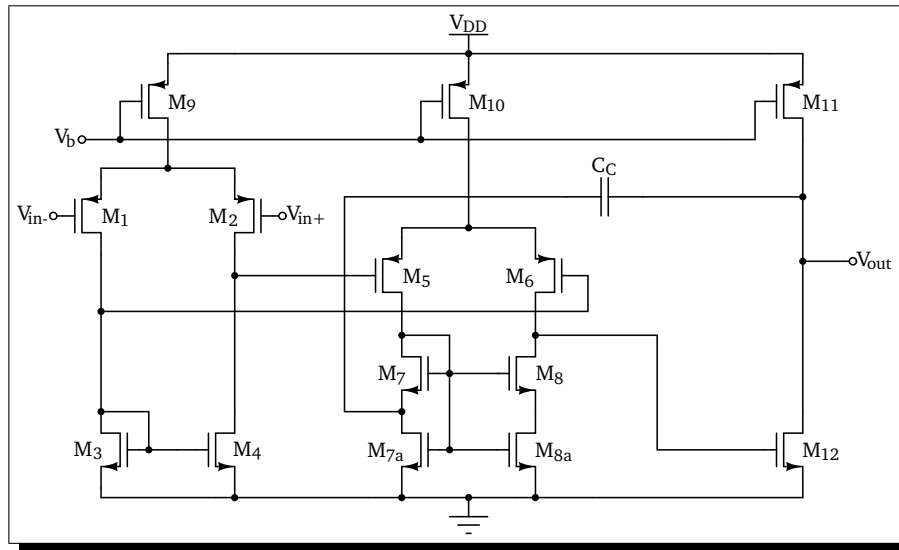


DISEÑO DE UN *OPAMP* CON BAJO VOLTAJE DE ALIMENTACIÓN PARA SISTEMAS DE DETECCIÓN DE SEÑALES BIOMÉDICAS



Jhon Alexander Gómez Caicedo

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FÍSICOMECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2012



UNIVERSIDAD INDUSTRIAL DE SANTANDER

Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones

Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN *OPAMP* CON BAJO VOLTAJE DE ALIMENTACIÓN PARA SISTEMAS DE DETECCIÓN DE SEÑALES BIOMÉDICAS

Jhon Alexander Gómez Caicedo

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Juan Carlos Mateus Ardila

Codirector

MSc. Jaime Guillermo Barrero Pérez

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAÑICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2012

*“El destino no reina sin la complicidad secreta
del instinto y de la voluntad.”
Giovanni Papini*

Agradecimientos

Quiero agradecer a mi padre, quien me formó e inculcó en mi el esfuerzo y la dedicación por alcanzar una meta. A mi madre, que me brindó todo el amor y apoyo y fue sin duda la persona que más creyó en mi.

Agradecimientos a todas aquellas personas que participaron en mi formación académica, especialmente el profesor Jaime Barrero quien apoyo incondicionalmente este trabajo.

También agradecimientos a todas aquellas personas que colaboraron de una u otra forma en la realización de este proyecto. A Villota que brindó consejos sin los que este proyecto no se hubiera podido llevar a cabo. Al root Arguello que mantuvo las herramientas de trabajo funcionando. A Jeff y YESI grupo de estudio y ante todo amigos incondicionales.

Y por último, especiales agradecimientos a Juan Carlos Mateus, quien literalmente tuvo que transmitirme todo el conocimiento de CIs y que más que transmitir conocimiento me formó como ingeniero y diseñador.

RESUMEN

TÍTULO:

DISEÑO DE UN *OPAMP* CON BAJO VOLTAJE DE ALIMENTACIÓN PARA SISTEMAS DE DETECCIÓN DE SEÑALES BIOMÉDICAS¹

AUTOR: JHON ALEXANDER GÓMEZ CAICEDO²

PALABRAS CLAVE: *OpAmp*, bajo voltaje, sub-umbral.

DESCRIPCIÓN:

El uso de los sistemas Holter se ha generalizado ya que se utilizan no solo en el campo médico para detectar y prevenir enfermedades, sino también en otros campos, como el deportivo donde son utilizados para el seguimiento y control de la intensidad de actividades de deportistas y atletas. Esto debido a que permiten obtener el ECG de una persona mientras realiza sus actividades diarias. Sin embargo su uso está restringido por el corto tiempo de carga de la batería. Por cuanto se hace necesario presentar una alternativa que contrarreste dicha dificultad, razón por la cual este trabajo busca reducir el voltaje de alimentación del sistema por medio del diseño de un amplificador de biopotencial.

Este trabajo presenta el diseño de un amplificador de biopotencial, en un proceso de 90 nm. Se seleccionó la estructura más adecuada para la aplicación de acuerdo a una figura de mérito diseñada específicamente para este proyecto. Posteriormente se realizaron modificaciones en la estructura, principalmente dirigidas a mejorar la estabilidad del sistema, para la cual se implementó una compensación indirecta. Después se realizaron todos los análisis matemáticos que permitieron conocer cualitativamente las características de la estructura y por último se realizó una selección del modelo a utilizar para el diseño de los transistores, encontrando que el ACM es el óptimo por su exactitud y facilidad para realizar cálculos manuales.

Como resultado del diseño, se obtiene un amplificador que trabaja con 0,5 V y cumple con todos los requisitos para la detección de señales bioeléctricas, como una ganancia de 76 dB y un ruido menor a $10 \text{ nv}/\sqrt{\text{Hz}}$. El diseño del circuito se comprueba mediante un análisis de Montecarlo el cual arroja resultados favorables, validando el diseño y corroborando la robustez del diseño ante variaciones en los parámetros.

¹Proyecto de Grado

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Juan Carlos Mateus Ardila. Codirector MSc. Jaime Guillermo Barrero Pérez.

ABSTRACT

TITLE:

DESIGN OF A LOW-VOLTAGE OPAMP FOR BIOMEDICAL SIGNAL DETECTION SYSTEMS³

AUTHOR: JHON ALEXANDER GÓMEZ CAICEDO ⁴

KEYWORDS: OpAmp, low voltage, sub-threshold.

DESCRIPTION:

The use of Holter systems has increased due to its utility in diverse areas. They are not only used for detecting and preventing some diseases in the medical field. They are also used for monitoring some athlete's activities. Holter systems are commonly used because they let the acquisition of ECG signal from people while doing their daily activities. However, its use is restricted by the duration of the battery charge. For this reason it is necessary to introduce an alternative that solves this issue. The present project looks for decreasing system voltage through the design of a Biopotential OpAmp.

This work introduces the design of a Biopotential OpAmp using a 90nm technology. The most suitable structure for the selected application was chosen using a figure of merit specifically designed for this project. Then, modifications to the structure were done in order to improve system stability which was achieved implementing an indirect compensation. After that, there were done different mathematical analysis for knowing the main qualitative characteristics of the structure used. Finally, the ACM transistor model was selected for the design, considering its accuracy and easiness when doing manual calculations.

As result from the design, it was obtained an amplifier that works with 0,5 V and satisfies all the bioelectrical signal detection requirements, like a 76 dB gain and noise lower than 10 nV/ $\sqrt{\text{Hz}}$. The design was proved with Montecarlo analysis which gives fair results, validating the circuit and bearing out the sturdiness of the design against its parameters variation.

³Degree project

⁴Physical-Mechanical Engineering Faculty. Electrical, Electronics and Telecommunications School.
Advisor MSc. Juan Carlos Mateus Ardila. Co-Advisor MSc. Jaime Guillermo Barrero Pérez.

Contenido

1. Introducción	13
1.1. Sistemas con bajo voltaje de alimentación	14
1.2. Señales bioeléctricas	16
1.2.1. Sistemas de detección	17
1.3. Estado del arte	20
2. Topologías	22
2.1. Figura de mérito	22
2.2. Arquitecturas	23
2.2.1. Zhang	24
2.2.2. Giustolisi	25
2.2.3. Lai	27
2.3. Selección de topología	29
3. Metodología de Diseño	30
3.1. Modelo de transistor	31
3.1.1. Modelo <i>BSIM3v3</i>	31
3.1.2. Modelo <i>EKV</i>	31
3.1.3. Modelo <i>ACM</i>	32
3.1.4. Modelo a utilizar	32
3.2. Modificaciones de la Topología	34
3.3. Características de interés	35
3.3.1. Ganancia	36
3.3.2. <i>CMRR</i>	37
3.3.3. Ruido	37
3.3.4. Respuesta en frecuencia	40
3.4. Diseño	44

4. Resultados	48
4.1. Resultados obtenidos	48
4.2. Simulación de esquinas del proceso	50
4.3. Variaciones del proceso	51
4.4. Comparación de resultados	56
4.5. Observaciones	58
4.6. Conclusiones	59
4.7. Recomendaciones para trabajos futuros	60

Lista de Figuras

1.1. Diagrama de un sistema de detección de señales bioeléctricas.	17
2.1. <i>OpAmp</i> propuesto por Zhang, con doble par diferencial.	24
2.2. <i>OpAmps</i> de interés, presentados por Giustolisi.	26
2.3. Transistor de longitud dividida.	28
2.4. <i>LNA</i> propuesto por Lai.	28
3.1. Metodología de diseño.	30
3.2. <i>OpAmp</i> propuesto, con doble par diferencial.	36
3.3. Esquina de ruido 1/f.	38
3.4. Circuito equivalente de la primer etapa a alta frecuencia, con la fuente de alimentación cortocircuitada.	41
3.5. Circuito equivalente de la segunda etapa a alta frecuencia.	42
3.6. Circuito equivalente de la tercera etapa a alta frecuencia.	43
4.1. Ganancia en dB del amplificador.	49
4.2. Variación del ancho de banda en función de la temperatura.	52
4.3. Variación de la <i>CMRR</i> en función de la temperatura.	53
4.4. Variación del ruido en función de la temperatura.	53
4.5. Respuesta en frecuencia de la ganancia con simulaciones Montecarlo.	55
4.6. Fase del amplificador con simulaciones Montecarlo.	55
4.7. Respuesta en frecuencia del ruido con simulaciones Montecarlo.	56
4.8. Histogramas de las principales características del <i>OpAmp</i> diseñado, obtenidos a partir del método de Montecarlo.	57

Lista de Tablas

1.1. <i>Características de algunos biopotenciales.</i>	16
1.2. <i>Comparación entre trabajos representativos en el diseño de OpAmps con bajo voltaje de alimentación.</i>	21
2.1. <i>Características de las topologías destacadas.</i>	24
2.2. <i>Características de los amplificadores presentados por Giustolisi.</i>	26
3.1. <i>Características deseadas en el amplificador.</i>	45
3.2. <i>Geometrías de los transistores.</i>	47
4.1. <i>Características del amplificador diseñado.</i>	50
4.2. <i>Características representativas del amplificador simuladas con modelos de esquemas.</i>	51
4.3. <i>Comparación del diseño realizado y el estado del arte.</i>	58
4.4. <i>Comparación con topologías con características favorables para la detección de señales bioeléctricas.</i>	58

Capítulo 1

Introducción

El estilo de vida que lleva el hombre moderno exige que se pueda efectuar un gran número de tareas, sin necesidad de estar en un lugar específico para realizarlas. Esto ha extendido el uso de sistemas portátiles, llevando a que una parte considerable de la investigación realizada en el ámbito de la electrónica se dirija hacia el diseño y desarrollo de dichos sistemas. Pero dado que todo sistema electrónico necesita una fuente de alimentación, y estas no han evolucionado al mismo ritmo que las tecnologías de fabricación de los dispositivos electrónicos, los esfuerzos en el diseño se han dirigido en gran parte al desarrollo de topologías y técnicas de diseño que permitan reducir el voltaje de alimentación ó aprovechar sistemas de *harvesting*¹ para la alimentación del sistema [Lay-Ekuakille2009,Le2010,Romero2009], aumentando de este modo la capacidad de cómputo portátil sin aumentar los requerimientos de energía asociados a la batería.

Dentro de los sistemas portátiles más conocidos y que han tenido mayor evolución, se encuentran los de comunicación y entretenimiento. No obstante, existen otros sistemas de mayor importancia puesto que permiten mejorar la calidad de vida, como los que ayudan al diagnóstico de enfermedades cardiacas. Muchas de estas enfermedades se presentan durante actividades diarias como hacer ejercicio, comer, sufrir estrés o simplemente dormir [Adamec2008], razón por la cual registrar la actividad del corazón durante largos intervalos de tiempo es importante. Dentro de las enfermedades cardiacas más comunes se encuentra la arritmia²; la importancia y amenaza de esta enfermedad depende del tipo de patrón que produce, la frecuencia con la que esta se presenta, cuánto dura y si se presentan síntomas asociados. Sin embargo, debido a que las arritmias pueden ocurrir en cualquier instante, es difícil registrarlas en el consultorio médico, razón por la cual dispositivos como los monitores Holter se han masificado en los últimos años [Adamec2008].

¹Hace referencia a sistemas que “recolectan” energía del ambiente.

²Irregularidad en el ritmo natural del corazón.

Los sistemas Holter permiten obtener el ECG³ de un paciente mientras este realiza sus actividades diarias, por esta razón son también conocidos como electrocardiógrafos portátiles, en otras palabras es un sistema que detecta, procesa y registra señales biomédicas. Estos pueden enviar la señal en tiempo real, emitir una señal de alerta al médico si se encuentra alguna anomalía en las señales cardíacas del paciente, o almacenarla para después ser analizada en el consultorio médico; dependiendo de la aplicación en la cual se esté trabajando. El uso de estos sistemas se ha generalizado ya que se utilizan no solo en el campo médico para detectar y prevenir enfermedades, sino también en otros campos, como el deportivo, donde son utilizados para el seguimiento y control de la intensidad de actividades de deportistas y atletas, permitiendo así observar el rendimiento y desarrollar nuevas formas de entrenamiento.

No obstante actualmente su uso está restringido por el corto tiempo de carga de la batería, que compromete la autonomía del sistema. A raíz de esto, surge la necesidad de presentar una alternativa que contrarreste dicha dificultad, razón por la cual este trabajo busca reducir el voltaje de alimentación del sistema por medio del diseño de un amplificador de biopotencial que constituye la celda básica de los sistemas de detección de señales bioeléctricas.

1.1. Sistemas con bajo voltaje de alimentación

Los sistemas portátiles y miniaturizados que son aplicaciones de los *SoCs*⁴ han exhibido un incremento en la demanda del mercado microelectrónico y particularmente en el campo biomédico con productos como audífonos, marcapasos o sensores implantables. Estos sistemas portátiles por lo general requieren ser alimentados por baterías. Desafortunadamente, la capacidad para almacenar energía de las baterías no evoluciona tan rápido como la demanda de aplicaciones, por lo que la combinación de suministro con batería y la miniaturización a menudo se convierte en un problema de diseño de circuitos de baja tensión y/o baja corriente [Serra-Graells2003].

Cuando se desea diseñar un sistema con bajo voltaje de alimentación se presenta una serie de limitaciones:

- El voltaje de umbral de los transistores en procesos *CMOS* estándar es relativamente alto con respecto al voltaje de alimentación.
- Bajos niveles de voltaje de alimentación resultan en una baja excursión disponible para las señales en modo voltaje

³Electrocardiograma.

⁴Término que surge a partir de la alocución en inglés *System on chip* “*SoC*”.

- Usualmente el uso de técnicas para reducir el error debido al ruido y/o el voltaje de *offset* exigen aumentar el consumo de potencia, lo que va en contra de la disminución del voltaje de alimentación si se mantiene una corriente constante.
- Los transistores usados en circuitos lineales generalmente se encuentran polarizados en inversión fuerte o moderada, exigiendo por tanto un alto voltaje de alimentación.

Como consecuencia las técnicas de diseño de circuitos analógicos con voltajes de alimentación por debajo de 1 V son distintas a las técnicas tradicionales de diseño, en las cuales se polariza el transistor exclusivamente en inversión fuerte [Serra-Graells2003].

Estos retos pueden superarse con modificaciones en la tecnología o con soluciones de diseño de circuitos. Una sencilla solución tecnológica es incluir dispositivos de bajo umbral o umbral nativo cero. Sin embargo dispositivos de bajo umbral requieren una máscara extra y pasos extra en el proceso de fabricación del transistor, resultando en un incremento del costo y del tiempo de producción. Esto no puede ser justificado cuando la interfaz analógica ocupa solo un 5-30% del área de un *SoC* [Chatterjee2007]. Los dispositivos de umbral cero no requieren máscaras o pasos extras, pero son menos caracterizados y modelados, además presentan características menos reproducibles. Otra modificación tecnológica es utilizar dispositivos con compuertas flotantes. Estos dispositivos son transistores que presentan una o varias compuertas adicionales por encima de la compuerta tradicional. Ya que la compuerta tradicional se encuentra rodeada de material altamente resistivo, esta compuerta se convierte en realidad en un nodo “flotante”, el cual a pesar de no encontrarse conectado físicamente a las entradas, se encuentra conectado capacitivamente. Este tipo de conexión hace posible reducir el voltaje de umbral efectivo del transistor. Esta técnica sin embargo plantea problemas de fiabilidad, puesto que con frecuencia la tensión presente en el nodo flotante está mas allá de la permitida por la tecnología, lo cual puede producir estrés adicional al dispositivo [Chatterjee2007].

Varias técnicas de diseño de circuitos han sido propuestas, las cuales permiten diseñar circuitos con bajos voltajes de alimentación sin usar dispositivos especiales que presenten compuertas flotantes, bajos voltajes de umbral o umbral cero. Dentro de estas técnicas se encuentran los circuitos manejados por el cuerpo, entradas *rail-to-rail*, amplificadores multietapa con compensación Miller o la manipulación de la tensión de umbral por medio de la tensión de cuerpo [Chatterjee2007]. Sin embargo todas las técnicas antes mencionadas restringen la operación del transistor a la región de inversión fuerte, limitando de esta forma la reducción en el consumo de potencia y por tanto afectando la autonomía de los sistemas.

Otra opción es diseñar circuitos en sub-umbral o inversión débil, esto implica escalar la tensión aplicada en la compuerta por debajo del umbral del dispositivo. En este nivel de inversión, la energía por operación en la región de saturación puede ser reducida en un orden

de magnitud comparada con la operación convencional (inversión fuerte) [Wang2006]. Además se disipa menor potencia de fuga⁵ que en las alternativas con altos voltajes. Sin embargo los transistores en esta región operan más lento, lo cual es un impedimento para el trabajo en altas frecuencias. Hasta hace poco, el énfasis en maximizar la frecuencia de funcionamiento de los circuitos digitales dominaba hasta el punto de que la operación en inversión débil había recibido poca atención [Wang2006]. No obstante esta técnica de diseño es ideal en aplicaciones en las cuales las frecuencias de trabajo son bajas y además el bajo voltaje de alimentación una necesidad, como es el caso de los sistemas a los cuales está dirigido este proyecto.

1.2. Señales bioeléctricas

Las señales biomédicas son registros espaciales, temporales o espacio-temporales que contienen información que puede ser utilizada para explicar mecanismos fisiológicos subyacentes en un evento o un sistema biológico específico. La actividad eléctrica, química o mecánica que ocurre durante estos eventos biológicos produce señales que pueden ser medidas y analizadas. Las señales biomédicas pueden ser clasificadas según su fuente o naturaleza física. De acuerdo a la fuente, se distingue entre señales bioeléctricas, biomagnéticas, bioquímicas, biomecánicas, bioacústicas y bioópticas [Morillo2008].

Las señales bioeléctricas son las señales biomédicas más utilizadas en la bioingeniería. El hecho de que los sistemas biológicos más importantes posean células que segregan o absorben iones hace posible estudiar y registrar las principales funciones de estos sistemas mediante la detección de señales bioeléctricas. Además, ya que el campo eléctrico se propaga a través del medio biológico, el potencial puede adquirirse a distancia desde la superficie del sistema en estudio, eliminándose la necesidad de invadirlo.

Aunque existe toda una serie de señales bioeléctricas, como se muestra en la Tabla 1.1, este trabajo se enfoca en el ECG, debido a que es el registro de una de la señales bioeléctricas más utilizadas y de mayor interés en la medicina contemporánea [Kuts2009].

Tabla 1.1: *Características de algunos biopotenciales.*

Señal	Registro	Siglas	Amplitud típica	Espectro de frecuencia
Cardiaca	Electrocardiograma	ECG	1 mV	0,05 – 100 Hz
Muscular	Electromiograma	EMG	10 μ V–1mV	10 Hz –5 KHz
Cerebral	Electroencefalograma	EEG	1 – 100 μ V	0,1 – 50 Hz

⁵Potencia asociada a las corrientes de fuga presentes en los transistores MOS

1.2.1. Sistemas de detección

Después de estudiar las señales de interés se prosigue con una descripción del sistema que las registra, el cual se puede dividir en diferentes bloques, como se ve en la Figura 1.1. El primer

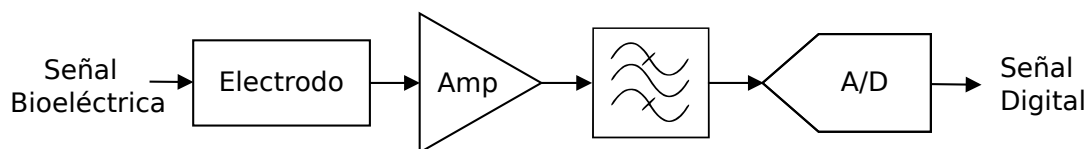


Figura 1.1: Diagrama de un sistema de detección de señales bioeléctricas.

bloque conforma la etapa de detección de la señal y está constituido por electrodos. Después se encuentra la etapa de adecuación de la señal, que está conformada por los bloques de ganancia y filtrado que permiten obtener las características adecuadas para la digitalización de la señal. Por último la señal pasa por un bloque que transforma la señal analógica en una señal digital, lo que permite realizar un tratamiento de la señal más robusto ante el ruido, además de dar la posibilidad de utilizar telemetría⁶. Como cualquier otro sistema de instrumentación, los sistemas para obtención de un ECG tienen una serie de especificaciones, que se pueden ver en el estándar *ANSI/AAMI EC11*, algunas de estas especificaciones se presentan a continuación [Osorio2007]:

- Rango Dinámico de Entrada: ± 5 mV de señal.
- Exactitud en la Ganancia: ± 5 %.
- Error del sistema: Para señales de entrada limitadas a ± 5 mV y un *slew rate* de 125 mV/s, el error máximo permitido es ± 10 %.
- Impedancia de entrada: mayor a $2 \text{ M}\Omega$ a 10 Hz.
- Corrientes directas: máximo 0,2 mA en todas las conexiones de los electrodos del paciente.
- Ruido del sistema: menor a 40 mV cuando todas las entradas están conectadas.
- Corrientes de riesgo del paciente: máximo 10 mA en el evento de fallas de la red de alimentación principal.

⁶Tecnología que permite la medición remota de magnitudes físicas.

Etapa de detección

Esta es la primera etapa del sistema y está conformada por un bloque que tiene por función detectar las señales bioeléctricas. Este bloque está compuesto por electrodos, que son transductores que convierten el potencial iónico en potencial eléctrico.

Muchos de los problemas asociados a la amplificación de señales bioeléctricas se presentan debido al comportamiento de los electrodos, ya que una alta impedancia en la interfaz piel-electrodo causa distorsión y adiciona una componente de *offset* que interfiere con la señal de interés [Osorio2007]. La impedancia piel-electrodo depende de muchos factores y solo se puede sacar un estimado de su valor, el cual según [Zepeda-Carapia2005] se encuentra entre 75 k Ω para frecuencias de 1 Hz y 20 k Ω para frecuencias entre 75 y 100 Hz (Valores del peor caso obtenido en las pruebas).

Etapa de adecuación:

Dentro de la etapa de adecuación se encuentran dos bloques, uno de ganancia y otro de filtrado. En el bloque de ganancia es común utilizar *OpAmps*⁷ (Amplificadores operacionales), ya que estos eliminan la señal de modo común que proviene de los electrodos. Esta señal puede llevar el sistema a saturación, además de no ser de interés para el análisis del biopotencial. El bloque de ganancia es fundamental ya que, como se mencionó anteriormente, las señales bioeléctricas presentan valores de amplitud muy pequeños, lo cual hace difícil su procesamiento y análisis.

Sin embargo a la vista de los valores de la Tabla 1.1, podría pensarse que el problema de la adquisición de los biopotenciales se reduce a diseñar y construir un amplificador con ganancia elevada y ancho de banda suficiente. No obstante, el principal problema en el registro de estas señales se encuentra en reducir al mínimo el ruido y las interferencias, que en muchos casos tienen mayor amplitud que la señal de interés y con un espectro de frecuencia superpuesto, razón por la cual se incluye un bloque de filtrado que elimina las componentes de interferencia más fuertes sin afectar notablemente la forma de la señal de interés.

El bloque de filtrado se implementa generalmente con un filtro pasa-banda. La frecuencia de corte bajo se introduce con el fin de eliminar el nivel de *offset* que se presenta después de la etapa de ganancia, mientras que la frecuencia de corte alto se introduce con el fin de eliminar señales de interferencia. La red de distribución de energía eléctrica es sin duda la principal fuente de interferencia externa, ya que las interferencias introducidas por otros equipos tienen generalmente frecuencias superiores al espectro de frecuencias de la señal bioeléctrica. Ésta señal de interferencia se debe al acople inductivo y capacitivo.

⁷Término que surge a partir de la alocución en inglés Operational Amplifier

La tecnología más antigua para la construcción de filtros utiliza inductores y capacitores, estos funcionan bien a altas frecuencias. Sin embargo a bajos niveles los inductores requeridos son de grandes valores y por tanto voluminosos, sus características se alejan de la idealidad, sin mencionar que son imposibles de fabricar de forma monolítica y además son incompatibles con cualquiera de las técnicas modernas de ensamblaje de sistemas electrónicos [Sedra2004]. Razón por la cual para bajas potencias y bajas frecuencias los filtros activos analógicos, compuestos por un arreglo de *OpAmps* y transistores son la mejor opción.

Ya que los *OpAmps* utilizados para realizar los bloques de ganancia y de filtrado comparten características comunes, es habitual utilizar un solo tipo para implementar la etapa completa. Este amplificador es llamado amplificador de biopotencial, y sus características más importantes son su alta relación de rechazo al modo común (*CMRR* por sus siglas en inglés), alta ganancia y bajo ruido.

A continuación se presentan las principales especificaciones de los *OpAmps* utilizados para implementar esta etapa, extraídas de [Kuts2009]

- Ganancia entre 10^3 a 10^4 , es decir mayor a 60 dB.
- Impedancia de entrada mayor a $10^8 \Omega$.
- *CMRR* mayor a 100 dB.
- Espectro de ruido menor a $20 \text{ nV}/\sqrt{\text{Hz}}$.

Etapa de digitalización:

Esta es la etapa final del sistema de detección de señales y está compuesta por un ADC⁸ (Convertor analógico-digital), el cual es fundamental ya que el procesamiento digital de la señal permite flexibilidad a la hora de reconfigurar las operaciones de procesado sin alterar físicamente los dispositivos, hace la señal más robusta ante el ruido y da la posibilidad de transmitir la señal para ser analizada y procesada en un lugar remoto. Además las señales digitales se almacenan fácilmente sin deterioro o pérdida en la fidelidad. Generalmente es difícil realizar operaciones matemáticas precisas sobre señales en formato analógico, pero el procesado digital de señales hace posible implementar algoritmos de procesado más sofisticados.

Una vez que se han descrito las etapas, es posible inferir que el amplificador de biopotencial constituye la celda básica de los sistemas que detectan señales biomédicas, ya que el rendimiento de este afecta directamente el comportamiento del sistema, sin mencionar que

⁸Término que surge a partir de la locución en inglés Analog-to-Digital Converter

permite implementar diferentes bloques. A continuación se profundiza en los conceptos relacionados con este.

1.3. Estado del arte

Numerosos autores se han preocupado por el desarrollo de sistemas portátiles dirigidos al campo biomédico. Mas aún, reconociendo la importancia de los amplificadores de biopotencial como la célula básica en los sistemas que detectan señales de bioeléctricas, se ha desarrollado un gran número de topologías que cumplen con las características para la detección y que además trabajan con bajos voltajes de alimentación. En la Tabla 1.2 se recopilan estos trabajos ordenados de forma cronológica.

En [Tang2002] se utiliza una técnica que permite trabajar con bajos voltajes de alimentación al simular transistores con bajo voltaje de umbral. Esta técnica llamada ajuste de voltaje de umbral permite trabajar el transistor en inversión fuerte, a pesar de alimentarlo con un bajo voltaje. Sin embargo es necesaria una fuente de alimentación por cada transistor presente en la tecnología, lo cual hace que esta metodología no sea práctica y por tanto no se haya difundido. En [Lee2006] y [Lee2008] se utilizan transistores con voltaje de umbral nativo cero, esto al igual que en el método anterior permite trabajar en inversión fuerte. Esta metodología evita la utilización de diversas fuentes de voltaje lo que es una ventaja, aunque es necesario recordar lo mencionado en la Sección 1.1, según lo cual estos transistores son poco fiables debido a que presentan baja reproducibilidad y además no están lo suficientemente caracterizados y modelados. En [Chow2008] se utiliza la técnica *CDB* (*current driven bulk*) en la que, al aplicar una tensión negativa V_{SB} , gracias al efecto cuerpo se disminuye el voltaje de umbral, dando oportunidad de trabajar en inversión fuerte. Esta técnica presenta la desventaja de un mayor consumo de potencia, frente a otros métodos como lo es el trabajo de los transistores en la región de inversión débil. En [Daliri2008] los transistores de entrada son *PMOS*, esto disminuye el ruido *flicker*, que es la principal fuente de ruido en las aplicaciones de interés. Por otro lado como metodología de trabajo, utilizan la conmutación entre los estados encendido y apagado del transistor, lo que conlleva a un ahorro de potencia. Sin embargo este ahorro se intercambia por la necesidad de una señal de reloj que dependiendo de la aplicación puede o bien utilizar un cristal para generar la frecuencia o un circuito oscilador, lo que conlleva a una mayor cantidad de recursos para la construcción del circuito. Por último el *OpAmp* en [Ahmadpour2010] presenta el voltaje de alimentación más bajo, razón por la cual se incluye a pesar de no ser diseñado explícitamente para aplicaciones biomédicas y por tanto no cumplir con las características de los amplificadores de biopotencial. Este trabajo se basa en la utilización de la transconductancia g_{mb} y no solo de la transconductancia de com-

puerta que es la que se utiliza comúnmente, de tal forma que en últimas la tensión aplicada en el cuerpo del transistor disminuye el voltaje de umbral efectivo y por tanto aumenta el nivel de inversión, lo cual permite trabajar en la región de inversión moderada. Este circuito necesita de múltiples etapas de *CMFB* (*Common-mode feedback*) las cuales incrementan el tamaño del CI notablemente.

Es importante resaltar que los voltajes de alimentación que se registran en la Tabla 1.2 son los voltajes típicos con los que trabaja el circuito, es decir, que se encuentran dentro de un rango de valores en los cuales el amplificador trabaja sin degradar sus características de forma representativa.

Tabla 1.2: Comparación entre trabajos representativos en el diseño de OpAmps con bajo voltaje de alimentación.

Referencia	$V_{DD}-V_{SS}$ [V]	Potencia [μ W]	Ganancia [dB]	Ancho de banda	Margen de fase	Tecnología <i>CMOS</i>	Año
[Tang2002]	0,6	42	79	8 MHz	58°	350 nm	2002
[Lee2006]	0,9	2,4	> 80	30 kHz	65°	180 nm	2006
[Lee2008]	0,65	-	> 65	200 kHz	> 51°	180 nm	2008
[Chow2008]	1	186,9	71	8 MHz	78°	180 nm	2008
[Daliri2008]	0,8	0,0505	75	20 kHz	62°	180 nm	2008
[Ahmadpour2010]	0,4	16	63	200 kHz	63°	90 nm	2010

Capítulo 2

Topologías

El *OpAmp* es uno de los elementos de circuito más común, esto debido a su versatilidad que permite utilizarlo en diversas configuraciones, como lo son integradores, osciladores y filtros, entre otros. Esto conlleva a que muchos autores trabajen en su desarrollo, lo que resulta en la existencia de más de 100 trabajos presentados en los últimos años. Sin embargo, a pesar del elevado número de trabajos en esta área, la investigación de *OpAmps* que están dirigidos a la detección de señales biomédicas no se ha desarrollado en tan alto número.

Los trabajos reportados en la Tabla 1.2 corresponden al estado del arte de este tipo de amplificadores, más aún la mayoría de estos utiliza técnicas dirigidas al trabajo de los transistores en la región de inversión fuerte, lo que aumenta el consumo de potencia, como se explicó en el capítulo anterior. No obstante existe una gran cantidad de trabajos que no están dirigidos a esta área, que presentan características adecuadas para la detección de señales biomédicas, como lo son una alta *CMRR*, alta ganancia y bajo ruido referido a la entrada y que además no utilizan técnicas que conlleven a la utilización de procesos especiales (compuertas flotantes, voltajes de umbral cero o negativos, etc). Con el fin de elegir los trabajos más relevantes para este proyecto se desarrolla una figura de mérito que permite evaluar objetivamente cada uno de los trabajos. Esto permite elegir una topología base, que puede ser modificada a partir de características sobresalientes presentadas en otros trabajos, dando como resultado una estructura óptima para la aplicación de interés.

2.1. Figura de mérito

Ya que las topologías dirigidas a aplicaciones con bajos voltajes de alimentación generalmente utilizan transistores especiales, y ya que por medio del diseño en las regiones de inversión débil o moderada es posible alimentar con bajos voltajes estructuras que normalmente no están dirigidas a esta aplicación, se propone utilizar una topología de propósito general

que alcance los requisitos planteados. Esto incrementa el número de posibles topologías a usar. Por este motivo es necesario implementar una figura de mérito que permita realizar una calificación objetiva de las diferentes arquitecturas, basándose en las características de interés sin tener en cuenta el voltaje de alimentación por las razones ya expuestas. Se puede decir que una figura de mérito es la forma de cuantificar el desempeño del circuito con respecto a otros y a la meta esperada, expresando los requerimientos propios de la aplicación en una fórmula matemática.

En (2.1) se muestra la figura de mérito propuesta para la evaluación de los diferentes trabajos. En esta se observa que son tres los elementos que aportan valor, los dos primeros de ellos suman a la figura de mérito, puesto que son variables que se desea sean lo mayor posibles. Dichas variables corresponden a la ganancia y la *CMRR* respectivamente. El último elemento de la ecuación, contrario a los dos primeros se encuentra restando. En este, el término ϱ_n es el ruido referido a la entrada, multiplicado por $\sqrt{\text{Hz}}/V$, lo cual permite trabajar con un número adimensional.

$$20 \log \left(\frac{v_o}{v_{in}} \right) + 20 \log \left(\frac{A_v}{A_{cm}} \right) - 10 \log (\varrho_n) \quad (2.1)$$

Ya que el ruido referido a la entrada es un número menor a uno, al hallar el logaritmo de este se obtiene una cantidad negativa. Esto da como resultado que entre menor sea el ruido, se suma un número mayor a la figura de mérito. Dado que los tres elementos se encuentran sumando, entre mayor es el número que representa la figura de mérito, mejor es la topología. Por último, si alguno de los datos a tener en cuenta no se menciona por el autor, entonces esta característica no agrega ningún valor, es decir, se asume cero el resultado del logaritmo.

Un aspecto importante que no se ha tenido en cuenta hasta el momento es la eficiencia en las estructuras, ya que no es lo mismo obtener resultados destacados con una topología de dos etapas, que hacerlo con una de cuatro etapas. Es evidente que entre menos etapas se utilicen, más sencilla es la estructura y menos recursos se consumen. Por tanto es necesario normalizar el valor hallado con la figura de mérito. De tal forma que se puedan comparar las estructuras de una manera equitativa. Para esto se divide el valor obtenido en la figura de mérito original en la cantidad de etapas que presenta la topología.

2.2. Arquitecturas

A pesar del elevado número de trabajos con características adecuadas para la detección de señales bioeléctricas, gracias a la aplicación de la figura de mérito, fue posible encontrar las tres topologías más destacadas. Las características de estos trabajos se encuentran en la Tabla 2.1, donde los primeros resultados corresponden a las características que deben cumplirse para el

desarrollo de este proyecto. A continuación se muestran las estructuras utilizadas en cada uno de los trabajos y se comentan sus mayores fortalezas y debilidades.

Tabla 2.1: Características de las topologías destacadas.

Ref.	A_d [dB]	$CMRR$ [dB]	Ruido [$\text{nV}/\sqrt{\text{Hz}}$]	Etapas	Figura de mérito	F. mérito Normalizada
a	60	100	20	3^b	236	78,6
[Zhang2008]	114	120	17,47	3	311	103
[Giustolisi2000]	70	101,49	-	2	171	86
[Lai2010]	98,8	137,8	24,92	3	312	104

a . Requerimientos de un amplificador de biopotencial.

b . Número de etapas típico de este tipo de amplificadores.

2.2.1. Zhang

En [Zhang2008] se diseña un *OpAmp* para aplicaciones de detección de señales (no biomédicas). Este amplificador está dirigido a obtener una alta $CMRR$, bajo nivel de *offset* y un bajo ruido. Además está basado en la premisa de no utilizar técnicas que incrementen sustancialmente el área del chip y que no utilicen señales de reloj. Dadas las especificaciones, los autores proponen el amplificador de la Figura 2.1.

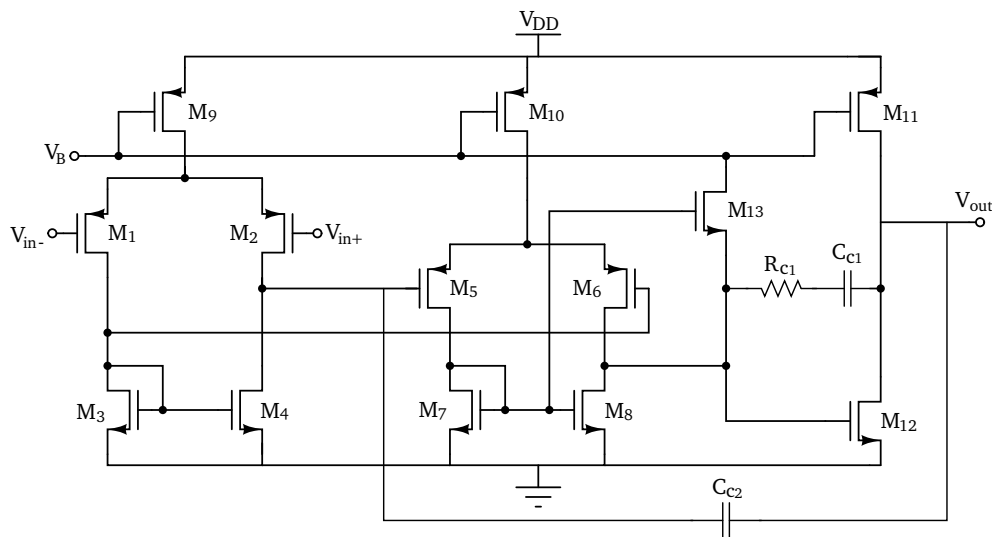


Figura 2.1: *OpAmp* propuesto por Zhang, con doble par diferencial.

Este amplificador está compuesto por tres etapas de amplificación, donde las dos primeras corresponden a pares diferenciales y la última de ellas a una etapa de salida clase A. Las primeras dos etapas de ganancia están acopladas para formar una sola etapa compuesta. Esta etapa compuesta busca reemplazar las etapas de entrada conformadas por amplificadores operacionales de transconductancia (*OTAs*¹). La forma en la que se encuentran acoplados los pares diferenciales conlleva a varias cosas. Primero, el voltaje en DC producido en los drenadores de los transistores M_1 y M_2 polarizaran las compuertas de los transistores M_5 y M_6 . Además de esto las señales en modo común que logran pasar a través del primer par diferencial, serán fuertemente rechazadas por el segundo par diferencial. Esto matemáticamente se puede observar como un incremento en la *CMRR* que obedece a la multiplicación de las *CMRR* de cada uno de los pares diferenciales, siendo esta la característica más importante que presenta esta estructura.

Otra de las particularidades de esta etapa compuesta, es que inevitablemente los drenadores de los transistores M_1 y M_2 deben ser seguidos por los transistores M_5 y M_6 , esto genera un rechazo al *offset* producido debido a características aleatorias como los son variaciones en la temperatura y el voltaje de alimentación, lo cual brinda al circuito una protección ante este tipo de errores.

Por último, esta estructura presenta compensación Miller anidada representada por las capacitancias C_{C1} y C_{C2} . La resistencia R_1 está encargada de desplazar el cero debido a la adición de la capacitancia C_{c1} a un valor en el semiplano izquierdo o bien a la misma frecuencia del segundo polo dominante, cancelándolo. El transistor M_{13} se agrega para mejorar el *slew-rate* en la etapa de salida clase A.

2.2.2. Giustolisi

En [Giustolisi2000] se realiza un análisis del efecto que produce la frecuencia en la *CMRR* en cuatro estructuras diferentes. Para el propósito de este proyecto solo es de interés la estructura presentada en la Figura 2.2(b). Sin embargo para explicar algunos puntos importantes que se deben tener en cuenta en el desarrollo del proyecto, se analizará primero la Figura 2.2(a). En la Tabla 2.2 se resumen las características que presentan los dos amplificadores.

El amplificador en 2.2(a) presenta a la entrada un par diferencial que tiene conectado como carga transistores en conexión diodo, y a la salida presenta una etapa de surtidor común. Esta estructura, presenta como mejora con respecto a la estructura de referencia (un *OTA*) la adición de un espejo de corriente. Este espejo hace que la ganancia en modo diferencial, como también en modo común disminuyan. No obstante dado que la disminución en la ganancia en

¹Término que surge a partir de la alocución en inglés *Operational Transconductance Amplifier*.

Tabla 2.2: Características de los amplificadores presentados por Giustolisi.

	A_c [dB]	A_d [dB]	$CMRR$ [dB]	f_t [MHz]	m_ϕ
Figura 2.2(a)	-41,22	38,70	79,93	24,82	71,15°
Figura 2.2(b)	-31,48	70,00	101,49	23,40	71,66°

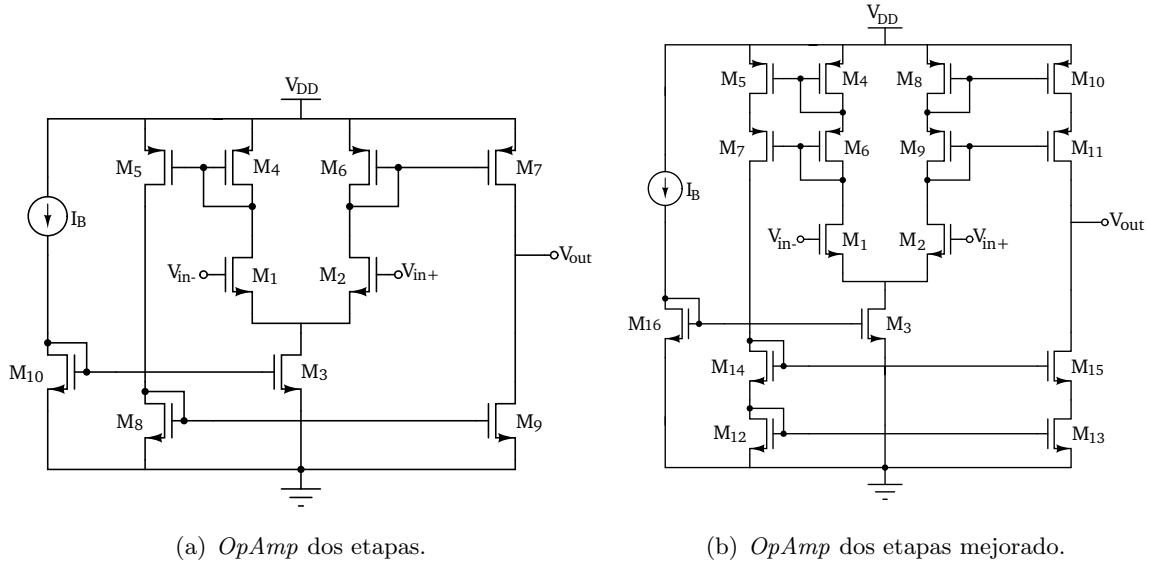


Figura 2.2: OpAmps de interés, presentados por Giustolisi.

modo común es mucho mayor con respecto a la disminución en modo diferencial, la $CMRR$ presenta un incremento.

Este amplificador tiene una ganancia en modo común determinada por (2.2) y una ganancia diferencial determinada por (2.3). De estas expresiones se observa que ambas características dependen de las resistencias de salida de los transistores de carga, por esta razón, para mejorar las características de la topología anterior, el autor propone implementar espejos de corriente con cascodos, lo cual aumenta la resistencia de salida y por tanto la ganancia de la estructura. En 2.2(b), contrario a la primera modificación en la cual se disminuyeron ambas características, pero mayormente el modo común, se elevan las ganancias, más aún en mayor manera el modo diferencial, lo cual aumenta notablemente la $CMRR$, sin afectar la ganancia en modo diferencial, que se desea sea lo más alta posible.

$$A_c = \frac{\left(r_{o4} \parallel \frac{1}{g_{m4}} \right)}{2r_{o3}} \quad (2.2)$$

$$A_v = g_{m1} \left(r_{o2} \parallel r_{o4} \parallel \frac{1}{g_{m4}} \right) g_{m7} (r_{o7} \parallel r_{o9}) \left(1 + g_{m9} \left(r_{o5} \parallel r_{o8} \parallel \frac{1}{g_{m8}} \right) \right) \quad (2.3)$$

Esta estructura por tanto presenta un alto $CMRR$, sin embargo para la implementación de los espejos de corriente con cascodos fue necesario apilar varios transistores, lo cual da como resultado un incremento en el voltaje de alimentación mínimo.

2.2.3. Lai

Una de las principales preocupaciones del trabajo realizado por Lai [Lai2010], es disminuir el ruido que introduce el sistema a la señal que se desea detectar, por esta razón la estructura propuesta corresponde a un amplificador de bajo ruido (LNA^2). Ya que la disminución del ruido es la prioridad, es necesario conocer la expresión que modela el ruido que ingresa un transistor en el sistema. Esta expresión se puede observar en (2.4), donde es claro que el ruido tiene dos componentes. La primera de ellas se conoce como ruido térmico y es constante para cualquier valor de frecuencia, a diferencia del segundo término que se conoce como ruido *flicker* o ruido $1/f$ y aumenta su valor a bajas frecuencias. Ya que el trabajo de Lai está dirigido a aplicaciones en las cuales las señales presentan bajas frecuencias, solo se tiene en cuenta el componente del ruido *flicker*. Como se puede deducir de la expresión, aumentar las geometrías del transistor disminuye el ruido. Esta es la principal estrategia de diseño de Lai para disminuir el ruido. Sin embargo al realizar esto se ve gravemente afectada la respuesta en frecuencia del transistor.

$$v_n^2 = \frac{i_n^2}{g_m^2} = \underbrace{\frac{8kT(1+\eta)}{3g_m}}_{\text{Ruido térmico}} \Delta f + \underbrace{\frac{K_f}{2fC_{ox}WLK'}}_{\text{Ruido flicker}} \Delta f \quad (2.4)$$

Lai propone en su trabajo la utilización de transistores de longitud dividida, estos transistores están conformados por dos transistores en serie conectados por la compuerta. La idea base consta de dividir el transistor de entrada en dos transistores en serie conectados por la compuerta, tal y como se observa en la Figura 2.3. Esta configuración disminuye notablemente la capacitancia de compuerta y además produce una disminución en la capacitancia vista desde el drenador del transistor efectivo. Esto según Lai conlleva a un aumento en el ancho de banda, el cual se había visto afectado por el aumento de las geometrías del transistor.

En la Figura 2.4 se observa la configuración utilizada. En esta se observan en azul los transistores que se han “agregado” debido a la implementación de transistores de longitud dividida. Es evidente que existen dos pares diferenciales y por tanto cuatro transistores con longitud dividida. Esto es debido a que una de las preocupaciones del trabajo es obtener una entrada *rail-to-rail*. Para esto se utiliza una configuración en la cual la etapa de entrada

²Término que surge a partir de la alocución en inglés *Low Noise Amplifier*.

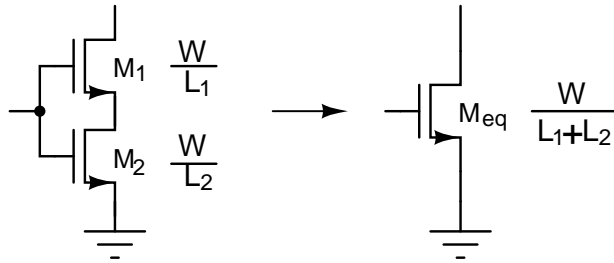


Figura 2.3: Transistor de longitud dividida.

se compone por dos pares diferenciales, uno PMOS y otro NMOS. Cuando la señal de modo común es alta, el par diferencial PMOS se apaga y solo funciona el par NMOS. Caso contrario, a bajos niveles de modo común, el par diferencial PMOS se encuentra encendido mientras el par NMOS se encuentra apagado.

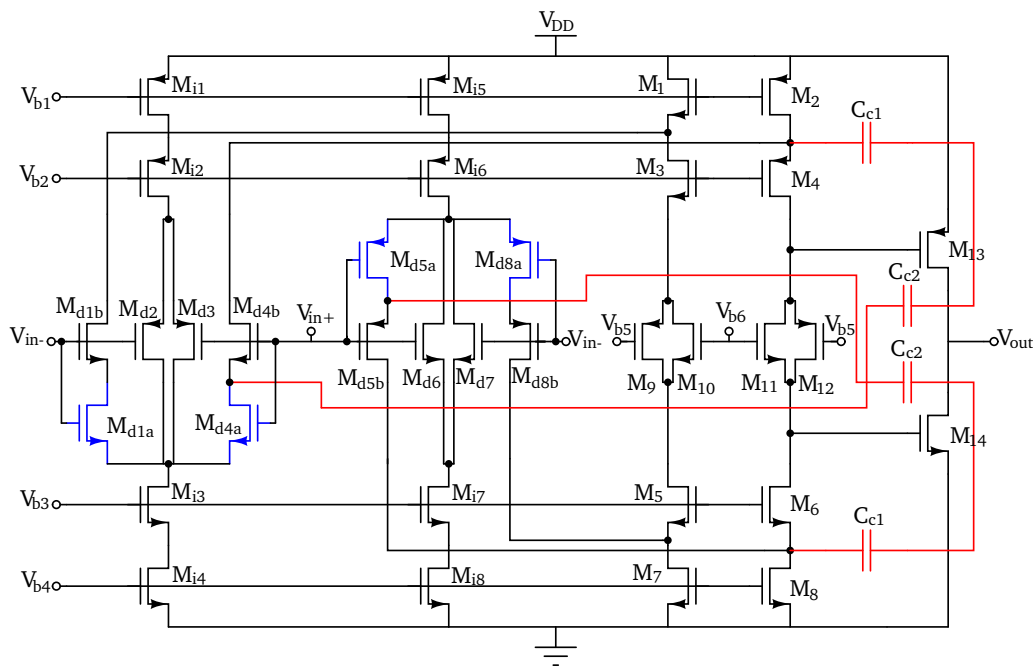


Figura 2.4: LNA propuesto por Lai.

Si bien tener dos pares diferenciales en paralelo, permite obtener una entrada de riel a riel, es importante mencionar que también conlleva a un problema, la transconductancia y por tanto la ganancia varía con respecto al nivel de modo común que ingresa al amplificador. Se presentan tres casos, transconductancia igual a g_{mn} cuando está funcionando el par NMOS, transconductancia igual a g_{mp} cuando funciona el par PMOS y por último transconductancia igual a $g_{mn} + g_{mp}$ cuando ambos pares se encuentran funcionando. Por esta razón, el autor im-

plementa lo que se podría denominar “llaves de corriente”, que no son más que los transistores M_{d2} , M_{d3} , M_{d6} y M_{d7} , los cuales limitan la corriente que pasa a través de los pares diferenciales y permiten mantener un g_m constante, sin importar cual par diferencial se encuentra en funcionamiento.

Otro aspecto a tener en cuenta en esta topología, es que cuando la tensión en la compuerta de M_8 cambia, también lo hace la tensión en M_{14} . Esto permite un control de la corriente de salida. Sin embargo conlleva a la dependencia de un circuito externo que controle las diferentes fuentes de polarización, esto incrementa el consumo de recursos del sistema y además puede verse como una adición de etapas que disminuyen la eficiencia y valor de su figura de mérito. Por otro lado a pesar de que este amplificador presenta excelentes características en cuanto a ganancia y $CMRR$, el número de elementos que se utilizan es considerablemente mayor al observado en el resto de estructuras, sin mencionar que esta estructura presenta cinco transistores apilados, lo cual aumenta el voltaje de alimentación mínimo.

2.3. Selección de topología

Una vez revisadas las tres topologías más relevantes para la aplicación de interés, es necesario elegir la más adecuada. Para esto se tienen en cuenta una serie de elementos, como presentar un desempeño óptimo en las características de interés, pero a la vez, consumir la menor cantidad de recursos y presentar una estructura adecuada para el trabajo a bajos niveles de alimentación. Teniendo claro esto, se puede comprobar que la estructura que presenta las mejores características para el desarrollo de este proyecto es la propuesta por Zhang [Zhang2008].

Ahora bien, esta estructura puede ser modificada para obtener mejores resultados. Para esto se propone implementar en esta topología algunas técnicas y configuraciones presentadas en los otros trabajos estudiados. De la estructura presentada por Giustolisi se rescata el aumento en la resistencia de salida, que produce un incremento considerable en la ganancia diferencial con respecto a la ganancia en modo común. Esto conlleva a un aumento en la ganancia del amplificador, como también a un aumento en la $CMRR$. Más aún, es necesario comentar que los autores proponen utilizar cascodos en carga, como también en el espejo de corriente, lo cual da como resultado un apilamiento de dos transistores más y por tanto un incremento en el voltaje de alimentación. Otra solución que se desprende de este trabajo es, elevar la resistencia de salida del transistor que polariza el par diferencial. Esto da como resultado una baja ganancia de modo común, sin afectar la ganancia diferencial y por tanto se aumenta la $CMRR$.

Capítulo 3

Metodología de Diseño

El objetivo principal de este proyecto es el diseño de un *OpAmp* con bajo voltaje de alimentación que cumpla con las características para detección de señales biomédicas. Para cumplir este, se sigue la metodología que se muestra en la Figura 3.1. Hasta el momento se han revisado las estructuras que presentan características satisfactorias para la aplicación y se ha seleccionado la que mejor desempeño presenta, cumpliendo el primer paso de la metodología. En este capítulo, primero se estudian modelos del transistor que permitan trabajar en cualquier nivel de inversión con alta exactitud. Posteriormente como parte de la metodología se realizarán las modificaciones necesarias a la estructura. Una vez hecho esto, se revisan cuantitativamente todas las características de interés, con el fin de desarrollar las expresiones que más adelante servirán para encontrar las dimensiones de los transistores.

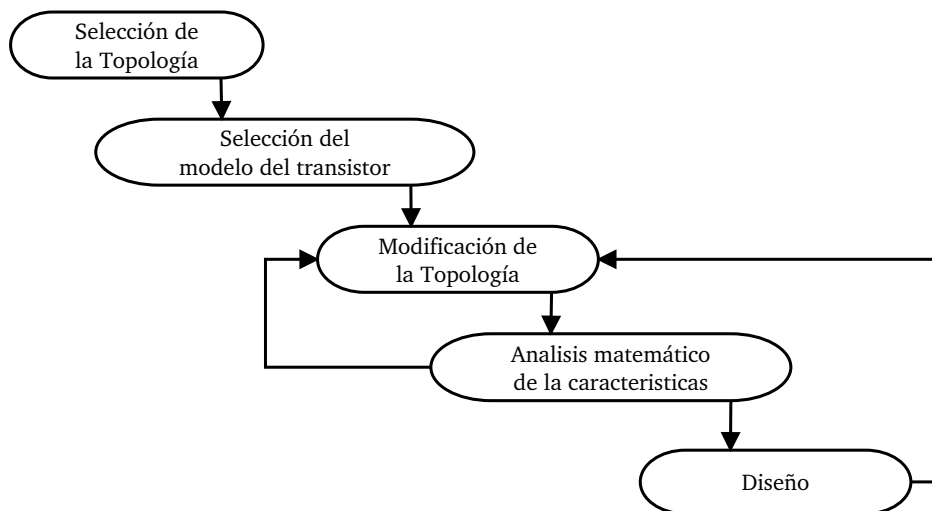


Figura 3.1: Metodología de diseño.

3.1. Modelo de transistor

Un modelo del comportamiento eléctrico de los dispositivos es la unión entre el diseñador y el fabricante. Para realizar adecuadamente el diseño de un CI, es necesario contar con un modelo eléctrico que permita predecir el comportamiento de los dispositivos y por tanto de un sistema completo, de tal forma que al fabricar la respuesta obtenida se aproxime a la esperada. Entonces es posible decir que la correcta elección del modelo a utilizar a la hora de realizar un diseño, interviene directamente con el éxito del producto final, por este motivo a continuación se revisan los modelos de transistor más comunes y al final se realiza una discusión acerca del más adecuado para la realización del presente proyecto.

3.1.1. Modelo *BSIM3v3*

El modelo *BSIM* (*Berkeley Short Iqfet Model*), es un modelo físico del *MOSFET* desarrollado en la Universidad de California, Berkeley, que presenta una extensa dependencia de parámetros dimensionales y de procesamiento (longitud y ancho del canal, espesor del óxido de la puerta, profundidad de la unión, concentración del dopado en el sustrato, etc). Esto permite a los usuarios modelar con precisión el *MOSFET*¹ en un amplio rango de longitudes y anchos del canal. Este modelo hace parte de los llamados modelos basados en V_T . Este nombre lo recibe debido a que el parámetro de voltaje de umbral (V_T) en inversión fuerte, es la llave para el modelado de todas las otras regiones de trabajo.

El modelo *BSIM3v3* se basa en una estrategia coherente pseudo-2d [Cheng1995] para modelar varios efectos de canal corto y alto campo eléctrico, por lo tanto incluye expresiones compactas de análisis para los principales fenómenos físicos observados en nuestros días en los dispositivos MOS. Actualmente se trabajan los modelos *BSIM3*, *BSIM4* y *BSIM5*, aunque este último trabaja sobre una filosofía totalmente distinta.

3.1.2. Modelo *EKV*

Este modelo fue propuesto por C. Enz, F. Krunnenacher y E. Vittoz, de allí su nombre. Al contrario de modelos más simples como el modelo cuadrático, el modelo *EKV* es preciso incluso cuando el *MOSFET* opera en la región de sub-umbral. Además el modelo incorpora muchos de los efectos que aparecen en las tecnologías de fabricación sub-micrométricas. Como ventaja frente a otros modelos como el *BSIM*, podemos destacar su reducido número de parámetros lo que permite realizar cálculos manuales.

El modelo *EKV* es un modelo de simulación escalable y compacto basado en las propiedades físicas fundamentales de la estructura MOS. Este modelo está dedicado al diseño

¹Término que surge a partir de la alocución en inglés *Metal-oxide-semiconductor Field-effect transistor*.

y simulación de circuitos con bajos voltajes, bajas corrientes y de señal mezclada que usan tecnologías *CMOS* sub-micrométricas [Enz2006]. Este modelo sirve para dos propósitos de manera coherente. Su núcleo requiere unos pocos parámetros para describir todas las propiedades básicas de un dispositivo de canal largo, con lo cual es posible realizar análisis y cálculos manuales. Mientras que las capas adicionales que se agregan al núcleo sirven para tener en cuenta los efectos secundarios y de canal corto, brindando exactitud al modelo.

3.1.3. Modelo *ACM*

El modelo *ACM* (*Advance Compact MOSFET Model*) es el resultado de una nueva mirada al problema del modelado compacto del *MOSFET*. Este modelo adopta el método de carga presentado por primera vez por Maher y Mead en 1987 y el modelo de control de carga unificada (*UCCM*), presentado por Byun [Galup-Montoro2003].

Todas las características de gran señal (corrientes y cargas) y los parámetros de pequeña señal ((trans)conductancias y (trans)capacitancias) están dadas por expresiones de una sola pieza con un orden infinito de continuidad (C_∞). Además todos los parámetros que este modelo utiliza son parámetros eléctricos fácilmente medibles. Al igual que el modelo *EKV* este es un modelo que presenta baja cantidad de parámetros frente a otros modelos, y además es un modelo simétrico. Esto quiere decir que todas las tensiones presentes en el transistor se encuentran referenciadas al cuerpo como lo dicta el comportamiento físico del transistor, y no al surtidor como en otros casos. Por último y más importante el modelo *ACM* presenta una base física sólida, utilizando parámetros, expresiones y fundamentos físicos que le permiten obviar la extrapolación entre cada una de las regiones de inversión.

3.1.4. Modelo a utilizar

Muchos de los modelos existentes de los transistores *MOSFET* llevan años en desarrollo, sin embargo, no son apropiados para el diseño, debido a su falta de precisión, ecuaciones complejas para describir el comportamiento del *MOSFET*, excesivo número de parámetros, y la falta de significado físico de sus parámetros. En cierta medida, estos problemas son consecuencia del largo proceso de cambios ligeros a los que los modelos CAD se sometieron antes de alcanzar su estado actual. Este es el caso de los modelos *BSIM*, en los cuales a pesar de que se obtiene una cierta exactitud, el cálculo manual de expresiones y el uso del modelo para realizar el diseño de un CI es imposible debido a la complejidad del mismo. En general es posible decir que los modelos basados en V_T no son adecuados para la realización de los análisis necesarios en este proyecto.

Lo anterior conlleva a que el modelo a utilizar haga parte de los que están basados en cargas y que además son simétricos. Dentro de este tipo de modelos, se encuentran el *EKV* y el *ACM*,

siendo la primera opción el modelo EKV puesto que este fue desarrollado inicialmente para el mismo tipo de aplicaciones con las que se trabaja en este proyecto, es decir bajos voltajes de alimentación, además de presentar las ventajas propias de los modelos basados en cargas, los cuales permiten trabajar con expresiones más sencillas facilitando el análisis manual. Sin embargo es importante mencionar que el modelo EKV presenta una curva de interpolación no-física para reducir la brecha entre la inversión débil y fuerte. Como resultado los parámetros de pequeña señal, especialmente las capacitancias, son muy difíciles de modelar en contra posición al modelo ACM [DaCostaGouveiaFilho1997]. Las razones antes expuestas muestran que el modelo ACM es la mejor opción para la realización del diseño propuesto, puesto que básicamente presenta las ventajas del modelo EKV , más una mejora importante.

A continuación se presentan las ecuaciones que describen las principales características del transistor. En (3.1) se observa la expresión que modela la corriente que fluye desde el drenador hacia el surtidor. Si el transistor se encuentra en saturación, esta será la misma corriente que recorre el transistor, de lo contrario existirá una corriente inversa que fluirá de surtidor a drenador y por tanto la corriente total será la resta entre estas dos componentes. La corriente se puede modificar a través del nivel de inversión (i_f) en el que se está trabajando y de las geometrías utilizadas. El parámetro de movilidad depende directamente del nivel de inversión y no existe una fórmula en este modelo que describa su comportamiento, por lo cual este parámetro se halla a partir del resultado de simulaciones. En (3.4) se muestra la expresión que describe el factor de pendiente (n), como se puede ver, depende de la tensión aplicada en la compuerta, es decir que también depende del nivel de inversión en el cual se está trabajando. El resto de parámetros que aparecen en la expresión de la corriente son constantes para una temperatura y proceso de fabricación dados. En el caso del potencial térmico (ϕ_t), este depende de la temperatura a diferencia de la capacitancia intrínseca por unidad de área de la compuerta (C'_{ox}) que depende de parámetros propios del proceso de fabricación.

En (3.2) se observa la expresión que determina el voltaje de estrangulamiento. Este depende de parámetros propios del proceso de fabricación y del voltaje en la compuerta. Esta expresión junto con (3.3), relacionan el voltaje aplicado en la compuerta con el nivel de inversión, esto permite como se mencionó anteriormente trabajar la corriente del transistor con solo dos variables de diseño: el nivel de inversión y la relación de aspectos.

$$I_D = \frac{\phi_t^2}{2} \frac{W}{L} n C'_{ox} \mu(i_f) i_f \quad (3.1)$$

$$V_p = \left[\sqrt{V_G - V_{th0} + \left(\sqrt{2\phi_F} + \frac{\gamma}{2} \right)^2} - \frac{\gamma}{2} \right]^2 - 2\phi_F \quad (3.2)$$

$$V_p - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (3.3)$$

$$n = 1 + \frac{\gamma}{2(\sqrt{2\phi_f + V_p})} \quad (3.4)$$

$$g_m = C'_{ox} \mu(i_f) \phi_t \left(\frac{W}{L} \right) \left(\sqrt{1 + i_f} - 1 \right) \quad (3.5)$$

Las anteriores expresiones dependen de parámetros propios del proceso de fabricación y del voltaje térmico. A continuación se muestran los valores que asumen dichas constantes para la tecnología *UMC* 90 nm la cual se utiliza en este proyecto y el valor del voltaje térmico a la temperatura de referencia 300 K.

$$\gamma = 0,545 \sqrt{V} \quad \phi_t = 0,0259 \text{ V} \quad \phi_F = 0,404 \text{ V} \quad C'_{ox} = 15,69 \text{ mF/m}^2$$

Para los transistores *PMOS* se aplican las ecuaciones (3.6, 3.7, 3.8). Las expresiones que modelan la corriente y la trasconductancia de compuerta del transistor son las mismas que se aplican para el transistor *NMOS*.

$$-V_p = \left[\sqrt{-(V_G - V_{th0}) + \left(\sqrt{2\phi_F} + \frac{\gamma}{2} \right)^2} - \frac{\gamma}{2} \right]^2 + 2\phi_F \quad (3.6)$$

$$V_{S(D)} - V_p = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right] \quad (3.7)$$

$$n = 1 + \frac{\gamma}{2\sqrt{-(V_p + 2\phi_f)}} \quad (3.8)$$

Al igual que sucede con los transistores *NMOS*, este tipo de transistores poseen unos valores propios debidos al proceso de fabricación. Para el caso del proceso de fabricación con el cual se está trabajando en este proyecto dichas constantes asumen los siguientes valores.

$$\gamma = 0,537 \sqrt{V} \quad \phi_t = 0,0259 \text{ V} \quad C'_{ox} = 14,39 \text{ mF/m}^2 \quad \phi_F = 0,404 \text{ V}$$

3.2. Modificaciones de la Topología

En el capítulo anterior se eligió la topología propuesta por Zhang [Zhang2008] como la más adecuada para la aplicación en la cual se enfoca este proyecto. Sin embargo como se mencionó, esta topología fue originalmente diseñada y propuesta para trabajar con altos voltajes de alimentación y para una aplicación distinta a la de este proyecto. Esto conlleva que, al trabajar a bajos niveles de alimentación algunas de las características se vean deterioradas.

Motivo por el cual se hace necesario realizar modificaciones que permitan a la estructura presentar las características requeridas por la aplicación.

La principal modificación realizada al amplificador presentado por Zhang está orientada a mejorar la estabilidad del circuito. Esta mejora se hace necesaria debido a que la compensación Miller anidada (NMC²) utilizada por el autor no es la más adecuada, ya que depende de que la tercera etapa del amplificador sea inversora y la segunda etapa sea no-inversora [Saxena2007], distinto a la configuración mostrada por la estructura, en la cual, todas sus etapas son inversoras. Como respuesta al problema anterior, se plantea la utilización de compensación indirecta, la cual no requiere que la tercera etapa sea inversora y la segunda no-inversora. Además, esta compensación adiciona ceros en el semiplano izquierdo, con lo cual se logra aumentar la estabilidad del sistema.

Como resultado de la implementación de compensación indirecta y no NMC, se eliminan los capacitores C_{C1} y C_{C2} y la resistencia R_{C1} presentes en la estructura de Zhang (Figura 2.1) y se implementan los transistores de carga de la segunda etapa con transistores de longitud dividida, esto con el fin de crear un nodo de baja impedancia que se utiliza para la compensación. Estos transistores de longitud dividida están compuestos por los transistores $M_{7,8}$ y $M_{7a,8a}$. Por último se agrega el capacitor C_C entre el nodo de salida y el nodo de baja impedancia.

Otra modificación realizada a la estructura presentada por Zhang, es la eliminación del transistor M_{13} . Este transistor tiene como función mejorar el *Slew Rate* a gran señal. Ya que el *Slew Rate* es la máxima velocidad a la cual puede responder el *OpAmp* y dado que las señales de la aplicación no exigen una respuesta rápida, se puede eliminar este transistor sin ningún tipo de repercusión en las características de interés. Una vez realizadas las modificaciones se obtiene la estructura a utilizar en este proyecto, la cual se observa en la Figura 3.2.

3.3. Características de interés

Una vez conocida la estructura a utilizar es necesario conocer las expresiones que modelan su comportamiento. Estas expresiones serán las utilizadas para encontrar las dimensiones de los transistores. Dado que el diseño se realiza para una aplicación específica, se dará importancia a las características fundamentales o críticas en la aplicación. Estas son la ganancia diferencial (A_d), la *CMRR*, el ancho de banda (BW^3) y el ruido.

²Término que surge a partir de la alocución en inglés *Nested Miller Compensation*.

³Término que surge a partir de la alocución en inglés *Band Width*.

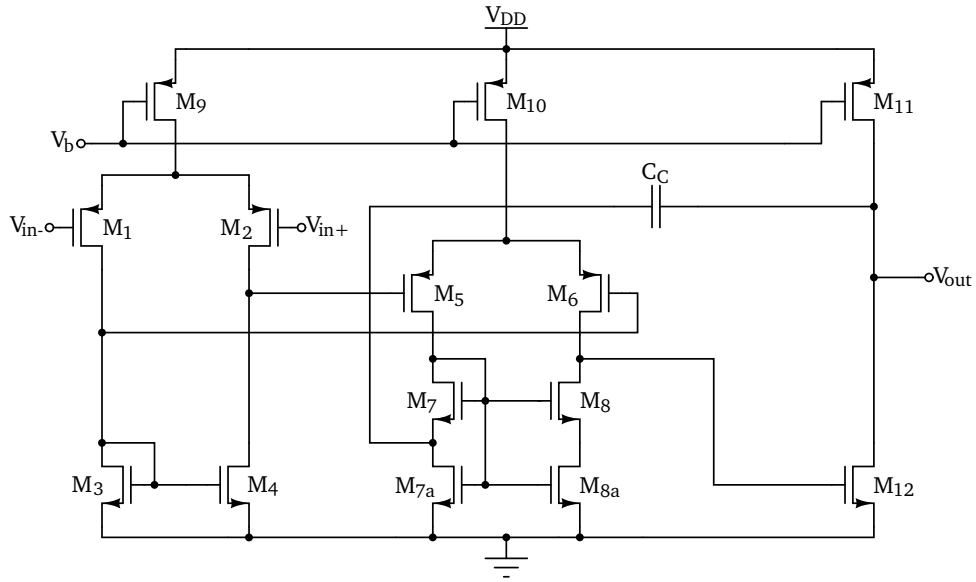


Figura 3.2: *OpAmp* propuesto, con doble par diferencial.

3.3.1. Ganancia

La ganancia es la característica más importante y representativa de un amplificador, entre mayor es, mejor es su comportamiento, por lo cual es conveniente obtener la mayor ganancia posible. Matemáticamente la ganancia se define como:

$$A_v = \frac{v_o}{v_{in}} \quad (3.9)$$

Para la estructura que se analiza, la ganancia se halla por etapas y dado que cada etapa se encuentra en cascada con la siguiente, la ganancia final está compuesta por la multiplicación del aporte que realiza cada etapa. En (3.10) se observa la expresión completa que describe dicha característica. No obstante dado que la primera etapa está constituida por un par diferencial que posee una de sus cargas en conexión diodo, la expresión se puede aproximar a (3.11).

$$A_v = \left(\frac{-g_{m1}}{2g_{m3}} + g_{m1}(r_{o2}||r_{o4}) \right) (-g_{m5}(r_{o6}||r_{o8}))(-g_{m12}(r_{o12}||r_{o11})) \quad (3.10)$$

$$A_v \approx -g_{m1}g_{m5}g_{m12}(r_{o2}||r_{o4})(r_{o6}||r_{o8})(r_{o12}||r_{o11}) \quad (3.11)$$

En (3.11) se observa que la ganancia está determinada por las transconductancias de los transistores de entrada de cada etapa y por las resistencias de salida. Se puede afirmar que si la resistencia de salida de los transistores de carga de cada etapa se mantienen en un valor adecuado, la ganancia va a depender del correcto diseño de los transistores de entrada.

3.3.2. CMRR

Un *OpAmp* idealmente solo amplifica la señal diferencial de entrada y rechaza por completo la señal en modo común y su voltaje de salida está dado por (3.12)

$$v_o = A_d v_d + A_{cm} v_{cm} \quad (3.12)$$

donde A_d denota la ganancia diferencial (idealmente infinita) y A_{cm} la ganancia de modo común (idealmente cero). La eficacia de un *OpAmp* se mide por el grado de su rechazo a las señales en modo común en preferencia a las señales diferenciales [Sedra2004]. Esto se cuantifica con la *CMRR* que se define como se observa en (3.13).

$$CMRR = 20 \log \left(\frac{|A_d|}{|A_{cm}|} \right) \quad (3.13)$$

Para la estructura dada se utiliza la expresión que se ve en (3.14), la cual es una aproximación encontrada por Zhang [Zhang2008]. Esta expresión corrobora los resultados teóricos que se han venido presentando acerca del alto *CMRR* que presenta la estructura.

$$CMRR \approx \frac{8g_{m1}(r_{o2}||r_{o4})g_{m3}r_{o9}g_{m5}r_{o5}g_{m7}r_{o10}}{1 + \frac{r_{o4}}{r_{o4} + r_{o2}}} \quad (3.14)$$

3.3.3. Ruido

Se considera ruido a todas las perturbaciones eléctricas que interfieren sobre las señales transmitidas o procesadas. El ruido limita el mínimo nivel de señal que un circuito puede procesar. Es un proceso aleatorio, por lo cual el valor de este no puede ser predicho en ningún momento, así se conozcan los valores pasados, por esto es necesario utilizar métodos estadísticos que entreguen información útil y adecuada para el análisis de circuitos. La potencia promedio es un ejemplo de característica que puede ser predicha, puesto que generalmente es constante. El concepto de potencia promedio llega a ser mas versátil si se define respecto al contenido de frecuencia del ruido [Razavi2001]. De tal forma que se define la densidad espectral de potencia, como la potencia promedio del ruido en una banda de 1 Hz de ancho, centrada al rededor de una frecuencia. De tal forma que al repetir muchas veces este procedimiento con diferentes frecuencias centrales, se obtiene el valor total.

Las señales que son procesadas por CIs, son contaminadas por dos tipos diferentes de ruido: uno proveniente de los dispositivos electrónicos y el otro procedente del ambiente. Para el caso de este proyecto solo es de interés el estudio del primero. Este tipo de ruido presenta dos componentes como se mencionó en la sección 2.2.3. Estas son el ruido *flicker* y el ruido térmico. El ruido térmico es constante a diferencia del ruido *flicker* que es inversamente

proporcional a la frecuencia. Esto se puede ver más claramente en la Figura 3.3 donde se presenta el comportamiento de ambas componentes. En esta figura también se observa que existe una frecuencia en la cual la componente del ruido *flicker* comienza a ser menor que el ruido térmico, esta frecuencia se denomina frecuencia de esquina f_c y generalmente se encuentra entre los 1-10 kHz. En aplicaciones que trabajan muy por encima de esta frecuencia, se desprecia el ruido *flicker*, a diferencia de aplicaciones que trabajan a bajas frecuencias en las cuales la componente de este ruido es dominante.

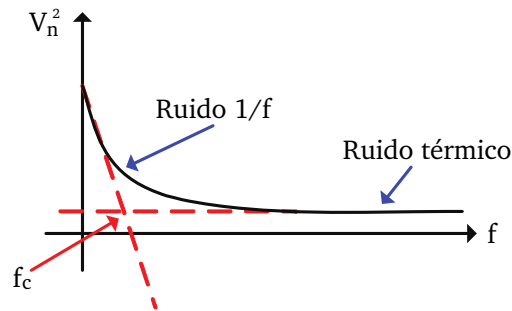


Figura 3.3: Esquina de ruido 1/f.

Dado que las señales bioeléctricas producidas por el corazón son de frecuencias entre los 0-100 Hz es posible despreciar el ruido térmico y por tanto concentrarse únicamente en el ruido *flicker*. A continuación se describe este tipo de ruido y se analiza su impacto en la estructura del amplificador.

Ruido *flicker*

La interfaz entre el óxido de la compuerta y el silicio del substrato en el *MOSFET* implica un fenómeno negativo para el comportamiento del transistor. Ya que el cristal de silicio alcanza un final en esta interfaz, aparecen muchos enlaces “colgantes”, lo cual genera estados de energía extra. Como los portadores de carga se mueven en esta interfaz, algunos son atrapados y después liberados por cada estado de energía, introduciendo el ruido *flicker* en la corriente del canal.

La potencia promedio del ruido *flicker* no puede ser predicha fácilmente. Dependiendo de la “limpieza” de la interfaz del oxido-silicio, el ruido *flicker* puede adquirir considerablemente diferentes valores y además varía de una tecnología *CMOS* a otra. El ruido *flicker* es más fácilmente modelado como una fuente de voltaje en serie con la compuerta, dicha fuente tiene una magnitud determinada por (3.15), donde k es una constante dependiente del proceso de fabricación y la tecnología, que es del orden de 10^{-25} V²F [Razavi2001].

$$V_n^2 = \frac{k}{C'_{ox} WL} \cdot \frac{1}{f} \quad (3.15)$$

Se observa que la densidad espectral de potencia es inversamente proporcional a la frecuencia, esto sucede porque el fenómeno de atrapar y liberar portadores de carga asociados a los enlaces “colgantes” ocurre con mayor repetición a bajas frecuencias, por esta razón el ruido *flicker* es también llamado ruido $1/f$. En (3.16) se muestra la expresión completa que modela el ruido en la estructura, esta se obtuvo al hallar la tensión equivalente vista desde la entrada, al apagar las fuentes independientes pertenecientes a la estructura y asociar fuentes de valor (3.15) en la compuerta de cada transistor. En esta expresión se observa que el ruido está conformado por las componentes de ruido provenientes de los transistores N y P, pero sobre todo que son tres los factores que hacen parte del ruido. Uno por cada etapa que presenta la estructura. Ya que las componentes que corresponden a la segunda y tercer etapa se encuentran divididas por la ganancia de las etapas anteriores, estas serán entre 20 y 300 veces más pequeñas que la primer componente respectivamente. Por esta razón es posible despreciarlas y por tanto se replantea la expresión del ruido como se ve en (3.17).

$$V_{n,in} = \frac{k_p}{C'_{oxp}f} \left(\frac{2}{(WL)_1} + \frac{2}{(WL)_5 g_{m1}(r_{o2}||r_{o4})} + \frac{g_{m11}^2}{(WL)_{11} g_{m12}^2 g_{m1}(r_{o2}||r_{o4}) g_{m5}(r_{o6}||r_{o8})} \right) + \frac{k_n}{C'_{oxn}f} \left(\frac{2g_{m3}^2}{(WL)_3 g_{m1}^2} + \frac{2g_{m7}^2}{(WL)_7 g_{m5}^2 g_{m1}(r_{o2}||r_{o4})} + \frac{1}{(WL)_{12} g_{m1}(r_{o2}||r_{o4}) g_{m5}(r_{o6}||r_{o8})} \right) \quad (3.16)$$

Como se observa en (3.17), el ruido es inversamente proporcional a las geometrías de los transistores y por tanto un método para disminuirlo es la implementación de transistores de grandes geometrías. Específicamente los transistores $M_{1,2,3,4}$ se deben implementar bajo la premisa de trabajar con las mayores geometrías posibles. Otro aspecto a tener en cuenta en el diseño, es la consideración de la trasconductancia de los transistores $M_{3,4}$ la cual debe ser minimizada, buscando disminuir el ruido ingresado por estos transistores. A pesar de esto es importante mencionar que la mayor parte del ruido será ingresado por los transistores $M_{1,2}$ ya que el ruido de estos se encuentra directamente sobre la entrada, a diferencia del ruido ingresado por los transistores de carga, que se encuentra dividido por la ganancia de los transistores de entrada. Con el fin de generar el menor impacto en la señal, se implementan las entradas de los pares diferenciales con transistores tipo P, los cuales debido a que presentan una menor movilidad, generan menos ruido *flicker* [Daliri2008].

$$V_{n,in} = \left(\frac{2k_p}{(WL)_1 C'_{oxp}f} \right) + \left(\frac{2k_n g_{m3}^2}{(WL)_3 g_{m1}^2 C'_{oxn}f} \right) \quad (3.17)$$

3.3.4. Respuesta en frecuencia

Los *OpAmps* son circuitos que amplifican una señal. Sin embargo las capacitancias asociadas a los dispositivos electrónicos no permiten tener una respuesta constante en la frecuencia. De tal manera que los amplificadores presentan una ganancia constante que va hasta el primer polo del sistema. Este polo puede ser producto de las capacitancias parásitas, o bien de la capacitancia de carga. A partir de esta frecuencia el amplificador comienza a presentar una ganancia que disminuye conforme aumenta la frecuencia. Al intervalo en el cual la ganancia es constante se le llama ancho de banda y se considera constante una ganancia que varía máximo en 3 dB.

Hallar el ancho de banda exacto en circuitos que están compuestos por varias etapas puede llegar a ser una tarea tediosa. Por este motivo es necesario recurrir a métodos que entregan un valor aproximado. Dentro de las técnicas disponibles, se encuentra la técnica de constantes de tiempo a circuito abierto [Razavi2001]. Esta técnica considera las capacitancias individualmente, reconociendo que cada una de ellas aporta un valor al ancho de banda. Para esto se halla la resistencia que ve la capacitancia que se está analizando, reemplazando antes por circuito abierto las otras capacitancias. Por último se determina que $\tau = R \cdot C$ y el ancho de banda total está compuesto por la expresión (3.18).

$$BW \approx \sum_{i=1}^n \frac{1}{\tau_i} \quad (3.18)$$

Sin embargo esta técnica solo permite conocer el ancho de banda del sistema y no otro tipo de características importantes que se encuentran asociadas a la frecuencia, como lo son la frecuencia unitaria o el comportamiento de la fase, las cuales sí pueden analizarse cualitativamente y cuantitativamente si se cuenta con los polos del sistema. Por esta razón se plantea el uso de esta técnica como método para describir por completo la respuesta en frecuencia al hallar los polos del sistema. Para esto se asocian todas las componentes de las constantes de tiempo que tienen resistencias en común. Con esto se obtienen las capacitancias y resistencias que están asociadas a cada nodo, lo que permite conocer los polos dominantes del sistema.

Primera etapa

A partir de la Figura 3.4 y según el método explicado anteriormente se obtienen las siguientes constantes de tiempo:

$$\begin{aligned} \tau_1 &= c_{gs1} R_s \\ \tau_2 &= c_{gd1} \left(\left(r_{o1} \parallel \frac{1}{g_{m3}} \right) + g_{m1} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) R_s + R_s \right) \end{aligned}$$

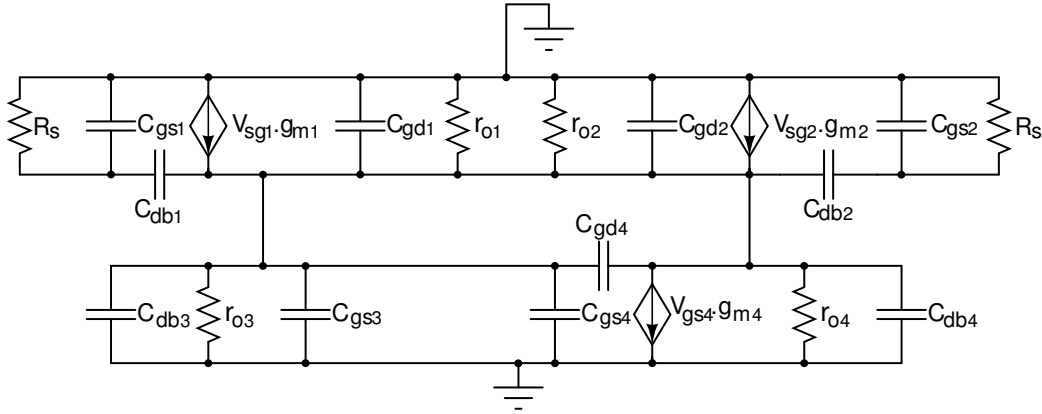


Figura 3.4: Circuito equivalente de la primer etapa a alta frecuencia, con la fuente de alimentación cortocircuitada.

$$\tau_3 = c_{db1} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right)$$

$$\tau_4 = c_{gs3} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right)$$

$$\tau_5 = c_{db3} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right)$$

$$\tau_6 = c_{gs2} R_s$$

$$\tau_7 = c_{gd2} \left((r_{o2} \parallel r_{o4}) + g_{m2} (r_{o2} \parallel r_{o4}) R_s + R_s \right)$$

$$\tau_8 = c_{db2} (r_{o2} \parallel r_{o4})$$

$$\tau_9 = c_{gs4} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right)$$

$$\tau_{10} = c_{gd4} \left((r_{o2} \parallel r_{o4}) + g_{m4} (r_{o2} \parallel r_{o4}) \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) + \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) \right)$$

$$\tau_{11} = c_{db4} (r_{o2} \parallel r_{o4})$$

Donde la resistencia R_s hace referencia a la resistencia de salida de la etapa anterior del detector de señales, generalmente esta resistencia es muy pequeña dado que la señal se maneja en modo tensión. Dado el bajo valor de la resistencia de salida se puede despreciar el aporte que realizan las constantes de tiempo asociadas a dicha resistencia y por tanto no son tenidas en cuenta en el análisis realizado.

Segunda etapa

En la Figura 3.5 se presenta el modelo de alta frecuencia en pequeña señal de la segunda etapa. En este se observa que aparecen las resistencias de salida de la etapa anterior. Las constantes de tiempo de la segunda etapa son:

$$\tau_{12} = c_{gs5} (r_{o2} \parallel r_{o4})$$

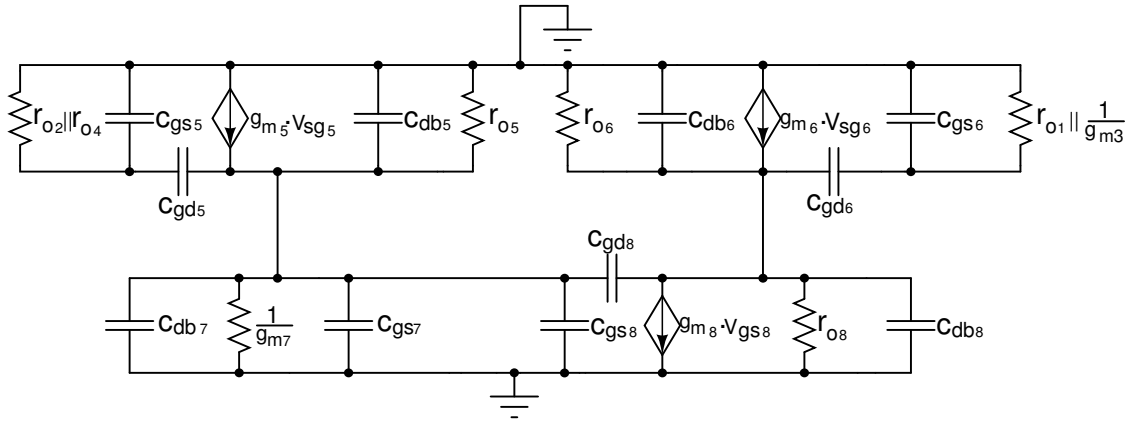


Figura 3.5: Circuito equivalente de la segunda etapa a alta frecuencia.

$$\begin{aligned} \tau_{13} &= C_{gd5} \left(\left(r_{o5} \parallel \frac{1}{g_{m7}} \right) + g_{m5} \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) (r_{o2} \parallel r_{o4}) + (r_{o2} \parallel r_{o4}) \right) \\ \tau_{14} &= C_{db5} \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) \\ \tau_{15} &= C_{gs7} \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) \\ \tau_{16} &= C_{db7} \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) \\ \tau_{17} &= C_{gs6} \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) \\ \tau_{18} &= C_{gd6} \left((r_{o6} \parallel r_{o8}) + g_{m6} (r_{o6} \parallel r_{o8}) \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) + \left(r_{o1} \parallel \frac{1}{g_{m3}} \right) \right) \\ \tau_{19} &= C_{db6} (r_{o6} \parallel r_{o8}) \\ \tau_{20} &= C_{gs8} \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) \\ \tau_{21} &= C_{gd8} \left((r_{o2} \parallel r_{o6}) + g_{m8} (r_{o6} \parallel r_{o8}) \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) + \left(r_{o5} \parallel \frac{1}{g_{m7}} \right) \right) \\ \tau_{22} &= C_{db8} (r_{o6} \parallel r_{o8}) \end{aligned}$$

Se puede observar que dado que la estructura es la misma que se presenta en la etapa anterior, las constantes de tiempo son las mismas, con el reemplazo adecuado de la resistencia que se observa a la entrada de la etapa. Ya que la resistencia de salida de la primer etapa presenta un valor muy alto en comparación con la resistencia de entrada, se obtiene como resultado la inclusión de dos constantes de tiempo más en el análisis final.

Tercera etapa

Para el análisis de la tercer etapa se tiene en cuenta la Figura 3.6. En esta etapa al igual que sucedió con la anterior se tiene en cuenta la resistencia de salida de la etapa que la antecede. Además para esta etapa se tiene en cuenta la capacitancia de carga. Las contantes de tiempo referentes a la tercer etapa son:

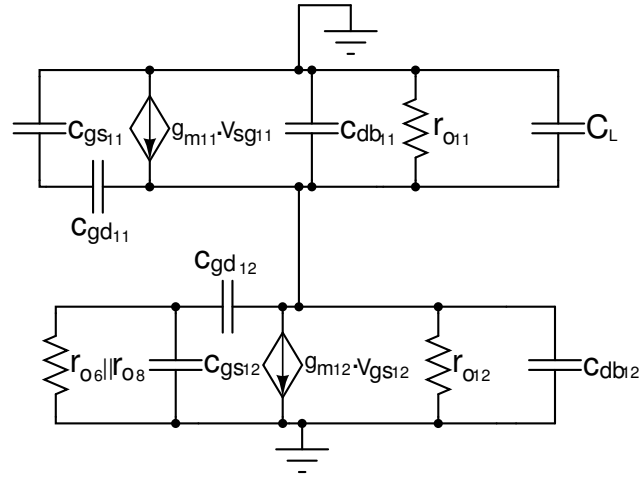


Figura 3.6: Circuito equivalente de la tercera etapa a alta frecuencia.

$$\tau_{23} = c_{gs12}(r_{o6} || r_{o8})$$

$$\tau_{24} = c_{gd12}((r_{o11} || r_{o12}) + g_{m12}(r_{o11} || r_{o12})(r_{o6} || r_{o8}) + (r_{o6} || r_{o8}))$$

$$\tau_{25} = c_{db12}(r_{o11} || r_{o12})$$

$$\tau_{26} = c_{gd11}(r_{o11} || r_{o12})$$

$$\tau_{27} = c_{db11}(r_{o11} || r_{o12})$$

$$\tau_{28} = C_L(r_{o11} || r_{o12})$$

Una vez que se cuenta con todas las constantes de tiempo, obviando las relativas a la resistencia R_s se asocian las constantes de tiempo a nodos específicos de la estructura, dando como resultado la obtención de los polos de la estructura. A continuación se presentan cada uno de estos polos.

$$w_{p1} = \frac{1}{(r_{o1} || \frac{1}{g_{m3}})(c_{gd1} + c_{db1} + c_{gs3} + c_{db3} + c_{gs4} + c_{gd4}(1 + g_{m4}(r_{o2} || r_{o4})) + c_{gs6} + c_{gd6}(1 + g_{m6}(r_{o6} || r_{o8})))}$$

$$w_{p2} = \frac{1}{(r_{o2} || r_{o4})(c_{gd2} + c_{db2} + c_{db4} + c_{gd4} + c_{gs5} + c_{gd5}(1 + g_{m5}(r_{o5} || \frac{1}{g_{m7}})))}$$

$$w_{p3} = \frac{1}{(r_{o5} || \frac{1}{g_{m7}})(c_{gd5} + c_{db5} + c_{gs7} + c_{db7} + c_{gs8} + c_{gd8}(1 + g_{m8}(r_{o6} || r_{o8})))}$$

$$w_{p4} = \frac{1}{(r_{o6} || r_{o8})(c_{gd6} + c_{db6} + c_{db8} + c_{gd8} + c_{gs12} + c_{gd12}(1 + g_{m12}(r_{o11} || r_{o12})))}$$

$$w_{p5} = \frac{1}{(r_{o11} || r_{o12})(c_{gd12} + c_{db12} + c_{db11} + c_{gd11} + C_L)}$$

Se observa que algunos términos en las ecuaciones de los polos son despreciables ya que no tienen un aporte representativo, como es el caso de las capacitancias c_{gd} las cuales tienen

valores muy pequeños y las capacitancias c_{db} las cuales debido a que el voltaje inverso en las uniones es alto puesto que los transistores se encuentran en saturación también tiene un valor pequeño en comparación con las capacitancias de compuerta. Teniendo en cuenta esto los polos se pueden aproximar a:

$$\begin{aligned}
 w_{p1} &= \frac{1}{\left(r_{o1} \parallel \frac{1}{g_{m3}}\right) (c_{gs3} + c_{gs4} + c_{gd4} (1 + g_{m4} (r_{o2} \parallel r_{o4})) + c_{gs6} + c_{gd6} (1 + g_{m6} (r_{o6} \parallel r_{o8})))} \\
 w_{p2} &= \frac{1}{(r_{o2} \parallel r_{o4}) \left(c_{gs5} + c_{gd5} \left(1 + g_{m5} \left(r_{o5} \parallel \frac{1}{g_{m7}}\right)\right)\right)} \\
 w_{p3} &= \frac{1}{\left(r_{o5} \parallel \frac{1}{g_{m7}}\right) (c_{gs7} + c_{gs8} + c_{gd8} (1 + g_{m8} (r_{o6} \parallel r_{o8})))} \\
 w_{p4} &= \frac{1}{(r_{o6} \parallel r_{o8}) (c_{gs12} + c_{gd12} (1 + g_{m12} (r_{o11} \parallel r_{o12})))} \\
 w_{p5} &= \frac{1}{(r_{o11} \parallel r_{o12}) C_L}
 \end{aligned}$$

Para este caso el polo dominante es el polo correspondiente al nodo de salida de la estructura, por tanto el ancho de banda se puede expresar como se observa en (3.19). Este polo se considera dominante debido a que el valor de la capacitancia de carga es 20 pF [Lee2006, Lee2008] lo cual es 100 veces más grande al valor de las capacitancias parásitas las cuales son típicamente del orden de los 10^{-15} F.

$$BW = \frac{1}{(r_{o11} \parallel r_{o12}) C_L} \quad (3.19)$$

3.4. Diseño

Una vez presentadas las expresiones que describen cada una de las características del amplificador y las ecuaciones que modelan el transistor, es posible hallar las dimensiones de los transistores. Sin embargo, para esto es necesario conocer los requisitos que debe cumplir la estructura. A pesar de que dichos requerimientos ya se han mencionado a través de este documento, por comodidad se resumen en la Tabla 3.1.

Dado que la principal característica de este proyecto es la alimentación con bajo voltaje, se toma como punto de partida el voltaje de alimentación del amplificador. De acuerdo con los voltajes mínimos hallados en el estado del arte de los amplificadores de biopotencial, se elige un voltaje de alimentación de 0,5 V sabiendo que el menor voltaje en este tipo de amplificadores es de 0,6 V.

A lo largo de este capítulo se ha mencionado una serie de pautas generales que se deben tener en cuenta a la hora de realizar el diseño, ahora bien, es necesario mencionar

Tabla 3.1: Características deseadas en el amplificador.

Característica	Valor
Voltaje alimentación	< 1 V
Ancho de Banda	> 100 Hz
Margen de fase	> 45°
Ganancia	> 60 dB
CMRR	> 100 dB
Ruido	< 20 nV/ $\sqrt{\text{Hz}}$

las consideraciones que se tienen en cada etapa y que darán como resultado las dimensiones de los transistores.

El diseño de la primera etapa está determinado por la necesidad de disminuir el ruido, motivo por el cual sus transistores tendrán las mayores geometrías permitidas por la tecnología que cumplan con los requisitos necesarios de relación de aspecto. Sin embargo como se observa en las expresiones (3.20) y (3.22), hacer las geometrías de los transistores grandes, hace que las capacitancias asociadas a estos adquieran un valor muy elevado y por tanto los polos de esta etapa comenzarán a ser dominantes. Por este motivo debe asegurarse una corriente suficientemente alta para que el valor de las transconductancias $g_{ds1,2}$ sea lo más grande posible, logrando de esta manera obtener polos no dominantes y por tanto no afectando la respuesta en frecuencia del amplificador. No obstante, este aumento en la corriente afecta directamente la ganancia de esta etapa, por este motivo se plantea que la segunda y tercer etapa hagan un mayor aporte a la ganancia. Con el fin de elevar el valor de la $CMRR$ se implementa el transistor de cola con las mayores geometrías posibles, lo que da como resultado un valor máximo para r_{o9} , parámetro del cual depende directamente la $CMRR$ como se observa en (3.14).

$$C_{gs} = \frac{2}{3} C'_{ox} WL \frac{1 + 2\alpha}{(1 + 2\alpha)^2} \frac{q'_{IS}}{1 + q'_{IS}} \quad (3.20)$$

$$\alpha = \frac{q'_{ID} + 1}{q'_{IS} + 1} \quad q'_{IS(D)} = \sqrt{1 + i_{f(r)}} - 1 \quad (3.21)$$

$$C_{gd} = \frac{2}{3} C'_{ox} WL \frac{\alpha^2 + 2\alpha}{(1 + 2\alpha)^2} \frac{q'_{ID}}{1 + q'_{ID}} \quad (3.22)$$

Una vez que se establecen todas estas consideraciones, asumiendo un voltaje de DC a la entrada del par diferencial de 0,25 V y estableciendo un voltaje de polarización V_b es posible

hallar la relación de aspectos de los transistores de la primera etapa y por tanto todos los voltajes y resistencias asociadas a cada nodo de esta etapa. Ya que se conoce el voltaje DC de salida del primer par diferencial y el voltaje de polarización se prosigue con el diseño de la segunda etapa. Esta etapa a pesar de que presenta la misma configuración de la primera, no se diseña bajo las mismas premisas esto debido a que no presenta restricción en cuanto al valor de ruido ya que como se mencionó en la sección 3.3.3, el ruido de esta etapa se encuentra dividido por la ganancia de la etapa que lo precede. Además a diferencia de la anterior etapa, esta se enfoca en obtener una alta ganancia, por lo que obtener un alto valor de transconductancia $g_{m5,6}$ es fundamental, por esto su diseño se basa en maximizar dicho parámetro. También para cumplir con el requisito de $CMRR$ se implementa el transistor de cola con las máximas geometrías posibles. Por último al igual que en la etapa anterior la corriente se determina teniendo en cuenta la posición de los polos. No obstante ya que esta etapa no presenta el problema que produce implementar los transistores de entrada con las máximas geometrías, la corriente necesaria para esta etapa es menor a la utilizada en la anterior etapa.

La última etapa se diseña sobre la base de cumplir con el requisito de ganancia y además obtener la mayor excursión posible de señal, partiendo de que los voltajes de polarización ya están establecidos. Para lograr la máxima excursión posible se debe tener en cuenta el voltaje de saturación de cada transistor, el cual está determinado por la expresión (3.23), en esta el parámetro ξ adquiere el valor de uno para transistores en triodo ó cero para transistores en saturación. Conocido este valor se procura que el voltaje DC de salida se encuentre en la mitad del valor efectivo de salida. Esto se hace al hallar el voltaje de saturación de cada transistor, sumarlos y restar el resultado al valor de la tensión de alimentación. El resultado es la excursión máxima posible de salida. Para obtener el valor DC en el cual se halla dicha excursión debe ubicarse el voltaje de salida en la mitad de la señal de excursión máxima, más el voltaje de saturación del transistor M_{12} .

$$V_{DSsat} = \phi_t \left[\ln \left(\frac{1}{\xi} \right) + (1 - \xi)(\sqrt{1 + i_f} - 1) \right] \quad (3.23)$$

Conocidas las geometrías de la última etapa, se da por finalizado el dimensionamiento de los transistores, en la Tabla 3.2 se muestran las geometrías de cada transistor. Por último se comprueban todas las características del amplificador, sin embargo estos resultados junto con la validación de los mismo se presentan en el siguiente capítulo. No obstante antes de finalizar se debe mencionar que tal como se esperaba, debido al número de etapas que presenta la estructura se presenta inestabilidad en lazo cerrado, por lo cual es necesario compensar el sistema. Para esto se implementan los transistores de carga de la segunda etapa con transistores de longitud dividida. Ya que se conoce la geometría de los transistores $M_{7,8}$ lo que se hace es dividir su longitud a la mitad manteniendo el ancho y asignar las mismas

geometrías a los transistores $M_{7a,8a}$. Una vez realizado esto se halla el valor del capacitor C_c tal que el par de ceros ingresados al sistema por este, cancelen un par polos, lo cual genera que la fase se estabilice, compensado la respuesta.

Tabla 3.2: *Geometrías de los transistores.*

Transistor	W [μm]	L [μm]
$M_{1,2}$	6000	10
$M_{3,4}$	100	3
$M_{5,6}$	375	8
$M_{7,8}$	64	2,1
M_9	6000	20
M_{10}	6000	30
M_{11}	300	100
M_{12}	1	2,5

Capítulo 4

Resultados

Una vez que se ha concluido en el capítulo anterior el diseño del *OpAmp*, se presentan y examinan los resultados obtenidos de acuerdo a las especificaciones planteadas inicialmente. Para esto se realiza una comparación de cada una de las características obtenidas y el requisito inicial. Sin embargo estos resultados son producto de simulaciones del circuito utilizando los valores típicos de la tecnología, motivo por el cual es necesario revisar las características del amplificador en condiciones extremas de variaciones del proceso de fabricación, esto se realiza mediante simulaciones del circuito utilizando los modelos de esquinas proporcionados por la tecnología. Esta simulación entrega una idea de la robustez del diseño antes las posibles variaciones de la tecnología, no obstante para analizar y verificar los resultados, es necesario realizar simulaciones de variación en la temperatura, variaciones en el proceso y *mismatch*¹. Estos dos últimos son evaluados estadísticamente mediante el método de Montecarlo, lo cual permite tener una idea más general del circuito, puesto que a diferencia de las simulaciones de esquinas este método permite obtener un universo de muestras y obtener estadísticamente el porcentaje de CIs que cumplen con las especificaciones.

4.1. Resultados obtenidos

El diseño del *OpAmp* se realizó teniendo en cuenta cada una de las especificaciones que se debían cumplir. Sin embargo hasta el momento no se han presentado los resultados obtenidos mediante el dimensionamiento de los transistores. En la Figura 4.1 se observa la respuesta en frecuencia del amplificador diseñado. Esta respuesta permite obtener varias de las características que presenta el amplificador. Dentro de ellas se puede mencionar, la ganancia, ancho de banda, frecuencia de ganancia unitaria y margen de fase.

¹Término utilizado para hacer referencia al desajuste en las dimensiones de un dispositivo por causas del proceso de fabricación

Como denotan los marcadores x_1, y_1 , a una frecuencia de 0,01 Hz el amplificador presenta una ganancia de 76,08 dB, esta es la ganancia de banda plana o simplemente la ganancia del amplificador. Por su lado los indicadores x_2 y y_2 denotan el ancho de banda, el cual se halló restándole 3 dB a la ganancia antes mencionada y encontrando la frecuencia a la cual se obtiene dicha ganancia. El ancho de banda adquiere un valor de 150 Hz lo cual es satisfactorio, puesto que los requerimientos para este proyecto señalan un valor mínimo de 100 Hz. La línea punteada que se encuentra en el primer cuadrante perteneciente a la ganancia, señala el corte con el eje de los 0 dB, es decir la frecuencia a la cual la ganancia es unitaria, esta frecuencia es 765 kHz. El último marcador x_4, y_4 denota el margen de fase del amplificador el cual es de un valor de $72,5^\circ$. En este punto es importante mencionar que el margen de fase se mide con respecto al eje de 0° debido a que este es el punto donde la estructura cambia de signo es decir donde pierde su característica inversora y comienza a presentar ganancias positivas, generando inestabilidad del sistema en lazo cerrado.

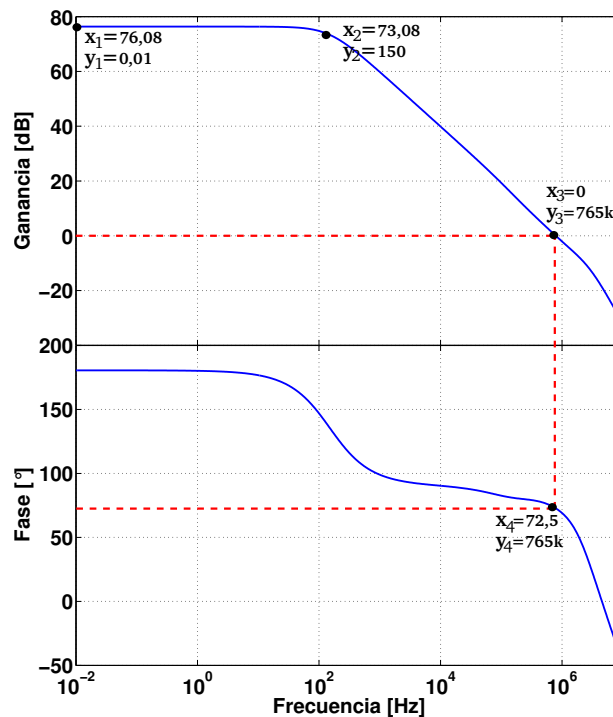


Figura 4.1: Ganancia en dB del amplificador.

En la Tabla 4.1 se presentan las características del amplificador diseñado y además se establece una comparación con los objetivos planteados al principio de este proyecto. Como se observa el amplificador cumple a cabalidad con todos los requisitos planteados. Es importante mencionar aquí que el ruido que se presenta es el ruido referido a la entrada a una frecuencia de 1 kHz, esto con el ánimo de poder compararlo con los trabajos expuestos en la academia.

El ruido del amplificador a 100 Hz es de $21 \text{ nV}/\sqrt{\text{Hz}}$. Este valor se encuentra cerca del límite establecido para este tipo de amplificadores. No obstante en el requisito de ruido máximo no se especifica dicho valor a que frecuencia se encuentra, por lo cual como mencionamos antes con el fin de presentar resultados que puedan ser comparados solo se tomara de aquí en adelante en cuenta el resultado a 1 kHz.

Tabla 4.1: *Características del amplificador diseñado.*

Característica	Objetivo	Obtenida
Voltaje alimentación	$> 1\text{V}$	0,5V
Ancho de Banda	100 Hz	150 Hz
Margen de fase	$> 45^\circ$	$> 70^\circ$
Ganancia	$> 60 \text{ dB}$	$> 76 \text{ dB}$
<i>CMRR</i>	$> 100 \text{ dB}$	105 dB
Ruido	$< 20 \text{ nV}/\sqrt{\text{Hz}}$	$10 \text{ nV}/\sqrt{\text{Hz}}$

4.2. Simulación de esquinas del proceso

Los resultados presentados anteriormente, fueron obtenidos considerando los modelos típicos de la tecnología que se está usando. Este tipo de modelos sirve para caracterizar el comportamiento de un circuito, pues los parámetros del proceso en estos modelos son los valores típicos de todas las características que en él intervienen, haciéndolo el modelo más representativo de una determinada tecnología. Provee un muy buen punto de referencia para el análisis del comportamiento de los circuitos diseñados, y permite verificar planteamientos teóricos de una manera rápida y confiable. Sin embargo, a pesar de la precisión de estos modelos, debe tenerse en cuenta que los parámetros de proceso están sujetos a variaciones aleatorias alrededor de sus valores típicos, de modo que puede existir cierta incertidumbre acerca de cómo se desempeñará el circuito una vez sea fabricado.

Para garantizar que el circuito funcione correctamente, se requiere analizar su desempeño en las condiciones más extremas de variación en el proceso. Para esto se realizan simulaciones de esquinas, las cuales son llamadas así debido a que resuelven el circuito para cada una de las combinaciones de parámetros extremos que se pueden dar por transistor. Existen cuatro esquinas las cuales se conocen como *SS*, *FF*, *SNFP*, *FNSP*. La esquina *SS* hace referencia a *Slow-Slow* y como su nombre en inglés lo indica implica transistores lentos. La esquina *FF* (*Fast-Fast*) en la cual ambos transistores presentan variaciones que los hacen ser lo más rápidos posibles. La esquina *SNFP* (*Slow NMOS-Fast PMOS*) en la cual el transistor N

presenta las variaciones para ser lento mientras que el transistor P presenta valores extremos que lo llevan a ser rápido y por último la esquina *FNSP* (*Fast NMOS-Slow PMOS*) que se encuentra configurada de manera contraria a la anterior.

En la Tabla 4.2 se presentan los resultados obtenidos al simular el circuito con cada uno de los modelos de esquinas y el modelo *TT* (*Typical-Typical*) con el cual fue realizado el diseño. Se observa que, las características de ruido, ganancia y margen de fase se encuentran siempre por encima de los requerimientos establecidos para la aplicación. No obstante la *CMRR* mostró resultados no satisfactorios bajo las simulaciones con el modelo *SNFP*. Sin embargo ya que la probabilidad de estas esquinas está por debajo del 1% y que las variaciones en los parámetros del proceso ocurren alrededor del valor típico bajo una distribución Gaussiana, es necesario realizar un análisis que permita observar y predecir estadísticamente cuantas muestras se encuentran dentro de las especificaciones dadas para de esta forma validar o no el diseño.

Tabla 4.2: Características representativas del amplificador simuladas con modelos de esquinas.

Esquina	Ganancia [dB]	CMRR [dB]	Ruido [nV/ $\sqrt{\text{Hz}}$]	Margen de Fase
<i>TT</i>	76,08	105	10,07	72,5°
<i>SS</i>	75,89	106,486	14,3	60,48°
<i>FF</i>	67,190	108,9	7,98	98,9°
<i>SNFP</i>	66,480	93,7	9,08	71,93°
<i>FNSP</i>	74,84	106,84	11,74	69,2°

4.3. Variaciones del proceso

Como se presentó en la sección anterior, el diseño realizado se basó en unas características típicas de funcionamiento, con lo cual se espera que la mayoría de los circuitos que se fabriquen se encuentren dentro del rango funcional. No obstante estos parámetros varían en cierto intervalo dependiendo de las condiciones de trabajo y a pesar de que las condiciones típicas ejemplifican en gran medida las características con las que se pueden describir la mayoría de los circuitos, es necesario analizar qué sucede cuando se varían algunas de estas. Uno de estos parámetros es la temperatura, la cual típicamente se asume como 27°C. En el caso de la estructura presentada, sus características se encuentran dentro de los requerimientos en un rango de temperaturas que va desde los -15°C a los 55°C, el cual a pesar de no ser un intervalo demasiado amplio es suficiente debido a los requerimientos de la aplicación en la

cual está enfocado este proyecto, puesto que temperaturas por encima o por debajo de este valor no serían soportables para una persona.

En la Figura 4.2 se muestra la variación de la ganancia en función de la temperatura. En esta gráfica se observa que la ganancia presenta un comportamiento constante en un rango de temperaturas que oscilan alrededor de la temperatura típica. Por otro lado se observa como a partir de los 55°C la ganancia comenzará a adquirir valores por debajo del establecido como mínimo, por lo cual este es el máximo valor de temperatura en el cual el circuito funcionará acorde a las especificaciones entregadas, asumiendo valores típicos de la tecnología.

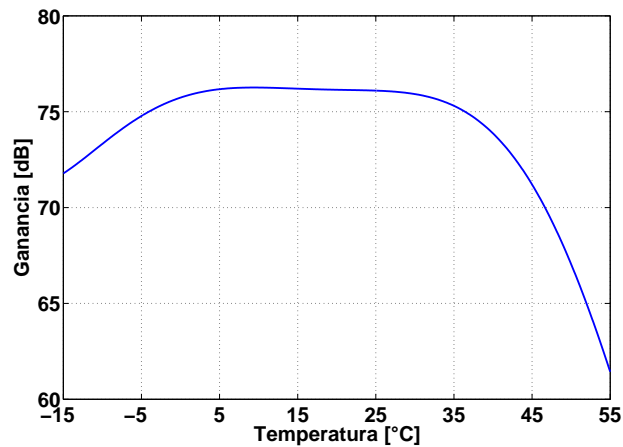


Figura 4.2: Variación del ancho de banda en función de la temperatura.

Por otra parte la Figura 4.3 muestra la variación de la $CMRR$ con respecto a la temperatura. Esta vez es posible notar que esta característica es la responsable de establecer el límite inferior del rango de temperatura. También se puede constatar en la gráfica, que a diferencia de la ganancia, esta característica no centra su comportamiento en la temperatura de operación típica. Esto se debe a que a diferencia de la ganancia, con la $CMRR$ se tomaron medidas no para establecer un máximo en su valor, sino para alcanzar el requisito establecido por la aplicación, por esta razón en lugar de presentar una región plana alrededor de la temperatura típica, la $CMRR$ muestra un comportamiento parabólico, con un valor máximo a una temperatura mayor a la típica.

Por último se analiza el comportamiento del ruido con respecto a la temperatura. Este se puede observar en la Figura 4.4. Ya que la movilidad de los electrones es proporcional a la temperatura y que el fenómeno físico al cual se debe el ruido *flicker* es dependiente de dicho parámetro, era de esperar que se presentara un descenso en el ruido conforme aumenta la temperatura. Esto se explica fácilmente si pensamos que la probabilidad de que un electrón caiga en un estado de energía extra aumenta conforme disminuye la velocidad a la cual este atraviesa el canal del transistor. Es destacable el hecho de que a la menor temperatura que

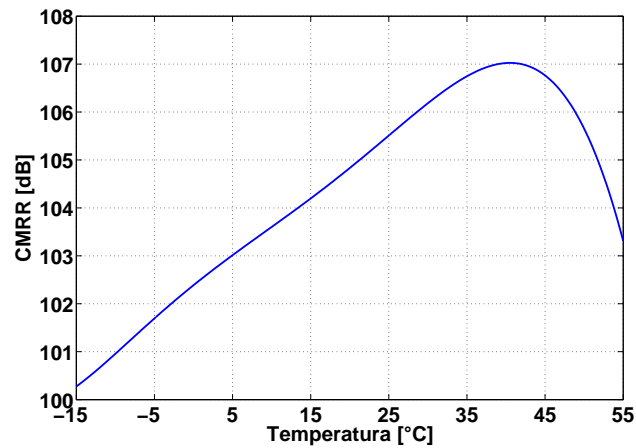


Figura 4.3: Variación de la $CMRR$ en función de la temperatura.

se estableció, el ruido no ha alcanzado un 60% del valor permitido por la aplicación.

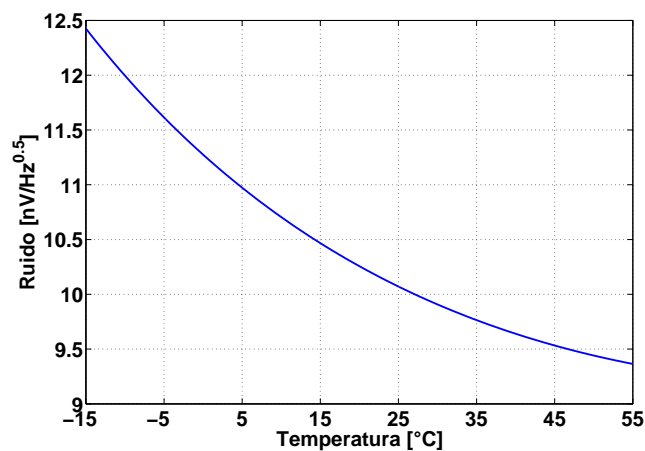


Figura 4.4: Variación del ruido en función de la temperatura.

En la sección anterior se utilizó la simulación de esquinas como herramienta en la determinación del comportamiento del amplificador diseñado en los peores casos de operación. Estos peores casos, que son un conjunto de puntos de operación basados en diferentes modelos de transistores, permiten determinar si un diseño es lo suficientemente robusto para operar en los límites de la tecnología en la cual fue desarrollado. Sin embargo, estos límites son condiciones puntuales de operación, supeditadas a unos parámetros de modelo definidos, aún cuando se trate de modelos de peor caso, en realidad, los parámetros de cada componente de un circuito varían aleatoriamente alrededor de sus valores típicos, sujetos a correlaciones definidas por las propiedades anisotrópicas del proceso de fabricación. El análisis estadístico, más conocido

como simulaciones de Montecarlo, permite estudiar el circuito teniendo en cuenta estas variaciones aleatorias, para, de esta forma, poder determinar la confiabilidad de un determinado circuito, aún cuando dos chips del mismo diseño no provengan de la misma oblea de silicio.

Este tipo de simulaciones funciona variando los parámetros de modelo de cada transistor, resistencia o capacitor implementado en una determinada tecnología alrededor de su valor típico teniendo en cuenta una distribución de probabilidad Gaussiana. Cada parámetro podrá variar hasta 3σ alrededor de su valor típico. Luego, se establece un número de iteraciones que representarán la cantidad de muestras a analizar, cuyos parámetros fueron modificados aleatoriamente según la función probabilística anteriormente definida.

Los resultados obtenidos serán más generales que los de la simulación de esquinas en la medida que representan un universo de puntos de operación, tan diverso como la cantidad de muestras que se analicen; por lo tanto, un circuito que provea resultados satisfactorios posteriores a simulaciones tipo Montecarlo es un circuito diseñado de manera robusta listo para fabricar, siempre y cuando se usen las técnicas apropiadas de elaboración de *layout*.

Para el caso de este proyecto las simulaciones de Montecarlo se realizaron con 1000 muestras. El simulador entonces resuelve el circuito 1000 veces teniendo en cuenta para cada simulación diferentes valores para cada uno de los parámetros, incluyendo no solo variaciones en el proceso, sino también variaciones en las geometrías de los transistores, es decir teniendo en cuenta *mismatch*. Ya que el simulador simplemente resuelve el circuito cierta cantidad de veces asumiendo diferentes valores para los parámetros, no es de asombro que se puedan obtener cada una de las respuestas en frecuencia de cada simulación. En la Figura 4.5 se aprecian las ganancias producidas por las 1000 simulaciones.

Es posible observar en esta gráfica que la mínima curva de ganancia se encuentra por encima de los 60 dB y que el ancho de banda mínimo está por encima de los 100 Hz. En la Figura 4.6 se muestra la fase del amplificador, en esta se hace evidente que la respuesta de este no cambia y que la dispersión de los datos se encuentra en un rango de 10° . Por último en la Figura 4.7 se observan las diferentes respuestas del ruido que se obtienen al realizar las 1000 simulaciones. En este parámetro es posible observar que la dispersión de los datos es mucho menor con respecto a las características vistas antes, y que por tanto a diferencia de la ganancia o la fase no es posible distinguir la respuesta de una simulación en particular.

Las Figuras anteriores nos dan una idea del comportamiento del circuito, sin embargo no permiten obtener el análisis estadístico que se busca, para esto se construyen histogramas de las principales características que presenta el amplificador, esto permite agrupar los datos y observar cuantos de ellos cumplen o no con los requisitos dados, además de dar la posibilidad de hallar la dispersión y media de cada una de las características.

Estos histogramas pueden ser observados en la Figura 4.3. En cada uno de los histogra-

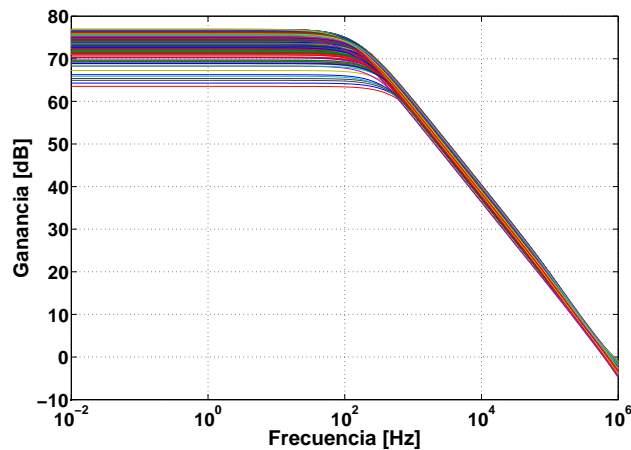


Figura 4.5: Respuesta en frecuencia de la ganancia con simulaciones Montecarlo.

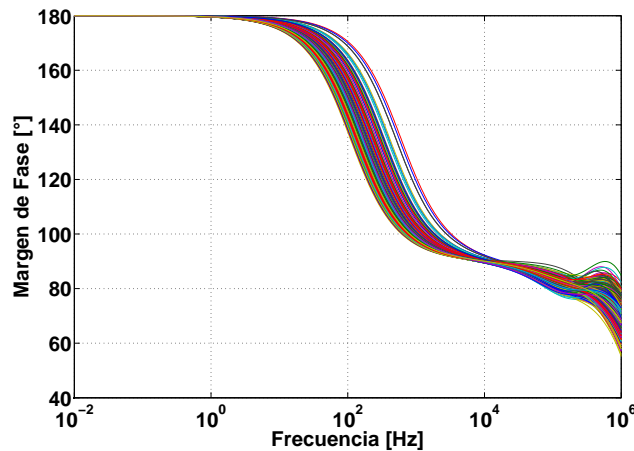


Figura 4.6: Fase del amplificador con simulaciones Montecarlo.

mas que se muestran, la media corresponde con el valor hallado con los modelos TT de la tecnología. Además se observa cómo con la excepción del histograma de la $CMRR$ en el resto de ellos el 100 % de las muestras cumplen con los requisitos establecidos.

En el caso de la $CMRR$ como se mostró en la simulación de esquinas, existe una cantidad de muestras que no cumplen con dicho requisito, a pesar de esto la media se encuentra en el valor típico. En la Figura 4.8(f) se muestra el histograma de esta característica, se puede observar que la peor muestra presenta un valor de de 88 dB, no obstante los datos que se encuentran por debajo del valor mínimo son esporádicos. Ya que más de un 98 % de las muestras cumplen a cabalidad con todos los requisitos de este proyecto, se demuestra un comportamiento robusto ante las variaciones y se valida el diseño realizado, el cual con la realización de un *layout* adecuado puede ser fabricado.

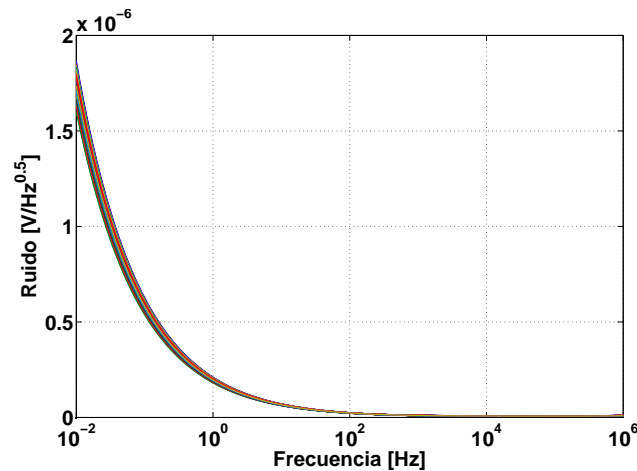
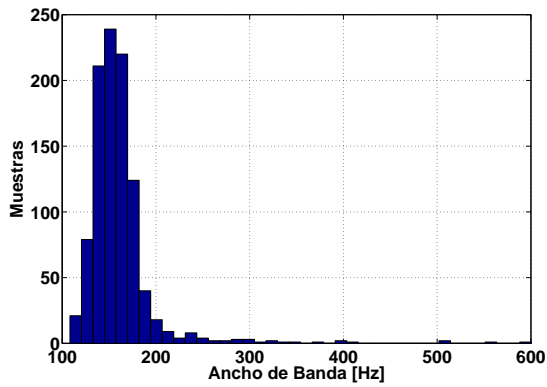


Figura 4.7: Respuesta en frecuencia del ruido con simulaciones Montecarlo.

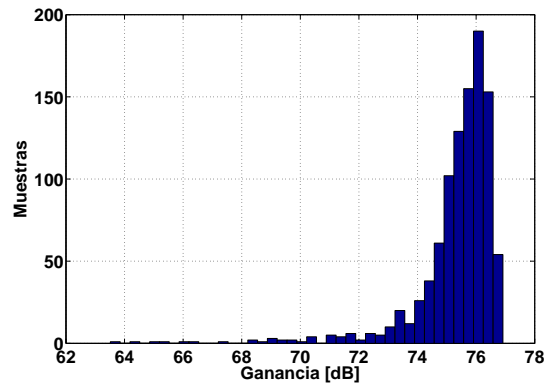
4.4. Comparación de resultados

Una vez que se ha validado el diseño es posible realizar una comparación de este con los trabajos presentes en el estado del arte. En la Tabla 4.3 se observa en la última fila el trabajo realizado. En esta tabla es posible apreciar que el amplificador presenta características que se encuentran dentro del estado del arte, como lo son el menor voltaje de alimentación en estructuras dedicadas a la detección de señales bioeléctricas. La tercer mejor ganancia y la segunda mayor margen de fase. Estas características, es importante mencionar que fueron logradas sin recurrir a tecnologías especiales, lo cual conlleva a un menor costo de fabricación. En este punto también es importante mencionar que las estructuras presentadas en la academia dirigidas a la aplicación en estudio no presentan resultados de características importantes como lo son la *CMRR* y el ruido, siendo este último una de las mayores preocupaciones de esta aplicación y una de las mejores características conseguidas. Con lo cual este trabajo se ubica dentro de los trabajos representativos o del estado del arte presentando valores destacados en todas sus características y además sin utilizar tecnologías especiales.

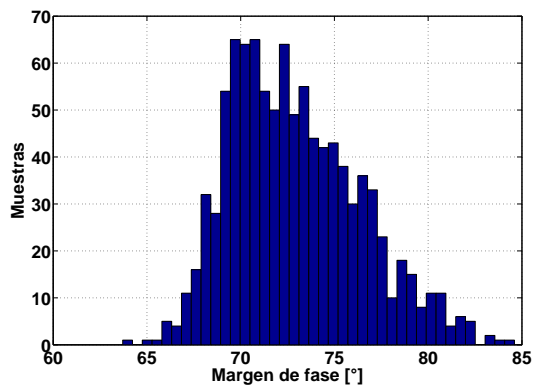
En la Tabla 4.4 se observa la comparación, esta vez con las estructuras que presentan las mejores características para la detección de señales bioeléctricas, sin estar dirigidas a dicha aplicación. En este caso se puede observar que la estructura nuevamente se ubica dentro de los mejores trabajos, esta vez es posible recordar que cada uno de los trabajos presentados en esta tabla está alimentado con una tensión mínima de 3,3 V y la estructura aquí diseñada logró obtener características similares con un voltaje que es en el peor de los casos un 85 % menor a la utilizada en las otras estructuras. Es decir que se obtuvieron resultados comparables con dichos trabajos pero con una alimentación en el peor de los casos del 15 % de la que estos utilizaron y en el mejor de los casos de tan solo el 10 % de dicho valor.



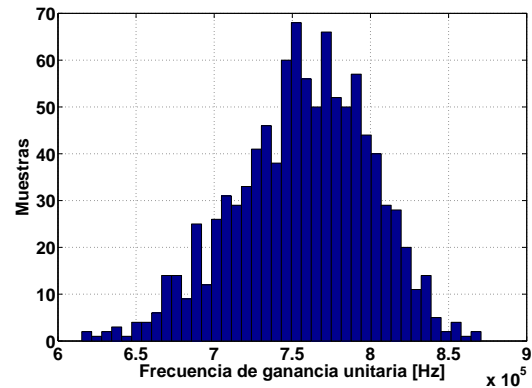
(a) Histograma de dispersión del ancho de banda.



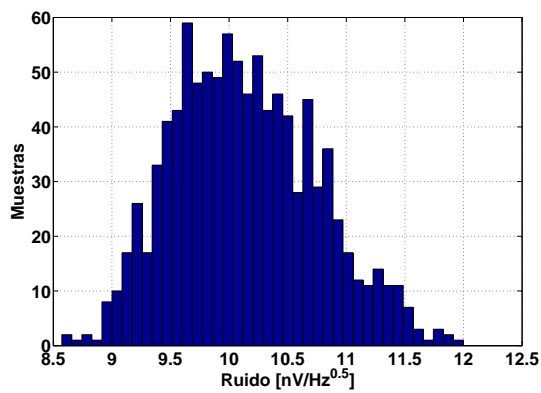
(b) Histograma de dispersión de la ganancia.



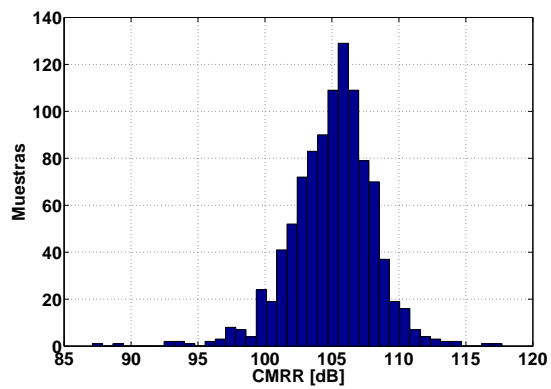
(c) Histograma de dispersión del margen de fase.



(d) Histograma de dispersión de la frecuencia de ganancia unitaria.



(e) Histograma de dispersión del ruido.



(f) Histograma de dispersión de la CMRR.

Figura 4.8: Histogramas de las principales características del *OpAmp* diseñado, obtenidos a partir del método de Montecarlo.

Tabla 4.3: Comparación del diseño realizado y el estado del arte.

Referencia	$V_{DD}-V_{SS}$ [V]	Potencia [μ W]	Ganancia [dB]	Ancho de banda	Margen de fase	Tecnología <i>CMOS</i>	Año
[Tang2002]	0,6	42	79	8 MHz	58°	350 nm	2002
[Lee2006]	0,9	2,4	> 80	30 kHz	65°	180 nm	2006
[Lee2008]	0,65	-	> 65	200 kHz	> 51°	180 nm	2008
[Chow2008]	1	186,9	71	8 MHz	78°	180 nm	2008
[Daliri2008]	0,8	0,0505	75	20 kHz	62°	180 nm	2008
<u>Gómez</u>	0,5	70	76	150 Hz	70°	90 nm	2012

Tabla 4.4: Comparación con topologías con características favorables para la detección de señales bioeléctricas.

Referencia	A_d [dB]	<i>CMRR</i> [dB]	Ruido [nV/ $\sqrt{\text{Hz}}$]	Etapas	Figura de mérito	F. mérito Normalizada
[Zhang2008]	114	120	17,47	3	311	103
[Giustolisi2000]	70,00	101,49	-	2	171	86
[Lai2010]	98,8	137,8	24,92	3	312	104
Requerimientos	60	100	20	3 ^a	236	78,6
<u>Gómez</u>	76	105	10	3	261	87

a. Número de etapas típico de este tipo de amplificadores.

4.5. Observaciones

- En este trabajo se diseñó un *OpAmp* con bajo voltaje de alimentación que cumple con todas las especificaciones para la detección de señales bioeléctricas, las cuales exigen principalmente una ganancia mayor a 60 dB y un ruido menor a 20 nV/ $\sqrt{\text{Hz}}$. Finalmente se obtuvo una ganancia de 76 dB con una desviación estándar de $\pm 1,5$ dB y un ruido de 10 nV/ $\sqrt{\text{Hz}}$ con una desviación estándar de $\pm 0,61$ nV/ $\sqrt{\text{Hz}}$ con un voltaje de alimentación de 0,5 V, logrando posicionar este trabajo en el estado del arte de los amplificadores de biopotencial.
- La metodología de diseño que se siguió durante el desarrollo de este proyecto hizo posible el diseño del amplificador con un bajo voltaje de alimentación sin recurrir al uso de tecnologías y procesos de fabricación especiales. Como resultado el amplificador tiene

características comparables a las presentadas por estructuras que están alimentadas con un voltaje que es 10 veces superior al utilizado en este proyecto.

- Las simulaciones de variaciones en los parámetros, como temperatura, parámetros del proceso y *mismatch* de los transistores, indican que todas las muestras se encuentran dentro de las especificaciones con una confiabilidad del 98 %, con lo cual se comprueba el adecuado diseño del *OpAmp* y su robusto comportamiento ante variaciones del proceso.
- La correcta elección del modelo del transistor fue esencial en el desarrollo de este proyecto, ya que permitió trabajar los transistores en cualquier región de inversión, permitiendo utilizar una estructura que originalmente no fue diseñada para bajos voltajes de alimentación.

4.6. Conclusiones

Las experiencias y resultados obtenidos a partir del diseño del amplificador permiten concluir que:

- ★ Los transistores M_9 y M_{10} de la estructura seleccionada para el amplificador de biopotencial, determinan la *CMRR* y sus dimensiones deben ser las mayores posibles para obtener el máximo valor de dicha característica.
- ★ Con el incremento en las dimensiones de los transistores M_1 y M_2 , se disminuye el ruido que presenta el amplificador, ya que el mayor aporte de este se produce en la etapa de entrada, especialmente por estos transistores.
- ★ Incrementando la corriente que pasa a través de los transistores de la etapa de entrada, se logra contrarrestar el deterioro en la fase. Este deterioro es producto del incremento en las capacitancias parásitas, las cuales adquieren un alto valor debido a las geometrías que se dispusieron para disminuir el ruido.
- ★ A la hora de elegir el tipo de compensación con la cual se va a trabajar, es necesario tener en cuenta la configuración de ganancias por etapa que presenta la estructura a compensar, puesto que ciertas técnicas requieren de configuraciones especiales para ser efectivas.

4.7. Recomendaciones para trabajos futuros

Una vez formuladas las conclusiones, se proponen diferentes ideas y recomendaciones que surgen para futuros trabajos relacionados con el diseño de *OpAmps* :

- El reto fundamental de este proyecto era el diseño de un *OpAmp* que cumpliera con ciertas características y se alimentará con bajo voltaje, sin embargo para esto se asumió una fuente de alimentación robusta a variaciones, por lo cual se recomienda el diseño y simulación de la etapa de alimentación por medio de una etapa LDO que permita obtener las mejores prestaciones al circuito.
- Para continuar con el estudio de los sistemas de detección de señales biomédicas se propone la implementación y simulación de la etapa de filtrado y pre-amplificación con la celda aquí presentada.
- Muchas de las topologías usadas para la implementación de DACs utilizan celdas de amplificación. Se plantea el estudio y comparación de estructuras que utilicen el amplificador propuesto en este trabajo y estructuras que no permiten la integración de dicha celda, con el fin de comparar cual presenta mejores características para su integración en el sistema de detección de señales biomédicas.
- La disminución en el voltaje de alimentación permite alimentar el sistema por medio de técnicas que normalmente están restringidas para estos sistemas. Se propone el estudio y diseño de sistemas de *harvesting*, los cuales permiten alimentar el circuito sin dependencia de una batería, brindando autonomía al sistema.

Bibliografía

- [Adamec2008] ADAMEC, J., R. ADAMEC, L. KAPPENBERGER, y P. COUMEL. *EKG Holter: Guide to Electrocardiographic Interpretation*. Springer Verlag, 2008.
- [Ahmadpour2010] AHMADPOUR, a. «A 0.4 V bulk-input pseudo amplifier in 90nm CMOS technology.» *13th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems*, (2010), 301–304.
- [Chatterjee2007] CHATTERJEE, S, KP PUN, N STANIĆ, y P KINGET. «Analog circuit design techniques at 0.5 V.» *Data Communications*.
- [Cheng1995] CHENG, Yuhua, Mansun CHAN, Kelvin HUI, Min-chie JENG, y Zhihong LIU. «BSIM3v3 Manual.» *University of California*,.
- [Chow2008] CHOW, Hwang-Cherng, y Pu-Nan WENG. «A Low Voltage Rail-to-Rail OPAMP Design for Biomedical Signal Filtering Applications.» *4th IEEE International Symposium on Electronic Design, Test and Applications (delta 2008)*, (2008), 232–235.
- [DaCostaGouveiaFilho1997] DA COSTA GOUVEIA FILHO, O., A.I.A. CUNHA, M.C. SCHNEIDER, y C.G. MONTORO. «The ACM Model for Circuit Simulation and Equations for SMASH.» , nº September. URL http://www.dolphin.fr/medal/smash/notes/acm_report.pdf.
- [Daliri2008] DALIRI, M., y M. MAYMANDI-NEJAD. «A 0.8-V 420nW CMOS switched-opamp switched-capacitor pacemaker front-end with a new continuous-time CMFB.» *2008 15th IEEE International Conference on Electronics, Circuits and Systems*, (2008), 758–761.
- [Enz2006] ENZ, CC, y Eric A VITTOZ. *Charge-based MOS transistor modeling*. John Wiley & Sons, Ltd, 2006.

- [Galup-Montoro2003] GALUP-MONTORO, C., M.C. SCHNEIDER, A.I.A. CUNHA, y O.C. GOUVEIA FILHO. «Theory, development, and applications of the Advanced Compact MOSFET (ACM) model.» En *Proceedings of the 2003 Nanotechnology Conference and Trade Show, Nanotech. 2003*, tomo 2, 254–257. URL <http://nsti.org/publications/Nanotech/2003/pdf/T3501.pdf>.
- [Giustolisi2000] GIUSTOLISI, G., G. PALMISANO, y G. PALUMBO. «CMRR frequency response of CMOS operational transconductance amplifiers.» *IEEE Transactions on Instrumentation and Measurement*, 49, nº 1, (2000), 137–143. URL <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=836324>.
- [Kuts2009] KUTS, Myer (ed.) *Biomedical engineering and design handbook*. McGraw-Hill, 2009, second ed^{ón}.
- [Lai2010] LAI, J.L., T.Y. LIN, C.F. TAI, Y.T. LAI, y R.J. CHEN. «Design a low-noise operational amplifier with constant-gm.» En *SICE Annual Conference 2010, Proceedings of. IEEE*, 2010, 322–326. URL http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=5603193.
- [Lay-Ekuakille2009] LAY-EKUAKILLE, A., Giuseppe VENDRAMIN, Amerigo TROTTA, y Gabriella MAZZOTTA. «Thermoelectric generator design based on power from body heat for biomedical autonomous devices.» *Medical Measurements and Applications, 2009. MeMeA 2009. IEEE International Workshop on*, (2009), 1–4.
- [Le2010] LE, Huyen, Neric FONG, y H.C. LUONG. «RF Energy Harvesting Circuit with On-chip Antenna for Biomedical Applications.» *Communications and Electronics (ICCE), 2010 Third International Conference on*, (2010), 115–117.
- [Lee2008] LEE, EKF, y Anthony LAM. «A 0.65 V rail-to-rail constant gm opamp for biomedical applications.» *Circuits and Systems, 2008. ISCAS 2008. IEEE*, (2008), 2721–2724.
- [Lee2006] LEE, EKF, y Eusebiu MATEI. «A 0.9 V Rail-to-Rail Constant gm Amplifier for Implantable Biomedical Applications.» *Proceedings of 2006, IEEE International Symposium*, (2006), 653–656.

- [Morillo2008] MORILLO, Daniel Sánchez. *Procesado y transmisión de señales biomédicas para el diagnóstico de trastornos y enfermedades del sueño*. Tesis Doctoral, Universidad de Cádiz, 2008.
- [Osorio2007] OSORIO, Lorena Alvarez. *Acondicionamiento de Señales Bioeléctricas*. Universidad Tecnológica de Pereira, 2007.
- [Razavi2001] RAZAVI, Behzad. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [Romero2009] ROMERO, Edwar, R.O. WARRINGTON, y M.R. NEUMAN. «Body motion for powering biomedical devices.» *Engineering in Medicine and Biology Society, 2009. EMBC 2009. Annual International Conference of the IEEE*, 2009, (2009), 2752–2755.
- [Saxena2007] SAXENA, Vishal. *Indirect feedback compensation Techniques for multi-stage operational amplifiers*. Tesis Doctoral, Boise State University, 2007.
- [Sedra2004] SEDRA, A.S., y K.C. SMITH. *Microelectronic circuits*. Oxford University Press, USA, 2004, fifth ed^{ón}.
- [Serra-Graells2003] SERRA-GRAELLS, F., A. RUEDA, y J.L. HUERTAS. *Low-voltage CMOS log companding analog design*. Springer Netherlands, 2003.
- [Tang2002] TANG, Y. «A 0.6 V ultra low voltage operational amplifier.» *Circuits and Systems, 2002 IEEE*.
- [Wang2006] WANG, A., B.H. CALHOUN, y A.P. CHANDRAKASAN. *Sub-threshold design for ultra low-power systems*. Springer Verlag, 2006.
- [Zepeda-Carapia2005] ZEPEDA-CARAPIA, I., A. MARQUEZ-ESPINOZA, y C. ALVARADO-SERRANO. «Measurement of skin-electrode impedance for a 12-lead electrocardiogram.» En *Electrical and Electronics Engineering, 2005 2nd International Conference on*. IEEE, 2005, 193–195.
- [Zhang2008] ZHANG, X.L., y P.K. CHAN. «An untrimmed CMOS amplifier with high CMRR and low offset for sensor applications.» *APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and*

Systems, , nº 1, (2008), 802–805. URL <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=4746144>.