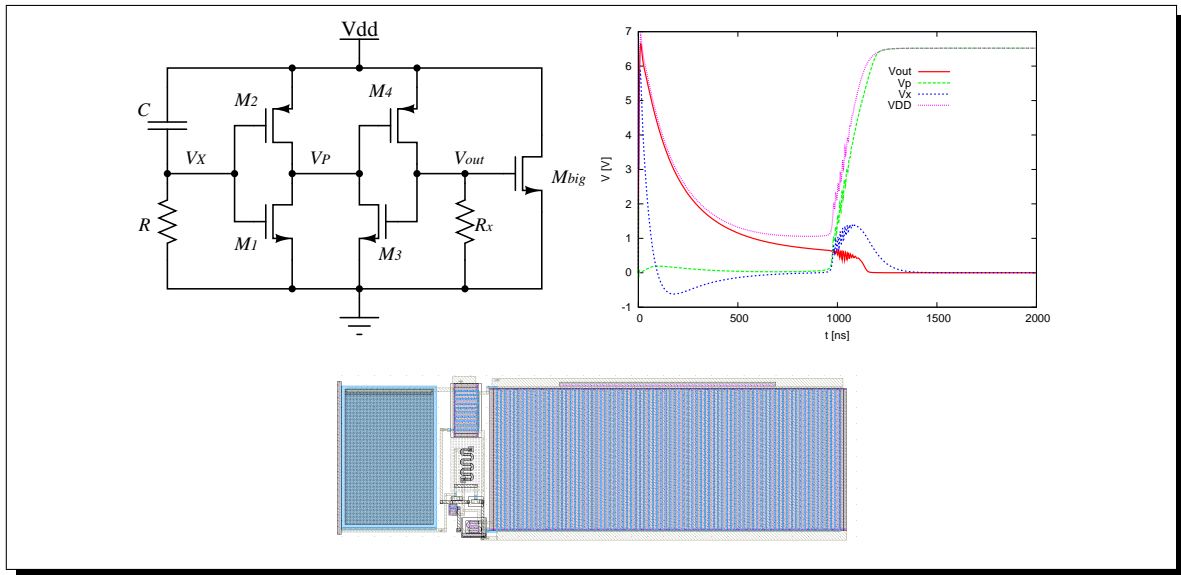


# DISEÑO DE UN CIRCUITO DE PROTECCIÓN DE DESCARGA ELECTROSTÁTICA *ESD* PARA CIRCUITOS INTEGRADOS DE SEÑAL MEZCLADA.



Javier Ferney Ardila Ochoa

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICOMECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES  
BUCARAMANGA

2010



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



# **DISEÑO DE UN CIRCUITO DE PROTECCIÓN DE DESCARGA ELECTROSTÁTICA *ESD* PARA CIRCUITOS INTEGRADOS DE SEÑAL MEZCLADA.**

Javier Ferney Ardila Ochoa

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Élkim Felipe Roa Fuentes

UNIVERSIDAD INDUSTRIAL DE SANTANDER

FACULTAD DE INGENIERÍAS FISICOMECÁNICAS

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

BUCARAMANGA

2010

*“ A mi familia.”*

*Javier.*

## Agradecimientos

Agradezco a Dios y a Jesucristo por la vida que diariamente me han dado, la fuerza el entendimiento y la salud. También le doy gracias a mi familia: mi *nono* Pedro, mi *nona* Paulina, mis padres Maricela y Javier, mi tía Marilyn, mi *nona* Adela y los demás miembros que de una u otra manera me brindaron su apoyo; el cual fue fundamental para alcanzar este logro en mi vida. Obviamente debo agradecer a Natalia por su paciencia y apoyo incondicional.

Por otra parte, le agradezco al profesor Elkim por brindarme la oportunidad de realizar investigación en el diseño de circuitos integrados, al grupo CIDIC y en especial a Lucho, Francisco, Andrés, Sergio, Jairo y Diego de quienes he aprendido lo mejor de cada uno.

*Javier F. Ardila*

# Contenido

<b>1. Introducción</b>	<b>17</b>
1.1. Naturaleza del Fenómeno <i>ESD</i>	18
1.1.1. Generación de Cargas Estáticas	18
1.1.2. Descarga Electrostática	22
1.2. <i>ESD</i> en los Circuitos Integrados	22
1.2.1. Fallas en estructuras microelectrónicas	23
1.3. Características del diseño <i>ESD</i>	25
1.3.1. Respuesta condicionada	27
1.3.2. Lazos alternativos de corriente	27
1.3.3. Independencia con el circuito protegido	29
1.3.4. Uso de elementos parásitos	30
1.3.5. No escalable	31
1.4. Organización del documento	31
<b>2. Modelado eléctrico para análisis <i>ESD</i></b>	<b>33</b>
2.1. Modelado del evento <i>ESD</i>	33
2.1.1. Modelo de cuerpo humano <i>HBM (Human Body Model)</i>	34
2.1.2. Modelo de la máquina <i>MM (Machine Model)</i>	36
2.1.3. Modelo de carga del dispositivo <i>CDM (Charge Device Model)</i>	36
2.2. Comportamiento eléctrico bajo <i>ESD</i>	38
2.2.1. Resistores	38
2.2.2. Diodos	39
2.2.3. Transistor BJT	42
2.2.4. Transistor MOSFET	43
2.3. Modelo Eléctrico del <i>MOSFET</i>	45
2.4. <i>Netlist</i> y Simulación	48
2.5. Esquema de Protección	49

2.5.1. Protecciones de entrada-salida . . . . .	50
2.5.2. <i>Power Clamp</i> . . . . .	50
<b>3. Circuito de Protección: <i>Power Clamp</i></b>	<b>53</b>
3.1. Alternativas de protección . . . . .	53
3.2. <i>MOSFET</i> activado por red RC . . . . .	54
3.2.1. Parámetros de Desempeño . . . . .	57
3.3. Propuestas en Literatura . . . . .	58
3.3.1. Realimentación <i>NMOS-PMOS</i> . . . . .	58
3.3.2. Realimentación <i>PMOS</i> . . . . .	60
3.3.3. Realimentación con <i>PMOS</i> en Cascodo . . . . .	61
3.3.4. Propuesta con <i>Thyristor</i> . . . . .	62
3.4. Evaluación y Comparación . . . . .	63
3.4.1. Operación en condiciones de <i>ESD</i> . . . . .	64
3.4.2. Condiciones de operación normal . . . . .	68
3.4.3. Ruido en $V_{DD}$ . . . . .	69
3.4.4. Evaluación para la topología con <i>Thyristor</i> . . . . .	70
3.5. Resumen y Discusión . . . . .	73
3.6. Estado del arte . . . . .	74
<b>4. Diseño del circuito de protección</b>	<b>77</b>
4.1. Arquitectura con el <i>Thyristor CMOS</i> . . . . .	78
4.1.1. Operación ante el modelo <i>HBM</i> . . . . .	78
4.2. Metodología y diseño del <i>Power Clamp</i> . . . . .	83
4.2.1. Layout del <i>Power Clamp</i> . . . . .	91
4.2.2. Simulaciones Post-Layout . . . . .	93
4.3. Observaciones y Conclusiones . . . . .	97
4.4. Recomendaciones para trabajos futuros . . . . .	99
<b>Bibliografía</b>	<b>101</b>
<b>A. Netlist del modelo del <i>MOSFET</i></b>	<b>105</b>
A.1. Modelos modnesd.mod y modpesd.mod . . . . .	105
A.2. Modelos modggnmos.mod y modggpmos.mod . . . . .	108
A.3. Modelo <i>HBM</i> . . . . .	109

# Lista de figuras

1.1. Niveles de Fermi y funciones de trabajo de dos materiales diferentes. Adaptado de [1]. . . . .	19
1.2. Objetos en contacto. . . . .	19
1.3. Equilibrio. La diferencia de energías está dada por $\phi_2 - \phi_1$ . . . . .	20
1.4. Resultado de la separación. . . . .	20
1.5. Conductor sumergido en un campo eléctrico. . . . .	21
1.6. Carga por inducción. . . . .	21
1.7. Descarga a través de un Circuito Interno. . . . .	23
1.8. Esquema de protección anclado a los rieles en un CI que posee celdas de entrada y salida independientes. En este se observan las protecciones a los pads de entrada (1-2) y salida (3-4) de señal y entre los rieles de alimentación (5). . . . .	25
1.9. Esquema de protección anclado a los rieles en un CI que posee puertos bidireccionales. Se observa las protecciones en los puertos bidireccionales (1, 2) y entre los rieles de alimentación (3). . . . .	26
1.10. Esquema de protección anclado a VSS en un CI que posee celdas de entrada y salida independientes. En este se observan las protecciones a los pads de entrada y salida de señal (1-2) y entre los rieles de alimentación (3). . . . .	26
1.11. Esquema de protección anclado a VSS en un CI que posee puertos bidireccionales. Se observa las protecciones en los puertos bidireccionales (1) y entre los rieles de alimentación (2). . . . .	27
1.12. Ruta de descarga ante un evento <i>ESD</i> entre pines de entrada y salida utilizando el esquema de protección anclada a los rieles con referencia en el pin de salida . . . . .	28
1.13. Descarga entre un pin de salida y uno de entrada para el esquema de anclado a los rieles. En este caso la referencia está en el pin de entrada. . . . .	28
1.14. Ruta de descarga para el esquema de protecciones ancladas a VSS con referencia en el pin de salida. . . . .	29

1.15. Ruta de descarga con protecciones ancladas a VSS con referencia en el pin de entrada. . . . .	29
1.16. Diodo inherente en procesos CMOS de sustrato p. . . . .	30
2.1. Modelo HBM simplificado. . . . .	34
2.2. Modelo HBM incluyendo los elementos parásitos. . . . .	35
2.3. Pulso de corriente del modelo <i>HBM</i> . . . . .	35
2.4. Modelo MM. . . . .	36
2.5. Pulso de corriente del modelo <i>MM</i> . . . . .	37
2.6. Modelo CDM. . . . .	37
2.7. Pulso de corriente del modelo <i>CDM</i> . . . . .	38
2.8. Característica de un resistor. 1) Región Lineal, 2) Saturación, 3) <i>Snapback</i> . . .	39
2.9. Característica del diodo en polarización directa . . . . .	40
2.10. Característica del diodo en polarización inversa . . . . .	41
2.11. Ganancia de corriente del transistor bipolar en función de la corriente de colector. . . . .	43
2.12. Modelo de circuito para el <i>BJT NPN</i> . . . . .	44
2.13. Curva característica del MOSFET . . . . .	44
2.14. Transistor NMOS con su LNPN asociado . . . . .	45
2.15. Característica del GGNMOS . . . . .	45
2.16. Modelo eléctrico del transistor <i>NMOS</i> para <i>ESD</i> . . . . .	46
2.17. Comparación modelo nivel 1 respecto al modelo eléctrico para evento <i>ESD</i> . Las líneas punteadas corresponden a la simulación con el modelo nivel 1. . . . .	49
2.18. Curva $I - V$ del <i>GGNMOS</i> . . . . .	49
2.19. Esquema simplificado de las protecciones <i>ESD</i> en circuitos integrados. . . . .	50
3.1. Configuración básica de <i>MOSFET</i> activado por una red RC. . . . .	55
3.2. Circuito propuesto en [2]. . . . .	59
3.3. Circuito propuesto en [3]. . . . .	61
3.4. Circuito propuesto en [4]. . . . .	61
3.5. Circuito propuesto en [5]. . . . .	63
3.6. Topologías basadas en cadena de inversores dispuestas para ser evaluadas. . . . .	65
3.7. Tiempo de encendido para el esquema clásico y el realimentado con PMOS. . . . .	66
3.8. Tiempo de encendido para el esquema con realimentación NMOS-PMOS. . . . .	67
3.9. Tiempo de encendido para el esquema con realimentación PMOS en cascodo. . . . .	68
3.10. Encendido de la fuente. . . . .	69
3.11. Ruido de la fuente. . . . .	70
3.12. Efecto del ruido en $V_{DD}$ sobre la tensión en la compuerta del <i>BigFET</i> . . . . .	70

3.13. Efecto del ruido en $V_{DD}$ sobre la corriente manejada por el <i>BigFET</i> . . . . .	71
3.14. Esquemático para la evaluación de la arquitectura con <i>Thyristor</i> . . . . .	71
3.15. Tiempo de encendido. . . . .	72
4.1. Circuito a diseñar . . . . .	79
4.2. Red RC de salida y relación $V_{dd} - V_{out}$ . . . . .	80
4.3. Circuito simplificado para el análisis de la tensión $V_P$ . . . . .	81
4.4. Resultados de simulación para $t_{ss}$ y $e_{ss}$ . . . . .	86
4.5. Relación entre el tiempo de encendido y $W_3$ . . . . .	87
4.6. Respuesta al evento <i>HBM</i> para variaciones en $W_3$ . . . . .	88
4.7. Formas de onda ante el evento <i>ESD</i> del circuito diseñado. . . . .	89
4.8. Formas de onda ante condiciones de encendido de la fuente. . . . .	90
4.9. <i>Layout del circuito diseñado</i> . . . . .	94
4.10. Formas de onda <i>post-layout</i> ante descarga con el modelo <i>HBM</i> comparadas con las obtenidas en <i>pre-layout</i> . . . . .	94
4.11. Desempeño del circuito para variaciones en la temperatura. . . . .	95
4.12. Tiempo de elevación mínimo soportado por el <i>Power Clamp</i> . . . . .	97
4.13. Análisis Monte Carlo sobre el tiempo de encendido $t_{on}$ del <i>Power Clamp</i> ante evento <i>HBM</i> . . . . .	97
4.14. Análisis Monte Carlo sobre la tensión pico alcanzada en $V_{DD}$ ante evento <i>HBM</i> . . . . .	98



# Lista de tablas

1.1. Rutas de descarga entre los pines de un CI. . . . .	30
2.1. Parámetros que describen la relación del factor $M$ para el proceso de $0,35\mu m$ . Extraídos en [6]. . . . .	47
2.2. Parámetros que describen la aproximación del factor $M$ para el proceso de $0,35\mu m$ . Extraídos en [6]. . . . .	48
3.1. Nivel de protección en función del tamaño del transistor de gran tamaño <i>BigFET</i> . Adaptado de [7]. . . . .	58
3.2. Dimensionamiento de las topologías con cadena de inversores. . . . .	66
3.3. Dimensionamiento. . . . .	72
3.4. Tensión pico en la compuerta del transistor $M_{big}$ . . . . .	73
3.5. Resultados presentados en la literatura. . . . .	75
4.1. Parámetros del transistor para el modelo nivel 1. . . . .	78
4.2. Especificaciones de diseño para el <i>Power Clamp</i> . . . . .	84
4.3. Diseño obtenido. . . . .	89
4.4. Resultados del diseño del <i>Power Clamp</i> para un evento <i>ESD HBM</i> de $8kV$ . . . . .	91
4.5. Resistencias disponibles en la tecnología <i>C35B4</i> de <i>AMS</i> . . . . .	92
4.6. Capacitancias disponibles en la tecnología <i>C35B4</i> de <i>AMS</i> . . . . .	93
A.1. Parámetros del modelo del transistor para simulaciones <i>ESD</i> . . . . .	105
A.2. Parámetros para el modelo <i>HBM</i> . . . . .	109

## RESUMEN

**TÍTULO:**

DISEÑO DE UN CIRCUITO DE PROTECCIÓN DE DESCARGA ELECTROSTÁTICA *ESD* PARA CIRCUITOS INTEGRADOS DE SEÑAL MEZCLADA<sup>1</sup>

**AUTOR:**<sup>2</sup> JAVIER FERNEY ARDILA OCHOA

**PALABRAS CLAVE:** *ESD*, *HBM*, *GGNMOS*, *Power Clamp*, descarga electrostática, circuito de protección, *CMOS*.

**DESCRIPCIÓN:** La descarga electrostática (*ESD*) se ha convertido en uno de los principales problemas para la industria semiconductora, ya que esta puede acortar la vida útil de los dispositivos electrónicos. Con el escalamiento de los circuitos integrados, estos se han vuelto más vulnerables a las descargas electrostáticas. Por tal razón, se deben incluir circuitos de protección que garanticen la funcionalidad del chip cuando ocurra una descarga.

En este documento, inicialmente se introduce el fenómeno de descarga electrostática y su impacto en la microelectrónica. Luego, a partir del estudio en detalle de las alternativas de protección presentes en la literatura, se plantea una metodología de diseño y se aplica en el desarrollo de un *Power Clamp*. Para lograrlo, se realiza una evaluación y comparación del desempeño de las arquitecturas más referenciadas. Estas son realizadas a través de varias simulaciones.

Como resultado de este trabajo, se presenta el diseño de un circuito de protección en tecnología *CMOS* de  $0,35\mu m$  que soporta un nivel de descarga de  $8kV$  con el modelo de cuerpo humano (*HBM*). El desempeño del circuito diseñado se valida mediante simulaciones *post-layout* utilizando análisis Monte Carlo y variaciones en la temperatura. Estas muestran que el diseño realizado es robusto ante variaciones del proceso. Además, todas las especificaciones se cumplen para un rango de temperatura entre  $-45 \sim 105^{\circ}C$ . Lo anterior se realiza utilizando los modelos de los dispositivos que proporciona la tecnología *CMOS C35B4C3* de *Austria Micro Systems (AMS)*.

---

<sup>1</sup>Proyecto de Grado

<sup>2</sup>Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Élkim Felipe Roa Fuentes.

**SUMMARY****TITLE:**

DESIGN OF AN ESD PROTECTION CIRCUIT FOR MIXED SIGNAL INTEGRATED CIRCUITS<sup>3</sup>

**AUTHOR:**<sup>4</sup> JAVIER FERNEY ARDILA OCHOA

**KEY WORDS:** ESD, GGNMOS, Power Clamp, electrostatic discharge, protection circuit, CMOS.

**DESCRIPTION:** Electrostatic Discharge (ESD) has become in one of the principals problems for the semiconductor industry, since it significantly reduces the lifetime of the electronic devices. With the scale down of the integrated circuits, these have become more vulnerable to ESD. For this reason, to ensure the functionality of the chip when a discharge occurs, protection circuitry must be included.

In this document, first the phenomena of ESD and its impact in microelectronics are presented. Then, after detailed study of alternatives in the literature, a design methodology is presented and applied in the development of a Power Clamp. To achieve this, evaluation and comparison on performance of most referenced architectures is done. These are made through several simulations.

As a result of this work, the design of a protection circuit in  $0,35\mu m$  CMOS technology can withstand an electrostatic discharge level of  $8kV$  for the Human Body Model (HBM). The performance of the designed circuit is validated with Monte Carlo and temperature variations analyses. Simulation results show that this design is robust to process variations. Furthermore, all specifications in a temperature range of  $-45 \sim 105^{\circ}C$  are achieved. These simulations use the devices models provided by Austria Micro Systems (AMS) in C35B4C3 CMOS technology.

---

<sup>3</sup>Degree project

<sup>4</sup>Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director MSc. É-lkim Felipe Roa Fuentes.



# Capítulo 1

## Introducción

El fenómeno o evento de Descarga Electrostática *ESD*<sup>1</sup> corresponde a la transferencia de carga eléctrica que ocurre cuando dos objetos o zonas, que se encuentran a potenciales electrostáticos distintos, se ponen en contacto o se aproximan lo suficiente para que se produzca un flujo de carga hasta que se equilibren sus potenciales. En particular en la microelectrónica, el evento *ESD* aparece cuando un objeto cargado se descarga a través de un circuito integrado (CI<sup>2</sup>), lo cual puede ocurrir durante la fabricación, empaquetado, ensamble y comercialización del mismo. En muchos casos, la descarga electrostática provoca impulsos de corriente dentro del chip que generan niveles elevados de tensión (en el orden de kV) y disipación de potencia (kW) durante instantes de tiempo suficientes para producir fallas en los dispositivos electrónicos que lo conforman [8].

A pesar del esfuerzo de la industria para disminuir la posibilidad de que se presente el fenómeno *ESD* durante el proceso de fabricación, las fallas en los circuitos integrados debidas a éste, representan alrededor de un 10 % de todos los daños que se registran en estos circuitos; esto le cuesta a la industria electrónica millones de dólares cada año [8], [9].

Es por esta razón que es necesario integrar en los circuitos sistemas completos de protección que garanticen la funcionalidad del chip durante toda su vida útil, independientemente de la cantidad de eventos *ESD* a los cuales pueda estar sometido. Adicionalmente, el diseño de este tipo de circuitos debe considerar que cada bloque de un sistema integrado *SOC*<sup>3</sup> tiene requerimientos de alimentación diferentes y responden de manera distinta ante un evento *ESD*. Por tal razón, las redes de protección internas se tornan complejas y la optimización del diseño depende de la aplicación particular, conformando todo un desafío para el diseñador que incursiona en este campo.

---

<sup>1</sup>Se utiliza la abreviación del inglés *Electrostatic Discharge*.

<sup>2</sup>A través del libro se utilizará en algunos casos esta expresión para referirse a Circuito Integrado.

<sup>3</sup>Del inglés: *System On Chip*.

Con todo lo anterior se observa la importancia de diseñar circuitos robustos de protección contra *ESD*, que mantengan y aseguren la integridad y confiabilidad de los circuitos integrados. En ese contexto, este proyecto presenta inicialmente una introducción al estudio del fenómeno, para establecer las bases y características principales del problema físico, y poder realizar un estudio adecuado de las arquitecturas de protección presentes en la literatura, con el fin de realizar, a partir de una adaptación, el diseño de circuito de protección contra *ESD* para una aplicación analógica.

## 1.1. Naturaleza del Fenómeno *ESD*

Para comprender el origen del fenómeno *ESD*, es necesario recurrir a los principios básicos de la electrostática. El fenómeno electrostático es conocido por el ser humano desde que los griegos cerca del año 600 a.C, notaron la propiedad que tenía el ámbar de atraer ciertos objetos livianos después de ser frotado con la ebonita. Sin embargo, no fue sino hasta el siglo XVII d.C, que empezaron a realizarse estudios más formales y experimentos electrostáticos, con el fin de entender la particularidad de la materia de adquirir carga eléctrica. Un resumen cronológico de las contribuciones que se han dado hasta nuestros días se expone en [7].

La naturaleza del fenómeno *ESD* involucra desde la generación de cargas electrostáticas hasta la descarga de las mismas.

### 1.1.1. Generación de Cargas Estáticas

Existen dos mecanismos principales por los cuales un objeto puede cargarse y que son de particular interés: el efecto triboeléctrico y la carga por inducción de campo eléctrico. Los dispositivos y circuitos electrónicos pueden estar sujetos a descargas debido a componentes o regiones cargadas, ya sea por triboelectricidad o por inducción electrostática [8].

#### Efecto Triboeléctrico

Este mecanismo se basa en la posibilidad que tienen los electrones en la superficie de los materiales sólidos de ser emitidos o desprenderse de éstos si adquieren la energía suficiente. La energía necesaria para que los electrones en la superficie de un material escapen se denomina función de trabajo ( $\phi$ ) [1].

Cuando dos materiales diferentes se ponen en contacto, es decir, sus superficies están a distancias del orden de pocos nanómetros, ocurre una transferencia de electrones de un material al otro. Este efecto es provocado por la diferencia entre sus funciones de trabajo. Lo anterior se ilustra en la figura 1.1. Los electrones en el material cuya función de trabajo es menor se desplazan hacia el material de función de trabajo mayor, para ocupar los estados de

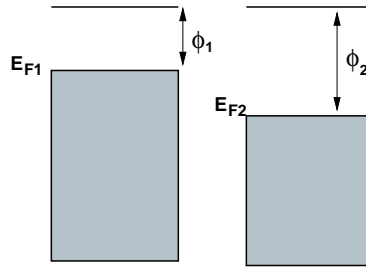


Figura 1.1: Niveles de Fermi y funciones de trabajo de dos materiales diferentes. Adaptado de [1].

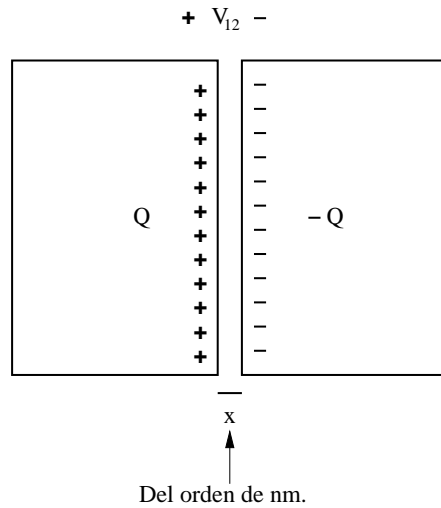


Figura 1.2: Objetos en contacto.

baja energía que se encuentran vacíos. Por ejemplo, para la figura 1.1 lo harían de izquierda a derecha. Esta transferencia de electrones hace que el material donante se cargue positivamente y el aceptador adquiera carga negativa, estableciendo un campo eléctrico que se opone al flujo y crece gradualmente hasta que se alcanza el equilibrio. En la figura 1.2 se ilustra el resultado del contacto.

El equilibrio termodinámico ocurre cuando los niveles de Fermi de ambos materiales se igualan [1], produciendo así un diagrama de bandas de energía como el que se muestra en la figura 1.3. El potencial de contacto  $V_{12}$  que aparece en la figura 1.2 está determinado por las funciones de trabajo,

$$V_{12} = \frac{\phi_2 - \phi_1}{q} \tag{1.1}$$

donde  $q$  corresponde a la magnitud de la carga del electrón.

De todo lo anterior se puede decir que se forma, desde un punto de vista microscópico,

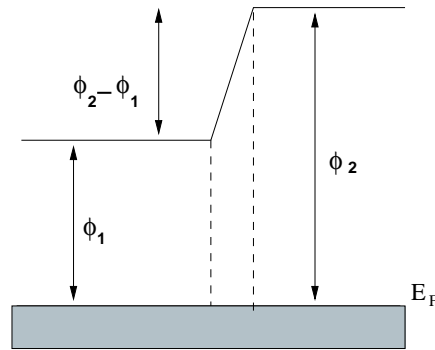


Figura 1.3: Equilibrio. La diferencia de energías está dada por  $\phi_2 - \phi_1$ .

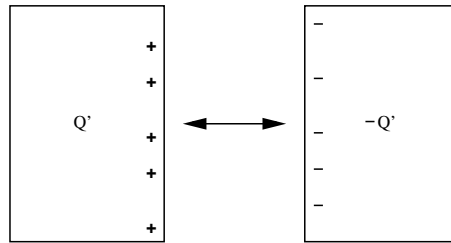


Figura 1.4: Resultado de la separación.

un condensador entre las superficies de contacto. La carga  $Q$  adquirida por los materiales está dada por,

$$Q = CV_{12} \quad (1.2)$$

donde  $C$  es el valor de la capacitancia entre las superficies de contacto, la cual es inversamente proporcional a la separación de estas.

Cuando los materiales son separados, el equilibrio se rompe y los electrones que se encuentran en la zona de contacto se mueven debido al campo ya establecido, iniciando el proceso contrario. Por lo tanto, los objetos tienden a descargarse a través del espacio que los separa para volver a sus estados iniciales. No solo los electrones se ven involucrados en la transferencia de carga, también están presentes los iones de la atmósfera entre la región de contacto. Sin embargo, son los electrones los que contribuyen con la mayor parte del proceso de carga [10].

El proceso de carga por efecto triboeléctrico es generalmente lento en comparación con el tiempo que tarda la separación de los materiales, esto quiere decir que los estados iniciales antes de la carga no se restablecen cuando los materiales se separan. Por esta razón, se mantiene una cantidad de carga después de la separación. La figura 1.4 muestra el resultado de la separación.

La cantidad de carga adquirida depende de varios factores como el área de contacto entre

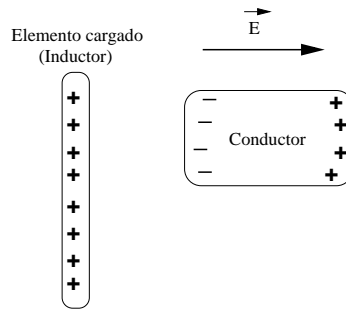


Figura 1.5: Conductor sumergido en un campo eléctrico.

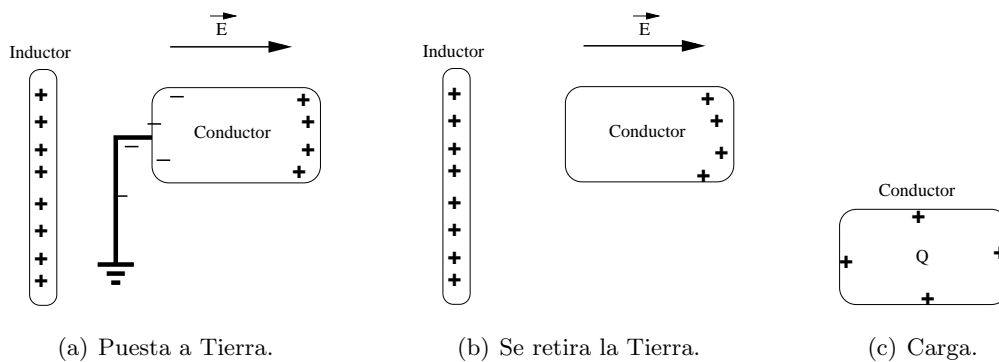


Figura 1.6: Carga por inducción.

las superficies, presión, fricción, humedad, entre otros. La polaridad de la carga depende principalmente de las propiedades intrínsecas del material, ya que está relacionada con las funciones de trabajo como se mostró anteriormente [11].

### Carga por Inducción

El mecanismo de carga por inducción se presenta cuando un conductor se sumerge dentro de un campo eléctrico constante, producido generalmente por otro objeto previamente cargado. El conductor inicialmente posee una carga neta nula, pero la presencia del campo produce una distribución de carga superficial de polaridad opuesta a cada lado del material, tal como se muestra en la figura 1.5.

Si un extremo del conductor es momentáneamente puesto a tierra, las cargas negativas son atraídas por ésta y por lo tanto dejarán el material conductor. Al retirar la puesta a tierra, el conductor quedará cargado eléctricamente y al apartar el objeto inductor, la carga se redistribuirá sobre la superficie del conductor. La figura 1.6 resume la secuencia de carga.

### 1.1.2. Descarga Electrostática

Cuando se juntan dos objetos conductores que poseen diferente exceso de carga, en otras palabras, presentan potenciales electrostáticos distintos, ocurre el fenómeno de descarga electrostática *ESD*. Cierta cantidad de carga es transferida de un objeto al otro casi instantáneamente, hasta que ambos se establecen al mismo potencial [8]. En algunos casos, la transferencia se realiza sin que los objetos entren en contacto físico. El dieléctrico que los separa (generalmente aire o algún tipo de atmósfera gaseosa) se ioniza y crea una ruta de baja resistencia que permite el flujo de corriente, siendo posible observar un arco eléctrico. La cantidad de carga transferida depende de la geometría de los objetos involucrados en el contacto.

El tiempo necesario para alcanzar el estado estable está determinado mediante la expresión [12]:

$$\tau = \frac{\epsilon}{\sigma} \quad (1.3)$$

Donde  $\epsilon$  es la permitividad y  $\sigma$  la conductividad del medio que separa ambos objetos.

## 1.2. *ESD* en los Circuitos Integrados

Un evento *ESD* consiste en una transferencia de carga eléctrica entre dos materiales en un intervalo de tiempo  $\Delta t$  que llega a ser del orden de los nanosegundos [9]. Esto implica niveles de corriente elevados, ya que,

$$i \approx \frac{\Delta Q}{\Delta t} \quad (1.4)$$

donde  $i$  es la corriente entre los dos materiales,  $\Delta Q$  es la cantidad de carga transferida y  $\Delta t$  el intervalo de tiempo mencionado previamente. En un ambiente normal, se podría inducir en un cuerpo una carga de  $0,6\mu C$  [8]. Si este cuerpo hace contacto con algún pin de un circuito integrado, ocurrirá una descarga caracterizada en gran medida por la capacitancia involucrada en la interacción. Esta capacitancia es del orden de los picofaradios ( $pF$ ) [8]. Suponiendo un valor de  $200pF$ , se desarrolla una tensión de  $3kV$  (ecuación (1.2)). Una descarga de este tipo puede durar  $100ns$  y por tanto forzar una corriente que alcanza el rango de los amperios (ecuación (1.4)). En la figura 1.7 se muestra una representación general de un CI sometido a un evento *ESD* entre un par de pines de entrada y salida. De esta se observa, que la única ruta por la cual se puede disipar la corriente es a través de los circuitos del chip. Cabe resaltar que la descarga se puede presentar entre cualquier par o combinación de pines.

Debido a lo anterior, la densidad de potencia en el punto de descarga alcanza niveles no tolerados por los dispositivos electrónicos de un CI y por tanto causa daños. Estos pueden ser

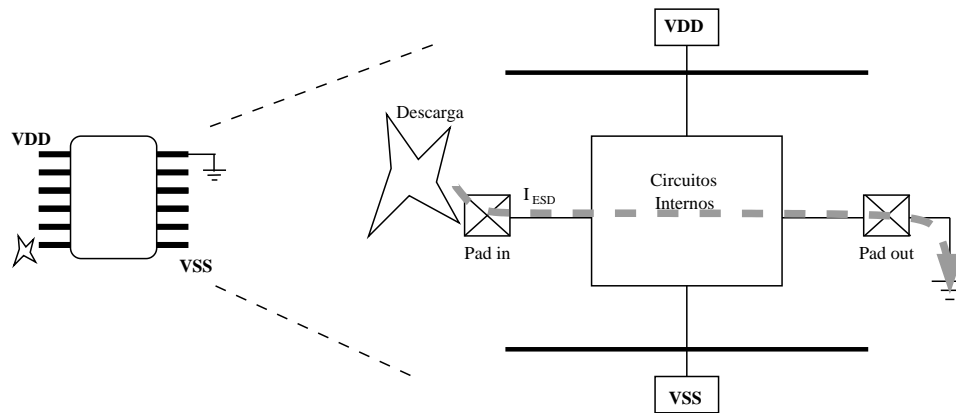


Figura 1.7: Descarga a través de un Circuito Interno.

térmicos, como el derretimiento de interconexiones, o eléctricos, como la ruptura dieléctrica en las compuertas de los transistores *MOS* [13]. A continuación se describen las fallas más comunes que se presentan en la industria de los semiconductores y los mecanismos que las producen debido a un evento *ESD*.

### 1.2.1. Fallas en estructuras microelectrónicas

Los daños que pueden presentarse en los circuitos microelectrónicos atribuidos a eventos *ESD*, son en su mayoría provocados por la falla térmica del dispositivo (excepto la ruptura del óxido) y por tanto de naturaleza irreversible. Existe un tipo de daños que provoca que el dispositivo o circuito afectado se destruya y deje de funcionar por completo, este se conoce como daño permanente. Otro tipo conocido como daño latente, no inhibe la funcionalidad del circuito, sino que se asocia con características degenerativas como el aumento de corrientes de fuga. Sin embargo, sus efectos pueden empeorar con el tiempo, haciéndolos poco predecibles. Cualquier falla que se presente puede ser el resultado de uno o más mecanismos principales [13] que se resumen a continuación.

#### Ruptura del óxido

Se refiere a la ruptura del dieléctrico presente en las compuertas de los transistores *MOS* a causa de la tensión provocada durante un evento *ESD*. Esta tensión puede superar el umbral máximo soportado por la compuerta y provocar la ruptura. Por lo anterior, deben implementarse circuitos de protección que mantengan un límite en la tensión a través del dispositivo o circuito protegido; es decir, que permitan un margen entre la tensión provocada por el evento *ESD* y la tensión de ruptura del óxido. Esta última es función del espesor del óxido y disminuye conforme se escala la tecnología [14]. En consecuencia, los dispositivos se hacen más

sensibles a la descarga electrostática y por esta razón el diseño, idealmente, debe adaptarse al escalamiento.

### **Filamentación y *Spiking***

Ocurre cuando una gran cantidad de corriente inversa circula a través de una unión *pn*. La cantidad de potencia disipada es tal, que la temperatura de la unión se eleva hasta provocar la fusión del silicio. Cuando esto ocurre, la resistencia del silicio disminuye considerablemente (30 veces o más [13]). Al disminuir la resistencia, más corriente podrá circular a través de la unión, produciendo un efecto de realimentación positiva. Parte del silicio fundido puede desplazarse a regiones adyacentes provocando un mal funcionamiento del dispositivo.

### ***Burn-out***

Las rutas de metal o polisilicio que son muy delgadas pueden derretirse si se encuentran cerca de una región demasiado caliente producida por el evento *ESD*. Esta región caliente generalmente es una unión *pn*. Es conveniente determinar el ancho óptimo de una ruta resistiva o metálica, de tal manera que pueda soportar un pulso de corriente de acuerdo al grado de protección que se tenga.

### **Inyección de cargas**

Hace referencia a las cargas que adquieren suficiente energía para penetrar el óxido de compuerta como consecuencia de un fuerte campo eléctrico aplicado a una unión *pn*. El mecanismo se lleva a cabo a través del efecto de avalancha en la unión. La inyección de cargas en la compuerta de un transistor provoca cambios en la tensión de umbral ( $V_{TH}$ ) del mismo [13].

Según lo anterior se puede concluir que un evento *ESD* resulta perjudicial para un circuito integrado, por tal razón debe prevenirse al máximo durante las etapas de fabricación del chip, así como diseñar circuitos de protección dentro de este para evitar daños durante su vida útil.

Actualmente existen circuitos y esquemas de protección contra *ESD*, pero implementarlos no es garantía de una protección infalible contra este fenómeno, ya que esto depende en gran medida de la forma como han sido diseñados estos circuitos y las condiciones para las cuales se ha realizado el diseño. En otras palabras, depende del modelo eléctrico utilizado para simular el fenómeno *ESD* y la aplicación particular que se está protegiendo. Un buen diseño contra *ESD*, implica que el circuito de protección resista el evento de descarga cada vez que se presente y además proteja la circuitería interna del chip sin degradar significativamente el desempeño del circuito protegido. Estas y otras características especiales que debe poseer un

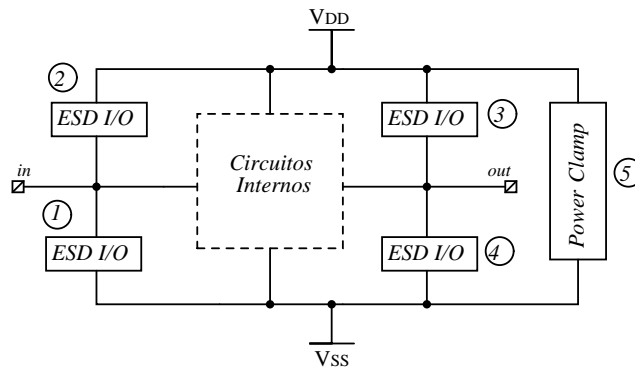


Figura 1.8: Esquema de protección anclado a los rieles en un CI que posee celdas de entrada y salida independientes. En este se observan las protecciones a los pads de entrada (1-2) y salida (3-4) de señal y entre los rieles de alimentación (5).

diseño para *ESD* se explican en la siguiente sección.

### 1.3. Características del diseño *ESD*

Como se mostró en la sección anterior, los circuitos integrados son sensibles y vulnerables a las descargas electrostáticas. Por esta razón, es necesario desarrollar métodos que permitan reducir el riesgo de que se presente cualquier daño latente o permanente. En la literatura han sido reportadas algunas optimizaciones en el proceso de fabricación *CMOS* para mejorar el desempeño de los dispositivos [15], [16]. Desde el punto de vista del diseño a nivel de circuito en sistemas integrados, se ha optado por incluir circuitos de protección dentro del mismo chip [17]. Esto debe hacerse sin que se vea afectada la funcionalidad y la integridad de los circuitos internos.

Las soluciones planteadas para diseñar el esquema de protección *ESD*, pueden agruparse en dos categorías según [8]: anclado a los rieles<sup>4</sup> o anclado a  $V_{SS}$ <sup>5</sup>. El esquema de anclaje a los rieles se muestra en las figuras 1.8 y 1.9. En ellas se muestra de manera simplificada, la estructura que puede representar a un CI para el caso de circuitos con celdas de entrada y salida, figura 1.8; o celdas bidireccionales, figura 1.9. De manera similar, en las figuras 1.10 y 1.11 se presentan los esquemas del anclaje a  $V_{SS}$ .

En ambos escenarios se expone, por simplicidad, el caso de un solo riel para la alimentación ( $V_{DD}-V_{SS}$ ), y se pueden reconocer los siguientes bloques que conforman el esquema de protección:

<sup>4</sup>En la literatura se conoce como *Vdd-based* o *rail-based*.

<sup>5</sup>Se conoce como *Vss-basedo pad-based*.

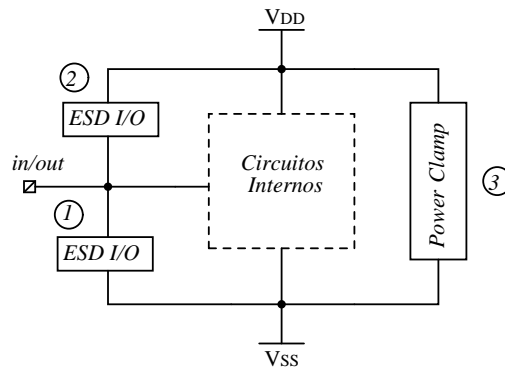


Figura 1.9: Esquema de protección anclado a los rieles en un CI que posee puertos bidireccionales. Se observa las protecciones en los puertos bidireccionales (1, 2) y entre los rieles de alimentación (3).

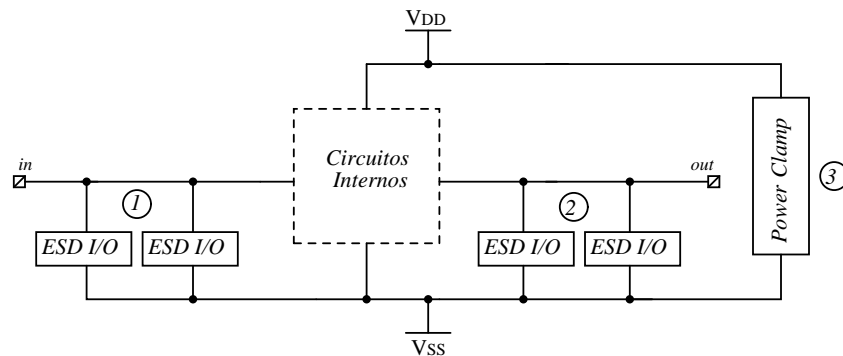


Figura 1.10: Esquema de protección anclado a VSS en un CI que posee celdas de entrada y salida independientes. En este se observan las protecciones a los pads de entrada y salida de señal (1-2) y entre los rieles de alimentación (3).

- Protecciones en los puertos de entrada de señal.
- Protecciones en los puertos de salida de señal.
- Protección entre  $V_{DD}$  y  $V_{SS}$  (Conocida como *Power Clamp*<sup>6</sup>.)

La diferencia principal entre estas dos categorías, radica principalmente en la forma como disipan la corriente provocada por una descarga. Estas configuraciones no se han hecho de manera caprichosa; sino que obedecen a ciertas características especiales que debe poseer un diseño adecuado de protección contra *ESD*. En ese sentido, esta sección describe las principales según [8] y [7].

<sup>6</sup>El término *Power Clamp* no posee una traducción correcta al español y por tanto a través del libro se prefiere utilizar el término en inglés

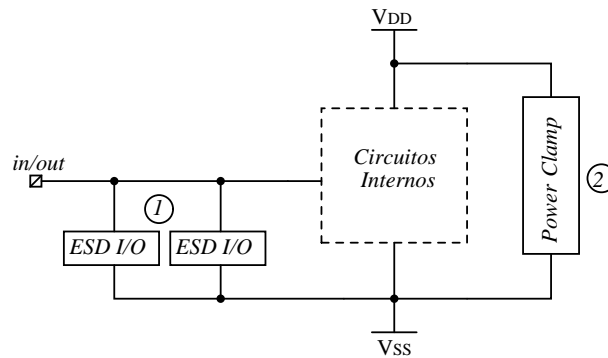


Figura 1.11: Esquema de protección anclado a VSS en un CI que posee puertos bidireccionales. Se observa las protecciones en los puertos bidireccionales (1) y entre los rieles de alimentación (2).

### 1.3.1. Respuesta condicionada

Un circuito de protección contra *ESD* debe permanecer apagado durante la operación normal del circuito bajo protección, y debe activarse ante la aparición de un evento *ESD*; es decir, debe tener la capacidad de detectar el fenómeno (magnitud, forma, etc). Además, debe hacerlo con la suficiente velocidad para evitar que parte de la corriente fluya a través de los circuitos internos. Este problema de velocidad generalmente se presenta en el encendido del *Power Clamp*, que por lo general, es un dispositivo de gran tamaño en proporción a los demás circuitos y puede no estar cerca de los puntos directos de descarga.

### 1.3.2. Lazos alternativos de corriente

Un evento *ESD* puede presentarse, como se ha mencionado anteriormente, entre cualquier combinación posible entre pines del chip. El sistema de protección debe establecer rutas de baja resistencia, por las cuales se dirija y disipe la corriente impulsada en la descarga. Por ejemplo, en las figuras 1.12 y 1.13 se muestra la activación de las protecciones y la dirección en que cada una maneja la corriente, para el caso de un evento *ESD* positivo<sup>7</sup> en el esquema de anclaje a los rieles. La figura 1.12 muestra el caso en que el evento ocurre entre un pin de entrada referenciado a un pin de salida. En contraste, la figura 1.13 la referencia está en el pin de entrada. En el primer caso, la corriente ingresa por el pin de entrada y activa la protección entre el pin de entrada y  $V_{DD}$ , la corriente es direccionada a través de  $V_{DD}$  y luego por el *Power Clamp* hacia  $V_{SS}$ ; finalmente alcanza el pin de referencia por medio de la protección entre

<sup>7</sup>El término *ESD* positivo hace referencia a la inyección de carga desde el primer objeto hacia el segundo. También existe el término *ESD* negativo, en este caso ocurre una extracción de carga desde el segundo objeto hacia el primero.

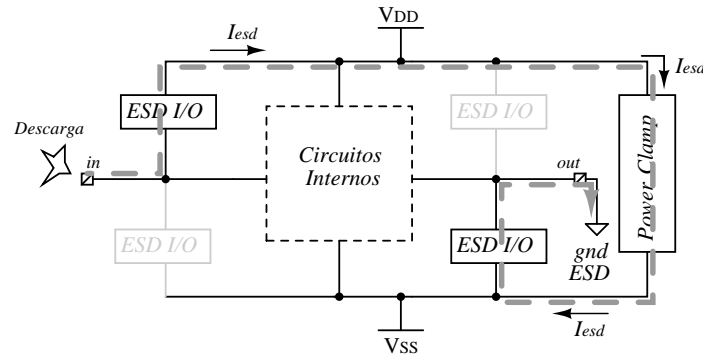


Figura 1.12: Ruta de descarga ante un evento *ESD* entre pines de entrada y salida utilizando el esquema de protección anclada a los rieles con referencia en el pin de salida

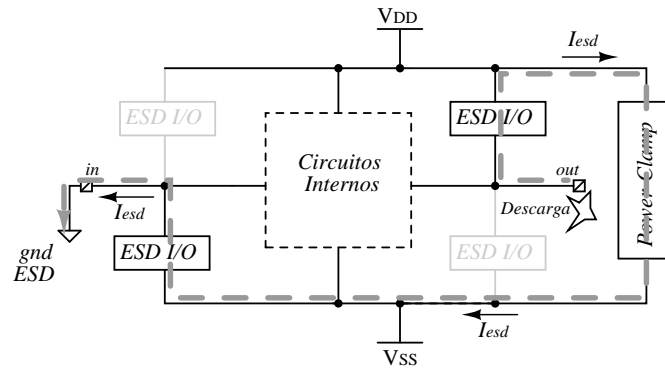


Figura 1.13: Descarga entre un pin de salida y uno de entrada para el esquema de anclaje a los rieles. En este caso la referencia está en el pin de entrada.

*pad* y  $V_{SS}$  en el pin de salida. En el segundo caso (figura 1.13), se encienden las protecciones que no lo hacían en el primero y el proceso de descarga de la protección es similar: protección *pad* –  $V_{DD}$ , *Power Clamp* y protección *pad* –  $V_{SS}$ .

Para los circuitos con pines bidireccionales (figura 1.9), si ocurre una descarga entre un par de pines, la corriente circula entre el *pad* y  $V_{DD}$  y luego, a través del *Power Clamp* alcanzaría  $V_{SS}$ . En este punto puede alcanzar otro pin I/O (que se encuentra en otra parte del chip) con el encendido de la protección *pad* –  $V_{SS}$ .

El mismo ejemplo, aplicado al esquema de anclaje a  $V_{SS}$  se muestra en las figuras 1.14 y 1.15. Las protecciones que se activan son siempre las de entrada. Sin embargo, lo hacen de tal forma que cada una conduzca la corriente en una sola dirección. La función del *Power Clamp* en este caso, se limita a asumir la descarga cuando esta ocurra entre  $V_{DD}$  y  $V_{SS}$  o entre  $V_{DD}$  y algún pin de señal. Para este segundo ejemplo no se muestra el caso de pines I/O, pues el funcionamiento básico debe ser claro en este punto.

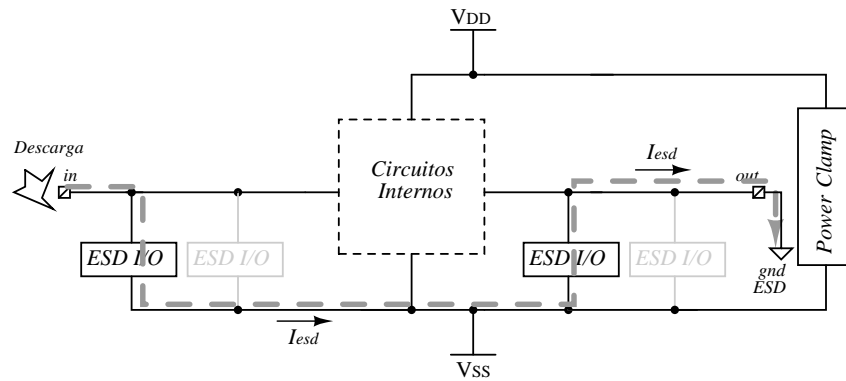


Figura 1.14: Ruta de descarga para el esquema de protecciones ancladas a VSS con referencia en el pin de salida.

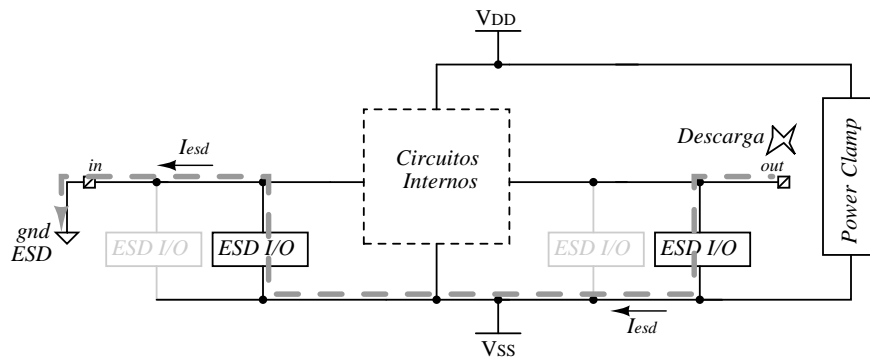


Figura 1.15: Ruta de descarga con protecciones ancladas a VSS con referencia en el pin de entrada.

Los ejemplos anteriores permiten abarcar las demás posibilidades de descarga entre los distintos pines. La tabla 1.1 las resume. Cabe resaltar, que en esta tabla se muestra la utilización de un diodo parásito que hasta el momento no se ha explicado. Esto se explica más adelante en la sección 1.3.4.

### 1.3.3. Independencia con el circuito protegido

El desempeño del circuito integrado no debe afectarse por la presencia del circuito de protección. Este último debe diseñarse de tal manera que no altere el funcionamiento del chip durante su operación en condiciones normales. De manera específica, la capacitancia adicional del circuito ESD no debe exceder los límites de carga en los pines de entrada y/o salida (I/O), especialmente cuando se está operando con señales de alta frecuencia. Además, las corrientes de fuga que estos circuitos consumen cuando no están activados (operación normal para el chip) deben ser lo más bajas posibles, pues estas aportan en el consumo de potencia.

Evento ESD	Tipo	Protecciones que se activan	
		Anclado a rieles	Anclado a VSS
Pin I/O-VDD	+	pad-VDD	pad-VSS, Diodo parásito
	-	<i>Power Clamp</i> , pad-VSS	<i>Power Clamp</i> , pad-VSS
Pin I/O-VSS	+	pad-VDD, <i>Power Clamp</i>	pad-VSS
	-	pad-VSS	pad-VSS
VDD-VSS	+	<i>Power Clamp</i>	<i>Power Clamp</i>
	-	Diodo parásito entre el sustrato y los pozos n presentes en los procesos CMOS de sustrato p	Diodo parásito

Tabla 1.1: Rutas de descarga entre los pines de un CI.

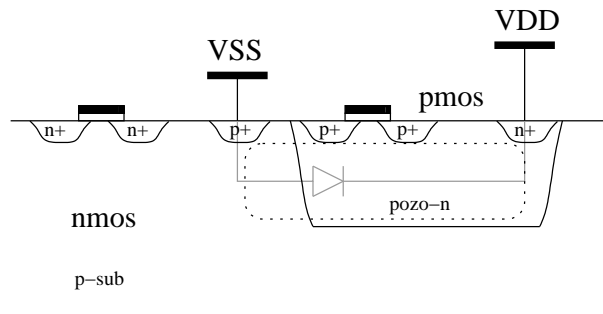


Figura 1.16: Diodo inherente en procesos CMOS de sustrato p.

#### 1.3.4. Uso de elementos parásitos

En el régimen de altas corrientes y altas tensiones, juegan un papel importante algunos elementos parásitos que pueden aparecer en los dispositivos. Por ejemplo, transistores bipolares laterales en los transistores *MOS* o en uniones *pn* adyacentes. En el diseño *ESD* se pueden aprovechar estos elementos parásitos para establecer un esquema de protección. En particular, vale la pena mencionar el diodo que existe entre los rieles de alimentación y que permite circular corriente en la dirección  $V_{SS}-V_{DD}$  cuando la tensión entre estos es suficientemente alta para polarizarlo de manera directa. Este diodo es inherente a la tecnología *CMOS* de sustrato tipo *p*, donde existen conexiones eléctricas entre los cuerpos de transistores *NMOS* y el riel de alimentación  $V_{SS}$ , y entre algunos cuerpos de transistores *PMOS* (formados por pozos *n*) y el riel de  $V_{DD}$ . La figura 1.16 ilustra lo anterior.

### 1.3.5. No escalable

Conforme avanza la tecnología del semiconductor, los efectos de escalamiento deterioran significativamente el desempeño de la protección *ESD*. Mientras las dimensiones de los transistores se reducen, los dispositivos se vuelven más sensibles ante descargas electrostáticas, las cuales no se escalan [7]. Por esta razón, siempre están presentes los mismos niveles elevados de tensión y corriente. El diseño *ESD* debe adaptarse a nuevas tecnologías y a las exigencias y limitaciones que cada una de estas trae [14].

## 1.4. Organización del documento

En este capítulo se presenta la introducción al fenómeno *ESD* resaltando el impacto que este tiene en los circuitos microelectrónicos. Se muestran las fallas más comunes en los circuitos integrados y que son debidas a descargas electrostáticas. Además, las principales características que identifican el diseño de circuitos de protección son presentadas.

El capítulo 2 describe los modelos utilizados para representar los pulsos de descarga electrostática. También se muestra el comportamiento de los principales dispositivos electrónicos que se utilizan en tecnología *CMOS*. Todo lo anterior permite desarrollar un modelo del transistor *MOSFET*, que está disponible para futuros trabajos de diseño que lo requieran. Este capítulo finalmente señala el circuito de protección en el cual se basa el diseño.

En el capítulo 3 se presentan las principales características del *Power Clamp*. Posteriormente, se realiza una evaluación mediante simulación entre las arquitecturas más referenciadas en la literatura. Este capítulo finaliza con una discusión acerca del desempeño de las arquitecturas evaluadas, la cual permite justificar la selección el circuito que se diseña. Además, el estado del arte es presentado.

En el capítulo 4 se desarrolla una metodología de diseño para el *Power Clamp*. Inicialmente, se describe la operación del circuito. A partir de esta, los pasos que conforman la metodología son expuestos y aplicados en el diseño del circuito de protección cumpliendo con las especificaciones de diseño. Posteriormente, se realiza el *layout* para validar los resultados obtenidos en *pre-layout*. Finalmente se condensan las experiencias, resultados obtenidos y conocimientos adquiridos en forma de observaciones conclusiones y recomendaciones.

El anexo A contiene el *netlist* del circuito utilizado para extraer las curvas características que del transistor *MOS*, cuando se trabaja en régimen elevados de corriente. Además, contiene el subcircuito que representa la fuente de estímulo para descarga electrostática.



## Capítulo 2

# Modelado eléctrico para análisis *ESD*

Para efectuar un análisis de la descarga electrostática en un circuito integrado, es necesario tener un modelo eléctrico que la represente. Este modelo equivale a un circuito eléctrico que generalmente sólo contiene elementos pasivos, y que permite estudiar el comportamiento transitorio de un evento *ESD*. En ese sentido, este capítulo presenta inicialmente los modelos de descarga electrostática más comunes, con el fin de usarlos en un simulador y utilizarlos como fuentes de estímulo en el análisis de protecciones *ESD*. No obstante, simular el fenómeno *ESD* no es suficiente para llevar a cabo tal análisis, pues adicionalmente, es indispensable conocer la respuesta de los dispositivos que conforman el CI cuando se someten a condiciones de descarga. Por esta razón, también se presenta el comportamiento de los dispositivos más utilizados en la tecnología *CMOS* y se realiza el *netlist* para simulación del *MOSFET*. Todo lo anterior con el objetivo de usarlo como herramienta de validación en circuitos de protección que así lo requieran, por ejemplo, las protecciones en los puertos de señal del CI.

### 2.1. Modelado del evento *ESD*

Las fuentes de descarga electrostática sobre un circuito integrado pueden ser totalmente diferentes. Por más de 20 años, se han discutido los modelos que reproducen el comportamiento de estas y diversos estándares se han desarrollado [18]. La finalidad de estos, es clasificar los eventos de descarga y establecer el modelo eléctrico que representa a cada uno. El conocimiento del modelado de las descargas es el primer paso para entender el principio de operación de las estructuras de protección *ESD*.

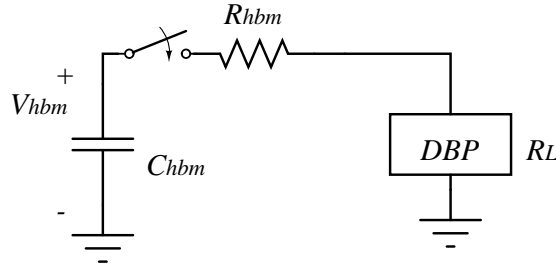


Figura 2.1: Modelo HBM simplificado.

### 2.1.1. Modelo de cuerpo humano *HBM* (*Human Body Model*)

El evento *ESD* más conocido y analizado en el campo de la microelectrónica, es el asociado a la descarga de un ser humano a través de un circuito integrado [9]. El modelo *HBM*, es el que simula este proceso de descarga. La simulación de un evento *ESD* utilizando este modelo es una forma de evaluar la efectividad de las protecciones en un CI.

Cada persona posee características eléctricas distintas, al igual que los dispositivos que son afectados por la descarga. Por ello, el modelado de la descarga provocada por un ser humano sería imposible. Sin embargo, diversos estándares se han desarrollado con el fin de establecer un modelo típico, que represente en promedio, el proceso de descarga debida al ser humano. Esto permite evaluar los circuitos de protección repetidas veces bajo las mismas circunstancias. El primero de estos fue el MIL-STD 883x [8], [9], [13], donde el cuerpo humano se reduce a un capacitor  $C_{hbm}$  de  $100pF$ , cargado inicialmente a una tensión  $V_{hbm}$  en el orden de los kV, en serie con un resistor  $R_{hbm}$  de  $1,5k\Omega$ . Este circuito de muestra en la figura 2.1.

La expresión de la corriente desarrollada  $I_{hbm}$  se puede determinar por la solución del circuito RC conformado.

$$I_{hbm} = \frac{V_{hbm}}{R_{hbm}} e^{-\frac{t}{R_{hbm}C_{hbm}}} \quad (2.1)$$

donde se ha supuesto que la resistencia de carga del Dispositivo Bajo Prueba (DBP), es despreciable comparada con la resistencia  $R_{hbm}$ .

En una prueba real se emplean generadores de impulsos de *ESD*, estos desarrollan una corriente cuya forma de onda es muy similar a la generada por la ecuación 2.1. Los generadores no pueden reproducir exactamente el comportamiento de un circuito RC, debido a sus elementos parásitos. Además, la resistencia del DBP también afecta el comportamiento del circuito. Por estas razones, se ha desarrollado un modelo más realista que incluye una capacitancia de dispersión  $C_s$  asociada a  $R_{hbm}$ , una inductancia parásita  $L_s$  y la capacitancia de la tableta de medición  $C_t$ , propias del instrumento generador de los impulsos [18]. El modelo extendido se muestra en la figura 2.2.

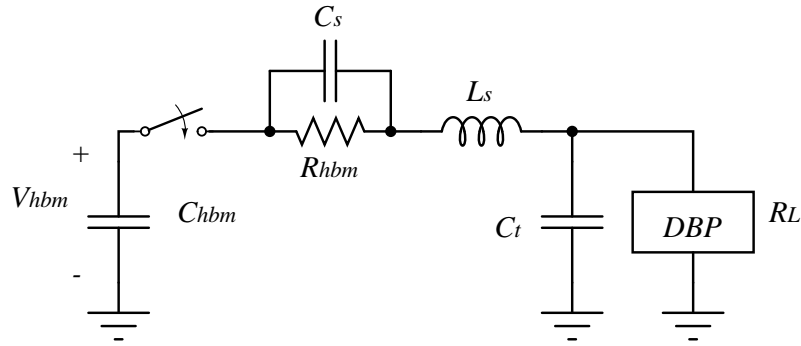


Figura 2.2: Modelo HBM incluyendo los elementos parásitos.

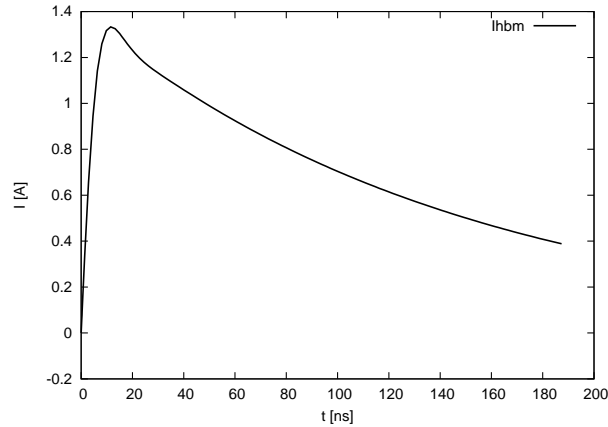


Figura 2.3: Pulso de corriente del modelo *HBM*.

Cada uno de los elementos parásitos que conforman el circuito de la figura 2.2, son propios del instrumento generador de impulsos. Por lo tanto, las formas de onda producidas pueden variar considerablemente. Teniendo en cuenta lo anterior, nuevos estándares como el ESD STM 5.1 de la Asociación de Descarga Electrostática [19] o el JEDEC 22-A114D [20]; proponen una forma de onda de corriente característica, cuando la resistencia de carga es nula y otra cuando la carga es de  $500\Omega$ . Todo aparato que genera las descargas debe presentar el comportamiento de corriente establecido para las condiciones de carga mencionadas. Detalles de la calibración así como del procedimiento de medida, se explican en estos estándares.

La forma de onda de la corriente con carga de corto circuito, para una carga inicial de  $2kV$  en el capacitor  $C_{hbm}$ , se muestra en la figura 2.3. Esta se caracteriza por tener un tiempo de subida de  $10ns$ , un pico de corriente de  $1,334A$  y un tiempo de caída entre  $130$  y  $170$  ns aproximadamente.

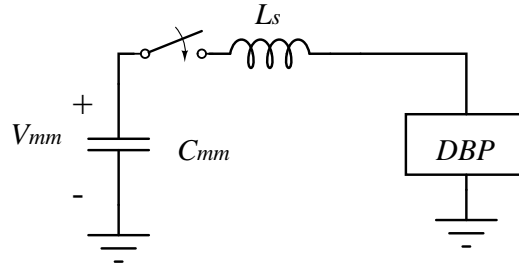


Figura 2.4: Modelo MM.

### 2.1.2. Modelo de la máquina *MM* (*Machine Model*)

Otra situación de descarga común en los CI, corresponde a la producida por una máquina en el proceso de fabricación. El modelo *MM*, se utiliza para simular el proceso de descarga de una sección metálica previamente cargada, a través de un pin de un circuito integrado referenciado a tierra. El circuito eléctrico que lo representa se muestra en la figura 2.4, este es muy similar al modelo *HBM*. Sin embargo en este caso, la capacitancia  $C_{mm}$  es de  $200pF$ , la inductancia parásita  $L_S$  de  $0,75\mu H$  y no se considera resistencia en serie [13]. En realidad, existe una resistencia asociada al generador de impulsos que modela la descarga *MM*. Esta, generalmente se asume de  $10\Omega$  aproximadamente según [18].

Debido a la capacitancia mayor en comparación con el modelo *HBM* y a la baja resistencia, la forma de onda obtenida con este circuito presenta un pico de corriente mayor. Esto hace que las fallas se presenten a niveles más bajos de tensión de carga en el capacitor  $C_{mm}$  (valores típicos entre  $100 \sim 400V$  [21]). La inductancia, parásita determina el tiempo de subida de la forma de onda de corriente durante la descarga.

Al igual que en el modelo *HBM*, la característica transitoria de la corriente de descarga en el modelo *MM*, están bien definidas por los estándares. Por ejemplo, la forma de onda para una descarga de  $200V$  que se muestra en la figura 2.5, cumple con el estándar [21].

Para este caso, la forma de onda de la corriente es oscilatoria y el valor pico alcanzado es mayor en comparación con el modelo *HBM*. Por lo tanto, los daños en el CI se presentan con niveles de tensión menores. En la figura 2.5, se puede notar que la corriente pico para  $I_{mm}$  es de  $2,87A$  aproximadamente. Además, esta última oscila mucho más, que la duración del pulso generado en el modelo *HBM*. En consecuencia, un evento *ESD* de tipo *MM*, resulta ser más perjudicial para el CI.

### 2.1.3. Modelo de carga del dispositivo *CDM* (*Charge Device Model*)

Un circuito integrado puede adquirir carga eléctrica en su interior y almacenarla hasta que algún pin haga contacto con un objeto puesto a tierra [13], [8], [9]. El modelo *CDM*,

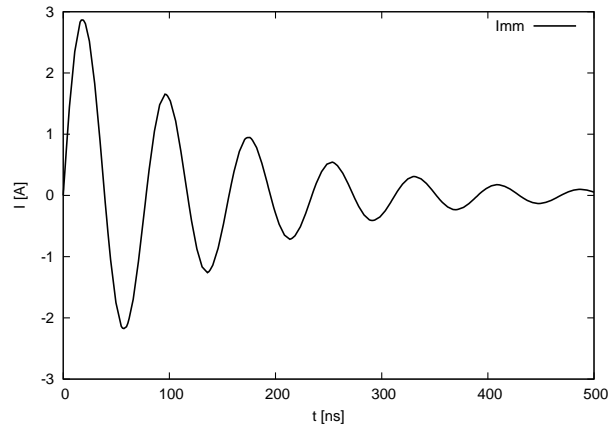
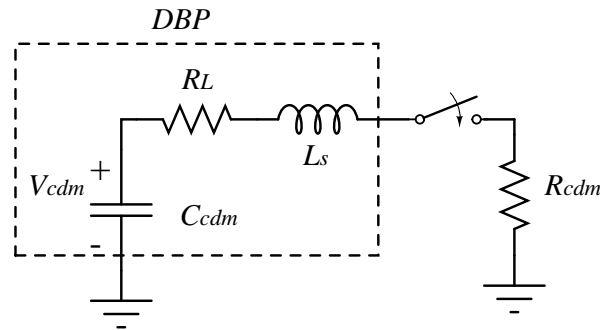
Figura 2.5: Pulso de corriente del modelo *MM*.

Figura 2.6: Modelo CDM.

representa este proceso de descarga. El circuito equivalente se muestra en la figura 2.6. En este,  $R_{cdm} = 10\Omega$  representa la resistencia total de la ruta de descarga,  $C_{cdm} = 10pF$  la suma de todas las capacitancias del chip con respecto a tierra (incluyendo la del empaquetado) y  $L_s = 10nH$  la inductancia parásita [18]. Para un evento *ESD* de tipo CDM con carga inicial en el capacitor de  $500V$ , la forma de onda de corriente tiene un tiempo de subida de  $0,3ns$  y un valor pico de  $12,5A$  aproximadamente. La figura 2.7 muestra esta forma de onda. Claramente el nivel pico de corriente alcanzado, es mayor que en cualquiera de los casos anteriores. Adicionalmente, la duración del pulso se encuentra en el mismo orden que el tiempo de encendido de algunos dispositivos. Por tal razón, este tipo de evento *ESD* resulta ser el más dañino para los circuitos integrados.

Una discusión más detallada de los modelos se puede encontrar en [18] y en los estándares [19], [20], [21]. Además, en [13], [8], y [9] se describen modelos adicionales que representan otras situaciones que pueden generar una descarga electrostática.

Con todo lo anterior, se realiza el *netlist* que representa la fuente de descarga para el modelo *HBM*. Esta puede utilizarse como estímulo para los dispositivos de protección que

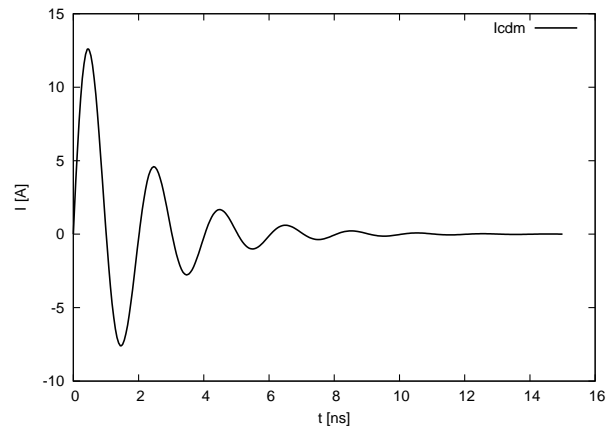


Figura 2.7: Pulso de corriente del modelo *CDM*.

se discuten en la siguiente sección. Además, permite someter los circuitos de protección a situaciones de descarga que han sido establecidas como estándar. Por lo tanto en el anexo al final del libro, se presenta el subcircuito realizado.

## 2.2. Comportamiento eléctrico bajo *ESD*

El comportamiento de los dispositivos dentro del rango elevado de corriente es muy diferente comparado con el que se presenta en condiciones de operación normal. El entendimiento del primero, es fundamental para abordar el estudio de los circuitos de protección. En ese sentido, en esta sección se realiza el estudio del resistor de silicio, con el fin de observar las características básicas en el comportamiento de las difusiones ante un evento *ESD*. Posteriormente, se estudian los elementos principales de protección: el diodo y los transistores *BJT* y *MOSFET*. Todo lo anterior con el fin de obtener un modelo en código *SPICE* del transistor *MOS* para que esté disponible en la librería de circuitos del grupo CIDIC.

### 2.2.1. Resistores

El comportamiento de un resistor está dado por la ley de Ohm,

$$J = \sigma E, \quad (2.2)$$

donde  $J$  es la densidad de corriente,  $\sigma$  la conductividad y  $E$  el campo eléctrico a través del material. La conductividad está dada por:

$$\sigma = q(n\mu_n + p\mu_p). \quad (2.3)$$

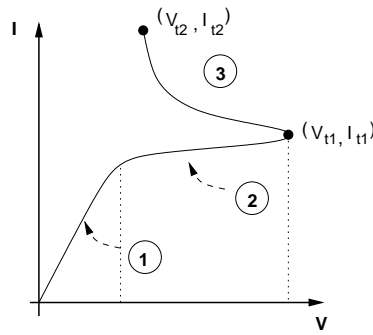


Figura 2.8: Característica de un resistor. 1) Región Lineal, 2) Saturación, 3) *Snapback*

Donde  $n$  y  $p$  son las concentraciones de electrones y huecos respectivamente,  $\mu_n$  y  $\mu_p$  son las movilidades de electrones y huecos respectivamente y  $q$  es la carga electrónica ( $1,602 \cdot 10^{-19} C$ ). Suponiendo que el material es tipo  $n$  con concentración de impurezas  $N_D$ , la ecuación (2.2) se vuelve,

$$\begin{aligned} J &= qN_D\mu_n E \\ &= qN_D v_a. \end{aligned} \quad (2.4)$$

Aquí,  $v_a = \mu_n E$  corresponde a la velocidad de arrastre. De la ecuación 2.4 se ve que a medida que el campo eléctrico aumenta, también lo hace la densidad de corriente. Por lo tanto se obtiene el comportamiento lineal conocido de un resistor.

Cuando el campo eléctrico alcanza el orden de  $1V/\mu m$ , la velocidad de arrastre para el silicio alcanza la saturación a un valor de  $10^7 cm/s$  aproximadamente [8]. En consecuencia, si el campo eléctrico sigue aumentando, no se tiene cambio apreciable en la corriente a través del resistor. Existe un punto en el cual, el campo eléctrico es lo suficientemente alto, para provocar la generación de iones dentro del semiconductor y desencadenar un efecto de avalancha. Cuando esto ocurre, gran cantidad de portadores son generados y contribuyen a la corriente total, reduciendo así el potencial a través del material y presentando una característica de resistencia negativa. Este fenómeno se conoce como *snapback* y se muestra en la Figura 2.8

El punto  $(V_{t1}, I_{t1})$  corresponden a la tensión y corriente de disparo respectivamente, al inicio de la región de *snapback*. En el punto  $(V_{t2}, I_{t2})$  ocurre la falla térmica y el dispositivo se empieza a derretir provocando el daño irreversible.

### 2.2.2. Diodos

El diodo es empleado como dispositivo de protección debido a su gran capacidad de manejo de corriente una vez está encendido. Tanto en polarización directa como en inversa presenta un punto en el cual su resistencia disminuye considerablemente.

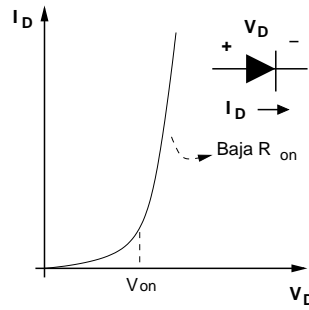


Figura 2.9: Característica del diodo en polarización directa

### Polarización directa

La corriente  $I_D$  que circula por un diodo polarizado directamente a  $V_D$  voltios, está determinada por la relación,

$$I_D = I_S(e^{\frac{V_D}{V_T}} - 1). \quad (2.5)$$

Donde  $V_T$  es el voltaje térmico <sup>1</sup> e  $I_S$  es la corriente de saturación que es función de la temperatura y de parámetros de proceso. En la Figura 2.9 se muestra la característica  $I-V$  del diodo.

El voltaje de encendido  $V_{on}$ , típicamente se encuentra entre  $0,5 \sim 0,7V$ . Una vez encendido el diodo ( $V_D > V_{on}$ ), la resistencia incremental  $R_{on}$  está determinada por:

$$R_{on} = \frac{V_T}{I_S} e^{-\frac{V_D}{V_T}}. \quad (2.6)$$

Por consiguiente,  $R_{on}$  también depende de las características del proceso.

Normalmente, el diodo normalmente puede conducir corrientes en el orden de  $20 \sim 50mA/\mu m$  manteniendo una tensión relativamente baja entre sus terminales, y niveles de potencia que no implican la falla del dispositivo.

### Polarización inversa

En polarización inversa, el diodo conduce la corriente de saturación  $I_S$  hasta que la tensión  $V_R$ , alcanza el valor de ruptura del diodo y provoca el fenómeno de avalancha o el fenómeno Zener. En ambos casos la capacidad de manejo de corriente inversa aumenta considerablemente. Esto es mostrado en la figura 2.10.

El proceso de avalancha generalmente se presenta en regiones con niveles de dopado moderados o bajos (menores a  $10^{15}cm^{-3}$  [22]). Este ocurre, cuando portadores de carga que

<sup>1</sup>A temperatura ambiente el voltaje térmico es aproximadamente  $26mV$

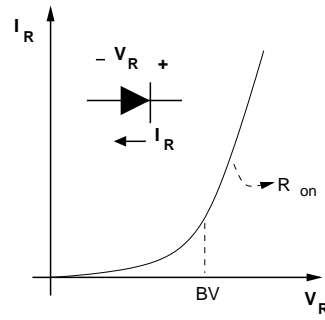


Figura 2.10: Característica del diodo en polarización inversa

ingresan a la región de agotamiento, adquieren suficiente energía del campo eléctrico, para ser acelerados y desprender pares electrón-hueco de los átomos cercanos. Los nuevos pares generados son acelerados por el campo y pueden repetir el proceso anterior. Como resultado, una corriente  $I_{in}$  que incide en uno de los límites de la región de agotamiento, se ve multiplicada cuando abandona la región en el otro extremo ( $I_{out}$ ). La relación entre estas dos corrientes se define como el factor de multiplicación  $M$  [8], [7],

$$M = \frac{I_{out}}{I_{in}}. \quad (2.7)$$

Una relación empírica para  $M$  aparece en la literatura como,

$$M = \frac{1}{1 - A_i e^{\left(\frac{-B_i}{V_D}\right)}}, \quad (2.8)$$

donde  $V_D$  es la tensión a través del diodo,  $A_i$  y  $B_i$  son parámetros de ajuste que dependen del proceso de fabricación y la temperatura. Otra relación también empírica para  $M$ , expresa este factor como función de la tensión de ruptura  $BV$  de la unión  $pn$  y del parámetro  $n$  que caracteriza el tipo de unión,

$$M = \frac{1}{1 - \left(\frac{V_D}{BV}\right)^n}. \quad (2.9)$$

De esta última relación es claro que  $M$  aumenta sin límite conforme la tensión inversa del diodo se acerca a  $BV$ . Los valores comunes para  $BV$  están entre  $10 \sim 20V$  y para  $R_{on}$  entre  $50 - 100\Omega$  [13]. Esto hace que la potencia disipada en esta zona de operación sea mayor en comparación con la de polarización directa.

La aplicación de diodos en circuitos de protección contra *ESD* radica en que, bajo condiciones de operación normal, este dispositivo podría mantenerse apagado (en polarización inversa) conduciendo una corriente del orden de  $I_S$ . Por otra parte si se requiera disipar gran

cantidad de corriente, se puede activar en polarización directa aprovechando su baja resistencia.

### 2.2.3. Transistor BJT

El comportamiento del transistor bipolar ante condiciones de operación normal se describe mediante las ecuaciones de corriente de base-emisor y de colector. En el caso del transistor *NPN*, la corriente de base-emisor  $I_b$ , está dada por:

$$I_b = I_{oe} \left( e^{\frac{V_{be}}{V_T}} - 1 \right) \quad (2.10)$$

y la corriente de colector  $I_c$  se expresa como,

$$I_c = I_{oc} \left( e^{\frac{V_{be}}{V_T}} - e^{\frac{V_{bc}}{V_T}} \right), \quad (2.11)$$

donde  $I_{oe}$  e  $I_{oc}$  representan la corriente de saturación inversa entre la unión base-emisor y base-colector respectivamente,  $V_T$  es el voltaje térmico y  $V_{be}$  y  $V_{bc}$  corresponden a la tensión base-emisor y base-colector del respectivamente. Para el caso de operación en región activa, el segundo término de la ecuación 2.11 se puede despreciar, y por lo tanto se puede escribir,

$$I_c \approx I_{oc} e^{\frac{V_{be}}{V_T}}. \quad (2.12)$$

La ganancia de corriente,  $\beta$  del transistor está dada por,

$$\beta = \frac{I_c}{I_b} \approx \frac{I_{oc}}{I_{oe}}. \quad (2.13)$$

Esta expresión es relativamente constante en una región de operación limitada por el valor de  $V_{be}$ ; es decir,  $\beta$  varía según la polarización del *BJT*. En particular, cuando se eleva la corriente de colector más allá de cierto punto, el valor de ganancia  $\beta$  comienza a disminuir. Lo anterior se debe a la fuerte inyección de portadores minoritarios desde el emisor hacia la región de base, lo cual provoca un cambio de concentración en esta región que disminuye la eficiencia de  $\beta$ . Otro factor que también influye en la disminución de  $\beta$ , es que para niveles altos de inyección de carga, el área efectiva de la unión base-emisor se reduce. Una simulación efectuada para medir el comportamiento de la ganancia en función de  $I_c$  es realizada. El resultado se muestra en la figura 2.11.

La disminución de  $\beta$  para valores bajos en la corriente de colector, se debe a que en estos niveles de  $I_c$ , el valor de  $V_{be}$  no es el suficiente para polarizar de manera directa la unión base-emisor. Esto provoca que la corriente de emisor sea mucho menor en comparación con la que fluye cuando la unión está completamente polarizada de forma directa.

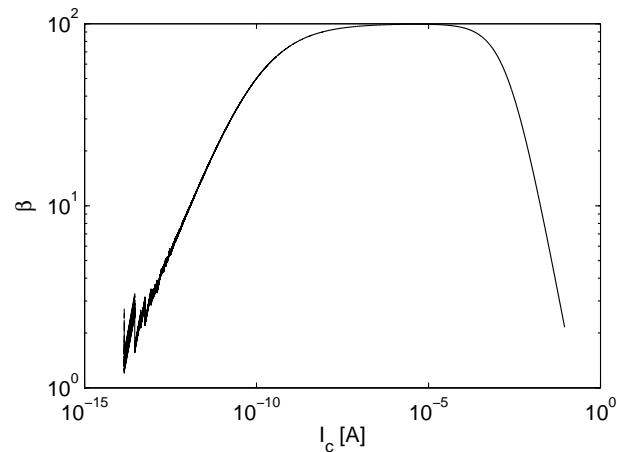


Figura 2.11: Ganancia de corriente del transistor bipolar en función de la corriente de colector.

El transistor bipolar puede utilizarse como dispositivo de protección cuando la base se conecta al emisor directamente o a través de un resistor [8]. El circuito de la figura 2.12 permite explicar el funcionamiento. El resistor  $R_{be}$ , puede representar la resistencia asociada a la base, una resistencia externa o ambas. La fuente  $I_{gen}$ , representa la corriente generada mediante el proceso de multiplicación por avalancha.

Al aumentar la tensión de colector  $V_c$ , el transistor presenta una alta impedancia debido a la polarización inversa entre la unión colector-base. A medida que esta tensión se eleva por encima del valor de ruptura de la unión, la corriente generada por la avalancha empieza a aumentar hasta tal punto, que eleva la tensión  $V_{be}$  a un valor suficiente para encender el transistor ( $\approx 0,5V$ ). Cuando ocurre esto, se produce el efecto *snapback*, donde el dispositivo presenta una región de resistencia negativa. Esto se debe a que la tensión  $V_c$  disminuye cuando  $I_c$  aumenta, ya que el transistor bipolar puede contribuir al manejo de esta corriente. Existe de estabilización a partir del cual el dispositivo presenta de nuevo un comportamiento resistivo; sin embargo, la capacidad de manejo de corriente es mucho mayor a la que se tenía antes de generar la avalancha.

#### 2.2.4. Transistor MOSFET

Para utilizar un transistor *MOSFET* como dispositivo de protección, debe analizarse el comportamiento de este más allá de los rangos normales de operación. En la figura 2.13 se muestra la curva característica  $I - V$ .

La forma de la curva característica del transistor más allá de saturación, es consecuencia del encendido del transistor bipolar presente en todo *MOSFET*. En la figura 2.14 se muestra

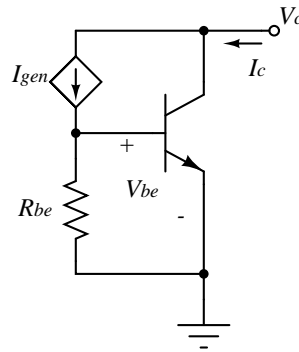
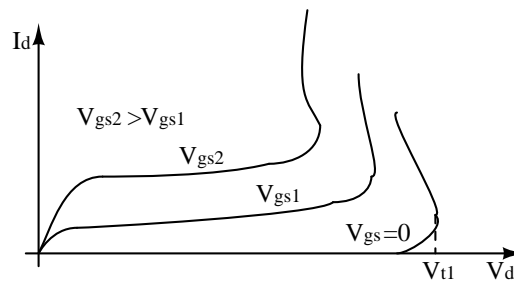
Figura 2.12: Modelo de circuito para el *BJT NPN*.

Figura 2.13: Curva característica del MOSFET

el transistor lateral para un *NMOS*. En este caso se forma un *npn* (*LNPN*<sup>2</sup>).

El caso más sencillo de analizar, se presenta si la compuerta, la fuente y el sustrato están a  $0V$ . A esta configuración se le conoce como *GGNMOS*<sup>3</sup>. La característica  $I - V$  toma la forma de la figura 2.15.

A medida que aumenta la tensión en freno  $V_D$ , el transistor no conducirá inicialmente, pues no se induce un canal entre drenó y fuente ( $V_{GS} = 0$ ). Además, la unión *pn* entre drenó y sustrato se polariza inversamente. Esto se mantiene así hasta que  $V_D$  alcanza el valor de ruptura de la unión, se produce el efecto de avalancha y comienza a circular corriente hacia el sustrato. La corriente está conformada por los portadores de carga generados por la avalancha. Los huecos se mueven hacia sustrato y provocan que el potencial de sustrato en las regiones de contacto de las uniones *pn*, aumente debido a la resistencia asociada  $R_{sub}$ . Los electrones son atraídos por  $V_D$  y constituyen la corriente de drenó (región 1 de la figura 2.15). El potencial de sustrato aumenta hasta tal punto, que polariza de manera directa la unión sustrato-fuente y por tanto se enciende el *LNPN* (punto  $V_{t1}$ ,  $I_{t1}$  de la figura 2.15). Debido a esto, gran cantidad de electrones son emitidos desde la fuente del transistor *MOSFET* (emisor del *LNPN*) y llegan

<sup>2</sup>Lateral *npn*

<sup>3</sup>Por sus siglas en inglés: *Grounded Gate NMOS*

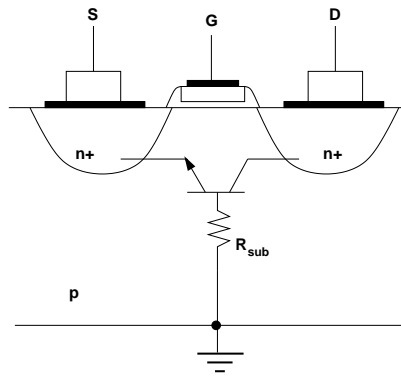


Figura 2.14: Transistor NMOS con su LNPN asociado

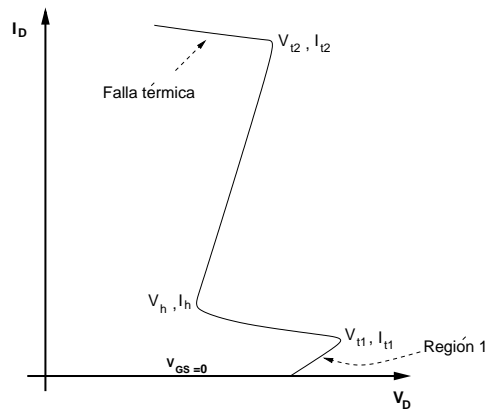


Figura 2.15: Característica del GGNMOS

al sustrato. Parte de ellos se recombinan y otra cantidad es atraída por el potencial  $V_D$ , haciendo que éste decaiga, ya que en este punto la corriente puede ser mantenida con un potencial menor. Por lo tanto, se presenta una caída de tensión a través del transistor que es menor a  $V_{t1}$  ( $V_h, I_h$  en la figura. 2.15). A partir de este punto, el transistor aumenta su capacidad de manejo de corriente y mantiene la caída de tensión a través de éste relativamente constante, hasta que ocurra la falla térmica (punto  $V_{t2}, I_{t2}$ ).

### 2.3. Modelo Eléctrico del *MOSFET*

El modelo eléctrico del transistor *NMOS* para analizar el comportamiento ante un evento *ESD* se muestra en la figura 2.16. Este consiste en el modelo estándar del transistor *MOSFET* en paralelo con un *BJT* que representa el transistor parásito. La fuente  $I_{gen}$ , representa el efecto de multiplicación por avalancha de la unión drenaje-sustrato. Su expresión antes de encenderse el transistor bipolar está dada por,

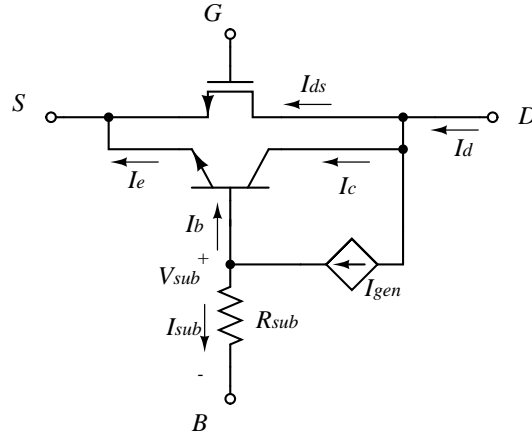


Figura 2.16: Modelo eléctrico del transistor *NMOS* para *ESD*.

$$I_{gen} = (M - 1)I_{ds} \quad (2.14)$$

donde  $I_{ds}$  corresponde a la corriente de canal del transistor *NMOS*. Cuando el *BJT* se activa,

$$I_{gen} = (M - 1)(I_{ds} + I_c) \quad (2.15)$$

siendo  $M$  el factor de multiplicación de avalancha del transistor e  $I_c$  la corriente de colector debida al efecto del transistor parásito [8], [23], [6]. Una expresión para  $M$  en el caso del transistor *MOSFET*, se describe en [23], [7] se muestra en la ecuación 2.16.

$$M = \frac{1}{1 - Ae^{\frac{-B}{V_d - V_{dsat}}}} \quad (2.16)$$

Donde  $V_d$  corresponde a la tensión en el dren,  $V_{dsat}$  es la tensión en dren debido a la velocidad de saturación de los portadores de carga, y  $A$  y  $B$  son parámetros fijos que dependen de la tecnología. Estos dos últimos se deben extraer mediante el método expuesto en [23].

Otra expresión alternativa para  $M$  y que según el trabajo en [6] presenta resultados más aproximados con los que se obtienen experimentalmente, se muestra en la ecuación 2.17.

$$M = \frac{1}{1 - A_i(V_d - V_{dch})^m e^{\left(\frac{-B_i}{(V_d - V_{dch})^n}\right)}} \quad (2.17)$$

Los términos  $A_i$  y  $B_i$  son únicos para cada proceso y deben ser extraídos,  $m$  y  $n$  son parámetros de la tecnología y  $V_{dch}$  depende de la tensión  $V_{gs}$  como sigue:

$$V_{dch} = \frac{V_{gs} - V_{TH}}{A_0 + (V_{gs} - V_{TH})} \quad (2.18)$$

Parámetro	$A_i$	$B_i$	$R_{sub0}$	$R_d$	$I_{oc}$	$I_{oe}$	$\beta$
Valor	4,5	24	2960	415	$6 * 10^{-18}$	$1 * 10^{-18}$	6

Tabla 2.1: Parámetros que describen la relación del factor  $M$  para el proceso de  $0,35\mu m$ . Extraídos en [6].

donde  $A_0$  es un parámetro de la tecnología y  $V_{TH}$  es la tensión de umbral del transistor. La ecuación 2.18 es de la misma forma que la que describe la tensión de saturación del *MOSFET* en el modelo *BSIM3v3*. Un ajuste de curvas realizado en *MATLAB* permite obtener la relación sencilla,

$$V_{dch} \approx 0,8V_{dsat}. \quad (2.19)$$

En [6], se describe una metodología de extracción los parámetros restantes de ecuación anterior.

La resistencia de sustrato  $R_{sub}$ , se modela como una resistencia variable, cuyo valor es modulado a medida que se enciende el transistor bipolar y que a través del *NMOS* se conduce una mayor corriente. Una forma de modelar  $R_{sub}$  es a través de una fuente controlada de tensión  $V_{sub}$  descrita por,

$$V_{sub} = R_{sub0}I_{sub} - R_dI_d \quad (2.20)$$

donde  $R_{sub0}$ ,  $R_d$  son parámetros que se deben extraer según lo expuesto en [6]. La tabla 2.1 resume los resultados obtenidos en ese trabajo, donde se incluyen los parámetros que describen al transistor bipolar. Todos estos fueron extraídos para procesos que utilizan una longitud mínima del canal de  $0,35\mu m$ .

Intentar implementar la ecuación 2.17 directamente sobre un simulador de circuitos puede presentar problemas de convergencia. En especial cuando la tensión puerta-fuente del *MOSFET*,  $V_{gs}$ , se aproxima a  $0V$ . Esto se debe a la naturaleza discontinua de la ecuación que describe al factor  $M$ . Con el fin de resolver este problema en [6] se propone una aproximación para el caso de  $V_{gs} = 0V$ ,

$$M = e^{[a_1(V_d - V_1)]} + e^{[a_2(V_d - V_2)]}, \quad (2.21)$$

donde  $a_1$ ,  $a_2$ ,  $V_1$  y  $V_2$  son parámetros que se extraen y se muestran en la tabla 2.2.

Parámetro	$a_1[V^{-1}]$	$a_2[V^{-1}]$	$V_1[V]$	$V_2[V]$
Valor	0,14	66,67	3,9	11

Tabla 2.2: Parámetros que describen la aproximación del factor  $M$  para el proceso de  $0,35\mu m$ . Extraídos en [6].

## 2.4. Netlist y Simulación

Con las ecuaciones descritas anteriormente, el modelo eléctrico de la figura 2.16 y los parámetros expuestos en las tablas 2.2 y 2.1, se realiza el *netlist* en *HSPICE* del modelo del transistor *NMOS* para simulación de protecciones *ESD*. Este modelo se utiliza especialmente en aquellas protecciones que se ubican en los puertos *I/O* del circuito integrado [24] [25]. El modelo que se obtiene implementando la aproximación de la ecuación 2.21 es válido para  $V_{gs} = 0V$ ; es decir, para el dispositivo conocido como *GGNMOS*.

Se realiza el *netlist* utilizando el modelo de nivel 1 del transistor e implementando directamente la ecuación 2.17 que describe el parámetro  $M$  de la fuente controlada  $I_{gen}$ . Es importante resaltar que se utiliza el modelo de nivel 1 del transistor para simplificar el análisis del comportamiento en régimen *ESD*, el cual se ubica más allá de la ruptura de las uniones *pn* del transistor. Los resultados de simulación para distintos valores de  $V_{gs} \neq 0V$  se muestran en la figura 2.17. Se puede observar que los modelos de nivel 1 y el extendido que incluye los efectos de avalancha, se solapan antes de la ruptura. Además, en todos los casos se observa el comportamiento de resistencia negativa que presenta el transistor debido al fenómeno *snapback*. La tensión de sostenimiento se mantiene por debajo de  $6,5V$  en todos los casos y se puede notar que la tensión de ruptura disminuye a medida que  $V_{gs}$  aumenta.

Las simulaciones utilizando un modelo avanzado en el transistor *NMOS* como el *BSIM3v3* presentan problemas de convergencia para  $V_{gs} \neq 0V$ . Sin embargo, el modelo acá expuesto permite iniciar el campo de modelado ante evento *ESD* dentro del grupo de investigación *CIDIC*.

Para el caso de  $V_{gs} = 0V$  se puede utilizar la ecuación 2.21 en el *netlist* junto con el modelo avanzado del transistor sin presentar inconvenientes. El resultado de simulación se muestra en la figura 2.18.

El *netlist* del modelo se realizó en *HSPICE* y se muestra en el anexo al final del libro. En este, la fuente  $I_{gen}$  se implementa con dos fuentes en paralelo, donde cada una tiene en cuenta una corriente de control. Además, se han puesto las opciones de control necesarias para facilitar la convergencia del simulador.

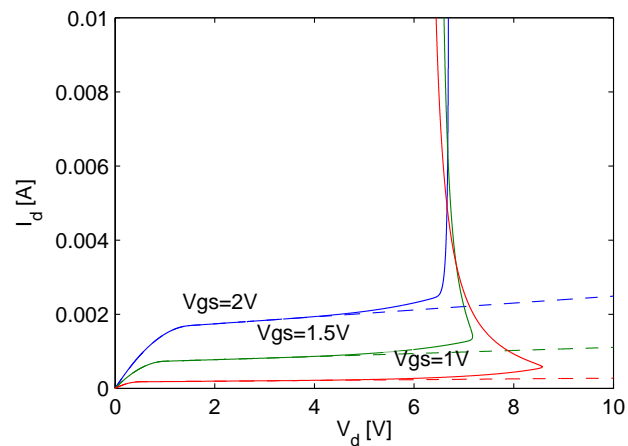


Figura 2.17: Comparación modelo nivel 1 respecto al modelo eléctrico para evento *ESD*. Las líneas punteadas corresponden a la simulación con el modelo nivel 1.

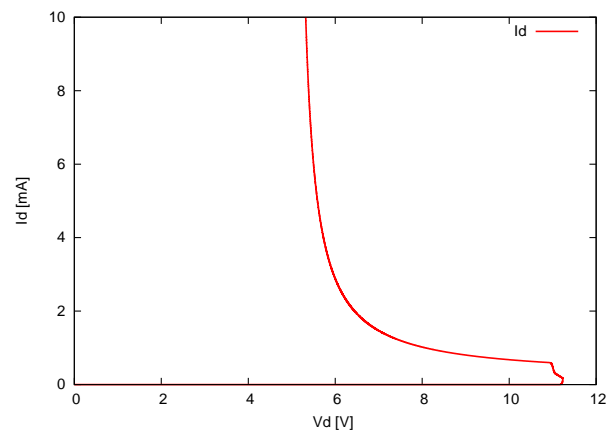


Figura 2.18: Curva  $I - V$  del *GGNMOS*.

## 2.5. Esquema de Protección

El esquema de protección para un circuito integrado, como se mostró en el capítulo 1 se puede simplificar al mostrado en la figura 2.19. Para el diseño de las protecciones de entrada-salida, existen alternativas donde puede utilizarse el modelo del transistor *MOSFET* expuesto en las secciones anteriores [25]. El bloque denominado *Power Clamp* facilita una ruta de baja resistencia entre los rieles de alimentación, dependiendo de la arquitectura del circuito, puede necesitar la implementación del modelo del transistor para *ESD*.

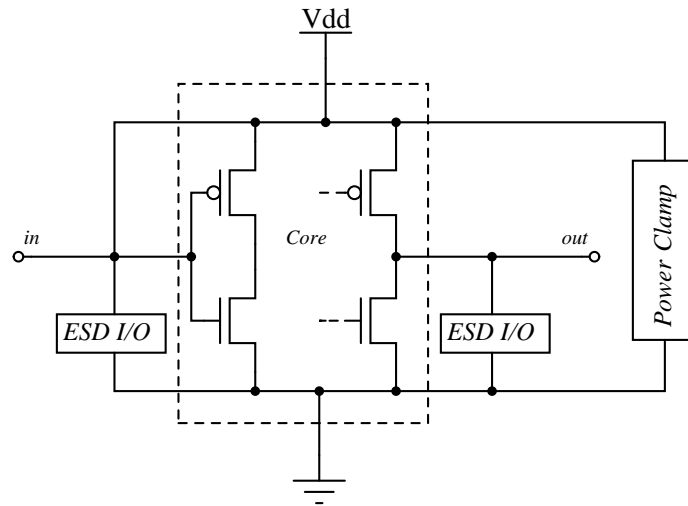


Figura 2.19: Esquema simplificado de las protecciones *ESD* en circuitos integrados.

### 2.5.1. Protecciones de entrada-salida

Los bloques de protección que se ubican en los pines de señal, se pueden implementar con los dispositivos que se describieron en este capítulo. Cada uno, dependiendo de la aplicación, puede presentar un mejor desempeño que otro. Por ejemplo, para aplicaciones RF y circuitos de digitales de alta velocidad, es común utilizar diodos con el fin de no sobrepasar los límites de carga en estos pines [25].

### 2.5.2. *Power Clamp*

El *Power Clamp* se ubica entre los rieles de alimentación y ha sido implementado ampliamente desde 1990. A partir de 1995 se ha enfocado el diseño utilizando transistores *MOSFET* y se han desarrollado protecciones con alto desempeño. Este posee características funcionales que lo identifican [7], entre las cuales se pueden destacar:

- El establecimiento de una ruta alternativa para disipar la corriente. Como se mencionó en el Capítulo 1, el *Power Clamp* puede proteger el circuito integrado cuando ocurre una descarga entre un par de pines de entrada-salida o entre  $V_{DD}$  y  $V_{SS}$ .
- Independencia con el circuito interno. Esta protección se ubica entre los rieles de alimentación, por lo tanto aparece en paralelo con el circuito interno. Por tal razón, la influencia que tiene sobre este último es despreciable. Esta característica es exclusiva del *Power Clamp*, pues en el caso de las protecciones de entrada-salida se debe tener especial cuidado con el efecto de carga (especialmente capacitiva), ya que aparece directamente en los pines de señal del CI.

- Reduce la impedancia de la ruta de descarga. El *Power Clamp* se puede ubicar periódicamente a través de los rieles de alimentación con el fin de reducir el efecto de la resistencia del riel.
- Baja tensión entre sus terminales. Este circuito puede conducir la mayor parte de corriente sin provocar sobre-tensiones que puedan dañar los circuitos internos.

El diseño del circuito de protección que se realiza en este trabajo, se basa en el bloque denominado *Power Clamp*. En el siguiente capítulo se presentan las propuestas en literatura para el diseño de este tipo de circuitos.



## Capítulo 3

# Circuito de Protección: *Power Clamp*

Este capítulo inicia presentando los esquemas en que se basan los circuitos que se implementan comúnmente para diseñar el *Power Clamp*. Sólo un tipo particular es estudiado en profundidad ya que está fuera del alcance de este trabajo presentar un análisis detallado de cada una de las arquitecturas existentes. Sin embargo, se invita al lector a consultar las referencias para mayor detalle. Este esquema está basado en el uso de una red RC de detección, cuya selección se justifica más adelante. Seguidamente, el funcionamiento básico de las topologías reportadas en la literatura y que pertenecen al esquema seleccionado es explicado y se muestran ventajas y desventajas de cada una. Luego, una evaluación de cada propuesta se realiza con el fin de comparar los parámetros de desempeño. Esto se lleva a cabo mediante simulaciones teniendo en cuenta que la aplicación se enfoca a circuitos integrados de señal mezclada en tecnología *CMOS*.

Finalmente el capítulo se concluye con una discusión que justifica la selección de la topología que se diseñará hasta el capítulo 4; además, se presenta el estado del arte de los esquemas de protección basados en la red RC.

### 3.1. Alternativas de protección

Debido a que el diodo polarizado de manera directa puede conducir gran cantidad de flujo de carga, es un dispositivo que se puede utilizar como disipador de la corriente en una descarga electrostática [26]. Se han propuesto varios esquemas en los cuales se implementa la protección con diodos entre  $V_{DD}$  y  $V_{SS}$  y que presenta buenos resultados ante eventos *ESD* de tipo *HBM* [26] [27]. Una de las principales desventajas de las implementaciones con diodos es que la corriente de fuga puede incrementarse exponencialmente si  $V_{DD} - V_{SS}$  es

muy grande [27]. Por tal razón, el uso de diodos se limita a aplicaciones de baja tensión [7] y no se recomienda en aplicaciones que exijan un excelente desempeño de protección [13].

Por otro lado en la tecnología *CMOS*, la implementación de las protecciones para *Power Clamp* basada en transistores *MOSFET* se ha convertido en un estándar. Inicialmente se utilizaban los transistores en la región de *Snapback* aprovechando su ruptura y el encendido del transistor parásito para disminuir el área en *Layout*; sin embargo, el comportamiento es poco predecible y requiere de una exhaustiva caracterización cada vez que se escala en la tecnología [7], [28].

Los *Power Clamp* basados en implementaciones con *MOSFET* pueden ser activados mediante detección de una sobre-tensión en los rieles de alimentación o mediante detección de frecuencia. Uno u otro esquema se prefiere dependiendo de la aplicación bajo protección. Por ejemplo, los primeros se prefieren en aplicaciones de RF debido a que no se utilizan capacitancias adicionales para su implementación que podrían afectar el desempeño del circuito RF. Por otra parte, los circuitos de detección de frecuencia se han presentado un buen desempeño y por lo tanto son ampliamente utilizados para las protecciones en tecnología *CMOS*.

Existen también alternativas de esquemas para *Power Clamp* que utilizan transistores bipolares [7]; sin embargo algunas topologías requieren etapas de proceso o incluso dispositivos no disponibles en la tecnología *CMOS*  $0,35\mu\text{m}$  de *AMS*<sup>1</sup> utilizada en este trabajo. Adicionalmente, uno de los alcances de este proyecto es incursionar en el estudio de estructuras *ESD* dentro del grupo CIDIC, y por tanto se decide limitar y enfocar este trabajo a topologías basadas en redes RC.

### 3.2. *MOSFET* activado por red RC

En la literatura se han reportado varios estudios de esquemas eficientes para diseño de *Power Clamp* en protecciones *ESD* [29]- [5] y en todos se implementa una red RC de detección y un circuito de control que maneja la compuerta de un transistor de gran tamaño. Estas configuraciones se basan en el principio de operación del circuito básico que se muestra en la figura 3.1 y son simplemente variantes de este. Además, en todos los trabajos que en estas referencias, operan el *NMOS* sin llevarlo a la región de *Snapback*, con el fin de obtener eficiencia en el encendido [28].

El circuito completo se diseña para encender el transistor de gran tamaño<sup>2</sup> cuando ocurra un evento *ESD* a través de  $V_{DD}$  y  $V_{SS}$  y por tanto, disipar la corriente a través del *NMOS*. Además, se debe mantener apagado durante la operación normal del circuito y debe evitar

---

<sup>1</sup>Austria Micro Systems.

<sup>2</sup>Denominado algunas veces como *BigFET*.

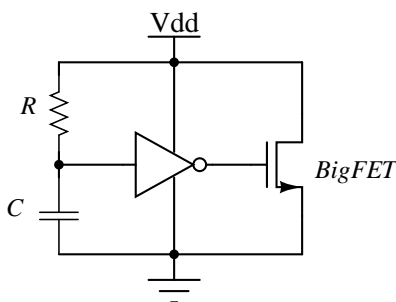


Figura 3.1: Configuración básica de *MOSFET* activado por una red RC.

ser activado en el encendido normal de la fuente de alimentación.

Como se expuso en el capítulo 2 un pulso de una descarga caracterizada con el modelo *HBM* puede presentar un tiempo de subida de  $10ns$  aproximadamente; mientras que el tiempo de encendido de la fuente de alimentación puede llegar al rango de los milisegundos y en el peor de los casos, a decenas de microsegundos<sup>3</sup> [4]. Por lo anterior, la red RC debe diseñarse con una constante de tiempo en el orden de  $0,1 - 1\mu s$  [30], [31].

La función del inversor consiste en aislar la elevada capacitancia del *BigFET* del circuito RC, evitando que se altera la constante de tiempo. Para manejar apropiadamente esta capacitancia el dimensionamiento del inversor es de especial cuidado y suele emplearse una cadena de tres inversores en cascada en lugar de solo uno, ya que el desempeño en cuanto al control de una alta capacitancia de carga se mejora considerablemente [32].

Cuando ocurre un evento *ESD* a través de los rieles de alimentación y tomando como referencia  $V_{SS}$ , el condensador empieza a cargarse y se eleva la tensión  $V_X$ . Sin embargo, esta aumenta muy lentamente en comparación con  $V_{DD}$  ya que la constante de tiempo RC es del orden de  $\mu s$ . Por tanto, aparece un nivel de tensión bajo en la entrada del inversor que permite que  $V_G$  se conecte a  $V_{DD}$  y se encienda el *BigFET NMOS*. El encendido del transistor provee una ruta de baja resistencia a través de éste debido a la gran capacidad de manejo de corriente, se disipará la corriente de la descarga y los circuitos internos estarán protegidos.

Otro escenario se presenta durante el encendido normal de la fuente de alimentación. En este caso, la tensión  $V_X$  puede seguir perfectamente a la tensión  $V_{DD}$ , manteniendo apagado el transistor *PMOS* del inversor y encendiendo posteriormente al *NMOS* (también del inversor) que fija la tensión  $V_G$  en  $0V$ <sup>4</sup>. Por tal razón, el *BigFET* se mantiene apagado.

Ventajas de esta configuración:

<sup>3</sup>Se les conoce como encendido rápido y el tiempo de subida llega a ser menor de  $10\mu s$

<sup>4</sup>Esto significa  $0V$  por encima del nivel de  $V_{SS}$  y no debe confundirse con un nivel de cero con respecto a la tierra del sistema, ya que desde el punto de vista de *ESD* y a través del libro se utilizará esta forma de mencionar la tensión en los nodos.

- La activación por frecuencia permite que el circuito responda a señales de AC en lugar de DC.
- La compatibilidad con la tecnología *CMOS* se basa en elementos que componen el circuito, un resistor, condensador y transistores *MOSFET*, lo cual permite también incluirlos dentro de las protecciones en circuitos digitales o de señal mezclada.
- La caracterización de los elementos parásitos es un paso obligatorio si se quieren aprovechar, además, los modelos para la simulación generalmente presentan serios problemas de convergencia [23], [6]. Adicionalmente, los parámetros del proceso pueden variar, lo cual hace poco predecible el comportamiento si no se cuenta con las herramientas de laboratorio apropiadas para realizar la caracterización. Claramente, una caracterización está fuera del alcance de este trabajo; esta es una razón más para escoger topologías de circuito basadas en redes RC.
- El circuito es escalable con la tecnología. Existen otros esquemas de protección, pero estos no se pueden escalar con la tecnología como es el caso de implementaciones basadas en SCR, Zener entre otras.
- Típicamente estos circuitos son inmunes al *latchup* [7].
- Se ha convertido un esquema ampliamente usado para alcanzar eficiencia en protecciones contra *ESD*. Lo anterior se sustenta con numerosos estudios que se reportan en la literatura [29]- [5].

De lo anterior se concluye que la configuración con red RC permite utilizar un simulador de circuitos para analizar su comportamiento, además no se requiere de simulaciones a nivel de dispositivo para demostrar su funcionalidad [7], [30], [31].

Dentro de las desventajas de este tipo de este esquema se deben tener en cuenta:

- El gran tamaño de la red RC, debido a la constante de tiempo que se requiere para la operación adecuada del circuito [33], [34], [5].
- Es susceptible a activarse de manera indeseada, especialmente para encendidos rápidos de la fuente de alimentación o cambios de alta frecuencia [13].

Una vez entendido el funcionamiento básico de la configuración del *Power Clamp* que se va a diseñar en este trabajo, se procede a estudiar las arquitecturas más relevantes presentes en la literatura, con el fin de seleccionar la más adecuada, de acuerdo a sus parámetros de desempeño.

### 3.2.1. Parámetros de Desempeño

#### Tiempo de encendido

Corresponde al intervalo de tiempo que permanece la protección encendida una vez ocurre un evento *ESD*. En otras palabras, es el tiempo en que se mantiene la tensión de puerta del transistor *BigFET* en un nivel alto, permitiendo la conducción. El Tiempo de encendido ( $t_{on}$ ) depende principalmente de la constante de tiempo de la red RC y del retraso de los inversores. Este se determina según el modelo de evento *ESD* utilizado y para el caso de *HBM* debe estar en un rango no menor de los  $200ns$ , pues el tiempo de caída del pulso *HBM* está alrededor de  $150ns$  [20]. Un valor más adecuado para  $t_{on}$ , es adaptarlo a  $600ns$ , ya que con este intervalo de tiempo es suficiente para que se disipe completamente la energía del pulso *HBM* [35].

#### Inmunidad a falsos encendidos

En condiciones de operación normal la tensión en la puerta del transistor de descarga debe mantenerse por debajo de la tensión de umbral  $V_{TH}$ . Durante el encendido de la fuente, la tensión en la puerta del *BigFET* puede aumentar mientras se encienden completamente los inversores; sin embargo, este crecimiento no debe superar la tensión de umbral del transistor principal. Un falso encendido puede ocurrir cuando la fuente es lo suficientemente rápida para alcanzar su valor nominal y provoca la activación del *Power Clamp*. Generalmente se consideran encendidos rápidos de la fuente cuando el tiempo de elevación es del orden de los  $\mu s$  [4]. Adicionalmente, la protección no debe activarse con el ruido de alta frecuencia presente en esta, es decir, la corriente que maneja el *BigFET* debe ser mínima en estas condiciones.

#### Tensión de sostenimiento

Entre los terminales del *Power Clamp* debe mantenerse una tensión inferior a la máxima permitida por la tecnología y que pueda provocar la ruptura del óxido de compuerta. Lo anterior debe mantenerse durante todo el pulso de descarga electrostática.

#### Área en *layout*

Como se mencionó anteriormente, una de las principales desventajas de la implementación del *Power Clamp* con la red de detección RC, es el gran tamaño en área de *layout* ( $25 \sim 40\%$ ) que ocupa si se tiene en cuenta que el nivel de protección está determinado por el *BigFET* [4].

En la siguiente sección se estudia el principio básico de funcionamiento de las arquitecturas más referenciadas en la literatura y que se han enfocado en solucionar cada inconveniente que presentan las topologías basadas en redes de detección RC.

$W_{big}$ [ $\mu m$ ]	Nivel <i>HBM</i> [kV]
1000	2,3
2000	3,8
4000	10
8000	> 10

Tabla 3.1: Nivel de protección en función del tamaño del transistor de gran tamaño *BigFET*. Adaptado de [7].

### Nivel de Protección

Sin duda alguna, el nivel de protección es el parámetro más importante en el diseño de la protección. No obstante, este nivel queda determinado por el tamaño del transistor de descarga, es decir el *BigFET* [7], [33]. La tabla 3.1 muestra como se relaciona el nivel de protección para el modelo de cuerpo humano y la dimensión del transistor de descarga. Esta relación es prácticamente independiente de la longitud del canal, ya que ante un evento *ESD* el transistor presentará generalmente el efecto de saturación en la velocidad de los portadores.

## 3.3. Propuestas en Literatura

En cada una de las propuestas presentadas se describe brevemente el funcionamiento ante un evento *ESD* de tipo *HBM* y durante el encendido de la fuente  $V_{DD}$ . Es importante aclarar que cuando se describe el evento *ESD*, se supone que el chip no está operando; es decir, sus terminales se encuentran abiertas y por tanto la única fuente de energía proviene del pulso de descarga.

### 3.3.1. Realimentación *NMOS-PMOS*

El esquema propuesto en [34] se muestra en la figura 3.2. En este trabajo utilizan los transistores  $M_{pf}$  y  $M_{nf}$  como realimentación y el objetivo principal es reducir el valor de la constante RC, que en este caso se implementa con transistores, y la susceptibilidad a falsos encendidos. El funcionamiento es como sigue.

Inicialmente, en operación normal; la red RC fija  $V_X$  a la misma tensión  $V_{SS}$  (referencia) y el primer inversor se encarga de fijar la tensión en el nodo A a  $V_{DD}$ . Consecuentemente, el segundo inversor mantiene el nodo B en 0V y por tanto el *BigFET* y  $M_{nf}$  permanecen apagados. En este estado estático, tanto  $M_{p1}$  como  $M_{pf}$  se encuentran encendidos pero ningún transistor maneja corriente.

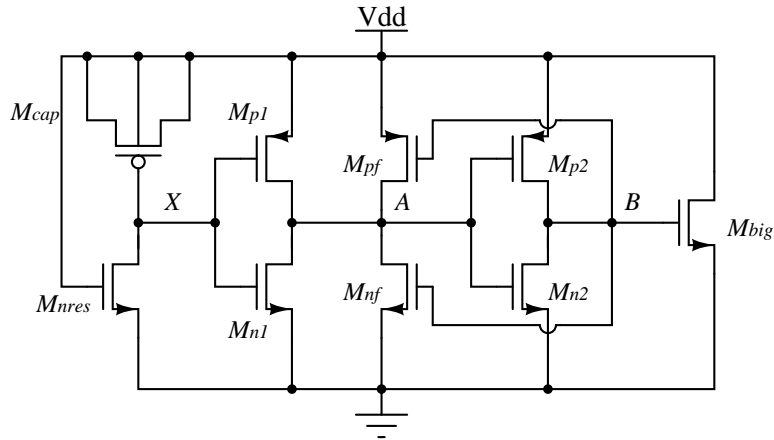


Figura 3.2: Circuito propuesto en [2].

### Operación ante un evento *ESD*

Cuando ocurre el pulso *ESD* desde  $V_{DD}$  hacia la referencia, la red RC (pasa-altas) sigue la entrada inicialmente y por tanto  $V_X$  aumenta. Una vez  $V_X$  alcanza la tensión de encendido de  $M_{n1}$ , la tensión  $V_A$  se llevará al nivel de tierra. Esto hace que se encienda  $M_{p2}$  en el segundo inversor conectando prácticamente el nodo B a  $V_{DD}$ . Conforme  $V_{DD}$  supere la tensión de umbral  $V_{THN}$  del *BigFET*, este se encenderá en saturación y tendrá la capacidad de conducir gran cantidad de corriente a través de su canal, protegiendo de esta manera los circuitos internos del chip.

El transistor  $M_{nf}$  también se enciende y lo hace en triodo debido al potencial bajo del nodo A y el potencial creciente en el nodo B. Por tanto se refuerza el encendido de  $M_{p2}$  y se engancha el *BigFET* en un estado de encendido.

Mientras ocurre lo anterior, cabe resaltar que el transistor  $M_{pf}$  actúa como carga en el nodo de salida del primer inversor. En consecuencia, existe una dinámica entre las corrientes de  $M_{n1}$ ,  $M_{pf}$  y  $M_{nf}$  que establecen un valor mínimo a través de  $V_{DD}$  para que se provoque la activación del transistor de descarga. Esto es una característica favorable que impide encendidos falsos cuando aparecen variaciones no deseadas en  $V_{DD}$ , por ejemplo el ruido de conmutación presente en los CI's de señal mezclada [36].

Debido al valor de  $V_X$  cercano a  $V_{DD}$ ,  $M_{nres}$  maneja corriente que carga al condensador haciendo que  $V_X$  disminuya gradualmente. A partir del instante en que  $V_X$  disminuye por debajo de  $V_{DD} - |V_{THP}|$ ; siendo  $|V_{THP}|$  la tensión umbral para el transistor *PMOS*, se encenderá  $M_{p1}$  y posteriormente se llevará la tensión  $V_A$  al valor de  $V_{DD}$ . Sin embargo, antes de que esto ocurra, existe una dinámica entre los transistores  $M_{p1}$  y  $M_{nf}$ , puesto que este último se encontraba en condiciones para conducir. En este punto, tanto  $M_{p1}$  como  $M_{nf}$  manejan

corriente y elevan la tensión  $V_A$  lo suficiente para activar  $M_{n2}$  en el segundo inversor y llevar la puerta del *BigFET* hasta  $0V$ . El tiempo que dura esta dinámica debe ser el suficiente para garantizar que la energía de la descarga se haya disipado completamente. Con lo anterior se logra proteger el CI.

Es importante resaltar que cuando finaliza el transitorio de la red RC; es decir, cuando  $V_X$  decrece hasta  $0V$ ,  $V_A$  se sigue manteniendo cerca a  $0V$  por más tiempo como consecuencia de la red de realimentación que proporcionan  $M_{nf}$  y  $M_{pf}$ . Esto implica que en ese momento, el primer inversor no se comporta como tal y la constante RC tiene menos influencia en el control del tiempo de encendido del *BigFET*. De esta forma, se puede lograr una reducción en esta constante. Esta es una de las principales ventajas que presenta esta arquitectura, pues se reduce el área en *layout*.

### Operación en el encendido de $V_{DD}$

Durante el encendido de la fuente de alimentación, la red RC mantiene  $V_X$  a  $0V$  debido al tiempo de elevación de la tensión en  $V_{DD}$  que se encuentra en el orden de los *ms* como se mencionó anteriormente. Por tanto, a través del acoplamiento de la cadena de inversores, se mantiene desactivado el *Power Clamp*.

En [34] se muestra que para el caso de encendidos rápidos ( $\sim \mu s$ ),  $V_X$  puede alcanzar una tensión suficiente para encender por un instante de tiempo el transistor  $M_{n1}$ ; sin embargo, no es suficiente para activar el *Power Clamp*, pues  $V_X$  disminuye rápidamente. De lo anterior se puede concluir que este circuito puede operar durante encendidos diferentes al rango normal. Sin embargo, una desventaja que se tiene con esta topología aparece cuando ocurre un falso encendido debido a fuentes con elevaciones lo suficientemente rápidas. Dependiendo del dimensionamiento de los transistores de realimentación, el *Power Clamp* puede quedar enganchado y conduciendo gran cantidad de corriente a pesar de la ausencia de una descarga. La única forma de liberar el *Power Clamp* de un enganche es desactivando la alimentación  $V_{DD}$ .

### 3.3.2. Realimentación *PMOS*

El circuito que se muestra en la figura 3.3 es propuesto en [3]; en ese artículo se especifica la necesidad de reducir el área que ocupa la red RC.

Este es un trabajo que evidentemente es presentado sin profundidad, lo cual es típico de la industria. En [3] muestran que su propuesta funciona y no entran en una discusión detallada. Sin embargo, no reportan una reducción de área. Se incluye dentro de las topologías ha analizar precisamente por la falta de discusión que presenta el artículo donde se expone.

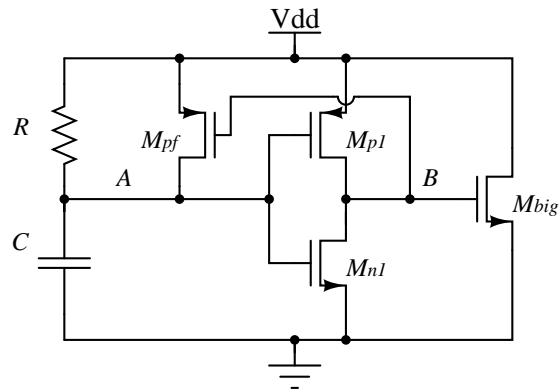


Figura 3.3: Circuito propuesto en [3].

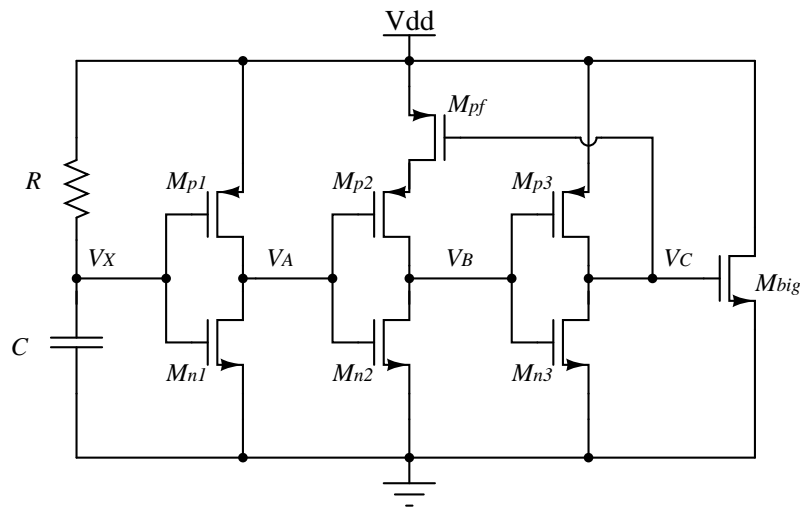


Figura 3.4: Circuito propuesto en [4].

### 3.3.3. Realimentación con *PMOS* en Cascodo

La propuesta presentada en [4], busca mantener los mismos niveles de protección sin presentar el problema de enganche ante posibles encendidos falsos. El circuito se muestra en la figura 3.4 y está conformado por la red RC, la cadena de inversores, el *BigFET* y en este caso la realimentación la efectúa un transistor *PMOS* en cascodo con  $M_{p2}$  del segundo inversor. La explicación del funcionamiento no será tan detallada en este caso, pues el principio básico es el mismo.

#### Operación ante un evento *ESD*

Si ocurre un evento *ESD* entre los rieles de alimentación, la tensión  $V_X$  inicia en  $0V$  debido a la red RC, que en este caso es pasa-bajas. A través del acoplamiento de los tres inversores

se mantendrá encendido el *BigFET*; es decir,  $V_C$  estará en un nivel alto, permitiendo la conducción de la corriente de descarga. En este instante  $M_{pf}$  se encuentra apagado y no afecta la operación del *Power Clamp*.

Cuando  $V_X$  supera  $V_{THN}$ , el transistor  $M_{n1}$  se enciende y posteriormente llevará la tensión  $V_A$  hacia un valor bajo. A pesar de esto, la tensión  $V_B$  no crecerá inmediatamente a  $V_{DD}$ , pues el transistor  $M_{pf}$  impide la conexión, ya que está apagado (su tensión de puerta es la misma que en su fuente y es de  $V_{DD}$ ). Por tanto, el *Power Clamp* se mantendrá encendido más tiempo de lo que impondría la constante RC si no existiera realimentación.

Eventualmente  $V_B$  se elevará hasta  $V_{DD}$  mediante la conducción en sub-umbral del transistor de realimentación  $M_{pf}$ . Mientras ocurre lo anterior,  $V_X$  puede haber alcanzado el valor de  $V_{DD}$  con mayor anticipación y sin embargo el *BigFET* se ha mantenido encendido. De esta forma definitivamente se puede reducir la constante RC.

Cuando  $V_B$  alcanza  $V_{DD}$  el tercer inversor se conmuta y apaga el *BigFET*.

### Operación en el encendido de $V_{DD}$

Durante el encendido y operación normal del circuito, el *Power Clamp* se mantiene desactivado; sin embargo cuando ocurre encendidos lo suficientemente rápidos para activarlo, este circuito tiene la capacidad de desactivarse a través de la conducción en sub-umbral de  $M_{pf}$ . Claramente esta es una ventaja en comparación, pues este circuito no permite un estado de enganche o *latch*.

### 3.3.4. Propuesta con *Thyristor*

Una topología que se diferencia un poco de las mostradas anteriormente es la que se expone en el trabajo [5]. Esta utiliza una red clásica RC, un inversor, el *BigFET* y una configuración de transistores denominada *thyristor* que sirve como elemento de retraso y que permite reducir la constante RC. Además, la configuración *thyristor* presenta baja sensibilidad a condiciones ambientales y bajo consumo de potencia estática y puede generar retrasos en un rango de  $ns \sim \mu s$  [37]. La figura 3.5 muestra el *Power Clamp* donde los transistores  $M_{p2}$  y  $M_{n2}$  conforman la estructura de retraso.

### Operación ante un evento *ESD*

Un pulso de descarga electrostática de tipo *HBM* que aparezca entre los rieles de alimentación será acoplado por la red RC pasa-altas hacia el nodo  $X$ . Rápidamente se eleva  $V_X$ , se enciende el transistor  $M_{n1}$  y la tensión  $V_A$  se llevará a tierra, provocando el encendido de  $M_{p2}$  y elevando  $V_B$  hasta  $V_{DD}$ . De esta manera se activa el *BigFET* permitiendo su conduc-

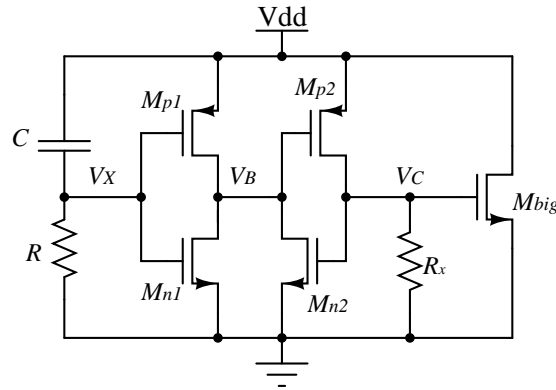


Figura 3.5: Circuito propuesto en [5].

ción. Al mismo tiempo, el transistor  $M_{n2}$  estará activado, sin conducir corriente y reforzando el nivel bajo presente en  $V_A$ .

La función de la resistencia se hace evidente en las condiciones de operación normal del CI, ya que se encarga de permitir una ruta hacia tierra desde la compuerta del *BigFET*; de lo contrario, esta última quedaría flotando.

Una vez  $V_X$  está en un nivel alto, empieza a disminuir debido a la red RC y a través del inversor se tiende a elevar la tensión  $V_A$ ; sin embargo, esto no ocurre hasta que culmine la dinámica que se presenta entre  $M_{p1}$  y  $M_{n2}$ . Con las dimensiones de estos dos transistores, se puede controlar el tiempo de retraso necesario antes de apagar el transistor de descarga.

#### Operación en el encendido de $V_{DD}$

En condiciones de operación normal la red RC mantiene la tensión de tierra en  $V_X$  y a través del inversor se mantiene apagado el transistor  $M_{p2}$ . Lo anterior permite que la puerta de los transistores  $M_{n1}$  y  $M_{big}$  se mantengan al nivel de tierra a través de la resistencia  $R_x$ . Por tal razón, el *Power Clamp* estará desactivado.

En [5] también muestran que este circuito funciona correctamente para condiciones de encendidos rápidos; además de presentar inmunidad a posibles oscilaciones.

A continuación se realiza una evaluación de las arquitecturas presentadas, con el fin de comparar los parámetros de desempeño de cada una para seleccionar la que se utilizará en el diseño final.

### 3.4. Evaluación y Comparación

Cada una de las topologías vistas en la sección anterior pueden ser opciones para diseñar el *Power Clamp*; en esta sección se realiza una evaluación y comparación a nivel de simulación

de cada circuito, con el fin de comparar y resaltar características relevantes que muchas veces no se hacen evidentes en la literatura.

Inicialmente se evalúan las cuatro arquitecturas que implementan la cadena de inversores y luego se realiza la evaluación sobre aquella que implementa el elemento de retardo o *thyristor*. La metodología de evaluación es la siguiente:

- El criterio de evaluación y comparación esta asociado con los parámetros de desempeño del *Power Clamp* y por tanto se realizan simulaciones para cada uno.
- La red RC en todos los casos se implementa con resistencia y capacitancia en lugar de utilizar transistores; esto con el fin de simplificar el análisis. En [33] se ha mostrado que la implementación de esta red usando transistores presenta algunos inconvenientes como la variación de la constante de tiempo.
- La constante de tiempo se ha fijado en  $0,1\mu s$  para que pueda diferenciar entre un evento *ESD* y una condición de encendido.
- Se utiliza una cadena de tres inversores para los circuitos a excepción de la implementación con el *Thyristor* en el cual se usan solo dos inversores y el elemento de retraso.
- El dimensionamiento para los transistores *PMOS* se realiza en base al experimento que se hace en [38]; es decir, manteniendo la misma relación de aspecto con dimensiones mínimas para la longitud de canal en la tecnología de  $0,35\mu m$ . Por otra parte, los transistores *NMOS* se dimensionan de tal manera que los inversores presenten una tensión de conmutación simétrica, tal y como se expone en [32]. Para la tecnología utilizada la relación  $W_p/W_n$  debe ser de 3,43 aproximadamente.
- El tamaño del *BigFET* determina el nivel de protección del *Power Clamp* y se ha escogido para esta prueba de  $3500\mu m$ .
- Los esquemáticos y las dimensiones de las 4 arquitecturas para la evaluación se muestran en la figura 3.6 y en la tabla 3.2 respectivamente.

Cabe resaltar que no se espera que estos diseños iniciales sean los más apropiados para implementarlos en una protección real, pero es un punto de partida que permite someter a condiciones similares las topologías previamente mencionadas.

### 3.4.1. Operación en condiciones de *ESD*

Para observar la respuesta de los circuitos ante un evento *ESD* de tipo *HBM*, es común emplear como estímulo una rampa que crece desde  $0V$  hasta la tensión de ruptura del óxido

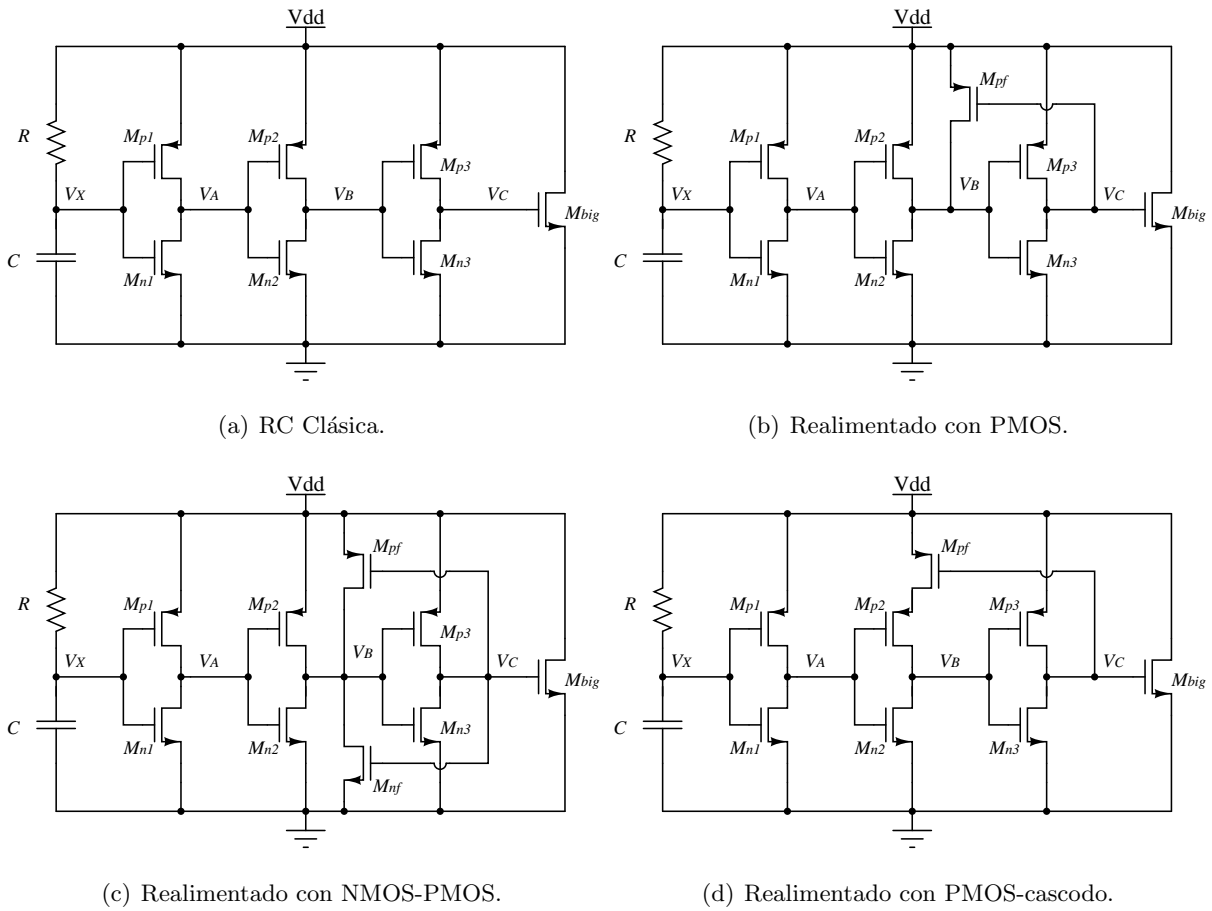


Figura 3.6: Topologías basadas en cadena de inversores dispuestas para ser evaluadas.

y que presenta un tiempo de elevación de  $10ns$  [38]. En el caso de la tecnología de  $0,35\mu m$  la tensión de ruptura tiene un valor mínimo de  $7V$ .

Otra opción es someter el *Power Clamp* directamente sobre el circuito equivalente *HBM* (Capítulo 2) que genera un pulso transitorio caracterizado según el estándar. Sin embargo, se prefiere implementar la primera forma porque es suficiente para observar la respuesta de cada topología ante un transitorio de este tipo. Además, se puede observar posibles enganches que se mencionan en los artículos y que no son evidentes al utilizar el circuito equivalente *HBM*.

Las formas de onda de la tensión en la compuerta de  $M_{big}$  ( $V_C$  en el esquemático) de las topologías clásica y realimentada con *PMOS* son similares y se muestran en la figura 3.7.

Se observa que la compuerta se activa tan pronto aparece la rampa de encendido y por tanto detecta adecuadamente el fenómeno. El tiempo de encendido para este caso es de  $85ns$  aproximadamente; este valor no es apropiado, pero como se mencionó anteriormente, se trata de un diseño inicial y lo único que se puede decir en este punto es que estas dos propuestas

RC Clásica		PMOS		NMOS-PMOS		PMOS-cascodo	
R	$50k\Omega$	R	$50k\Omega$	R	$50k\Omega$	R	$50k\Omega$
C	$2pF$	C	$2pF$	C	$2pF$	C	$2pF$
$M_{p1}$	$23\mu m$	$M_{p1}$	$23\mu m$	$M_{p1}$	$23\mu m$	$M_{p1}$	$23\mu m$
$M_{p2}$	$47\mu m$	$M_{p2}$	$47\mu m$	$M_{p2}$	$47\mu m$	$M_{p2}$	$0,7\mu m$
$M_{p3}$	$117\mu m$	$M_{p3}$	$117\mu m$	$M_{p3}$	$117\mu m$	$M_{p3}$	$117\mu m$
$M_{n1}$	$6,8\mu m$	$M_{n1}$	$6,8\mu m$	$M_{n1}$	$6,8\mu m$	$M_{n1}$	$6,8\mu m$
$M_{n2}$	$13,8\mu m$	$M_{n2}$	$13,8\mu m$	$M_{n2}$	$13,8\mu m$	$M_{n2}$	$13,8\mu m$
$M_{n3}$	$34,4\mu m$	$M_{n3}$	$34,4\mu m$	$M_{n3}$	$34,4\mu m$	$M_{n3}$	$34,4\mu m$
$M_{big}$	$3500\mu m$	$M_{pf}$	$47\mu m$	$M_{pf}$	$70\mu m$	$M_{pf}$	$350\mu m$
		$M_{nf}$	$25\mu m$	$M_{nf}$	$25\mu m$	$M_{nf}$	$350\mu m$
		$M_{big}$	$3500\mu m$	$M_{big}$	$3500\mu m$	$M_{big}$	$3500\mu m$

Tabla 3.2: Dimensionamiento de las topologías con cadena de inversores.

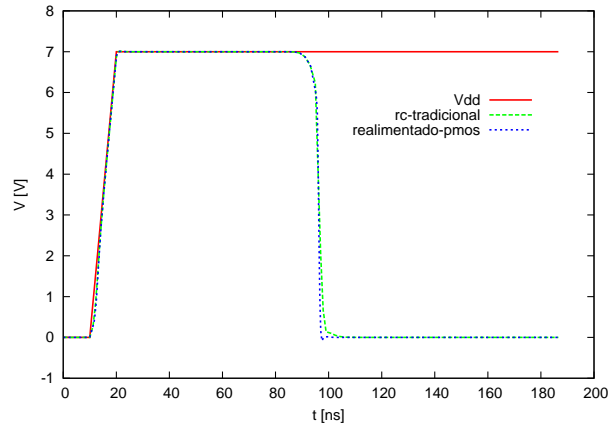


Figura 3.7: Tiempo de encendido para el esquema clásico y el realimentado con PMOS.

no experimentan ningún tipo de estado de enganche.

Por otra parte, en la figura 3.8 se muestran las formas de onda correspondientes a la topología que se muestra en la figura 3.4. La figura 3.4.1 muestra el caso en el cual el circuito presenta un tiempo de encendido de  $190ns$  aproximadamente. Sin embargo, conforme se modifica  $M_{nf}$  el circuito puede quedar enganchado tal y como se ve en la figura 3.4.1 donde se ha utilizado un ancho de  $30\mu m$  para  $M_{nf}$ .

En ambos casos se puede observar que la tensión en la compuerta del *BigFET*  $V_C$  disminuye en  $1V$  aproximadamente cuando ocurre la conmutación del primer inversor ( $85ns$  después de iniciado el transitorio al igual que en la red RC clásica). Lo anterior ocurre porque la tensión  $V_B$  aumenta  $2V$  rápidamente en ese instante y trata de estabilizarse, pero este nivel

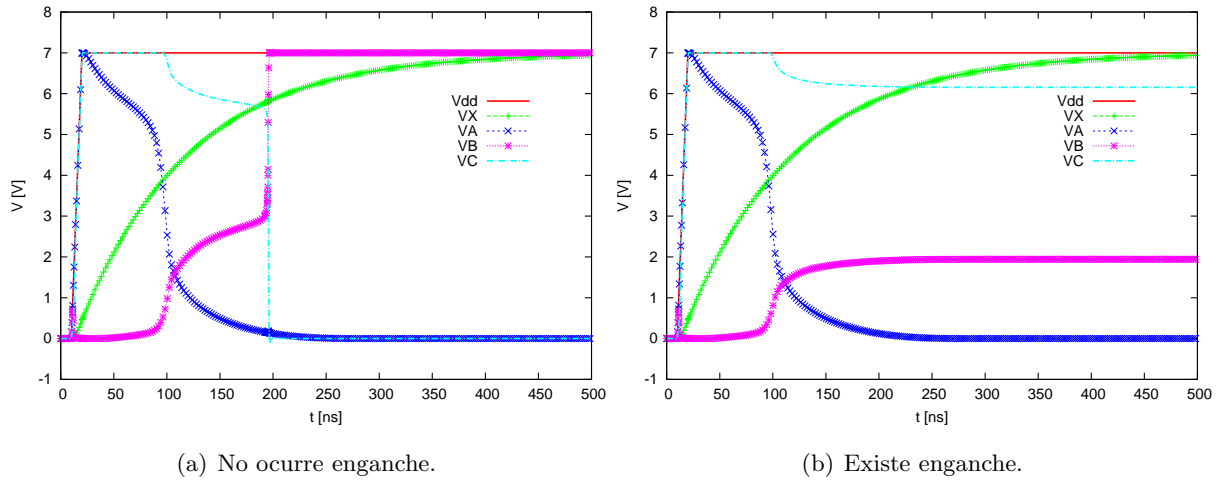


Figura 3.8: Tiempo de encendido para el esquema con realimentación NMOS-PMOS.

es suficiente para encender  $M_{n3}$  y descargar la tensión  $V_C$ . En consecuencia se disminuye la capacidad de manejo de corriente de  $M_{nf}$  y cuando  $V_B$  crece hasta la tensión de conmutación del tercer inversor, se desencadena el proceso de apagado. La tensión de conmutación de los inversores es de  $3,5V$  aproximadamente, ya que se dimensionaron para que estuvieran a la mitad del valor nominal de la fuente tal y como se explica en [32]. Se concluye que este circuito presenta un tiempo de encendido mayor que el de la topología clásica y por tanto, se puede diseñar de para obtener una reducción en el área disminuyendo la red RC. Por otra parte, una desventaja que se hace evidente en la figura 3.4.1 es que el circuito puede quedar enganchado si se sobre-dimensiona el transistor  $M_{nf}$ . Para esta simulación se utilizó un ancho de  $30\mu m$ . La tensión  $V_A$  no alcanza a elevarse a  $V_{DD}$  estabilizándose alrededor de  $2V$  y por tanto el *BigFET* no se apaga.

La gráfica de simulación obtenida para la topología con realimentación usando un PMOS en cascodo se muestra en la figura 3.9

De la figura se puede observar que el tiempo de encendido del *Power Clamp* se extiende más allá de la constante de tiempo impuesta por la red RC y que se muestra en la tensión  $V_X$ . Aunque  $V_X$  alcanza los  $7V$  y en consecuencia  $V_A$  desciende a  $0V$ , la tensión  $V_B$  no crece de manera rápida hacia  $V_{DD}$ , pues el transistor  $M_{pf}$  se encuentra en corte. Eventualmente,  $V_B$  se eleva debido a la conducción en sub-umbral de  $M_{pf}$ , pero lo hace muy lentamente. Una vez que la tensión  $V_C$  cae por debajo del valor de  $V_{DD} - |V_{THP}| \approx 6,35V$ <sup>5</sup>, el transistor  $M_{pf}$  se enciende y rápidamente  $M_{big}$  se apagará debido a que  $V_B$  se eleva hasta  $7V$ . Lo anterior

<sup>5</sup>Para la tecnología de  $0,35\mu m$  la tensión de umbral para transistores PMOS es de  $-0,65V$  aproximadamente

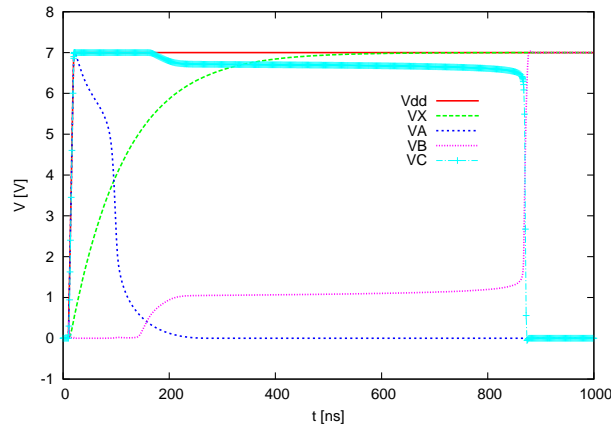


Figura 3.9: Tiempo de encendido para el esquema con realimentación PMOS en cascodo.

sucede  $850ns$  después de iniciado el encendido.

En esta topología el tamaño de  $M_{p2}$  es el mínimo de la tecnología. Se encontró que las dimensiones de los transistores  $M_{pf}$  y  $M_{nf}$  son las más influyentes en cuanto al tiempo de encendido:

- Reduciendo  $M_{pf}$ ,  $t_{on}$  aumenta
- Aumentando  $M_{p2}$ ,  $t_{on}$  aumenta

Es importante destacar que al igual que la arquitectura anterior, definitivamente se puede reducir el tamaño de la red RC, ya que se obtiene un tiempo de encendido mucho mayor en comparación con la implementación clásica sin realimentación. Adicionalmente, la reducción de  $M_{pf}$  es favorable, ya que permite relajar el área que puede ocupar esta topología.

### 3.4.2. Condiciones de operación normal

La condición de encendido normal se evalúa a partir de una rampa que se eleva hasta la tensión nominal a la cual opera el CI que es de  $3,3V$ . El tiempo de elevación en este caso es de  $100\mu s$ ; esta y las tensiones que se obtienen en la compuerta de  $M_{big}$  para las 4 arquitecturas se muestran en la figura 3.10.

Claramente ninguno de los esquemas permite el encendido del transistor  $M_{big}$ , pues se observa en los resultados de simulación que no se acercan a la tensión de umbral para un transistor  $NMOS$ <sup>6</sup>. No obstante, la topología que utiliza el transistor en cascodo es la que presenta un mayor pico de tensión en la compuerta de  $M_{big}$ .

<sup>6</sup> Para la tecnología utilizada de  $0,35\mu m$  esta tensión es de aproximadamente  $0,5V$

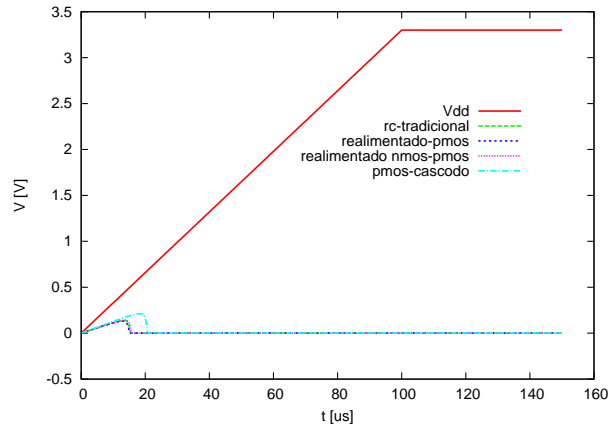


Figura 3.10: Encendido de la fuente.

### 3.4.3. Ruido en $V_{DD}$

Con el escalamiento e integración de los transistores, se ha podido aumentar en gran medida la densidad de dispositivos por unidad de área. Por otra parte, el empaquetamiento de los CI, las rutas entre las conexiones internas del circuito y el exterior presentan una autoinductancia que sumado con la gran cantidad de corriente que consume un circuito de señal mezclada, puede inducir ruido considerable en los rieles de alimentación [36].

Se han realizado estudios para cuantificar este tipo de ruido, entre los cuales se puede destacar [39], donde se muestra que el valor pico-pico de la variación  $V_{DD}$  en un chip de señal mezclada puede llegar a ser de hasta el 35% del valor nominal.

Para realizar esta simulación se implementó una fuente con ruido aleatorio de amplitud pico-pico de  $400mV$  ( $\approx 12\%$  del valor nominal de  $3,3V$ ), tiempos de elevación y caída de  $200ps$ , y una duración mínima entre pulsos de  $4ns$  similar a la utilizada en [2]. La figura 3.11 muestra la tensión  $V_{DD}$  con ruido gaussiano aleatorio generado utilizando en conjunto *MATLAB* Y *HSPICE*.

Los resultados de la simulación se muestran en las figuras 3.12 y 3.13 que corresponden a la tensión de compuerta de  $M_{big}$  y a la corriente que lo atraviesa respectivamente.

De estas se puede concluir:

- La tensión  $V_C$  en todos los casos se mantiene por debajo de la tensión de umbral de  $M_{big}$ , así que el aporte de corriente debido a encendidos falsos del *BigFET* es despreciable. El pico máximo que se genera con la topología que implementa el *PMOS* en cascodo es de aproximadamente  $85,4mV$  y es el más alto de todos.
- El consumo de corriente a través de  $M_{big}$  en todos los casos presenta un pico de  $8,6mA$ , pero la duración de cada pulso es de aproximadamente  $200ps$  que es el tiempo de ele-

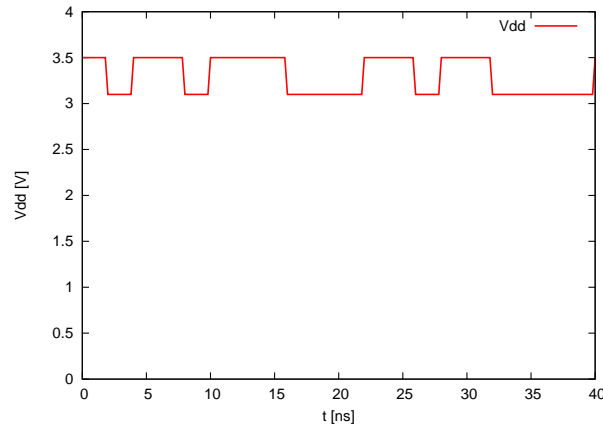
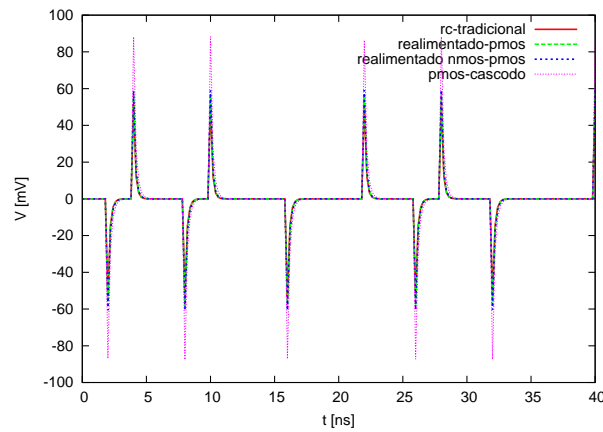


Figura 3.11: Ruido de la fuente.

Figura 3.12: Efecto del ruido en  $V_{DD}$  sobre la tensión en la compuerta del *BigFET*.

vación y caída del ruido. En comparación con el consumo de corriente que se presenta en cada ciclo de reloj de un circuito de señal mezclada (por ejemplo un procesador), se puede considerar despreciable [34].

- El pico máximo de corriente que consume el circuito es función del tamaño del transistor  $M_{big}$ . Se observa que todas la topologías presentan un comportamiento similar ante el ruido en  $V_{DD}$  y esto se debe a que la capacitancia del *BigFET* es quien asume directamente esos cambios en la tensión de alimentación.

#### 3.4.4. Evaluación para la topología con *Thyristor*

Una vez realizada la evaluación para las cuatro topologías que implementan la cadena de inversores, se procede a hacer lo mismo para la que implementa el circuito de retraso. El diagrama esquemático y el dimensionamiento se muestran en la figura 3.14 y en la tabla 3.3

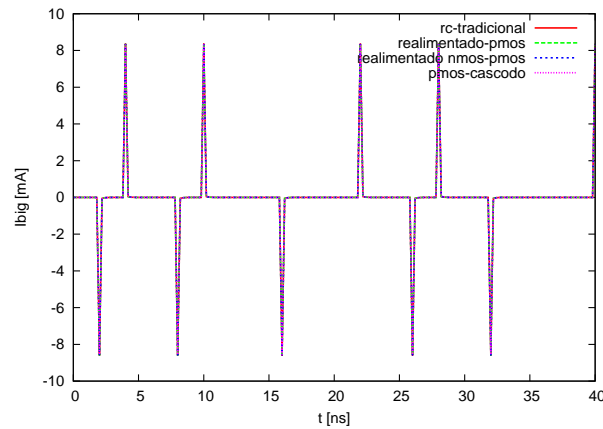


Figura 3.13: Efecto del ruido en  $V_{DD}$  sobre la corriente manejada por el *BigFET*.

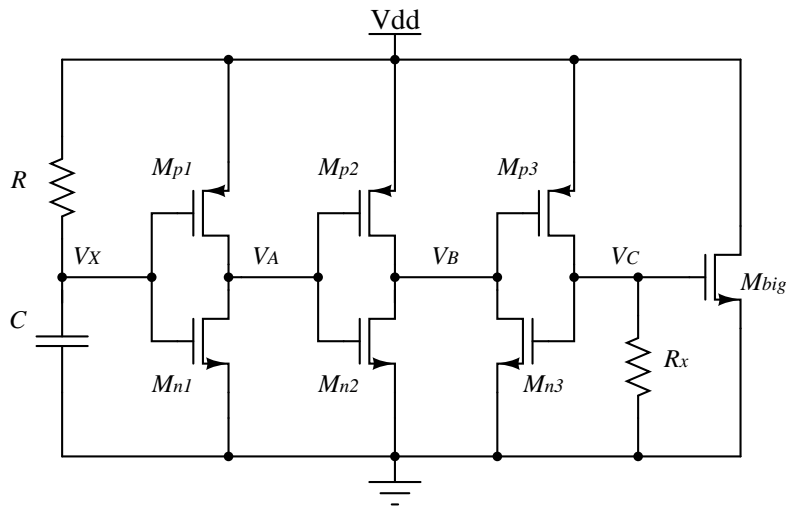


Figura 3.14: Esquemático para la evaluación de la arquitectura con *Thyristor*.

respectivamente.

### Operación en *ESD*

Realizando la simulación con la misma rampa de tensión  $V_{DD}$  que se utilizó en las anteriores pruebas; es decir,  $7V$  de valor nominal y un tiempo de elevación de  $10ns$  se obtiene la gráfica de la tensión en la puerta del *BigFET* que se muestra en la figura 3.15.

El tiempo de encendido en este caso es de alrededor de  $230ns$  que es mayor que el de la topología clásica. Es importante notar que la tensión  $V_C$  en este caso no alcanza exactamente la tensión nominal y esto es uno de los efectos que tiene la resistencia  $R_x$  sobre el desempeño del circuito. Cuando  $V_C$  se eleva siguiendo la entrada, el transistor  $M_{p3}$  está encendido y por tanto existe un flujo de corriente entre este y la resistencia  $R_x$  que genera una caída de tensión

Thyristor	
R	50k $\Omega$
$R_x$	1k $\Omega$
C	2pF
$M_{p1}$	23 $\mu m$
$M_{p2}$	47 $\mu m$
$M_{p3}$	117 $\mu m$
$M_{n1}$	6,8 $\mu m$
$M_{n2}$	13,8 $\mu m$
$M_{n3}$	11 $\mu m$
$M_{big}$	3500 $\mu m$

Tabla 3.3: Dimensionamiento.

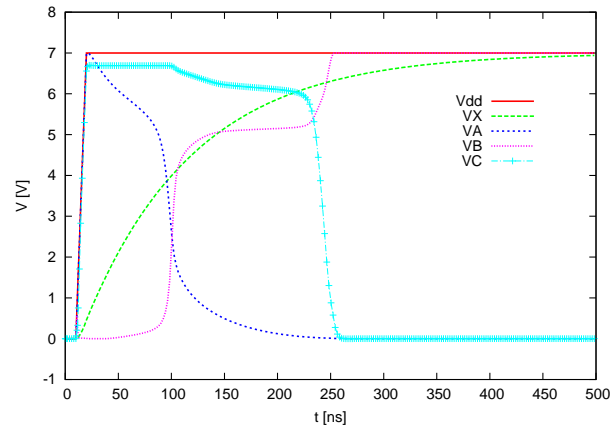


Figura 3.15: Tiempo de encendido.

sobre  $M_{p3}$  y de esta forma  $V_C$  no alcanza exactamente el valor cd  $V_{DD}$ .

Otro aspecto importante que se obtuvo en simulación y que no se menciona en el artículo que utiliza este esquema de protección, es que dependiendo del dimensionamiento del *Thyristor* también se puede presentar enganche al igual que en la arquitectura realimentada con *NMOS-PMOS*.

### Encendido de la fuente

En el caso de la rampa que representa el encendido normal de la fuente de alimentación con un tiempo de elevación de 100 $\mu s$ , se obtiene una tensión pico en la compuerta de  $M_{big}$  ( $V_C$ ) que no supera 39 $\mu V$ . Definitivamente, este valor está por debajo de cualquiera de las otras arquitecturas estudiadas anteriormente, lo cual sugiere que esta propuesta es más robusta con

Tiempos de elevación				
Topología	100 $\mu s$	10 $\mu s$	1 $\mu s$	700ns
Thyristor	39 $\mu V$	406 $\mu V$	140mV	444mV
Clásica	138,3mV	171,3mV	815,4mV ON!	1V ON!
PMOS	131,5mV	162mV	494mV ON!	1,02V ON!
NMOS-PMOS	142,2mV	175,7mV	361,5mV	3,3V ESD!
PMOS-cascodo	212,5mV	258,7mV	840,8mV ON!	1,09V ON!

Tabla 3.4: Tensión pico en la compuerta del transistor  $M_{big}$ .

respectos a los posibles encendidos indeseados. Para comprobar lo anterior, se decide realizar simulaciones para condiciones de encendido con tiempos de elevación de 10 $\mu s$ , 1 $\mu s$  y 700ns, sometiendo a esta prueba a cada esquema de *Power Clamp* y midiendo la tensión pico que se desarrolla en  $V_C$ . La tabla 3.4 resume los resultados obtenidos.

La admiración *ON!* indica que la tensión en la puerta del transistor de descarga alcanza un valor suficiente para encenderlo y debido al gran tamaño de este, se puede conducir gran cantidad de corriente durante cierto intervalo de tiempo. Por otra parte, la admiración *ESD!* señala que la topología se activa completamente como si se tratara de un evento *ESD*.

Se puede concluir de los resultados de simulación que la arquitectura más robusta e inmune ante posibles encendidos indeseados es la que implementa el *Thyristor* como elemento de retraso. En ninguno de los casos la tensión  $V_C$  alcanza a encender el transistor  $M_{big}$ . Por tal razón, esta topología discrimina adecuadamente un evento *ESD* de un encendido de operación normal.

### Condición de ruido en $V_{DD}$

En lo que tiene que ver con el ruido, esta arquitectura no presenta una característica que difiera de las demás. La tensión pico medida en  $V_C$  no supera 82mV, mientras que la corriente pico que atraviesa a  $M_{big}$  es de 8,2mA. Esta última es de esperarse que no varíe mucho en comparación con las demás, como se mencionó anteriormente es función del tamaño del transistor de descarga.

## 3.5. Resumen y Discusión

Después de realizada la comparación de cada arquitectura, es importante sintetizar los aspectos más relevantes que se obtuvieron de esta. Cada una detecta el fenómeno *ESD* y el *Power Clamp* puede controlarse para que se active o no. Si lo que se busca es simplicidad

y poco tiempo en la etapa de diseño, entonces la arquitectura clásica es suficiente, pero a expensas del uso de mayor área en comparación con las otras alternativas para alcanzar un tiempo de encendido adecuado. Por otra parte, las arquitecturas realimentadas permiten extender  $t_{on}$  más tiempo del que impone la constante RC y de esta forma se puede relajar el área que ocupan la resistencia y el condensador que se implementen. En la evaluación se obtuvo que la que más lo hace es la que utiliza la realimentación con el transistor *PMOS* en cascodo. Sin embargo, parte de lo que se gana en disminución de área debido a la red RC se invierte en el transistor  $M_{pf}$ , el cual debe ser mucho más ancho que  $M_{p2}$  con el fin de no afectar considerablemente la operación de los inversores [33]. Además las topologías basadas en los trabajos de [34] y [5] pueden presentar el problema de enganche si no se realiza un cuidadoso dimensionamiento de la realimentación. De lo anterior, se destaca que este tipo de arquitecturas implican mayor tiempo en el diseño pero alcanzando mejores prestaciones que la alternativa sencilla de la red clásica.

En cuanto al desempeño e inmunidad a encendidos indeseados, la mejor opción es la propuesta que utiliza el *Thyristor* como elemento de retraso. Esto balancea un poco las cosas para esta propuesta, ya que será poco probable que ocurra un enganche provocado por un encendido no deseado si es que no se ha tenido rigurosidad en el diseño para prevenirlo. En contraste, la que presenta menor desempeño (aunque no inadecuado) es la implementación con *PMOS* en cascodo.

De la prueba con ruido en la fuente no se puede extraer alguna ventaja relevante de alguna topología, pues todas presentan un comportamiento similar.

Con base en la comparación realizada y a partir de las observaciones mencionadas, se decide realizar el diseño del *Power Clamp* con la arquitectura propuesta en [5], la cual hace uso del circuito de retraso denominado *Thyristor*.

### 3.6. Estado del arte

A pesar de que se ha escogido la arquitectura a diseñar, es importante tener una clara noción del desempeño alcanzado por cada una de las propuestas presentes en literatura. Esto con el fin de tener un punto de comparación con el estado del arte de los circuitos de protección basados en redes de detección RC. La tabla 3.5 muestra los parámetros de desempeño de cada arquitectura evaluada y adicionalmente se incluye el trabajo presentado en [40]. La decisión de no incluir este último en la etapa de evaluación se basa principalmente en que se obtienen prestaciones similares con la propuesta en [5], pero esta última es una arquitectura más sencilla.

El trabajo expuesto en [40] no utiliza inversores, en cambio implementa un *flip-flop* tipo

Ref.	Tecnología	$t_{on}$	$t_{riseV_{DD}}$	Nivel de Protección <i>HBM</i>	$W_{M_{big}}$	$I_{big}$ Debido a ruido	Inmunidad a oscilaciones
[3]	♣	500ns	♣	2kV Simulado	♣	♣	♣
[34]	90nm	700ns	200ns	5kV Medido	3000 $\mu m$	8mA	No
[33]	90nm	700ns	1 $\mu s$	3kV Simulado	4000 $\mu m$	♣	♣
[5]	0,18 $\mu m$	700ns	< 1 $\mu s$	2kV Simulado	400 $\mu m$	1mA	Sí
				3kV Medido			
[40]	0,18 $\mu m$	700ns	200ns	2kV Simulado	400 $\mu m$	♣	Sí
				3kV Medido			
				♣	20 $\mu m$	150 $\mu A$	

Tabla 3.5: Resultados presentados en la literatura.

D modificado para controlar el encendido del transistor de descarga. En todos los casos, a excepción del trabajo en [3], se alcanza un tiempo de encendido de 700ns suficiente para que se disipe la energía del pulso *HBM* como se mencionó anteriormente. Adicionalmente, en algunos de los trabajos se reporta una característica de inmunidad a oscilaciones que se determina mediante medición directa del circuito; es decir, utilizando un generador de impulsos real. Sólo dos propuestas reportan inmunidad a oscilaciones y estas no utilizan la cadena de inversores como elemento de control del *BigFET*. Adicionalmente, en [5] comparan la inmunidad a oscilaciones del trabajo presentado en [34] y se demuestra que esta última no es inmune ante oscilaciones.



## Capítulo 4

# Diseño del circuito de protección

En el capítulo anterior se seleccionó la topología basada en la propuesta presentada en [5], ahora se procede a analizar en detalle los parámetros de desempeño de esta y enfocar la estrategia de diseño.

Este capítulo presenta inicialmente el comportamiento del circuito seleccionado ante un evento de descarga de tipo *HBM*, a partir del cual se obtienen los puntos claves para plantear una metodología de diseño. Este abarca desde el planteamiento de una serie de pasos para dimensionar todos los dispositivos del *Power Clamp*, hasta la realización del *layout* del circuito y posterior validación mediante simulaciones *post-layout*.

En la literatura se puede encontrar que el diseño de estructuras de protección contra *ESD* se ha basado generalmente en la simulación y el análisis cualitativo del circuito. A pesar de esto, en la metodología que se expone en este capítulo se desarrollan algunas ecuaciones para justificar la selección de las dimensiones de los elementos que conforman la protección. Estas ecuaciones se basan en un análisis básico a partir del modelo de nivel 1 del transistor que se obtiene mediante extracción. Este modelo es válido para la tecnología de fabricación  $0,35\mu\text{m}$  *CMOS C35B4* de *AMS*. Aunque se trata de un nivel bajo de modelado, es suficiente para obtener información relevante sobre el comportamiento del circuito a diseñar, en función de los anchos de los transistores y de los valores de resistencia y capacitancia del circuito seleccionado. La tabla 4.1 resume los parámetros del modelo de nivel 1 para los transistores en la tecnología de  $0,35\mu\text{m}$ ; además, también muestra algunos parámetros del proceso, como la capacitancia por unidad de área de la compuerta de los transistores.

Es importante resaltar que el modelo de nivel 1, sólo se utiliza para plantear las ecuaciones básicas que describen el comportamiento del circuito. Para el diseño con simulación se emplea el modelo *BSIM3v3* nivel 49 del transistor.

Parámetro	Símbolo	Valor	Unidades
Capacitancia de compuerta por unidad de área	$C_{ox}$	4,54	$fF/\mu m^2$
Factor de ganancia	$k_n$	69,1	$\mu A/V^2$
	$k_p$	27,5	
Tensión de umbral	$V_{THN}$	0,5	V
	$V_{THP}$	-0,65	
Velocidad de saturación de los portadores de carga	$v_{sat,n}$	$4,973 * 10^4$	$m/s$
	$v_{sat,p}$	$2,031 * 10^4$	
Tensión de saturación	$V_{DSAT,n}$	1,144	V
	$V_{DSAT,p}$	-1,175	
Coeficiente de modulación de canal	$\lambda_n$	0,06	$1/V$
	$\lambda_p$	0,1	
Tensión de ruptura (Típica) de compuerta	$V_{b,ox}$	8	V
Tensión de avalancha (Típica) del transistor	$V_{bv}$	8	V

Tabla 4.1: Parámetros del transistor para el modelo nivel 1.

## 4.1. Arquitectura con el *Thyristor CMOS*

La arquitectura seleccionada a partir de la evaluación que se presentó en el capítulo 3 se basa en una red de detección RC, un inversor y una configuración de dos transistores complementarios denominada *Thyristor* [37]. La figura 4.1 muestra el circuito del *Power Clamp* a diseñar.

### 4.1.1. Operación ante el modelo *HBM*

En el capítulo 2 se mostró la forma de onda característica del pulso de descarga con el modelo *HBM*. Debe quedar claro que esto sólo es un procedimiento estándar y por tanto pueda no representar de manera real una descarga electrostática de tipo *HBM*. No obstante, permite establecer un criterio para evaluar los circuitos de protección.

Claramente la descarga electrostática se trata de un fenómeno para el cual no se conoce una relación temporal determinística que describa la corriente. Por ello, en el diseño de protecciones *ESD*, se recurre a la simulación como herramienta para cuantificar el comportamiento del circuito. A pesar de esto, un análisis básico preliminar de la arquitectura seleccionada, es necesario en el momento de realizar el diseño, pues este permite dimensionar de manera adecuada los dispositivos que la conforman.

Al iniciar la descarga *HBM*, la corriente es impulsada hacia el CI, al principio el *Power*

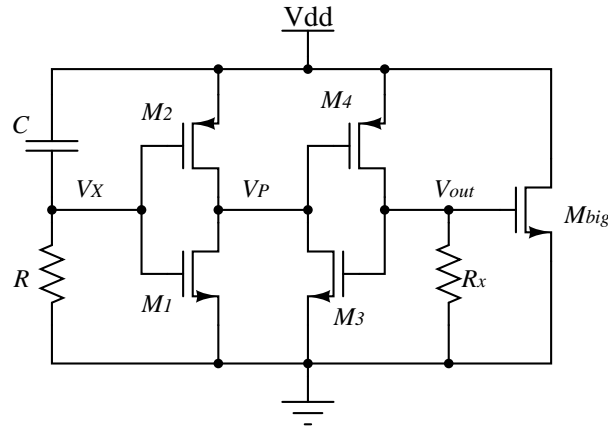


Figura 4.1: Circuito a diseñar

*Clamp* está desactivado, ofreciendo una alta impedancia entre los rieles de alimentación. Debido a esto, la tensión en  $V_{DD}$  aumenta rápidamente y a la misma velocidad que el pulso de corriente *HBM*. El tiempo de elevación  $t_r$  de este pulso es muy corto en comparación con la constante de tiempo de la red RC y por tanto esta última permite que  $V_X$  siga la tensión  $V_{DD}$  similar a como se describió en el capítulo anterior. Lo anterior impone un límite inferior a la constante RC para una operación adecuada del *Power Clamp*. Teniendo en cuenta que  $t_r \approx 10ns$  y asumiendo un criterio de 5 veces menor a la constante RC, se tiene:  $RC \approx 50ns$ .

El acople de la señal  $V_X$  hacia el nodo *out* es similar al que se explicó en el capítulo 3 cuando se tenía la rampa de elevación con  $t_r = 10ns$ . Antes de que la corriente  $I_{HBM}$  alcance su valor máximo,  $V_{out}$  debe seguir la tensión  $V_{DD}$  para mantener el transistor  $M_{big}$  completamente encendido y así permitir la conducción de gran cantidad de corriente. Lo anterior se logra haciendo  $M_4$  relativamente ancho, de tal manera que su resistencia sea mucho menor al valor de  $R_x$ . Además, se debe tener en cuenta la capacitancia en el nodo de salida y que se debe al gran tamaño del transistor de descarga. Esta capacitancia determina junto con  $R_x$  y  $M_4$ , la diferencia de tensión entre  $V_{DD}$  y  $V_{out}$  y la velocidad con la que se estabiliza. Esto lo ilustra la figura 4.2, donde se define gráficamente el tiempo de detección  $t_{ss}$  y el error en la detección  $e_{ss}$ <sup>1</sup>.

En la figura 4.2 la capacitancia de salida  $C_L$  se debe principalmente al transistor  $M_{big}$  y está determinada por el tamaño de este, por ejemplo, para  $W_{big} = 3500\mu m$  entonces  $C_L \approx 5pF$ <sup>2</sup>. El transistor  $M_4$  puede verse como una resistencia variable  $R_{on4}$  y en consecuencia, a la salida se obtiene mediante una aproximación de primer orden, la red RC de salida caracterizada

<sup>1</sup>En términos de sistema, estas definiciones son las asociadas al tiempo de establecimiento y el error en estado estable.

<sup>2</sup>Este valor de capacitancia es obtenido mediante simulación.

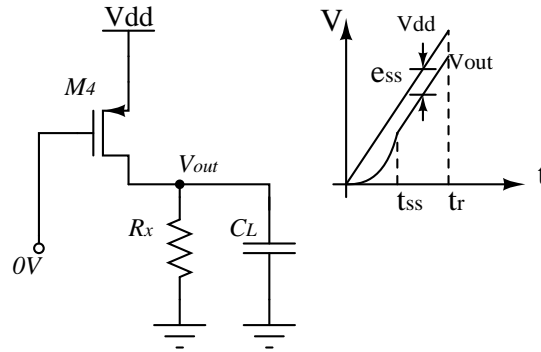


Figura 4.2: Red RC de salida y relación  $V_{dd} - V_{out}$ .

por la variable de tiempo  $\tau_{out}$  dada por:

$$\tau_{out} = C_L(R_x || R_{on4}) \quad (4.1)$$

$$\tau_{out} \approx C_L R_{on4}. \quad (4.2)$$

Esta aproximación es válida porque se requiere cumplir  $R_x \gg R_{on4}$  para que  $V_{out}$  siga adecuadamente a  $V_{DD}$ ; es decir, para que el error  $e_{ss}$  sea mínimo. Ahora bien, la variable de tiempo  $\tau_{out}$ , debe estar siempre por debajo del tiempo de elevación del pulso *HBM*, de esta manera se puede lograr un encendido en el *Power Clamp* antes de que se produzca un daño en el CI. De lo anterior se define un criterio de dimensionamiento para la red de salida dado por la relación 4.5, donde se ha impuesto  $t_{ss} = 4\tau_{out}$ .

$$t_{ss} < t_r \quad (4.3)$$

$$4\tau_{out} < t_r \quad (4.4)$$

$$\tau_{out} < 2,5ns. \quad (4.5)$$

Debido a la dinámica del circuito, el transistor  $M_4$  entra cada vez más a la región de triodo a medida que la descarga alcanza el valor máximo y por tanto,  $R_{on4}$  disminuye haciendo que el circuito se estabilice ligeramente más rápido.

De lo anterior se puede concluir que el desempeño inicial ( $t < t_r$ ) del *Power Clamp* está determinado por  $M_4$ ,  $R_x$  y  $C_L$ , en consecuencia se pueden definir los parámetros mostrados en la figura 4.2 teniendo en cuenta la relación entre  $\tau_{out}$  y  $t_{ss}$ , como una función que se expresa en 4.2 y 4.2. Esto se debe a que en ese punto ningún otro dispositivo desempeña papel alguno, ya que se encuentran desactivados<sup>3</sup>.

<sup>3</sup>Asumiendo un análisis básico que no incluye acoplamientos entre los distintos dispositivos.

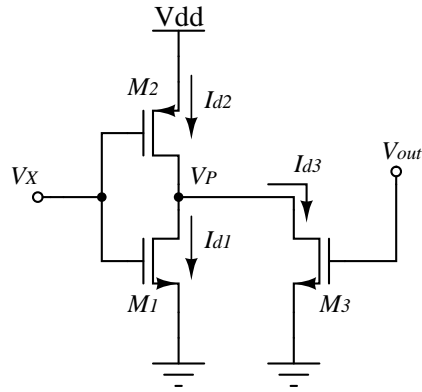


Figura 4.3: Circuito simplificado para el análisis de la tensión  $V_P$ .

$$t_{ss} = f_1(W_4, R_x, C_L) \quad (4.6)$$

$$e_{ss} = f_2(W_4, R_x, C_L) \quad (4.7)$$

Una vez el *Power Clamp* se ha encendido, la tensión en el riel de alimentación sigue creciendo y alcanza un máximo generalmente en  $t \approx 11 \sim 12ns$  al igual que lo hace la corriente  $I_{HBM}$ . Este máximo está determinado completamente por el ancho del transistor  $M_{big}$ , y debe mantenerse por debajo de la tensión de ruptura del óxido de compuerta de los transistores  $V_{b,ox}$  (tabla 4.1).

Para valores superiores al pico de  $V_{DD}$ , la tensión  $V_X$  disminuye rápidamente puesto que la variación de  $I_{HBM}$  y en consecuencia la de  $V_{DD}$  es menor en comparación con la que impone la constante de tiempo RC sobre  $V_X$ . Esto ocurre porque como se mencionó anteriormente, el tiempo de caída del pulso *HBM* está entre  $130 \sim 170ns$ .

Para que el transistor este encendido durante todo el evento *ESD*, se requiere mantener la tensión  $V_P$  de la figura 4.1 lo mas cercana a  $0V$ . A continuación, un análisis de primer orden se realiza sobre la tensión  $V_P$  para determinar qué parámetros tienen más influencia sobre esta. Para ello, se utiliza el circuito simplificado que se muestra en la figura 4.3 y se utilizan los parámetros de la tabla 4.1.

Es necesario listar las suposiciones que se emplean para realizar el análisis; las cuales resultan del comportamiento que se espera, tenga el circuito de protección. Estas son:

1. El intervalo de interés está comprendido entre  $t_1 < t < t_{on}$ , siendo  $t_1$  el instante en el cual se enciende el transistor  $M_2$  una vez  $V_X$  cae por debajo de  $V_{DD} - |V_{THP}|$  y  $t_{on}$  el tiempo hasta el cual  $M_{big}$  permanece encendido. Este último es el tiempo de encendido del *Power Clamp* que se mencionó en el capítulo 3.

2. El transistor  $M_2$  en todo el intervalo de interés presenta el fenómeno de saturación en la velocidad de los portadores de carga, ya que la tensión  $V_{DD}$  se encuentra por encima del valor  $|V_{DSAT,p}|$ . Esta suposición es consistente si se tiene en cuenta que el pulso se extingue más allá de los  $150ns$ , ya que en este instante de tiempo el valor de la corriente  $I_{HBM}$  es aproximadamente un 36,8% de su valor pico según el estándar [20]. En consecuencia, si se dimensiona  $M_{big}$  de tal forma que el valor pico en  $V_{DD}$  sea aproximadamente  $7V$  se puede esperar que  $V_{DD}$  sea mayor a  $|V_{DSAT,p}|$  ( $7 * 0,368 \approx 2,7V$ ) durante el intervalo.
3. La variación en  $V_{out}$  se modela en función de la variable  $\alpha_0$  como  $V_{out} = \alpha_0 V_{DD}$ . Donde  $\alpha_0$  representa la dinámica que se presenta en la red de salida y que es impuesta por  $M_4$ ,  $R_x$  y  $C_L$ . Es importante aclarar que durante el intervalo de interés  $\alpha_0 \approx 1$ , pues ya se explico anteriormente que  $V_{out}$  debe seguir la tensión  $V_{DD}$ .

Basado en lo anterior, cuando  $V_X < V_{DD} - |V_{THP}|$ ,  $M_2$  se enciende y lo hace en saturación ya que  $V_P = 0 < V_X + |V_{THP}|$ . Los transistores  $M_1$  y  $M_3$  pueden manejar corriente y lo hacen en triodo profundo, de esta forma,

$$V_P = I_{d2}(R_{on1} || R_{on3}) \quad (4.8)$$

donde,

$$R_{on1} = \frac{1}{k'_n \frac{W_1}{L_1} (V_X - V_{THN})} \quad (4.9)$$

$$R_{on3} = \frac{1}{k'_n \frac{W_3}{L_3} (V_{out} - V_{THN})} \quad (4.10)$$

además, teniendo en cuenta que  $M_2$  presenta el fenómeno de saturación en la velocidad de los portadores de carga, se tiene que  $I_{d2}$  está dada por,

$$I_{d2} = W_2 v_{sat,p} C_{ox} \left( V_{DD} - V_X - |V_{THP}| - \frac{|V_{DSAT,p}|}{2} \right) \quad (4.11)$$

reemplazando las ecuaciones 4.11, 4.10 y 4.9 en 4.8 y tomando  $V_{out} = \alpha_0 V_{DD}$  se obtiene,

$$V_P = \frac{W_2 v_{sat,p} C_{ox} \left( V_{DD} - V_X - |V_{THP}| - \frac{|V_{DSAT,p}|}{2} \right)}{k'_n \frac{W_1}{L_1} (V_X - V_{THN}) + k'_n \frac{W_3}{L_3} (\alpha_0 V_{DD} - V_{THN})}. \quad (4.12)$$

La ecuación anterior aproxima el comportamiento de la tensión  $V_P$  en función del tiempo, ya que  $V_{DD}$  y  $V_X$  varían con este. Un valor máximo de  $V_P$  durante el intervalo de interés se obtiene cuando  $V_X = 0V$  y por tanto  $M_1$  está apagado,

$$V_P = \frac{W_2 v_{sat,p} C_{ox} \left( V_{DD} - |V_{THP}| - \frac{|V_{DSAT,p}|}{2} \right)}{k'_n \frac{W_3}{L_3} (\alpha_0 V_{DD} - V_{THN})}. \quad (4.13)$$

De esta última ecuación se observa la dependencia de  $V_P$  con respecto al dimensionamiento de  $M_2$  y  $M_3$  y vale la pena mencionar las siguientes conclusiones:

- La tensión  $V_P$  es decreciente, esto se puede demostrar tomando la primera derivada respecto al tiempo; sin embargo, en este caso es más sencillo observar que  $V_{DD}$  es decreciente y que de los dos términos entre paréntesis que aparecen en la ecuación 4.13, el dominante se encuentra en el numerador, ya que  $|V_{THP}| + \frac{|V_{DSAT,p}|}{2} > V_{THN}$ .
- La magnitud de  $V_P$  es proporcional a la relación de aspecto  $\frac{W_2}{W_3}$ . Además, la expresión en 4.13 se puede utilizar antes de que  $V_X$  alcance valores bajos si se hace el transistor  $M_1$  mucho menor que  $M_3$ . En consecuencia, realizando el transistor  $M_3$  más ancho que  $M_1$  y  $M_2$ , se puede mantener  $V_P$  en un valor cercano a  $0V$ .
- Todo lo anterior es válido en el intervalo de interés mencionado previamente, más allá de este intervalo la tensión  $V_{DD}$  y en consecuencia  $V_{out}$  decrecen hasta el punto en que la capacidad de manejo de corriente para  $M_3$  se deteriora y por tanto el transistor  $M_2$  empieza a dominar el comportamiento de la tensión  $V_P$ . Eventualmente  $M_3$  se apaga,  $V_P$  crece rápidamente alcanzando  $V_{DD}$  y  $V_{out}$  disminuye hasta apagar a  $M_{big}$ . Para este punto, la descarga ya ha culminado y por tanto  $V_{DD}$  se encuentra en un nivel tolerable por el circuito integrado.

Teniendo en cuenta las ideas y el análisis planteado anteriormente, se propone en la sección siguiente una estrategia de diseño para el *Power Clamp* en tecnología *CMOS* y que puede implementarse como protección de un circuito integrado de señal mezclada.

## 4.2. Metodología y diseño del *Power Clamp*

La metodología planteada en esta sección tiene como propósito mostrar un procedimiento para diseñar un *Power Clamp* para circuitos integrados de señal mezclada y que se basa en la arquitectura con *Thyristor*. Es importante resaltar que los pasos expuestos son producto de la investigación realizada en este trabajo y no son un método de optimización de arquitecturas de protección basadas en la topología seleccionada. Aún así, permiten realizar el diseño del circuito cumpliendo con los parámetros de desempeño establecidos. Adicionalmente, la metodología planteada abarca el flujo completo de diseño de un circuito integrado, es decir,

Especificación	Valor
Nivel de Protección:	$\geq 8[kV]$
Tiempo de detección $t_{ss}$	$\leq 2,5[ns]$
Error en la detección $e_{ss}$	$\leq 500[mV]$
Valor pico en $V_{DD}$ ( $V_{DD,p}$ )	$\leq 7[V]$
Tiempo de encendido $t_{on}$	$\geq 700[ns]$
Tiempo de elevación mínimo $t_{ramp}$ en condición de encendido de la fuente	$\leq 500[ns]$

Tabla 4.2: Especificaciones de diseño para el *Power Clamp*.

desde el dimensionamiento apropiado de los dispositivos hasta la elaboración del *layout* y posterior verificación con simulaciones *post-layout*.

Con el fin de reducir el efecto de capacitancias parásitas y además aumentar la capacidad de manejo de corriente de todos los transistores sin comprometer el área, se decide fijar las longitudes mínimas del canal para la tecnología utilizada; es decir, en todos los casos se establece  $L = L_{min} = 0,35\mu m$ .

En ese sentido a continuación se enuncian los pasos de la metodología y se desarrolla el diseño del circuito previamente mencionado.

1. Se establecen las especificaciones de diseño para el *Power Clamp*.

Durante la investigación realizada en este trabajo, se encontró que en la literatura generalmente los únicos parámetros de desempeño que se utilizan para iniciar el diseño del *Power Clamp*, son el nivel de protección, el tiempo de encendido  $t_{on}$  y la respuesta del circuito ante encendidos rápidos de la fuente de alimentación. En lo referente a la respuesta en corriente a través del transistor de descarga y atribuida a ruido en la fuente, ya se mostró en el capítulo 3 que está determinada por el tamaño de este transistor. Razón por la cual, está completamente ligada al nivel de protección que se especifique.

Para la especificación del nivel de protección y por tratarse del primer diseño de una estructura *ESD* en el grupo de investigación *CIDIC*, se especifica el nivel más alto presentado en el estándar [20] y que corresponde a  $8kV$ , ya que no existe una razón para escoger o no un nivel en particular. Adicionalmente, se condiciona el diseño para que cumpla con dos especificaciones más, que se incluyen en el nivel de protección; estas son el tiempo de detección  $t_{ss}$  y el error en la detección  $e_{ss}$  definidas en este trabajo. Las dos especificaciones restantes se determinan a partir del estado del arte. La tabla 4.2 resume lo enunciado anteriormente.

Durante el encendido del circuito de protección, la corriente  $I_{HBM}$  puede alcanzar un valor pico de hasta  $5,86A$  [20]. En ese instante el transistor  $M_{big}$  está encendido y se encuentra operando en la región de saturación; su corriente está dada por,

$$I_{big} = W_{big} v_{sat,n} C_{ox} \left( V_{out} - V_{THN} - \frac{V_{DSAT,n}}{2} \right) (1 + \lambda_n V_{out}) \quad (4.14)$$

siguiendo las especificaciones, se impone un valor de  $V_{DD,p} = 7V$  y  $e_{ss} = 0,5V$ ; esto resulta en un valor de pico para  $V_{out}$  de  $6,5V$  aproximadamente. Remplazando estos y los valores de la tabla 4.1, en la ecuación 4.14<sup>4</sup> y despejando  $W_{big}$  para una corriente de  $5,86A$  se obtiene,

$$W_{big} \approx 3440\mu m \quad (4.15)$$

de lo anterior se decide fijar  $W_{big} = 3500\mu m$ , manteniendo un diseño conservador<sup>5</sup>.

2. Se selecciona el valor de la constante RC.

Basado en el análisis expuesto para la operación del circuito ante un evento *ESD* de tipo *HBM*, se decide utilizar el valor de la constante RC de  $50ns$ , pues se mostró que este valor debe permitir que el fenómeno sea detectado adecuadamente. Implementar un valor menor deteriora la capacidad de la red RC para que  $V_X$  pueda seguir el pulso *HBM* cuando este inicia.

3. Extraer las curvas mediante simulación de  $t_{ss}$  y  $e_{ss}$  en función de  $R_x$  y  $W_4$ .

Una vez se ha impuesto el tamaño del transistor de descarga y la constante de tiempo RC, el siguiente paso es la selección del ancho del transistor de salida  $M_4$ . Para ello, se realiza un barrido de  $R_x$  y  $M_4$  para analizar las tendencias de  $t_{ss}$  y  $e_{ss}$  en función de estos cambios. Para no comprometer de manera significativa el área en *layout*, se definen los siguientes rangos para cada variable:

$$1k\Omega < R_x < 10k\Omega; \quad (4.16)$$

$$10\mu m < W_4 < 100\mu m. \quad (4.17)$$

Los resultados obtenidos mediante simulación en *HSPICE* se muestran en la figura 4.4.

<sup>4</sup>Se ha incluido el efecto de modulación de canal debido al valor elevado de  $V_{out}$ .

<sup>5</sup>Debe tenerse en cuenta que se trata de una aproximación con el modelo de nivel 1 extraído para la tecnología empleada y por eso los valores obtenidos pueden variar. No obstante, permiten realizar un entendimiento básico del circuito.

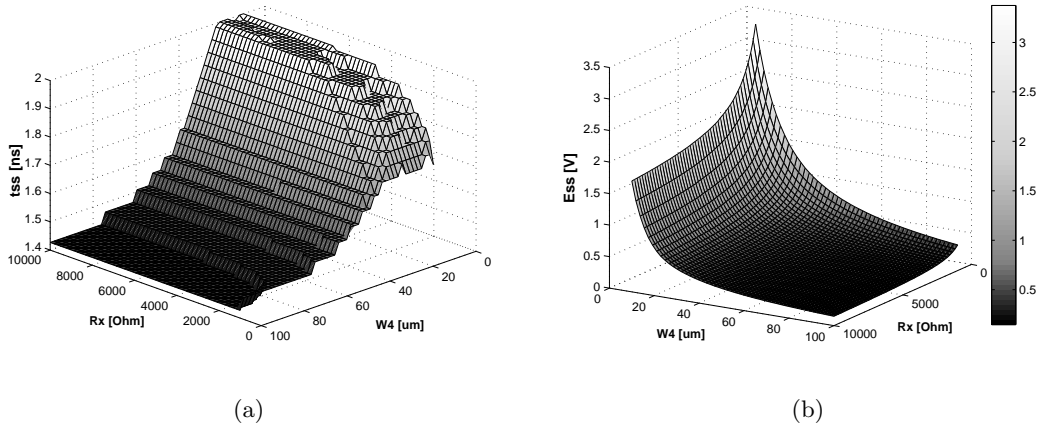


Figura 4.4: Resultados de simulación para  $t_{ss}$  y  $e_{ss}$ .

De estas curvas se puede deducir:

- Que el tiempo de detección  $t_{ss}$  es más sensible a los cambios en  $W_4$  que en  $R_x$ ; esto se debe a que el transistor  $M_4$  presenta una resistencia no lineal en función del ancho. A medida que  $W_4$  aumenta, la resistencia se disminuye y por lo tanto domina el tiempo de detección inicial.
- En todos los casos evaluados, el valor obtenido para  $t_{ss}$  cumple con las especificaciones de diseño, ya que todos se encuentran por debajo de  $2ns$ . Es entonces, el parámetro  $e_{ss}$  el que permite decidir la selección adecuada del dimensionamiento de  $R_x$  y  $W_4$ .
- Los pares  $(R_x, W_4)$  que presentan menor error de detección son aquellas que ocupan mayor área; pues resultan en valores elevados de resistencia y ancho del transistor.

Con el fin de tomar una decisión más acertada, se decide hacer una estimación del área ocupada por cada pareja que cumple con la especificación impuesta a  $e_{ss}$ . Esta se realiza en *MATLAB* y los resultados permiten obtener como una solución adecuada  $R_x = 2k\Omega$  y  $W_4 = 70\mu m$ . Efectuando una simulación durante los primeros  $10ns$  del pulso, se obtiene  $e_{ss} \approx 374mV$ .

4. Realizar el inversor con mínimas dimensiones; es decir  $W_{1,min}$  y  $W_{2,min}$ .

Se realiza así para hacer que el inversor ocupe dimensiones mínimas. Además, se requiere que el tamaño del transistor  $M_2$  sea más bajo que  $M_4$ .

5. Dimensionar  $W_3$  en función del tiempo de encendido  $t_{on}$  del Power Clamp.

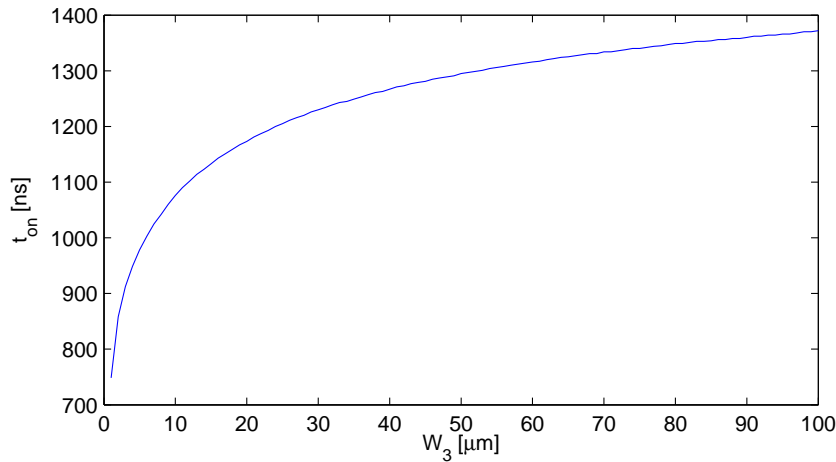


Figura 4.5: Relación entre el tiempo de encendido y  $W_3$ .

De acuerdo al análisis del circuito, se obtuvo que el comportamiento de la tensión  $V_P$  está ligado a la relación de aspecto  $\frac{W_2}{W_3}$ . Conforme el valor de  $V_P$  se reduce, el *Power Clamp* permanece más tiempo encendido y teniendo en cuenta el numeral anterior, se propone realizar un barrido del ancho de  $W_3$  para sustentar su posterior selección en el diseño.

La figura 4.5 muestra los resultados obtenidos mediante simulación para un rango de  $W_3$  entre  $1\mu\text{m} \sim 100\mu\text{m}$ .

Es importante notar que en todo el rango se cumple con la especificación de diseño y esto se debe principalmente a dos razones. La primera se explica si se reescribe la ecuación 4.13 reemplazando los parámetros del modelo de nivel 1 expuesto en la tabla 4.1,

$$V_P = 0,467 \frac{W_2 (V_{DD} - 1,236)}{W_3 (\alpha_0 V_{DD} - 0,5)}. \quad (4.18)$$

El valor de  $\alpha_0$  se puede obtener a partir del error de detección encontrado en el numeral [3.], ya que  $e_{ss}$  representa la caída de tensión promedio en el transistor  $M_4$  y con esto se obtiene  $\alpha_0 \approx 0,947$ . Como consecuencia de la ecuación 4.18, se puede inferir que la dimensión de  $M_3$  puede ser reducida, ya que  $W_2 = 0,7\mu\text{m}$  y por esta razón,  $W_3$  no necesita ser tan alto.

La otra razón por la cual el desempeño del circuito es adecuado para valores bajos de  $W_3$ , se debe a que se trata de un transistor *NMOS* cuya movilidad es aproximadamente 2,5 veces mayor a la del *PMOS*.

Todo lo anterior favorece el área ocupada por el circuito, ya que se puede dimensionar

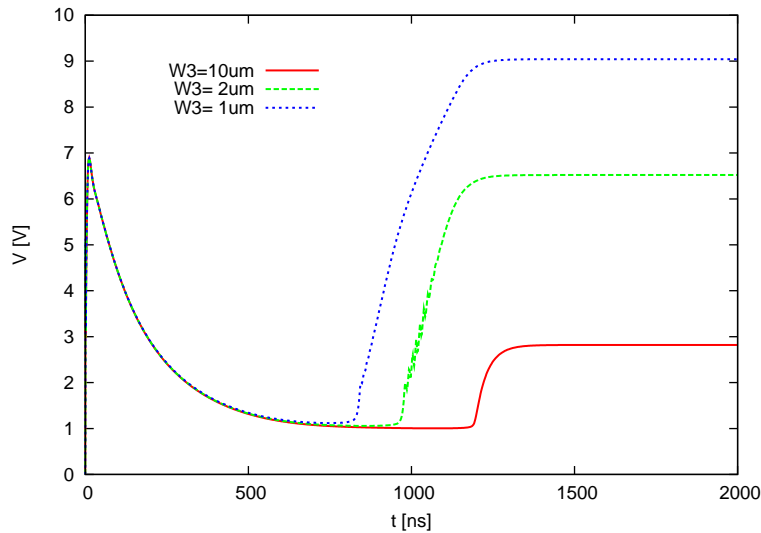


Figura 4.6: Respuesta al evento *HBM* para variaciones en  $W_3$ .

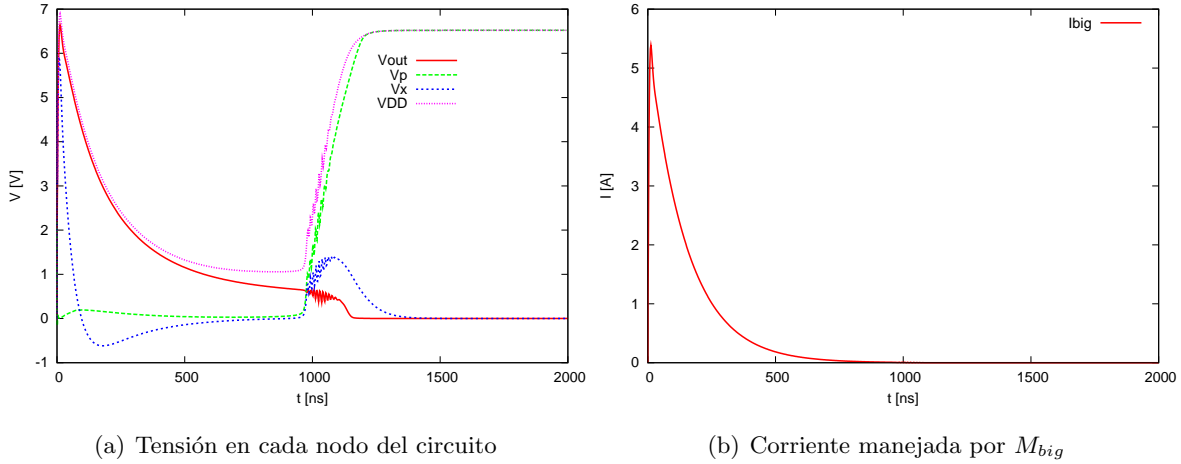
$M_3$  relativamente pequeño. Con el fin de evaluar el comportamiento en el tiempo del *Power Clamp*, se añaden simulaciones para valores de  $1\mu m$ ,  $2\mu m$  y  $10\mu m$  para el ancho del transistor  $M_3$ , y se muestra en la figura 4.6 el comportamiento en el tiempo de la tensión  $V_{DD}$ .

Un fenómeno que hasta ahora no se ha mencionado, se hace evidente en las simulaciones cuando se utiliza el modelo de circuito *HBM*. Este corresponde al aumento no esperado de la tensión  $V_{DD}$  una vez el *Power Clamp* cumple su función y se desactiva<sup>6</sup>. Lo anterior se explica de la siguiente manera: cuando el circuito de protección se desactiva, la capacitancia parásita  $C_t$  que hace parte del modelo de circuito *HBM*, se carga hasta el valor de estado estable, dependiendo de la corriente que circula por las bobinas de este modelo. En otras palabras, el crecimiento se debe al modelo utilizado para representar el cuerpo humano; entonces, es importante tener claro que si la descarga se produce a través de un instrumento de prueba al circuito integrado, se debe garantizar que la tensión final en  $V_{DD}$  no supere la tensión de ruptura del óxido. En las curvas que se muestran en la figura 4.6, se observa que para el caso de  $W_3 = 1\mu m$ , la tensión final de  $V_{DD}$  llega a ser hasta de  $9V$ . Este valor se encuentra por encima del valor típico de ruptura del óxido y no se recomienda someter un circuito a esas condiciones. Por otra parte, con un ancho de  $2\mu m$  y  $10\mu m$  el valor final en el riel de alimentación está por debajo de los  $7V$  y por tanto es aceptable, ya que no producirá el daño en los circuitos internos.

<sup>6</sup>En la literatura no se considera este efecto como una especificación en el diseño, inclusive dentro de los artículos referenciados sólo en [5] se menciona algo de este fenómeno.

Variable	$R$	$C$	$W_1$	$W_2$	$W_3$	$W_4$	$W_{big}$	$R_x$
Valor	$50k\Omega$	$1pF$	$0,7\mu m$	$0,7\mu m$	$2\mu m$	$70\mu m$	$3500\mu m$	$2k\Omega$

Tabla 4.3: Diseño obtenido.

Figura 4.7: Formas de onda ante el evento *ESD* del circuito diseñado.

Por las razones expuestas anteriormente, se decide utilizar  $W_3 = 2\mu m$ , ya que cumple con las especificaciones de diseño sin comprometer la integridad del circuito cuando se apaga el *Power Clamp* y sin sobre-dimensionar este transistor.

6. Se verifica si se cumple los parámetros de desempeño establecidos en el paso 1. y se presentan resultados de simulación.

Hasta este punto ya se han dimensionado todos los dispositivos que conforman el circuito de protección. la tabla 4.3 resume el diseño realizado.

Para evaluar el desempeño del circuito diseñado se realiza una simulación ante condiciones de evento *ESD* de tipo *HBM*. La forma de onda de las tensiones del circuito y de la corriente que fluye a través de  $M_{big}$  se muestran en la figura 4.7.

Es importante resaltar que la tensión  $V_p$  se mantiene en un nivel bajo a pesar de que la tensión  $V_x$  a la entrada del inversor desciende hasta cero en incluso a valores negativos. Lo anterior permite que el circuito opere más tiempo del que establece la constante RC. Por otra parte, la tensión  $V_{out}$  sigue adecuadamente el pulso que aparece en  $V_{DD}$  durante todo el tiempo en que permanece la corriente impulsada por el modelo *HBM* y que maneja el transistor  $M_{big}$ . Además, la tensión en el riel de alimentación nunca excede  $7V$  y la corriente  $I_{M_{big}}$  no alcanza los  $5,5A$ . Todo lo anterior permite deducir que el análisis planteado a partir de las aproximaciones con el modelo de nivel 1 es adecuado

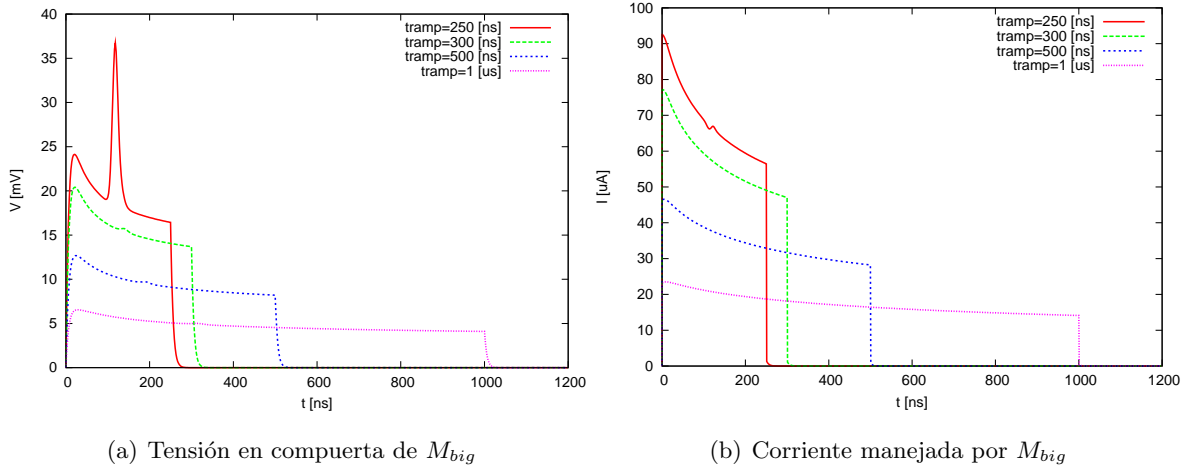


Figura 4.8: Formas de onda ante condiciones de encendido de la fuente.

y que la metodología planteada hasta este punto cumple sus intenciones.

La respuesta del circuito también se estudia a partir de la simulación para diversos tiempos de elevación en  $V_{DD}$  ( $t_{ramp}$ ). La tensión en  $V_{out}$  y la corriente manejada por el transistor de descarga se muestran en la figura 4.8 para diferentes condiciones. En todos los casos la tensión nunca alcanza a encender  $M_{big}$ , ya que se encuentra siempre por debajo de  $V_{THN}$ . Sin embargo, la corriente que circula por el *Power Clamp* es del orden de los microamperios, además, una simulación adicional con ruido en la fuente, muestra que la corriente pico desarrollada alcanza los  $8,3mA$ . Este es el precio que se paga por tratarse de un circuito que soporta hasta  $8kV$  de descarga con el modelo de cuerpo humano<sup>7</sup>. En ese sentido, esta protección está orientada a sistemas completos integrados en un mismo chip donde los intercambios de corriente en cada ciclo de reloj son mucho mayores a  $8,3mA$ . Adicionalmente, se debe anotar que este valor pico dura menos de  $200ps$  en contraste con un ciclo de reloj que puede ser del orden de los nanosegundos.

Finalmente la tabla 4.4 resume los resultados obtenidos en este diseño.

Para la condición de encendido se encontró que el tiempo de elevación que alcanza a soportar el *Power Clamp* es  $230ns$  aproximadamente; la tensión desarrollada en la compuerta de  $M_{big}$  es similar a la presentada en la figura 4.2 para el caso de  $t_{ramp} = 250ns$ , con la única diferencia que el pico alcanzado es de  $383,2mV$ . Por debajo de este valor el circuito se enciende completamente.

<sup>7</sup>Al menos en simulación, ya que es necesario para este tipo de diseños, someter el circuito a pruebas reales una vez están fabricados. Estas pruebas determinan el nivel real de protección alcanzado.

Especificación	Valor
<u>Condición HBM:</u>	
Tiempo de detección $t_{ss}$	1,63[ns]
Error en la detección $e_{ss}$	200[mV]
Valor pico en $V_{DD}$	6,89[V]
Valor final en $V_{DD}$	6,52[V]
Valor pico de $I_{Mbig}$	5,39[A]
Tiempo de encendido $t_{on}$	860[ns]
Tiempo de elevación máximo $t_{ramp}$ en condición de encendido de la fuente	230[ns]

Tabla 4.4: Resultados del diseño del *Power Clamp* para un evento *ESD HBM* de 8kV.

Se concluye que el circuito realizado cumple con las especificaciones de diseño y el paso a seguir es la realización del *layout* y posterior validación mediante simulaciones *post-layout*. En las siguientes secciones se lleva a cabo los pasos siguientes de la estrategia,

7. Se realiza el *layout* del circuito resultado de los pasos anteriores.
8. Extraer los elementos parásitos y realizar las simulaciones *post-layout* teniendo en cuenta estos.
9. Presentar resultados finales.

#### 4.2.1. Layout del *Power Clamp*

En esta sección se describen las consideraciones tenidas en cuenta a la hora de implementar el *layout* del circuito diseñado. La discusión se enfoca en las diferentes alternativas de selección de los resistores y de elementos capacitivos disponibles en la tecnología *C35B4*.

Con el fin de seleccionar de forma adecuada el material para realizar los resistores  $R$  y  $R_x$  del circuito, en la tabla 4.5 se presentan las características principales de cada opción presente en la tecnología utilizada. Con base en estas, se procede a realizar la selección.

#### Resistores

La resistencia que requiere la red RC del circuito es de un valor relativamente alto (50k $\Omega$ ); dentro de las opciones expuestas en la tabla 4.5 y con el propósito de reducir el área en *layout*, la implementación con *RNWELL* o con *RPOLYH* parecen las más acertadas. Debido a su comportamiento más lineal y mayor resistividad, se decide implementar la resistencia de la red

Tipo	Resistividad Típica $\Omega/\square$	Tensión máxima soportada en terminales	Comentario
RNWELL	1000	Entre terminales: 5V Entre terminales y sustrato: 13 ~ 15V	Dependencia no lineal entre la tensión en terminales y el sustrato debido a los diodos parásitos.
RPOLY1	8	20 ~ 30V	Comportamiento similar al resistor lineal.
RPOLY2	50		
RPOLYH	1400		
RDIFFN	75	5,5 ~ 7V	Comportamiento resistivo de los semiconductores extrínsecos.
RDIFFP	140		
<b>En todos los casos se debe cumplir además con:</b> $\frac{L}{W} > 5$ , Rango de temperatura válido: $-40 \sim 180^\circ C$ .			

Tabla 4.5: Resistencias disponibles en la tecnología  $C35B4$  de AMS.

RC con material  $RPOLYH$ . Adicionalmente este material presenta menos efectos parásitos que una resistencia implementada con un pozo, como lo es  $RNWELL$ , ya que esta última implica un acople al sustrato a través de diodos parásitos. Por otra parte, la resistencia  $R_x$  que es de  $2k\Omega$  no puede implementarse en ninguna de las alternativas previamente mencionadas porque no se puede satisfacer la condición mínima en la relación de aspecto del resistor ( $\frac{L}{W} > 5$ ). Por la razón anterior y buscando implementar la resistencia con menor área, se decide realizar  $R_x$  con  $RDIFFP$ , pues es la que presenta mayor resistividad dentro de las opciones restantes.

### Capacitor

Para el diseño del capacitor, sólo se tienen dos posibilidades en el kit de la tecnología utilizado. Estas se muestran en la tabla 4.6. Claramente se observa la gran discrepancia entre los valores de capacidad por unidad de área y los rangos de operación entre estos materiales. Debido al valor del capacitor  $C = 1pF$  es tentador inclinar la elección por el capacitor utilizando un transistor  $MOSFET$  como lo hace la implementación con  $CVAR$ . Sin embargo, el rango de operación en tensión se encuentra muy limitado en comparación con la opción  $CPOLY$  donde se utilizan dos placas de polisilicio para la fabricación del capacitor. Lo anterior se debe al hecho de que el capacitor que se construye aprovechando la capacitancia de compuerta, puede verse afectado durante la descarga electrostática debido a los niveles alcanzados en esta. De esta manera, se deduce que el rango de operación con  $CVAR$  no es

Tipo	Capacitancia/Area [ $fF/(\mu m)^2$ ]	Tensión Max.
CPOLY	0.86	20 ~ 30V
CVAR	a -1V: 1.33 a 0V: 3.0 a 1V: 4.88	3,6 ~ 5V

Tabla 4.6: Capacitancias disponibles en la tecnología *C35B4* de *AMS*.

suficiente para garantizar la funcionalidad e integridad de la protección ante una descarga. Adicionalmente, la capacitancia del material *CVAR* no es lineal en todo el rango de operación y en [4] se muestra que el circuito es más robusto en cuanto a desempeño cuando la red RC se implementa con capacitores de polisilicio en lugar de transistores. Finalmente es importante destacar que con la elección de *CPOLY* se está comprometiendo el área en *layout* del circuito a cambio de confiabilidad en el diseño del *Power Clamp*.

### Transistores

Los transistores  $M_4$  y  $M_{big}$  fueron divididos en múltiples secciones en paralelo debido a su gran tamaño, para el primero se realizan 10 divisiones cada una de  $7\mu m$ . En el caso de  $M_{big}$  se utilizan 80 divisiones con dimensiones de  $43,75\mu m$ . Adicionalmente los transistores presentan conexiones cercanas a sustrato con el fin de reducir posibles problemas de *latchup*.

El *layout* realizado teniendo en cuenta las consideraciones anteriores se presenta en la figura 4.9. Se utilizaron dos niveles de metal para realizar las conexiones entre los dispositivos y además se cumple con las reglas de diseño vigentes para el proceso de fabricación  $0,35\mu m$  *CMOS C35B4* de *AMS*. Las dimensiones aproximadas del circuito son aproximadamente  $158\mu m \times 50\mu m$  y es importante notar que el transistor  $M_{big}$  ocupa aproximadamente un 70 % del área total.

#### 4.2.2. Simulaciones Post-Layout

Después de realizar el *layout* del circuito, se analiza el impacto que tiene los elementos parásitos asociados a los dispositivos y las rutas de interconexión entre estos. Esta es la forma en que se validan los resultados del desempeño final del *Power Clamp*.

Primero se efectúa una comparación en las formas de onda de  $V_{out}$ ,  $V_{DD}$  y la corriente  $I_{M_{big}}$  que se obtienen en las simulaciones *post-layout* y *pre-layout*. En la figura 4.10 se muestran dichas ondas.

Se pudo observar que el comportamiento *post-layout* no difiere de manera significativa con el que se obtuvo en *pre-layout*. La única diferencia apreciable aparece en la tensión final

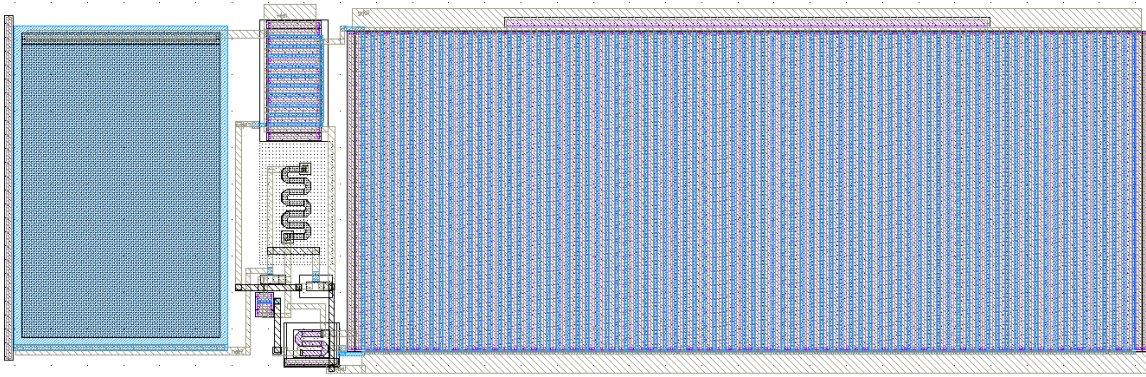
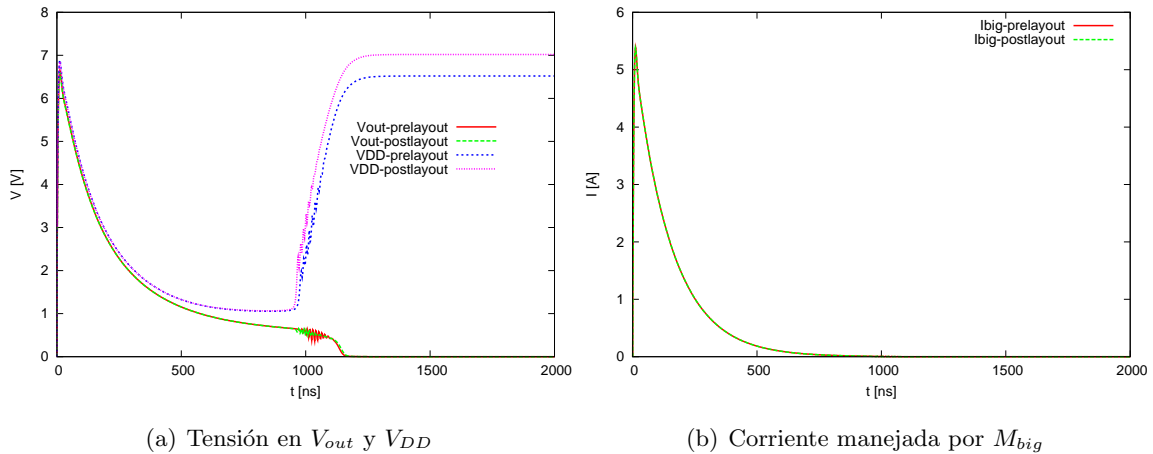


Figura 4.9: *Layout del circuito diseñado.*



(a) Tensión en  $V_{out}$  y  $V_{DD}$

(b) Corriente manejada por  $M_{big}$

Figura 4.10: Formas de onda *post-layout* ante descarga con el modelo *HBM* comparadas con las obtenidas en *pre-layout*.

alcanzada en  $V_{DD}$  pues esta resulta ser mayor en *post-layout*. No obstante, se mantiene por debajo del valor típico de ruptura del óxido de compuerta y por tanto se puede ignorar esta variación. Además, una simulación adicional que se realiza con un paso menor en la simulación del transitorio muestra que esta tensión final se reduce un poco más, mientras que el comportamiento relevante ante el pulso *HBM* sigue siendo el mismo. Respecto a la corriente manejada por el transistor de gran tamaño, las dos simulaciones se solapan prácticamente.

Luego de analizar la comparación entre las formas de onda en *post-layout*, el siguiente paso consiste en realizar variaciones en temperatura para todo el rango en el que los modelos de los dispositivos son válidos para la tecnología utilizada; es decir, entre  $-40 \sim 180^\circ C$ . Se simula cada parámetro de desempeño ante un evento *ESD* en el circuito y las curvas obtenidas se muestran en la figura 4.11. De esta se puede inferir lo siguiente:

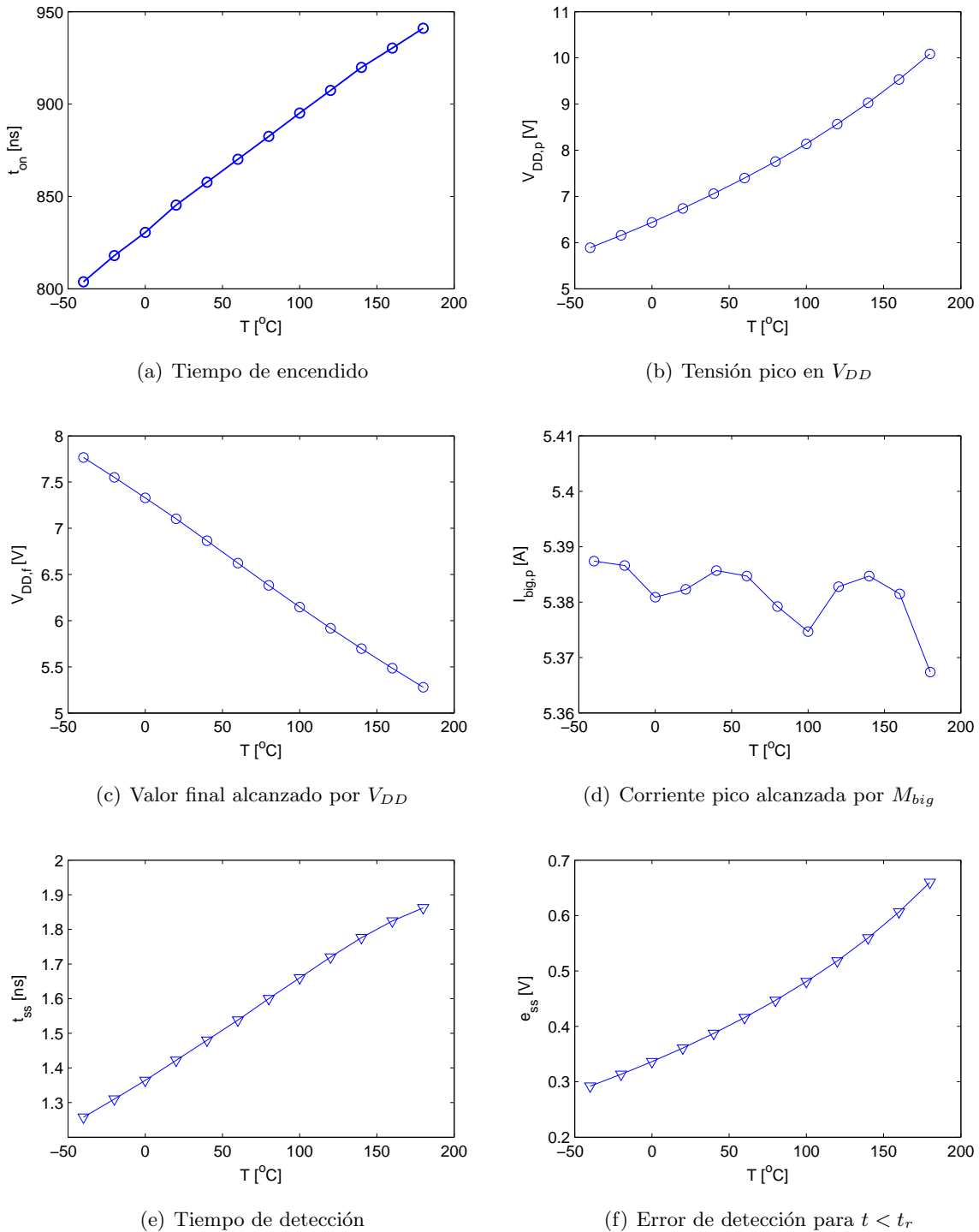


Figura 4.11: Desempeño del circuito para variaciones en la temperatura.

- El tiempo de encendido del *Power Clamp* aumenta con un comportamiento aproximadamente lineal en función de la temperatura y en todo el intervalo de variación se

mantiene por encima del valor mínimo en la especificación de diseño. El rango para  $t_{on}$  es aproximadamente  $800 \sim 940ns$ .

- El valor pico de tensión desarrollado en el riel de alimentación  $V_{DD}$  para temperaturas por encima de los  $150^{\circ}C$  es inadecuado ya que supera el valor máximo de tensión sobre la compuerta de los transistores permitido por la tecnología. Sin embargo, el rango de temperatura para el cual se acepta el valor pico  $V_{DD,p}$  es de aproximadamente 86,4% del total.
- La tensión final que alcanza  $V_{DD}$  una vez termina el transitorio del pulso de descarga, en todos los casos se mantiene por debajo de la tensión de ruptura. Se puede observar también que el comportamiento en función de la temperatura es aproximadamente lineal decreciente.
- En todo el intervalo de variación en temperatura, la corriente máxima que se disipa a través del *Power Clamp* se encuentra dentro del intervalo establecido por [20].
- Para las dos especificaciones adicionales  $t_{ss}$  y  $e_{ss}$  se observa un aumento conforme crece la temperatura. Para la primera, los valores obtenidos siempre están debajo a  $1,9ns$  cumpliendo con la especificación de diseño. En contraste,  $e_{ss}$  sobre pasa la especificación de  $0,5V$  cuando la temperatura supera  $110^{\circ}C$  aproximadamente. Sin embargo, se mantiene por debajo de  $0,7V$  que es un valor aceptable y que permite la operación adecuada del *Power Clamp* como se demuestra con las gráficas de los demás parámetros de desempeño.

El desempeño del circuito ante encendidos falsos provocados por rampas de elevación que se consideran rápidas para la fuente de alimentación también es evaluado en función de la temperatura y es presentado en la figura 4.12. Esta figura muestra el valor del tiempo de elevación mínimo que puede soportar el *Power Clamp* sin que se encienda indeseadamente. De la gráfica se observa que el circuito es inmune a falsos encendidos siempre que la rampa de elevación de  $V_{DD}$  se mantenga por debajo de  $250ns$  para cualquier condición de temperatura evaluada.

Finalmente se concluye la validación mediante un análisis Monte Carlo para los parámetros más relevantes  $t_{on}$  y  $V_{DD,p}$ . El análisis Monte Carlo se lleva a cabo con variaciones en los anchos de los transistores  $W$ , en la tensión de umbral  $V_{TH}$ , las movilidades efectivas de los portadores de carga  $\mu_0$  y los coeficientes que determinan las capacitancias de unión con el sustrato  $C_j$  y  $C_{jsw}$ . Además se realizan con un muestreo de 1000 circuitos resultantes ante estas variaciones. La figura 4.13 muestra el resultado para el tiempo de encendido  $t_{on}$  y se observa la gran mayoría de circuitos producen un tiempo de encendido entre  $800 \sim 900ns$ ,

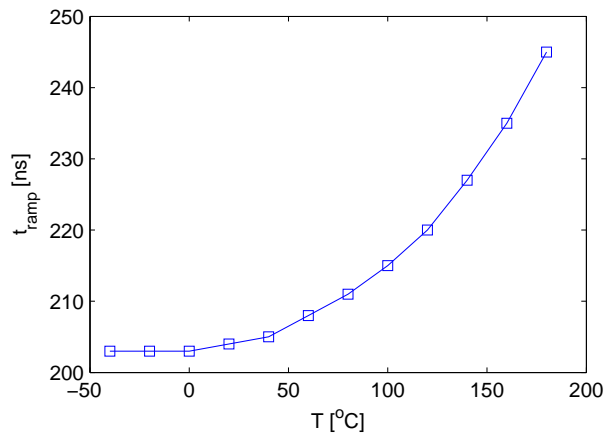


Figura 4.12: Tiempo de elevación mínimo soportado por el *Power Clamp*.

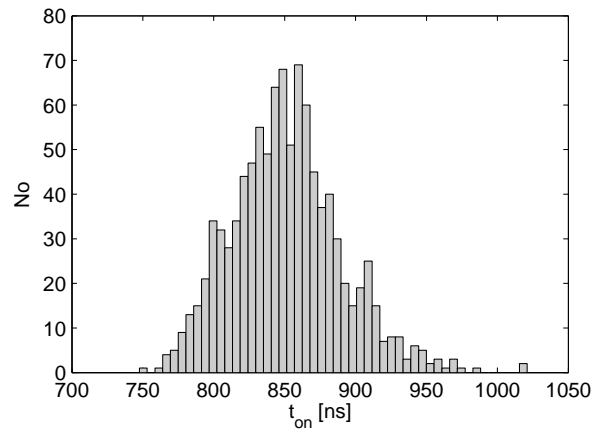


Figura 4.13: Análisis Monte Carlo sobre el tiempo de encendido  $t_{on}$  del *Power Clamp* ante evento *HBM*.

por tanto se tiene que siempre se está cumpliendo con la especificación de diseño. En la figura 4.14 se observa que el valor pico en  $V_{DD}$  se mantiene siempre por debajo de  $7,05V$  centrándose en torno a  $6,85V$  aproximadamente. Estos valores están por debajo de la tensión típica de ruptura del óxido de compuerta que es alrededor de  $8V$  para la tecnología utilizada.

### 4.3. Observaciones y Conclusiones

En este trabajo se ha presentado un estudio del fenómeno *ESD* y del impacto que este tiene en los circuitos integrados. Se presentó el comportamiento de los dispositivos principales en la tecnología *CMOS* para niveles elevados de tensión y corriente. Del esquema de protección se plantea una evaluación, selección y diseño del bloque denominado *Power Clamp*. El circuito

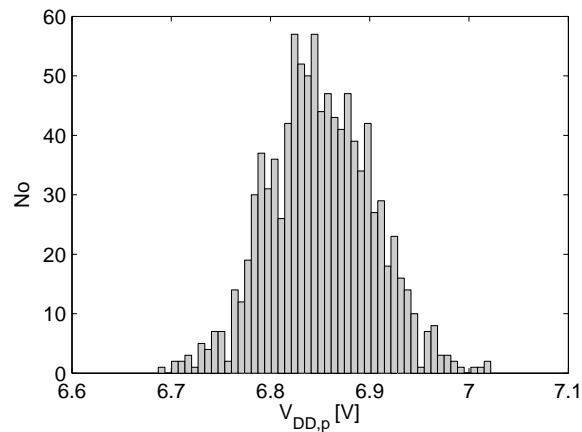


Figura 4.14: Análisis Monte Carlo sobre la tensión pico alcanzada en  $V_{DD}$  ante evento *HBM*.

de diseño cumple con las especificaciones establecidas y se valida con simulaciones *post-layout* utilizando análisis Monte Carlo y variaciones en la temperatura.

En esta sección se presentan las observaciones y conclusiones producto de la experiencia adquirida en el desarrollo del presente trabajo.

- Se presentó una metodología de diseño que permite cumplir con las especificaciones establecidas.
- Se obtuvo un modelo *SPICE* del transistor para simulación *ESD* y que está disponible en la librería de circuitos del grupo de investigación CIDIC. Se utilizó el modelo *BSIM3v3* nivel 49 de *AMS* para el modelo del *MOSFET* cuando  $V_{gs} = 0V$ . Para valores de tensión  $V_{gs} > 0V$  se cambió el modelo del transistor a nivel 1, ya que se presentaron serios problemas de convergencia cuando se intentó utilizar el modelo nivel 49 para este caso.
- La implementación del modelo del transistor para *ESD*, se vuelve relevante cuando la protección a diseñar requiere una operación del dispositivo fuera del rango de operación normal. Generalmente, esto sucede en el diseño de protecciones para puertos de señal entrada-salida [25].
- El diseño del circuito de protección se dirigió al bloque denominado *Power Clamp*. Específicamente, se trabajó con un tipo de arquitecturas que utiliza los dispositivos en el rango de operación normal. Por lo tanto el trabajo de modelado, se deja como base para futuros diseños donde sea de gran importancia tener en cuenta el comportamiento fuera la región normal de operación. Además, está disponible como referencia y a disposición de futuras mejoras.

- Un estudio detallado de la literatura y de las diferentes posibilidades para implementar un circuito de protección fue realizado. Este permitió someter a una evaluación cada propuesta que utilizaba redes de detección RC. Lo anterior permitió seleccionar la topología del *Power Clamp* que finalmente se diseñó.
- Un análisis inicial utilizando modelo de nivel 1 del transistor y considerando el efecto de saturación en la velocidad de los portadores es realizado. Este es un buen punto de partida en el entendimiento y diseño de este tipo de circuitos. No obstante, debe complementarse con los resultados más exactos obtenidos en simulación utilizando el modelo nivel 49 de *AMS*.
- El dimensionamiento de  $M_4$  y  $R_x$  en la topología seleccionada para el *Power Clamp* determinan la efectividad en el encendido del circuito. Por otro lado, el tiempo de encendido  $t_{on}$  depende principalmente de la relación de anchos  $\frac{W_2}{W_3}$ .
- Se elaboró el diseño del *layout* para el *Power Clamp* cumpliendo con las reglas vigentes del proceso de fabricación para la tecnología *CMOS*  $0,35\mu m$  de *AMS*. Adicionalmente, se realizó una extracción de los elementos parásitos, con el fin de evaluar el impacto en el desempeño del circuito.
- Existe un compromiso entre área ocupada por el circuito diseñado y nivel de protección que alcanza, ya que este último es establecido por el tamaño del transistor de descarga  $M_{big}$ .
- El diseño realizado, es robusto ante las variaciones del proceso y elementos parásitos que aparecen en la etapa de fabricación. Lo anterior se demuestra con los resultados *post-layout* del análisis Monte Carlo. Además, las especificaciones de diseño se cumplen para un rango de temperatura entre  $-45 \sim 105^\circ C$ .
- Finalmente, con el presente trabajo se ha ampliado la librería de circuitos del grupo de investigación CIDIC. Además, se ha iniciado el desarrollo en una nueva línea de investigación.

#### 4.4. Recomendaciones para trabajos futuros

- En este trabajo se deja como referencia el modelo del transistor *MOSFET* para evento *ESD*. Es importante implementar este para diseñar las estructuras de protección de los pines de entrada-salida de un CI. Esto, con el fin de adelantar la elaboración del sistema completo de protección para el circuito integrado.

- Se recomienda realizar una extensión del modelo *SPICE* presentado en este trabajo, con el fin de solucionar los problemas de convergencia que se presentan cuando se utiliza un modelo avanzado del *MOSFET*.
- La aplicación para la cual está enfocada el diseño desarrollado, es para circuitos integrados de señal mezclada. Con el fin de ampliar el estudio iniciado en este trabajo, se recomienda, realizar un análisis del impacto de las protecciones *ESD* para aplicaciones en RF.
- La metodología de diseño planteada permite cumplir con las especificaciones establecidas. Sin embargo, no optimiza el área en *layout* del circuito que controla al transistor de descarga. Este ocupa aproximadamente un 30% del área total del *Power Clamp*. Gran parte de este porcentaje se debe al tamaño del capacitor de la red RC. Debido a lo anterior, se recomienda desarrollar una metodología de optimización que permita minimizar el área en *layout* del *Power Clamp* para un nivel de protección determinado.
- En este trabajo, se realizó el diseño del circuito para soportar la descarga electrostática de tipo *HBM*. Un trabajo futuro podría enfocarse en realizar el diseño de un circuito de protección para los otros tipos de modelos del evento *ESD*, tales como, *MM* y *CDM*.

# Bibliografía

- [1] L. Solymar and D. Walsh, *Electrical Properties of Materials. Seventh Edition.* OXFORD, 2004.
- [2] J. Smith *et al.*, “A low leakage low cost-PMOS based power supply clamp with active feedback for ESD protection in 65nm CMOS technologies,” Sept. 2005, pp. 1 –9.
- [3] W. C. Tong, P.C.F. *et al.*, “Active ESD shunt with transistor feedback to reduce latchup susceptibility or false triggering,” July 2004, pp. 89 – 92.
- [4] G. Junjun Li *et al.*, “A compact, timed-shutoff, MOSFET-based power clamp for on-chip ESD protection,” Sept. 2004, pp. 1 –7.
- [5] H. Sarbishaei, O. Semenov, and M. Sachdev, “A transient power supply ESD clamp with CMOS thyristor delay element,” sept. 2007, pp. 7A.3–1 –7A.3–8.
- [6] X. Y. Zhang, *Modeling and Characterization of Substrate Resistance for Deep Submicron ESD Protection Devices.* PhD Thesis, 2002.
- [7] H. Voldman, *ESD. Circuits and Devices.* John Wiley and Sons, LTD, 2006.
- [8] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits. Second Edition.* John Wiley and Sons, LTD, 2002.
- [9] H. Wang, *On-Chip ESD Protection for Integrated Circuits. An IC Design Perspective.* Kluwer Academic Publishers, 2001.
- [10] G. Lüttgens and N. Wilson, *Electrostatic Hazards.* Butterworth Heinemann, 1997.
- [11] W. D. Greason and G. S. P. Castle, “The Effects of Electrostatic Discharge on Micro-electronic Devices A Review,” *Industry Applications, IEEE Transactions on*, vol. IA-20, no. 2, pp. 247–252, March 1984.
- [12] L. Kaiser, *Electrostatic Discharge.* Taylor and Francis, 2006.

- [13] O. Somenov *et al.*, *ESD Protection Devices and Circuit Design for Advance CMOS Technologies*. Nose, 2007.
- [14] S. Cao, T. W. Chen, S. Beebe, and R. Dutton, “ESD design challenges and strategies in deepscaled integrated circuits,” in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*, sept. 2009, pp. 681 –688.
- [15] D. Alvarez, K. Chatty, C. Russ, M. Abou-Khalil, J. Li, R. Gauthier, K. Esmark, R. Halbach, and C. Seguin, “Design optimization of gate-silicided ESD NMOSFETs in a 45nm bulk CMOS technology,” in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, sept. 2007, pp. 1A.4-1 –1A.4-9.
- [16] K. Chatty, D. Alvarez, R. Gauthier, C. Russ, M. Abou-Khalil, and B. Kwon, “Process and design optimization of a protection scheme based on NMOSFETs with ESD implant in 65nm and 45nm CMOS technologies,” in *29th Electrical Overstress/Electrostatic Discharge Symposium, 2007. EOS/ESD*, sept. 2007, pp. 7A.2-1 –7A.2-10.
- [17] M.-D. Ker, “ESD (Electrostatic Discharge) Protection Design for Nanoelectronics in CMOS Technology,” in *Advanced Signal Processing, Circuits, and System Design Techniques for Communications, 2006*, may 2006, pp. 217 –279.
- [18] H. G. K. Esmark and W. Stadler, *Advanced Simulation Methods for ESD Protection Development*. Elsevier Science Ltd, 2003.
- [19] E. A. S. T. Method, *ANSI/ESD STM5.1 Human Body Model (HBM) Component Level*. ESD Association, 2007.
- [20] J. STANDAR, *JESD22-A114D, Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM)*. Electronic Industries Alliance, 2006.
- [21] E. STANDAR, *EIA/JESD22-A115-A, Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM)*. Electronic Industries Association, 1997.
- [22] B. Razavi, *Fundamentals of Microelectronics*. John Wiley & Sons, 2008.
- [23] A. Amerasekera, M.-C. Chang, C. Duvvury, and S. Ramaswamy, “Modeling MOS snapback and parasitic bipolar action for circuit-level ESD and high-current simulations,” *Circuits and Devices Magazine, IEEE*, vol. 13, no. 2, pp. 7 –10, mar 1997.
- [24] M.-D. Ker and K.-H. Lin, “Overview on electrostatic discharge protection designs for mixed-voltage I/O interfaces: design concept and circuit implementations,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 2, pp. 235 – 246, feb. 2006.

- [25] O. Semenov and S. Somov, “ESD protection design for I/O libraries in advanced CMOS technologies,” *Solid-State Electronics*, vol. 52, no. 8, pp. 1127 – 1139, 2008. [Internet]. Visite: <http://www.sciencedirect.com/science/article/B6TY5-4SVM12X-1/2/3a1ac6491b383377b667014e1ef5f79b>
- [26] D. Maloney *et al.*, “Novel clamp circuits for IC power supply protection,” Sep 1995, pp. 1 –12.
- [27] W.-Y. L. Ming-Dou Ker, “Design on the low-leakage diode string for using in the power-rail ESD clamp circuits in a 0.35-  $\mu\text{m}$  silicide CMOS process,” *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 4, pp. 601 –611, Apr 2000.
- [28] M.-D. K. Shih-Hung Chen, “Optimization on NMOS-based power-rail ESD clamp circuits with gate-driven mechanism in a 0.13-  $\mu\text{m}$  CMOS technology,” 31 2008-Sept. 3 2008, pp. 666 –669.
- [29] —, “Area-Efficient ESD-Transient Detection Circuit With Smaller Capacitance for On-Chip Power-Rail ESD Protection in CMOS ICs,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 56, no. 5, pp. 359 –363, May 2009.
- [30] M.-D. Ker and C.-T. Wang, “Circuit solutions on ESD protection design for mixed-voltage I/O buffers in nanoscale CMOS,” in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*, Sept. 2009, pp. 689–696.
- [31] M.-D. Ker, “Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI,” *Electron Devices, IEEE Transactions on*, vol. 46, no. 1, pp. 173 –183, Jan 1999.
- [32] J. M. R. A. C. B. Nikolic, *Digital Integrated Circuits (2nd Edition)*. Prentice Hall, 2006.
- [33] G. Li, Junjun *et al.*, “Design and characterization of a multi-RC-triggered MOSFET-based power clamp for on-chip ESD protection,” Sept. 2006, pp. 179 –185.
- [34] J. Smith *et al.*, “A MOSFET power supply clamp with feedback enhanced triggering for ESD protection in advanced CMOS technologies,” Sept. 2003, pp. 1 –9.
- [35] M. Stockinger, J. Miller, M. Khazhinsky, C. Torres, J. Weldon, B. Preble, M. Bayer, M. Akers, and V. Kamat, “Boosted and distributed rail clamp networks for ESD protection in advanced CMOS technologies,” sept. 2003, pp. 1 –10.
- [36] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Mc Graw Hill, 2001.

- [37] G. Kim, M.-K. Kim, B.-S. Chang, and W. Kim, “A low-voltage, low-power CMOS delay element,” *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 7, pp. 966 –971, jul 1996.
- [38] M.-D. K. Cheng-Cheng Yen, “The Effect of IEC-Like Fast Transients on RC -Triggered ESD Power Clamps,” *Electron Devices, IEEE Transactions on*, vol. 56, no. 6, pp. 1204 –1210, June 2009.
- [39] S. Zhao and K. Roy, “Estimation of switching noise on power supply lines in deep sub-micron CMOS circuits,” 2000, pp. 168 –173.
- [40] H. Sarbishaei, O. Semenov, and M. Sachdev, “A New Flip-Flop-Based Transient Power Supply Clamp for ESD Protection,” *Device and Materials Reliability, IEEE Transactions on*, vol. 8, no. 2, pp. 358 –367, june 2008.

## Anexo A

# Netlist del modelo del *MOSFET*

### A.1. Modelos *modnesd.mod* y *modpesd.mod*

En esta sección se presentan los modelos *modnesd.mod* y *modpesd.mod* para el transistor *MOS*. Estos son válidos para  $V_{gs} > 0$  y utilizan los parámetros del nivel 1 del transistor *MOS*. En la tabla A.1 se presentan los parámetros del modelo completo. Adicionalmente se adjuntan los *netlist* de los transistores tanto *NMOS* como *PMOS*.

Parámetro	Descripción	Unidades
cox	Capacitancia de compuerta por unidad de área	$F/m^2$
uo	Movilidad del canal	$cm^2/(V.s)$
vto	Tensión de umbral para $ V_{sb}  = 0V$	V
lambda	Coefficiente de modulación del canal	$V^{-1}$
cgdo	Capacitancia de traslapamiento entre compuerta y drenó por unidad de ancho $W$	$F/m$
cgso	Capacitancia de traslapamiento entre compuerta y fuente por unidad de ancho $W$	$F/m$
cj	Capacitancia por unidad de área de la unión inferior drenó/fuente-sustrato	$F/m^2$
cjsw	Capacitancia por unidad de longitud de la unión lateral drenó/fuente-sustrato	$F/m$
mj	Exponente de la ecuación que describe a cj (ver manual <i>HSPICE</i> )	-
mjsw	Exponente en la ecuación que describe a cjsw (ver manual <i>HSPICE</i> )	-
js	Densidad de corriente inversa entre las uniones fuente/drenó-sustrato	$A/m^2$
pb	Potencial de la unión fuente/drenó-sustrato	V
nsub	Nivel de dopado del sustrato	$cm^{-3}$
gamma	Coefficiente del efecto cuerpo	$V^{0.5}$
phi	Potencial superficial	V
acm	Método que utiliza <i>HSPICE</i> para calcular las capacitancias del <i>MOSFET</i>	-
ioc	Corriente de saturación inversa de la unión base-colector <i>BJT</i>	A
ioe	Corriente de saturación inversa de la unión base-emisor del <i>BJT</i>	A
rsubo	Coefficiente que define la resistencia de sustrato	$\Omega$
rd	Coefficiente que define la resistencia de sustrato	$\Omega$
ai	Coefficiente presente en la ecuación que define a $M$	-
bi	Coefficiente presente en la ecuación que define a $M$	-

Tabla A.1: Parámetros del modelo del transistor para simulaciones *ESD*.

```

**** Modelo del NMOS para operación ESD ****
****
.option post probe tnom=27 node opts off
.subckt modnesd d g s b w=1u l=0.35u
** Parámetros que definen M *** Para L=0.35u
+ ai=4.5 bi=24
*****
** Parámetros del MOS ****
+ cox=4.54e-3 uo=152.1
+ vto=0.5 lambda=0.06
+ cgdo=1.2e-10 cgso=1.2e-10
+ cj=8.4e-4 cjsw=2.5e-10
+ mj=0.34 mjsw=0.23
+ js=5.1e-7 pb=0.69
+ nsub=2.12e17 gamma=0.3
+ phi=0.8 acm=2
*****
** Parámetros del BJT ****
+ ioc=6e-18 ioe=1e-18
** Parámetros de Rsub ****
+ rsubo=2960 rd=415
v0 d n1 dc 0
v1 n1 n2 dc 0
v2 n1 n3 dc 0
v3 n4 n5 dc 0
mn1 n2 g s s modmn1 w=w l=1
qn1 n3 n4 s modn1pn
.model modmn1 nmos level=1
+ cox=cox uo=uo
+ vto=vto lambda=lambda
+ cgdo=cgdo cgso=cgso
+ cj=cj cjsw=cjsw
+ mj=mj mjsw=mjsw
+ js=js pb=pb
+ xl=xl xw=xw
+ nsub=nsub gamma=gamma
+ phi=phi acm=acm
.model modn1pn npn level=1
+ ibc=ioc ibe=ioe
g1 n1 n4 cur='(1/(1-ai*(v(d,s)-0.8*lv10(mn1))**0.35*exp(-bi/(v(d,s)-0.8*lv10(mn1))))-1)*i(v1)'
g2 n1 n4 cur='(1/(1-ai*(v(d,s)-0.8*lv10(mn1))**0.35*exp(-bi/(v(d,s)-0.8*lv10(mn1))))-1)*i(v2)'
ersub n5 b vol='rsubo*i(v3)+rd*i(v1)-rd*i(v0)'
.ends

```

```

**** Modelo del PMOS para operación ESD ****
****
.option post probe tnom=27 node opts off
.subckt modpesd d g s b w=1u l=0.35u
** Parámetros que definen M *** Para L=0.35u
+ ai=4.5 bi=24
*****
** Parámetros del MOS ****
+ cox=4.54e-3 uo=60.5
+ vto=-0.65 lambda=0.1
+ cgdo=8.6e-11 cgso=8.6e-11
+ cj=1.36e-3 cjsw=3.5e-10
+ mj=0.54 mjsw=0.46
+ js=2.8e-7 pb=1.02
+ xl=0 xw=0
+ nsub=1.01e17 gamma=0.4
+ phi=0.8 acm=2
*****
** Parámetros del BJT ****
+ ioc=6e-18 ioe=1e-18
** Parámetros de Rsub ****
+ rsubo=2960 rd=415
v0 n1 d dc 0
v1 n2 n1 dc 0
v2 n3 n1 dc 0
v3 n5 n4 dc 0
mp1 n2 g s s modmp1 w=w l=1
qp1 n3 n4 s modpnp
.model modmp1 pmos level=1
+ cox=cox uo=uo
+ vto=vto lambda=lambda
+ cgdo=cgdo cgso=cgso
+ cj=cj cjsw=cjsw
+ mj=mj mjsw=mjsw
+ js=js pb=pb
+ xl=xl xw=xw
+ nsub=nsub gamma=gamma
+ phi=phi acm=acm
.model modpnp pnp level=1
+ ibc=ioc ibe=ioe
g1 n4 n1 cur='(1/(1-ai*(v(s,d)+0.8*lv10(mp1))**0.35*exp(-bi/(v(s,d)+0.8*lv10(mp1))))-1)*i(v1)'
g2 n4 n1 cur='(1/(1-ai*(v(s,d)+0.8*lv10(mp1))**0.35*exp(-bi/(v(s,d)+0.8*lv10(mp1))))-1)*i(v2)'
ersub b n5 vol='rsubo*i(v3)+rd*i(v1)-rd*i(v0)'
.ends

```

## A.2. Modelos modggnmos.mod y modggpmos.mod

El modelo que se debe utilizar para el caso en que se opera el *MOSFET* con  $V_{gs} = 0V$ , se describe a partir de los *netlist* que se muestran a continuación. El modelo empleado para el transistor *MOS* interno es el *BSIM3v3* y sus parámetros se pueden consultar en cualquier manual que lo describa.

```

**** Modelo del GGNMOS para operación ESD ****
****
.include 'c35/cmos49/tm/modn.mod'
.include 'c35/profile.opt'
.subckt ggnmos d g s b w=1u l=0.35u
** Parámetros que definen M *** Para L=0.35u
+ ai=4.5 bi=24
*****
** Parámetros del BJT ****
+ ioc=6e-18 ioe=1e-18
** Parámetros de Rsub ****
+ rsubo=2960 rd=415
v0 d n1 dc 0
v1 n1 n2 dc 0
v2 n1 n3 dc 0
v3 n4 n5 dc 0
mn1 n2 g s s modn w=w l=1
qn1 n3 n4 s modnnpn
.model modnnpn npn level=1
+ ibc=ioc ibe=ioe
g1 n1 n4 CUR='((exp(0.14*(v(d,s)-3.9))+exp(66.67*(v(d,s)-11)))-1)*i(v1)'
g2 n1 n4 CUR='((exp(0.14*(v(d,s)-3.9))+exp(66.67*(v(d,s)-11)))-1)*i(v2)'
ersub n5 b vol='rsubo*i(v3)+rd*i(v1)-rd*i(v0)'
.ends

```

```

**** Modelo del GGPMOS para operación ESD ****
****
.include 'c35/cmos49/tm/modp.mod'
.include 'c35/profile.opt'
.subckt ggpmos d g s b w=1u l=0.35u
** Parámetros que definen M *** Para L=0.35u
+ ai=4.5 bi=24
*****
** Parámetros del BJT ****
+ ioc=6e-18 ioe=1e-18
** Parámetros de Rsub ****
+ rsubo=2960 rd=415
v0 n1 d dc 0
v1 n2 n1 dc 0
v2 n3 n1 dc 0
v3 n5 n4 dc 0
mp1 n2 g s s modp w=w l=1
qp1 n3 n4 s modpnp
.model modpnp pnp level=1
+ ibc=ioc ibe=ioe
g1 n4 n1 CUR='((exp(0.14*(v(s,d)-3.9))+exp(66.67*(v(s,d)-11)))-1)*i(v1)'
g2 n4 n1 CUR='((exp(0.14*(v(s,d)-3.9))+exp(66.67*(v(s,d)-11)))-1)*i(v2)'
ersub b n5 vol='rsubo*i(v3)+rd*i(v1)-rd*i(v0)'
.ends

```

### A.3. Modelo *HBM*

Los parámetros para el modelo de cuerpo humano se muestran en la tabla [A.2](#).

Parámetro	Descripción	Unidades
nivel	Nivel de carga inicial en el capacitor $C_{hbm}$	$V$
cs	Capacitancia parásita asociada a $R_{hbm}$	$F$
ls	Inductancia de dispersión	$H$
ct	Capacitancia de la tableta de medición	$F$

Tabla A.2: Parámetros para el modelo *HBM*.

```

.subckt hbm_model hbm_p hbm_n nivel=2000 cs=1.5p ls=8u ct=28.6p
Chbm n1 hbm_n 100p IC=nivel
Cs n2 n1 cs
Rhbm n2 n1 1.5K
Ls hbm_p n2 ls
Ctb hbm_p hbm_n ct
.ends

```