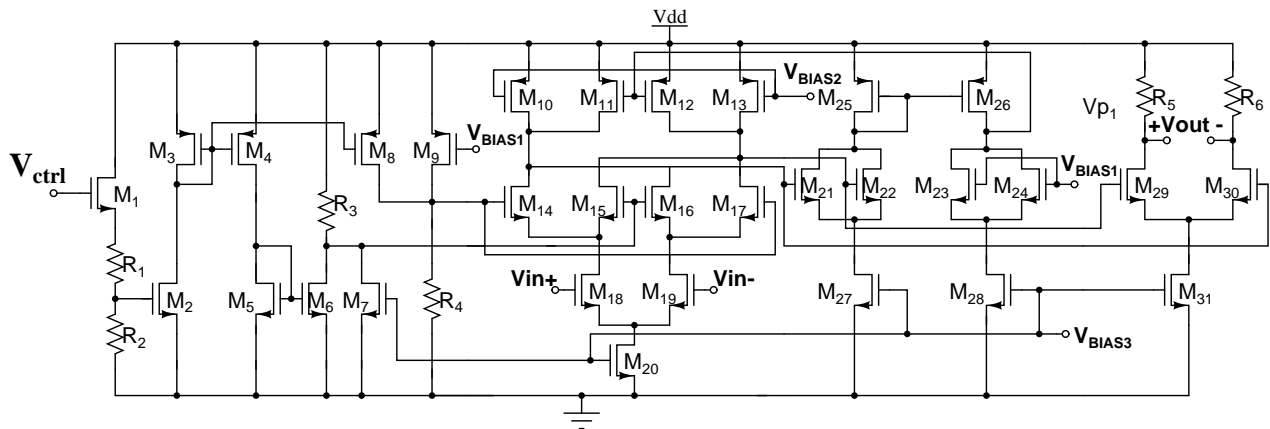


# AMPLIFICADOR DE GANANCIA VARIABLE PARA UN RECEPTOR INALÁMBRICO.

Ricardo Astro Bohórquez



ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

UNIVERSIDAD INDUSTRIAL SANTANDER

Bucaramanga – 2009



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



# **AMPLIFICADOR DE GANANCIA VARIABLE PARA UN RECEPTOR INALÁMBRICO.**

Ricardo Astro Bohórquez

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Elkim Felipe Roa Fuentes

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

UNIVERSIDAD INDUSTRIAL SANTANDER

Bucaramanga–Abril de 2009

*A mi madre Maria Bohórquez quien me ama,  
me apoya y cree en mí sobre todas las cosas.*

*Y a Dios.*

## AGRADECIMIENTOS

Agradezco a Dios por darme la vida, la salud y la familia. Por las capacidades físicas y mentales de las que me ha dotado, las cuales me permiten permanecer vigente en un mundo competitivo y de constante evolución. Por no dejarme decaer ante las adversidades, proporcionándome la fuerza necesaria para continuar luchando cada día en pro de un mejor futuro para mí y los míos.

Agradezco a mi madre por su amor, lleno de atenciones y cuidados que hacen mi vida más tranquila y agradable. Por su apoyo incondicional a lo largo de mi vida y mi formación profesional; soportándome en los momentos de crisis y gozando en mis momentos de gloria. Por sus sabios consejos que me permiten tomar decisiones adecuadas pensando no en un claro presente, sino en un incierto futuro.

Al profesor Elkim Roa por su apoyo y confianza en el desarrollo de este proyecto. Por la transmisión de conocimientos que ha efectuado sobre mi y por abrirme la vista a un mundo nuevo con una amplia proyección profesional, donde no solo se trabaja por dinero sino por gusto. Particularmente, le agradezco por mostrarme que la vida profesional no es tan sencilla como una vez lo imaginé; que requiere de esfuerzo, constancia y de una actitud que se centre en hacer completo, bien hecho y a tiempo cada labor por simple que parezca.

A mis amigos, compañeros y todo aquel con el que tuve un contacto amigable y constructivo a lo largo de mi vida y mi carrera.

Por último le agradezco a la persona que ha estado a mi lado estos últimos años, apoyándome en las buenas y en las malas. Ella, la que me alegra la vida con su sonrisa y sus palabras; ella que se ganó mi respeto y amor con sus actos y actitudes. Gracias a Paola León por ser lo que es y por ser quien es.

---

## RESUMEN

**TÍTULO:**

AMPLIFICADOR DE GANANCIA VARIABLE PARA UN RECEPTOR INALÁMBRICO <sup>1</sup>

**AUTOR:**

RICARDO ASTRO BOHÓRQUEZ<sup>2</sup>

**PALABRAS CLAVE:** *VGA*, programación geométrica, *DRG*.

**DESCRIPCIÓN:**

En este trabajo se aborda el diseño de un amplificador de ganancia variable *VGA* que opere bajo el estándar *Bluetooth*, para su posterior integración en el *transceiver* inalámbrico integrado en tecnología *CMOS* desarrollado por el grupo de investigación de Diseño de Circuitos Integrados *CIDIC*.

Una vista general del *VGA* es tomada dentro de la cadena de recepción del *transceiver*, obteniendo las especificaciones que miden su desempeño. Después de un análisis de las especificaciones obtenidas, se opta por implementar un *VGA* con comportamiento de ganancia lineal en dB para utilizar de forma eficiente el ancho de banda *BW* del sistema. Este comportamiento de ganancia se implementa con un multiplicador de cuatro cuadrantes con aplicación de *current-steering* como celda núcleo, y una etapa de control operando en la región saturación-subumbral que proporciona las señales necesarias para el control de la ganancia.

Con el propósito de minimizar la potencia total, se aplica la programación geométrica (PG) como herramienta de optimización sobre la celda núcleo, obteniendo un consumo bajo respecto a los reportados en el estado del arte. Por otro lado, las etapas complementarias a la celda núcleo son abordadas mediante la metodología tradicional de diseño, obteniendo resultados satisfactorios.

Finalmente, el diseño total es validado considerando diversos efectos parásitos presentes en el proceso de fabricación, estimados por medio de la extracción del *layout*. Las simulaciones obtenidas muestran como resultado un consumo de potencia máximo de  $812.4 \mu W$ , un rango dinámico de ganancia de 50 dB, un *BW* de 1MHz y un punto de compresión de ganancia en el rango de -45.89 a 4.01 dBm, cumpliendo con las especificaciones del estándar *Bluetooth*.

---

<sup>1</sup>Proyecto de Grado

<sup>2</sup>Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Elkim Felipe Roa Fuentes.

## SUMMARY

**TITLE:**VARIABLE GAIN AMPLIFIER FOR A WIRELESS RECEIVER <sup>3</sup>**AUTHOR:**RICARDO ASTRO BOHÓRQUEZ<sup>4</sup>**KEY WORDS:** VGA, geometric programming, DRG.**DESCRIPTION:**

In this work the design of a variable gain amplifier VGA operating under the Bluetooth standard is presented, aiming to integrated it in the wireless transceiver developed by the research group on integrated circuits design CIDIC using CMOS technology.

A general perspective of the VGA is taken from the transceiver reception chain, allowing to get a quantitative measure for its performance specifications. After specifications analyses, it is chosen a VGA with linear-in-db gain behavior, using efficiently the system bandwidth (BW) for this application. The gain behavior is achieved using a multiplier of four quadrants with current-steering known as the core cell, and a control stage operating between saturation and subthreshold region providing the signals for gain control.

With the purpose of minimize the total power consumption, it is applied the geometric programming (PG) as an optimization tool in the core cell, achieving low power consumption in comparison with the state-of-the-art work. On the other hand, the additional stages (CMFB and output stages) are designed using the traditional methodology with adequate results.

Finally, the global design is validate taking into account some effects consequence of the fabrication process and estimated with the layout extraction. The simulations results report a maximum power consumption of  $812.4 \mu W$ , a 50dB dynamic range of gain, a 1 MHz BW and a gain compression point between -45.89 and 4.01 dBm, fulfilling the Bluetooth standard specifications.

---

<sup>3</sup>Degree project

<sup>4</sup>Physics Mechanical Engineering Faculty. Electric,Electronic and Telecommunications School. Director MSc. Elkim Felipe Roa Fuentes.

# Contenido

<b>1. Introducción</b>	<b>1</b>
1.1. Arquitectura de Conversión Directa . . . . .	2
1.1.1. <i>Offset DC</i> . . . . .	3
1.1.2. Desbalance I/Q . . . . .	4
1.1.3. Intermodulación . . . . .	5
1.1.4. Ruido <i>flicker</i> . . . . .	6
1.2. El Amplificador de ganancia variable ( <i>VGA</i> ) . . . . .	6
1.2.1. Especificaciones de diseño . . . . .	7
1.3. Estado del Arte . . . . .	13
1.4. Organización del Documento . . . . .	16
<b>2. Selección de topología</b>	<b>17</b>
2.1. Rango Dinámico de ganancia . . . . .	18
2.2. Consumo de potencia . . . . .	22
2.3. Linealidad . . . . .	24
2.4. Ancho de Banda . . . . .	26
2.5. Etapa <i>CMFB</i> . . . . .	28
2.6. Etapa de Control . . . . .	29
<b>3. Diseño del <i>VGA</i></b>	<b>33</b>
3.1. Arquitectura Completa . . . . .	34
3.2. Celda Núcleo, Análisis Teórico . . . . .	35
3.3. Celda Núcleo, Diseño inicial . . . . .	45
3.4. Aplicación de la programación geométrica . . . . .	48
3.5. Discusión de Resultados . . . . .	50
3.6. Etapa de Ganancia Adicional . . . . .	52
3.7. Etapa de Control . . . . .	55
3.8. Etapa <i>CMFB</i> . . . . .	58

<b>4. Validación del diseño</b>	<b>61</b>
4.1. Consideraciones de <i>Layout</i> . . . . .	61
4.2. Resultados <i>Pre-layout</i> vs <i>Post-Layout</i> . . . . .	62
4.3. Observaciones y Conclusiones . . . . .	65
4.4. Recomendaciones para trabajos futuros . . . . .	66
<b>A. Coeficientes de Linealidad</b>	<b>69</b>

# Lista de figuras

1.1. Esquema del <i>front-end</i> del <i>transceiver</i> . . . . .	2
1.2. Modelo general de los receptores inalámbricos de conversión directa. . . . .	3
1.3. Efectos que generan <i>offset</i> de <i>DC</i> . . . . .	4
1.4. Desbalance I/Q por variación de fase y ganancia. . . . .	5
1.5. Gráfica de medida del $IIP_3$ y el $P_{1dB}$ . . . . .	11
2.1. DRG para un circuito con comportamiento de ganancia lineal. . . . .	18
2.2. Par diferencial con carga conectada como diodo. . . . .	19
2.3. Configuraciones de <i>VGAs</i> . . . . .	20
2.4. Amplificador <i>Cherry-Hooper</i> modificado . . . . .	21
2.5. Etapa <i>CMFB</i> seleccionada. . . . .	29
2.6. Generador de función exponencial. . . . .	30
2.7. Generador de función exponencial compensado en temperatura. . . . .	30
2.8. Generador de función exponencial operando en subumbral. . . . .	31
2.9. Etapas de control base y propuesta. . . . .	31
3.1. Arquitectura completa. . . . .	34
3.2. Celda núcleo. . . . .	36
3.3. Transconductancia del transistor cascode y cruzado en función de $V_{ctrl}$ . . . . .	37
3.4. Esquemas de pequeña señal. . . . .	38
3.5. Representación con etapas en cascada de una configuración cascode. . . . .	40
3.6. Etapas de ganancia del <i>VGA</i> . . . . .	43
3.7. Factores determinados por simulación. . . . .	44
3.8. Distribución de las tensiones del circuito. . . . .	46
3.9. <i>BW</i> y <i>DRG</i> en función de $V_{ctrl}$ de la celda PG. . . . .	51
3.10. <i>BW</i> y <i>DRG</i> en función de $V_{ctrl}$ de la celda manual. . . . .	52
3.11. Etapa de salida del <i>VGA</i> . . . . .	54
3.12. Etapa de control del <i>VGA</i> . . . . .	56
3.13. Tensiones $V_r$ y $V_c$ en función de la señal de control. . . . .	57

3.14. Esquema y respuesta transitoria de la etapa <i>CMFB</i> seleccionada. . . . .	59
3.15. Esquema y respuesta transitoria de la etapa <i>CMFB</i> seleccionada. . . . .	60
4.1. <i>Layout</i> del <i>VGA</i> diseñado. . . . .	62
4.2. <i>BW</i> , ganancia y margen de fase para la celda pre y pos <i>layout</i> . . . . .	63

# Lista de Tablas

1.1. Especificaciones de la cadena de recepción. . . . .	13
1.2. Trabajos recientes de <i>VGAs</i> . . . . .	14
3.1. Especificaciones por etapas del <i>VGA</i> . . . . .	35
3.2. Parámetros del proceso para determinar capacitancias del transistor <i>MOS</i> . . . . .	39
3.3. Parámetros del proceso <i>AMS 0,35<math>\mu</math>m CMOS</i> . . . . .	46
3.4. Dimensionamiento y polarización de los transistores. . . . .	46
3.5. Restricciones aplicadas al programa geométrico. . . . .	49
3.6. Dimensiones y fuentes de polarización para la celda núcleo. . . . .	50
3.7. Especificaciones del la celda núcleo con <i>PG</i> . . . . .	50
3.8. Comparación de especificaciones para las diferentes metodologías. . . . .	53
3.9. Dimensionamiento de los transistores. . . . .	55
3.10. Especificaciones de la etapa de salida. . . . .	55
3.11. Dimensiones y ajustes de la etapa de control. . . . .	57
3.12. Dimensiones y ajustes de la etapa <i>CMFB</i> . . . . .	59
3.13. Especificaciones de la etapa de <i>CMFB</i> . . . . .	60

# Capítulo 1

## Introducción

Rapidez, confiabilidad, autonomía, compatibilidad y bajo costo, son los principales requisitos que evalúan los usuarios para adquirir un determinado dispositivo portable. De las características mencionadas, la rapidez y la compatibilidad han sido una constante que ha evolucionado desde hace décadas, al igual que la disminución en los costos. Sin embargo, la confiabilidad y la autonomía son de los principales objetos de estudio en la actualidad. En ese sentido, circuitos de bajo consumo de potencia, robustos y circuitos de administración de potencia con área reducida son frecuentemente reportados por la academia y la industria.

Entre las aplicaciones más comunes para este tipo de circuitos, se encuentra el *transceiver* que es un sistema transmisor-receptor parte fundamental de los dispositivos inalámbricos de radiofrecuencia hoy en día, conformado por bloques analógicos y de procesamiento digital de datos. Los bloques analógicos se encargan de adecuar las señales de radiofrecuencia para su posterior procesamiento en el dominio digital. Para ello, se hace necesario pasar las señales de un dominio a otro y por ende la implementación de conversores analógico-digital (*ADC*) y viceversa (*DAC*). No obstante, para el caso del receptor (figura 1.1), diversas condiciones de operación, como ambientes ruidosos, grandes señales de interferencia y una distancia variable en el tiempo respecto a la fuente de señal, entre otras, someten al *ADC* a operar bajo señales de diferentes niveles de potencia, perjudicando su adecuado funcionamiento, ocasionando modificación y/o pérdidas de información. Para evitar esta situación, se debe realizar un control fino en el nivel de potencia de la señal de entrada del *ADC*, con el fin de adecuarla para su posterior conversión.

El amplificador de ganancia variable (*VGA*, figura 1.1) es la celda núcleo en los lazos de control de ganancia automática (*AGC*), empleados comúnmente para regular el nivel de potencia en la señal de entrada del *ADC* y solucionar el problema expuesto anteriormente. Entonces, continuando con los trabajos planteados por el grupo de diseño de circuitos integrados (*CIDIC*) de la universidad industrial de Santander (*UIS*), en este trabajo se propone

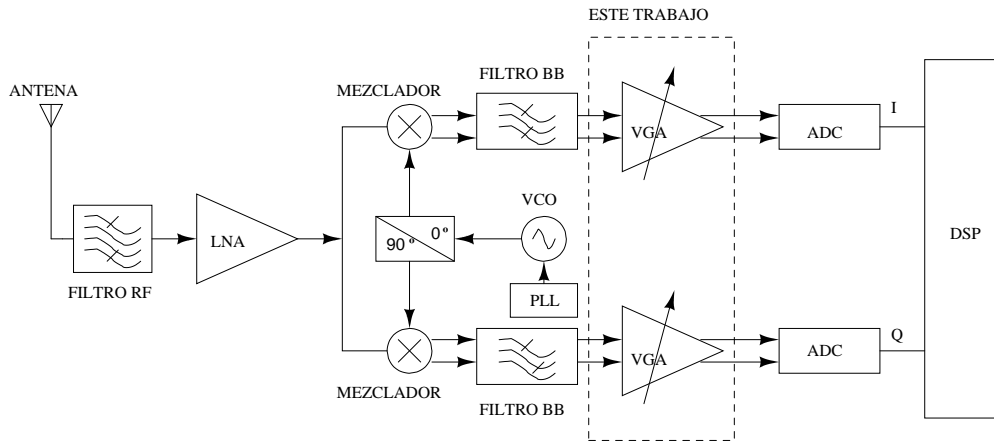


Figura 1.1: Esquema del *front-end* del *transceiver*.

el diseño de un *VGA* integrado en tecnología *CMOS* de  $0,35\mu\text{m}$ , cumpliendo con los requerimientos del estándar *Bluetooth* y así dar por finalizado el diseño de los bloques necesarios para implementar un receptor de radiofrecuencia completamente integrado, funcionando bajo este estándar, propuesto por el grupo CIDIC con el fin de explorar diferentes alternativas y metodologías de diseño buscando disminuir el consumo de potencia, los tiempos de diseño y generar circuitos confiables, cumpliendo con los requisitos descritos para los sistemas portables.

## 1.1. Arquitectura de Conversión Directa

Debido a que el diseño del *VGA* propuesto en este trabajo está orientado para su implementación en un receptor de arquitectura de conversión directa, se considera relevante realizar un análisis previo de las condiciones que afectan el desempeño de esta arquitectura, permitiendo definir de forma acertada las especificaciones necesarias para el diseño del *VGA*. El análisis que se presenta en esta sección está basado en los diferentes conceptos y consideraciones expuestos en [1, 2].

Este tipo de arquitectura es conocida también como *zero-IF* u homodina, presentando una estructura general en la cadena de recepción conformada por una sección en *RF*, una en bandabase y una interfaz analógica-digital, como se muestra en la figura 1.2. El término *zero-IF* indica que las señales provenientes de la antena son trasladadas a una frecuencia intermedia (banda base) cero o muy cercana a cero, evitando la implementación de filtros altamente selectivos para el rechazo de la frecuencia imagen, disminuyendo los costos y relajando los requerimientos de etapas posteriores al *LNA*. Por otro lado, al no requerir de los filtros mencionados, la impedancia de carga del *LNA* se puede fijar en un valor diferente de  $50\Omega$ , obteniendo ganancias mayores en esta etapa, lo que mejora notablemente el comporta-

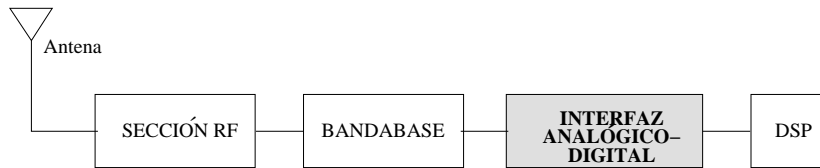


Figura 1.2: Modelo general de los receptores inalámbricos de conversión directa.

miento del sistema respecto al ruido. Adicionalmente, esta modificación en la impedancia de carga permite el intercambio de etapas posteriores como mezcladores altamente selectivos, por filtros y amplificadores en banda-base, lo que facilita el proceso de integración monolítica tal y como lo indica la tendencia actual *SoC* (*System on Chip*). De acuerdo a los argumentos anteriormente expuestos, esta arquitectura junto a la arquitectura de baja *IF* se han convertido en las opciones más utilizadas en la implementación de *transceivers*.

A pesar de las notables ventajas sobre las demás arquitecturas, el desempeño se ve afectado considerablemente por diversos efectos generados por las etapas presentes a lo largo del receptor. Entre los efectos más notables se encuentran el *Offset* de *DC*, el *mismatch I/Q*, la distorsión por intermodulación, el ruido *flicker* y los efectos de fuga del oscilador local.

### 1.1.1. *Offset DC*

El *offset* de *DC* se presenta por diversas causas como el *mismatch* entre transistores, el efecto de fuga del oscilador local (*LO Leakage*), el efecto de auto-mezclado (*Self-Mixing*) y el factor de intermodulación de segundo orden, el cual se logra mitigar notablemente cuando se implementan estructuras diferenciales. Para comprender el origen e importancia de estos efectos en el desempeño de un receptor, es necesario analizar su impacto y relacionarlo de forma directa con las consideraciones de diseño del *VGA*.

El aislamiento de señales al interior de un circuito integrado no es completo. Existe acoplamiento capacitivo y a través del sustrato donde se hace posible que la señal del *LO* se filtre a los puertos de entrada del *mixer* y del *LNA*, como se muestra en la figura 1.3(a). Debido a este acoplamiento y al posterior mezclado con la señal del *LO*, se genera un nivel de *DC* indeseado a la entrada del *VGA*, ya que el filtro pasa-bajas (*LPF*, *Low Pass Filter*) no elimina esta componente del espectro de la señal de entrada. Este efecto de acople es conocido como *LO Leakage* o fuga del oscilador local.

Una situación análoga se presenta cuando la señal receptionada se acopla en el puerto del *LO*, como se muestra en la figura 1.3(b). Al mezclarse con la señal proveniente del *LNA*, se genera un nivel de *DC* adicional a la entrada del *VGA*, conocido como *Self-Mixing* o automezclado.

Para contrarrestar estos efectos, se hace necesaria la implementación de una o varias eta-

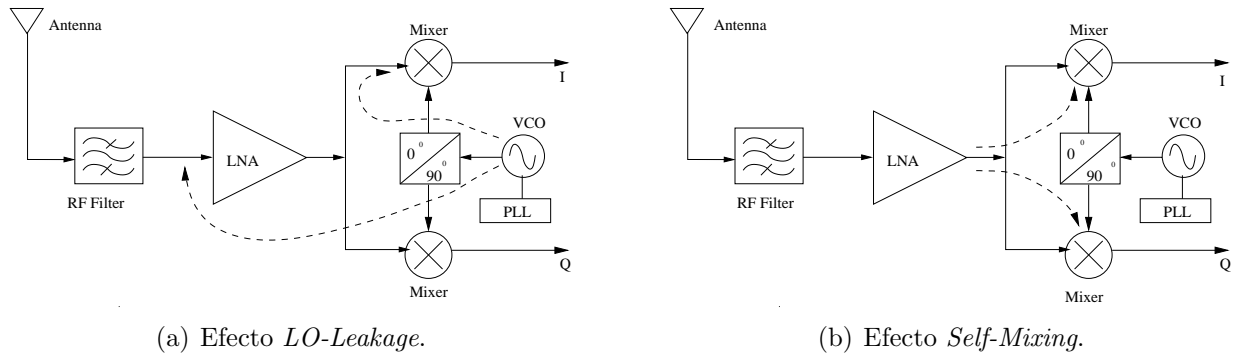


Figura 1.3: Efectos que generan *offset* de *DC*.

pas de cancelación de *offset*. Observando la cadena de etapas del receptor, en ninguna de ellas se implementa esta función, lo que se ve agudizado por las características de funcionamiento del *VGA*, en donde un pequeño *offset*, presente en una pendiente de alta ganancia, modifica considerablemente el valor de *DC* en la salida, disminuyendo el rango de excursión de señal a la salida y en ocasiones genera directamente su saturación o la de una etapa posterior (en este caso el *ADC*). Por lo tanto, la etapa de cancelación de *offset* debe formar parte fundamental de un *VGA*.

Existen diversas técnicas para implementar esta etapa, las cuales se relacionan directamente con el tipo de modulación utilizado en el sistema. El acoplamiento en *AC* es una de las técnicas para eliminar el *offset* de *DC* [3]. A pesar de eliminar por completo el *offset*, requiere de grandes resistores y/o capacitores para implementar el filtro pasa-altas (*HPF*, *High Pass Filter*) [1], generando un incremento importante en el área. Como efecto adicional, aumenta el tiempo de respuesta a variaciones en el *offset*. En [3], el *HPF* se implementa por medio de transistores trabajando en la región subumbral, lo que disminuye considerablemente el área en comparación a la ocupada por los resistores, pero con la desventaja de ser notoriamente susceptible a variaciones del proceso y de la temperatura.

### 1.1.2. Desbalance I/Q

Este problema se presenta principalmente en los sistemas que utilizan esquemas de modulación de fase y frecuencia. El desbalance entre las señales de fase (*I*) y cuadratura (*Q*) de un sistema de comunicación, es el resultado de dos variaciones en las ramas de demodulación de las componentes de la señal recepcionada, la variación de ganancia y la variación de fase. La variación de ganancia tiene origen en el *mismatch* y en los errores del proceso de fabricación; la variación de fase tiene origen tanto en errores del proceso de fabricación como en la existencia de etapas adicionales para la inversión de fase de la señal del *LO*. El error de ganancia

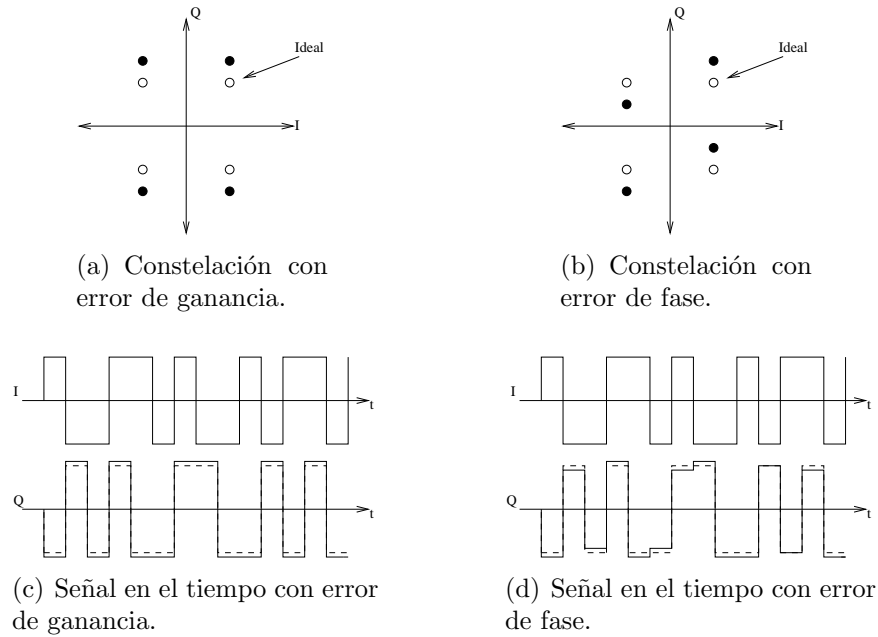


Figura 1.4: Desbalance I/Q por variación de fase y ganancia.

se manifiesta como una alteración de la magnitud de la envolvente de la señal receptionada, modificando el diagrama de constelaciones como se muestra en la figura 1.4(a). El error de fase se manifiesta como la aparición de una correlación entre las señales en cuadratura, lo que genera una variación en la amplitud de una señal dependiendo de la amplitud temporal de la señal en cuadratura, modificando el diagrama de constelaciones como se muestra en la figura 1.4(b). Para entender de una forma más adecuada las variaciones que generan estos efectos en la señal receptionada, las figuras 1.4(c) y 1.4(d) muestran las señales en el dominio del tiempo.

Estos efectos son tolerables hasta cierto grado, ya que afectan de forma directa la tasa de error de bit (*BER*, *Bit Error Rate*), disminuyendo la confiabilidad del sistema y aumentando el nivel de sensibilidad del receptor.

### 1.1.3. Intermodulación

La intermodulación es un problema generalizado de los circuitos electrónicos debido a la abundancia de señales en el ambiente y al comportamiento no lineal de los elementos activos utilizados. Los factores de intermodulación de mayor impacto sobre el funcionamiento del *transceiver* son el de segundo y tercer orden ( $IM_2$  e  $IM_3$  respectivamente). El  $IM_2$  afecta de diversas formas el funcionamiento, por ejemplo: dada la existencia de una señal fuerte adyacente al canal deseado con frecuencia  $\omega_2$  y al carácter no-lineal del sistema, generalmente de orden cuadrático o superior, se genera una señal con frecuencia  $(\omega_1 - \omega_2)$ , resultado del

producto de intermodulación del sistema. Esta señal resultante cae en la banda de paso del *LPF*, permitiendo su adición a la señal deseada. Debido a esto, se genera una modificación ya sea de forma parcial o total de la información recibida. Por otra parte, este factor de intermodulación generará un nivel de *DC* indeseado, afectando de forma apreciable los circuitos que presentan una estructura *single-end* trabajando en banda base, ya que no se efectúa la cancelación de los términos pares de distorsión como sucede con un par diferencial simétrico.

Por su parte el  $IM_3$  es un factor limitante del rango dinámico de ganancia del sistema y particularmente del *VGA*, debido a que este término y todos los impares de intermodulación introducen una componente en la frecuencia fundamental, se genera un efecto de compresión de ganancia y un aumento en la distorsión de la señal deseada. Tal comportamiento impone un límite en el nivel potencia de la señal de entrada, el cual se utiliza como referencia para describir el desempeño a pequeña señal del circuito.

#### 1.1.4. Ruido *flicker*

Dado que la señal recepcionada y amplificada por la unión del *LNA-mixer* posee un valor cercano a los  $\mu V_{RMS}$ , uno de los factores de mayor relevancia en la arquitectura *zero-IF*, es su comportamiento frente al ruido y en especial el *flicker*, el cual domina a frecuencias bajas como lo indica su notación  $1/f$ . Debido a ello se hace necesario considerar y contrarrestar este factor por medio de diversas pautas como el aumento de la corriente de polarización y el tamaño de los transistores de las etapas posteriores. En particular para el *VGA*, es de gran relevancia cuando la señal de entrada es pequeña, lo que exige una alta relación señal a ruido y una baja intermodulación.

## 1.2. El Amplificador de ganancia variable (*VGA*)

Un *VGA* es un amplificador que varía su ganancia por medio de una señal de control generada a través de la comparación de la entrada al circuito con una medida de referencia. Esta referencia está definida específicamente por el rango dinámico a la entrada del *ADC*. La comparación de estas señales se puede efectuar en el dominio analógico usando un detector de potencia [4], o en el dominio digital por medio de un *DSP*. La elección de uno u otro dominio de implementación, depende de diversos factores como el formato de modulación utilizado, la precisión requerida y el área disponible.

En la actualidad los *VGAs* son utilizados en diversas aplicaciones como ayudas auditivas, sistemas de comunicación inalámbricos y lazos de control de ganancia automática. Su gran utilidad es la maximización del rango dinámico total del sistema, procurando proveer la

ganancia más adecuada, de forma tal que genere las condiciones óptimas para obtener el máximo desempeño de la etapa posterior, en el caso de un receptor, el *ADC*.

En general un *VGA* está conformado por tres etapas básicas: la celda núcleo de amplificación, la etapa de control y la etapa de realimentación de modo común (*CMFB*). Dado que la arquitectura del receptor es de conversión directa, la etapa o etapas de cancelación de *offset* son incluidas en la estructura básica del *VGA*. De acuerdo a los requerimientos y a las condiciones de implementación, se incorporan diversas etapas como compensadores de temperatura y etapas especiales de carga, estas últimas con el objetivo de desligar especificaciones como el ancho de banda y el consumo de potencia respecto a la señal de control, mejorando notablemente su desempeño [5, 6].

La etapa de mayor complejidad en el diseño de un *VGA* es la de control, ya que se encarga de proporcionar las características al rango dinámico de ganancia del circuito, permitiendo su aplicación en diferentes escenarios bajo diversas condiciones. En la actualidad, es frecuente encontrar etapas de control tanto analógicas como digitales. Las etapas de control analógicas presentan en su mayoría un comportamiento exponencial, ya que proporcionan un amplio rango de control de ganancia y desligan el tiempo de asentamiento del lazo de control con respecto a la ganancia absoluta del circuito, facilitando la respuesta en tiempo real del sistema [7, 8]. Por otra parte, permite obtener un comportamiento lineal de la ganancia en decibelios con respecto a la señal de control. Por su parte las etapas de control digital utilizan el *DSP* integrado para generar la señal de control, lo que representa un ahorro considerable de área y consumo de potencia, disminuyendo la complejidad en la implementación de la interfaz analógica-digital del sistema. Una de las desventajas notables en este tipo de etapas es su incompatibilidad con diversos formatos de modulación, ya que los saltos de ganancia que caracterizan su comportamiento producen saltos en la fase de la señal receptionada, los cuales resultan intolerables para el funcionamiento adecuado del sistema.

### 1.2.1. Especificaciones de diseño

El desempeño de un *VGA* está caracterizado por diversas especificaciones como el punto de intersección de tercer orden ( $IIP_3$ ), el punto de compresión de un decibelio ( $P_{1dB}$ ), el ancho de banda ( $BW$ ), la figura de ruido ( $NF$ ), el rango dinámico de ganancia y el consumo de potencia. Sin embargo, la de mayor relevancia es el rango dinámico de ganancia ( $DRG$ ), debido a las consideraciones y medidas que se aplican para su definición. Esta especificación es el resultado global del diseño, ya que el  $DRG$  está definido por el comportamiento de la etapa de control, la núcleo y la etapa *CMFB*. Por otra parte, el consumo de potencia y el ancho de banda se relacionan de forma directa con el rango dinámico de ganancia en la mayoría de las topologías expuestas en la literatura.

Como se expresó anteriormente, el *DRG* es la especificación que determina la posibilidad de utilizar un *VGA* en un sistema orientado al campo de las comunicaciones inalámbricas. Esta afirmación se fundamenta en los diversos requerimientos de ganancia que surgen como una solución a las limitantes de operación de las etapas precedentes en la cadena de recepción, de forma tal que se obtenga el desempeño requerido e impuesto por los estándares que regulan este campo, sin importar las condiciones de operación del receptor. El *DRG* requerido para la operación de un *VGA* está determinado por los niveles de sensibilidad impuestos por el estándar de comunicación [9]. Como un ejemplo, un sistema operando bajo el estándar *Bluetooth* presenta un rango dinámico de ganancia de  $50dB$ , mientras que este valor para su implementación en un sistema que actúa bajo el estándar *GSM* es de  $87dB$ . De esta pequeña comparación y del estudio sobre los trabajos reportados por el estado del arte, se puede concluir que la tendencia actual en el diseño de *VGAs*, apunta a la consecución de amplios rangos de ganancia, intentando mantener un bajo consumo de potencia.

Como especificación de desempeño, y fundamento para la consecución del *DRG* requerido en un *VGA*, se encuentra el concepto de linealidad. La linealidad de un circuito es la característica que determina su capacidad de manejar grandes señales sin generar distorsión. En ese sentido, se hace mención de las diferentes especificaciones enmarcadas en este concepto, enfatizando en las consideraciones para su obtención y analizando de forma sencilla las implicaciones en el diseño global del *VGA*.

## ■ Distorsión

La distorsión es la denominación asignada al efecto de generación de señales en diversas frecuencias por parte de un circuito activo debido a sus características no-lineales. Este comportamiento no-lineal a gran señal permite expresar la salida del circuito en función de la entrada como se muestra en la ecuación (1.1).

$$v_{out} = k_0 + k_1v_{in} + k_2v_{in}^2 + k_3v_{in}^3 + \dots \quad (1.1)$$

Donde  $v_{out}$  es la señal de salida,  $v_{in}$  es la señal de entrada y  $k_n$  es el  $n$ -ésimo coeficiente de la serie de *Taylor*. Si se aplican dos señales a la entrada de un amplificador caracterizado por la ecuación anterior, con amplitudes  $v_1$ - $v_2$  y frecuencias  $w_1$ - $w_2$ , la salida se puede expresar de la siguiente forma [10]:

$$v_{in} = v_1 \cos(w_1 t) + v_2 \cos(w_2 t) = X_1 + X_2 \quad (1.2)$$

$$v_0 = k_0 + \underbrace{k_1(X_1 + X_2)}_{\text{Fundamental}} + \underbrace{k_2(X_1 + X_2)^2}_{2^{\text{do}} \text{ Orden}} + \underbrace{k_3(X_1 + X_2)^3}_{3^{\text{er}} \text{ Orden}} + \dots \quad (1.3)$$

Realizando la expansión de las potencias presentes y agrupando términos similares, se obtienen los siguientes resultados:

$$\begin{aligned} dc &\iff k_0 + \frac{k_2}{2}(v_1^2 + v_2^2) \\ w_{1,2} &\iff k_1 v_{1,2} + k_3 v_{1,2} \left( \frac{3}{4} v_{1,2}^2 + \frac{3}{2} v_{2,1}^2 \right) \\ 2w_{1,2} &\iff \frac{k_2 v_{1,2}^2}{2} \\ w_{1,2} \pm w_{2,1} &\iff k_2 v_1 v_2 \\ 3w_{1,2} &\iff \frac{k_3 v_{1,2}^3}{4} \\ 2w_{1,2} \pm w_{2,1} &\iff \frac{3}{4} k_3 v_{1,2}^2 v_{2,1} \end{aligned} \quad (1.4)$$

Las señales resultantes caracterizadas por la ecuación (1.5) son conocidas como distorsión armónica de n-ésimo orden, por su relación proporcional con la frecuencia fundamental. Por su parte las señales resultantes caracterizadas por la ecuación (1.6) son conocidas como distorsión por intermodulación de n-ésimo orden, por la mezcla de frecuencias.

$$f_n = n w_{1,2} \quad (1.5)$$

$$f_n = n_1 w_1 \pm n_2 w_2 ; n = n_1 + n_2 \quad (1.6)$$

Con esta pequeña introducción a la distorsión y los resultados derivados, se analizarán las especificaciones extraídas de la definición de distorsión utilizadas para cuantificar el desempeño del VGA.

- **Punto de Intersección de tercer orden,  $IIP_3$**

Esta especificación junto al punto de intersección de segundo orden  $IIP_2$ , son utilizadas para medir el desempeño del circuito a pequeña señal. Sin embargo, el  $IIP_2$  no se tiene en cuenta debido a la mitigación de su efecto producto de aplicar una estructura completamente diferencial en el diseño del *VGA*.

Debido a su proximidad con la señal fundamental, las señales de intermodulación de tercer orden son las de mayor atención para un adecuado desempeño del circuito. Su incremento proporcional al cubo de la potencia de la señal de entrada, limita este nivel a un valor máximo, en el cual las potencias de la señal fundamental y del factor de intermodulación de tercer orden se igualan generando alteraciones intolerables en la información recibida. El  $PIIP_3$ , nombre asignado para cuantificar este nivel de potencia en la entrada e  $IIP_3$  su equivalente en tensión, el cual será utilizado de aquí en adelante por las características de transferencia de tensión del *VGA*, es una especificación no ponderable en la práctica. Su valor se estima por medio de simulaciones, aproximándolo al valor de potencia en la entrada donde se produce el corte entre las extrapolaciones de las curvas de ganancia a pequeña señal del tono fundamental y el factor de intermodulación de tercer orden (figura 1.5).

Para una estimación analítica de esta especificación se utilizan los resultados obtenidos en el ítem de distorsión. Por simplicidad se supone que las señales aplicadas en la entrada del circuito son de igual amplitud, es decir,  $v_1 = v_2$ . Asumida la suposición anterior, la amplitud de la señal fundamental es igual a  $k_1 v_1$  y la amplitud del factor de intermodulación es  $\frac{3}{4} k_3 v_1^3$ .

De acuerdo a la definición anteriormente dada para el  $IIP_3$ , se extrae su valor de la siguiente manera:

$$\frac{\frac{3}{4} k_3 v_{iip3}^3}{k_1 v_{iip3}} = 1 \quad \longrightarrow \quad v_{iip3} = 2 \sqrt{\frac{k_1}{3k_3}} \quad (1.7)$$

- **Punto de Compresión de 1 dB,  $P_{1dB}$**

El  $P_{1dB}$  es una especificación que permite evaluar el comportamiento no-lineal en gran señal de un circuito sin tomar en cuenta las interferencias. Este valor cuantifica el nivel de potencia en la señal de entrada, para el cual la curva de ganancia se comprime 1 dB con respecto a la curva extrapolada del comportamiento en pequeña señal del circuito (figura 1.5).

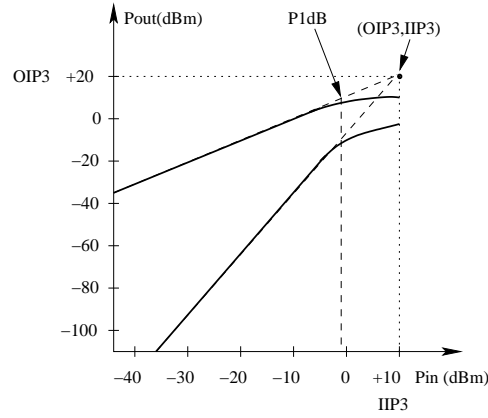


Figura 1.5: Gráfica de medida del  $IIP_3$  y el  $P_{1dB}$ .

El efecto de compresión de ganancia se representa por medio de la ecuación (1.8), donde  $v_o$  es la tensión de salida real y  $v_{oi}$  es la tensión de salida ideal.

$$20 \log \left( \frac{v_o}{v_{oi}} \right) = -1 \text{ dB} \longrightarrow \frac{v_o}{v_{oi}} = 0,89125 \quad (1.8)$$

Asumiendo  $v_2 = 0$  en la expresión para la amplitud de la señal de salida,  $v_o = k_1 v_1 + \frac{3}{4} k_3 v_1^3$ . Partiendo de la relación dada en la ecuación (1.8) se puede determinar el  $P_{1dB}$  de la siguiente forma:

$$\frac{k_1 v_{1dB} + \frac{3}{4} k_3 v_{1dB}^3}{k_1 v_{1dB}} = 0,89125 \longrightarrow v_{1dB} = 0,38 \sqrt{\frac{k_1}{k_3}}$$

El efecto no-lineal medido por esta especificación es dependiente de diversos factores químicos, físicos y eléctricos, convirtiéndose en una especificación poco precisa matemáticamente del diseño global. Los factores más influyentes en su comportamiento están ligados al proceso de fabricación, a la topología seleccionada y a las características no-lineales de los elementos activos. Como un ejemplo de factor eléctrico se puede mencionar las grandes variaciones de la transconductancia de un transistor debido a grandes variaciones en la señal de entrada. Dado que en la mayoría de topologías la transconductancia del transistor de entrada es un factor directo de la ganancia, sus variaciones se reflejan en esta de forma directa, conllevando a un aumento del nivel de distorsión generada por el circuito.

Otro factor de carácter eléctrico se halla en el cambio de región de operación de los transistores. Este cambio de región introduce no-linealidades que generan un aumento

en la distorsión producida, conllevando a una disminución del desempeño del circuito. Estos y muchos otros factores influyen de forma directa en la linealidad del circuito, surgiendo así la necesidad de cuantificar su efecto para determinar las capacidades del circuito diseñado.

Diversas consideraciones son aplicadas para mejorar la linealidad de un circuito. Aumentar la relación de tamaño ( $\frac{W}{L}$ ) de los transistores, permite una disminución en el voltaje de *overdrive*, incrementando el rango de variación de los  $V_{DS}$ . Sin embargo, esta consideración aplica siempre y cuando la corriente se mantenga constante y la señal de entrada presente una baja amplitud. Cuando la señal de entrada es grande, es necesario incrementar el voltaje de *overdrive* para mejorar la linealidad, pero se incurre en un incremento de la potencia consumida o una disminución de la ganancia. Otra alternativa es aumentar el valor de la transconductancia, de forma tal que las variaciones percibidas a la entrada, afecten en un menor porcentaje su valor estable. De esta forma se logra desensibilizar en cierto grado la linealidad del circuito con respecto a diversos factores, pero a costa de un aumento en el área y potencia consumida.

Las especificaciones plasmadas en el estándar *IEEE 802.11*, donde es incluido *Bluetooth*, están orientadas a un nivel de sistema. Esto conlleva a que las especificaciones del *VGA* a diseñar sean dependientes del desempeño alcanzado por las etapas anteriores y posteriores a su ubicación en la cadena de recepción. Para ello, se recopilan los resultados de los trabajos realizados anteriormente por el CIDIC sobre los bloques que conforman el receptor, extrayendo una aproximación cuantitativa de las especificaciones funcionales para el *VGA* (tabla 1.1).

En la tabla 1.1, el *DRG* presenta un *span* de  $50dB$ , valor extraído por medio de la diferencia de las sensibilidades especificadas por el estándar [9]. El valor máximo del *DRG* para el *VGA* está definido por el rango dinámico requerido a la salida ( $DR_{out} = 2V$ ) y el nivel de señal en la entrada; este último determinado por la aplicación de la ganancia de la etapa *LNA-Mixer* al nivel mínimo de sensibilidad ( $-70dBm$ ). Sin embargo, el  $DR_{out}$  fue disminuido a un valor de  $1,5V$  con el propósito de incrementar el valor de  $v_{IIP_3}$  a máxima ganancia. Cabe mencionar que el valor mínimo del *DRG* es  $50dB$  menos respecto a la mayor de acuerdo a la relación de las sensibilidades.

El valor de sensibilidad y el  $P_1dB$  a máxima ganancia es determinado con la mínima señal de entrada, ya que estos valores indican la mínima señal detectable y el valor de potencia para el cual circuito amplifica de forma adecuada el circuito. Los valores de la especificación  $IIP_3$  fueron extraídos de [9], donde se analiza toda la cadena de recepción y se reportan los valores de las especificaciones más importantes de cada etapa.

Etapa	LNA-MIXER	LPF	VGA	ADC	
				Bluetooth	GSM
BW [MHz]	1	1,1	1	-	-
Av [dB]	21,5	0	[6 - 56]	-	-
IIP3 [dBm]	-2,06	-	[13,3 -33]	-	-
Sensibilidad [dBm]	-	-	$\leq -54,5$	-0,1029	-36,22
P1dB [dBm]	-	-	Max Gain $> -54,5$ ; Min Gain $> -1,1$	-	-

Tabla 1.1: Especificaciones de la cadena de recepción.

### 1.3. Estado del Arte

Las comunicaciones inalámbricas representan el mayor campo de aplicación para los VGAs, sin embargo no son el único. Estos son requeridos frecuentemente en aplicaciones de computación, biomedicina, redes ópticas pasivas, compensación de temperatura, televisión digital, entre otras. Cualquier sistema electrónico que precise controlar la potencia de una señal requiere de un AGC, e implícitamente de un VGA.

Las especificaciones requeridas por un sistema son producto de su campo tecnológico de aplicación e implementación. En ese sentido, se hace valiosa la facultad de modificar características interdependientes en sus etapas constituyentes, de forma tal que permita su ajuste a requerimientos y condiciones cambiantes de operación. Un VGA se adapta dinámicamente a estas condiciones cambiantes de operación proporcionando las adecuadas para un apropiado funcionamiento de la etapa posterior. Esta adaptabilidad del VGA la da a su presencia un carácter relevante en la cadena de recepción de un *transceiver* y por lo tanto al desarrollo de este proyecto.

La tabla 1.2 proporciona una muestra representativa del estado del arte relacionado con el diseño de VGAs. Como se puede apreciar, la cantidad de aplicaciones en las que se requiere la implementación de este bloque es amplia y variada, al igual que las topologías utilizadas. Cada campo requiere de condiciones particulares que incitan a utilizar una u otra topología. Sin embargo, la clave para una adecuada selección se encuentra en el pleno entendimiento y dominio del compromiso existente entre las especificaciones y su impacto sobre el desempeño del sistema.

En [11] se reporta el DRG más amplio en el estado del arte, pero resulta inaplicable en diversos sistemas, ya que su valor máximo de ganancia es  $27dB$  lo que indica que ciertas condiciones deben ser cumplidas para afirmar que el mayor valor del DRG, proporciona el mayor potencial al momento de integrar esta etapa en un sistema. Por otra parte, la mayoría de VGAs reportados se caracterizan por presentar un alto consumo de potencia ligado al DRG, el BW y la linealidad. En [12] se presenta una topología mezclada, conformada por un par degenerado en fuente y un par de acople cruzado, proporcionando un DRG de  $70 dB$ , con un  $P_{1dB}$  de  $5 dBm$  a mínima ganancia, resultados bastante apreciables. Sin embargo, su

<b>Autor</b>	J. Xiao	S-H. Liu	H.-H. Nguyen	Y. Wang	S. Sakphrom
<b>Referencia</b>	[11]	[4]	[6]	[3]	[17]
<b>Año</b>	2008	2008	2008	2008	2007
<b>Topología</b>	<i>Common Source RF</i>	<i>Source Degenerated</i>	<i>Diode Connected L</i>	<i>Cherry-Hooper Amplifier</i>	<i>Class A-B Amplifier</i>
<b>P [mW]</b>	–	43,2	5	2,5	0,025
<b>BW [MHz]</b>	–	[0.3 - 5000]	[750 - 1000]	2200	10
<b>DRG [dB]</b>	[-73 - 27]	[-10 - 18,5]	[-21 - 21]	[-10 - 50]	[-33 - 33]
<b>IIP3 [dBm]</b>	–	–	[-9 - 14]	–	–
<b>P1dB [dBm]</b>	–	–	[-21,5 - -9]	[-13 - -55]	–
<b>Aplicación Específica</b>	<i>Transceiver W-CDMA</i>	<i>EPON</i>	<i>Read Channel Front-End</i>	<i>mm-wave Receiver</i>	<i>AGC</i>
<b>V<sub>DD</sub> [V]</b>	2,5	1,8	1,8	1	0,5
<b>Área [mm<sup>2</sup>]</b>	–	0,4592	–	0,1	–
<b>Tecnología [μm]</b>	0,13 <i>CMOS</i>	0,18 <i>CMOS</i>	0,18 <i>CMOS</i>	0,09 <i>CMOS</i>	0,18 <i>CMOS</i>

Tabla 1.2: Trabajos recientes de VGAs.

alto consumo de potencia, (33 *mW*) y la necesidad de ubicar cinco etapas en cascada para lograr el *DRG* propuesto, la presentan como una topología poco deseada para el proceso de integración monolítica.

El par diferencial con carga conectada como diodo, es una de las topologías más acogidas para la implementación de VGAs. En [13–15] se utiliza esta topología presentando muy buen desempeño en cuanto a linealidad y *DRG*. No obstante, su condición de alta transconductancia para lograr altas o bajas ganancias, resultado de su estructura, desemboca en grandes consumos de potencia y anchos de banda variables. Dada la notable dependencia del *BW* con respecto a la potencia consumida, [16] propone una etapa de carga de comportamiento inductivo, con la cual se mitiga notablemente esta dependencia, permitiendo mantener constante el *BW* en el rango lineal de ganancia del amplificador.

Recientemente, [6] presenta una propuesta novedosa que utiliza el par diferencial con carga conectada como diodo, disminuyendo el consumo de potencia hasta en un 90 % con respecto a las reportadas en [13–15]. La diferencia notable de esta topología radica en el control digital que es aplicado y su estructura simétrica que permite intercambiar los nodos de entrada y carga, permitiendo mantener el comportamiento característico de la configuración sin afectar su desempeño. Por otra parte, su implementación requiere de una única etapa en comparación a [14] y [13] que requieren dos y tres etapas respectivamente. Sin embargo, esta ganancia en área y potencia presenta su compensación en la consecución de dos tercios del *DRG* en comparación con las otras propuestas. Cabe anotar que este *DRG* es suficiente para cumplir los requerimientos de diversos campos de aplicación.

El requerimiento de grandes corrientes para mejorar la linealidad, aumentar el *DRG* y el *BW* en un VGA, atentan contra la autonomía de un sistema, ya que limita el tiempo de vida

de la batería utilizada para la alimentación del mismo. En [17] se presenta el *VGA* con menor consumo de potencia reportado en la literatura, alcanzando un valor inferior a los  $25 \mu W$ . La topología utilizada es un amplificador clase AB, que no usa fuentes de corriente con el fin de no limitar los rangos dinámicos. El *DRG* obtenido es de  $68 \text{ dB}$ , con una ganancia máxima de  $34 \text{ dB}$ . Sin embargo este no cumple con los requerimientos plasmados en la tabla 1.1. Adicional a esto, la linealidad es afectada fuertemente por efectos secundarios cuando se opera en los extremos del nivel de potencia de la señal de entrada.

Por otro lado, la inclusión de transistores operando en la región de triodo [16, 18], es una tendencia que ha tomado notable fuerza en los últimos años. Su aplicación no requiere un incremento en el consumo de potencia y adicionalmente proporciona un incremento en la ganancia y el ancho de banda, características que identifican al cascodeo, donde se ha propuesto la aplicación de estos como transconductores de entrada. No obstante, reduce los rangos dinámicos de operación, incrementa el área y afecta negativamente la linealidad si no es polarizado adecuadamente.

Teniendo en cuenta el ancho de banda, [4] reporta el valor más alto alcanzado para esta especificación, con un valor de  $5 \text{ GHz}$ . Es de notar que el consumo de potencia es considerablemente alto, respecto a otros reportados en el estado del arte. Cabe aclarar que en el consumo reportado es considerado todo el lazo *AGC* y no el *VGA* de forma aislada como sucede en la mayoría de reportes. Cabe notar que el proceso de fabricación utilizado en el diseño es de *CMOS*  $180 \text{ nm}$ .

Finalmente, es importante resaltar la constante discusión que se ha desarrollado respecto al tipo de control de ganancia más adecuado. Desde la aparición del amplificador de ganancia variable hasta aproximadamente 1994, esta función era efectuada en el dominio analógico. A partir de ese momento, surgieron diversas propuestas que efectuaban la variación de la ganancia por medio de una etapa digital, sin embargo, se ha argumentando ésta presenta modificación y/o pérdida de la información debido a los saltos de ganancia. Aunque este problema es real, no se presenta en todos los esquemas de modulación, y en particular los que se basan en modulación de frecuencia como *GFSK*. Por otra parte, el control digital proporciona versatilidad y disminución en la complejidad de la implementación del control de ganancia, pero, en la mayoría de las propuestas reportadas en el estado del arte, se puede apreciar un incremento notable en el área del circuito y la potencia, con el propósito de disminuir el valor en el paso de ganancia.

## 1.4. Organización del Documento

Con la finalidad de dar orden a las ideas desarrolladas, el documento está estructurado de la siguiente forma:

En el capítulo 2 se documenta el proceso de selección de la topología para cada una de las etapas que conforman el *VGA*. Se realiza un análisis de cada una de las especificaciones más relevantes, presentando las ventajas y desventajas de cada topología respecto a ellas y finalmente se selecciona la más adecuada para la aplicación requerida.

En el capítulo 3 se exponen los detalles para la formulación de cada etapa, se presenta el diseño de la celda núcleo aplicando programación geométrica y los flujos de diseño para las demás etapas de acuerdo a la metodología empleada, junto a resultados de simulación de cada etapa en forma individual.

Finalmente, en el capítulo 4 se exponen los resultados de la configuración completa del *VGA*. Se procede a elaborar el *layout* y realizar las respectivas simulaciones *post-layout* para contrastar resultados. Finalmente se describen algunas conclusiones, observaciones y recomendaciones para trabajos futuros.

# Capítulo 2

## Selección de topología

La identificación del problema junto a un planteamiento de las especificaciones que determinan el funcionamiento del *VGA* representan el producto obtenido con el desarrollo del capítulo anterior. Posterior a la identificación del problema y a la fijación de los requerimientos para el circuito, se procede a seleccionar la configuración más adecuada para la implementación del *VGA*.

La selección de topología es una de las fases de mayor importancia en el flujo de diseño de un circuito. Durante esta fase se obtiene una visión clara de las ventajas y desventajas de cada configuración, además de su impacto sobre el desempeño global del sistema. También permite estimar en lo posible el cumplimiento de las especificaciones, teniendo en cuenta las condiciones de operación del sistema, que dependen del campo de aplicación al que está orientado. Una definición clara de las restricciones en la tecnología de fabricación, la aplicación y en la implementación de una determinada topología, pueden llevar al diseñador a generar una alternativa propia en base a una o varias ideas ya reportadas, alcanzando mejores resultados.

Para reportar cada una de las topologías analizadas, se procede a analizar el desempeño de cada una respecto a las diferentes especificaciones -rango dinámico de ganancia (*DRG*), consumo de potencia, ancho de banda (*BW*) y linealidad,- lo cual resulta apropiado para realizar una selección acertada. Además, considerando la aplicación (*Transceiver Bluetooth*), es recomendable implementar un comportamiento exponencial en la ganancia respecto a la señal de control [19] y como consecuencia, se reduce el análisis a unas cuantas topologías reportadas con esta característica exponencial, como es el caso de el par diferencial con carga conectada como diodo, el par diferencial con transconductores de entrada operando en la región de triodo, el multiplicador de cuatro cuadrantes con aplicación de *Current-Steering*, los circuitos de capacitores conmutados y los circuitos translineales [4, 6, 13, 14, 16, 18, 20].

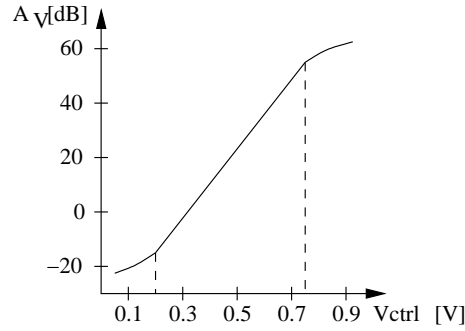


Figura 2.1: DRG para un circuito con comportamiento de ganancia lineal.

## 2.1. Rango Dinámico de ganancia

El *DRG* está definido como el intervalo en el cual la ganancia de un circuito presenta un comportamiento definido, ya sea logarítmico, lineal, exponencial, cuadrático, etc, con respecto a una o más señales de control. Para dar una mayor noción respecto a esta definición, en la figura 2.1 se da un ejemplo de este comportamiento, donde se puede observar una la ganancia lineal durante el rango de variación de la señal de control y de acuerdo a esto, el *DRG* está aproximadamente en el rango  $[-15 - 55]dB$ .

El *Span* o ancho del *DRG*, se define de acuerdo a la aplicación y por lo tanto no tiene sentido fijar límites absolutos. Como un ejemplo, en [4, 13] se reportan *VGAs* con rangos dinámicos de  $[-10 - 18,5]dB$  y  $[-30 - 65]dB$ , aplicados a redes ópticas pasivas y sistemas de comunicación inalámbrica respectivamente. La diferencia trascendental en la determinación de los *DRG* anteriormente mencionados, radica en las condiciones de operación a las que está sujeto el circuito; ya que las atenuaciones que se producen en la transmisión de datos por fibra óptica no presenta grandes variaciones como se podrían presentar en un ambiente hostil del mundo cotidiano. A continuación se presenta al análisis de las diferentes propuestas reportadas con el fin de comparar los diferentes desempeños respecto a esta especificación.

### Par diferencial con carga conectada como diodo

Esta topología (figura 2.2), ha sido ampliamente acogida por su versatilidad y sencillez [5, 6, 14, 15, 20, 21]. Una inspección sencilla de la configuración, permite determinar la ganancia en banda plana, definida por la ecuación (2.1).

$$A_v = \frac{g_{m_{in}}}{g_{m_{load}}} = \sqrt{\frac{(\frac{W}{L})_{in} I_{in}}{(\frac{W}{L})_{load} I_{load}}} \quad (2.1)$$

Donde los subíndices *in* y *load*, indica su pertenencia a los par diferencial de entrada (*M1*, *M4*) y carga (*M2*, *M3*) respectivamente. El principio de operación de esta configuración



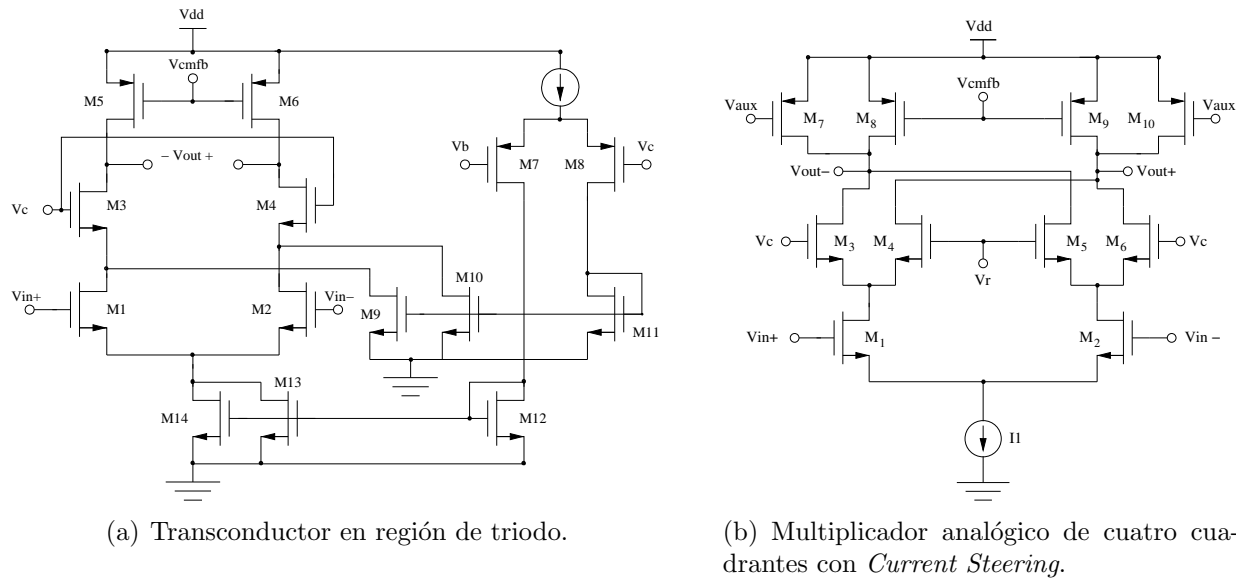


Figura 2.3: Configuraciones de VGAs.

de la ganancia e introduce distorsión en grandes proporciones [14, 20].

### Par diferencial con transconductores operando en triodo

Algo similar respecto al rango limitado en la señal de entrada y la ganancia de la configuración anterior sucede en este caso (figura 2.3(a)) [16, 18]. Para obtener bajas ganancias, el  $v_{ds}$  del transistor debe ser bajo restringiendo el nivel máximo de señal a la entrada, el valor mínimo y máximo de ganancia por etapa, obteniendo un rango reducido de variación para la señal de control que limita el *DRG* y por lo tanto se necesita de dos o tres etapas para cumplir los requerimientos de un sistema de comunicación inalámbrico, incrementando área y consumo de potencia [16, 18].

### Multiplicador de cuatro cuadrantes con *Current Steering*

A diferencia de las anteriores, el multiplicador de cuatro cuadrantes con aplicación de *Current Steering* [13] (figura 2.3(b)), logra bajas ganancias sin modificar la corriente ni la región de operación en el transconductor de entrada, lo cual permite obtener un comportamiento estable del rango dinámico en la señal de entrada y ventajas adicionales que serán expuestas posteriormente. Su estructura cascode permite obtener altas ganancias debido a la alta impedancia en el nodo de salida; incrementada por la aplicación de una fuente respaldo que disminuye la corriente en la carga para aumentar la impedancia de salida. Con estas condiciones probablemente se disminuye el número de etapas de ganancia, el área y la potencia respecto a las anteriores. Sin embargo, su operación a baja ganancia impone

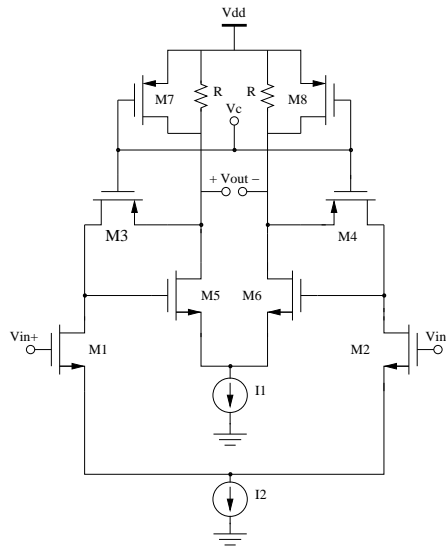


Figura 2.4: Amplificador *Cherry-Hooper* modificado

fuertes restricciones sobre la etapa de control, ya que debe proporcionar salidas estables respecto a variaciones de parámetros y temperatura; comportamiento altamente complejo en su implementación debido a las características del proceso de fabricación empleado.

### *Cherry-Hooper* modificado

Esta alternativa a la tradicional *Cherry-Hooper* fué reportada recientemente con el propósito de implementar la variación de ganancia [3]. La modificación propuesta consiste en reemplazar un resistor de valor fijo por uno sintonizable ( $R_f$ ) implementado mediante un transistor *PMOS* operando en la región de triodo ( $M3$  y  $M4$ , figura 2.4). Para alta ganancia se cumple que  $R \gg R_f$ , donde  $R$  y  $R_f$  son los resistores de carga y de realimentación respectivamente. De esta forma, la ganancia máxima está definida como:

$$A_{vmax} = g_{m1}R_f \quad (2.2)$$

y como se observa en la figura, un transistor tipo *P* se ubica en paralelo con  $R$  para disminuir la resistencia de salida cuando se presentan grandes entradas, incrementando el rango de sintonización de la ganancia a consta de algunas restricciones. Primero, el incremento en la corriente proporcionada por la fuente controlada de tensión no puede ser grande, en caso contrario, las fuentes de corriente de los pares diferenciales podrían ingresar en la región de triodo modificando el comportamiento general del circuito. Y segundo, producto del comportamiento descrito anteriormente, se obtiene un rango limitado en la señal de control y por tanto de variación de ganancia de la etapa. Entonces, nuevamente se hace necesaria la implementación de varias etapas de ganancia en cascada para alcanzar el rango dinámico

requerido, incrementando área y consumo de potencia.

### Configuración Translineal

Continuando el análisis de topologías, existe un grupo de circuitos conocidos como circuitos translineales que operan en modo corriente, es decir entrada corriente-salida corriente. Esta clase particular de circuitos permite implementar un comportamiento pseudo-exponencial de la forma raíz cuadrada como se muestra en la ecuación (2.3).

$$e^x = \sqrt{\frac{1+x}{1-x}} \text{ con } x = \left| \frac{Ix}{I_{bias}} \right| \ll 1 \quad (2.3)$$

Los amplificadores de ganancia variable no han sido muy trabajados bajo el concepto translineal. La propuesta reportada en [22], es la única encontrada en la literatura orientada a este tipo de circuitos. Se reporta una configuración clase *AB* que presenta un *span* en el *DRG* de aproximadamente  $12dB$  o  $4[\frac{A}{A}]$ . El rango limitado de variación de ganancia es producto de la restricción impuesta en la ecuación para obtener precisión en la aproximación pseudo-exponencial, por lo cual se debe recurrir a la aplicación de varias etapas de ganancia para cumplir con el *DRG* requerido.

Adicionalmente, debido a que los sistemas de comunicación inalámbrica manipulan señales de tensión a lo largo de toda la cadena de recepción y transmisión, implementar este tipo de *VGAs* requiere la utilización de un convertor  $V - I$  en la entrada y un convertor  $I - V$  *single-end to differential* a la salida, para la adecuación de la señal recibida a la siguiente etapa de la cadena de recepción (un *ADC* operando en modo tensión). Agregar estos convertidores implica un aumento en la complejidad del diseño, además de un incremento de área y consumo de potencia.

## 2.2. Consumo de potencia

Como se menciona al inicio del documento, el tiempo de vida de una batería es uno de los factores críticos que determinan la demanda, utilización y valoración de un dispositivo o sistema portátil. Existen dos factores que determinan el incremento del tiempo de vida de la batería. El primero es la industria química que manipula y desarrolla los materiales para su fabricación, y el segundo es el consumo de los circuitos a los que alimenta. Este último factor puede ser manipulado por los diseñadores de circuitos contribuyendo al objetivo primario de otorgar la autonomía parcial o total a un sistema inalámbrico. En ese sentido, el consumo de potencia es el segundo criterio de comparación para el análisis en desarrollo.

### Par diferencial con carga conectada como diodo

Esta arquitectura reporta uno de los mayores consumos de potencia en el estado del arte debido al compromiso directo entre potencia y las principales especificaciones del *VGA* (*DRG*, *BW* y linealidad). Retomando lo mencionado en la sección anterior, la corriente del par de entrada limita el rango dinámico a la entrada, la máxima ganancia de la etapa y la linealidad a bajas ganancias, por su parte, la corriente del par de carga limita el rango dinámico a la salida, la mínima ganancia de la etapa, el ancho de banda y la linealidad a altas ganancias [13, 20], luego el consumo de potencia es el gran limitante de la mayoría de las especificaciones del circuito.

### Par diferencial con transconductores operando en triodo

En contraste, esta topología presenta consumos de potencia menores respecto a la anterior con un *DRG* similar. Este resultado se debe principalmente a un aumento considerable en la impedancia de salida proporcionado por la resistencia intrínseca del transistor de carga. Cabe notar que la impedancia intrínseca del transistor incrementa inversamente proporcional a la corriente de carga, obteniendo un incremento en la ganancia con una disminución de la potencia. Sin embargo, este no es pronunciado ni constante, ya que para cierto valor de la corriente de carga, la disminución en la transconductancia de entrada supera el incremento de la impedancia de salida.

A mínimas ganancias la corriente del par de entrada disminuye desviándose por un sumidero de corriente dirigido a tierra controlado por la misma tensión que controla la ganancia. Con ese sumidero se evita que la corriente sobrante de la atenuación en el transistor de entrada conduzca el sumidero de corriente inferior a la región de triodo, lo cual modificaría totalmente el funcionamiento del circuito. Sin embargo ese sumidero incurre en un desperdicio de corriente útil, el cual es aprovechado en la definición de la transconductancia en la configuración *Current-Steering*.

### Multiplicador de cuatro cuadrantes con *Current Steering*

La configuración *Current-Steering* presenta un consumo de potencia similar a la anterior, pero a diferencia de esta, utiliza toda la corriente extraída de la fuente de alimentación para estabilizar la transconductancia de entrada en un valor fijo, minimizando el impacto de las grandes variaciones en la señal de entrada. Esta configuración presenta un aditamento conocido en la literatura como fuente de respaldo o respaldo, que permite incrementar la ganancia sin disipar mayor potencia y permite aplicar la cancelación de *offset* a través del control de su corriente, obteniendo un consumo de potencia reducido.

### *Cherry-Hooper* modificado

La topología *Cherry-Hooper* (figura 2.4) utiliza en la definición de su ganancia una de las dos transconductancias generadas en el circuito,  $g_{m1}$ . Esto indica que la corriente extraída para generar la transconductancia  $g_{m5}$  cumple únicamente funciones de polarización, lo cual representa una alta ineficiencia aumentando el consumo de potencia y por consiguiente su aplicación en sistemas de comunicación inalámbrico resulta inadecuada.

## 2.3. Linealidad

La linealidad de un amplificador de ganancia variable presenta dos planos para su evaluación: el comportamiento a pequeña señal que determina el nivel de distorsión generado por el circuito, y el comportamiento a gran señal que determina el límite máximo en la potencia de la señal de entrada, para el cual el transistor puede ser representado por el modelo linealizado que se aplica en el análisis de pequeña señal del circuito.

Para cuantificar estos planos de operación, se utilizan diversas medidas como el  $v_{P_{1dB}}$ , el  $v_{IIP_2}$ , el  $v_{IIP_3}$ , el *Composite triple-order beat (CTB)* y el *Composite second-order beat (CSO)*. Particularmente, los sistemas de comunicación inalámbrica de banda angosta utilizan como referencia los primeros tres mencionados [10]. Como se menciona en el capítulo 1 en la sección de distorsión, estos puntos de referencia son definidos por los coeficientes de la expansión en series de *Taylor* de la corriente de drenó respecto a la tensión aplicada sobre sus terminales ( $v_d, v_g, v_s, v_b$ ). Para obtener estos coeficientes se utilizan modelos complejos como los reportados en [23, 24], que incluyen efectos secundarios de gran influencia en la determinación del comportamiento  $I - V$  del transistor. Sin entrar en un análisis matemático riguroso de la linealidad, durante esta sección se expone una estimación del desempeño alcanzado por las diferentes topologías respecto a esta especificación.

La mayoría de propuestas reportadas en la literatura muestran resultados variados respecto a la medición de la linealidad. La variada gama de factores que influyen en su definición junto a la creciente desviación del valor medio de los parámetros que caracterizan el proceso de fabricación de la tecnología *CMOS*, resultan decisivos en un comportamiento quasi-aleatorio de esta especificación. Como consideración particular extraída del análisis del estado del arte, cabe notar que una alta ganancia genera una disminución en los valores que determinan la linealidad.

### Par diferencial con carga conectada como diodo

En la configuración del par diferencial con carga conectada como diodo, la variación de los parámetros característicos del proceso de fabricación ejerce una menor influencia sobre la definición de la linealidad, ya que las desviaciones se presentan aproximadamente igual en las dos ramas que definen la ganancia. Sin embargo, en los límites del *DRG*, se generan condiciones particulares que modifican el comportamiento. Para alta ganancia, la corriente del par de carga se disminuye, atenuando el rango dinámico a la salida. Si la potencia en la señal de entrada supera un nivel determinado, el efecto de compresión de ganancia se presenta, imponiendo límites para la definición de la linealidad. En el caso opuesto, la baja ganancia requiere una disminución de la corriente en el par de entrada y por consiguiente de su transconductancia, haciéndola susceptible a las grandes variaciones en la señal de entrada. Por consiguiente los rangos limitados a alta y baja ganancia restringen la linealidad del circuito [14, 20].

### Par diferencial con transconductores operando en triodo

En este caso, la linealidad está definida por el transconductor de entrada debido a que la ganancia de la puerta al drenó del transistor es menor a la unidad [25]. Expresiones para los factores de intermodulación de segundo y tercer orden son reportados en [23], de donde se deduce que para mejorar el desempeño respecto a la linealidad es necesario incrementar el  $v_{DS}$  e implícitamente el consumo de potencia de forma tal que se mantenga una ganancia semi-estable.

### Multiplicador de cuatro cuadrantes con *Current Steering*

Similar a la topología anterior, se limita la linealidad con el rango dinámico a la entrada, pero con una notable diferencia, el límite de variación sobre la señal de entrada es impuesto por el paso de la región saturación-triodo y no sub-umbral-triodo-saturación en el transistor de entrada, permitiendo un mayor rango de variación por la extensión de la región de saturación comparada con la de triodo cuando se distribuyen de forma adecuada las tensiones. Dado que la configuración cascodo se analiza como dos etapas en cascada [25], los resultados indican que el transistor cascodo es quien domina la linealidad si se presenta que la ganancia puerta-drenó en el transistor de entrada es mayor a 1. En ese caso, se deben aplicar consideraciones geométricas y de polarización para obtener un alto valor de esta especificación [26].

### *Cherry-Hooper* modificado

En esta configuración la linealidad está directamente ligada a la señal de control y al consumo de potencia, que limitan el rango dinámico a la salida y el máximo valor para la tensión  $v_{SD}$  del transistor de realimentación. En [23] se definen las expresiones para obtener el  $v_{P_{dB}}$  y  $v_{IIP_3}$  en un transistor operando en la región de triodo, presentando una dependencia directa de la tensión  $v_{SD}$ , lo cual indica que para maximizar la linealidad del circuito se puede recurrir a una disminución de las dimensiones de los transistores para incrementar voltajes de *overdrive*, a costa de atenuación en la ganancia; o por medio de un incremento en la potencia consumida por el circuito. No obstante, estas dos medidas incrementan la sensibilidad de la ganancia con respecto a la señal de control debido a la disminución en su rango de variación.

## 2.4. Ancho de Banda

El ancho de banda ( $BW$ ) de un circuito está determinado por la ubicación de sus polos. Por lo general, una configuración presenta dos o tres polos, uno en la salida, uno intermedio en el circuito y uno en la entrada. Cada uno de estos polos ejerce su influencia en la definición del comportamiento en frecuencia del circuito, pero en la mayoría de los casos el polo en la salida domina la ganancia y el polo intermedio domina la fase. El ancho de banda de un sistema está directamente ligado al campo de aplicación y las condiciones de operación a las que es sometido. Para un *VGA* integrado en un *transceiver* operando bajo el estándar *Bluetooth*, el  $BW$  requerido es de  $500\text{ kHz}$  [27] y para las topologías objeto de análisis no es problema obtener este valor, lo complejo es poder adaptarlo a los requerimientos sin afectar de forma apreciable las demás especificaciones de desempeño. Por lo tanto, esta sección expone un análisis sencillo de los compromisos y las dependencias que se presentan para su consecución respecto a las demás especificaciones

### Par diferencial con carga conectada como diodo

En esta configuración, el polo inherente al nodo de salida es el dominante en el comportamiento de ganancia. A lo largo del *DRG* este polo presenta un comportamiento cambiante debido a la variación de la impedancia de salida y al efecto *Miller* que varía su influencia con la variación de la ganancia. Como casos particulares se analizan los extremos del *DRG*. Para alta ganancia la corriente del par de carga es disminuida, lo cual incrementa la impedancia de salida  $\frac{1}{g_{mload}}$  y por consiguiente el polo en la salida se desplaza a la izquierda limitando el  $BW$  del circuito, ya que la capacitancia asociada al nodo de salida permanece constante. Para bajas ganancias se presenta la situación contraria, la impedancia asociada al nodo de

salida  $\frac{1}{g_{mload}}$  disminuye su valor, lo cual desplaza el polo a una frecuencia mayor ampliando el  $BW$  del circuito. Este comportamiento fuertemente dependiente se presenta entre la mayoría de especificaciones, lo cual es un comportamiento no deseado.

### Par diferencial con transconductores operando en triodo

La topología de cascodo operando en la región de triodo presenta dos polos dominantes claramente definidos, uno en la salida y el otro en el dreno del transistor de entrada. La dependencia de esta especificación con respecto a las demás no es tan fuerte como en la configuración anterior. Su valor para un determinado consumo de potencia se entrelaza con la ganancia obtenida; a mayor ganancia, menor  $BW$  y lo inverso. A pesar que la corriente extraída de la fuente no se usa para la definición de la transconductancia, si se emplea para definir el  $BW$  ya que se mantiene constante en la carga. De acuerdo a lo anterior, la dependencia entre esta especificación y las demás no origina conflictos notables en el desempeño del sistema.

Por su similitud estructural con la configuración anterior, la *Current-Steering* presenta un comportamiento semejante en este aspecto, diferenciado explícitamente por la influencia directa que ejerce el  $DRG$  obtenido con una u otra.

### *Cherry-Hooper* modificado

En este caso es diferente la relación ganancia-ancho de banda ( $GBW$ ) por el efecto de la realimentación que ejerce el transistor  $M3$  (figura 2.4). Sin importar el valor de la ganancia, la impedancia asociada al nodo de salida es independiente de la señal de control con un valor de  $\frac{1}{g_{m5}}$ . A pesar de presentar un valor bajo de resistencia asociada a la salida, la capacitancia está dominada por la carga, la cual puede ser alta en función de la ganancia de la siguiente etapa, disminuyendo el valor de  $BW$ . De esa forma, técnicas como las descritas en [3] pueden ser aplicadas para minimizar el impacto de la carga sobre el ancho de banda y maximizar su valor con el objetivo de obtener el mejor desempeño.

Culminado el análisis del desempeño de las diferentes configuraciones recopiladas que permiten implementar un amplificador de ganancia variable de comportamiento exponencial en ganancia, se opta por seleccionar la topología *Current-Steering* como base para el desarrollo de este trabajo, debido a las ventajas que presenta respecto a las demás, particularmente en la consecución de un alto  $DRG$  y bajo consumo de potencia. Esta topología presenta una estructura completamente diferencial, la cual posee un nodo de alta impedancia en el dreno de los transistores de carga. La precisión con la que se puede determinar este valor de tensión es bajo, ya que su definición presenta una alta sensibilidad frente a diferentes parámetros y

efectos del proceso de fabricación. Para solucionar este problema, se debe implementar un lazo de realimentación en modo común (*CMFB*) y como consecuencia, se deben analizar diversas opciones para implementar esta función de realimentación en la celda núcleo seleccionada.<sup>1</sup>

## 2.5. Etapa *CMFB*

Cada una de las etapas que componen la topología diferencial seleccionada es valiosa para la adecuada operación del circuito. Sin embargo, la etapa de realimentación de modo común (*CMFB*, *Common-mode Feedback*) es indispensable para ello, ya que fija un punto estable y conocido en el nodo de salida, con el fin de permitir la operación del circuito en la región para la cual fue diseñado. Esta etapa surge como respuesta a la pobre definición de los voltajes de dreno en los transistores, producto de igualar dos fuentes de corriente diferentes, una tipo *N* y una tipo *P*. Este problema se acrecenta considerablemente cuando se toma en cuenta el efecto de *mismatch* para la definición de la corriente en los transistores, modificando de forma considerable el valor de esta tensión [28]. Algunas configuraciones han sido propuestas para implementar esta etapa, pero circuitos *CMFB* que operan bajo la técnica de capacitores conmutados no son adecuados para aplicaciones de tiempo continuo debido a los altos niveles de ruido y distorsión que introducen.

El mecanismo para sensar la señal es uno de los factores de mayor relevancia en la selección de esta etapa. Diversas configuraciones emplean una celda compuesta por dos transistores conectados en cascada para sensar la señal de modo común [4, 18]. A pesar de cumplir su función adecuadamente, esta etapa introduce un efecto de carga resistivo y capacitivo adicional sobre el nodo de salida, generando una disminución del *BW* y de la ganancia de la etapa diferencial. No obstante, otras configuraciones como las *DDA* (*Differential Difference Amplifier*) sensan la señal de salida por medio de un par diferencial, introduciendo un efecto de carga capacitivo en lugar de resistivo sobre el nodo de salida, con lo que se mitiga el efecto de la etapa *CMFB* sobre la ganancia, pero se mantiene el efecto sobre el *BW*. Una característica de esta clase de configuraciones se remite al sensado de la señal por diferentes ramas, disminuyendo el error en la medida realizada. Lo anterior tiene fundamento en que la estructura *DDA* compara las señales de salida en cada nodo y no su promedio con respecto a la señal de referencia [28].

La figura 2.5 muestra la topología seleccionada que se caracteriza por utilizar la cancelación diferencial de corrientes en señal del par de entrada para mantener la tensión de salida estable. Una de sus grandes limitantes es el rango dinámico a la entrada debido a las características del par diferencial. Sin embargo, la máxima amplitud presente en la entrada

---

<sup>1</sup>De ahora en adelante se conocerá como celda núcleo a la etapa principal de ganancia en el *VGA*

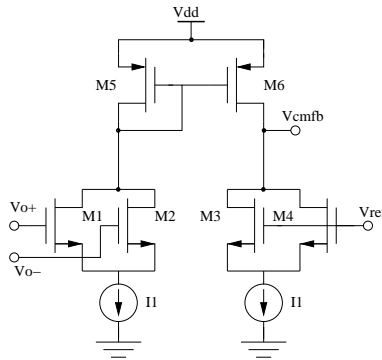


Figura 2.5: Etapa *CMFB* seleccionada.

de esta etapa no supera los  $100mV$  debido a que se selecciona un valor estable en la salida de la celda núcleo de  $75mV$ . De esta forma, el rango dinámico a la entrada deja de ser un limitante, para convertirse en una consideración en el diseño de la etapa *CMFB*.

## 2.6. Etapa de Control

La etapa de control es la encargada de proveer la señal, en este caso las señales que varían la ganancia bajo un determinado comportamiento. Como se menciona al inicio del capítulo, el comportamiento seleccionado fue el exponencial por la ventaja que ofrece para maximizar la eficiencia del *BW* a través de la aplicación de un tiempo de asentamiento constante en el lazo *AGC*.

La implementación del comportamiento exponencial en la tecnología *CMOS* presenta diversas propuestas, -transistores *MOS* operando en la región subumbral, transistores bipolares parásitos *PNP*, por aproximación en series de *Taylor* o por funciones pseudo-exponenciales producto del comportamiento cuadrático del transistor *MOS* operando en la región de saturación,- no obstante, la aplicación de cada método está restringida por las condiciones de operación y la precisión requerida.

A excepción de la operación en la región sub-umbral, el transistor *MOS* presenta un comportamiento definido complejo de adaptar. Debido a esto, no son muchas las propuestas en la literatura que permiten generar una etapa de control de comportamiento exponencial. En [11] se propone una configuración de transistores *MOS* para implementar una función racional de orden cuadrático, formada por dos series de *Taylor* (figura 2.6). Sus rangos dinámicos a la entrada y salida son superiores con respecto a otras topologías. Sin embargo, la complejidad en su diseño es tan elevada que no fue posible entender su principio de funcionamiento. Adicionalmente, no se muestra un análisis de desempeño con respecto a la temperatura, variable de gran trascendencia en este tipo de circuitos debido a la fuerte dependencia de los

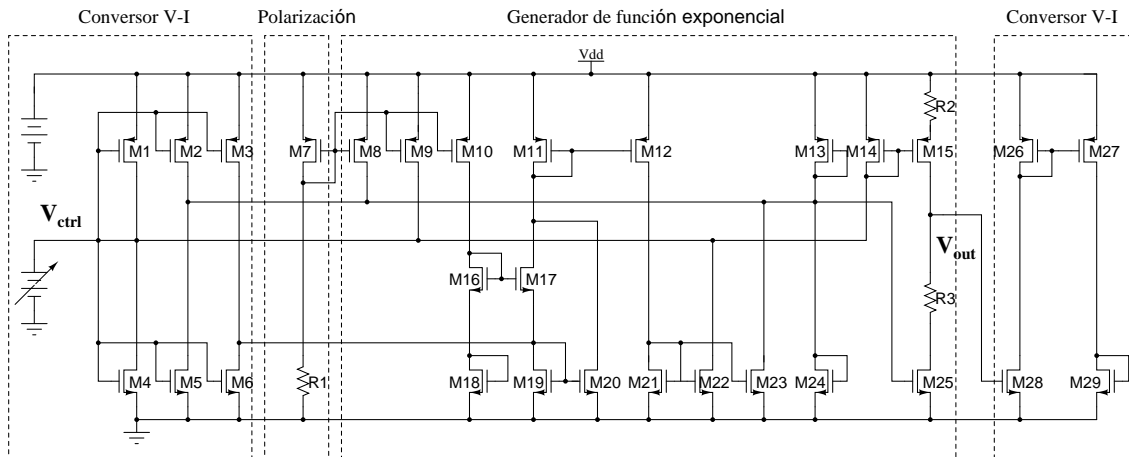


Figura 2.6: Generador de función exponencial.

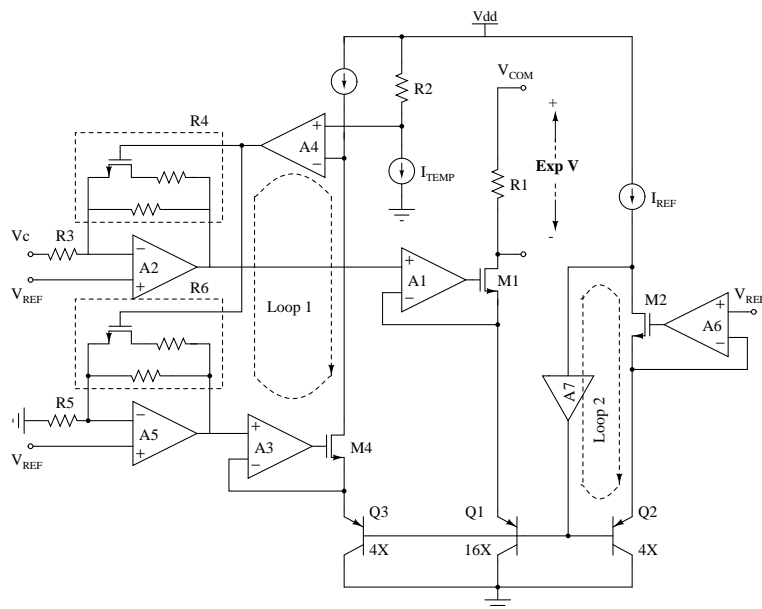


Figura 2.7: Generador de función exponencial compensado en temperatura.

parámetros característicos del proceso de fabricación respecto a esta variable de diseño.

En [7] se propone una alternativa que presenta buen desempeño para implementar esta etapa (figura 2.7). Su estructura está conformada por un generador exponencial compensado en temperatura y un controlador de ganancia lineal en decibelios. Su rango dinámico en la señal de control alcanza un valor superior a  $1,5V$  y su precisión es  $\pm 0,6dB$ . Sin embargo requiere de gran cantidad de dispositivos activos para lograr su adecuado desempeño, generando un incremento en área cuatro veces mayor a la de una etapa de control sencilla.

En [8] se propone una alternativa basada en transistores operando en la región subumbral alcanzando un rango dinámico en la señal de control cercano a los  $800mV$  (figura 2.7). Para

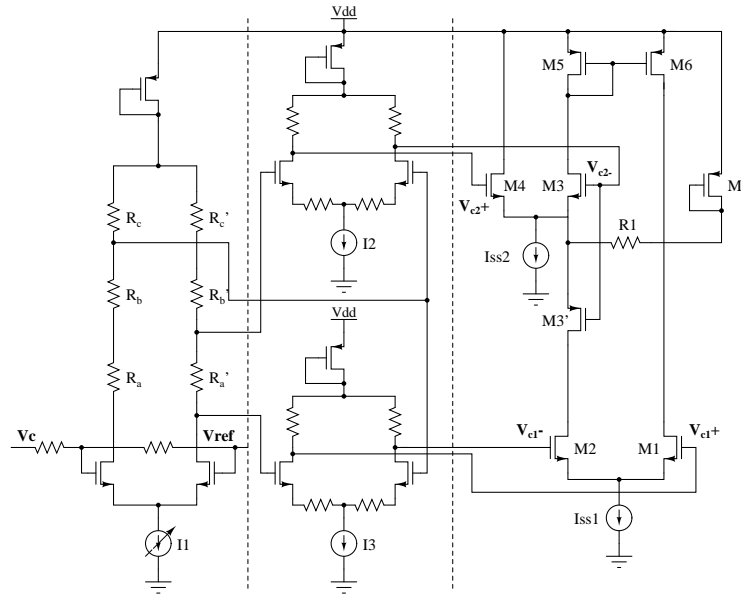
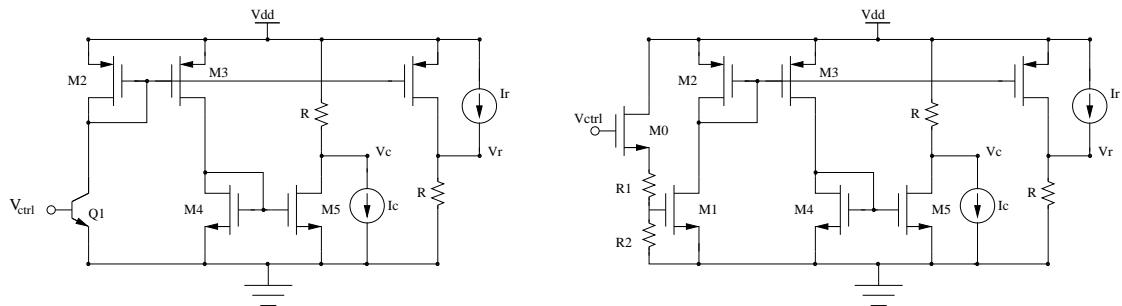


Figura 2.8: Generador de función exponencial operando en subumbral.



(a) Etapa de control con transistor bipolar *NPN*.

(b) Etapa de control propuesta.

Figura 2.9: Etapas de control base y propuesta.

alcanzar este rango y mitigar algunas de las deficiencias generadas por la operación en esta región, los autores incrementan la complejidad de la etapa al punto de requerir un cancelador de *offset* y la generación de una señal de control interna adicional dependiente de la señal de control externa y de la temperatura. Al igual que en [11] no muestran análisis con respecto a la temperatura.

En [13] se propone una etapa de control que utiliza un transistor bipolar *NPN* como referencia para obtener una corriente exponencial (figura 2.9(a)). Esta corriente es espejada y aplicada sobre una carga pasiva resistiva para generar las tensiones de control requeridas por la celda núcleo. El comportamiento exponencial en los transistores bipolares se mantiene vigente por décadas de corriente y produce incrementos notables de corriente debido a mínimas variaciones en la tensión  $V_{BE}$ . Por esta razón, el rango dinámico de la señal de control es

restringido alcanzando un valor aproximado de  $150mV$ . Un rango tan limitado en la señal de control, aumenta la sensibilidad de la ganancia con respecto a esta señal generando grandes errores comparado con la curva ideal de ganancia. Al igual que en propuestas anteriores, en esta configuración no muestran un análisis con respecto a la temperatura. Adicionalmente, los transistores bipolares *NPN* no son implementables en el proceso de fabricación *CMOS*  $0,35\mu m$  de *AMS (Austria MicroSystems)* empleado en este trabajo.

Debido a la sencillez y funcionalidad orientada a la celda de ganancia variable, se selecciona y modifica la topología propuesta en [13] (figura 2.9(b)), con el fin de incrementar el rango de la señal de control y por consiguiente disminuir la sensibilidad de la ganancia respecto a esta señal.

Seleccionadas las diferentes configuraciones para las tres etapas más relevantes en el diseño del *VGA*, se puede dar por concluida una de las fases más importantes dentro del flujo de diseño de circuitos integrados. La siguiente fase consiste en formular matemáticamente el problema de diseño de estas etapas, tomando en cuenta diversas consideraciones para cada una por separado y el acople de las mismas, presentar una metodología o estrategia de diseño y verificar los resultados analíticos mediante simulaciones, para posteriormente realizar los ajustes necesarios.

# Capítulo 3

## Diseño del *VGA*

Una vez se han discutido las ventajas y desventajas de las diferentes topologías de *VGA*s presentadas y seleccionado la más adecuada para cumplir con las especificaciones requeridas, se procede a proponer una metodología de diseño para las celdas que lo conforman. Para ello, durante este capítulo se realiza la formulación matemática de cada una de estas celdas, se describen las diferentes consideraciones hechas, se presenta la programación geométrica como una alternativa de diseño y finalmente se exponen algunos resultados de simulación para verificar la adecuada aplicación de la metodología propuesta en el presente capítulo.

Antes de plantear una determinada metodología de diseño, es necesario resaltar que diseñar un circuito integrado es un problema  $n$ -dimensional, que requiere cumplir  $m$  restricciones comprometidas entre sí por  $k$  variables de diseño, presentando un alto grado de complejidad. Además, implica sustentar mediante expresiones matemáticas, la descripción de forma aproximada el comportamiento del mismo (especificaciones de desempeño), las cuales son función de diferentes variables que caracterizan los dispositivos, como sus dimensiones y algunos parámetros del proceso de fabricación. Sin embargo, trabajar simultáneamente con estas expresiones, algunas veces complejas, y relacionadas entre sí por las diferentes variables, genera en el diseñador dificultad para lidiar con los compromisos existentes entre los parámetros de desempeño de forma adecuada y obtener resultados óptimos. Para manejar de forma más adecuada estos compromisos, la aplicación de un tipo de optimización matemática conocida como *Programación Geométrica*, se ha hecho frecuente en el diseño [29–31]. Para el caso particular del *VGA*, se aplica este tipo de optimización solo sobre la celda núcleo con el propósito de manejar de forma sencilla y rápida los compromisos existentes entre sus especificaciones, con el objetivo de minimizar su consumo de potencia dada la aplicación a la que está orientado el *VGA*. Por otro lado, el diseño de las etapas *CMFB*, control y salida se aborda mediante la metodología tradicional aplicando diferentes consideraciones encontradas en la literatura y otras hechas por el autor.

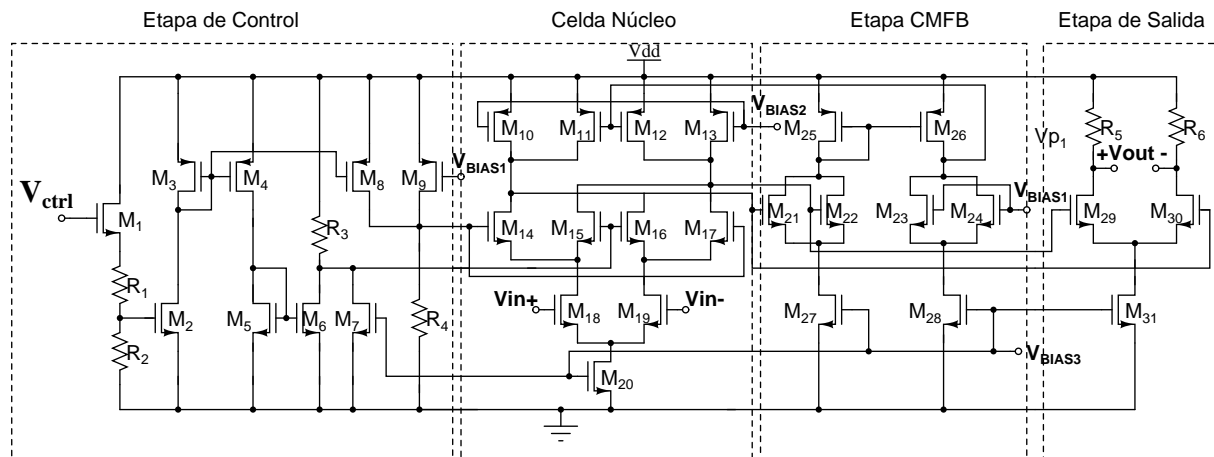


Figura 3.1: Arquitectura completa.

### 3.1. Arquitectura Completa

El *VGA* está conformado por cuatro etapas (figura 3.1): la etapa de control, la celda núcleo, la etapa *CMFB* y la etapa de salida. El desempeño a nivel de sistema de este circuito está definido por las especificaciones descritas en la tabla 1.1, las cuales son distribuidas en cada una de las etapas con el propósito de facilitar el proceso de diseño limitando a problemas locales en lugar de problemas globales. Por consiguiente, una definición de la función y las especificaciones de cada etapa se expone a continuación, considerando las condiciones de operación, de acoplamiento y demás que se presentan en su inclusión al circuito.

La celda núcleo es la etapa encargada de proporcionar la variación de ganancia, y representa ciertamente el eje funcional del *VGA*. Sin embargo, su máxima ganancia no es suficiente para cumplir con el máximo valor del *DRG* sin limitar otras especificaciones. Entonces, se hace necesaria una etapa adicional de ganancia que permita cumplir con el *DRG*, la cual es implementada con una configuración fuente común con carga resistiva. Cabe notar que esta etapa adicional permite obtener el rango dinámico a la salida requerido sin la necesidad de una etapa *CMFB* adicional, pero la celda núcleo por ser activa y completamente diferencial, requiere de un lazo *CMFB* que permita fijar un nivel de modo común estable y bien definido en el nodo de salida. Para que la celda núcleo sea realmente funcional necesita una etapa de control que le provea las señales necesarias con un comportamiento exponencial bien definido. Esta necesidad indica que la etapa de control es de suma importancia en la funcionalidad del *VGA*. Se debe aclarar que el terminal cuerpo de los transistores *PMOS* y *NMOS* son conectados a la máxima y mínima tensión del circuito respectivamente, lo cual introduce el efecto cuerpo en el cálculo del desempeño del circuito.

Definida la función de cada etapa, se definen los parámetros que permiten medir su desempeño. Con ese propósito, se exponen las consideraciones utilizadas para la definición

Etapa	Ganancia[dB]	BW[MHz]	$P_D$ [ $\mu W$ ]	$P_{1dB}$ [dBm]	R. Control[V]
Core Cell	[-14,36]	1	mínima	51.5	0.2
CMFB	36	1.5	mínima	-10	–
Control	–	–	mínima	–	0.6
Salida	20	500	mínima	-10	–

Tabla 3.1: Especificaciones por etapas del *VGA*.

de las especificaciones en cada una de las etapas, iniciando con la celda núcleo.

El *DRG* de la celda núcleo es  $50dB$ , definido por los niveles de sensibilidad impuestos por el estándar. Sin embargo, el valor máximo de este rango es seleccionado tomando en cuenta que el nivel de sensibilidad del sistema referido a la entrada del *VGA*, considerando las etapas previas en la cadena de recepción del *transceiver*, es aproximadamente  $1,2mV$ . Si la ganancia de  $56dB$  del *VGA* es implementada por la celda núcleo, una señal con amplitud  $750mV$  diferencial se presenta en la salida, complicando el funcionamiento del lazo *CMFB* debido al amplio rango dinámico requerido a la entrada. Adicionalmente, una señal de entrada grande produce altos niveles de distorsión debido a la pérdida de las características lineales del comportamiento del transistor. Para minimizar estos efectos, la ganancia de la celda núcleo se fija en  $36dB$  obteniendo una señal de amplitud  $75mV$  en la salida de esta etapa. Esta fijación de ganancia en la celda núcleo conduce a fijar en  $20dB$  la ganancia para la siguiente etapa con el propósito de cumplir el *DRG* requerido.

El *BW* de las etapas fue fijado bajo diversos criterios. En la celda núcleo, el polo dominante impone el *BW* del circuito, por lo cual se fija en  $1MHz$  de acuerdo a las especificaciones del estándar *Bluetooth*. Por su parte, en la etapa *CMFB* se optó por un valor igual a  $1,5MHz$  con el fin de mantener constante la ganancia de esta etapa en el *BW* de la celda núcleo. Este valor fue aproximado considerando una atenuación ideal de  $-20[\frac{dB}{dec}]$  introducido por un polo en una función de transferencia. El ancho de banda de la etapa de ganancia adicional fue seleccionado en una ubicación intermedia a los polos de la celda núcleo basado en el criterio de margen de fase. La metodología de diseño aplicada en este proyecto intenta minimizar el consumo de potencia cumpliendo con las demás especificaciones de desempeño, por lo cual su valor no es definido de forma cuantitativa sino como un objetivo de diseño. En la tabla 3.1 se muestran las diferentes especificaciones de cada etapa. Posteriormente, durante las siguientes secciones, se describe detalladamente el proceso de diseño y la metodología usada.

## 3.2. Celda Núcleo, Análisis Teórico

Su función es proporcionar el *DRG* requerido por la aplicación, presentando un desempeño adecuado frente a las condiciones cambiantes de operación que surgen de la variación en el

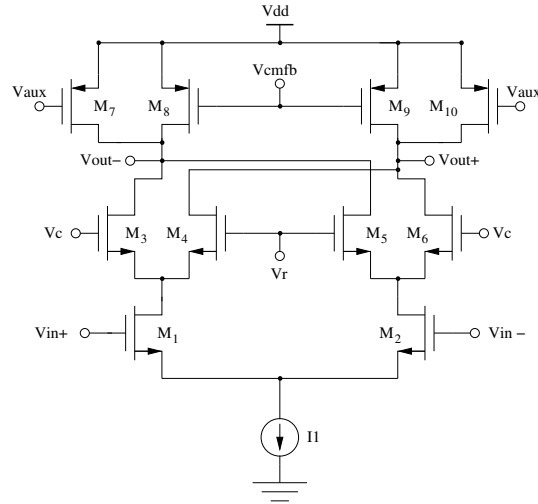


Figura 3.2: Celda núcleo.

nivel de potencia de la señal de entrada. Un análisis de estas condiciones permite identificar los puntos críticos y obtener consideraciones claves que conduzcan a la consecución de un diseño satisfactorio. Con ese propósito se presentan las diferentes expresiones matemáticas que representan los parámetros de desempeño más importantes de esta etapa.

## Ganancia

Operando a alta ganancia, el par cruzado de compensación opera en la región de transición saturación-subumbral por lo cual su influencia se puede despreciar en el cálculo de la linealidad y el  $BW$ . Esto se debe a que la oposición a la señal amplificada y las capacitancias intrínsecas asociadas son despreciables respecto a las de un transistor bien saturado [32]. A altas ganancias el par cruzado de compensación se opone a la señal deseada, con una baja proporción de la transconductancia del transistor de entrada debido a su acercamiento a la región subumbral, tal como se muestra en la figura 3.3. A partir de un análisis en pequeña utilizando el esquema mostrado en la figura 3.4(a), se determina que la ganancia del circuito es:

$$A_V \approx (2\alpha - 1)g_{m1}(1 + \eta_1)(r_{o7} || r_{o8}) \wedge \alpha = \frac{g_{m3}(1 + \eta_3)}{g_{m3}(1 + \eta_3) + g_{m4}(1 + \eta_4)} \quad (3.1)$$

donde  $\eta = \frac{\gamma}{2\sqrt{2\Phi_F + V_{SB}}}$ ,  $\gamma$  es el factor de efecto cuerpo,  $\Phi_F$  es la tensión de Fermi,  $V_{SB}$  es la tensión fuente-cuerpo del transistor. El factor  $(2\alpha - 1)$  surge en la expresión de ganancia debido a la oposición en señal que ejerce el par cruzado como se mencionó anteriormente.

Dado que para alta ganancia la variación en la señal de entrada es pequeña se hace posible

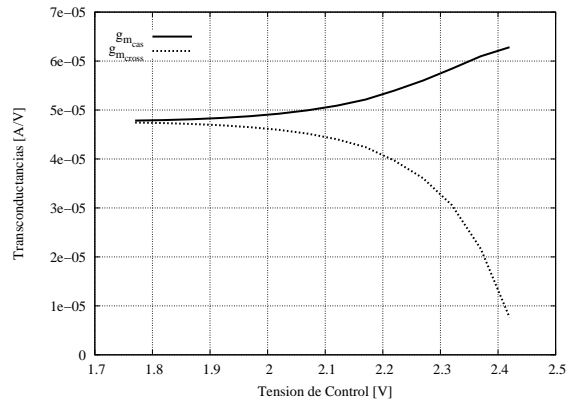


Figura 3.3: Transconductancia del transistor cascode y cruzado en función de  $V_{ctrl}$ .

considerar las siguientes suposiciones:

- El voltaje de umbral  $V_{th}$  de los transistores que conforman la etapa cascode de entrada, es aproximadamente constante respecto a la variación de la tensión en la fuente.
- La transconductancia del transistor de entrada es estable en el rango de excursión de la señal de entrada.

De la ecuación (3.1) es posible extraer dos observaciones. Primero, con el incremento de la corriente sumida por la fuente  $I_1$ , la transconductancia del par de entrada aumenta incrementando la ganancia; sin embargo, la resistencia de salida del circuito se ve disminuida reduciendo la ganancia, lo cual indica que para obtener una ganancia alta con un bajo consumo de potencia, es necesario determinar un valor de corriente que maximice el producto de la transconductancia de entrada y la impedancia de salida, en lugar de una de las dos. Y segundo, con la consecución de una alta ganancia se incurre en una atenuación del  $BW$  por el incremento en la impedancia de salida y una atenuación del rango dinámico a la entrada por disminución de los voltajes de *overdrive*, consecuencia de una baja corriente, lo cual limita la linealidad máxima del circuito.

## Respuesta en Frecuencia

Para definir el comportamiento en frecuencia del circuito se utiliza el modelo del transistor incluyendo las capacitancias parásitas intrínsecas. Aplicando este modelo se obtiene el medio circuito mostrado en la figura 3.4(b), considerando que  $C_1$ ,  $C_2$  y  $C_3$  están representados en la ecuación 3.2.

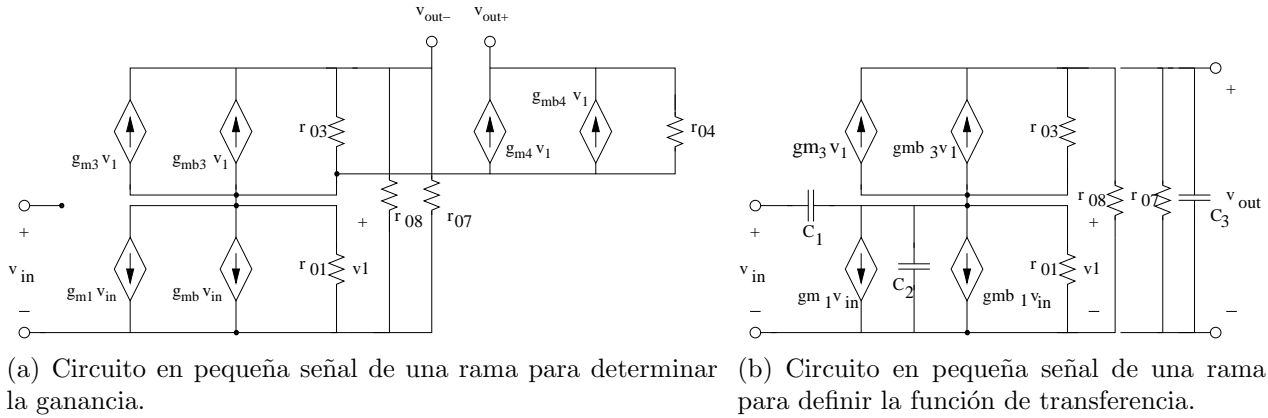


Figura 3.4: Esquemas de pequeña señal.

$$\begin{aligned}
 C_1 &= C_{gd1} ; C_2 = C_{gs3} + C_{gs4} + C_{sb3} + C_{sb4} + C_{db1} \\
 C_3 &= C_x + C_{load} \\
 C_x &= C_{gd3} + C_{gd5} + C_{gd7} + C_{gd8} + C_{db3} + C_{db5} + C_{db7} + C_{db8} \\
 C_{load} &= C_{gfb} + C_{out}
 \end{aligned} \tag{3.2}$$

$C_{load}$  está conformada por las capacitancias de puerta de la etapa *CMFB* ( $C_{gfb}$ ) y de la etapa de salida  $C_{out}$ .

Con las anteriores expresiones de capacitancias, se extrae la función de transferencia del circuito. En particular, los polos dominantes en función de las dimensiones de los transistores y demás variables de diseño relacionadas, son los requeridos para realizar un análisis de frecuencia.

$$\frac{V_{out}(s)}{V_{in}(s)} \cong \frac{(sC_1 - g_{m1})g_{m3}(1 + \eta_3)}{s^2(C_3C_1 + C_3C_2) + s[(C_1 + C_2)(g_{ds3} + g_{ds8}) + C_3g_{m3}(1 + \eta_3)] + g_{ds8}g_{m3}(1 + \eta_3)} \tag{3.3}$$

Considerando el denominador de la función de transferencia del circuito una función de la forma  $1 + as + bs^2$ , se puede obtener una expresión para los polos mediante un sencillo análisis matemático mostrado en las ecuaciones (3.4) y (3.5).

$$d(s) = 1 + as + bs^2 = \left(1 - \frac{s}{p_1}\right)\left(1 - \frac{s}{p_2}\right) = 1 - s\left(\frac{1}{p_1} + \frac{1}{p_2}\right) + \frac{s^2}{p_1p_2} \tag{3.4}$$

Suponiendo que  $p_2 \gg p_1$ , consideración razonable para mantener un margen de fase

Parámetro	NMOS	PMOS	Unidad	Parámetro	NMOS	PMOS	Unidad
$\epsilon_o$	$8,854e - 12$	$8,845e - 12$	$\frac{F}{m}$	$\epsilon_{ox}$	3,9	3,9	-
$t_{ox}$	$7,579e - 9$	$7,754e - 9$	$m$	$C_{GSDL}$	$1,31e - 10$	$1,08e - 10$	$\frac{F}{m}$
$C_J$	$8,4e - 4$	$1,36e - 3$	$\frac{fF}{m^2}$	$M_J$	$3,4e - 1$	$5,4e - 1$	-
$P_B$	$6,9e - 1$	$1,02e0$	$V$	$C_{JSW}$	$2,5e - 10$	$3,5e - 10$	$\frac{fF}{m}$
$M_{JSW}$	$2,3e - 1$	$4,6e - 1$	-	$C_{ox}$	$4,6e - 3$	$4,5e - 3$	$\frac{fF}{m^2}$

Tabla 3.2: Parámetros del proceso para determinar capacitancias del transistor *MOS*.

adecuado, se obtiene la siguiente expresión:

$$d(s) \simeq 1 - s \left( \frac{1}{p_1} \right) + \frac{s^2}{p_1 p_2} \Rightarrow p_1 = \frac{-1}{a} ; p_2 = \frac{-a}{b} \quad (3.5)$$

Por lo tanto, los polos del sistema están definidos de la siguiente forma:

$$|p_1| = \frac{g_{ds8} g_{m3} (1 + \eta_3)}{(C_1 + C_2)(g_{ds3} + g_{ds8}) + C_3 g_{m3} (1 + \eta_3)} \quad (3.6)$$

$$|p_2| = \frac{(C_1 + C_2)(g_{ds3} + g_{ds8}) + C_3 g_{m3} (1 + \eta_3)}{(C_3 C_1 + C_3 C_2)} \quad (3.7)$$

Para determinar las capacitancias intrínsecas del transistor *MOS*, las expresiones aproximadas en [24, 28, 32] fueron extraídas y reportadas en las ecuaciones (3.8) (3.9) y (3.10). Los parámetros del proceso de fabricación relacionados con su definición están reportados en la tabla 3.2.

$$C_{gs} = \frac{2}{3} W L C_{ox} + W C_{GSDL} \quad (3.8)$$

$$C_{db} = C_{sb} = \frac{W L C_J}{\left(1 + \frac{V_R}{P_B}\right)^{M_J}} + \frac{2(W + L) C_{JSW}}{\left(1 + \frac{V_R}{P_B}\right)^{M_{JSW}}} \quad (3.9)$$

$$C_{gd} = W C_{GSDL} \quad (3.10)$$

Donde  $V_r$  es la tensión inversa en los terminales en los que está definida la capacitancia.

Dado que la resistencia de salida presenta un alto valor para la consecución de una alta ganancia, su influencia sobre la determinación del polo es crítica. Para mejorar el *BW* del circuito, se propone utilizar relaciones bajas en los transistores para minimizar la capacitancia asociada al nodo de salida, lo cual es factible diseñando con altos  $V_{GS}$  para una determinada corriente. Con esta consideración no solo se disminuye el área, adicionalmente se mejora la linealidad debido a la dependencia directa con respecto a la tensión  $V_{GS}$ .

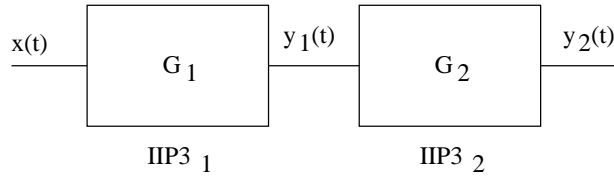


Figura 3.5: Representación con etapas en cascada de una configuración cascodo.

## Linealidad

Para cuantificar la linealidad del circuito en términos del  $P_{1dB}$  e  $IIP_3$ , se aplica un modelo de corriente de drenaje en la región de saturación tomado de [23]. Este modelo permite determinar las derivadas de orden superior de la corriente de drenaje respecto a las tensiones aplicadas en los terminales del transistor. Estas derivadas representan los coeficientes de la serie de *Taylor* utilizada para describir el comportamiento de la corriente, sirviendo como soporte para el desarrollo de un análisis de distorsión armónica y de intermodulación con el cual es posible obtener una visión de los compromisos existentes entre la especificación a cumplir y el objetivo principal del diseño, minimizar área y potencia.

La estructura cascodo se puede considerar como dos etapas en cascada tal como se ilustra en la figura 3.5 [25]. Con esta representación, la corriente de salida de la estructura cascodo equivalente a la salida  $y_2(t)$  del sistema, está definida como se expresa en las ecuaciones (3.11) y (3.12):

$$y_1(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (3.11)$$

$$y_2(t) = \beta_1 y_1(t) + \beta_2 y_1^2(t) + \beta_3 y_1^3(t) + \dots \quad (3.12)$$

donde,  $\alpha_n$  y  $\beta_n$  son los  $n$ -ésimos coeficientes de la expansión en series de *Taylor* de la función. Sustituyendo (3.11) en (3.12) y despreciando los términos de orden superior a tres, se obtiene la siguiente expresión:

$$y_2(t) = \alpha_1 \beta_1 x(t) + \left( \alpha_2 \beta_1 + \alpha_1^2 \beta_2 \right) x^2(t) + \left( \alpha_3 \beta_1 + 2\alpha_1 \alpha_2 \beta_2 + \alpha_1^3 \beta_3 \right) x^3(t) \quad (3.13)$$

De acuerdo a [10, 23, 33], las definiciones del  $v_{P_{1dB}}$  y el  $v_{IIP_3}$  para dos tonos de entrada, son descritas en las ecuaciones (3.14) y (3.15). Dividiendo la expresión de la ecuación (3.15) sobre la expresión de la ecuación (3.14), se puede deducir que el  $v_{IIP_3}$  y el  $v_{P_{1dB}}$  presentan una relación de 14,4dB.

$$v_{P_{1dB}}^2 = \sqrt{0,22} \left| \frac{\alpha_1 \beta_1}{\alpha_3 \beta_1 + 2\alpha_1 \alpha_2 \beta_2 + \alpha_1^3 \beta_3} \right| \quad (3.14)$$

$$v_{IIP_3}^2 = \frac{4}{3} \left| \frac{\alpha_1 \beta_1}{\alpha_3 \beta_1 + 2\alpha_1 \alpha_2 \beta_2 + \alpha_1^3 \beta_3} \right| \quad (3.15)$$

Las expresiones anteriores son tomadas de [10]. Invirtiendo la expresión (3.15), se obtiene la expresión del  $v_{IIP_3}$  total del circuito como la suma del  $v_{IIP_3}$  de cada etapa de la configuración cascodo (ecuación (3.16)). Una inspección sobre la expresión obtenida, indica que para ganancias de tensión mayores a la unidad de la puerta del transistor de entrada a la fuente del transistor apilado ( $\alpha_1$ ), el  $v_{IIP_3}$  global está dominado por el transistor cascodo, lo que permite orientar el diseño de este transistor para maximizar linealidad y obtener el  $v_{IIP_3}$  requerido por la especificación.

$$\frac{1}{v_{IIP_3}^2} = \frac{3}{4} \left| \frac{\alpha_3 \beta_1 + 2\alpha_1 \alpha_2 \beta_2 + \alpha_1^3 \beta_3}{\alpha_1 \beta_1} \right| = \frac{1}{v_{IIP_{31}}} + \frac{2\alpha_2}{v_{IIP_{22}}} + \frac{\alpha_1^2}{v_{IIP_{32}}} \quad (3.16)$$

$$\frac{1}{v_{IIP_3}^2} \simeq \frac{\alpha_1^2}{v_{IIP_{32}}} \implies v_{IIP_3}^2 \simeq \frac{v_{IIP_{32}}}{\alpha_1^2} \quad (3.17)$$

Pese a la validez de la ecuación (3.17) para alta ganancia, el análisis anterior no se aplica a baja ganancia debido a diversas consideraciones que serán expuestas a continuación:

El  $v_{P_{1dB}}$  requerido por la especificación operando a baja ganancia, referido a una impedancia de  $50\Omega$  es de  $380\text{mV}$ . Si la ganancia  $\alpha_1$  es mayor a la unidad, aproximadamente de  $2[\frac{V}{V}]$  [28, 34] debido al incremento de la impedancia vista desde la fuente del transistor cascodo, la tensión fuente del transistor cascodo idealmente oscilaría  $760\text{mV}$ . Aplicada esta consideración sobre el circuito real, es posible que el transistor cascodo ingrese a la región de corte para el ciclo negativo de la señal de entrada y obligue al transistor de entrada a operar en la región de triodo para el ciclo positivo, generando en ambas eventualidades altos niveles de distorsión por las transiciones en la región de operación. Con esta restricción para operar a baja ganancia, la relación de señales de la puerta al drenó en el transistor de entrada debe ser menor a 1. Un valor cercano a 0,6 para esta ganancia sería adecuado, ya que a máxima ganancia no restringe de forma fuerte el voltaje de *overdrive* y para mínimas ganancias no atenúa en exceso la señal de entrada.

La ecuación (3.18) describe el modelo de la corriente de drenó en la región de saturación para el transistor *MOS* utilizado en el análisis de linealidad, ya que permite ex. Esta expresión presenta diversos parámetros que describen la dependencia de la corriente respecto a defectos del proceso y efectos secundarios. Como un ejemplo, el parámetro  $a$  de la ecuación (3.18)

y expresado en la ecuación (3.19), representa una aproximación lineal de la variación en la carga deplectada bajo el canal y su efecto sobre el voltaje de umbral.

$$i_{dsat} = \frac{\mu_o C_{ox} W}{2aL} \frac{(V_{GS} - V_{th})^2}{1 + \left(\theta + \frac{\mu_o}{v_{sat}L}\right)(V_{GS} - V_{th})} \quad (3.18)$$

$$a = \frac{2\sqrt{(\phi + V_{SB})} + \gamma}{2\sqrt{(\phi + V_{SB})}} \quad (3.19)$$

Tomando en cuenta lo anterior, la corriente de drenaje queda definida por la ecuación (3.20), donde los  $K_n$  son los coeficientes definidos en el apéndice A.

$$I_{Dsat} = K_0(V_{GS}, V_{DS}, V_{SB}) + K_1(V_{GS}, V_{DS}, V_{SB}) + K_2(V_{GS}, V_{DS}, V_{SB}) + K_3(V_{GS}, V_{DS}, V_{SB}) \quad (3.20)$$

## DRG

La especificación de *DRG* para el circuito a diseñar está propuesto para el rango de  $6 - 56dB$  como se detalló en el capítulo 1, los cuales serán distribuidos de la siguiente forma:  $36dB$  serán proporcionados por la etapa de ganancia variable y  $20dB$  serán proporcionados por una etapa de ganancia constante como se muestra en el esquema de la figura 3.6. Esta división de ganancia está soportada por los siguientes argumentos:

- Debido a las condiciones de operación impuestas por el transistor cascode a baja ganancia para cumplir con la linealidad requerida, la ganancia de la celda núcleo se ve limitada a un valor máximo requiriendo la aplicación de una etapa de ganancia adicional que permita cumplir con el rango dinámico de salida ( $1.5V$ ). De otro lado, si se maximiza la ganancia en la celda núcleo incrementando la impedancia en el nodo de salida, es necesario un aumento en el consumo de potencia para cumplir con el ancho de banda, lo cual va en contra de la estrategia asumida en el diseño.
- Si la ganancia de la celda núcleo es alta, la etapa *CMFB* no podrá funcionar adecuadamente debido a su limitado rango a la entrada.
- La ganancia de la etapa adicional debe estar limitada, debido a las restricciones que impone su obtención. Si la transconductancia de entrada es alta y la  $R$  de carga es baja, se incrementa el consumo de potencia. De otro lado, si la transconductancia de entrada es baja y la  $R$  de carga es alta, se desplaza el polo dominante de la etapa hacia la izquierda disminuyendo el margen de fase del circuito.

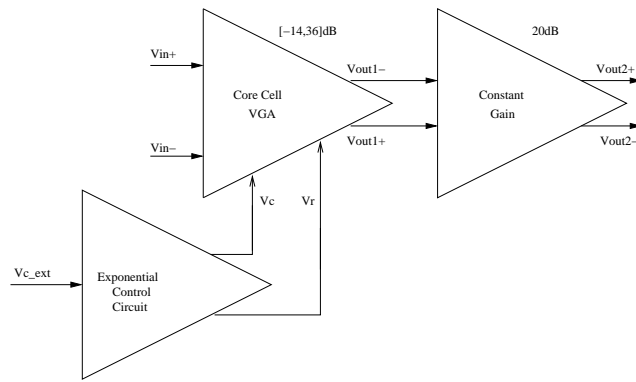


Figura 3.6: Etapas de ganancia del *VGA*.

La distorsión generada por un transistor depende directamente de la amplitud presente en la entrada, por lo cual se debe procurar mantener un nivel bajo de esta [23]. Con esa premisa se estima que los valores seleccionados para las ganancias de cada etapa son adecuados.

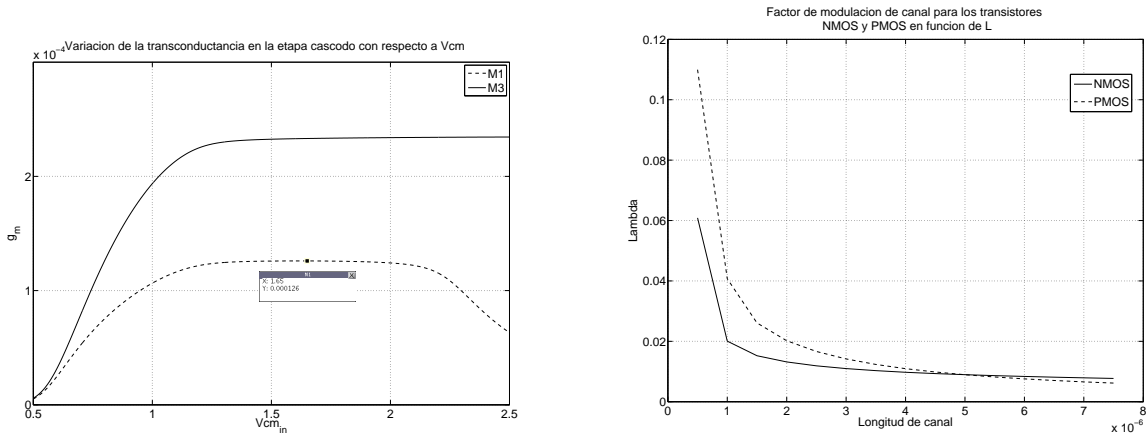
## Consideraciones de diseño

La estrategia utilizada para abordar el diseño de la celda núcleo está definida por dos puntos:

- Aplicar altos voltajes de *overdrive* sobre los transistores para generar una disminución considerable de área y de capacitancias intrínsecas asociadas, permitiendo obtener el *BW* requerido con un bajo consumo de potencia.
- Distribuir de forma adecuada las tensiones del circuito con el propósito de proporcionar un margen de tensión que permita mantener los transistores operando lejos de la región de transición saturación-triodo.

Para determinar un punto de referencia en la distribución de las tensiones del circuito, se realiza un dimensionamiento arbitrario sobre el cual se realiza un barrido de la tensión de modo común a la entrada ( $V_{cm,in}$ ). El resultado gráfico obtenido se muestra en la figura 3.7(a), con el cual se estima que un valor de  $1,65V$  en esta tensión resulta adecuado para mantener una transconductancia estable e incrementar el rango dinámico a la entrada ( $DR_{in}$ ), gracias a la simetría que se presenta en este punto. Adicionalmente, la linealidad es mejorada debido a la simetría obtenida en la transconductancia para el punto de polarización [33].

Los transistores *M7* y *M10* actúan como una fuente de respaldo, que permite disminuir la corriente en el transistor de carga para incrementar la impedancia de salida y por consiguiente la ganancia del circuito, pero disminuyendo el *BW*. Sin embargo, con la inclusión de estos transistores se introduce un efecto de carga sobre el nodo de salida que contrarresta



(a) Transconductancia de los transistores  $M1$  y  $M3$  en función de  $V_{cm}$ . (b) Factor de modulación de canal en función de  $L$ .

Figura 3.7: Factores determinados por simulación.

el aumento en la impedancia. Observando la figura 3.2, se determina que la impedancia del nodo de salida está definida por la resistencia intrínseca de los transistores de carga y respaldo (ecuación (3.21)). De esta ecuación se puede observar que para minimizar el efecto de carga ejercido por los transistores de respaldo sobre el nodo de salida, la corriente aportada por estos se debe limitar a un valor máximo, evitando anular el aumento de impedancia de salida con la adición de la impedancia de respaldo.

$$R_{out} = r_{o7} || r_{o8} \simeq \frac{1}{\lambda_b I_b} || \frac{1}{\lambda_{ld} I_{ld}} \quad (3.21)$$

Pensando en incrementar la impedancia de salida, el porcentaje de corriente proporcionado por la fuente respaldo no debe ser muy alto, ya que la sensibilidad del nodo de salida se incrementa de forma apreciable respecto a la tensión de puerta de este transistor, lo cual no es conveniente debido a la lentitud de respuesta de la etapa de cancelación de *offset*. Con el propósito inicial, se opta por asignar una longitud de canal para el transistor respaldo igual a la del transistor de carga más  $1\mu m$ ; donde  $L_{load}$  varía en el rango de 1 a  $2\mu m$ , ya que en este rango de  $L$ , el transistor de respaldo presenta un  $\lambda$  aproximadamente el doble del  $\lambda$  de la carga. Con la consideración anterior, se considera la dependencia de la capacitancia del nodo de salida respecto de las dimensiones de los transistores de carga y respaldo.

El porcentaje de corriente manejado por la fuente respaldo es determinado relacionando los factores de modulación de canal de la figura 3.7(b) con la expresión expuesta en la ecuación (3.22).

$$I_b = a I_{cas}; I_{ld} = (1 - a) I_{cas} \implies \frac{1}{\lambda_b I_b} \gg \frac{1}{\lambda_{ld} I_{ld}} \implies \frac{\lambda_b}{\lambda_{ld}} \ll \frac{1 - a}{a} \quad (3.22)$$

### 3.3. Celda Núcleo, Diseño inicial

En esta sección se pretende realizar un diseño aplicando la metodología tradicional, tomando en cuenta diferentes consideraciones expuestas en la sección anterior. De esa forma, un espacio de diseño que cumple con las especificaciones requeridas sin ser óptimo es propuesto para restringir el espacio de modelado inicial del programa geométrico utilizado en el planteamiento y optimización del circuito.

Tomando en cuenta las consideraciones expuestas en la sección anterior, se opta por plantear un esquema de distribución de tensiones intentando maximizar el voltaje de *overdrive* de cada transistor con el propósito de mejorar la linealidad del circuito, disminuir el área y disminuir el consumo de potencia.

En la figura 3.8 se muestra la distribución de tensiones propuesta para el diseño. El valor de modo común a la entrada ya ha sido previamente seleccionado basado en la consideración de  $DR_{in}$  y linealidad. El modo común a la salida ( $V_{cm_{out}}$ ) fue fijado en  $1,9V$  para no limitar el rango dinámico de la señal de salida de la siguiente etapa, pensando en mejorar la linealidad con una rango de salida libre de transiciones en la región de operación del par diferencial. El voltaje  $CMFB$  y auxiliar son fijados en  $2,2V$ , para minimizar área, capacitancia asociada al nodo de salida y consumo de potencia.

Un valor de corriente igual a  $50\mu A$  es asignado para el transistor sumidero de la celda ( $Mf$ ), con lo cual el consumo de potencia es fijado en  $165\mu W$ , un valor subestimado respecto a las especificaciones planteadas en la tabla 3.1. Con esta selección de potencia se proporciona un margen de error tomando en cuenta la imprecisión de los modelos del transistor para el diseño manual. Para la definición explícita de la corriente en las ramas de la impedancia de carga, se define el porcentaje de corriente proporcionado por el transistor respaldo igual a 0,2. Este valor es fijado considerando que un porcentaje mayor implica mayor precisión y velocidad en la tensión de *offset*, lo cual no es sencillo de obtener de acuerdo a las características comunes de las etapas utilizadas para su cancelación. Además la relación directa de esta corriente con la definición del  $BW$  indica un valor bajo, ya que su aumento genera un incremento en la impedancia de salida desplazando el polo dominante de ganancia hacia la izquierda. Con el valor asignado para  $a$  se determina que la corriente para los transistores de la etapa cascode, el transistor de carga y el transistor de respaldo es de 25, 20 y  $5\mu A$  respectivamente. Adicionalmente, la fijación del porcentaje de corriente da cabida a la selección de las longitudes de canal de los transistores de carga de acuerdo con la ecuación (3.22). Tras evaluar esta ecuación para diferentes valores de  $L$ , se opta por fijar  $L_{load} = 2\mu m$  y  $L_{resp} = 3\mu m$ .

Diversos parámetros característicos del proceso necesarios en el dimensionamiento del

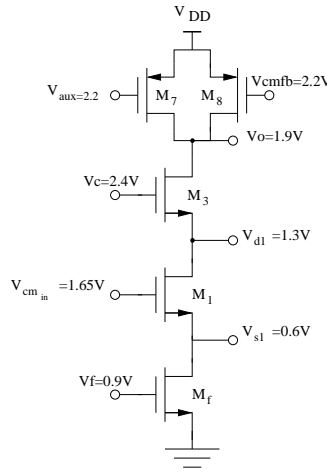


Figura 3.8: Distribución de las tensiones del circuito.

Parámetro	NMOS	PMOS	Unidad	Parámetro	NMOS	PMOS	Unidad
$\mu_o$	370	126	$\frac{cm^2}{Vs}$	<b>a</b>	1,3057	1,3729	–
$V_{th}$	0,4995	-0,6915	V	<b><math>\eta</math></b>	0,2104 – 0,2647	0	–
$\gamma$	0,58	-0,40	$V^{\frac{1}{2}}$	<b><math>v_{sat}</math></b>	1,338e5	1,158e5	$\frac{m}{s}$
$C_{ox}$	4,5e-3	4,5e-3	$\frac{F}{m^2}$	<b><math>\lambda</math></b>	20,1e-3	40,7e-3	$V^{-1}$
$\theta$	0,1106	0,1106	$V^{-1}$	<b><math>\Phi_F</math></b>	0,3	0,3	V

Tabla 3.3: Parámetros del proceso AMS 0,35 $\mu m$  CMOS.

Diseño Manual			Ajuste HSPICE	
M	W[ $\mu m$ ]	L[ $\mu m$ ]	$V_f$	0,9
f	12,15	2	$V_{cm}$	1,65
1, 2	3,15	1	$V_c$	2,55
3, 4	1,68	0,6	$V_{aux}$	2,16993
8, 9	14,4	2	$V_{CMFB}$	2,2
7, 10	5,37	3	–	–

Tabla 3.4: Dimensionamiento y polarización de los transistores.

circuito son reportados en la tabla 3.3. Aplicando la ecuación (3.18) para la corriente de drenaje del transistor, tomando en cuenta la distribución de tensiones propuesta en la figura 3.8, se obtiene la relación de aspecto para cada transistor, las cuales se reportan en la tabla 3.4.

Con las dimensiones obtenidas se procede a determinar el valor para las diferentes especificaciones del circuito, iniciando con la ganancia. Se determinan los diferentes parámetros necesarios para su definición de acuerdo a la ecuación (3.1) y se evalúa la expresión obteniendo el siguiente resultado:

$$\begin{aligned}
g_{m1} &= \frac{\mu_o C_{ox} W_1}{2aL_1} (V_{GS} - V_{th}) \left( 2 + \left( \theta + \frac{\mu_o}{v_{sat}L} \right) (V_{GS} - V_{th}) \right) \mu_{hot}^2 = 125,62 \frac{\mu A}{V} \\
g_{m3} &= \frac{\mu_o C_{ox} W_3}{2aL_3} (V_{GS} - V_{th}) \left( 2 + \left( \theta + \frac{\mu_o}{v_{sat}L} \right) (V_{GS} - V_{th}) \right) \mu_{hot}^2 = 86,68 \frac{\mu A}{V} \\
g_{m4} &\approx 0,1g_{m3} \\
\mu_{hot}^{-1} &= \left( 1 + \left( \theta + \frac{\mu_o}{v_{sat}L} \right) (V_{GS} - V_{th}) \right) \\
r_{o7} &= \frac{1}{\lambda_{3\mu m} I_b} = 15,38 M\Omega ; r_{o8} = \frac{1}{\lambda_{2\mu m} I_{ld}} = 3,125 M\Omega ; \eta_1 = 0,2647 ; \eta_3 = 0,2104 \\
A_v &\approx 286,32 \left[ \frac{V}{V} \right] \approx 49,13 dB
\end{aligned}$$

Con el dimensionamiento obtenido por medio de las condiciones de polarización, se cumple con el requerimiento de  $36dB$  con un exceso de ganancia de  $13,13dB$ , producto de las bajas corrientes utilizadas para generar la impedancia de salida del circuito. No obstante, cabe aclarar que esta ganancia es una estimación y su valor puede ser reducido por diversidad de efectos secundarios no tomados en cuenta, por lo cual se opta por mantener las dimensiones del diseño. Una vez definida la ganancia del circuito, se procede a determinar su comportamiento en frecuencia. Para ello se determina la ubicación de los polos del circuito utilizando las expresiones para las capacitancias intrínsecas del transistor (ecuación (3.8),(3.9) y (3.10)), junto a los parámetros de la tabla 3.2.

Los valores obtenidos para  $C_1$ ,  $C_2$ ,  $C_3$  y  $C_{load}$  son aproximadamente:

$$C_1 = 0,39431[fF] ; C_2 = 27,909[fF] ; C_3 = C_x + C_{load} \simeq 122,1875[fF] \quad (3.23)$$

donde

$$C_x = 22,1875[fF] \quad C_{load} \simeq 100[fF] \quad (3.24)$$

Con estos valores obtenidos para las capacitancias, los polos dominantes son:

$$p1 \simeq 6,6495e6 \left[ \frac{rad}{s} \right] \Rightarrow f_{p1} \simeq 1,0583[MHz] ; p2 \simeq 8,0502e9 \left[ \frac{rad}{s} \right] \Rightarrow f_{p2} \simeq 1,2812[GHz] \quad (3.25)$$

Dado que el polo dominante  $p_1$  está alejado a más de tres décadas del polo  $p_2$ , se puede afirmar que el margen de fase de la celda núcleo es de  $90^\circ$ . Con este margen de fase se obtiene la posibilidad de ubicar el polo dominante de la etapa de salida en una posición intermedia respecto a los polos de la celda núcleo, con el objetivo de obtener un margen de fase adecuado

para la máxima ganancia del VGA.

La linealidad de esta etapa fue analizada de forma analítica y de forma circuital en secciones anteriores, surgiendo la formulación de las ecuaciones (3.14) y (3.15), además de algunas consideraciones ya expuestas. Con el dimensionamiento obtenido, la ganancia  $\alpha_1$  es cercana a 1, lo cual permite utilizar la aproximación de la ecuación (3.14) para estimar el valor del  $v_{P_{1dB}}$ .

$$\begin{aligned}\beta_1 &\approx K_{g_m} + K_{g_{mb}} \\ \beta_3 &\approx K_{3_{g_m}} + K_{3_{g_{mb}}} + K_{3_{2g_m \& g_{mb}}} + K_{3_{g_m \& 2g_{mb}}} \\ v_{P_{1dB}} &= 0,22 \sqrt{\frac{\beta_1}{\beta_3}} \approx 1,524 mV\end{aligned}\quad (3.26)$$

Tras la realización de un diseño aplicando la metodología tradicional, son extraídas consideraciones de funcionalidad que sirven como restricciones de diseño en el programa geométrico (PG) formulado para la optimización del desempeño de la celda núcleo aplicando la *Programación Geométrica*; entre ellas, la consecución de una ganancia superior a la requerida por la celda con el fin de minimizar efectos generados por el cambio en la región de operación del transistor cruzado.

### 3.4. Aplicación de la programación geométrica

Para iniciar el diseño de la celda aplicando la programación geométrica, el comportamiento del circuito debe ser expresado por medio de ecuaciones matemáticas compatibles con la forma estándar [29]. Las restricciones impuestas en el PG se plantean de forma explícita con expresiones matemáticas en función de las diferentes variables de diseño. Para la celda núcleo las restricciones utilizadas son tres:  $BW$ , fijada por la definición de los polos; ganancia máxima, aplicando consideraciones que permitan obtener el  $DRG$  requerido y la potencia, utilizada como función objetivo para su minimización. La linealidad no fue incluida, debido a que no es posible expresarla de forma convexa, requerimiento indispensable para su inclusión en un PG [29]. Para tomar en cuenta esta especificación se generan restricciones para hacer tender el voltaje de *overdrive* de los transistores que conforman la etapa cascode hacia el máximo posible tras un estimado de forma analítica, ya que este factor es el más relevante en la definición de la linealidad [23].

La expresión de las restricciones aplicadas al PG son descritas en la tabla 3.5. Particularmente, las ecuaciones planteadas para definir los polos del sistema son aproximaciones realizadas de las ecuaciones 3.6 y 3.7, debido a la complejidad de estas expresiones para su

$PG$	Especificación	Expresión
Minimizar	Potencia	$V_{DD}I_f$
	$BW$	$Pole1 = \frac{\sqrt{g_{ds7}g_{ds9}}}{C3} \geq 2\pi f_1$ $Pole2 = \frac{g_{m3}}{C2} \geq 2\pi f_2$
Sujeto	$Gain$	$Av_{min}g_{minv1}(g_{ds7} + g_{ds9}) \leq 1;$
	C. Encendido	$V_{GS-n} \geq V_{th} + k\Delta$
	C. Saturación	$V_{DS-n} \geq V_{GS-n} + V_{th} + \Delta$
a	Restricción de L	$L_n \geq L_{min}$
	Restricción de W	$W_n \geq W_{min}$
	Restricción de $I_s$	$I_f == 2i(1) ; i(1) == i(2)$ $i(4) == ai(1) ; i(5) == (1 - a)i(1)$
	Tensión Modo común a la entrada ( $V_{cm_{in}}$ )	$1,64 \leq V_{DS0} + V_{GS1} \wedge V_{DS0} + V_{GS1} \leq 1,66$

Tabla 3.5: Restricciones aplicadas al programa geométrico.

conversión a una expresión convexa. Estas expresiones están restringidas a que  $f_1$  sea mayor que  $1MHz$ , cumpliendo el requisito de  $BW$ , y  $f_2$  esté en el orden de los GHz, permitiendo ajustar el margen de fase del  $VGA$  con el polo dominante de la etapa de ganancia adicional. Una restricción para el máximo  $BW$  no es incluida, ya que la función objetivo a minimizar en el PG es la potencia, la cual será disminuida hasta el valor en el que se ajusta al  $BW$  impuesto. De otro lado, el nivel de modo común a la entrada fue restringido a un rango de variación entre 1,64 y 1,66 tomando en cuenta la consideración del máximo  $DR_{in}$  mencionado en las consideraciones de diseño. Una vez definidas las restricciones y diversas condiciones geométricas, de operación y relaciones entre variables, se soluciona el programa geométrico empleando la herramienta  $CVX$  [35] y posteriormente se verifican los resultados en el simulador  $HSPICE$  usando modelos  $BSIM3v3$  para los transistores. Dado que la programación geométrica es sólo una herramienta matemática y algunos fenómenos físicos presentes en los circuitos son modelados por medio de expresiones aproximadas, se hace necesario realizar algunos ajustes. En este caso, para obtener el valor de tensión de modo común deseado a la salida se ajusta la tensión  $V_{aux}$ . Un ajuste en  $V_c$  se hace necesario para compensar la inclusión del par cruzado, procurando ubicar de forma adecuada el rango de las tensiones de control; y por último un ajuste en  $W_{1,2}$  se debe a una ganancia superior a la requerida lo cual modifica las consideraciones hechas a lo largo del diseño.

En la tabla 3.6 se muestra el valor de las diferentes variables de diseño obtenidas con el PG. Así mismo, las especificaciones de la celda núcleo extraídas por simulación en  $HSPICE$ , están reportadas en la tabla 3.7. Cabe resaltar que la función objetivo del PG es la potencia, la cual se minimizó obteniendo un valor bajo comparado con el estado del arte. Con el propósito de determinar el grado de optimización alcanzado en el diseño de la celda núcleo con la aplicación de la *programación geométrica* respecto de la metodología tradicional, una comparación de los resultados obtenidos será expuesta.

Relación	Valor PG	Fuente	Valor PG[V]	Ajuste HSPICE	
$W_{1,2}/L_{1,2}$	$1,82\mu m/1,14\mu m$	$V_{CM}$	1,64	$1,1\mu m/1,14\mu m$	1,64
$W_{3,4}/L_{3,4}$	$1\mu m/0,82\mu m$	$V_c$	2,3482	$1\mu m/0,82\mu m$	2,55
$W_{7,10}/L_{7,10}$	$2,95\mu m/2,34\mu m$	$V_{aux}$	2,3451	$2,95\mu m/2,34\mu m$	2,1879
$W_{8,9}/L_{8,9}$	$9,21\mu m/2,58\mu m$	$V_{CMFB}$	2,2014	$9,21\mu m/2,58\mu m$	2,20
$W_f/L_f$	$9,71\mu m/1,49\mu m$	$V_f$	0,8202	$9,71\mu m/1,49\mu m$	0,82

Tabla 3.6: Dimensiones y fuentes de polarización para la celda núcleo.

Especificación	Valor
Ancho de Banda $BW$ [MHz]	2.38
Consumo de Potencia [ $\mu W$ ]	129.4
Rango de ganancia [dB]	[-13.7, 36.3]
Punto de Compresión de 1 dB, $v_{P_{1dB}}$ [mV]	2.25
Rango de Control de Ganancia [V]	[2.05, 2.55]
Margen de Fase [ $^\circ$ ]	83.14

Tabla 3.7: Especificaciones de la celda núcleo con PG.

### 3.5. Discusión de Resultados

Esta sección aborda la comparación de resultados obtenidos tras la aplicación de la metodología tradicional y la programación geométrica en el diseño de la celda núcleo del amplificador de ganancia variable. El programa geométrico implementado para el diseño de la celda núcleo tiene como función objetivo minimizar la potencia consumida. Por consiguiente, se da inicio a la comparación de los resultados partiendo de esta especificación. El consumo de potencia obtenido en la celda PG fue de  $129,4\mu W$ , un 33% menos respecto a la celda manual que reportó  $197,38\mu W$ . Estos valores indican que la optimización hacia la cual está orientada el PG cumplió el objetivo principal de su aplicación en el diseño de esta celda, permitiendo reafirmar la aplicabilidad de este diseño en la implementación del *transceiver*.

La dependencia de las demás especificaciones respecto al consumo de potencia, se ve reflejada en cierto grado de acuerdo a los resultados obtenidos. El  $BW$  de la celda PG es igual a  $2,38MHz$ , inferior a  $3,71MHz$  valor obtenido con la celda de diseño manual. De cierta forma, un  $BW$  sobredimensionado incurre en un incremento de potencia y área en el diseño tradicional, ya que esta última se redujo en un 33%, pasando de  $73,38$  a  $48,9667\mu m^2$  con la aplicación de la programación geométrica.

En las figuras 3.9(a), 3.9(b), 3.10(a) y 3.10(b) se muestra el comportamiento en frecuencia de la celda PG y la celda manual respectivamente. Estas figuras muestran la función de transferencia a diferentes valores de ganancia, donde se observa para los dos diseños la obtención de un  $BW$  constante en el rango de control de ganancia, gracias al esquema de corriente constante a través de la carga.

En las figuras 3.9(c) y 3.10(c), se observa el comportamiento de la ganancia respecto a la señal de control. El resultado obtenido en esta especificación muestra que el comportamiento

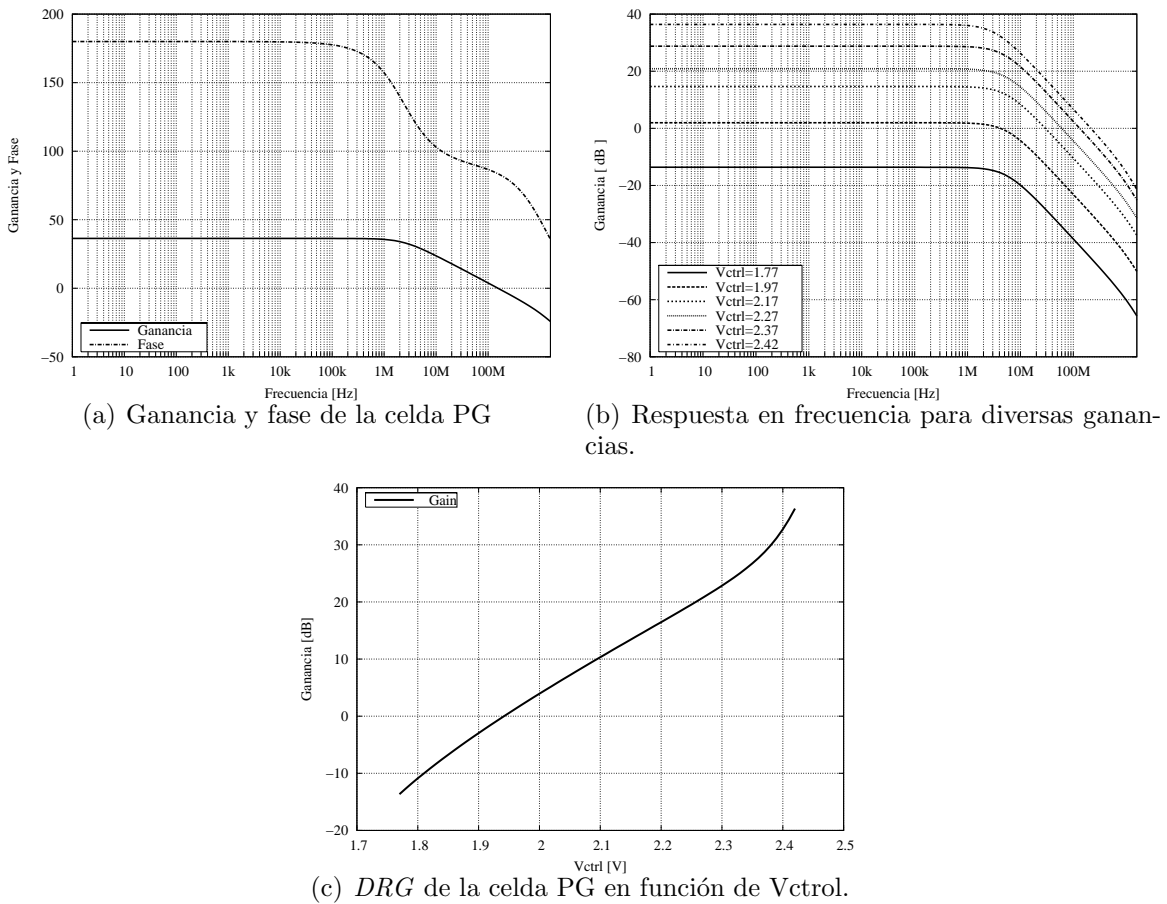


Figura 3.9: *BW* y *DRG* en función de  $V_{ctrl}$  de la celda PG.

exponencial pretendido a lo largo del diseño es obtenido, pero con leves desviaciones respecto al comportamiento ideal de ganancia. En particular, los extremos del *DRG* son los puntos críticos como se mencionó al comienzo de este capítulo. Estas desviaciones en el *DRG* presentan diversos orígenes; entre ellos, el cambio en la región de operación de los transistores que conforman el par cruzado para alta ganancia y el cruce de tensiones de control entre el transistor cascode y el transistor cruzado a bajas ganancias, generando la inversión de fase en la señal de salida. Adicionalmente, el extenso rango requerido por las tensiones de control ( $500mV$ ) hace que la aproximación exponencial implementada por la configuración pierda su precisión e incurra en errores como los reportados. No obstante, cabe resaltar que se cumple con el *span* de  $50dB$  impuesto por el estándar *Bluetooth*, permitiendo la implementación de este circuito en el *transceiver*.

Po su parte, la linealidad de la celda núcleo medida a través del punto de compresión de ganancia de  $1dB$  ( $v_{P_{1dB}}$ ) presenta valores similares para cada uno de los diseños. El  $v_{P_{1dB}}$  para la celda manual alcanzó un valor de  $2,25mV$  o  $-42,95dBm$ , realizando la prueba con dos tonos en  $900Hz$  y  $1KHz$  respectivamente. Por su parte, la celda PG presenta un  $v_{P_{1dB}}$  de

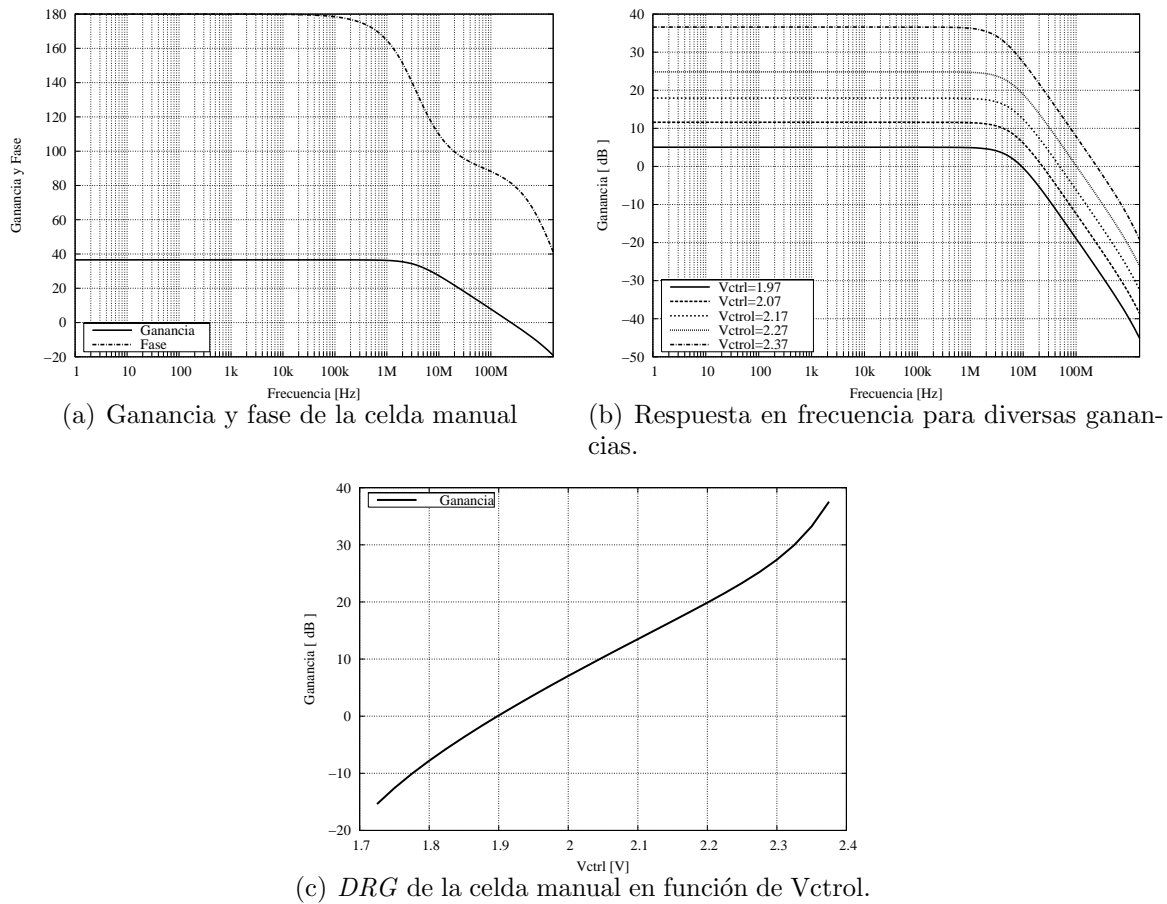


Figura 3.10:  $BW$  y  $DRG$  en función de  $V_{ctrl}$  de la celda manual.

de  $2mV$  o  $-43,97dBm$  con los mismos tonos de frecuencia.

En las tablas 3.4 y 3.6 están consignados los valores del dimensionamiento obtenido por cada una de las metodologías aplicadas y los ajustes realizados respectivamente. Adicionalmente en la tabla 3.8 se muestran las especificaciones alcanzadas por la celda núcleo con la aplicación de cada metodología de diseño.

### 3.6. Etapa de Ganancia Adicional

Para esta etapa (figura 3.11) se optó por implementar un amplificador de fuente común con carga resistiva basado en las siguientes consideraciones:

- Por presentar una carga resistiva esta etapa no requiere de un lazo  $CMFB$  para fijar una tensión estable en el nodo de salida. Adicionalmente permite obtener los  $1,5V$  del rango dinámico a la salida sin mayores restricciones, pero su implementación implica un consumo mayor de área respecto a una carga activa.

Especificación	M. Tradicional	PG
Ancho de Banda $BW$ [MHz]	3.71	2.38
Consumo de Potencia [ $\mu W$ ]	197.38	129.4
Rango de ganancia [dB]	[-14 , 36]	[-13.7, 36.3]
Punto de Compresión de 1 dB, $v_{P_{1dB}}$ [mV]	2.25	2
Rango de Control de Ganancia [V]	[2.05,2.55]	[2.05,2.55]
Área [ $\mu m^2$ ]*	73.38	48.96
Margen de Fase [ $^\circ$ ]	80.94	83.14

Tabla 3.8: Comparación de especificaciones para las diferentes metodologías.

- El polo dominante de esta etapa se puede modificar de una forma sencilla, tal que permite su ubicación en un valor intermedio a los polos de la celda núcleo. Lo anterior con el propósito de obtener un margen de fase que brinde estabilidad al circuito, si embargo esa ubicación restringe la máxima ganancia obtenida con un determinado consumo de potencia.
- El consumo de potencia necesario para obtener una ganancia de  $20dB$  es aceptable, si se compara con una etapa activa que requiere un lazo *CMFB* que presente un rango dinámico a la entrada de  $1,5V$  para poder operar adecuadamente.
- La linealidad depende fuertemente de la tensión de *overdrive*, la cual se puede maximizar con un incremento adicional de potencia [23].

Para el diseño de esta etapa de ganancia adicional se define un consumo de potencia de  $500\mu W$ , lo cual representa una corriente de  $151,5\mu A$  y  $75,75\mu A$  en el transistor sumidero y de entrada respectivamente. El valor de tensión de modo común a la entrada de esta etapa es  $1,9V$ . Con esta condición, el nivel de modo común ideal para proporcionar el máximo rango de excursión a la salida está definido por la siguiente expresión:

$$V_{CM_{out}} = \frac{3,3 + V_{CM_{in}} - v_{th1} + \Delta}{2} = R(75,75 \times 10^{-6}) \quad (3.27)$$

Donde  $\Delta$  es una restricción de tensión para mantener al transistor operando en la región de saturación con un valor de  $100mV$  y el producto  $R(75,75 \times 10^{-6})$  es la caída de tensión en el resistor de carga. Cabe notar que el  $V_{th}$  del transistor 1 y el  $g_{m1}$  son dependientes del tamaño del transistor, ya que su valor impone una tensión de fuente que modifica el voltaje de umbral debido al efecto cuerpo y a su vez determina el valor de la transconductancia con la fijación de un  $v_{ov}$  para la corriente asignada.

Para determinar la relación de aspecto del transistor o el  $v_{ov}$ , se utiliza la expresión de la corriente de dreno del transistor de la ecuación (3.28). Los parámetros de la ecuación

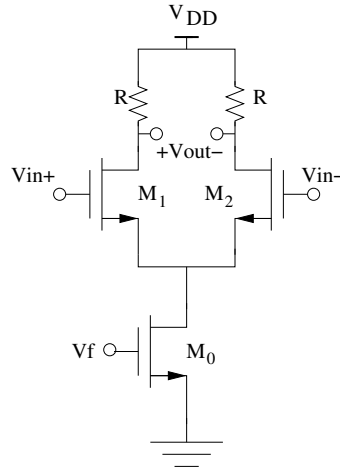


Figura 3.11: Etapa de salida del VGA.

(3.28) son reportados en la tabla 3.3. En este caso se ha fijado el voltaje de *overdrive* en un valor de  $200mV$  que le permita al par diferencial sensar la señal de entrada proveniente de la celda núcleo sin problema. Un  $L$  igual a  $0,35\mu m$  es seleccionada pensando en disminuir la capacitancia de puerta del transistor, ya que esta representa la etapa de carga de la celda núcleo. Con estos valores fijados se obtiene un  $W = 16,45\mu m$ .

$$i_{dsat} = \frac{\mu_o C_{ox} W}{2aL} \frac{(V_{GS} - V_{th})^2}{1 + \left(\theta + \frac{\mu_o}{v_{sat}L}\right)(V_{GS} - V_{th})} = 75,75[\mu A] \quad (3.28)$$

Reemplazando estos valores de  $W$ ,  $L$  y  $v_{ov}$  en la ecuación (3.29), se obtiene una transconductancia,

$$g_{m1} = \frac{\mu_o C_{ox} W_1}{2aL_1} (V_{GS} - V_{th}) \left(2 + \left(\theta + \frac{\mu_o}{v_{sat}L}\right)(V_{GS} - V_{th})\right) mobhot^2 = 890,28 \frac{\mu A}{V} \quad (3.29)$$

donde,

$$\mu_h^{-1} = \left(1 + \left(\theta + \frac{\mu_o}{v_{sat}L}\right)(V_{GS} - V_{th})\right) \quad (3.30)$$

Para proporcionar la ganancia de  $20dB$  planteada por la especificación, se requiere de una resistencia de:

$$A_v = Rg_{m1} = 10 \left[\frac{V}{V}\right] \implies R = \frac{10}{890,28e - 6} = 11,23k\Omega. \quad (3.31)$$

Diseño Manual			Ajuste HSPICE	
Variable	W[ $\mu m$ ]	L[ $\mu m$ ]	W[ $\mu m$ ]	L[ $\mu m$ ]
$M_0$	28,25	1	28,25	1
$M_{1,2}$	16,45	0,35	16,45	0,35
R[k $\Omega$ ]	11.23	–	14	–

Tabla 3.9: Dimensionamiento de los transistores.

	Ganancia[dB]	BW[MHz]	$P_D$ [ $\mu W$ ]	$P_{1dB}$ [dBm]
<i>Diseño</i>	20	566	500	$\gg -10$
<i>Simulación</i>	20.150	414.55	534.41	-5.089

Tabla 3.10: Especificaciones de la etapa de salida.

El voltaje de umbral para el  $v_{ov}$  fijado es de  $0,756V$ . Ya obtenidos los parámetros necesarios, se determina el nivel de modo común óptimo a la salida ( $2,272V$ ). Sin embargo, el nivel de tensión real de modo común a la salida está definida por la caída de tensión en la resistencia. Entonces:

$$V_{CM_{out}} = 3,3 - Ri_1 = 3,3 - (11,23 \times 10^3) \times (75,75 \times 10^{-6}) = 2,45V \quad (3.32)$$

La respuesta en frecuencia está determinada por la resistencia de carga y la capacitancia asociada al nodo de salida. Con las dimensiones obtenidas, se determina la capacitancia asociada al nodo de salida con las expresiones reportadas en la ecuaciones (3.8), (3.9) y (3.10), obteniendo un valor aproximado de  $15fF$ . Adicionalmente una capacitancia de carga de  $10fF$  estimada para la entrada del *ADC* posterior al *VGA* en la cadena de recepción del *transceiver* fue considerada.

$$Polo = \frac{1}{RCx} = 566MHz \quad (3.33)$$

El transistor sumidero de corriente del par diferencial maneja una corriente de  $151,5\mu A$ . Tomando el valor  $V_f = 0,82$ , el mismo del sumidero de corriente de la celda núcleo, se obtiene una relación de tamaño  $W_f/L_f = 28,251$ . Con la fijación de  $L = 1\mu m$ ,  $W = 28,251\mu m$ .

Para comprobar los resultados del diseño se utilizó el simulador *HSPICE* utilizando el modelo para el transistor *BSIM3v3* nivel 49. Las dimensiones obtenidas a lo largo del diseño son recopiladas en la tabla 3.9 y los resultados de simulación en la tabla 3.10. Los resultados obtenidos se aproximan a lo requerido para la etapa plasmado en la tabla 3.1.

## 3.7. Etapa de Control

La etapa de control se muestra en la figura 3.12. Como se mencionó anteriormente, esta etapa es la encargada de proporcionar las tensiones de control requeridas por la celda



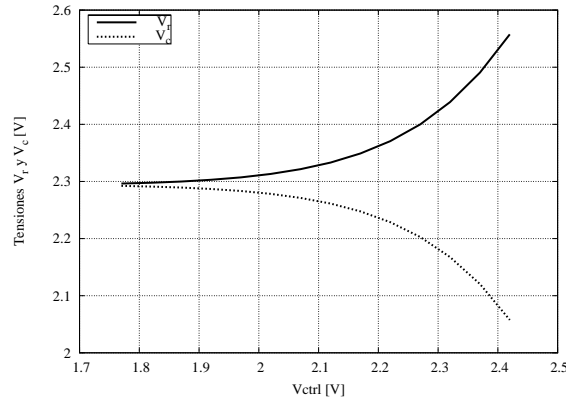


Figura 3.13: Tensiones  $V_r$  y  $V_c$  en función de la señal de control.

Relación	Valor	Ajuste
$W_0/L_0$	$8,62\mu m/2\mu m$	$8,62\mu m/2\mu m$
$W_1/L_1$	$11,56\mu m/2\mu m$	$11,55\mu m/2\mu m$
$W_{2,3}/L_{2,3}$	$1\mu m/2\mu m$	$1\mu m/2\mu m$
$W_4/L_4$	$1\mu m/2\mu m$	$1\mu m/2\mu m$
$W_5/L_5$	$1\mu m/2\mu m$	$1\mu m/2\mu m$
$W_6/L_6$	$1\mu m/2\mu m$	$0,87\mu m/2\mu m$
$W_7/L_7$	$1\mu m/2\mu m$	$1,18\mu m/2\mu m$
$W_8/L_8$	$1,4\mu m/2\mu m$	$1,35\mu m/2\mu m$

Tabla 3.11: Dimensiones y ajustes de la etapa de control.

Por su parte, el  $V_{SG8}$  se fijó en  $1,4V$  con el propósito de utilizar la misma fuente de referencia que en la etapa *CMFB*. Partiendo de esto y la igualdad en los resistores de las dos ramas, se obtiene una  $I_r = 5,99\mu A$  y un  $W_8 = 1,40\mu m$ .

El rango de variación de las señales de control es de 2,3 a 2,55 para  $V_r$  y 2,05 a 2,3 para  $V_c$ . Una vez definidas las resistencias de carga  $R$ , el rango de oscilación para las señales de control impuesto por la celda núcleo fija la corriente máxima generada por  $M5$  y  $M7$  a  $0,65\mu A$ .

La corriente de  $0,65\mu A$  es generada espejando la del transistor  $M1$ , el cual opera en la región subumbral. Con el propósito de no disminuir este valor, debido a la falta de precisión en el control de esta corriente, anchos de  $1\mu m$  para los transistores  $M2$ ,  $M3$ ,  $M4$ ,  $M5$  y  $M7$  son propuestos de forma tal que el factor de escalamiento de los espejos sea igual a 1. Es decir:

$$\frac{W_7}{W_2} = \frac{W_3W_5}{W_2W_4}$$

El diseño de esta etapa considera el máximo consumo de potencia posible, para el cual se presentan dos condiciones particulares: primero, la señal de control presenta el valor más alto de su rango de variación y segundo, la tensión  $V_{GS1}$  es aproximada a un valor de  $0,5V$ , en el cual se estima la transición subumbral-triodo. Entonces, el  $W_1$  es determinado aplicando un barrido sobre esta variable para cumplir con la condición de corriente de  $0,65\mu A$ , del cual se

obtiene un valor de  $11,56\mu m$ .

Un cambio estructural de la etapa a diseñar respecto a la propuesta inicial [13], es el *buffer* ubicado en la entrada, conformado por el transistor  $M0$  y las resistores  $R1$  y  $R2$ , el cual se adiciona al circuito para extender el rango de la señal de control. Los resistores  $R1$  y  $R2$  presentan una relación de 1 a 2 que permite extender tres veces el rango dinámico respecto a la señal de control, ya que el divisor formado por los resistores divide en 3 la variación de la señal de control sobre  $R2$ . Se selecciona una impedancia  $R1 = 400k\Omega$  y  $R2 = 200k\Omega$  de forma estimativa. Con estos valores de resistores, una corriente de  $2,5\mu A$  máxima es requerida. Suponiendo un  $V_{ov} = 0,1V$ , como margen de tensión para mantener el transistor operando en la región de saturación, el  $W0 = 8,62\mu m$ . Con ello se obtiene un valor máximo aproximado para la tensión de control de 2,471.

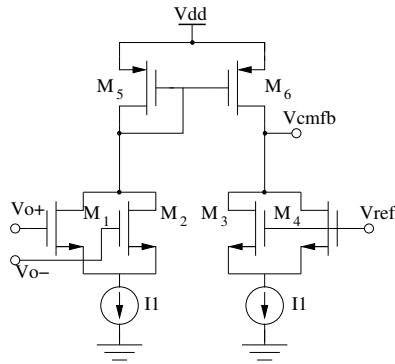
Una vez dimensionado el circuito, se procede a validar el diseño simulando el comportamiento del circuito en *HSPICE*, donde se encuentra cierto grado de error originado en la imprecisión del modelo utilizado. Para obtener el desempeño requerido, se realizan algunos ajustes sobre las dimensiones de los transistores obteniendo como resultado el comportamiento de la figura 3.13 en las tensiones de control  $V_r$  y  $V_c$ . El valor de las diferentes variables junto al ajuste realizado se muestra en la tabla 3.11. El consumo de potencia de la etapa de control está en el rango de  $33,78 - 44,78\mu W$ , cumpliendo con las especificaciones propuestas en la 3.1. Adicionalmente, con la implementación del *buffer* se incrementó el rango de la tensión de control en más de 4 veces respecto a la configuración original, obteniendo 0,68V para este rango.

### 3.8. Etapa *CMFB*

La etapa *CMFB* es la encargada de establecer un nivel de modo común fijo en el nodo de salida de la celda núcleo. La topología seleccionada cumple esta función por medio de la comparación de señales de corriente, generadas a partir del sensado de la tensión diferencial de salida en la celda núcleo por el par diferencial  $M1 - M2$  de la etapa *CMFB* (figura 3.14(a)).

Las transconductancias del par diferencial  $M1$  y  $M2$  deben ser altas con el propósito de generar una alta ganancia en el dreno del transistor  $M5$  con el mínimo desbalance sensado. La señal resultante de esta amplificación inicial, es nuevamente amplificada por la etapa fuente común para realimentarla a la celda núcleo sobre la carga activa.

Para evitar la interferencia del lazo *CMFB* en el procesamiento de la señal diferencial, la ganancia de la etapa debe ser por lo menos la misma de la etapa diferencial sobre la cual actúa [36, 37]. Adicionalmente, el efecto capacitivo que introduce esta etapa debe ser minimizado para no afectar el comportamiento en frecuencia de la celda núcleo. Cabe resaltar

(a) Etapa *CMFB* seleccionada.Figura 3.14: Esquema y respuesta transitoria de la etapa *CMFB* seleccionada.

Relación	Valor	Ajuste
$W_{1,2,3,4}/L_{1,2,3,4}$	$1,73\mu m/0,5\mu m$	$1,73\mu m/0,5\mu m$
$W_{5,6}/L_{5,6}$	$5,57\mu m/1\mu m$	$5,2\mu m/1\mu m$
$W_f/L_f$	$3,02\mu m/1\mu m$	$3,02\mu m/1\mu m$

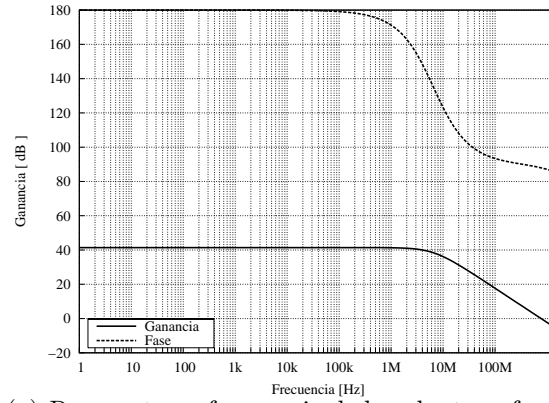
Tabla 3.12: Dimensiones y ajustes de la etapa *CMFB*.

que este efecto capacitivo fue incluido en la formulación del programa geométrico utilizado para el diseño de la celda núcleo, lo cual ya deja de ser una consideración de diseño.

El par diferencial de entrada debe presentar un rango dinámico a la entrada mayor al nivel de oscilación presente en la salida de la celda núcleo; esto con el propósito de evitar errores en la amplificación. Este nivel de oscilación presenta una amplitud fija de  $75mV$  de acuerdo a las especificaciones de funcionamiento del *VGA*. Con la especificación de potencia de  $100\mu W$  para esta etapa reportada en la tabla 3.1, la corriente de cada sumidero es igual a  $15,15\mu A$ . De acuerdo a lo mencionado anteriormente, se selecciona un  $v_{ov} = 200mV$  para los transistores del par diferencial de entrada *M1* y *M2*.

El nivel de tensión *CMFB* que debe proporcionar la etapa es de  $2,2V$ . Fija esta tensión, al igual que la de modo común a la entrada ( $1,9V$ ) y la del sumidero de corriente ( $0,82V$ ), se obtienen las dimensiones de cada transistor por medio de la ecuación de corriente (3.18), la cual ya fue definida. Por consideraciones para la elaboración del *layout* del circuito, las dos ramas de la etapa *CMFB* se hacen simétricas con lo cual ya se tiene el dimensionamiento de la etapa total. Las dimensiones obtenidas son reportadas en la tabla 3.12.

La ganancia de la sub-etapa fuente común conformada por los transistores *M6*, *M3* y *M4* es la que impone la ganancia del circuito la cual debe ser mayor a  $36dB$  o  $63,09\left[\frac{V}{V}\right]$ , asegurando un buen desempeño de la etapa y minimizando su impacto sobre el procesamiento diferencial de la señal de entrada en la celda núcleo [36,37]. Una aproximación de la ganancia en la etapa (ecuación (3.34)), indica que el valor obtenido es mayor a la requerida, cumpliendo



(a) Respuesta en frecuencia de la sub-etapa fuente común de la etapa *CMFB*.

Figura 3.15: Esquema y respuesta transitoria de la etapa *CMFB* seleccionada.

	<i>Ganancia</i> [dB]	<i>BW</i> [MHz]	<i>P<sub>D</sub></i> [ $\mu$ W]
<i>Diseño</i>	47.84	$\geq 1.5$	mínima
<i>Simulación</i>	41	3.8	109.76

Tabla 3.13: Especificaciones de la etapa de *CMFB*.

con la restricción impuesta.

$$A_v = -g_{m6}(r_{op}||r_{on}) \simeq -g_{m6} \frac{r_{op}}{2} \simeq \frac{2I_{d6}}{v_{ov6}\lambda_6 I_{d6}} \simeq 246,87 \left[ \frac{V}{V} \right] \simeq 47,84dB. \quad (3.34)$$

Para comprobar el funcionamiento de esta etapa, se realiza un análisis del comportamiento en frecuencia de la etapa. El resultado obtenido en el análisis se muestra en la figura 3.15(a). A partir de los resultados obtenidos se puede concluir que la etapa se ajusta a los requerimientos de *BW*, *A<sub>v</sub>* y potencia. Sin embargo, la sensibilidad a descasamientos en las fuentes de corriente, es alta debido a las bajas corrientes que modifican fuertemente la impedancia de salida de la etapa a la mínima variación sufrida, generando altos desajustes en la tensión de modo común a la salida de la celda núcleo.

Los resultados de diferentes especificaciones de la etapa medidas a través de simulación son reportados en la tabla 3.13. Con esta etapa se da por cerrado un ciclo en el flujo de diseño de las diferentes etapas que componen el *VGA*. No obstante, es necesario realizar un empalme que permite considerar las condiciones de operación anterior y posterior a cada etapa. En ese sentido, un análisis del comportamiento global será expuesto en el siguiente capítulo, donde se mostrarán los resultados obtenidos a nivel de sistema pre y post-*layout*..

# Capítulo 4

## Validación del diseño

La validación del diseño desarrollado a lo largo de este trabajo, no puede quedar restringida a una verificación a través de simulaciones de etapas individuales sin tomar en cuenta todos los efectos parásitos que surgen en el proceso de fabricación de un circuito integrado. Por lo tanto, se hace necesaria la evaluación del desempeño del circuito a nivel de sistema, incluyendo la generación del *layout* para poder estimar el impacto que ejercen los efectos parásitos sobre su desempeño, pensando en un proceso real de fabricación.

Con ese claro objetivo, se expondrán las consideraciones tomadas en cuenta para la elaboración del *layout* del circuito, con el cual posteriormente se realizará un análisis comparativo a nivel de sistema entre el circuito pre y post-*layout*.

### 4.1. Consideraciones de *Layout*

La elaboración de un *layout* es un proceso delicado que requiere de gran experticia, debido a la amplia gama de efectos presentes en el interior de un circuito integrado que modifican de forma considerable el comportamiento previsto en el diseño pre-*layout*. Con el propósito de minimizar el impacto de estos efectos, diversas consideraciones son aplicadas en la elaboración del *layout*. A continuación son descritas algunas de las consideradas para la elaboración del *layout* requerido para este proyecto.

- Los transistores de cada una de las etapas fueron orientados en la misma dirección con el propósito de minimizar el efecto del descazamiento entre transistores.
- El conjunto de etapas que conforma el *VGA* fue ubicado de forma tal que el área ocupada tendiera a una forma cuadrada para minimizar su valor.
- La celda núcleo fue ubicada en un extremo con el propósito de orientar todas las señales

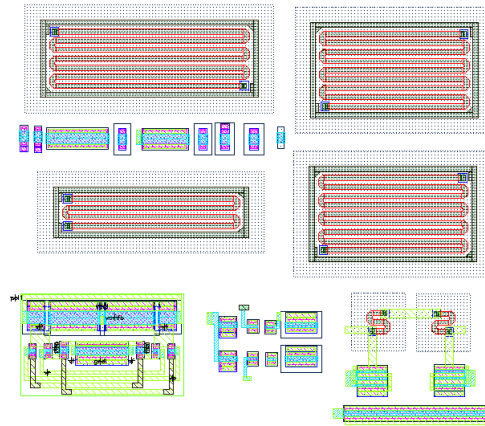


Figura 4.1: *Layout* del *VGA* diseñado.

relacionadas con su funcionamiento de forma simétrica, minimizando los cruces entre *paths* para evitar acoples indeseados.

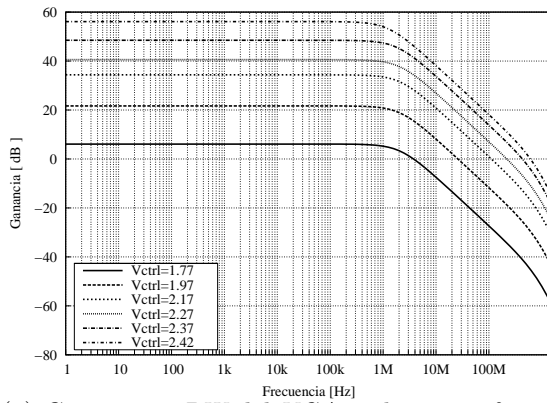
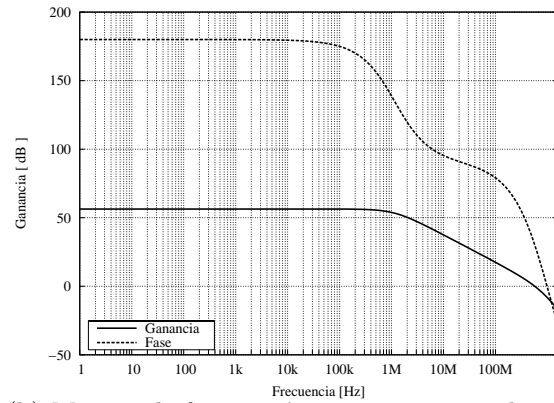
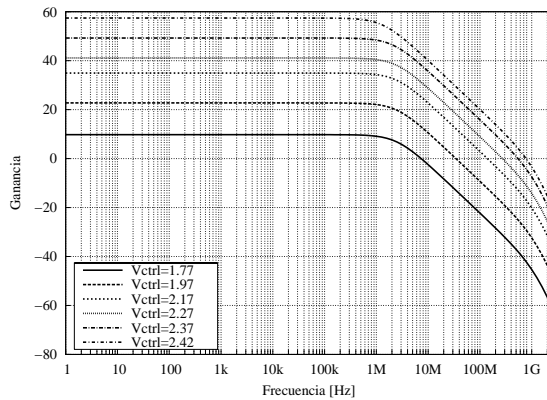
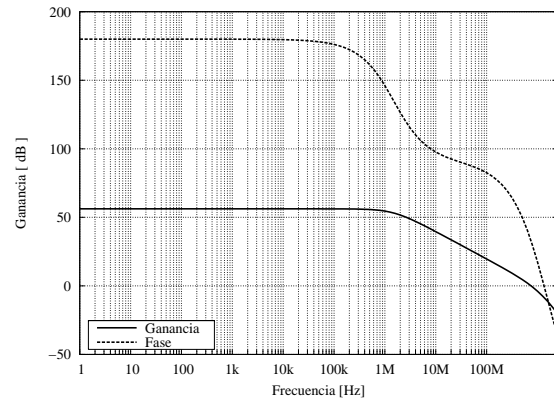
- Cada una de las etapas fue diseñada manteniendo una simetría entre sus elementos, con el propósito de crear una estructura global simétrica.
- En los diferentes resistores fue añadido una estructura *dummy* para minimizar el efecto *etching* presente en el proceso de fabricación.

## 4.2. Resultados *Pre-layout* vs *Post-Layout*

Una vez elaborado el *layout* del *VGA* para incluir los efectos parásitos presentes en el proceso de fabricación, una comparación del desempeño obtenido pre y post *layout* del circuito se hace relevante para la validación de los resultados obtenidos con etapas individuales.

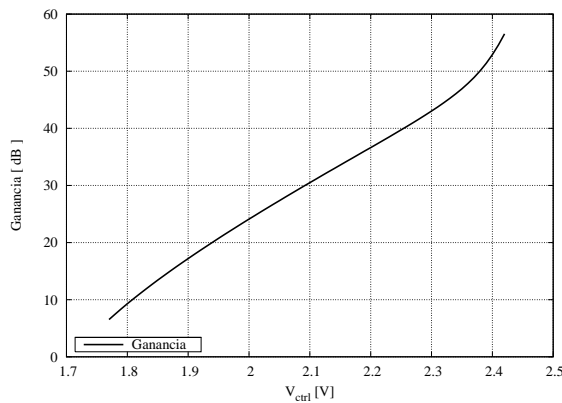
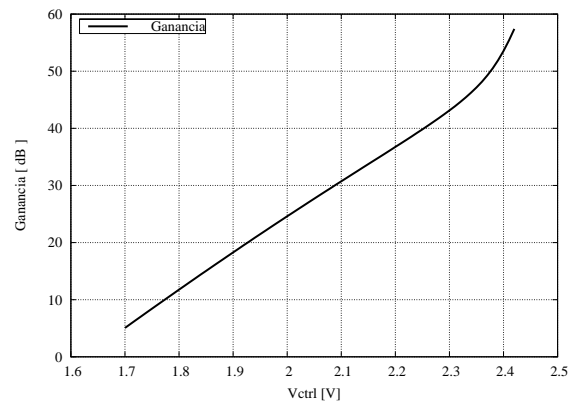
Al igual que en ocasiones anteriores se hace uso del simulador *HSPICE* para llevar a cabo los análisis de simulación. Como primera medida, se genera un análisis de la respuesta en frecuencia del *VGA* pre-*layout* (figura 4.2(a)) y post-*layout* (figura 4.2(c)) para diferentes valores de ganancia obtenidas tras la fijación de la señal de control. A partir de los resultados obtenidos se puede concluir que el *VGA* cumple con la especificación de ancho de banda impuesta por el estándar *Bluetooth*. Es de notar que la variación del *BW* del circuito permanece en un corto rango de frecuencias (entre 1 y 2MHz) tras la extracción post-*layout*.

En las figuras 4.2(b) y 4.2(d) se muestra el caso crítico para el margen de fase del circuito, el cual se presenta en la máxima ganancia del *DRG*. El valor obtenido para el margen de fase en el diseño pre-*layout* es de  $23,57^\circ$  y en el post-*layout* de  $32,62^\circ$ . Aunque parezca ilógico este comportamiento, tiene un fenómeno que lo respalda. El *BW* de la celda pre-*layout* es

(a) Ganancia y *BW* del *VGA prelayout* en función de *Vctrl*.(b) Margen de fase a máxima ganancia *prelayout*.(c) Ganancia y *BW* del *VGA postlayout* en función de *Vctrl*.(d) Margen de fase a máxima ganancia *postlayout*.Figura 4.2: *BW*, ganancia y margen de fase para la celda pre y pos *layout*.

de  $2,38\text{MHz}$  con un margen de fase de  $83,19^\circ$ . Al agregar la etapa de salida del circuito, el margen de fase se ve atenuado a  $23,57^\circ$  debido al efecto del polo de la etapa de salida el cual se considera como el polo dominante de la fase. No obstante, este circuito presenta una banda de frecuencias de respaldo entre  $1\text{MHz}$  y el ancho de banda del circuito, la cual fue reducida por las capacitancias parásitas asociadas al proceso de fabricación. De esta forma se redujo el *BW* del circuito, pero se disminuyó el efecto del polo dominante en fase presentando un incremento en el valor del margen de fase asociado a la máxima ganancia.

Hecha la comparación y el análisis de la respuesta en frecuencia para diversas ganancias, se hace un análisis del comportamiento del *DRG* obtenido. En las figuras 4.3(a) y 4.3(b) se muestra el comportamiento de la ganancia del *VGA* respecto a la señal de control, es decir el *DRG*, para el diseño pre y post-*layout* respectivamente. El resultado obtenido muestra que el comportamiento exponencial pretendido a lo largo del diseño es obtenido, pero con leves desviaciones respecto al comportamiento ideal de ganancia. En particular, los extremos del *DRG* son los puntos críticos como se mencionó en el capítulo anterior. Estas desviaciones

(a) *DRG pre-layout* en función de  $V_{ctrl}$ .(b) *DRG pos-layout* en función de  $V_{ctrl}$ .

en el *DRG* presentan diversos orígenes; entre ellos, el cambio en la región de operación de los transistores que conforman el par cruzado para alta ganancia. Adicionalmente, el extenso rango requerido por las tensiones de control ( $500mV$ ) hace que la aproximación exponencial implementada por la configuración pierda precisión e incurra en errores como los reportados. De otro lado, se cumple con el *span* de  $50dB$  impuesto por el estándar *Bluetooth*, permitiendo la implementación de este circuito en el *transceiver*.

La linealidad del circuito es medida en función del punto de compresión de ganancia de 1 dB referido a tensión o a dBms, ya que determinando su valor es posible estimar el  $v_{IIP_3}$  aplicando la relación de  $14,4dB$  que se determinó en la sección de linealidad para estos dos valores. La prueba de linealidad es realizada con la aplicación de tonos de  $900KHz$  y  $1MHz$  de frecuencia. El valor obtenido del  $v_{P_{1dB}}$  para el circuito *pre-layout* es de  $487$  a  $1,525mV$  o de  $3,75$  a  $-46,33dBm$  para el rango de ganancias del circuito. Por su parte, el  $v_{IIP_3}$  se estima entre  $18,15$  y  $-31,93dBm$ ; con estos resultados se cumple a nivel *pre-layout* el requerimiento de linealidad propuesto por el estándar *Bluetooth*. El circuito *post-layout* presenta un  $v_{P_{1dB}}$  de  $502$  a  $1,605mV$  o de  $4,01$  a  $-45,89dBm$ . Por su parte, el  $v_{IIP_3}$  se estima entre  $18,41$  y  $-31,49dBm$ , con lo cual se confirma el cumplimiento de las especificaciones del estándar *Bluetooth*.

Por último, el consumo de potencia del circuito *pre-layout* oscila entre  $802,6\mu W$  y  $813,6\mu W$  para máxima y mínima ganancia respectivamente. La diferencia con el circuito *post-layout* no es relevante, ya que este oscila entre  $801,4$  y  $812,4\mu W$  para máxima y mínima ganancia respectivamente. Este consumo de potencia obtenido es bajo respecto a otros *VGAs* reportados en el estado del arte, lo cual indica que las consideraciones asumidas para el diseño del circuito son acertadas.

A manera de resumen, se logró cumplir a cabalidad las especificaciones que regulan la implementación de un *VGA* en un sistema operando bajo el estándar *Bluetooth*. A través

de la aplicación de algunas consideraciones tomadas del estado del arte y otras hechas por el autor, junto a la aplicación de metodologías alternativas de optimización como la programación geométrica, permitieron obtener resultados óptimos y en corto tiempo afrontando los compromisos entre los parámetros de desempeño de forma sencilla. Como resultado se obtiene el diseño de un amplificador de ganancia variable, cumpliendo con los requisitos de rango dinámico de ganancia, ancho de banda, linealidad y consumo de potencia.

### 4.3. Observaciones y Conclusiones

- EL  $DRG$  requerido por el estándar *Bluetooth* es de  $50dB$ , el cual varía su posición en la escala de ganancia dependiendo de las condiciones de operación del circuito. A través de algunos análisis realizados, se observó que la ubicación de los valores extremos influye de forma apreciable en la determinación de la linealidad, el consumo de potencia y la máxima ganancia obtenida, lo cual indica que el desempeño alcanzado por el  $VGA$  depende fuertemente de los valores seleccionados para estos extremos.
- La cancelación de señal por medio del par cruzado permite obtener una transconductancia de entrada de valor fijo y un valor constante de corriente en la impedancia de carga, obteniendo un  $BW$  independiente de la señal de control.
- La linealidad del  $VGA$  presenta una baja precisión en su definición, debido a los múltiples parámetros y fenómenos que influyen en su comportamiento, lo cual conduce a la evaluación de su desempeño como un producto del diseño. Sin embargo, la aplicación de diversas consideraciones influyen en la obtención de un valor que cumpla los requerimientos de cada aplicación.
- Con la aplicación de la programación geométrica son explorados espacios de diseño no visibles por medio de la metodología tradicional, permitiendo obtener desempeños óptimos de manera fácil y en corto tiempo, aplicando los ajustes necesarios. De esa forma, el propósito relevante del diseño deja de ser el cumplimiento de las especificaciones, para transformarse en la tendencia de explotar al máximo las potencialidades de la tecnología utilizada para el desarrollo del circuito.
- Con el desempeño obtenido en simulaciones post-*layout*, se cumple con las especificaciones del estándar *Bluetooth* para la implementación del  $VGA$  en un sistema operando bajo este estándar, dando por cumplidos los objetivos propuestos para este proyecto.

## 4.4. Recomendaciones para trabajos futuros

- Un amplificador de ganancia variable es el núcleo de un lazo de control de ganancia automática (*AGC*), pero su funcionalidad no es visible en su aplicación aislada, ya que requiere la generación de las tensiones de control de acuerdo a las condiciones de operación. Por lo tanto, se recomienda implementar un lazo *AGC* en su totalidad permitiendo la aplicación del *VGA* diseñado en un *transceiver*.
- La linealidad de un circuito presenta una relación directa con los rangos dinámicos tanto a la entrada como a la salida. Basado en esta premisa, se recomienda analizar las condiciones de operación de diversas configuraciones, con el objetivo de adaptarla a una configuración *rail-to-rail*, que permita mejorar la linealidad de un circuito sin incurrir en altos incrementos de potencia.
- Debido al escalamiento en las dimensiones mínimas de la tecnología de fabricación, restricciones sobre los circuitos en modo tensión como el *VGA* diseñado en este proyecto, surgen complicando el proceso de diseño. Por su parte, los circuitos en modo corriente sobrellevan estas restricciones de una forma más adecuada. Debido a esto, se hace necesario incursionar en la aplicación de circuitos operando en modo corriente para la implementación del *VGA* en el *transceiver*.
- En la mayoría de las ocasiones, la linealidad de los circuitos es analizada a través de consideraciones de operación o por medio de una expansión en series de *Taylor* de la función de transferencia del circuito. Con la aplicación de esa metodología de análisis, efectos importantes en la determinación de la linealidad son ignorados. Debido a ello, se recomienda hacer uso de las series de *Volterra* como herramienta para el análisis de desempeño en esta especificación.
- La celda núcleo es la etapa de mayor consumo de potencia en el *VGA*, debido a su fuerte compromiso con las demás especificaciones que caracterizan el desempeño de este circuito. Sin embargo, con la aplicación de la *Programación Geométrica* al diseño de esta celda, se obtuvo menores consumos de potencia que en las demás etapas. En ese sentido, se recomienda la aplicación de esta metodología en cada una de las etapas que conforman el *VGA*, permitiendo optimizar de forma real el desempeño del circuito tomando como criterio de evaluación el consumo de potencia
- Los resultados obtenidos con programación geométrica presentan resultados óptimos pero muchas veces inestables, por lo cual se recomienda aplicar una metodología *DFM* (*Design*

*For Manufacturability*), con el propósito de obtener un diseño robusto frente a las altas variaciones de los parámetros característicos del transistor y del proceso de fabricación.

- La selección de una etapa para la cancelación de *offset*, requiere de un análisis arduo debido a las distintas limitaciones que impone sobre el desempeño del *VGA*. Por lo tanto se sugiere que la selección y diseño de esta etapa sea incluido en un proyecto posterior para completar un *VGA* completamente funcional.



# Anexo A

## Coeficientes de Linealidad

El comportamiento  $I - V$  de un transistor  $MOS$  es una función no-lineal de las tensiones aplicadas en los terminales, tal como se muestra en la ecuación A.1.

$$I_{DSsat} = K_0(v_{GS}, v_{DS}, v_{SB}) + K_1(v_{GS}, v_{DS}, v_{SB}) + K_2(v_{GS}, v_{DS}, v_{SB}) + K_3(v_{GS}, v_{DS}, v_{SB}) + \dots \\ \dots + K_n(v_{GS}, v_{DS}, v_{SB}) \quad (A.1)$$

Sin embargo, en la mayoría de las ocasiones la expresión anterior se trunca en el término  $K_1$ , obteniendo un modelo lineal sencillo para el comportamiento  $I - V$  del transistor. Esto siempre y cuando, las señales en los terminales de puerta y cuerpo principalmente no sobrepasen un cierto nivel de tensión. No obstante, para un análisis de linealidad no es suficiente con el término  $K_1$ , ya que no es posible obtener las expresiones que cuantifican de forma aproximada la linealidad. Para ello, la ecuación A.1 se expande hasta el término  $K_3$ , tomando en cuenta las variaciones de tercer orden de la corriente respecto a las tensiones de los terminales. A continuación se describen las expresiones para los coeficientes que fueron utilizadas en el desarrollo del análisis de linealidad del  $VGA$ .

$$K_0 = \frac{\mu_o C_{ox} W}{2aL} (V_{GS} - V_{th})^2 \mu_h \\ K_{1gm} = \frac{\mu_o C_{ox} W}{2aL} (V_{GS} - V_{th}) \left( 2 + \left( \theta + \frac{\mu_o}{v_{sat} L} \right) (V_{GS} - V_{th}) \right) \mu_h^2 \\ K_{2gm} = \frac{\mu_o C_{ox} W}{2aL} \mu_h^3 \\ K_{3gm} = \frac{\mu_o C_{ox} W}{2aL} \left( \theta + \frac{\mu_o}{v_{sat} L} \right) \mu_h^4$$

$$\begin{aligned}
K_{1_{gmb}} &= \frac{\mu_o C_{ox} W}{2aL} (V_{GS} - V_{th}) \frac{\gamma}{\sqrt{2\Phi_F + V_{SB}}} \mu_h \\
K_{2_{gmb}} &= \frac{\mu_o C_{ox} W}{8aL} \frac{\gamma \mu_h}{2\Phi_F + V_{SB}} \left( -\gamma - \frac{V_{GS} - V_{th}}{\sqrt{2\Phi_F + V_{SB}}} + 2\gamma(V_{GS} - V_{th}) \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \mu_h \right) \\
K_{3_{gmb}} &= \frac{\mu_o C_{ox} W}{16aL} \frac{\gamma \mu_h}{(2\Phi_F + V_{SB})^2} \left( \gamma + \frac{V_{GS} - V_{th}}{\sqrt{2\Phi_F + V_{SB}}} - 2\gamma(V_{GS} - V_{th}) \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \mu_h \right. \\
&\quad \left. - \gamma^2 \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \mu_h \sqrt{2\Phi_F + V_{SB}} \right) \\
K_{2_{gm\&gmb}} &= \frac{\mu_o C_{ox} W}{aL} \frac{\gamma}{\sqrt{2\Phi_F + V_{SB}}} \left( -\frac{1}{2} + (V_{GS} - V_{th}) \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \mu_h \right) \\
K_{3_{2gm\&gmb}} &= \frac{3\mu_o C_{ox} W}{4aL} \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \frac{\gamma \mu_h^2}{\sqrt{2\Phi_F + V_{SB}}} \left( -1 + 2(V_{GS} - V_{th}) \left( \theta + \frac{\mu_o}{v_{sat}L} \right) \mu_h \right) \\
\mu_h^{-1} &= 1 + \left( \theta + \frac{\mu_o}{v_{sat}L} \right) (V_{GS} - V_{th}) \tag{A.2}
\end{aligned}$$

# Bibliografía

- [1] B. Razavi, "Design considerations for direct-conversion receivers," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 44, no. 6, pp. 428–435, Jun 1997.
- [2] C. Shi and M. Ismail, *Data Converters for Wireless Standards*. Kluwer Academic Publisher, 2001.
- [3] Y. Wang, B. Afshar, T.-Y. Cheng, V. Gaudet, and A. Niknejad, "A 2.5mW inductorless wideband VGA with dual feedback DC-offset correction in 90nm CMOS technology," *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, pp. 91–94, 17 2008-April 17 2008.
- [4] I.-H. Wang and S.-I. Liu, "A 0.18-um CMOS 1.25-Gbps Automatic-Gain-Control Amplifier," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 55, no. 2, pp. 136–140, Feb. 2008.
- [5] Q.-H. Duong, T.-J. Park, E.-J. Kim, and S.-G. Lee, "An all CMOS 743 MHz Variable Gain Amplifier for UWB Systems," *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 4 pp.–, May 2006.
- [6] H.-H. Nguyen, Q.-H. Duong, H.-B. Le, J.-S. Lee, and S.-G. Lee, "Low-power 42 dB-linear single-stage digitally-controlled variable gain amplifier," *Electronics Letters*, vol. 44, no. 13, pp. 780–782, 19 2008.
- [7] J.-H. Kim, C.-S. Chae, Y.-J. Woo, and G.-H. Cho, "A CMOS Variable Gain Amplifier with Wide Dynamic Range and Accurate dB-Linear Characteristic," *Advanced Communication Technology, 2006. ICACT 2006. The 8th International Conference*, vol. 1, pp. 831–835, Feb. 2006.
- [8] L. Yin, T.-H. Yun, J.-H. Wu, and L.-X. Shi, "A CMOS Low-Distortion Variable Gain Amplifier with Exponential Gain Control," *Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian*, pp. 375–378, Nov. 2006.

- [9] H.-K. Yoon and M. Ismail, "A CMOS multi-standard receiver architecture for ISM and UNII band applications," *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 4, pp. IV-265-8 Vol.4, May 2004.
- [10] J. Rogers and C. Plett, *Radio Frequency Integrated Circuit Design*. Artech House, 2003.
- [11] Y.-J. Suh, S. Ishikawa, H. Ohta, R. Fujimoto, N. Itoh, and T. Yoshimasu, "High dynamic range variable gain amplifier using 130 nm CMOS technology for triple-band W-CDMA applications," *Microwave and Millimeter Wave Technology, 2008. ICMMT 2008. International Conference on*, vol. 1, pp. 139-142, April 2008.
- [12] S. Tadjpour, F. Behbahani, and A. Abidi, "A CMOS Variable Gain Amplifier for a Wideband Wireless Receiver," *VLSI Circuits, 1998. Digest of Technical Papers. 1998 Symposium on*, pp. 86-89, Jun 1998.
- [13] C. T. Fu and H. Luong, "A CMOS Linear-in-dB High-Linearity Variable-Gain Amplifier for UWB Receivers," *Solid-State Circuits Conference, 2007. ASSCC '07. IEEE Asian*, pp. 103-106, Nov. 2007.
- [14] Q.-H. Duong, Q. Le, C.-W. Kim, and S.-G. Lee, "A 95-dB Linear Low-Power Variable Gain Amplifier," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 8, pp. 1648-1657, Aug. 2006.
- [15] R. Saito, K. Hosoda, A. Hyogo, T. Maruyama, H. Komuraki, H. Sato, and K. Sekine, "A 1.8-V 73-dB Dynamic-Range CMOS Variable Gain Amplifier," *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European*, pp. 301-304, Sept. 2003.
- [16] J. Kwon, K. Kim, W. Song, and G. Cho, "Wideband High Dynamic Range CMOS Variable Gain Amplifier for Low Voltage and Low Power Wireless Applications," *Electronics Letters*, vol. 39, no. 10, pp. 759-760, May 2003.
- [17] P. Khumsat, S. Sakphrom, and A. Thanachayanont, "A Class-AB CMOS Variable Gain Amplifier for Low-Voltage Applications," *Integrated Circuits, 2007. ISIC '07. International Symposium on*, pp. 49-52, Sept. 2007.
- [18] H. D. Lee, K. A. Lee, and S. Hong, "Wideband VGAs Using a CMOS Transconductor in Triode region," *Microwave Conference, 2006. 36th European*, pp. 1449-1452, Sept. 2006.

- [19] J. Khoury, "On the design of constant settling time AGC circuits," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 45, no. 3, pp. 283–294, Mar 1998.
- [20] X. Liu and A. Willson, "A CMOS linear-in-dB variable gain amplifier for low power read channel front-end," *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*, pp. 117–120, Aug. 2008.
- [21] C.-C. Chang, M.-L. Lin, and S.-I. Liu, "CMOS current-mode exponential-control variable-gain amplifier," *Electronics Letters*, vol. 37, no. 14, pp. 868–869, Jul 2001.
- [22] C. De La Cruz-Blas and A. Lopez-Martin, "A +/- 0.75-V Compact CMOS Class-AB Current-Mode Exponential Variable Gain Amplifier," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 54, no. 12, pp. 1042–1046, Dec. 2007.
- [23] P. Wambacq and W. Sansen, *Distortion Analysis of Analog Integrated Circuits*. Kluwer Academic Publisher, 1998.
- [24] Y. Cheng and C. Hu, *Mosfet Modeling & BSIM3 User's Guide*. Kluwer Academic Publisher, 2002.
- [25] W. Guo and D. Huang, "Noise and linearity analysis for a 1.9 GHz CMOS LNA," *Circuits and Systems, 2002. APCCAS '02. 2002 Asia-Pacific Conference on*, vol. 2, pp. 409–414 vol.2, 2002.
- [26] A. Pabon, E. Roa, and W. VanNoije, "On nonlinearity and noise trade-off in a low power 2.45 GHz CMOS LNA-mixer design," 29 2007-Nov. 1 2007, pp. 869–873.
- [27] "IEEE Std 802.15.1 - 2005 IEEE Standard for Information technology - Telecommunications and information exchange between systems - Local and metropolitan area networks - Specific requirements. - Part 15.1: Wireless medium access control (MAC) and physical layer (PHY) specifications for wireless personal area networks (WPANs)," *IEEE Std 802.15.1-2005 (Revision of IEEE Std 802.15.1-2002)*, pp. 0-1–580, 2005.
- [28] B. Razavi, *Design of Analog CMOS Integrated Circuits*. McGraw Hill, 2001.
- [29] D. Cabrera and J. Oliveros, "Aplicación de la Programación Geométrica en el diseño de Amplificadores Operacionales integrados en tecnología CMOS," Proyecto de pregrado de la Universidad Industrial de Santander, 2006.
- [30] W. Carvajal, "Diseño de un convertor analógico-digital configurable integrado en tecnología CMOS," Proyecto de pregrado de la Universidad Industrial de Santander, 2007.

- 
- [31] S. Chaparro, “Aplicación de la Programación Geométrica en el diseño de un Amplificador de Bajo Ruido y un Mezclador de señal para Radiofrecuencia, Integrados en Tecnología CMOS,” Proyecto de pregrado de la Universidad Industrial de Santander, 2008.
- [32] Y. Tsividis, *Operation and Modeling of The MOS Transistor*, 2nd ed. Oxford University Press, 1999.
- [33] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge University Press, 1998.
- [34] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, 2nd ed. Oxford University Press, 2002.
- [35] Matlab software for disciplined convex programming. [internet]. visite: <http://www.stanford.edu/boyd/cvx/>.
- [36] P. VanPeteghem and J. Duque-Carrillo, “A general description of common-mode feedback in fully-differential amplifiers,” May 1990, pp. 320–312 vol.4.
- [37] J. Duque-Carrillo, “Continuous-time common-mode feedback networks for fully-differential amplifiers: a comparative study,” May 1993, pp. 1267–1270 vol.2.