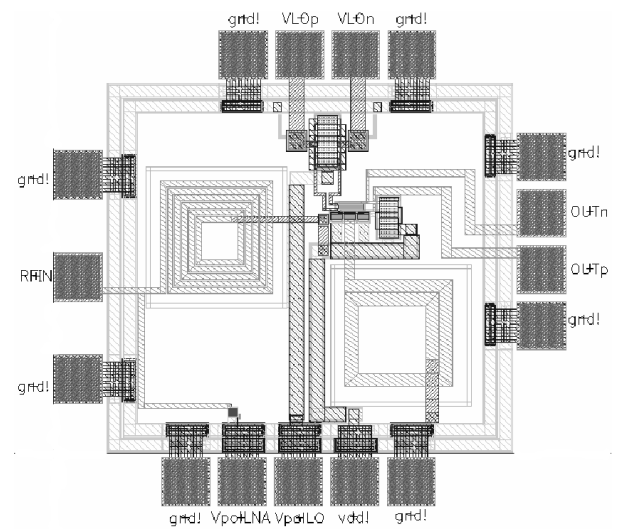
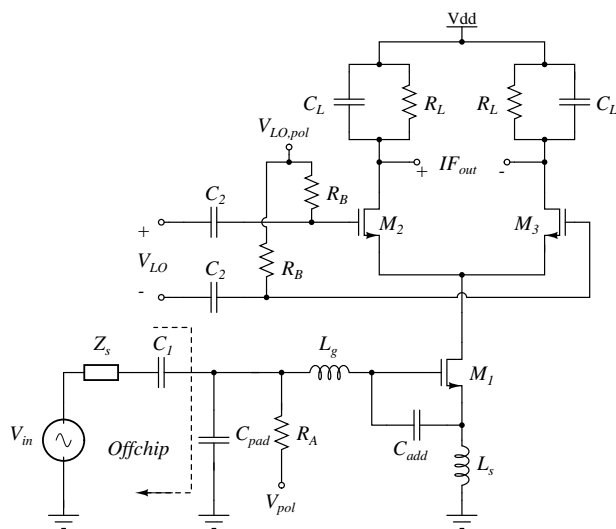


# APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA CMOS.

SERGIO ANDRÉS CHAPARRO MORENO

Octubre de 2008



**APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA  
EN EL DISEÑO DE UN AMPLIFICADOR DE BAJO  
RUIDO Y UN MEZCLADOR DE SEÑAL PARA  
RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA  
CMOS.**

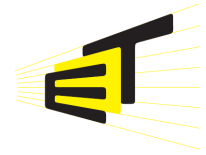
**SERGIO ANDRÉS CHAPARRO MORENO**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE FISICOMECAÑICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES**

**Bucaramanga – 2008**



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones  
Perfecta combinación entre Energía e Intelecto



# **APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA CMOS.**

**SERGIO ANDRÉS CHAPARRO MORENO**

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. ELKIM FELIPE ROA FUENTES

Co-Director

Ing. ARMANDO AYALA PABÓN

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE FISICOMECAÑICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES

Bucaramanga–Octubre de 2008

*Dedicado a mis adorados padres Esperanza y Gonzalo, mis hermanos Jesús David y Fabian Mauricio, a mi querida Raquelita y a mi abuelo Jesús que en paz descanse.*

# Agradecimientos

Quiero agradecer a mis padres por esforzarse en brindarnos la oportunidad de estudiar y consolidarnos profesionalmente, dando siempre su apoyo y motivación. A mis hermanos por ser ejemplo a seguir y su constante motivación. A mi querida Raquelita por su amistad y cariño incondicional.

A Armando un agradecimiento enorme por todos sus consejos, recomendaciones y constantes cuestionamientos. A Elkim por la confianza que depositó en mi, el apoyo y la transmisión de conocimientos. A los demás compañeros del CIDIC por el apoyo, el intercambio de ideas y la amistad.

Por último un agradecimiento a todos aquellos que directa o indirectamente participaron en el desarrollo de este trabajo.

## RESUMEN

### TÍTULO: APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL DISEÑO DE UN AMPLIFICADOR DE BAJO RUIDO Y UN MEZCLADOR DE SEÑAL PARA RADIOFRECUENCIA, INTEGRADOS EN TECNOLOGÍA CMOS\*

AUTOR: SERGIO ANDRÉS CHAPARRO MORENO\*\*

**PALABRAS CLAVES:** *RF*, programación geométrica, amplificador de bajo ruido, mezclador de señal, radiofrecuencia, circuito integrado, *LNA*, *Mixer*, *Bluetooth*.

#### DESCRIPCIÓN

En este trabajo de grado se presenta el diseño aplicando programación geométrica de un amplificador de bajo ruido (*LNA*) y un mezclador de señal (*Mixer*), para un sistema de recepción de radiofrecuencia (RF) integrados en tecnología *CMOS*.

Se realiza una formulación rigurosa de los bloques, se definen algunas consideraciones necesarias para poder aplicar la programación geométrica y algoritmos de optimización convexa en el diseño, cumpliendo con los requerimientos del estándar bluetooth 2,45GHz y frecuencia intermedia de 1MHz. Inicialmente se presenta el diseño de un amplificador de bajo ruido, luego la celda *LNA-Mixer* propuesta y posteriormente se realizan algunas pruebas mediante simulaciones, con el fin de obtener algunas conclusiones sobre la implementación de inductores en tecnologías *CMOS* y el uso de un capacitor para reducir la figura de ruido. Finalmente se expone el *layout* del circuito y algunos resultados de simulaciones *post-layout*.

El diseño fue realizado para el proceso de fabricación 0,35 $\mu$ m *CMOS C35B4* de *AMS (Austria MicroSystems)*. Como resultado de la celda *LNA-Mixer* se obtienen las siguientes especificaciones: Figura de ruido 9,2dB, ganancia de tensión 21,5dB, punto de intersección de tercer orden referido a la entrada  $P_{IIP3} = -2dBm$  y consumo de potencia de 8,67mW, para una tensión de 3,3V. Por último, el circuito ocupa un área de 930 $\mu$ m  $\times$  1mm incluyendo los *pads*.

---

\* Modalidad: Trabajo de grado.

\*\* Facultad de Ingenierías Físicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: Ing. Armando Ayala Pabón.

## SUMMARIZE

### TITLE: APPLICATION OF THE GEOMETRIC PROGRAMMING IN THE DESIGN OF A LOW NOISE AMPLIFIER AND A SIGNAL MIXER FOR RADIOFREQUENCY, INTEGRATED IN CMOS TECHNOLOGY\*

AUTHOR: SERGIO ANDRÉS CHAPARRO MORENO\*\*

**KEY WORDS:** RF, geometric programming, low noise amplifier, signal mixer, radio-frequency, integrated circuit, LNA, Mixer, Bluetooth.

### DESCRIPTION

In this degree work it is presented the applying of the geometric programming in the design of a low noise amplifier (LNA) and a signal mixer (Mixer) for a radio frequency (RF) reception system, integrated in CMOS technology.

It carried out a rigorous formulation of the blocks, it takes into account some considerations necessary to implement the geometric programming and convex optimization algorithms in the design, fulfilling the requirements of the Bluetooth standard  $2,45GHz$  with an intermediate frequency of  $1MHz$ . Initially, it presents the design of a low-noise amplifier, then the cell LNA-Mixer proposal and at last it performs some tests using simulations in order to obtain conclusions on the implementation of inductors in CMOS technology and the use of a capacitor to reduce the noise figure. Finally it describes the layout of the circuit and post-layout simulations results.

The circuit is designed for the manufacturing  $0,35\mu m$  CMOS C35B4 process of AMS (Austria Microsystems). As the result of the LNA-Mixer cell, the following specifications are obtained: Noise figure  $9,2dB$ , Voltage gain of  $21,5dB$ , Third order interception point referred to the input  $P_{IIP3} = -2dBm$  and power consumption of  $8,67mW$  for a voltage of  $3,3V$ . Finally, the circuit occupies an area of  $930\mu m \times 1mm$  including pads.

---

\*Degree Project

\*\*Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director: MSc. Elkim Felipe Roa Fuentes, Co-Director: Ing. Armando Ayala Pabón.

# Índice general

<b>1. Actualización</b>	<b>1</b>
1.1. Motivación . . . . .	2
1.2. Estado del arte . . . . .	4
1.2.1. Amplificadores de bajo ruido <i>CMOS</i> . . . . .	4
1.2.2. Mezcladores de señal <i>CMOS</i> . . . . .	6
1.2.3. Fusiones <i>LNA-Mixer CMOS</i> . . . . .	7
1.3. Propuestas actuales para el diseño de <i>LNAs</i> . . . . .	7
1.3.1. El método <i>DS</i> y su efecto sobre la linealidad . . . . .	8
1.3.2. Manipulación del $V_t$ y su efecto sobre el consumo de potencia . . . . .	10
1.3.3. Operación Multi-estándar . . . . .	11
1.3.4. <i>LNA</i> sin inductores . . . . .	13
1.3.5. Integración de bloques . . . . .	14
1.4. Organización del documento . . . . .	15
<b>2. Diseño de un <i>LNA</i> aplicando programación geométrica</b>	<b>17</b>
2.1. Programación Geométrica . . . . .	17
2.2. Ejemplo sencillo . . . . .	18
2.3. Formulación del problema de diseño de un <i>LNA</i> . . . . .	23
2.3.1. Impedancia de entrada y ganancia . . . . .	24
2.3.2. Análisis de ruido . . . . .	26
2.3.3. Análisis <i>DC</i> . . . . .	29
2.4. Modelado . . . . .	30
2.4.1. Modelado del transistor RF . . . . .	31
2.4.2. Modelado del Inductor RF . . . . .	32
2.5. Programa geométrico . . . . .	33
2.5.1. Consideraciones . . . . .	33
2.5.2. Forma estándar del PG . . . . .	36

---

2.6. Resultados . . . . .	37
<b>3. Diseño de una celda <i>LNA-Mixer</i> aplicando programación geométrica</b>	<b>41</b>
3.1. Circuito propuesto . . . . .	41
3.2. Formulación del problema de diseño de la celda <i>LNA-Mixer</i> . . . . .	43
3.2.1. Impedancia de entrada y ganancia . . . . .	44
3.2.2. Análisis de ruido . . . . .	44
3.2.3. Otros análisis . . . . .	48
3.3. Programa geométrico . . . . .	49
3.3.1. Consideraciones . . . . .	49
3.3.2. Forma estándar . . . . .	51
3.4. Resultados . . . . .	52
<b>4. Resultados</b>	<b>55</b>
4.1. Resultados del <i>LNA</i> . . . . .	55
4.1.1. Implementación de un capacitor para acople de impedancias . . . . .	56
4.1.2. Acople de impedancias mediante ajustes en los inductores . . . . .	59
4.1.3. Prueba de mínima potencia . . . . .	61
4.2. Resultados de la celda <i>LNA-Mixer</i> . . . . .	62
4.2.1. Simulaciones <i>post-layout</i> . . . . .	64
4.3. Automatización del diseño . . . . .	67
4.4. Observaciones y conclusiones . . . . .	69
4.5. Recomendaciones para trabajos futuros . . . . .	70

# Índice de figuras

1.1. Receptor con arquitectura de conversión directa. . . . .	3
1.2. Principales parámetros de desempeño de un <i>LNA</i> . . . . .	8
1.3. Algunas arquitecturas propuestas para mejorar la linealidad: (a) Método <i>DS</i> convencional; (b) Cascodo con sumidero de <i>IMD3 PMOS</i> ; (c) Método de doble <i>DS</i> con un inductor sintonizado. . . . .	9
1.4. Arquitectura propuesta para disminuir el consumo de potencia: (a)Arquitectura fuente común - Puerta común; (b) Transistor <i>NMOS</i> con <i>BJT</i> parásito. . . . .	11
1.5. Arquitecturas propuestas para trabajar en varios estándares de comunicación: (a)Arquitectura banda dual con capacitores y transistores conmutados; (b) <i>LNA</i> banda ancha de dos etapas con realimentación reactiva. . . . .	12
1.6. Circuito para cancelación simultánea de ruido y distorsión. . . . .	13
1.7. Celda <i>LMV (LNA-Mixer-VCO)</i> . . . . .	15
2.1. Arquitectura fuente común con degeneración inductiva y dispositivo cascodo. . . . .	19
2.2. Esquemático del <i>LNA</i> a diseñar. . . . .	24
2.3. Modelo en pequeña señal del <i>LNA</i> . . . . .	25
2.4. Modelo en pequeña señal empleado para el análisis de ruido. . . . .	27
2.5. Circuito empleado para análisis <i>DC</i> . . . . .	30
2.6. Modelo de inductor empleado por <i>ASITIC</i> . . . . .	32
2.7. Compromisos entre la linealidad, el consumo de potencia y la tensión de polarización: (a) Compromiso $P_{IIP3} - V_{pol}$ ; (b) Compromiso $P_D - V_{pol}$ . . . . .	35
2.8. Algunos parámetros de desempeño: (a) Figura de ruido del <i>LNA</i> ; (b) Punto de intersección de tercer orden. . . . .	38
2.9. Resultados de simulación del <i>LNA</i> : (a) Coeficiente de reflexión en la entrada; (b) Ganancia de tensión; (c) Parte real de $Z_{in}$ ; (d) Parte imaginaria de $Z_{in}$ . . . . .	39
3.1. Mezcladores de conmutación de corriente con entrada simple: (a) Celda de Gilbert; (b) Celda <i>LNA-Mixer</i> . . . . .	42

3.2. Celda <i>LNA-Mixer</i> propuesta. . . . .	43
3.3. Modelo para análisis de ruido de la celda. . . . .	45
3.4. Resultados de simulación variando $V_{pol}$ : (a) Punto de intersección de tercer orden; (b) Potencia disipada. . . . .	50
3.5. Resultados de simulación de la celda <i>LNA-Mixer</i> : (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada. . . . .	54
4.1. Resultados de simulación del <i>LNA</i> ajustando $C_1$ para acople de impedancias: (a) Coeficiente de reflexión en la entrada; (b) Ganancia de tensión; (c) Parte real de $Z_{in}$ ; (d) Parte imaginaria de $Z_{in}$ . . . . .	57
4.2. Parámetros de ruido: (a) Factor de ruido; (b) Figura de ruido. . . . .	58
4.3. Resultados de simulación del <i>LNA</i> ajustando el valor de los inductores para acople de impedancias: (a) Figura de ruido; (b) Ganancia de tensión; (c) Magnitud de $Z_{in}$ ; (d) Coeficiente de reflexión en la entrada. . . . .	60
4.4. Parámetros de desempeño del <i>LNA</i> resultado de la prueba de mínima potencia: (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada. . . . .	61
4.5. Resultados finales de simulación de la celda <i>LNA-Mixer</i> : (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada. . . . .	63
4.6. <i>Layout</i> de la celda <i>LNA-Mixer</i> . . . . .	65
4.7. Resultados de simulación <i>post-layout</i> de la celda <i>LNA-Mixer</i> : (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada. . . . .	66
4.8. Funcionamiento del <i>Script</i> desarrollado. . . . .	68

# Índice de cuadros

1.1. Estado del arte de los <i>LNAs</i> . . . . .	5
1.2. Algunos mezcladores de señal integrados en tecnología <i>CMOS</i> . . . . .	6
1.3. Estado del arte <i>LNA-Mixer</i> fusionados. . . . .	7
2.1. Parámetros del proceso. . . . .	22
2.2. Diseño óptimo. . . . .	22
2.3. Especificaciones de diseño. . . . .	22
2.4. Verificación de resultados. . . . .	23
2.5. Especificaciones del PG. . . . .	37
2.6. Parámetros de desempeño del <i>LNA</i> diseñado. . . . .	38
2.7. Variables del circuito. . . . .	40
2.8. Resultados de los inductores. . . . .	40
3.1. Especificaciones del PG. . . . .	52
3.2. Parámetros de desempeño del bloque <i>LNA-Mixer</i> diseñado. . . . .	53
3.3. Variables del circuito diseñado. . . . .	53
3.4. Resultados de los inductores. . . . .	53
4.1. Especificaciones del PG. . . . .	56
4.2. Parámetros de desempeño. . . . .	56
4.3. Variables de diseño del <i>LNA</i> . . . . .	58
4.4. Resultados de los inductores. . . . .	58
4.5. Variables del circuito diseñado. . . . .	59
4.6. Resultados de los inductores. . . . .	59
4.7. Parámetros de desempeño del <i>LNA</i> diseñado. . . . .	60
4.8. Algunos resultados del <i>LNA</i> diseñado. . . . .	62
4.9. Parámetros de desempeño del bloque <i>LNA-Mixer</i> diseñado. . . . .	63
4.10. Variables del circuito diseñado. . . . .	64

4.11. Resultados de los inductores. . . . .	64
4.12. Resultados finales de desempeño para el bloque <i>LNA-Mixer</i> diseñado. . . . .	65
4.13. Comparación entre el bloque diseñado y algunos trabajos del estado del arte. . .	67

# Capítulo 1

## Actualización

El proceso de diseño de circuitos integrados analógicos tradicional algunas veces es considerado un proceso complejo, esto se debe a que cada diseñador aborda un problema y evalúa los diferentes compromisos de forma particular, lo cual impide que se establezcan normas o estrategias de diseño únicas. El diseñador debe apropiarse del problema y aplicar su criterio para analizar los diferentes compromisos, con el fin de obtener un diseño que cumpla con unas especificaciones dadas. Consecuencia de esto, el diseño de un circuito analógico no tiene un período de tiempo definido, este tiempo depende de la experiencia del diseñador y de la intuición del mismo para elegir una estrategia de diseño la cual puede o no llevarlo a cumplir las especificaciones en poco tiempo. Inclusive, en algunos casos no se alcanzan los resultados deseados, lo cual obliga al diseñador a replantear la estrategia de diseño o a evaluar si las especificaciones son realmente alcanzables.

Considerando lo anterior, el grupo de diseño de circuitos integrados (CIDIC) de la Universidad Industrial de Santander (UIS), ha iniciado el desarrollo de trabajos con el fin de plantear estrategias que permitan reducir el tiempo de diseño para el caso particular de los bloques que conforman un *transceiver*,<sup>1</sup> y algunas topologías de amplificadores operacionales (*OpAmps*), en la búsqueda de resultados óptimos y bloques analógicos robustos [1]. Con este fin, se ha recurrido a emplear algoritmos de optimización y se ha empezado a recorrer el camino hacia la automatización en el diseño mediante la utilización de herramientas *CAD*.<sup>2</sup>

Contribuyendo con esta finalidad, el presente documento describe el proceso de diseño de un amplificador de bajo ruido (*Low Noise Amplifier, LNA*) y un mezclador de señal (*Mixer*) para el proceso de fabricación  $0,35\mu\text{m}$  *CMOS C35B4* de *AMS (Austria-MicroSystems)*, apli-

---

<sup>1</sup>Se utilizará este término en inglés debido a que la traducción utilizada por algunos autores, la cual corresponde a transceptor, no ha sido plenamente aceptada por la academia internacional y no encierra la esencia del dispositivo al que se hace referencia.

<sup>2</sup>Herramientas que permiten el diseño asistido por computadora *Computed Aided Design*.

cando programación geométrica en las especificaciones de diseño que pueden ser formuladas dentro de un programa geométrico y cumpliendo con las especificaciones necesarias para el estándar *Bluetooth* a  $2,45GHz$ .<sup>3</sup>

Con el propósito de establecer un marco contextual, en este capítulo se exponen algunas de las razones por las cuales diseñar un amplificador de bajo ruido y un mezclador de señal, las ventajas de aplicar herramientas de optimización durante el diseño, una revisión de el estado del arte de estos bloques y como consecuencia de ello, algunas consideraciones en la actualidad para el diseño de *LNAs*. Por último se presenta la organización del documento.

## 1.1. Motivación

Los dispositivos inalámbricos de bajo consumo de potencia y alta portabilidad reportan un margen de utilidades considerable dentro del panorama tecnológico actual. Por ello, la industria se ha interesado en mantener este margen sosteniendo una innovación constante en los productos y servicios brindados, lo cual implica una inversión en la academia para la investigación y desarrollo de nuevas tecnologías que permitan obtener dispositivos de menor consumo de potencia, menor tamaño, y que a su vez integren mayor cantidad de circuitos en una misma pastilla de silicio.

A medida que se presenta una mayor cantidad de cambios y avances en las tecnologías de fabricación, se hace más relevante el uso de la intuición y la experiencia de los diseñadores para obtener mejores diseños, lo cual implica a veces un aumento en los tiempos que este proceso conlleva. En los *SoC* (*system on-chip* o sistemas en-chip) el área que corresponde a los bloques digitales es mayor que el área correspondiente a los bloques analógicos, pero la relación es inversa en cuanto a tiempos de diseño gracias a que el diseño de bloques digitales está altamente automatizado. Por ello, los esfuerzos se centran en reducir los tiempos de diseño que la parte analógica requiere, garantizando un desempeño adecuado de la misma.

Como consecuencia de ello, en la actualidad algunos diseñadores se han dedicado a investigar y discutir sobre la posibilidad de automatizar el proceso de diseño de circuitos integrados analógicos y se ha empezado a adherir a éste algunas técnicas con el fin de obtener diseños óptimos mediante el empleo de herramientas *CAD*. Automatizar este proceso es una tarea en ocasiones difícil, ya que cada topología de circuito y cada tecnología para fabricarlo posee sus propias implicaciones y particularidades, además que no todas las topologías de circuito son aptas para alcanzar unas especificaciones determinadas.

El receptor es un sistema constituido por bloques analógicos y digitales que forma parte de

---

<sup>3</sup>Frecuencia de operación seleccionada debido a que forma parte de una de las bandas de radiofrecuencia *ISM*, destinadas internacionalmente para usos no comerciales con propósitos industriales, científicos y médicos.

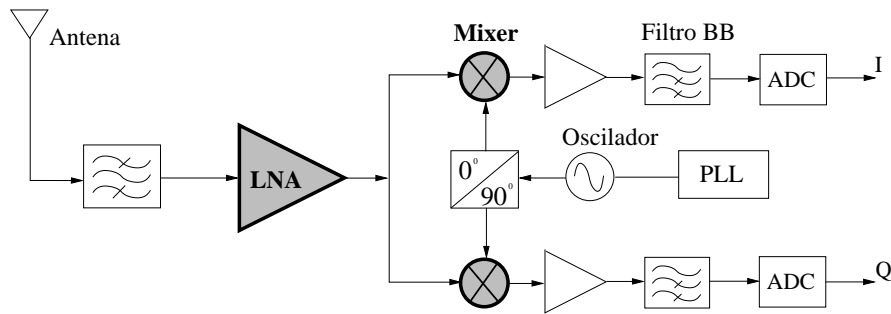


Figura 1.1: Receptor con arquitectura de conversión directa.

los dispositivos inalámbricos; es el encargado de recibir las señales de la antena y adecuarlas para su posterior procesamiento. Entre los bloques que conforman el receptor se encuentran el amplificador de bajo ruido y el mezclador de señal (resaltados en la figura 1.1), cuyo desempeño es crítico ya que deben estar en la capacidad de sostener señales con baja distorsión y proveer una ganancia suficientemente alta sin degradar la relación señal a ruido ( $SNR$ ), para así no considerar las contribuciones de ruido de los circuitos posteriores los cuales pueden de otra manera degradar la sensibilidad del sistema de recepción. La etapa anterior al  $LNA$  generalmente es la antena, siendo necesario acoplar la impedancia de entrada del  $LNA$  a un valor específico (comúnmente  $50\Omega$ ) que garantice máxima transferencia de potencia. Por su parte el  $Mixer$  básicamente se encarga de ubicar esta señal en banda base multiplicando su entrada con una señal periódica suministrada por otro bloque llamado oscilador local (LO). Por tanto, el diseño de un  $LNA$  y un  $Mixer$  requiere compromisos entre: ganancia, figura de ruido, impedancia de entrada, aislamiento de puertos, consumo de potencia y linealidad medida en términos del punto de intersección de tercer orden,  $P_{IIP3}$  [2, 3]. Por ello surge la motivación de explorar nuevas alternativas de diseño buscando resultados óptimos y reducción en el tiempo requerido para llevar a cabo este propósito.

La programación geométrica es uno de los métodos de optimización que se está implementando en herramientas  $CAD$ , tiene como ventaja que puede ser llevado a un problema de optimización convexo cuyo resultado es un óptimo global [4]. Un programa geométrico se puede obtener definiendo una función objetivo que identifique el parámetro de desempeño a optimizar, e incluyendo las restricciones asociadas al comportamiento y funcionamiento deseado del circuito. Tanto la función objetivo como las restricciones involucradas en la descripción del programa geométrico, deben pertenecer a una familia de funciones específicas descritas en la sección 2.1.

Por consiguiente, continuando con los trabajos planteados por el grupo CIDIC, en este documento se formula el problema de diseño de un  $LNA$  y un  $Mixer$ , como un problema de optimización matemática conocido como programación geométrica, identificando qué parámetros

de desempeño y condiciones de operación pueden o no ser llevadas a un programa geométrico. Esto permitirá reducir el proceso de extracción y manipulación de ecuaciones, y de igual forma disminuir la realización manual de diversos cálculos matemáticos para futuros diseños de estos bloques bajo una topología seleccionada.

## 1.2. Estado del arte

Una vez se han mencionado las consideraciones y los parámetros de desempeño de gran importancia en el funcionamiento de un *LNA* y un *Mixer*, se procede a realizar un revisión de algunos trabajos que actualmente involucran el diseño de este par de bloques y algunas propuestas alternativas que plantean fusionarlos en un mismo bloque funcional.

### 1.2.1. Amplificadores de bajo ruido *CMOS*

En la tabla 1.1, se referencian algunos de los trabajos realizados en el diseño de *LNAs CMOS*. El *LNA* diseñado en [2], utiliza una arquitectura de cascode con degeneración inductiva, presenta un desempeño respecto a linealidad alto, un coeficiente de reflexión en la entrada  $\leq -14,6$ [dB], lo cual implica un buen acople de impedancias, además posee un consumo de potencia bajo, considerando la tensión de alimentación empleada. En [5] el autor propone utilizar capacitores y transistores como interruptores para operar correctamente en dos bandas de frecuencia, presenta una figura de ruido baja y un mayor consumo de corriente comparado con [2]. En [6] se expone una nueva topología fuente común en cascada con un puerta común, utilizando degeneración inductiva que permite trabajar con tensiones de alimentación bastante bajas (la más baja registrada hasta el momento según los autores y la literatura consultada), manteniendo una ganancia alta, figura de ruido baja, buen acople de impedancias, pero degradando el comportamiento lineal del circuito.

La topología descrita en [7] se encarga de mejorar considerablemente el desempeño respecto a linealidad, manteniendo una ganancia alta y figura de ruido baja, mediante la implementación de un cascode doblado *PMOS* que actúa como sumidero de las componentes de tercer orden que generan intermodulación. El diseño propuesto en [8] está enfocado en la optimización del acople de impedancias y el área *on-chip* del circuito, empleando una topología de cascode con degeneración inductiva más un filtro pasa-banda de Chebyshev. Por otro lado, la topología híbrida propuesta en [9] permite reducir el consumo de potencia considerablemente, sacrificando el desempeño con respecto a ruido y linealidad.

Los amplificadores distribuidos *DAs* son muy poco usados en aplicaciones inalámbricas debido a su alto consumo de potencia, en [10] se diseña un *LNA* con alto *GBW*,<sup>4</sup> buen

---

<sup>4</sup>*Gain Bandwidth Product* o producto ganancia-ancho de banda.

Autor	Tecn. [ $\mu\text{m}$ ]	Topología	Frec. [GHz]	NF [dB]	$S_{21}$ [dB]	$P_{IIP3}$ [dBm]	$V_{DD}$ [V]	$S_{11}$ [dB]	$P_D$ [mW]	Área [ $\text{mm}^2$ ]	Año
[2]*	0,35	Cascodo	2,45	4,58	20**	1,6	3,3	$\leq -14,6$	10	1	2005
[5]	0,18	Cascodo + Interruptores	2,4/5,2	2,9/3,7	10,1/10,9	4/-5	1,8	-10,1/-11	11,7/5,7		2005
[6]*	0,18	Fuente común + Puerta común	5	1,4	20	-29	0,65	-15	1,9	1	2005
[7]	0,18	Cascodo + Sumidero de $IMD^a$ PMOS	2	1,4	12,8	13,3	1,8		8		2006
[8]	0,18	Cascodo + Filtro Chebyshev	3-5	2,2	<16	-9	1,2	<-10,5	7,68	0,629	2006
[9]	0,13	SFBG <sup>b</sup> Híbrido diferencial	0,1-0,93	4	13	-10,2	1,2		0,72	0,268	2006
[10]	0,18	Distribuida	0,04-7	4,2	8,6	3	1,3	<-16	9	1,16	2006
[11]	0,13	Realimentación activa (transformadores)	3,1-10,6	2,5 $\pm$ 0,43	15,1 $\pm$ 1,4	-8,54 $\rightarrow$ -5,1	1,2	-44 $\rightarrow$ -9,9	9	0,87	2007
[12]*	0,18	Cascodo	2,4	1,11		-13,33	1,8		3,6		2007
[13]	0,18	Puerta común con realimentación inductiva serie y paralela	1,2-11,9	4,5-5,1	9,7	-6,2	1,8	<-11	20	0,59	2007

<sup>a</sup> Third Order Intermodulation Distortion.

<sup>b</sup> Shunt-Feedback Common Gate.

\* Resultados de simulación.

\*\* Ganancia de tensión.

Cuadro 1.1: Estado del arte de los LNAs.

<i>Autor</i>	<i>Tecn.</i> [ $\mu m$ ]	<i>Topología</i>	<i>Frec.</i> [GHz]	<i>NF</i> [dB]	$S_{21}$ [dB]	$P_{IIP3}$ [dBm]	$V_{DD}$ [V]	$P_D$ [mW]	<i>IF</i> [MHz]	<i>Año</i>
[14]	0,5	Re-uso de corriente	0,9	6,7	8,8	-4,1	2,7	7	100	1996
[15]**	0,25	Nueva arquitectura	1,45	17	15	-4,5	2	9,2		2005
[2]**	0,35	Conmutación de corriente	2,45	13,74	9,3*	5,3	3,3	5,7	1	2005

\* Ganancia de tensión.

\*\* Resultados de simulación

Cuadro 1.2: Algunos mezcladores de señal integrados en tecnología *CMOS*.

desempeño respecto a linealidad y con un consumo de potencia y area *on-chip* bajos para este tipo de amplificadores. El circuito de dos etapas con realimentación activa por medio de transformadores y autotransformadores propuesto en [11] es una idea innovadora cuyos resultados son aceptables comparado con los otros trabajos reportados, como se puede observar en la tabla 1.1. En [12] se expone el único *LNA* diseñado usando programación geométrica entre la bibliografía consultada, presenta una figura de ruido y consumo de potencia bajos, tienen en cuenta el efecto de la linealidad en el programa geométrico, pero no consideran el factor de calidad de los inductores. Por último, el circuito propuesto en [13] presenta una ganancia alta en un ancho de banda bastante amplio, buen acople de impedancias y área *on-chip* pequeña, pero presenta una disipación de potencia bastante alta.

### 1.2.2. Mezcladores de señal *CMOS*

A diferencia de los *LNAs*, en la literatura no es frecuente encontrar nuevas propuestas para el diseño de *Mixers*, o nuevas topologías que mejoren algunos de sus parámetros de desempeño ya que el análisis y formulación de su comportamiento es más complejo. Por ello, en la tabla 1.2 sólo se exponen tres diseños de mezcladores de señal *CMOS*. La topología expuesta por Liu y Wang, evita apilar los transistores entre la alimentación y las líneas de tierra, así puede trabajar en un voltaje de alimentación bajo [15]. El diseño expuesto en [2], presenta alta linealidad, un consumo de potencia bajo pero una mayor figura de ruido que [14]. Por último, Karanicolas utiliza una técnica de re-uso de corriente con buen desempeño respecto a ruido y linealidad, un bajo consumo de potencia pero necesita elementos externos para acoplar impedancias [14].

<i>Autor</i>	<i>Tecn.</i> [ $\mu\text{m}$ ]	<i>Frec.</i> [GHz]	<i>NF</i> [dB]	<i>S<sub>21</sub></i> [dB]	<i>P<sub>IIP3</sub></i> [dBm]	<i>V<sub>DD</sub></i> [V]	<i>S<sub>11</sub></i> [dB]	<i>P<sub>D</sub></i> [mW]	<i>Área</i> [mm <sup>2</sup> ]	<i>Año</i>
[16]	0,35	2,1	3,4	23	>-3	2,7	-20→-11	21,6		2003
[17]*	0,13	1,6	4,8	36	-19	1,2	<-10	5,4	1,5	2006
[18]	0,09	0,1-3,85	11,5	20		1,2	<-10	9,8	0,88	2007

\* *LNA + MIXER + VCO.*

Cuadro 1.3: Estado del arte *LNA-Mixer* fusionados.

### 1.2.3. Fusiones *LNA-Mixer CMOS*

En la búsqueda de una mayor integración de los circuitos, se ha optado por diseñar topologías que condensen la funcionalidad de varios bloques. Para el caso de LNAs y Mixers, en la tabla 1.3 se exponen algunas alternativas existentes que los involucran como un solo bloque funcional.

El circuito propuesto en [16] presenta buen acople de impedancias en la entrada, con figura de ruido baja, ganancia alta, pero disipación de potencia alta debido a la fuente de alimentación que requiere. En [17] se reporta un bloque que integra las funciones de un LNA, un Mixer y un VCO, presenta el menor consumo de potencia entre los tres trabajos analizados, ganancia alta, menor área, pero tiene problemas de linealidad. Por último, el cascodo doblado con mixers en cuadratura reportado en [18], presenta un área *on-chip* menor a los anteriores, fuente de alimentación baja, consumo de potencia bajo, pero posee un menor desempeño respecto a ruido.

## 1.3. Propuestas actuales para el diseño de LNAs

De acuerdo con los trabajos relacionados en las diferentes tablas de la sección anterior, se observa el creciente interés desarrollado alrededor de los LNAs por parte de la academia y los diseñadores. Por ello, en esta sección se continua la revisión del estado del arte con mayor profundidad, analizando brevemente el funcionamiento de algunas topologías y/o técnicas que han sido propuestas recientemente con el fin de mejorar algunos parámetros de desempeño que priman en el momento de diseñar este bloque analógico. Es de esperarse que todos los trabajos expuestos sobre LNAs estén encaminados a reducir o mantener una figura de ruido mientras se realizan mejoras en otros parámetros como la linealidad, el ancho de banda o frecuencia de trabajo y el consumo de potencia. En la figura 1.2 se exponen

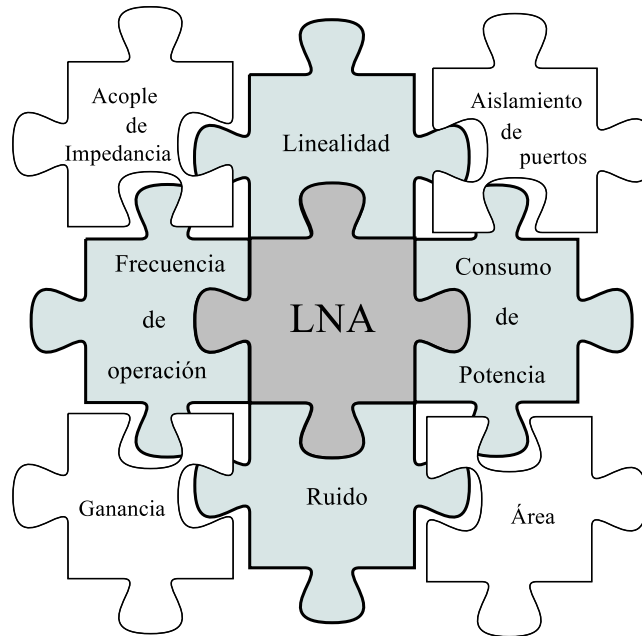


Figura 1.2: Principales parámetros de desempeño de un *LNA*.

las consideraciones o piezas necesarias para diseñar un *LNA* adecuadamente, manteniendo unidas las piezas de mayor importancia.

### 1.3.1. El método *DS* y su efecto sobre la linealidad

A continuación se exponen tres trabajos que se han realizado en los tres años anteriores (2005-2007), que presentan propuestas con el fin de mejorar el desempeño del *LNA* respecto a linealidad, alterando lo menos posible la figura de ruido y los demás parámetros de desempeño. A pesar que existen otros trabajos en este aspecto, se decide comparar y analizar éstos debido a que están estrechamente relacionados y vislumbran como algunas técnicas propuestas son modificadas logrando mejoras considerables.

En la figura 1.3 se observan tres circuitos propuestos recientemente con el fin de mejorar la linealidad. Los circuitos 1.3(b) y 1.3(c) expuestos en [7] y [19] respectivamente, fueron planteados en base a la idea expuesta en el 2005 y representada en 1.3(a) por los autores de [20] cuyo método *DS* o *Derivative Superposition Method* (Método derivativo de superposición), consiste en agregar un transistor trabajando en sub-umbral o inversión débil,<sup>5</sup> paralelo al transistor de entrada del *LNA* con el fin de reducir las no linealidades de tercer orden. Ésto se logra aprovechando que la componente de tercer orden de la corriente cambia de signo acorde

<sup>5</sup>Región donde  $V_{GS} < V_t$ .

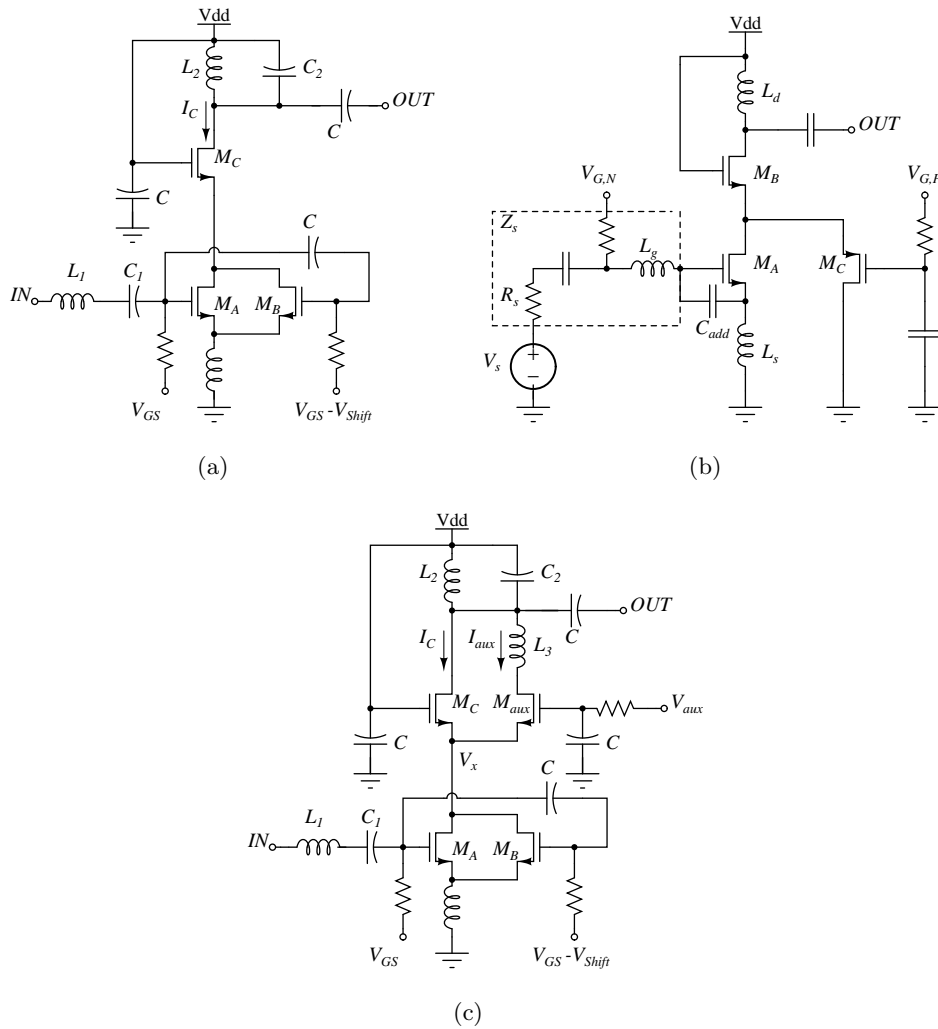


Figura 1.3: Algunas arquitecturas propuestas para mejorar la linealidad: (a) Método *DS* convencional; (b) Cascodo con sumidero de *IMD3* *PMOS*; (c) Método de doble *DS* con un inductor sintonizado.

la tensión  $V_{GS}$  hace cambiar el transistor de inversión débil y moderada a inversión fuerte. Por lo tanto, si se coloca un transistor con una componente de tercer orden  $g_3(V_{GS})$  positiva, alineado con otro transistor cuya  $g_3(V_{GS})$  sea negativa, se espera que éstas se cancelen o reduzcan considerablemente mejorando el desempeño respecto a linealidad del circuito.

Los autores de [7](figura 1.3(b)) afirman que el método *DS* mejora la linealidad pero posee dificultades para controlar el factor de calidad en la entrada del circuito o el acople Antena-*LNA* que es de vital importancia para mejorar la figura de ruido. Por ello proponen una técnica de post-linealización bajo el concepto de sumidero de *IMD3* o *Thrid Order Intermodulation Distortion Sinking* (Sumidero de las intermodulaciones de tercer orden que causan distorsión) mediante un cascode doblado *PMOS* cuya función es impedir que la componente  $g_3$  de la co-

riente (fuente de  $IMD3$ ), pase de la etapa fuente común a la de puerta común. El transistor  $PMOS$  trabaja en su región de inversión fuerte al igual que los  $NMOS$  y modificando sus dimensiones y tensión de polarización se puede lograr que éste absorba la componente de tercer orden generada por la etapa de fuente común. Lamentablemente, la componente de primer orden se reduce un poco lo cual causa disminución en la ganancia, además, la implementación de otro transistor degrada la figura de ruido, aunque experimentalmente los autores demuestran que debido a la baja movilidad del transistor  $PMOS$ , su transconductancia y corriente de polarización son pequeñas y por lo tanto el efecto sobre la ganancia y la figura de ruido es pequeño en comparación con el efecto del transistor  $NMOS$ .

Finalmente en [19](figura 1.3(c)) los autores en adición al método  $DS$  clásico, proponen el uso de una etapa puerta común extra con un inductor sintonizado, con el fin de reducir las componentes de  $IMD3$  generadas por la realimentación de los armónicos de segundo orden a través del inductor en la fuente de  $M_A$ . Al igual que en el método  $DS$ , los transistores que se agregan en paralelo ( $M_B$  y  $M_{aux}$ ) se encuentran en inversión débil, además sus dimensiones y tensiones de polarización se seleccionan de tal forma que el pico negativo de  $g_3$  de los transistores en inversión fuerte, se anule con el pico positivo de los transistores en inversión débil, reduciendo considerablemente las no linealidades de tercer orden. Los autores reportan una mejora en el  $IIP3$  de 9dBm respecto al método  $DS$  clásico.

### 1.3.2. Manipulación del $V_t$ y su efecto sobre el consumo de potencia

En la constante búsqueda de circuitos de bajo consumo de potencia y alto desempeño, diferentes circuitos y técnicas han sido propuestas, sin embargo entre los trabajos revisados resalta la topología expuesta a continuación, la cual en palabras del autor emplea la menor fuente de alimentación reportada hasta la fecha,  $V_{dd} = 0,65[V]$ .

La arquitectura que se observa en la figura 1.4(a) propuesta en [6], presenta una ventaja considerable para aplicaciones de bajo consumo de potencia, ya que si se compara con una topología de cascodo típica, el factor 2 en la ecuación 1.1 se elimina con el uso de una etapa fuente común en cascada con una etapa puerta común con degeneración inductiva.

$$V_{dd} + |V_{ss}| \geq 2V_{tn} \quad (1.1)$$

donde  $V_t$  es la tensión de umbral de los transistores  $NMOS$  del cascodo;  $V_{dd}$  y  $V_{ss}$  son las tensiones de alimentación positiva y negativa respectivamente.

Al igual que en las topologías cascodo, el inductor  $L_{s1}$  se encarga de garantizar un acople óptimo a  $50\Omega$ , el tanque  $L_{d1}C_{d1}$  se encarga de poner a resonar el circuito en la frecuencia de trabajo para garantizar máxima ganancia. El inductor  $L_{s2}$  se encarga de mejorar la figura de

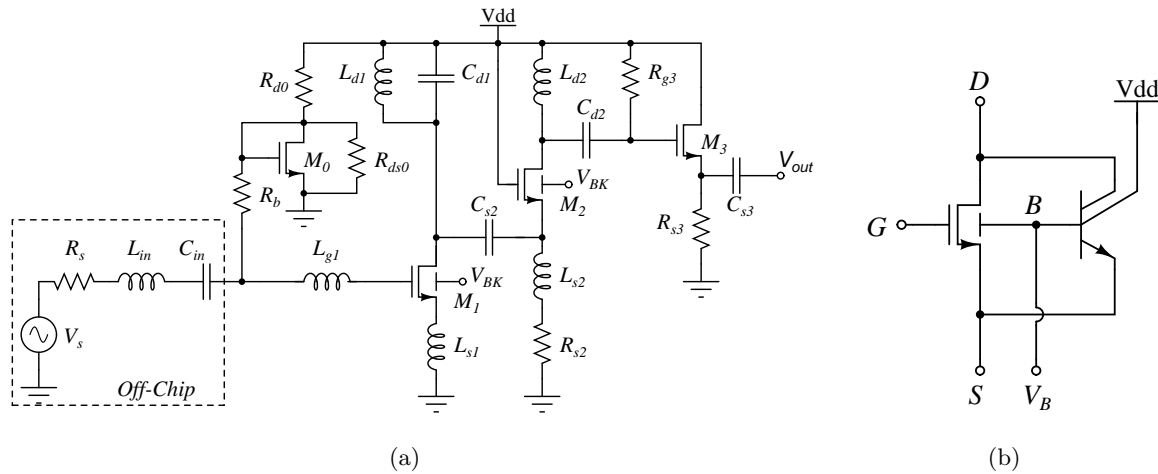


Figura 1.4: Arquitectura propuesta para disminuir el consumo de potencia: (a)Arquitectura fuente común - Puerta común; (b) Transistor *NMOS* con *BJT* parásito.

ruido y la estabilidad, pero su valor está bastante limitado ya que si se incrementa demasiado se ve afectado el coeficiente de reflexión a la entrada  $S_{11}$ .

Además, conociendo que el valor de la mínima fuente de alimentación también está limitado por el valor del voltaje de umbral del transistor *MOS*, los autores proponen el uso de un transistor *BJT* parásito con el fin de controlar esta tensión y demuestran su efectividad tanto en la topología propuesta como la topología cascode. La idea parte de la expresión misma del voltaje de umbral.

$$V_t = V_{t0} + \gamma(\sqrt{|2\phi_f - V_{BS}|} - \sqrt{|2\phi_f|}) \quad (1.2)$$

donde  $V_{t0}$  es la tensión de umbral cuando  $V_{BS} = 0$ ;  $\gamma$  es un parámetro de umbral del cuerpo;  $2\phi_f$  es el potencial de superficie en inversión fuerte y  $V_{BS}$  es la tensión cuerpo-fuente del transistor.

Luego si se aumenta la tensión  $V_{BS}$  se disminuye el  $V_t$ , por ello implementando un transistor *BJT* parásito conectado como se ve en la figura 1.4(b), se logra controlar  $V_{BS}$  y se puede obtener una disminución considerable en la tensión de umbral. Esta técnica se aplica a los transistores  $M_1$  y  $M_2$  de la figura 1.4(a) representada por una tensión  $V_{BK}$ .

### 1.3.3. Operación Multi-estándar

En la figura 1.5 se exponen dos arquitecturas propuestas en la literatura con el fin de lograr LNAs trabajando en más de un estándar de comunicación. El circuito de banda dual en configuración de cascode propuesto en [5] e ilustrado en la figura 1.5(a), está diseñado para trabajar en la banda de 2,4GHz o 5,2GHz ocupando la menor área posible. La banda de operación se selecciona por medio de capacitores y transistores conmutados operando de la



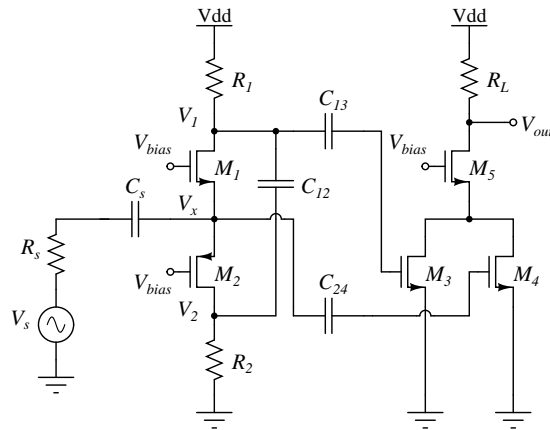


Figura 1.6: Circuito para cancelación simultánea de ruido y distorsión.

dos en la banda de  $3,1\text{GHz}$  a  $10,6\text{GHz}$ . Conocidos como *UWB Amplifiers* o *Ultra Wide Band Amplifiers* (amplificadores de ultra banda ancha). La idea de estos amplificadores es mantener una ganancia alta y figura de ruido baja durante toda la banda de frecuencias, con un porcentaje de variación bajo y el menor consumo de corriente. La topología propuesta en [11] puede alcanzar valores de ganancia mayores que la topología cascode usada comúnmente, para ello se incorporan realimentaciones locales en cada etapa por medio de  $T_1$ ,  $T_2$  y  $R_1$  (figura 1.5(b)), lo cual a su vez estabiliza esta ganancia en todo el rango de frecuencias. Los transformadores permiten el reuso de corriente de una etapa a la otra usando una sola fuente de alimentación, obteniendo un producto ganancia-ancho de banda alto con un consumo de potencia menor. Además, el transformador  $T_1$  se emplea para acoplar la entrada a  $50\Omega$  en todo el ancho de banda y  $T_2$  se usa para el reuso de corriente entre etapas. Sin embargo, el uso de transformadores es de cuidado, deben mantenerse sus pérdidas al mínimo para evitar que estas afecten la figura de ruido considerablemente.

#### 1.3.4. LNA sin inductores

Comúnmente los inductores han sido empleados en el diseño de LNAs con el fin de sintonizar la entrada y la salida en los valores de frecuencia deseados. Sin embargo, en la búsqueda de circuitos multi-estándar, completamente integrados y de mínima área, algunos diseñadores han reemplazado los inductores debido a que ocupan un área considerable y en algunos procesos CMOS poseen factores de calidad bajos, lo cual dificulta su integración.

Los autores de [21] proponen el circuito sin inductores de la figura 1.6, con el fin de lograr simultáneamente cancelación de ruido y distorsión en la banda de frecuencias entre  $800\text{MHz}$  y  $2,1\text{GHz}$ . La cancelación de ruido es una técnica de circuito, consiste en la implementación de etapas en puerta común en cascada con etapas fuente común, para el caso de la figura

1.6, formadas por los transistores  $M_1$ ,  $M_3$ ,  $M_4$  y  $M_5$ . Al aumentar la corriente que circula a través de  $M_3$  y  $M_4$ , se logra un efecto despreciable en la figura de ruido por parte de estos transistores y la resistencia  $R_L$ , dejando a  $M_1$  y  $R_1$  como principales limitantes de ruido. Además, al aumentar el valor de  $R_1$  y de la transconductancia de  $M_1$  ( $g_{m1}$ ), se reduce la figura de ruido, sin embargo, el máximo valor de  $g_{m1}$ , está limitado por la fuente de alimentación. Por otra parte, a medida que  $M_4$  empieza a conducir, aumenta el ruido debido a  $R_s$ , pero reduce el debido a  $M_1$  y  $R_1$ .

Aunque la cancelación de ruido también contribuye con la reducción de las no linealidades de tercer orden, aumenta considerablemente las de segundo orden. Entonces, con el fin de reducir estas no linealidades, los autores proponen la implementación de un transistor *PMOS* ( $M_2$ ) en configuración de puerta común, para cancelación de la distorsión. Si se asumen dos tonos  $\omega_1$  y  $\omega_2$ , en la frecuencia  $\omega_1 + \omega_2$ , la distorsión generada por  $M_2$  fluye a través de  $C_{12}$  y se realimenta por medio de  $M_2 - C_{12} - M_1 - M_2$ . Mientras que la segunda derivada de la corriente de  $M_2$  sea absorbida por  $M_1$ , no va a haber componente de segundo orden fluyendo por  $R_1$  ni  $R_L$ . Contrariamente, en la frecuencia  $\omega_1 - \omega_2$ , la impedancia generada por  $C_{12}$  obstaculiza el flujo de corriente y ésta fluye a través de  $R_1$  y  $R_L$  generando distorsión en las tensiones  $V_1$  y  $V_x$ . Por lo tanto, la cancelación de la distorsión debido a las componentes de segundo orden depende en parte de la correcta selección del capacitor  $C_{12}$ . Los autores reportan un desempeño respecto a linealidad bastante alto, figura de ruido baja en todo el rango de frecuencia de operación, pero el circuito no presenta un acople adecuado de impedancias en la entrada.

### 1.3.5. Integración de bloques

En los últimos años se ha presentado una serie de trabajos donde se propone la integración de varios bloques funcionales en uno solo con el fin de conseguir un ahorro considerable en el consumo de potencia y área *on-chip*, además de eliminar los diferentes acoples que normalmente deberían considerarse al diseñar estos bloques por separado.

Los autores de [17] proponen el circuito que se observa en la figura 1.7, el cual contiene las funcionalidades de un *LNA*, un *Mixer* y un *VCO*.<sup>6</sup> El circuito consta de una etapa de transconductancia que corresponde al *LNA* además de un *Mixer* y un *VCO* como dispositivo cascode. El *front-end* consta de un par de celdas *LMV* para generar los caminos en cuadratura, además de transistores extra conectados en cruz respecto a  $M_3$  y  $M_4$ . El *VCO* está implementado con la topología clásica de tanque *LC* empleando  $M_3 - M_4$  para lograr la resistencia negativa. La función de mezclado se obtiene al inyectar la corriente *RF* en la estructura de par doble conmutado formada por  $M_1$  hasta  $M_4$ . El oscilador conmuta alterna-

<sup>6</sup> *Voltage Controlled Oscillator* u oscilador controlado por voltaje

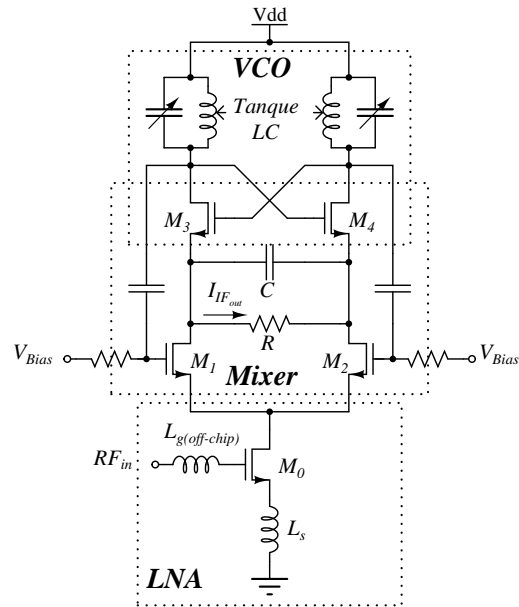


Figura 1.7: Celda *LMV* (*LNA-Mixer-VCO*).

damente  $M_2 - M_3$  y  $M_1 - M_4$ , multiplicando por  $+1$  o  $-1$  la corriente  $RF$  que fluye a través de la carga  $RC$  del *mixer*. Además, mientras  $R$  realiza el censado de la señal que pasa de  $RF$  a  $IF$ , la corriente  $DC$  pasa a  $RF$  a través de  $C$ . Finalmente, el *LNA* implementado por  $M_0$  determina la polarización, hace la conversión V-I y asegura un acople adecuado a la entrada con uso del inductor  $L_s$ .

Existen algunas otras arquitecturas o topologías propuestas en la literatura que no han sido consideradas pero vale la pena mencionar; caso de los *LNAs* de arquitectura distribuida [10] y algunas arquitecturas diferenciales expuestas en [9, 22].

## 1.4. Organización del documento

Con el fin de dar orden a las ideas desarrolladas, el documento está estructurado de la siguiente forma:

En el capítulo 2 se documenta el proceso de diseño de un amplificador de bajo ruido aplicando programación geométrica. Inicialmente se plantea un ejemplo sencillo, posteriormente se determinan las expresiones que relacionan las diferentes especificaciones con las variables de diseño para finalmente presentar la formulación del programa geométrico y resultados.

En el capítulo 3 se exponen los detalles para la formulación del bloque *LNA-Mixer* aplicando programación geométrica, se describen algunas consideraciones, se plantea el PG final y posteriormente se tabulan los resultados.

En el capítulo 4 se procede a realizar la verificación de los resultados del programa geométrico por medio de algunas simulaciones y ajustes. Posteriormente se elabora el *layout*, se realizan simulaciones *post-layout* y se contrastan los resultados con los obtenidos por medio de programación geométrica y las simulaciones *pre-layout*. Finalmente se describen algunas conclusiones, observaciones y recomendaciones para trabajos futuros.

## Capítulo 2

# Diseño de un *LNA* aplicando programación geométrica

Durante este capítulo se describe el proceso de formulación del programa geométrico para un *LNA*. La formulación se realiza en base a los parámetros de desempeño reportados en la literatura con frecuencia y expuestos en la tabla 1.1. Inicialmente se definen algunos conceptos sobre la programación geométrica, luego se presenta un ejemplo de diseño y se discuten los resultados obtenidos. Posteriormente, se describe el proceso de formulación para obtener las expresiones que relacionan los diferentes parámetros de desempeño con las variables de diseño. Finalmente se presenta la forma estándar del programa geométrico y se exponen algunos resultados de simulación.

### 2.1. Programación Geométrica

La programación geométrica es un tipo de problema de optimización matemática no lineal descrito hace aproximadamente 40 años, pero implementado recientemente ya que inicialmente no había forma de crear un algoritmo eficiente para darle solución. Cabe aclarar que la programación geométrica no es un programa ni tiene que ver con la geometría, estos términos tienen definiciones netamente matemáticas, el término *programación* es usado en la descripción de problemas de optimización y *geométrica* se refiere al significado aritmético-geométrico de las desigualdades que lo conforman [23].

La programación geométrica ha tenido una acogida positiva, debido a que un programa geométrico puede ser convertido fácilmente en un problema de optimización convexa, obteniendo todas las ventajas y propiedades de ésta, las cuales implican rapidez de convergencia y la obtención del óptimo global (si existe) independiente del punto de inicio. Uno de los inconvenientes con la programación geométrica, radica en lo restrictivo de su formulación, ya

que toda función que pertenezca a ella debe ser de tipo *posinómica*. Las funciones *posinómicas* están compuestas por la suma de *monomios* que poseen la forma  $f(x) = cx_1^{a_1}x_2^{a_2}\dots x_n^{a_n}$ , donde  $c \geq 0$  y  $a_i$  es cualquier número real [24,25]. A la organización de todas las expresiones descritas mediante monomios y posinomios, cuyas variables se desean conocer aplicando programación geométrica, se le conoce como programa geométrico.

### Programa geométrico (PG)

Una vez descrita la programación geométrica y sus restricciones, se plantea la forma estándar de un problema de optimización utilizando este método como se muestra a continuación:

$$\begin{aligned} \text{minimizar} \quad & f_0(x) \\ \text{sujeto a} \quad & f_i(x) \leq 1, \quad i = 1, \dots, m \\ & g_i(x) = 1, \quad i = 1, \dots, p \end{aligned}$$

A  $f_0$  se le conoce como la función objetivo o función a optimizar,  $f_i$  función de restricción tipo desigualdad, y  $g_i$  función de restricción tipo igualdad.  $f_0$  puede ser un posinomio o un monomio;  $f_1, \dots, f_m$  son posinomios;  $g_1, \dots, g_p$  son monomios y  $x = (x_1, \dots, x_n)$  son las variables de optimización. Para lidiar con lo restrictivo del PG existen técnicas que ayudan a llevar gran cantidad de problemas a la forma estándar, a partir de cambios de variables y llevar el programa geométrico a su forma convexa como se puede verificar en [1, 4, 24, 25].

La solución a un problema de optimización convexa se realiza por medio de herramientas computacionales que tengan implementado el algoritmo para este tipo de problema, siendo una de sus ventajas el converger rápidamente. Este tipo de algoritmos han adquirido importancia en la academia y se puede encontrar con facilidad en cualquier paquete comercial de *software* para optimización, como es el caso de *MOSEK*, *YALMIP*, *CVX* y *TOMLAB* [26–29]. Podría pensarse que convertir el PG en un problema de optimización convexa puede ser tedioso, pero afortunadamente la entrada de datos es la misma e internamente realizan el cambio de variable, sólo se debe tener claro que la salida es la solución al problema de optimización convexa y realizar la adecuación para obtener la solución al PG. Cabe aclarar que cada paquete de software tiene un formato diferente para la entrada de datos, luego se debe estudiar el manual del mismo.

## 2.2. Ejemplo sencillo

A continuación se expone un ejemplo de diseño de un LNA utilizando programación geométrica, desarrollado como proyecto final para la clase *EE227* por *Cong Liu* y *Yinghua*

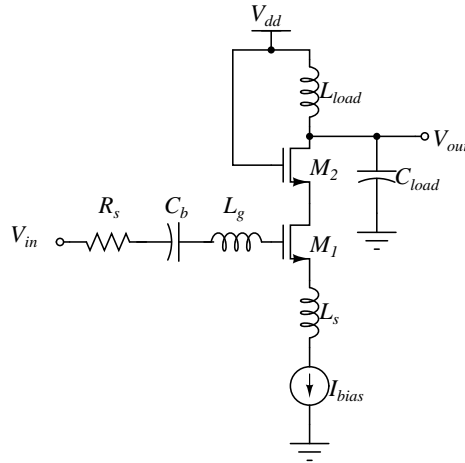


Figura 2.1: Arquitectura fuente común con degeneración inductiva y dispositivo cascode.

*Li* en *University of California, Berkeley*, utilizando la topología de fuente común con degeneración inductiva y dispositivo cascode (figura 2.1) en tecnología *CMOS* de  $0.35\mu m$ , para una aplicación de  $1.59GHz$ , ganancia menor o igual a  $10dB$ ,  $V_{DD} \geq 1.5V$  y un consumo de potencia menor o igual a  $7.5mW$  [30].

De la topología utilizada se extrajeron las expresiones para la impedancia de entrada ( $Z_{in}$ ), el factor de ruido ( $F$ ) y la ganancia ( $G_m$ ). La impedancia de entrada es expresada de la siguiente forma:

$$Z_{in} = S(L_s + L_g) + R_g + \frac{1}{SC_{gs}} + \frac{g_m}{C_{gs}} L_s$$

donde  $L_g$  y  $L_s$  son las inductancias en la puerta y fuente del transistor respectivamente,  $R_g$  es la resistencia en la puerta del transistor,  $C_{gs}$  es la capacitancia puerta-fuente y  $g_m$  es la transconductancia del transistor. La resistencia parásita del inductor no se tiene en cuenta, y la impedancia de entrada debe ser igual a  $50\Omega$  para un acople adecuado. Por tanto, la parte compleja de la expresión debe ser nula

$$j\omega_0(L_s + L_g) + \frac{1}{j\omega_0 C_{gs}} = 0$$

El factor de ruido se define mediante la expresión:

$$F = 1 + \frac{R_1}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} g_m R_s \left( \frac{\omega_0}{\omega_T} \right)^2$$

donde  $\omega_T = \frac{g_m}{C_{gs}}$ ,  $\alpha = \frac{g_m}{g_{d0}}$ ,  $R_s$  es la resistencia de la fuente de entrada  $V_{in}$ ,  $R_1$  es la resistencia serie de los inductores,  $R_g$  es la resistencia de la puerta del transistor,  $\gamma$  es el coeficiente de ruido térmico y  $\omega_0$  es la frecuencia de resonancia.

Por último, la ganancia se expresa de la forma:

$$G_m = \frac{\omega_T}{\omega_0 R_s \left(1 + \frac{\omega_T L_s}{R_s}\right)} \simeq \frac{1}{2\omega_0 L_s}$$

Descritas las expresiones utilizadas para los parámetros de desempeño a considerar, los autores de [30] realizan algunas aproximaciones para lograr una correcta formulación mediante programación geométrica del LNA.

### Aproximaciones y estimaciones.

- Considerando un inductor planar entonces:

$$L_{ind} \simeq \frac{37,5\mu_0 n^2 a^2}{22r - 14a}$$

donde  $\mu_o$  es la permeabilidad del material,  $n$  es el número de vueltas,  $a$  es el radio cuadrado y  $r$  el radio de la espiral.

- Para obtener una relación directa entre la inductancia y la resistencia en serie, los autores recurrieron a la expresión del factor de calidad del inductor  $Q \simeq \frac{\omega L_{ind}}{R_l}$ , asumiendo que los inductores *on-chip* poseen comúnmente factores de calidad entre 5 y 10, por tanto se estima  $\frac{R_l}{L_{ind}} \simeq \frac{\omega}{10}$ . No obstante, en tecnologías CMOS estándar de bajo costo, los factores de calidad pueden ser menores que 5.
- La resistencia en la puerta del transistor está dada por:

$$R_g \simeq \frac{R_{sq} W}{3n^2 L}$$

donde  $W$  y  $L$  son el ancho y longitud de canal del transistor respectivamente,  $n$  el número de “dedos” en la puerta del transistor y  $R_{sq}$  la resistencia laminar en el *Poly*. Debido a que  $R_g$  es inversamente proporcional a  $n$ , que puede tomar valores grandes, se ignora la contribución de ruido de esta resistencia, luego se estima  $R_g \approx 0$ . Esta estimación puede introducir errores y contribuir al desacople de impedancias en la entrada del circuito, ya que el transistor MOS operando en radio frecuencia, posee valores en la resistencia de puerta superiores a la unidad de ohms.

- Los autores generan un modelo monomial para la transconductancia, basados en la ecuación para transistores de canal largo obteniendo:

$$g_m \simeq \sqrt{2\mu_n C_{ox} \frac{W}{L}} I_d \simeq 6,9 \times 10^{-3} W^{0,5} L^{-3,4} I_D^{0,5}$$

donde, las unidades de las variables están normalizadas;  $g_m$  en [mS],  $W - L$  en [ $\mu\text{m}$ ], y la corriente  $I_D$  en [mA].

- Ignorando el efecto de la capacitancia de *overlap*, la capacitancia puerta-fuente está dada aproximadamente por:

$$C_{gs} = \frac{2}{3}WLC_{ox}$$

- Se realiza una estimación de los valores de  $\gamma$  y  $\alpha$  obteniendo:

$$\gamma \simeq 2,5 \quad \alpha \simeq 0,85$$

### Constantes relevantes.

- Dimensiones del transistor

$$W_{min} < W \leq W_{max}$$

$$L_{min} < L \leq L_{max}$$

- Área *on-chip*

$$A = \lambda_0 + \lambda_1(L_s + L_g) + \lambda_2WL$$

El área ocupada del *LNA*, puede aproximarse como la suma de una constante  $\lambda_0$  mas el área del inductor  $\lambda_1(L_g + L_s)$ , mas el área de los transistores  $\lambda_2WL$ . Inductores con valores por encima de  $10nH$  no es conveniente implementarlos *on-chip*, luego los autores eligieron implementar inductores *off-chip* para así reducir el área ocupada.

- Consumo de potencia estática

$$P = V_{DD}I_D$$

- Fuente de Alimentación

$$V_{MIN} \leq V_{DD}$$

### Programa Geométrico.

Una vez se tienen las diferentes expresiones y relaciones entre variables se procede a plantear el programa geométrico donde los autores tomaron como función objetivo el factor de ruido sujeto a una serie de restricciones como se observa a continuación:

$$F \simeq 1 + \frac{\omega_0(L_s + L_g)}{10R_s} + R_s \varpi_0^2 \left(\frac{2}{3} W L C_{ox}\right)^2 (6,9 \times 10^{-3} W^{0,5} L^{-3,4} I_D^{0,5})^{-1}$$

$$L_{sg} = L_s + L_g; \beta = \omega_0/10$$

- Función objetivo

$$F \simeq 1 + \frac{\beta}{R_s} L_{sg} + \frac{4 \times 10^3}{9 \times 6,9} R_s \varpi_0^2 C_{ox}^2 W^{1,5} L^{5,4} I_D^{-0,5}$$

- Restricciones

$$\frac{1}{7,5} V_{DD} I_D \leq 1$$

$$\frac{3}{2} \times 10^6 \varpi_0^{-2} C_{ox}^{-1} L_{sg}^{-1} W^{-1} L^{-1} \leq 1$$

$$\frac{2}{3 \times 6,9} C_{ox} R_s W^{0,5} L^{4,4} I_D^{-0,5} L_s^{-1} \leq 1$$

$$L_s L_{sg}^{-1} \leq 1$$

$$0,35 L^{-1} \leq 1$$

$$2 W^{-1} \leq 1$$

$$1,5 V_{DD}^{-1} \leq 1$$

$$\frac{1}{A_{max}} (\lambda_0 + \lambda_1 (L_s + L_g) + \lambda_2 W L) \leq 1$$

$$0,02 \omega_0 L_s \leq 1$$

Cuadro 2.1: Parámetros del proceso.

Parámetro	$C_{ox}$	$R_s$	$\gamma$
Valor	$3,84 mF/m^2$	$50 \Omega$	2,5

Cuadro 2.2: Diseño óptimo.

Variable	$I_d$	$V_{dd}$	$W$	$L$	$L_s$	$L_{sg}$
Valor	5mA	1,5V	$580 \mu m$	$0,35 \mu m$	1,9nH	19nH

Cuadro 2.3: Especificaciones de diseño.

Restricción	Potencia	$L_{min}$	$W_{max}$	$V_{in,min}$	Area	$g_m$	$\omega_0$
Desempeño	7,5mW	$0,35 \mu m$	$580 \mu m$	1,5V	$0,3 mm^2$	$0,025 A/V$	10Grad/s

### Análisis de Resultados.

Se emplea la herramienta *MOSEK* para dar solución al problema de optimización, posteriormente se procede a simular en *SpectreRF* el LNA con los valores obtenidos de las dimensiones de los transistores, inductancias y fuentes de alimentación.

Cuadro 2.4: Verificación de resultados.

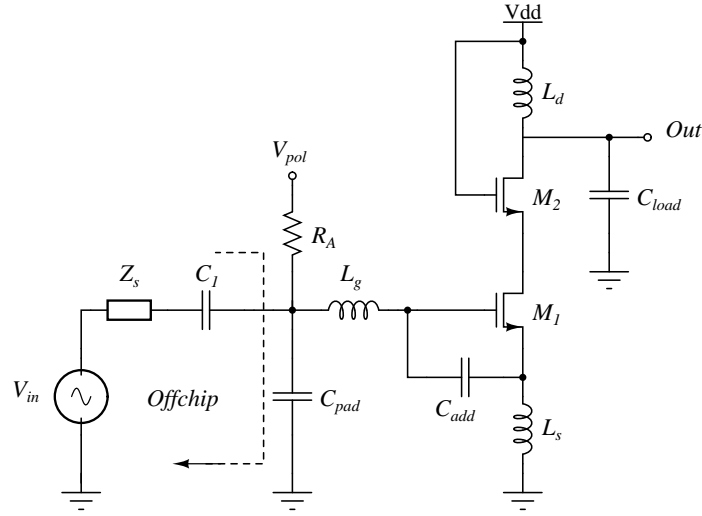
	SpectreRF	PG	Restricción	Error %
$f_0$ [GHz]	1,51	1,59	1,59	5,03
NF [dB]	2,17	2,04	*	6
Ganancia [dB]	16,6dB	*	$\geq 10$	*
$V_{DD}$ [V]	1,5	1,5	$\geq 1,5$	*
Potencia [mW]	7,5	7,5	$\leq 7,5$	0

En la tabla 2.1 se observan los diferentes parámetros del proceso para el diseño. En la tabla 2.2 se exponen los resultados del programa geométrico donde se puede observar que el valor de  $L_{sg}$  es elevado, por lo tanto no es conveniente implementarlos *on-chip* dado que usualmente los factores de calidad son bajos en tecnologías *CMOS* para estos valores de inductancia. Considerando este inductor y el factor de calidad asumido por los autores ( $Q=10$ ), el inductor  $L_{sg}=19\text{nH}$  posee una resistencia asociada en serie de aproximadamente  $18\Omega$ , luego ignorarla introduce un error del 36 % en la impedancia de entrada. En la tabla 2.3 se muestran las especificaciones de diseño, planteadas como restricciones del programa geométrico. Por último en la tabla 2.4 se realiza una comparación entre los resultados obtenidos con el optimizador y los obtenidos por medio de simulación. Nótese que durante todo el proceso de diseño, los autores no tuvieron en cuenta el desempeño de linealidad del circuito, parámetro de gran importancia en el diseño de cualquier *LNA* para una aplicación específica [16,31–34]. De igual forma, desestimaron el efecto sobre la impedancia de entrada de las resistencias asociadas a los inductores, las pérdidas a substrato de los mismos, además de el efecto del dispositivo cascado sobre la figura de ruido.

### 2.3. Formulación del problema de diseño de un *LNA*

Para el diseño propuesto aplicando programación geométrica, se emplea la topología casco con degeneración inductiva expuesta en la figura 2.2 (cuyas ventajas ya han sido descritas en [2, 34]), para una fuente de alimentación  $V_{dd} = 3,3V$ .  $C_1$  se encarga de aislar la entrada en *DC*,  $C_{pad}$  corresponde a la capacitancia del *PAD* implementado en el *layout* para fines de fabricación y medición. Finalmente se decide agregar el capacitor  $C_{add}$  comúnmente usado para disminuir la figura de ruido e implementado inicialmente por los autores de [35].

A continuación se presenta la formulación de los diferentes parámetros que determinan el desempeño del *LNA*. Análisis más detallados de algunos parámetros pueden encontrarse en [2].

Figura 2.2: Esquemático del *LNA* a diseñar.

### 2.3.1. Impedancia de entrada y ganancia

En la figura 2.3 se muestra el modelo a pequeña señal del *LNA*. Comúnmente no se considera relevante el efecto de la transconductancia del cuerpo de  $M_1$  ( $g_{mb1}$ ), los capacitores puerta-dreno  $C_{gd(1,2)}$ , puerta-cuerpo  $C_{gb(1,2)}$ , el capacitor cuerpo-fuente  $C_{sb1}$  y drenador-cuerpo  $C_{db2}$ . También se desestiman las resistencias de salida  $r_{o(1,2)}$ , las resistencias asociadas a la fuente  $r_{s(1,2)}$ , el drenador  $r_{d(1,2)}$  y la puerta de  $M_2$  ( $r_{g2}$ ), además del modelo asociado a los inductores, entre otros. Por otra parte, al desprestigiar el efecto de  $r_{d1}$  y  $r_{s2}$ , el drenador de  $M_1$  y la fuente de  $M_2$  quedan en un mismo nodo luego puede definirse una capacitancia  $C_p = C_{db1} + C_{sb2}$ .

#### Impedancia de entrada

Para calcular la impedancia de entrada se emplea el teorema de *Thevenin* considerando que  $C_{pad}$  no afecta de forma relevante. De esta forma se obtiene que:

$$Z_{in} = Z_{Lg} + r_{g1} + Z_{Ls} + Z_{Ct} + g_{m1}Z_{Ls}Z_{Ct} \quad (2.1)$$

donde  $C_t = C_{gs1} + C_{add}$  y para obtener máxima transferencia de potencia  $Z_{in} = Z_s^*$ . Además, si se asume que la impedancia de entrada es netamente resistiva entonces:

$$R_s = R_{Lg} + R_{Ls} + r_{g1} + \frac{g_{m1}L_s}{C_t} \quad (2.2)$$

$$0 = \omega(L_g + L_s) - \frac{1}{\omega C_t} - \frac{g_{m1}R_{Ls}}{\omega C_t} \quad (2.3)$$

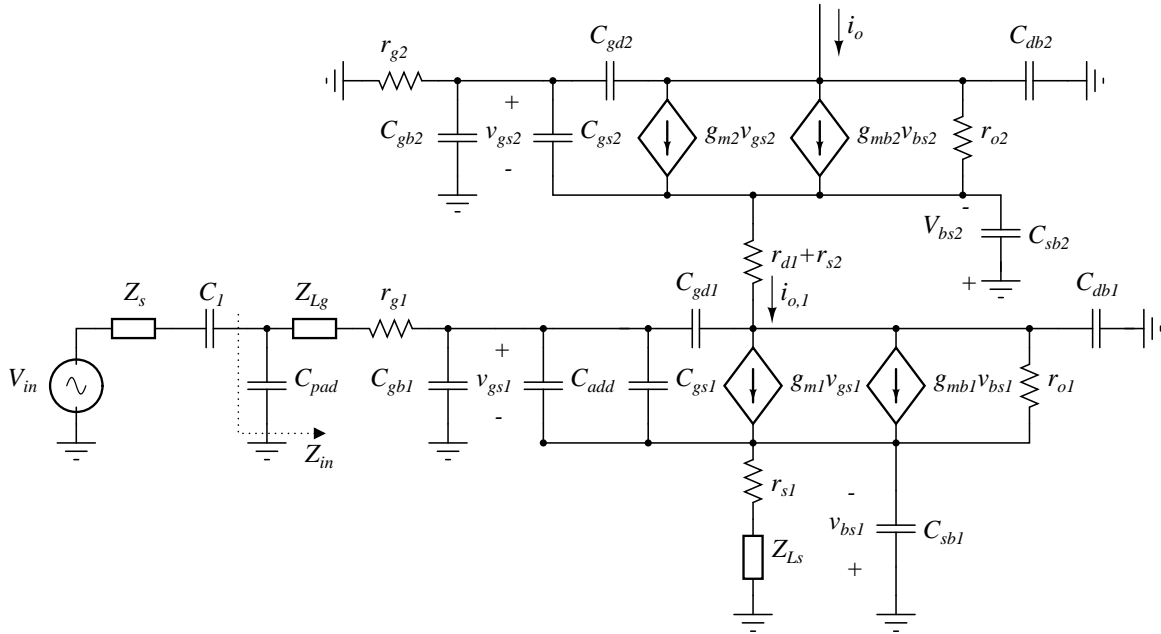


Figura 2.3: Modelo en pequeña señal del LNA.

### Ganancia

Para la etapa de fuente común con degeneración inductiva o etapa de transconductancia se tiene que:

$$G_{M1} = \frac{i_{o,1}}{v_{in}} = \frac{g_{m1}Z_{Ct}}{Z_s + Z_{Ls} + Z_{Lg} + r_{g1} + Z_{Ct} + g_{m1}Z_{Ls}Z_{Ct}} \quad (2.4)$$

Aunque se supone que en la puerta de  $M_2$  la corriente es nula ( $i_{o,1} = i_o$ ) y por lo tanto  $G_{M1}$  representa la ganancia total, esto no es completamente cierto, en la etapa de puerta común se presenta una ganancia de corriente que puede ser estimada como se muestra a continuación.

En el modelo a pequeña señal se observa que:

$$i_{o,1} = g_{m2}v_{gs2} + g_{mb2}v_{bs2} + \frac{v_{bs2}}{Z_{Cp}} + \frac{v_{gs2}}{Z_{Cgs2}} \quad (2.5)$$

$$i_o = g_{m2}v_{gs2} + g_{mb2}v_{bs2} \quad (2.6)$$

y como  $v_{bs2} = v_{gs2}$  entonces:

$$v_{gs2} = \frac{i_o}{g_{m2} + g_{mb2}} \quad (2.7)$$

por lo tanto puede estimarse una ganancia de corriente

$$\frac{i_o}{i_{o,1}} = \frac{g_{m2} + g_{mb2}}{g_{m2} + g_{mb2} + \frac{1}{Z_{Cp}} + \frac{1}{Z_{Cgs2}}} \quad (2.8)$$

y como consecuencia se puede expresar una ganancia total de la forma

$$G_{LNA} = \frac{i_o}{v_{in}} = \frac{g_{m1}Z_{Ct}(g_{m2} + g_{mb2})}{(Z_s + Z_{Lg} + Z_{Ls} + r_{g1} + Z_{Ct} + g_{m1}Z_{Ls}Z_{Ct})(g_{m2} + g_{mb2} + \frac{1}{Z_{Cp}} + \frac{1}{Z_{Cgs2}})} \quad (2.9)$$

### 2.3.2. Análisis de ruido

Teniendo las expresiones de ganancia e impedancia de entrada, se procede a realizar el análisis de ruido con base en el circuito expuesto en la figura 2.4.

El factor de ruido se define como la relación entre el ruido total a la salida y el ruido a la salida debido únicamente a la fuente de entrada:

$$F = 1 + \frac{\overline{i_{n,o}^2}}{\overline{i_{n,s}^2}} \quad (2.10)$$

Si se tiene en cuenta la correlación entre las fuentes de ruido en la puerta y el canal, el ruido total a la salida se puede representar mediante:

$$\overline{i_{n,o}^2} = |x|^2\overline{i_{n,d}^2} + |y|^2\overline{i_{n,g}^2} + 2Re\{x^*yc\}\sqrt{\overline{i_{n,d}^2}\overline{i_{n,g}^2}} \quad (2.11)$$

donde, el término  $c$  representa la correlación entre  $\overline{i_{n,d}^2}$  e  $\overline{i_{n,g}^2}$  y equivale a  $c \approx -j0,395$  [34]. Además, los valores medios cuadráticos de las fuentes de ruido asociadas al canal y la puerta respectivamente, son descritos comúnmente como:

$$\overline{i_{n,d}^2} = 4\gamma KTg_{ds0} \quad (2.12)$$

$$\overline{i_{n,g}^2} = 4KT\delta g_g \quad (2.13)$$

con,

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{ds0}} \quad (2.14)$$

Por otra parte, si se revisa la documentación correspondiente al modelo de transistor RF empleado [36], se encuentra la expresión para el ruido térmico del canal:

$$\overline{i_{n,d}^2} = 4\gamma KT(g_m + g_{mb} + g_{ds}) \quad (2.15)$$

según esto, podría considerarse que:

$$g_{ds0} = g_m + g_{mb} + g_{ds} \quad (2.16)$$

y entonces,

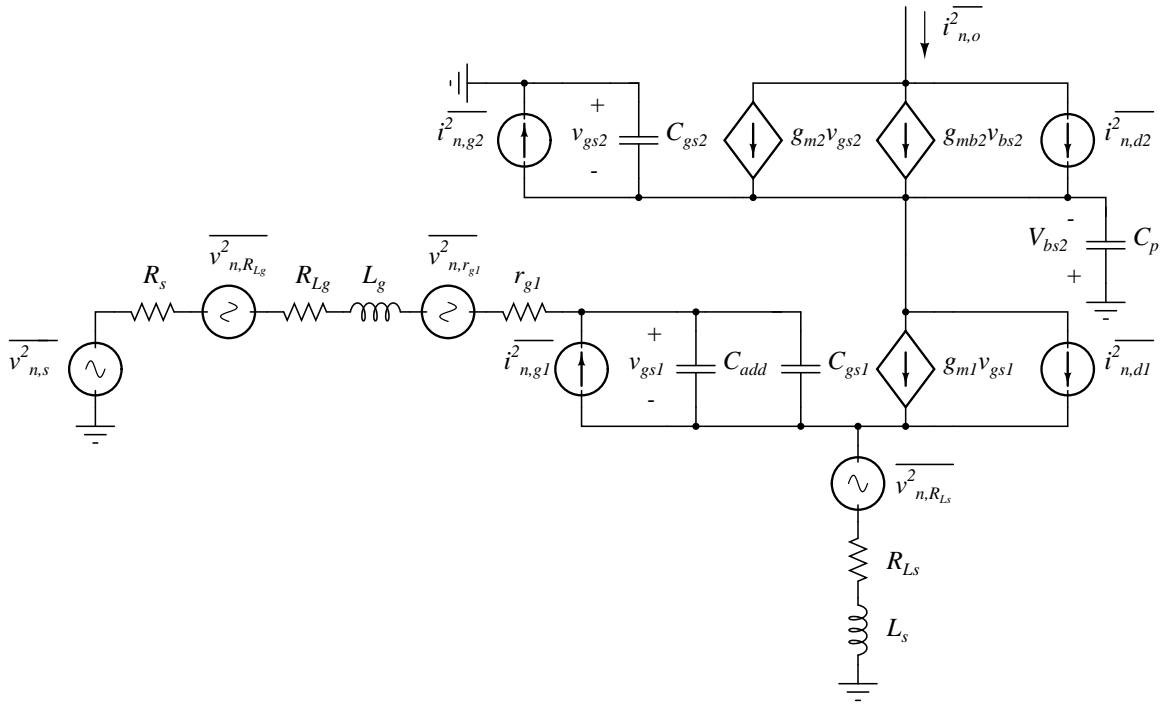


Figura 2.4: Modelo en pequeña señal empleado para el análisis de ruido.

$$\alpha = \frac{g_m}{g_{ds0}} = \frac{g_m}{g_{m1} + g_{mb} + g_{ds}} \quad (2.17)$$

Conociendo que  $\alpha$  es prácticamente una constante ( $\alpha \simeq 0,8$  para transistores de canal corto en saturación [2]), se realizan simulaciones variando las dimensiones del transistor, la tensión dreno-fuente y la corriente, evaluando la segunda parte de la expresión (2.17) para más de mil combinaciones  $W - V_{DS} - I_D$  en saturación. Como resultado,  $0,79 \leq \alpha \leq 0,81$  y por lo tanto las expresiones (2.15) y (2.16) se consideran buenas aproximaciones.

Por otro lado, el ruido a la salida debido sólo a la fuente de entrada equivale a:

$$\overline{i_{v_{n,s}^2}^2} = |G_{LNA}|^2 \overline{v_{n,s}^2} \quad (2.18)$$

y si se halla la magnitud al cuadrado de la ecuación (2.9) se obtiene,

$$|G_{LNA}|^2 = \frac{g_{m1}^2 (g_{m2} + g_{mb2})^2}{\omega^2 C_t^2 (R_s + R_{Lg_s} + r_{g1} + \frac{g_{m1} L_s}{C_t})^2 (\omega^2 (C_p + C_{gs2})^2 + (g_{m2} + g_{mb2})^2)} \quad (2.19)$$

Por lo tanto, el factor de ruido en  $M_1$ , despreciando  $C_{gd}$  y considerando las resistencias parásitas asociadas a los inductores y la puerta puede expresarse como:

$$F_{M1} = 1 + \frac{\omega^2 C_{gs1}^2 R_s \gamma}{g_{m1}} \left[ \frac{P^2}{\alpha} \left( \frac{R_T}{R_s} \right)^2 + \left[ \frac{R_T^2 + \omega^2 L_{gs}^2}{R_s^2} \right] \frac{\alpha \delta}{5\gamma} - 0,79P \left( \frac{R_T}{R_s} \right)^2 \sqrt{\frac{\delta}{5\gamma}} \right] \quad (2.20)$$

donde,

$$R_T = R_s + R_{Lgs} + r_{g1} \quad (2.21)$$

$$R_{Lgs} = R_{Lg} + R_{Ls} \quad (2.22)$$

$$\alpha = \frac{g_{m1}}{g_{tot1}} \quad (2.23)$$

$$g_{tot1} = g_{m1} + g_{mb1} + g_{ds1} \quad (2.24)$$

$$P = \frac{C_t}{C_{gs1}} \quad (2.25)$$

$$C_t = C_{gs1} + C_{add} \quad (2.26)$$

$\gamma$  y  $\delta$  son valores que dependen de la polarización, comúnmente  $\gamma \approx 2$  y  $\delta \approx 2\gamma$  para transistores de canal corto [33, 34].

El factor de ruido debido a la implementación del dispositivo cascode ( $M_2$ ) se expresa como:

$$F_{M2} = 1 + \frac{\omega^4 C_{gs2}^2 C_t^2 C_X (R_T + \frac{g_{m1} L_s}{C_t})^2 \gamma}{R_s g_{m1}^2 (g_{m2} + g_{mb2})} \left[ \frac{g_{tot2} C_X}{(g_{m2} + g_{mb2})} + \frac{(g_{m2} + g_{mb2})}{g_{tot2} C_X} \frac{\delta}{5\gamma} - 0,79 \sqrt{\frac{\delta}{5\gamma}} \right] \quad (2.27)$$

donde,

$$C_X = \frac{C_p + C_{gs2}}{C_{gs2}} \quad (2.28)$$

$$C_p = C_{db1} + C_{sb2} \quad (2.29)$$

$$g_{tot2} = g_{m2} + g_{mb2} + g_{ds2} \quad (2.30)$$

y si se considera que el efecto de  $C_p$  y de  $g_{ds2}$  puede ser despreciable, en comparación con  $C_{gs2}$  y  $g_{m2} + g_{mb2}$ , se obtiene que:

$$F_{M2} = 1 + \frac{\omega^4 C_{gs2}^2 C_t^2 (R_T + \frac{g_{m1} L_s}{C_t})^2 \gamma}{R_s g_{m1}^2 (g_{m2} + g_{mb2})} \left[ 1 + \frac{\delta}{5\gamma} - 0,79 \sqrt{\frac{\delta}{5\gamma}} \right] \quad (2.31)$$

Por otro lado, es común encontrar que el ruido asociado a las resistencias parásitas de los inductores se desprecian. Sin embargo, en la tecnología empleada en este diseño, los factores de calidad no son buenos para inductores operando en radiofrecuencia. Por lo tanto, se hace necesario considerarlos ya que pueden degradar de forma considerable la figura de ruido.

El valor medio cuadrático que representa el ruido térmico causado por una resistencia es:

$$\overline{v_{n,R}^2} = 4KTR \quad (2.32)$$

entonces se puede calcular el factor de ruido debido a las resistencias de mayor influencia en la salida del *LNA*. En este caso, se consideran las resistencias asociadas a los inductores en la puerta y la fuente de  $M_1$  además de la resistencia en la puerta del mismo:

$$F_R = 1 + \frac{R_{Lgs} + r_{g1}}{R_s} \quad (2.33)$$

El factor de ruido total del *LNA* equivale a:

$$F_{LNA} = F_{M1} + (F_{M2} - 1) + (F_R - 1) \quad (2.34)$$

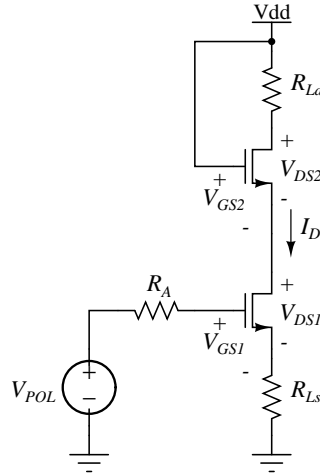
y la figura de ruido se expresa por medio de:

$$NF_{LNA} = 10 \cdot \log_{10}(F_{LNA}) \quad (2.35)$$

Es necesario aclarar que el análisis de ruido se realiza asumiendo que, hay máxima transferencia de potencia y la impedancia de entrada está acoplada con una impedancia en la fuente de alimentación que no posee parte reactiva. Ésto se debe a que los instrumentos de medida y algunas antenas (dependiendo de la aplicación), poseen una impedancia característica real con un valor aproximado a los  $50\Omega$ . Sin embargo, según la teoría clásica de ruido, existe una impedancia de entrada para la cual el valor de la figura de ruido es mínimo y que posee diversos valores en sus componentes real y reactiva dependiendo de la frecuencia de trabajo. Por lo tanto, en la mayoría de los casos es necesario sacrificar una figura de ruido óptima para poder garantizar que el circuito sea medido sin inconvenientes, o para obtener máxima transferencia de potencia desde la antena. Por consiguiente, desde hace un tiempo se ha estado debatiendo si es realmente necesaria la máxima transferencia de potencia en este tipo de aplicaciones, y el porqué de los  $50\Omega$  como impedancia de entrada de los instrumentos [37].

### 2.3.3. Análisis *DC*

Una vez finalizados los análisis en pequeña señal, se procede a plantear las expresiones correspondientes al análisis en corriente continua del *LNA* (figura 2.5). Debido a que el circuito

Figura 2.5: Circuito empleado para análisis *DC*.

está compuesto solamente de dos transistores, su análisis en corriente continua es bastante simple. Inicialmente se plantean las condiciones necesarias para que  $M_1$  y  $M_2$  estén operando en la región de saturación.

$$V_{GS1} \geq V_{t1} \quad y \quad V_{DS1} \geq V_{GS1} - V_{t1} \quad (2.36)$$

$$V_{GS2} \geq V_{t2} \quad (2.37)$$

Si se desprecia el efecto de los resistores asociados a la fuente y el dreno del transistor, cuyo valor es inferior a la unidad, mediante la ley de tensiones de *Kirchhoff* se debe cumplir que:

$$V_{dd} = (R_{Ls} + R_{Ld})I_D + V_{DS1} + V_{DS2} \quad (2.38)$$

$$V_{POL} \simeq V_{GS1} + R_{Ls}I_D \quad (2.39)$$

Finalmente, el consumo de potencia se estima mediante la expresión:

$$P_D = I_D V_{dd} \quad (2.40)$$

## 2.4. Modelado

Una vez se termina el proceso de formulación matemática, se observa que las expresiones que representan los parámetros de desempeño, dependen de las funciones matemáticas que describen el comportamiento de un determinado dispositivo. Por esta razón, se requiere que

los modelos usados conduzcan a expresiones matemáticas que puedan ser implementadas en un PG. Sin embargo, los modelos sofisticados de los dispositivos están muy lejos de cumplir con esta característica y por ello se hace necesario obtener modelos compatibles con un PG y de suficiente exactitud.

Por consiguiente, durante la formulación aplicando programación geométrica del *LNA* se hace necesario modelar algunos parámetros del transistor y del inductor empleados.

### 2.4.1. Modelado del transistor RF

Para el caso del transistor *MOS* trabajando en radiofrecuencia y en la región de saturación, se generan datos con el modelo *BSIM3v3* nivel 53 *MODNRF* en *EldoRF*, luego, se aplican técnicas de ajuste de datos para funciones n-dimensionales y se obtienen modelos monomiales cuyas ventajas son descritas en [1].

En este trabajo se generan modelos para algunas transconductancias, capacitancias y tensiones en el transistor *MOS*. Las transconductancias y la tensiones fueron representadas mediante monomios de la forma:

$$g_x, V_x = K_x I_D^{\alpha 1} V_{DS}^{\alpha 2} W^{\alpha 3} \quad (2.41)$$

donde  $K_x$ ,  $\alpha 1$ ,  $\alpha 2$  y  $\alpha 3$  son constantes resultado del ajuste de datos;  $I_D$  es la corriente en el drenaje;  $V_{DS}$  es la tensión drenaje-fuente y  $W$  es el ancho del transistor.

Por otra parte, las capacitancias fueron modeladas mediante monomios de la forma:

$$C_y = K_y V_{DS}^{\beta 1} W^{\beta 2} \quad (2.42)$$

al igual que en las transconductancias  $K_y$ ,  $\beta 1$  y  $\beta 2$  son constantes resultado del ajuste de datos.

Notese que a diferencia de los modelos monomiales planteados en [1], los empleados en este trabajo, no dependen de la longitud de canal  $L$  debido a que el modelo de transistor para RF suministrado por *AMS (Austria MicroSystems)*, trabaja sólo con la longitud de canal mínima que permite esta tecnología de fabricación  $L = 0,35\mu m$ . Por otro lado, en este trabajo no hubo necesidad de emplear modelos *PWL*, ni posinomiales, pues los errores reportados por los modelos monomiales se consideran adecuados. No se cuantifican estos errores pues dependen del espacio de modelado en el cual se generan, pero en general, se considera aceptable un error máximo inferior al 10%.

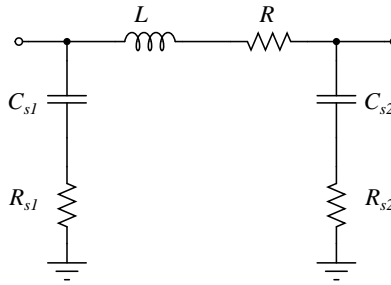


Figura 2.6: Modelo de inductor empleado por *ASITIC*.

### 2.4.2. Modelado del Inductor RF

Al igual que los transistores, los inductores no son dispositivos ideales, tienen algunos elementos de circuito asociados y la academia se ha esforzado en obtener modelos de circuito que representen el comportamiento de éste con mayor precisión.

En este trabajo se emplea la herramienta *CAD ASITIC* [38], con el fin de generar una base considerable de datos de inductores y así obtener modelos de los parámetros que se necesiten de los mismos.<sup>1</sup> Empleando los comandos *optsq* y *pix* se obtienen espiras cuadradas optimizadas con su respectivo circuito equivalente en la frecuencia de operación seleccionada. *ASITIC* asume el modelo de inductor que se expone en la figura 2.6, conocido como modelo pi.

Como se puede observar en las figuras 2.1 y 2.4, las ramas  $s_1$  y  $s_2$  del modelo pi no fueron consideradas durante la formulación, y comúnmente  $R$  también es ignorada asumiendo factores de calidad altos en el inductor ( $Q > 10$ ). Para la tecnología empleada en este trabajo y acorde a la base de inductores generada, éstos poseen factores de calidad aceptables ( $3 \leq Q \leq 5,5$ ) para valores entre  $0,4nH$  y  $7nH$ , lo cual hace indispensable considerar la resistencia en serie asociada. Inductores de mayor valor no se considera prudente integrarlos.

Con una base de datos de más de 200 inductores RF, se generan modelos monomiales que describan el factor de calidad con precisión (error máximo del 7%), dependiendo de  $L$  y  $R$  de la forma:

$$Q_L = K_L L^{\theta_1} R^{\theta_2} \quad (2.43)$$

donde  $K_L$ ,  $\theta_1$  y  $\theta_2$  son constantes resultado del ajuste de datos. Para el caso particular de la base de datos generada, y los inductores implementados en el *LNA*:

<sup>1</sup>La base de datos de inductores incluye los parámetros de circuito equivalente y la geometría del mismo.

$$Q_{Ls} = 8,0805477 \times 10^8 L_s^{0,86734681} R_{Ls}^{-0,95511723} \quad (2.44)$$

$$Q_{Lgs} = 9,7306714 L_{gs}^{-0,017856093} R_{Lgs}^{-0,42602151} \quad (2.45)$$

y si se compara esta expresión con la usada comúnmente,

$$Q = \frac{\omega L}{R} \quad (2.46)$$

se esperaría que  $\theta_1 = 1$ ,  $\theta_2 = -1$  y  $K_L = \omega$ , pero no es así, debido a que los elementos ubicados en las ramas laterales del modelo, que corresponden a las pérdidas a sustrato, también afectan el factor de calidad.

## 2.5. Programa geométrico

A continuación se describen algunas de las consideraciones y aproximaciones realizadas durante la formulación del programa geométrico(PG) del LNA, para finalmente plantearlo en su forma estándar.

### 2.5.1. Consideraciones

- Se decide colocar la figura de ruido como función objetivo del programa geométrico, sujeta a los demás parámetros de desempeño y restricciones.
- Las expresiones (2.20) y (2.27) no son posinomios, luego no pueden ser implementadas en un programa geométrico. Sin embargo, si se hace un cambio de signo en el último término de estas ecuaciones, considerando así el peor caso para el factor de ruido asociado a  $M_1$  y  $M_2$  respectivamente, se obtiene un posinomio en la ecuación (2.34). Luego, las ecuaciones (2.21), (2.25) y (2.26) se reemplazan en (2.20). Y finalmente, se asume que el efecto de  $g_{ds}$  en ambos transistores se puede despreciar y el aporte de  $C_{db1}$  para varias relaciones  $\frac{W_1}{W_2}$  puede obviarse en comparación con  $C_{sb2}$ , obteniendo:

$$C_p = C_{sb2} \quad (2.47)$$

$$C_{t2} = C_p + C_{gs2} \quad (2.48)$$

$$g_{tot(1,2)} = g_{m(1,2)} + g_{mb(1,2)} \quad (2.49)$$

- Si se asume que la impedancia de la antena equivale a  $R_s = 50\Omega$ , entonces para considerar el coeficiente de reflexión a la entrada  $S_{11}$  en el PG, las expresiones (2.2) y (2.3) deben ser incluidas sin demasiadas aproximaciones para garantizar mínimo  $S_{11}$ .

$$S_{11} = \frac{Z_{in} - 50}{Z_{in} + 50} \quad (2.50)$$

$$|S_{11}|_{dB} = 20 \cdot \log_{10}|S_{11}| \quad (2.51)$$

Debido a que las expresiones (2.2) y (2.3) son igualdades posinomiales, no pueden ser incluidas en un PG,<sup>2</sup> comúnmente se desprecia el efecto de las resistencias asociadas a los inductores y la puerta del transistor obteniendo los monomios:

$$R_s = \frac{g_{m1}L_s}{C_t} \quad (2.52)$$

$$\omega^2 = \frac{1}{L_{gs}C_t} \quad (2.53)$$

Sin embargo, como se mencionó anteriormente, en la tecnología empleada en este diseño los inductores poseen factores de calidad bajos, luego es común encontrar un valor de  $R_{inductor} > 7\Omega$ , lo cual implica un desacople en la entrada y por tanto un aumento considerable en el valor de  $S_{11}$ . Como consecuencia de ello, se decide incluir las expresiones (2.2) y (2.3) empleando las desigualdades:

$$R_{L_{gs}} + r_{g1} + \frac{g_{m1}L_s}{C_t} \leq R_s \quad (2.54)$$

$$\frac{1}{\omega C_t} + \frac{g_{m1}R_{L_s}}{\omega C_t} \leq \omega L_{gs} \quad (2.55)$$

ya que para obtener una la figura de ruido baja, se debe aumentar la relación  $\frac{g_{m1}}{C_{gs1}}$  como se puede apreciar en la ecuación (2.20), y por consiguiente, hasta un valor determinado de  $C_{add}$  y/o  $W_1$  (limitado por  $R_s$  y  $r_{g1}$ ), estas desigualdades tienden a la igualdad, garantizando un acople adecuado.

- La resistencia asociada a la puerta del transistor  $r_{g1}$ , es definida con frecuencia de acuerdo a  $r_{g1} \simeq \frac{R_{sq}W}{3n^2L}$ , sin embargo en este trabajo se considera la expresión que adjunta el modelo *BSIM3v3* nivel 53 *MODNRF*,

$$r_{g1} = \frac{6,895 \times 10^{-4}}{W} + 47,58}{n} + 3,726 \times 10^5 W + 2,740 \quad (2.56)$$

y al igual que las expresiones para acoplar la entrada, se incluye en el PG como una desigualdad cuya solución tiende a la igualdad, dependiendo de (2.54) y (2.55).

---

<sup>2</sup>En un PG no pueden haber restricciones igualdad posinomiales, el único posinomio igualdad que se permite es la función objetivo.

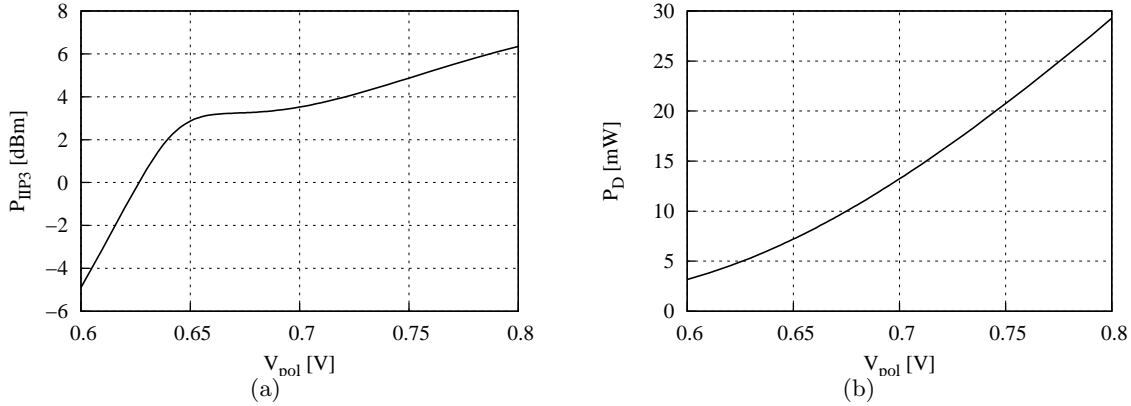


Figura 2.7: Compromisos entre la linealidad, el consumo de potencia y la tensión de polarización: (a) Compromiso  $P_{IIP3} - V_{pol}$ ; (b) Compromiso  $P_D - V_{pol}$ .

- No se considera la ganancia total obtenida en la ecuación (2.19), se considera la ganancia de tensión del *LNA*, la cual también es de gran importancia y se representa como:

$$|G_v|^2 = R_{out}^2 |G_{LNA}|^2 \quad (2.57)$$

- Se generan modelos monomiales según lo descrito en la sección anterior para las capacitancias  $C_{t(,2)}$ ,  $C_{gs(1,2)}$  y  $C_{sb2}$ , las transconductancias  $g_{m(1,2)}$ ,  $g_{mb(1,2)}$  y  $g_{tot(1,2)}$ , además de las tensiones  $V_{gs(1,2)}$  y los factores de calidad  $Q_{Ls}$  y  $Q_{Lgs}$ .
- En [2] y [3] se realiza el análisis y formulación para el punto de intersección de tercer orden  $P_{IIP3}$ , mediante la expansión de las series de *Volterra*. Sin embargo en este trabajo, para evitar la manipulación de la expresión matemática, cuya forma no es compatible con programación geométrica, se decide analizar la relación entre la linealidad y la polarización de acuerdo a resultados de simulación, para así poder formular una restricción que garantice un valor de linealidad adecuado.

De la figura 2.7, se puede concluir que el desempeño respecto a linealidad del *LNA* puede ser mejorado variando la fuente de polarización, lo cual a su vez modifica el consumo de potencia del circuito. Entonces, si se desea un valor de  $P_{IIP3} \geq P_{IIP3min}$ , se debe asignar un valor mínimo de polarización ( $V_{polmin}$ ) que lo garantice. Para el diseño planteado en este trabajo, se considera aceptable un  $P_{IIP3} \geq 0dBm$  y por lo tanto se decide restringir la tensión de polarización  $V_{pol} \geq 0,65V$ .

- No se considera necesario incluir una expresión para el área del circuito, ya que ésta está prácticamente determinada por el área de los 3 inductores y las distancias entre

ellos. El radio externo del inductor cuadrado según lo generado en la base de datos, está entre  $200\mu m \leq d_{rout} \leq 240\mu m$ .

### 2.5.2. Forma estándar del PG

Terminada la formulación matemática, aplicando las consideraciones y aproximaciones ya descritas, se puede plantear el PG necesario para resolver el problema de diseño del LNA de la forma:

■ **Minimizar:**

$$1 + \omega^2 C_{gs1}^2 R_s \gamma g_{m1}^{-1} [(C_{add} + C_{gs1})^2 C_{gs1}^{-2} \alpha^{-1} R_s^{-2} (R_s + R_{Lgs} + r_{g1})^2 + 0, 2[(R_s + R_{Lgs} + r_{g1})^2 + \omega^2 L_{gs}^2] R_s^{-2} \alpha \delta \gamma^{-1} + 0, 79(C_{add} + C_{gs1}) C_{gs1}^{-1} R_s^{-2} (R_s + R_{Lgs} + r_{g1})^2 \sqrt{0, 2\delta \gamma^{-1}}] + \omega^4 C_{gs2} (C_{sb2} + C_{gs2}) (C_{add} + C_{gs1})^2 g_{m1}^{-2} g_{tot2}^{-1} R_s^{-1} (R_s + R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1})^2 \gamma [(C_{sb2} + C_{gs2}) C_{gs2}^{-1} + 0, 2\delta \gamma^{-1} C_{gs2} C_{t2}^{-1} + 0, 79 \sqrt{0, 2\delta \gamma^{-1}}] + (R_{Lgs} + r_{g1}) R_s^{-1}$$

■ **Sujeto a:**

$$\begin{aligned} \alpha g_{tot1} g_{m1}^{-1} &= 1 \\ I_D V_{dd} P_D^{-1} &= 1 \\ (R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1}) R_s^{-1} &\leq 1 \\ (\omega^{-1} C_t^{-1} + g_{m1} R_{Ls} \omega^{-1} C_t^{-1}) \omega^{-1} L_{gs}^{-1} &\leq 1 \\ (6, 895 \times 10^{-4} W_1^{-1} n^{-1} + 47, 58 n^{-1} + 3, 726 \times 10^5 W_1 + 2, 740) r_{g1}^{-1} &\leq 1 \\ |G_{vmin}|^2 R_{out}^{-2} g_{m1}^{-2} g_{tot2}^{-2} (\omega^2 (C_{add} + C_{gs1})^2 (R_s + R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1})^2 (\omega^2 (C_{sb2} + C_{gs2})^2 + (g_{m2} + g_{mb2})^2)) &\leq 1 \\ (g_{m(1,2)} + g_{mb(1,2)}) g_{tot(1,2)}^{-1} &\leq 1 \\ (C_{sb2} + C_{gs2}) C_{t2}^{-1} &\leq 1 \\ (C_{add} + C_{gs1}) C_t^{-1} &\leq 1 \\ V_{to(1,2)} V_{gs(1,2)}^{-1} &\leq 1 \\ C_{t(,2)} K_{Ct(,2)}^{-1} W_{(1,2)}^{-\beta_a(1,2)} V_{DS(1,2)}^{-\beta_b(1,2)} &= 1 \\ C_{gs(1,2)} K_{Cgs(1,2)}^{-1} W_{(1,2)}^{-\theta_a(1,2)} V_{DS(1,2)}^{-\theta_b(1,2)} &= 1 \\ C_{sb2} K_{Csb2}^{-1} W_2^{-\tau_a} V_{DS2}^{-\tau_b} &= 1 \\ g_{tot(1,2)} K_{gtot(1,2)}^{-1} I_D^{-\psi_a(1,2)} W_{(1,2)}^{-\psi_b(1,2)} V_{DS(1,2)}^{-\psi_c(1,2)} &= 1 \\ g_{m(1,2)} K_{gm(1,2)}^{-1} I_D^{-\varphi_a(1,2)} W_{(1,2)}^{-\varphi_b(1,2)} V_{DS(1,2)}^{-\varphi_c(1,2)} &= 1 \\ g_{mb(1,2)} K_{gm(1,2)}^{-1} I_D^{-\rho_a(1,2)} W_{(1,2)}^{-\rho_b(1,2)} V_{DS(1,2)}^{-\rho_c(1,2)} &= 1 \\ V_{gs(1,2)} K_{Vgs(1,2)}^{-1} I_D^{-\phi_a(1,2)} W_{(1,2)}^{-\phi_b(1,2)} V_{DS(1,2)}^{-\phi_c(1,2)} &= 1 \\ 0, 10277 \times 10^{-3} Q_{Lgs} L_{gs}^{0, 017856093} R_{Lgs}^{0, 42602151} &= 1 \\ 1, 2375 \times 10^{-9} Q_{Ls} L_s^{-0, 86734681} R_{Ls}^{0, 95511723} &= 1 \\ P_D P_{Dmax}^{-1} &\leq 1 \end{aligned}$$

$$\begin{aligned}
I_{Dmin} I_D^{-1} &\leq 1 \\
V_{DS(1,2)min} V_{DS(1,2)}^{-1} &\leq 1 \\
W_{(1,2)} W_{(1,2)max}^{-1} &\leq 1 \\
W_{(1,2)}^{-1} W_{(1,2)min} &\leq 1 \\
Q_{Ls} Q_{Lsmax}^{-1} &\leq 1 \\
Q_{Lgs} Q_{Lgsmax}^{-1} &\leq 1 \\
L_{smin} L_s^{-1} &\leq 1 \\
L_{gs} L_{gsmax}^{-1} &\leq 1
\end{aligned}$$

Cuadro 2.5: Especificaciones del PG.

Variable	
$W_{max}$ [ $\mu\text{m}$ ]	550
$W_{min}$ [ $\mu\text{m}$ ]	70
$P_{Dmax}$ [mW]	10
$I_{Dmin}$ [mA]	2,12
$V_{polmin}$ [V]	0,65
$G_{vmin}$ [dB]	15
$C_{add}$ [fF]	180
$L_{max}$ [nH]	6,5
$L_{min}$ [nH]	0,5

## 2.6. Resultados

Para la solución del programa geométrico se emplea la herramienta *CVX* [28] y posteriormente se verifican los resultados por medio de simulaciones en *EldoRF*. Se genera un *script* cuyo archivo de entrada está formado por las especificaciones de diseño, éste se encarga de realizar los modelos correspondientes al espacio de diseño, resolver el PG y finalmente exportar los resultados al simulador para la verificación, logrando un avance significativo en la automatización del proceso de diseño para este bloque analógico.

En las gráficas 2.8 y 2.9, se muestran algunos resultados de los parámetros de desempeño en el *LNA* diseñado, además en la tabla 2.5 se exponen las diferentes especificaciones del programa geométrico. Por último, en las tablas 2.6 y 2.7 se muestran los diferentes resultados obtenidos del PG y los resultados de simulación. En la tabla 2.6, no se considera correcto calcular errores para parámetros expresados en decibelios, además, la figura y el factor de

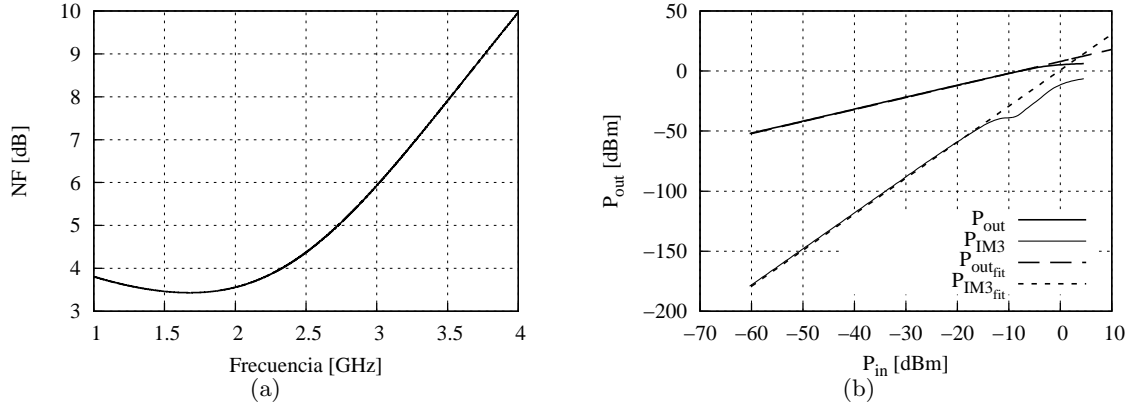


Figura 2.8: Algunos parámetros de desempeño: (a) Figura de ruido del *LNA*; (b) Punto de intersección de tercer orden.

Cuadro 2.6: Parámetros de desempeño del *LNA* diseñado.

Parámetro	PG	EldoRF	Especificación	Error %
F	2,57	2,66	min	3,5
NF [dB]	3,37	4,26	min	*
$P_D$ [mW]	8,42	8,43	$\leq 10$	0,11
$G_v$ [dB]	22,5	22	$\geq 15$	*
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	52,78	50	5,5
$Im\{Z_{in}\}$ [ $\Omega$ ]	-1,14	30	0	273
$S_{11}$ [dB]	-38,52	-11,32	min	*
$P_{IIP3}$ [dBm]	–	3,6	$\geq 0$	–

ruido reportados, son producto de evaluar los resultados del PG en las ecuaciones (2.20), (2.27) y (2.33).

De acuerdo a lo expuesto en la tabla 2.6, y las figuras 2.8 y 2.9, se observa que algunos resultados de simulación no coinciden con los resultados del programa geométrico. Se aprecia una diferencia cercana a 1dB en la figura de ruido del *LNA* (figura 2.8(a)), producto de la dificultad para introducir en el PG, la matriz de los parámetros  $Y$  del inductor, en especial de  $L_g$ ; ésto se observa si se simula el circuito con y sin el par de ramas  $R_s - C_s$  del modelo pi (figura 2.6), correspondientes a las pérdidas a substrato del inductor. En la figura 2.9(a) se observa el efecto del desacople en la parte imaginaria de la impedancia de entrada (figura 2.9(d)), causado por la influencia de los capacitores  $C_{gd1}$  y  $C_{gb1}$  que fueron desestimados durante la formulación. Además, mientras la entrada del circuito no esté en resonancia en la frecuencia de interés, la ganancia no va a ser máxima como se observa en la figura 2.9(b).

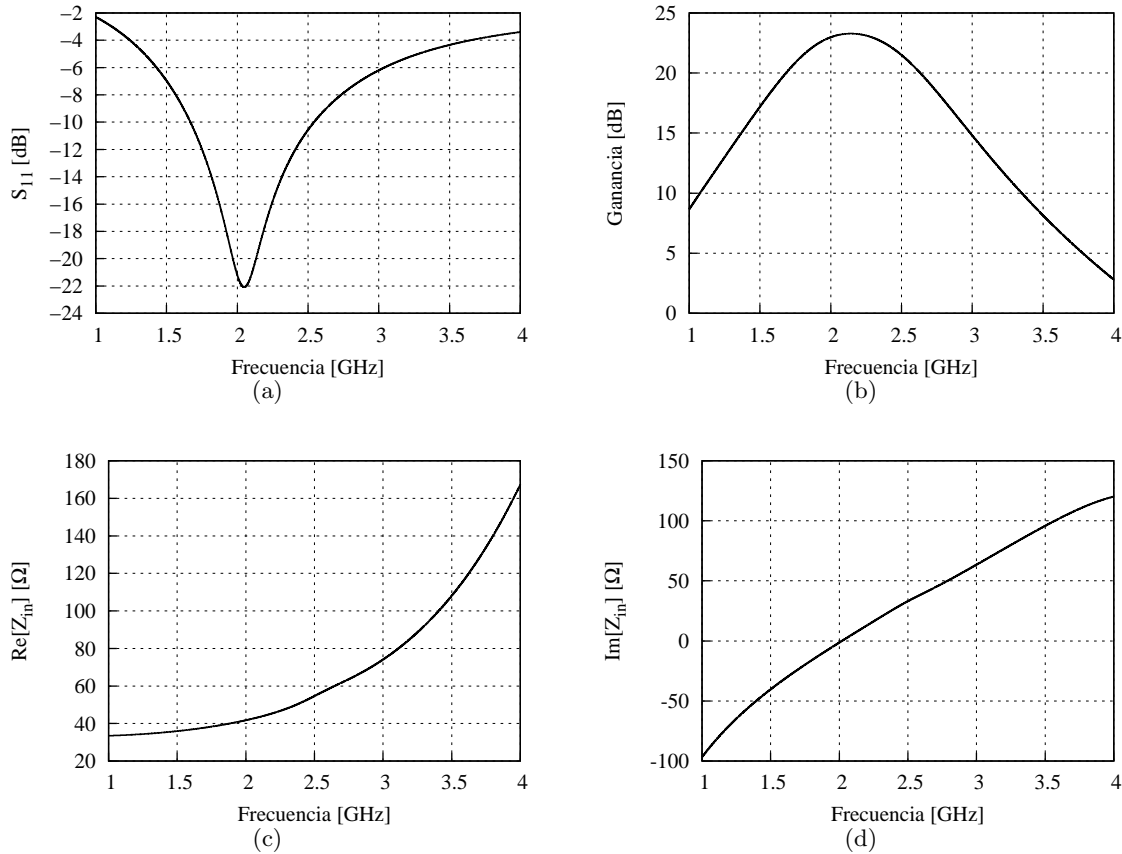


Figura 2.9: Resultados de simulación del LNA: (a) Coeficiente de reflexión en la entrada; (b) Ganancia de tensión; (c) Parte real de  $Z_{in}$ ; (d) Parte imaginaria de  $Z_{in}$ .

Para los parámetros representados por las figuras 2.8(b) y 2.9(c), se observa congruencia entre los resultados de la optimización y el simulador. También se concluye que los capacitores que afectan la parte reactiva, no afectan considerablemente la parte resistiva de la impedancia de entrada.

Finalmente, en las tablas 2.7 y 2.8 se exponen los resultados del programa geométrico para las diferentes variables de circuito. Al comparar estos resultados con los obtenidos en el simulador, los errores son pequeños, luego es correcto el modelado mediante monomios. Por otra parte, el modelo *BSIM3v3* nivel 53 *MODNRF*, permite trabajar con anchos hasta de 200  $\mu\text{m}$ , definidos en dedos de ancho 5 o 10  $\mu\text{m}$ , entonces, para este caso particular se emplearon tres transistores en paralelo para  $W_1$ , cada uno con 18 dedos de ancho 10  $\mu\text{m}$ . Además, los inductores empleados para las simulaciones son extraídos de la base de inductores generada, empleando un *script* discriminador, el cual toma los resultados del PG y evalúa en esta base los valores de L y R más cercanos. Consecuencia de lo anterior, los errores en la inductancia y resistencia serie son superiores a los reportados por el modelo monomial generado.

Cuadro 2.7: Variables del circuito.

Variable	PG	EldoRF	Error %
$W_1$ [ $\mu\text{m}$ ]	540	540	0
$W_2$ [ $\mu\text{m}$ ]	70	70	0
$g_{m1}$ [mS]	39,8	39,4	1
$g_{mb1}$ [mS]	10	10	0
$C_{gs1}$ [fF]	491,8	488	0,8
$g_{m2}$ [mS]	10,7	11,1	3,7
$C_{gs2}$ [fF]	66	65,11	1,3

Cuadro 2.8: Resultados de los inductores.

Variable	PG	ASITIC	Error %
$L_g$ [nH]	6	6,1	1,6
$R_{Lg}$ [ $\Omega$ ]	10,8	12,46	15,3
$L_s$ [nH]	0,5	0,53	6
$R_{Ls}$ [ $\Omega$ ]	1,3	1,5	15,3

En conclusión, durante este capítulo se describió el proceso de formulación del programa geométrico para un amplificador de bajo ruido, empleando los modelos de transistor *BSIM3v3* nivel 53 para radiofrecuencia *MODNRF*, teniendo en cuenta el efecto de los inductores, el acople de impedancias, la linealidad y el efecto del dispositivo cascode sobre la figura de ruido, entre otros parámetros que normalmente no han sido considerados, durante el diseño de este bloque aplicando algoritmos para optimización de variables [12, 30, 39].

## Capítulo 3

# Diseño de una celda *LNA-Mixer* aplicando programación geométrica

De acuerdo a la revisión al estado del arte expuesta en el capítulo 1. La integración de varios bloques funcionales en un mismo circuito, presenta una solución adecuada en la búsqueda de circuitos de menor área y bajo consumo de potencia, además de eliminar las consideraciones necesarias para el acople entre éstos. En concordancia con lo anterior, en este trabajo se propone implementar el amplificador de bajo ruido (*LNA*) y el mezclador de señal (*Mixer*), como un solo bloque funcional basado en una celda de *Gilbert* balanceada con entrada sencilla. Por lo tanto, durante este capítulo se describe el bloque propuesto y se formula el problema de diseño extrayendo las diferentes expresiones matemáticas que representan el funcionamiento. Posteriormente, se exponen algunas consideraciones y aproximaciones, para finalmente formular el programa geométrico y tabular algunos resultados.

### 3.1. Circuito propuesto

La celda de *Gilbert* (figura 3.1(a)) es comúnmente usada para el diseño de *Mixers* activos.<sup>1</sup> El transistor  $M_1$  se encarga de convertir la tensión RF, que normalmente proviene de la salida del *LNA*, en una corriente  $i_{RF}$ , para que posteriormente el par diferencial compuesto por  $M_2$  y  $M_3$ , conmute de acuerdo a la señal del oscilador local  $V_{LO}$  y se obtenga una señal de frecuencia intermedia  $i_{IF,out}$ . Este circuito de conmutación de corriente, posee un buen aislamiento entre los puertos RF y *LO*, a diferencia de los mezcladores pasivos. Además, posee ganancia suficiente, alta linealidad, desempeño aceptable respecto a ruido y puede usarse con entrada simple o doble. Una descripción más detallada puede encontrarse en [31].

---

<sup>1</sup>Los mezcladores de señal activos son aquellos que potencialmente pueden amplificar la señal de entrada.

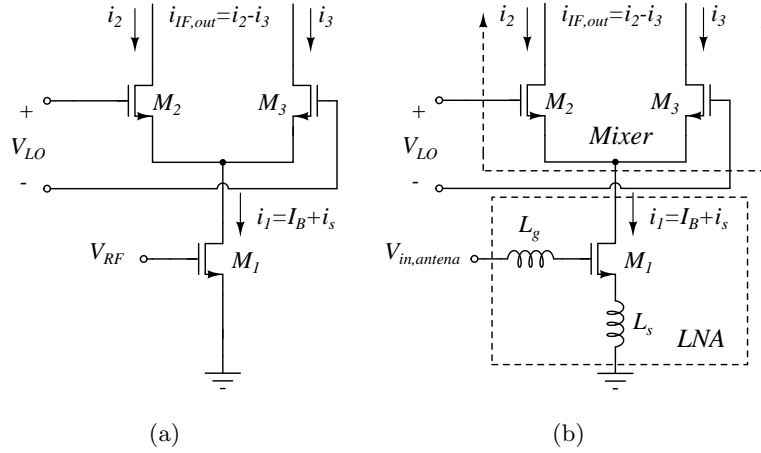


Figura 3.1: Mezcladores de conmutación de corriente con entrada simple: (a) Celda de Gilbert; (b) Celda *LNA-Mixer*.

Si se estudian algunas de las consideraciones hechas en [2], se puede concluir que acoplar la salida del *LNA* con la entrada del mezclador, puede ser tedioso y afectar directamente el funcionamiento de ambos bloques. Por otro lado, si se analiza el circuito de la figura 3.1(a), se observa que al igual que el *LNA*, la celda *Gilbert* posee una etapa de transconductancia. Además, durante la conmutación, la corriente de  $M_1$ , fluye sólo por  $M_3$  o  $M_4$  actuando como un dispositivo cascode. Entonces, conociendo el funcionamiento del mezclador de conmutación de corriente o celda de *Gilbert* y retomando la idea planteada en [16], se propone el circuito de la figura 3.1(b), conocido como celda *LNA-Mixer* o *Mixer* de bajo ruido. Este circuito reduce el consumo de potencia, el número de transistores e inductores y las no linealidades [16]. El *LNA* está conformado por la etapa de transconductancia de la celda y se encarga de generar la corriente que alimenta el puerto RF del mezclador, que en esencia continua intacto.

En la figura 3.2, se expone el esquemático completo del circuito propuesto donde:

- El transistor  $M_1$  se encarga de amplificar la señal proveniente de la antena, realizar la conversión tensión-corriente y definir el punto de polarización en *DC*. Además, junto a  $L_g$  y  $L_s$ , garantiza el acople de la impedancias en la entrada del bloque, degradando lo menos posible la figura de ruido.
- Los transistores  $M_3$  y  $M_4$  colaboran con el aislamiento entre los puertos RF e *IF*, además de efectuar la función de mezclado, conmutando acorde con las variaciones en la tensión  $V_{LO}$ .
- $C_{add}$  se implementa para mejorar la figura de ruido y desensibilizar la impedancia de entrada, de acuerdo a lo expuesto en [35].

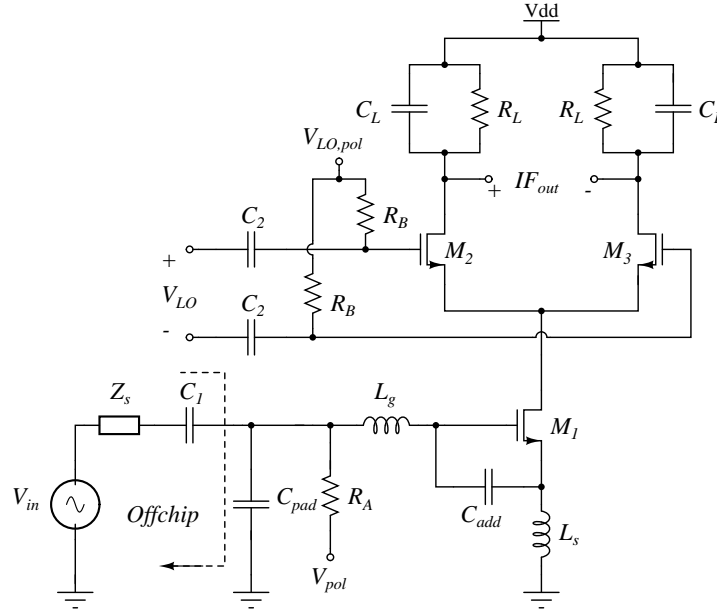


Figura 3.2: Celda *LNA-Mixer* propuesta.

- $R_L$  y  $C_L$  son la carga del mezclador y funcionan como filtro en la frecuencia  $IF$ .
- $V_{pol}$  y  $V_{LO,pol}$  son las tensiones de polarización del *LNA* y el par conmutado respectivamente.
- $C_1$  se encargan de aislar la entrada del *LNA* en *DC*,  $R_A$  aísla la entrada de la fuente de polarización en *AC* y  $C_{pad}$  es la capacitancia del *PAD* implementado en el *layout* para fines de fabricación y medición.
- $V_{dd}$  es la tensión de alimentación
- $C_2$  y  $R_B$ , facilitan el acople entre la salida del *VCO* y la entrada del par conmutado.

Como se puede observar, a diferencia de [2], no son necesarias consideraciones para acoplar el *LNA* y el *Mixer*, ni la implementación de algunos inductores.

### 3.2. Formulación del problema de diseño de la celda *LNA-Mixer*

A continuación se presenta la formulación de los diferentes parámetros que determinan el desempeño del bloque *LNA-Mixer*. La formulación del bloque se basa en los análisis para mezcladores de conmutación de corriente, expuestos en [2,31], complementado con los análisis descritos en el capítulo 2.

### 3.2.1. Impedancia de entrada y ganancia

Debido a que la entrada de la celda corresponde con la entrada del *LNA* formulado en el capítulo anterior, ésta se sigue representando mediante la ecuación (2.1), extraída de la figura 2.3, y por lo tanto se debe cumplir con las relaciones (2.2) y (2.3) de acuerdo a las consideraciones expuestas. De otro lado, la ganancia de conversión de la celda es el producto de tres componentes [33], la transconductancia equivalente de la entrada RF, la ganancia/pérdida del par conmutado y la impedancia de salida:

$$G_v = \frac{i_s}{v_{in}} \frac{i_{IF,out}}{i_s} R_L \quad (3.1)$$

$\frac{i_s}{v_{in}}$  corresponde a la ganancia de la etapa de transconductancia, descrita en el capítulo anterior mediante la ecuación (2.4); el término  $\frac{i_{IF,out}}{i_s}$  es la ganancia del par conmutado, cuyo análisis requiere de especial cuidado; finalmente  $R_L$  corresponde a la carga del mezclador. Por lo tanto:

$$G_v = G_{M1} G_{Par} R_L \quad (3.2)$$

La señal del oscilador local (*LO*), a diferencia de la señal RF, posee una amplitud considerable que afecta el punto de polarización de los transistores que conforman el par conmutado, creando una dependencia en el tiempo de todos sus parámetros de desempeño. Sin embargo en [2, 31], realizan una formulación detallada mediante una expansión de primer orden de *Taylor* y coeficientes de *Fourier*, concluyendo que si la señal del LO es senoidal y de amplitud suficientemente alta para ser considerada gran señal, entonces la ganancia del par conmutado es aproximadamente  $\frac{2}{\pi}$ , lo cual representa una atenuación de la señal proveniente de la etapa de transconductancia. De acuerdo al resultado anterior y reemplazando (2.4) en (3.2), se puede estimar la magnitud de la ganancia total como:

$$|G_v| = \frac{2g_{m1}R_L}{\pi\omega C_t \left( R_s + R_{Lgs} + r_{g1} + \frac{g_{m1}L_s}{C_t} \right)} \quad (3.3)$$

### 3.2.2. Análisis de ruido

El análisis de ruido de la celda se realiza en base al circuito expuesto en la figura 3.3. Para este caso, debido a que la frecuencia intermedia es baja, en adición al ruido térmico se deben considerar las fuentes de ruido *flicker*, en especial las asociadas a los transistores que conforman el par conmutado. En la figura no se representa la etapa de transconductancia a nivel de circuito, ya que existe un análisis de ruido térmico desarrollado en el capítulo anterior para ésta, acorde con la figura 2.4.

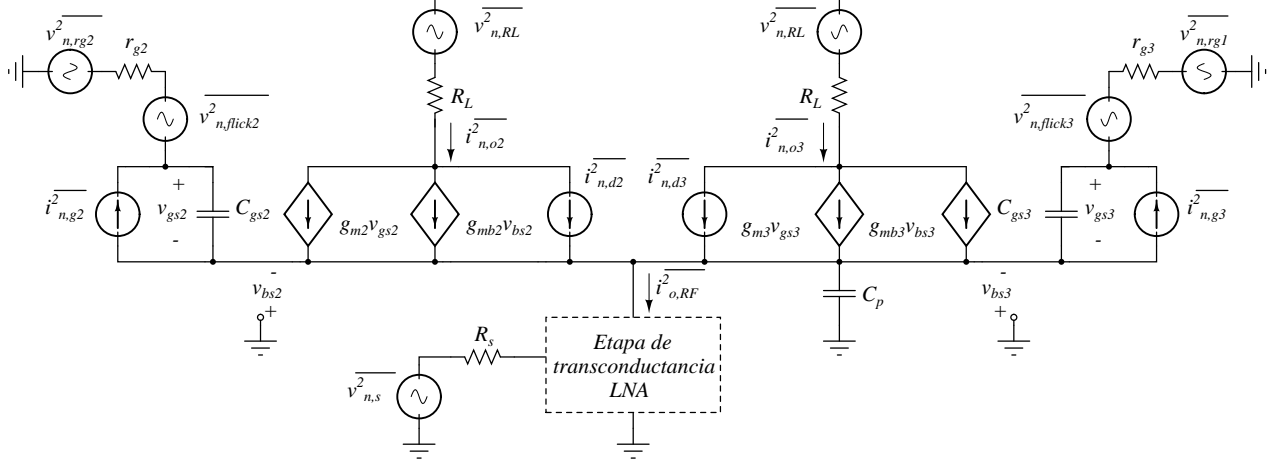


Figura 3.3: Modelo para análisis de ruido de la celda.

De acuerdo a la figura 3.3 y desestimando el efecto de  $\overline{i_{n,g}^2}$  en los transistores del par, se puede formular el factor de ruido como:

$$F \simeq F_{transc} + (F_R - 1) + \frac{\overline{i_{n,d2-3,o}^2} + \overline{i_{v_{n,rg2-3,o}}^2} + \overline{i_{v_{n,RL,o}}^2} + \overline{i_{v_{n,flick2-3,o}}^2}}{\overline{i_{v_{n,s,o}}^2}} \quad (3.4)$$

donde  $F_{transc}$  corresponde con la ecuación (2.20) y  $F_R$  a la ecuación (2.33).  $\overline{i_{n,d2-3,o}^2}$  es la densidad espectral de ruido térmico diferencial, introducido por el canal de  $M_2$  y  $M_3$ .  $\overline{i_{v_{n,rg2-3,o}}^2}$  y  $\overline{i_{v_{n,RL,o}}^2}$  corresponden al ruido térmico diferencial asociado a las resistencias de la puerta de los transistores del par conmutado y la carga del mezclador, respectivamente. Por otro lado,  $\overline{i_{v_{n,flick2-3,o}}^2}$  es el ruido *flicker* diferencial referido a la salida, presente en la puerta de los transistores  $M_2$  y  $M_3$ . Finalmente,  $\overline{i_{v_{n,s,o}}^2}$  es el ruido térmico a la salida, debido a la fuente de entrada.

### Análisis de ruido térmico

El valor medio cuadrático de la fuente asociada al canal, puede expresarse de acuerdo a (2.12) como:

$$\overline{i_{n,d}^2} = 4KT\gamma G \quad (3.5)$$

Para el caso del par conmutado,

$$G(t) = 2 \frac{g_{m2}(t)g_{m3}(t)}{g_{m2}(t) + g_{m3}(t)} \quad (3.6)$$

corresponde a la transconductancia total en pequeña señal, vista entre el puerto del oscilador local y la salida. Entonces, si se asume la salida de forma diferencial se obtiene:

$$\overline{i_{n,d2-3,o}^2}(f, t) \simeq 2^2 \left( 4KT\gamma \left( \frac{g_{m2}(t)g_{m3}(t)}{g_{m2}(t) + g_{m3}(t)} \right) \right) \simeq 8KT\gamma G(t) \quad (3.7)$$

Debido a  $G(t)$ , la expresión (3.7) es una densidad espectral de potencia variante en el tiempo, sin embargo, en [31] demuestran que la transconductancia en pequeña señal, varía uniformemente en el dominio de la frecuencia y por lo tanto, se puede estimar un valor promedio para ésta:

$$\overline{G} = \frac{4I_B}{T_{LO}\lambda} \quad (3.8)$$

donde  $\lambda = \frac{2\pi A_{LO}}{T_{LO}}$ ;  $I_B$  es la corriente de polarización;  $T_{LO}$  y  $A_{LO}$  son respectivamente, el período y la amplitud del oscilador local. Por lo tanto:

$$\overline{i_{n,d2-3,o}^2}(f) \simeq 8KT\gamma\overline{G} \simeq \frac{16KT\gamma I_B}{\pi A_{LO}} \quad (3.9)$$

En el puerto  $LO$ , las resistencias asociadas a la puerta de los transistores del par son fuentes de ruido térmico expresadas mediante:

$$\overline{v_{n,rg}^2} = 4KT r_g \quad (3.10)$$

y el ruido introducido por éstas en la salida se evalúa como:

$$\overline{i_{n,rg2-3,o}^2} \simeq \overline{G^2} \overline{v_{n,rg2-3}^2} \quad (3.11)$$

donde el promedio de la transconductancia al cuadrado equivale a:

$$\overline{G^2} \simeq 4,64 \frac{K^{\frac{1}{2}} I_B^{\frac{3}{2}}}{\lambda T_{LO}} \quad (3.12)$$

Entonces, si  $K_{2-3} = \mu_o C_{ox} \frac{W_{2-3}}{L_{2-3}}$ , se reemplaza (3.10) y (3.12) en (3.11), y se asume que las dimensiones de los transistores del par conmutado son iguales se obtiene que:

$$\overline{i_{n,rg2-3,o}^2} \simeq \frac{37,12KT r_g^3}{\pi A_{LO}} \left[ \left( \mu_o C_{ox} \frac{W_3}{2L_3} \right)^{\frac{1}{2}} I_B^{\frac{2}{3}} \right] \quad (3.13)$$

Al igual que la resistencia de puerta, el ruido térmico introducido por la resistencia de carga del mezclador corresponde a:

$$\overline{i_{n,RL,o}^2} = 2^2 \frac{\overline{v_{n,RL}^2}}{R_L^2} = \frac{16KT}{R_L} \quad (3.14)$$

y el causado por la fuente de entrada (antena) en la etapa de transconductancia, se observa en la salida del mezclador de acuerdo a la expresión:

$$\overline{\frac{i^2}{v_{n,s,o}^2}} \simeq |G_{M1}G_{Par}|^2 \overline{v_{n,s}^2} \simeq \frac{16KT R_s g_{m1}^2}{\pi^2 \omega^2 C_t^2 \left( R_s + R_{Lgs} + r_{g1} + \frac{g_{m1} L_s}{C_t} \right)^2} \quad (3.15)$$

Por lo tanto, el factor de ruido térmico de doble banda lateral de la celda *LNA-Mixer*, de acuerdo a las fuentes de ruido consideradas es:

$$F_{DSB} \simeq F_{M1} + (F_R - 1) + \frac{2\gamma \overline{G} + 4r_{g3} \overline{G}^2 + \frac{4}{R_L}}{|G_{M1}G_{Par}|^2 R_s} \quad (3.16)$$

$$F_{DSB} \simeq F_{M1} + (F_R - 1) + \frac{\pi \omega^2 C_t^2 \left( R_s + R_{Lgs} + r_{g1} + \frac{g_{m1} L_s}{C_t} \right)^2}{A_{LO} R_s g_{m1}^2} \left( \gamma I_B + 2, 32r_{g3} K_3^{\frac{1}{2}} I_B^{\frac{3}{2}} + \frac{\pi A_{LO}}{R_L} \right) \quad (3.17)$$

### Análisis de ruido *flicker*

Debido a la función *Down-Conversion* de la celda propuesta, la señal de salida idealmente debe encontrarse en valores de frecuencia bajos, acorde a  $\omega_{IF} = \omega_{RF} - \omega_{LO}$ . Normalmente  $IF \leq 15MHz$  y en este rango de frecuencias, el ruido *flicker* empieza a afectar considerablemente debido a su relación inversa con la frecuencia. El ruido *flicker* se representa mediante su densidad espectral de potencia como:

$$\overline{v_{n,flicker}^2} = \frac{K_f}{W_{eff} L_{eff} C_{ox} f} \quad (3.18)$$

$K_f$  es una constante del proceso;  $C_{ox}$  es la capacitancia del óxido de silicio por unidad de área;  $f$  es la frecuencia; por último,  $W_{eff}$  y  $L_{eff}$  son las dimensiones efectivas del transistor.

Por lo tanto, el ruido *flicker* en la salida, causado por los transistores del par, es descrito por:

$$\overline{\frac{i^2}{v_{n,flick2-3,o}^2}} \simeq \overline{G^2} \overline{v_{n,flicker}^2} \quad (3.19)$$

Además de las consideraciones descritas anteriormente, existen otros factores que afectan el desempeño de ruido en un par conmutado. Al considerar la expresión para la figura de ruido de doble banda lateral (*DSB*), se afecta en 3dB el desempeño expresado por medio de la figura de ruido de banda lateral sencilla ( $NF_{SSB} = NF_{DSB} + 3$ ). Por otro lado, desbalances en el par conmutado, producto del proceso de fabricación, también afectan directamente el

ruido. Por último, la conmutación incorrecta de los transistores, degrada la figura de ruido a medida que los transistores están saturados simultáneamente por tiempos prolongados [34]. Para solucionar esto último, se puede encontrar una relación para limitar la amplitud del oscilador local y así tener en saturación ambos transistores de forma simultánea el menor tiempo posible [2, 31].

$$|V_{LO,min}| = \frac{\theta I_B}{2K_3} + \sqrt{\frac{\theta^2 I_B^2}{4K_3^2} + \frac{I_B}{K_3}} \quad (3.20)$$

$|V_{LO,min}|$  es la tensión de oscilador local mínima para garantizar una conmutación constante.  $I_B$  es la corriente de polarización.  $K_3 = \mu_o C_{ox} \frac{W_3}{2L_3}$  y  $\theta \simeq 0,9$  representa la resistencia serie de la fuente, la degradación en la movilidad y la velocidad de saturación debida al campo lateral en transistores de canal corto [2].

### 3.2.3. Otros análisis

Finalizada la formulación de todos los parámetros dependientes en el tiempo, producto de la gran señal introducida por el oscilador local, se procede a plantear las expresiones correspondientes para garantizar la correcta polarización de la celda *LNA-Mixer*. Considerando que el par conmuta adecuadamente, entonces el transistor que conduce debe estar en saturación y cumplir con:

$$V_D \geq V_{LO,pol} + \frac{A_{LO}}{2} - V_t \quad (3.21)$$

además

$$V_{DSmin} = V_{dd} - R_L I_B \quad (3.22)$$

Por lo tanto

$$(V_{dd} - I_B R_L) \geq V_{LO,pol} + \frac{A_{LO}}{2} - V_t \quad (3.23)$$

De acuerdo con lo anterior, se puede calcular la resistencia de salida adecuada para tener un buen rango de excursión y el transistor que conduce en saturación. Por lo tanto, si se desea un rango de excursión a la salida de 1V, la resistencia debe satisfacer la ecuación:

$$R_L \leq \frac{V_{dd} - V_{LO,pol} - \frac{A_{LO}}{2} + V_t - 1}{I_B} \quad (3.24)$$

Para la etapa de transconductancia, se debe cumplir que:

$$V_{GS1} \geq V_{t1} \quad y \quad V_{DS1} \geq V_{GS1} - V_{t1} \quad (3.25)$$

$$V_{POL} \simeq V_{GS1} + R_{Ls}I_B \quad (3.26)$$

Entonces, si se desprecia el efecto de los resistores asociados a la fuente y el drenado del transistor, mediante la ley de tensiones de *Kirchhoff* se debe cumplir que:

$$V_{dd} = (R_L + R_{Ls})I_B + V_{DS3} + V_{DS1} \quad (3.27)$$

y el consumo de potencia total de la celda equivale a:

$$P_D \simeq I_B V_{dd} \quad (3.28)$$

### 3.3. Programa geométrico

Una vez expresados matemáticamente los parámetros de desempeño de la celda *LNA-Mixer*, se realizan algunas aproximaciones y consideraciones, de acuerdo principalmente a lo descrito en [2,31], para posteriormente formular el programa geométrico en su forma estándar.

#### 3.3.1. Consideraciones

- Se decide implementar el factor de ruido de banda lateral sencilla, como la función objetivo del PG.
- El ruido *Flicker* no se tiene en cuenta debido a que este se manifiesta fuertemente en frecuencias inferiores a los  $500\text{KHz}$ .
- La expresión (2.20) para  $F_1$ , no posee forma posinomial y por lo tanto se cambia el signo del último término de ésta, para considerar el peor caso de ruido en la etapa de transconductancia y cumplir con los requisitos para poder aplicar programación geométrica.
- Al igual que lo expuesto en el capítulo anterior, si se asume que la impedancia de la antena equivale a  $R_s = 50\Omega$ , entonces para considerar el coeficiente de reflexión a la entrada  $S_{11}$  en el PG, las expresiones (2.2) y (2.3) deben ser incluidas sin demasiadas aproximaciones para garantizar mínimo  $S_{11}$ .
- Las resistencias en la puerta de los transistores, se expresan de acuerdo a la ecuación (2.56).

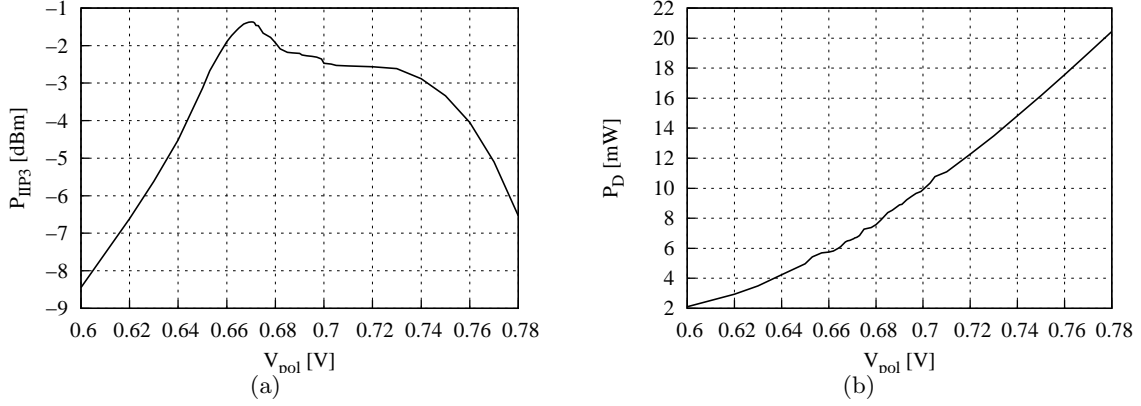


Figura 3.4: Resultados de simulación variando  $V_{pol}$ : (a) Punto de intersección de tercer orden; (b) Potencia disipada.

- La ecuación (3.20) representa una condición relevante para el ruido en la celda. Sin embargo, debido a que no es una expresión monomial, esta igualdad no puede ser empleada en el PG como una restricción. Para solucionar esto, se genera un modelo monomial de la forma:

$$V_{LO,min} = K_{VLO} W_3^{\beta_1} I_B^{\beta_2} \quad (3.29)$$

y se obtiene que:

$$V_{LO,min} = 0,0612 W_3^{-0,5547} I_B^{0,5547} \quad (3.30)$$

con un error máximo de 2,1 % para  $1mA \leq I_B \leq 5mA$  y  $70\mu m \leq W_3 \leq 600\mu m$ .

- Debido a que los parámetros de los transistores del par conmutado varían con el tiempo, como se muestra para el caso de la transconductancia en la ecuación (3.6). No se considera adecuado modelar mediante monomios ninguno de los parámetros asociados a éstos, ya que el modelo generado sería válido sólo para saturación y en un instante de tiempo. Sin embargo, para el transistor de la etapa de transconductancia se realizan modelos de acuerdo a lo descrito en el capítulo anterior.
- Al igual que en el capítulo anterior, se decide plantear una restricción para el desempeño respecto a linealidad de la celda *LNA-Mixer*, con base en la tensión de polarización de la etapa *LNA* ( $V_{pol}$ ). En la figura 3.4(a) se puede observar que para tensiones de polarización entre  $0,65V \leq V_{pol} \leq 0,74V$ , se garantiza un mejor desempeño respecto a linealidad que con otros valores. Se considera que  $P_{IP3} \geq -3dBm$  es una buena

restricción respecto a este parámetro. De otro lado, en la figura 3.4(b) para estos valores de polarización, el consumo de potencia se encuentra en un rango de valores aceptable  $5mW \leq P_D \leq 15mW$ .

### 3.3.2. Forma estándar

Concluida la formulación matemática, se plantea el programa geométrico necesario para resolver el problema de diseño de la celda *LNA-Mixer* propuesta.

- **Minimizar:**

$$2 + 2\omega^2 C_{gs1}^2 R_s \gamma g_{m1}^{-1} [(C_{add} + C_{gs1})^2 C_{gs1}^{-2} \alpha^{-1} R_s^{-2} (R_s + R_{Lgs} + r_{g1})^2 + 0, 2[(R_s + R_{Lgs} + r_{g1})^2 + \omega^2 L_{gs}^2] R_s^{-2} \alpha \delta \gamma^{-1} + 0, 79(C_{add} + C_{gs1}) C_{gs1}^{-1} R_s^{-2} (R_s + R_{Lgs} + r_{g1})^2 \sqrt{0, 2\delta \gamma^{-1}}] + 2(R_{Lgs} + r_{g1}) R_s^{-1} + 4\pi\omega^2 A_{LO}^{-1} g_{m1}^{-2} R_s^{-1} (C_{add} + C_{gs1})^2 (R_s + R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1})^2 [\gamma I_B + 2, 32r_{g3} K_3^{1/2} I_B^{3/2} + \pi A_{LO} R_L^{-1}]$$

- **Sujeto a:**

$$\alpha g_{tot1} g_{m1}^{-1} = 1$$

$$0, 5\mu_o C_{ox} W_3 L_3^{-1} K_3^{-1} = 1$$

$$I_B V_{dd} P_D^{-1} = 1$$

$$(R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1}) R_s^{-1} \leq 1$$

$$(\omega^{-1} C_t^{-1} + g_{m1} R_{Ls} \omega^{-1} C_t^{-1}) \omega^{-1} L_{gs}^{-1} \leq 1$$

$$(6, 895 \times 10^{-4} W_{(1,3)}^{-1} n^{-1} + 47, 58n^{-1} + 3, 726 \times 10^5 W_{(1,3)} + 2, 740) r_{g(1,3)}^{-1} \leq 1$$

$$0, 5|G_{vmin}| R_L^{-1} g_{m1}^{-1} \pi \omega (C_{add} + C_{gs1}) (R_s + R_{Lgs} + r_{g1} + g_{m1} L_s C_t^{-1}) \leq 1$$

$$(I_B R_L + V_{LO,pol} + 0, 5A_{LO}) (V_{dd} + V_{t3})^{-1} \leq 1$$

$$V_{t1} V_{gs1}^{-1} \leq 1$$

$$0, 0612 I_B^{0,5547} W_3^{-0,5547} V_{LO,min}^{-1} = 1$$

$$V_{LO,pol}^{-1} (V_{LO,min} + 0, 5A_{LO}) \leq 1$$

$$V_{pol,min} V_{pol}^{-1} \leq 1$$

$$V_{pol,max}^{-1} V_{pol} \leq 1$$

$$C_t K_{Ct}^{-1} W_1^{-\beta_{a1}} V_{DS1}^{-\beta_{b1}} = 1$$

$$C_{gs1} K_{Cgs1}^{-1} W_1^{-\theta_{a1}} V_{DS1}^{-\theta_{b1}} = 1$$

$$g_{tot1} K_{gtot1}^{-1} I_B^{-\psi_{a1}} W_1^{-\psi_{b1}} V_{DS1}^{-\psi_{c1}} = 1$$

$$g_{m1} K_{gm1}^{-1} I_B^{-\varphi_{a1}} W_1^{-\varphi_{b1}} V_{DS1}^{-\varphi_{c1}} = 1$$

$$g_{mb1} K_{gm1}^{-1} I_B^{-\rho_{a1}} W_1^{-\rho_{b1}} V_{DS1}^{-\rho_{c1}} = 1$$

$$V_{gs1} K_{Vgs1}^{-1} I_B^{-\phi_{a1}} W_1^{-\phi_{b1}} V_{DS1}^{-\phi_{c1}} = 1$$

$$0, 10277 \times 10^{-3} Q_{Lgs} I_{gs}^{0,017856093} R_{Lgs}^{0,42602151} = 1$$

$$1, 2375 \times 10^{-9} Q_{Ls} L_s^{-0,86734681} R_{Ls}^{0,95511723} = 1$$

$$\begin{aligned}
 P_D P_{Dmax}^{-1} &\leq 1 \\
 I_{Bmin} I_B^{-1} &\leq 1 \\
 V_{DS(1,3)min} V_{DS(1,3)}^{-1} &\leq 1 \\
 W_{(1,3)} W_{(1,3)max}^{-1} &\leq 1 \\
 W_{(1,3)}^{-1} W_{(1,3)min} &\leq 1 \\
 Q_{Ls} Q_{Lsmax}^{-1} &\leq 1 \\
 Q_{Lgs} Q_{Lgsmax}^{-1} &\leq 1 \\
 L_{smin} L_s^{-1} &\leq 1 \\
 L_{gs} L_{gsmax}^{-1} &\leq 1
 \end{aligned}$$

Cuadro 3.1: Especificaciones del PG.

Variable	
$W_{max}$ [ $\mu\text{m}$ ]	550
$W_{min}$ [ $\mu\text{m}$ ]	70
$P_{Dmax}$ [mW]	15
$I_{Dmin}$ [mA]	2
$V_{polmin}$ [V]	0,65
$G_{vmin}$ [dB]	18
$C_{add}$ [fF]	200
$L_{max}$ [nH]	6,5
$L_{min}$ [nH]	0,5

### 3.4. Resultados

Para la solución del programa geométrico se emplea de nuevo *CVX* [28] y posteriormente se verifican los resultados por medio de simulaciones en *EldoRF*. Se genera un *script* cuyo archivo de entrada está formado por las especificaciones de diseño de la celda *LNA-Mixer* (tabla 3.1), éste se encarga de realizar los modelos correspondientes al espacio de diseño, resolver el PG y finalmente exportar los resultados al simulador para la verificación.

En la tabla 3.2 se exponen los diferentes parámetros de desempeño, resultados de simulación. Como se puede observar, la celda *LNA-Mixer* propuesta posee un consumo de potencia bajo, en comparación con los bloques *LNA-Mixer* que necesitan acople de impedancias entre ellos; pero presenta una menor ganancia [2]. El circuito posee un buen desempeño respecto a ruido y ganancia, ya que normalmente una celda de *Gilbert* posee figuras de ruido superiores

Cuadro 3.2: Parámetros de desempeño del bloque *LNA-Mixer* diseñado.

Parámetro	PG	EldoRF	Especificación	Error %
$F_{SSB}$	6,18	7,76	min	25,5
$NF_{SSB}$ [dB]	7,91	8,9	min	*
$P_D$ [mW]	8,83	8,81	$\leq 15$	0,2
$G_v$ [dB]	22,4	22,7	$\geq 15$	*
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	44,8	50	10
$Im\{Z_{in}\}$ [ $\Omega$ ]	0,007	22,7	0	-
$S_{11}$ [dB]	-82,7	-12,5	min	*
$P_{IIP3}$ [dBm]	-	-2,7	$\geq -3$	-

Cuadro 3.3: Variables del circuito diseñado.

Variable	PG	EldoRF	Error %
$W_1$ [ $\mu\text{m}$ ]	480	480	0
$W_2$ [ $\mu\text{m}$ ]	180	180	0
$g_{m1}$ [mS]	36,6	37,9	3,5
$g_{mb1}$ [mS]	9,54	9,77	2,4
$C_{gs1}$ [fF]	432,3	442,3	2,3

Cuadro 3.4: Resultados de los inductores.

Variable	PG	ASITIC	Error %
$L_g$ [nH]	6,49	6,53	0,6
$R_{Lg}$ [ $\Omega$ ]	10,8	12,4	14,8
$L_s$ [nH]	0,5	0,53	6
$R_{Ls}$ [ $\Omega$ ]	1,3	1,5	15,3

a los 10dB y algunas veces llega a presentar atenuaciones ( $G_v < 0\text{dB}$ ) [34]. Por otra parte, si se compara la linealidad obtenida, con el resultado expuesto en [2] ( $P_{IIP3} = -14,4\text{dBm}$ ), se observa una mejora significativa.

Además, en la figura 3.5 se exponen los resultados gráficos de simulación. La figura de ruido se mantiene casi constante entre 500KHz y 1,5MHz, correspondientes a 1MHz de ancho del canal para el estándar *Bluetooth*. Además, para los valores de frecuencia inferiores a los 200KHz, se aprecia como el efecto del ruido *flicker* o  $1/f$  se vuelve significativo. En la figura 3.5(b) se expone la ganancia, la cual es máxima en IF. La figura 3.5(c) representa la estimación del punto de intersección de tercer orden de la celda diseñada. Finalmente, igual al *LNA* diseñado en el capítulo anterior, la entrada de la celda se encuentra desacoplada (figura

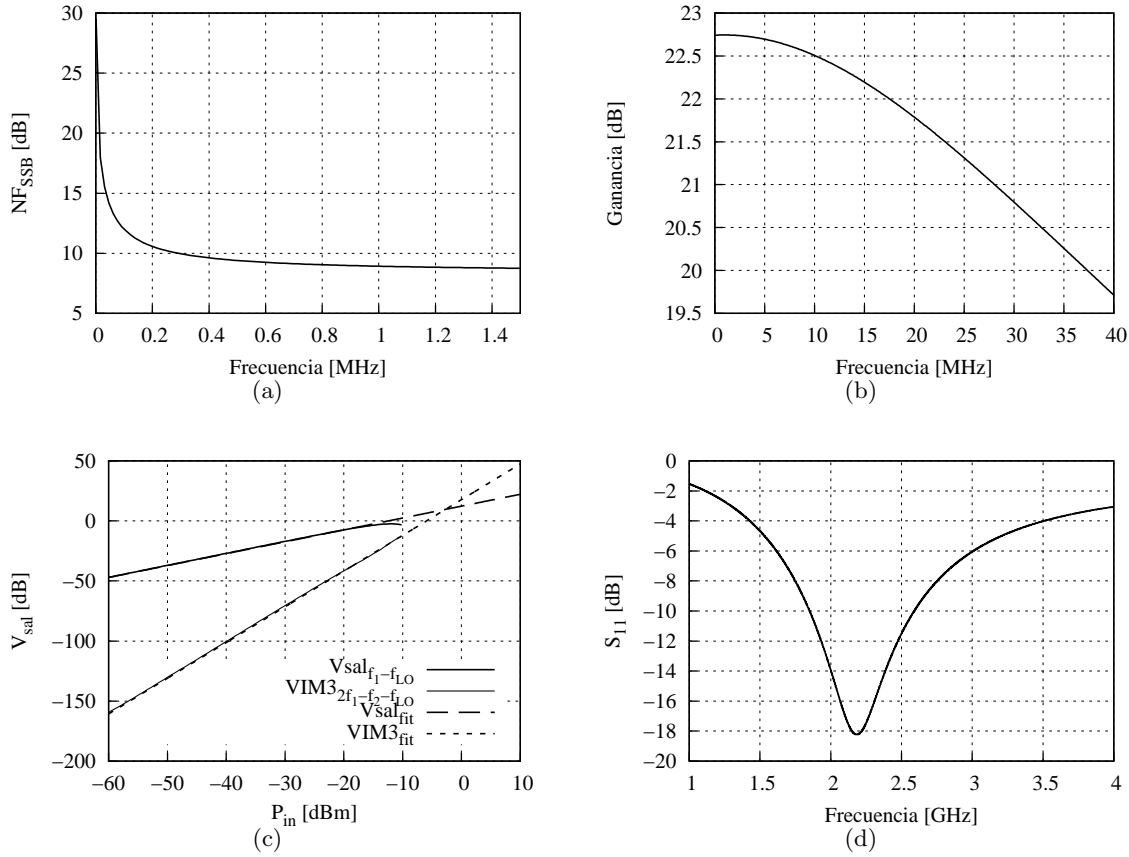


Figura 3.5: Resultados de simulación de la celda *LNA-Mixer*: (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada.

3.5(d)), debido a algunos efectos capacitivos desestimados durante la formulación.

Por último, en las tablas 3.3 y 3.4, exponen los resultados obtenidos para las diferentes variables de diseño.

En conclusión, durante este capítulo se describió el proceso de formulación del programa geométrico para una celda *LNA-Mixer* balanceada con entrada sencilla, empleando los modelos de transistor *BSIM3v3* nivel 53 para radiofrecuencia *MODNRF*, teniendo en cuenta el efecto de los inductores, el acople de impedancias, la linealidad y el efecto del par conmutado sobre la figura de ruido, entre otros parámetros.

## Capítulo 4

# Resultados

En los capítulos anteriores, se expone el proceso de formulación del programa geométrico para resolver el problema de diseño de un *LNA* y una celda *LNA-Mixer*, empleando algoritmos para optimización de variables. Comúnmente, durante la formulación se considera que algunos efectos no influyen y son obviados en las expresiones matemáticas. Sin embargo, la suma de algunos de esos efectos, bajo las condiciones adecuadas, puede llegar a ser considerable y modificar los resultados finales. Por otro lado, el uso de la programación geométrica restringe la formulación a un tipo de funciones matemáticas específicas, lo cual obliga a hacer algunas consideraciones que a la larga pueden introducir errores. Como consecuencia, en este capítulo se plantean algunas soluciones a nivel de circuito, con el fin de reducir los errores introducidos durante la formulación del programa geométrico. Se elabora el *layout* para ambos bloques, y posteriormente se describen algunas conclusiones y recomendaciones para trabajos futuros.

### 4.1. Resultados del *LNA*

Como se expone en el capítulo 2, el efecto de las capacitancias  $C_{gd1}$  y  $C_{gb1}$  sumado a la transconductancia  $g_{mb1}$ , generan desacople a la entrada, haciendo que la parte reactiva deje de ser nula. Para mitigar este efecto, se plantean dos soluciones que no influyen considerablemente en los demás parámetros de desempeño del circuito. La primera solución es implementar el capacitor  $C_1$ , no sólo como un capacitor de desacople *AC-DC*, sino también como un capacitor de acople de entrada, que puede implementarse *onchip* u *offchip*. La segunda propuesta consiste en ajustar los inductores  $L_g$  y  $L_s$ , evitando incluir nuevos elementos de circuito.

Para verificar las soluciones propuestas, se diseñan mediante programación geométrica cuatro *LNAs*, cumpliendo con las especificaciones planteadas en la tabla 4.1. Tres de ellos (PG1, PG2 y PG3) con el fin de estudiar el efecto del capacitor  $C_{add}$ , y el último (PG4) para observar el efecto de  $L_g$  sobre la figura de ruido y concluir sobre la implementación de

Cuadro 4.1: Especificaciones del PG.

Variable	PG1	PG2	PG3	PG4
$W_{max}$ [ $\mu\text{m}$ ]	550	550	550	200
$W_{min}$ [ $\mu\text{m}$ ]	70	70	70	50
$P_{Dmax}$ [mW]	10	10	10	9
$I_{Dmin}$ [mA]	2,12	2,12	2,12	2,12
$V_{polmin}$ [V]	0,65	0,65	0,65	0,65
$G_{vmin}$ [dB]	15	15	15	20
$C_{add}$ [fF]	180	250	300	200
$L_{max}$ [nH]	6,5	6,5	6,5	15
$L_{min}$ [nH]	0,5	0,5	0,5	0,6

Cuadro 4.2: Parámetros de desempeño.

Parámetro	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF	PG4*	EldoRF*
F	2,17	2,67	2,17	2,44	2,13	2,4	1,7	1,4
NF [dB]	3,37	4,26	3,37	3,87	3,29	3,77	2,32	1,46
$P_D$ [mW]	8,42	8,43	9,88	9,88	10	10	8,33	8,32
$G_v$ [dB]	22,5	23,1	22,6	24,3	23	24,9	24	27,7
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	52,6	50,3	49,3	49,8	50,2	52,15	46,6
$Im\{Z_{in}\}$ [ $\Omega$ ]	-1,14	-0,77	-0,88	-1,1	-1,1	-0,81	-11,18	-1,78
$S_{11}$ [dB]	-38,52	-31,7	-40,714	-37,5	-39,2	-53,9	-19,1	-28
$P_{IIP3}$ [dBm]	$\geq 0$	2,19	$\geq 0$	2	$\geq 0$	1,25	$\geq 0$	-1,873

\*  $L_g$  offchip

inductores en tecnologías *CMOS*.

#### 4.1.1. Implementación de un capacitor para acople de impedancias

Teniendo los resultados del PG, se realizan diferentes simulaciones ajustando el valor de  $C_1$ , con el fin de mejorar el acople en la entrada del *LNA*. En la tabla 4.2 se exponen los diferentes resultados obtenidos para los valores de  $C_1$  de la tabla 4.3. Como se puede observar, el coeficiente de reflexión a la entrada mejora considerablemente a comparación con el resultado obtenido en la tabla 2.6, sin modificar los demás parámetros de desempeño. Por otro lado, la inclusión del capacitor  $C_{add}$  permite reducir el tamaño del transistor al tiempo que se mejora la figura de ruido, sin afectar considerablemente el consumo de potencia y la linealidad.

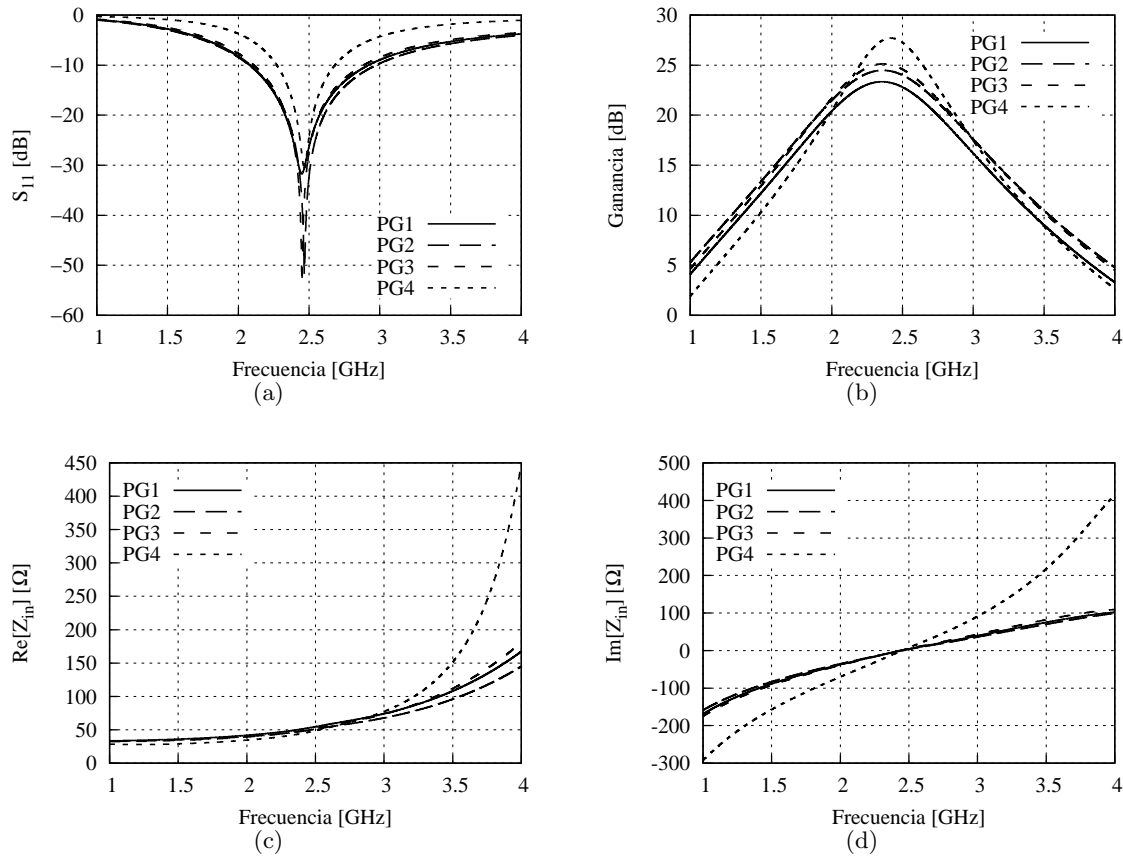


Figura 4.1: Resultados de simulación del LNA ajustando  $C_1$  para acople de impedancias: (a) Coeficiente de reflexión en la entrada; (b) Ganancia de tensión; (c) Parte real de  $Z_{in}$ ; (d) Parte imaginaria de  $Z_{in}$ .

En la figura 4.1, se describen gráficamente algunos resultados de simulación con el fin de exponer las mejoras alcanzadas. En la figura 4.1(a) se observa que el mínimo valor de  $S_{11}$ , en todos los casos, se encuentra muy cercano o en la frecuencia de interés, de igual forma que el máximo valor de la ganancia representada en la figura 4.1(b). Indicando que tanto la entrada como la salida, se encuentran en resonancia para estos valores de frecuencia. Además, si se observan las figuras 4.1(c) y 4.1(d), se puede apreciar el cambio en la impedancia de entrada generado por la manipulación de  $C_1$ . La parte resistiva de  $Z_{in}$  se mantiene próxima a los 50 $\Omega$ , mientras la parte reactiva tiende a ser nula, como se esperaba inicialmente al formular las expresiones (2.2) y (2.3).

En las tablas 4.3 y 4.4, se muestran los valores para las variables de diseño resultado del programa geométrico y simulaciones, empleando diferentes valores para el capacitor  $C_{add}$  y modificando  $C_1$  para mejorar el acople en la entrada. Se observa que los valores entre el optimizador y el simulador coinciden. Además, entre mayor sea el valor del capacitor  $C_{add}$ ,

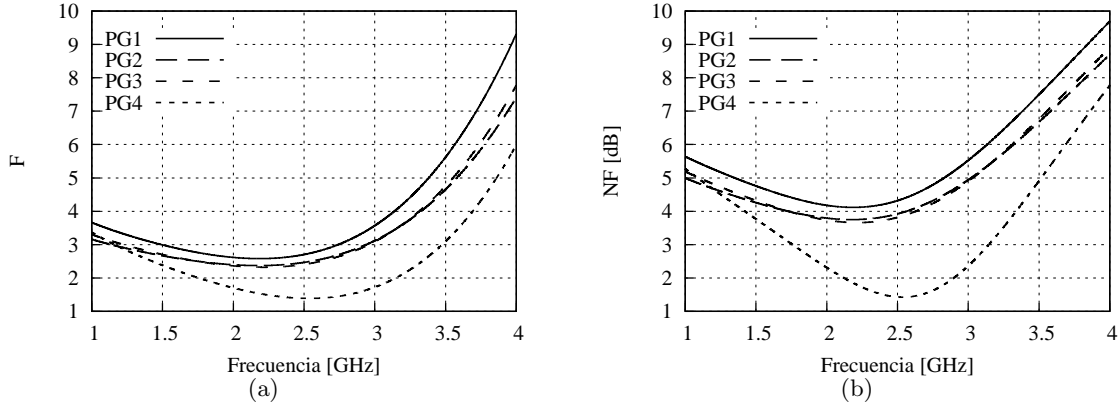


Figura 4.2: Parámetros de ruido: (a) Factor de ruido; (b) Figura de ruido.

Cuadro 4.3: Variables de diseño del *LNA*.

Variable	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF	PG4	EldoRF
$C_1$ [pF]	–	1,8	–	2,2	–	2,1	–	2,2
$W_1$ [ $\mu\text{m}$ ]	540	540	491	480	350	360	163	160
$W_2$ [ $\mu\text{m}$ ]	70	70	70	70	70	70	50	50
$g_{m1}$ [mS]	39,8	39,4	41,1	41,2	35	36	19,39	20,7
$g_{mb1}$ [mS]	10	10	10,4	10,4	8,77	9,1	4,81	5,2
$C_{gs1}$ [fF]	491,8	488	449,9	440,3	324,7	333,5	150,9	149,8
$g_{m2}$ [mS]	10,7	11,1	11,37	11,5	11,3	11,6	7,9	8,62
$C_{gs2}$ [fF]	66	65,11	66,33	65,12	66,4	65,12	47,4	46,51

Cuadro 4.4: Resultados de los inductores.

Variable	PG1	ASITIC	PG2	ASITIC	PG3	ASITIC	PG4	ASITIC
$L_g$ [nH]	6	6,1	5,79	5,75	6,5	6,5	11	11
$R_{Lg}$ [ $\Omega$ ]	10,8	12,46	10,8	12,36	10,75	12,39	0	0
$L_s$ [nH]	0,5	0,53	0,5	0,53	0,5	0,53	0,67	0,74
$R_{Ls}$ [ $\Omega$ ]	1,3	1,5	1,3	1,5	1,3	1,5	1,7	1,79

cumplir con la impedancia de entrada (ecuaciones (2.2) y (2.3)) requiere de un valor más pequeño de  $C_{gs1}$ , que se traduce en un menor ancho del transistor  $M_1$  ( $W_1$ ). A su vez en la ecuación (2.20), si  $C_{gs1}$  se hace menor el ruido también. Por otra parte, la implementación del inductor  $L_g$  externamente, mejora considerablemente el desempeño respecto a ruido del *LNA* (figura 4.2). En la figura 4.2(a), se observa una diferencia de aproximadamente 1 en el factor de ruido empleando inductores *onchip* y el resultado empleando  $L_g$  *offchip*. De igual manera, en la figura 4.2(b) se expone esta diferencia en decibelios. Por consiguiente, la implementación de

Cuadro 4.5: Variables del circuito diseñado.

Variable	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF	PG4	EldoRF
$W_1$ [ $\mu\text{m}$ ]	540	540	491	480	350	360	163	160
$W_2$ [ $\mu\text{m}$ ]	70	70	70	70	70	70	50	50
$g_{m1}$ [mS]	39,8	39,1	41,1	40,9	35	36	19,39	20,6
$g_{mb1}$ [mS]	10	9,9	10,4	10,3	8,77	9,1	4,81	5,2
$C_{gs1}$ [fF]	491,8	487,6	449,9	440	324,7	333,4	150,9	150
$g_{m2}$ [mS]	10,7	11	11,37	11,5	11,3	11,6	7,9	8,59
$C_{gs2}$ [fF]	66	65,1	66,33	65,1	66,4	65,1	47,4	46,5

Cuadro 4.6: Resultados de los inductores.

Variable	PG1	ASITIC	PG2	ASITIC	PG3	ASITIC	PG4*	ASITIC
$L_g$ [nH]	6	4,6	5,79	4,5	6,5	5,1	11	9,8
$R_{Lg}$ [ $\Omega$ ]	10,8	9,3	10,8	10,4	10,75	10,2	0	0
$L_s$ [nH]	0,5	0,74	0,5	0,73	0,5	0,73	0,67	0,89
$R_{Ls}$ [ $\Omega$ ]	1,3	1,8	1,3	1,8	1,3	1,8	1,7	2,35

inductores *CMOS*, puede afectar directamente el desempeño del sistema, debido a que algunos procesos de fabricación ofrecen factores de calidad bajos para estos dispositivos.

Una vez expuesta la implementación de un capacitor para el acople de impedancias, el problema de los inductores en tecnologías *CMOS* y los beneficios de implementar el capacitor  $C_{add}$ . A continuación se expone brevemente la segunda técnica propuesta y se muestran algunos resultados.

#### 4.1.2. Acople de impedancias mediante ajustes en los inductores

Retomando la ecuaciones (2.2) y (2.3), se observa que la impedancia de entrada depende principalmente de los inductores  $L_g$ ,  $L_s$  y el ancho del transistor  $M_1$  ( $W_1$ ). Entonces, si  $L_g \gg L_s$ , la parte reactiva de  $Z_{in}$  puede modificarse ajustando los valores de  $L_g$  y/o  $W_1$ . Con el fin de modificar en menor medida el desempeño del circuito obtenido mediante programación geométrica, no se considera prudente modificar el ancho del transistor y por ello se propone ajustar el valor del inductor en la puerta. Si se reduce el valor de este inductor, se puede cumplir con la ecuación (2.3) y obtener una entrada en resonancia, siempre y cuando se siga cumpliendo con (2.2). Sin embargo, la parte real de  $Z_{in}$  también disminuye con  $L_g$  y se hace necesario ajustar  $L_s$  a un valor mayor para compensar este efecto.

En las tabla 4.5 se exponen las diferentes variables de diseño, resultado de ajustar el valor

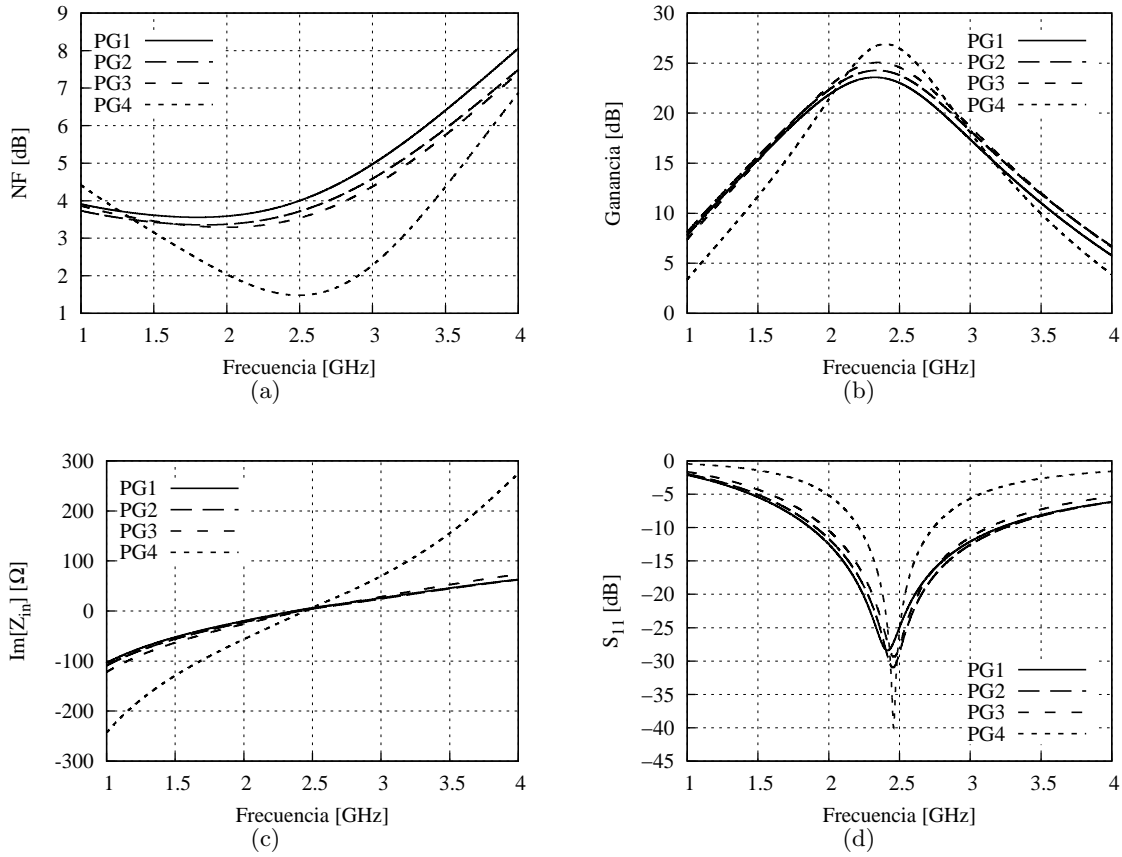


Figura 4.3: Resultados de simulación del *LNA* ajustando el valor de los inductores para acople de impedancias: (a) Figura de ruido; (b) Ganancia de tensión; (c) Magnitud de  $Z_{in}$ ; (d) Coeficiente de reflexión en la entrada.

Cuadro 4.7: Parámetros de desempeño del *LNA* diseñado.

Parámetro	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF	PG4*	EldoRF*
F	2,17	2,48	2,17	2,32	2,13	2,23	1,7	1,41
NF [dB]	3,37	3,94	3,37	3,66	3,29	3,49	2,32	1,49
$P_D$ [mW]	8,42	8,32	9,88	9,73	10	9,9	8,33	8,22
$G_v$ [dB]	22,5	23,3	22,46	24	23	24,8	24,5	26,8
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	47,2	50,3	47,4	49,8	46,7	52,15	48,8
$Im\{Z_{in}\}$ [ $\Omega$ ]	-1,14	2,97	-0,88	0,85	-1,1	0,59	-11,18	-0,76
$S_{11}$ [dB]	-38,52	-27,58	-40,714	-31	-39,2	-29,2	-19,1	-36,7
$P_{IIP3}$ [dBm]	$\geq 0$	2,51	$\geq 0$	2,56	$\geq 0$	1,74	–	-1,2

\*  $L_g$  offchip

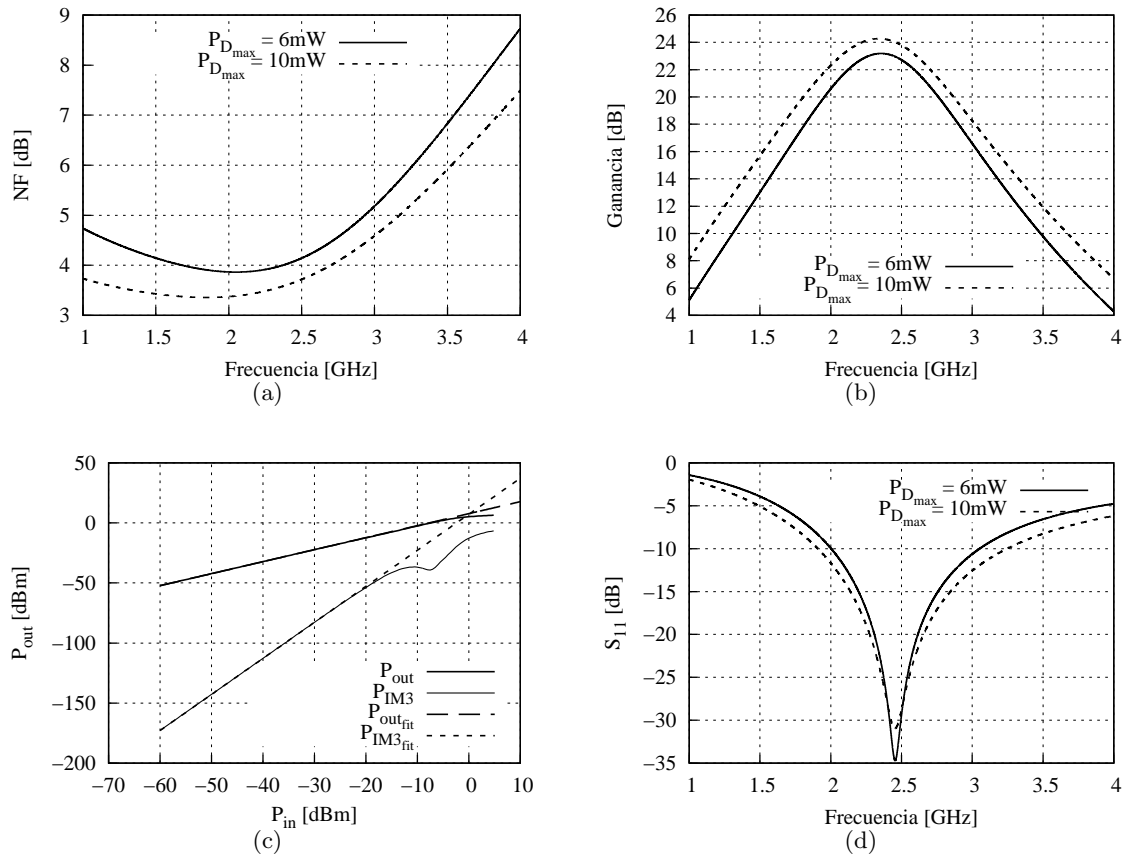


Figura 4.4: Parámetros de desempeño del LNA resultado de la prueba de mínima potencia: (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada.

en los inductores (tabla 4.6) para el acople de impedancias en la entrada.<sup>1</sup> De igual manera, en la tabla 4.7 se exponen los diferentes parámetros de desempeño, que si se comparan con los relacionados en la tabla 4.3, se destacan mejoras en la figura de ruido y la linealidad. Finalmente, en la figura 4.3 se pueden observar algunos resultados de simulación obtenidos.

### 4.1.3. Prueba de mínima potencia

Como consecuencia de adoptar la figura de ruido como función objetivo en el programa geométrico, el consumo de potencia puede no ser el óptimo. Por ello, se plantea una prueba limitando el valor de potencia máxima en el PG hasta el límite de convergencia del mismo. La prueba se realiza empleando  $C_{add} = 250 fF$ , los resultados finales se exponen en la tabla 4.8 y algunos resultados de simulación, se describen gráficamente en la figura 4.4.

<sup>1</sup>Los inductores se ajustan de acuerdo a los valores disponibles en la base de datos generada.

Cuadro 4.8: Algunos resultados del *LNA* diseñado.

Parámetro	PG	EldoRF	Especificación
F	2,18	2,56	min
NF [dB]	3,38	4,08	min
$P_D$ [mW]	6	5,84	$\leq 6$
$G_v$ [dB]	21	23	$\geq 15$
$S_{11}$ [dB]	-21	-34,6	min
$P_{IIP3}$ [dBm]	-	0,3	-
$W_1$ [ $\mu\text{m}$ ]	360	360	$\leq 500$
$W_2$ [ $\mu\text{m}$ ]	70	70	$\geq 70$
$L_g$ [nH]	6,5	5,48	$\leq 6,5$
$L_s$ [nH]	0,5	0,81	$\geq 0,5$

Como se observa en la tabla 4.8, se alcanza un consumo de potencia mínimo de 5,84mW, lo cual es aproximadamente la mitad del consumo reportado en la tabla 4.7, para el mismo *LNA*, pero con una restricción  $P_{Dmax}=10\text{mW}$ . Por otra parte, la mejora en el consumo de potencia trae consigo una penalización en figura de ruido, la linealidad y la ganancia. Sin embargo, el deterioro en estos parámetros no es muy significativo, si se considera que el consumo de corriente se redujo casi a la mitad.

## 4.2. Resultados de la celda *LNA-Mixer*

Igual que el *LNA* diseñado, la celda *LNA-Mixer* necesita de un pequeño ajuste para poder acoplar las impedancias en la entrada del sistema. Para este caso, retomando el diseño circuito obtenido en el capítulo 3 (PG1), se ajusta el valor de los inductores según lo descrito durante el análisis de resultados para el *LNA*, ya que se considera una mejor técnica en comparación con la manipulación del capacitor  $C_1$ . Además se realiza la prueba de mínima potencia (PG2) y se muestran algunos resultados considerando  $L_g$  externo (PG3).

En la tabla 4.9, se muestran los resultados para las tres celdas consideradas. Se puede observar que el valor de la figura de ruido entre simulación y el programa geométrico, continua con una diferencia de aproximadamente 1dB, producto de las pérdidas a substrato del inductor que no fueron consideradas durante la formulación. Por otra parte, el consumo de potencia y la linealidad presentan mejoras en comparación a [2], Sin embargo, la ganancia es menor porque el mezclador de señal activo, en un sistema *LNA-Mixer* acoplado adecuadamente, aporta ganancia (en la mayoría de los casos).

En la figura 4.5, se exponen algunos resultados de simulación. En las figuras 4.5(a) y 4.5(b),

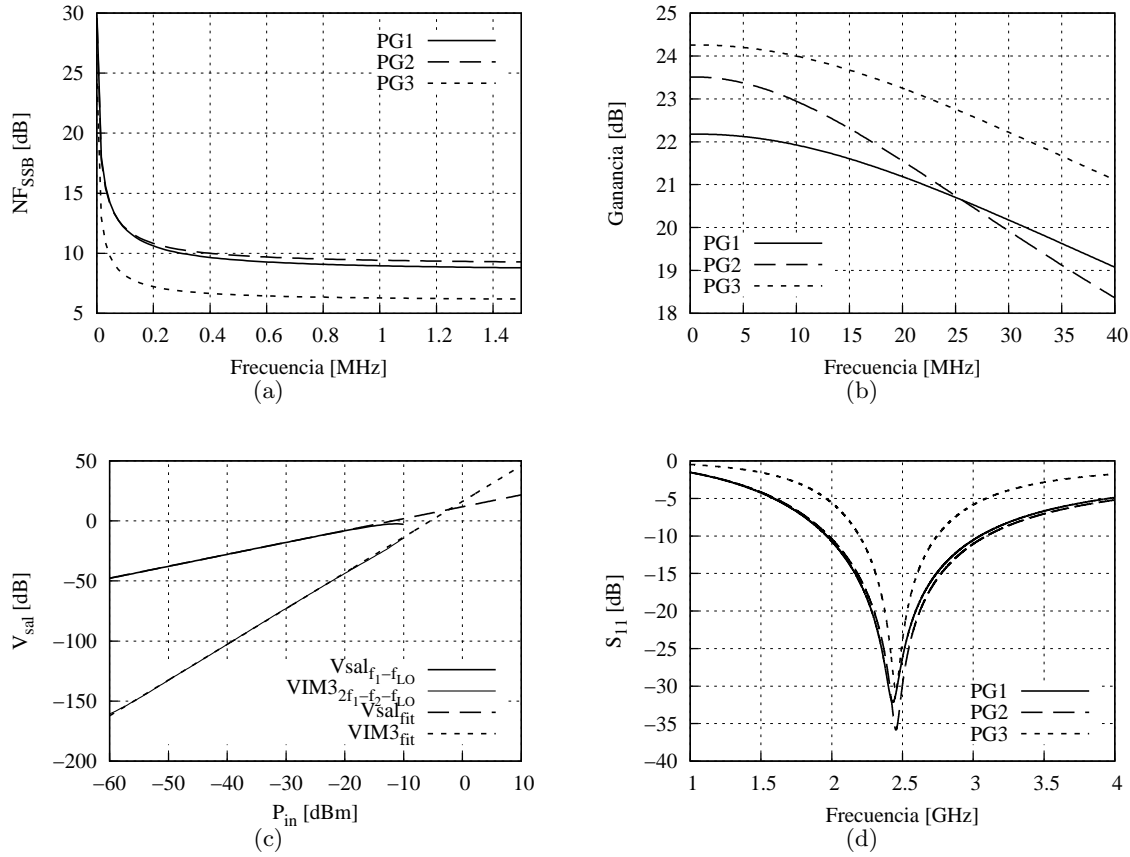


Figura 4.5: Resultados finales de simulación de la celda *LNA-Mixer*: (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada.

Cuadro 4.9: Parámetros de desempeño del bloque *LNA-Mixer* diseñado.

Parámetro	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF
$F_{SSB}$	6,18	7,87	6,43	8,75	4,97	4,25
$NF_{SSB}$ [dB]	7,91	8,96	8,08	9,42	6,96	6,28
$P_D$ [mW]	8,83	8,58	6	5,8	6,6	6,42
$G_v$ [dB]	22,4	22,2	24,4	23,5	23	24,25
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	47,8	44,1	48,2	40	46,7
$Im\{Z_{in}\}$ [ $\Omega$ ]	0,007	1,95	0,05	0,44	0,18	0,5
$S_{11}$ [dB]	-82,7	-31,3	-24	-35,7	-19,1	-30,43
$P_{IIP3}$ [dBm]	$\geq -3$	-2,25	-	-3,03	-	-5,1

al igual que para el *LNA*, demuestra que se puede obtener un mejor desempeño respecto a ruido y mayor ganancia, si los inductores poseen factores de calidad altos. La figura 4.5(c), muestra la medición del punto de intersección de tercer orden para el caso PG1. Además, en

Cuadro 4.10: Variables del circuito diseñado.

Variable	PG1	EldoRF	PG2	EldoRF	PG3	EldoRF
$W_1$ [ $\mu\text{m}$ ]	480	480	480	480	220	220
$W_2$ [ $\mu\text{m}$ ]	180	180	180	180	180	180
$g_{m1}$ [mS]	36,6	37,35	28,9	29,1	21,96	22,21
$g_{mb1}$ [mS]	9,54	9,62	7,5	7,52	5,66	5,66
$C_{gs1}$ [fF]	432,3	441,7	426,9	431,8	207	205

Cuadro 4.11: Resultados de los inductores.

Variable	PG1	ASITIC	PG2	ASITIC	PG3	ASITIC
$L_g$ [nH]	6,49	5,52	6,49	5,43	10	9,27
$R_{Lg}$ [ $\Omega$ ]	10,8	11,75	10,8	11,46	0	0
$L_s$ [nH]	0,5	0,83	0,5	1,02	0,5	1
$R_{Ls}$ [ $\Omega$ ]	1,3	2,1	1,3	3	1,3	2,6

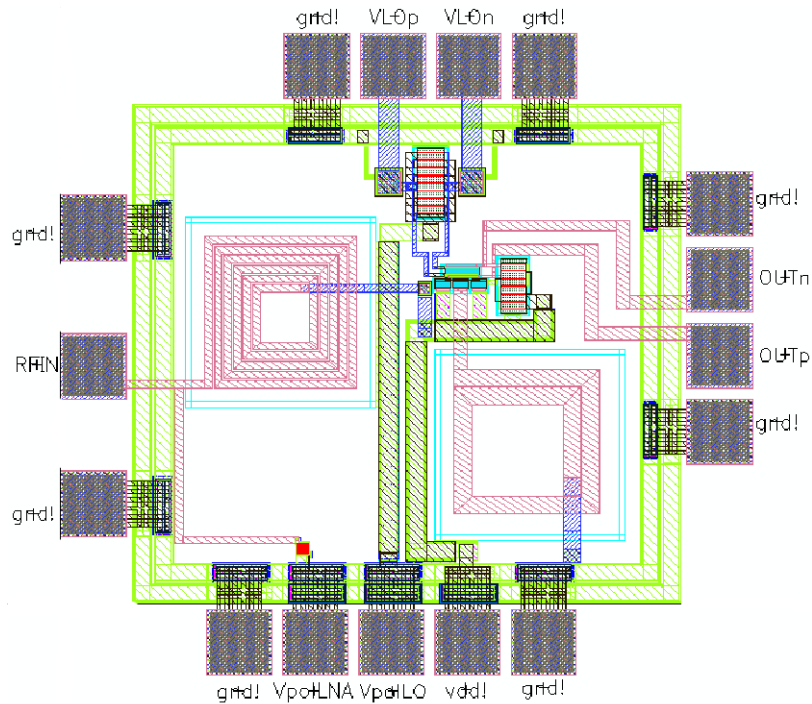
la figura 4.5(d), se corrobora el correcto acople de impedancias en la entrada para las tres pruebas realizadas. Por último, en las tablas 4.10 y 4.11 se encuentran los resultados para las diferentes variables de diseño.

#### 4.2.1. Simulaciones *post-layout*

A continuación se expone el *layout* final de la celda *LNA-Mixer* y algunos resultados de simulaciones *post-layout*, con el fin de validar los resultados del programa geométrico. En la figura 4.6, se muestra el *layout* diseñado para la celda *LNA-Mixer*, teniendo en cuenta las consideraciones expuestas en [2]. Además de tener en cuenta estas consideraciones, se hizo un blindaje de  $V_{dd}$  y  $V_{LO,pol}$ , y un túnel conectado a tierra a través del cual pasan estas señales, evitando que la señal de oscilador y ruido se acoplen a otras partes del circuito. Las pistas fueron diseñadas teniendo en cuenta las corrientes máximas y promedio que pasan por ellas. Finalmente, en todas las partes diferenciales se diseñó teniendo en cuenta la simetría.

El circuito ocupa un área de  $930\mu\text{m} \times 1\text{mm}$  incluyendo los *pads*, que junto con los inductores ocupan la mayor parte. En el diseño, se utilizaron cuatro niveles de metal para realizar interconexiones y generar los inductores, que normalmente se implementan en el metal más externo (para el proceso usado, METAL 4). Además, el *layout* cumple con las reglas de diseño vigentes para el proceso de fabricación 0,35 $\mu\text{m}$  CMOS C35B4C3 de AMS.

En la tabla 4.12, se exponen los resultados finales después de la extracción y simulación del *layout*; además se presentan los resultados del programa geométrico y simulaciones *prelayout*. La figura de ruido y la ganancia se van deteriorando a medida que más elementos parásitos

Figura 4.6: *Layout* de la celda *LNA-Mixer*.Cuadro 4.12: Resultados finales de desempeño para el bloque *LNA-Mixer* diseñado.

Parámetro	PG1	Prelayout	Poslayout
$F_{SSB}$	6,18	7,87	9,2
$NF_{SSB}$ [dB]	7,91	8,96	9,64
$P_D$ [mW]	8,83	8,58	8,67
$G_v$ [dB]	22,4	22,2	21,5
$Re\{Z_{in}\}$ [ $\Omega$ ]	50	47,8	46,9
$Im\{Z_{in}\}$ [ $\Omega$ ]	0,007	1,95	2
$S_{11}$ [dB]	-82,7	-31,3	-28,7
$P_{IIP3}$ [dBm]	$\geq -3$	-2,25	-2,06

de circuito son considerados. Para el caso de las simulaciones *prelayout*, el deterioro respecto a los resultados del PG, se atribuyó a las pérdidas a sustrato de los inductores, en especial  $L_g$ . Por otro lado, para las simulaciones *poslayout*, se atribuye a los capacitores asociados a los *pads* y la capacitancia a sustrato producida por  $C_{add}$  (aproximadamente  $\frac{C_{add}}{5}$ ).

En la figura 4.7 se describen gráficamente algunos resultados de las simulaciones *post-layout*. En las figuras 4.7(a) y 4.7(b) se exponen la figura de ruido y la ganancia de la celda *LNA-Mixer* respectivamente. En la figura 4.7(c), se observa la estimación del punto de inter-

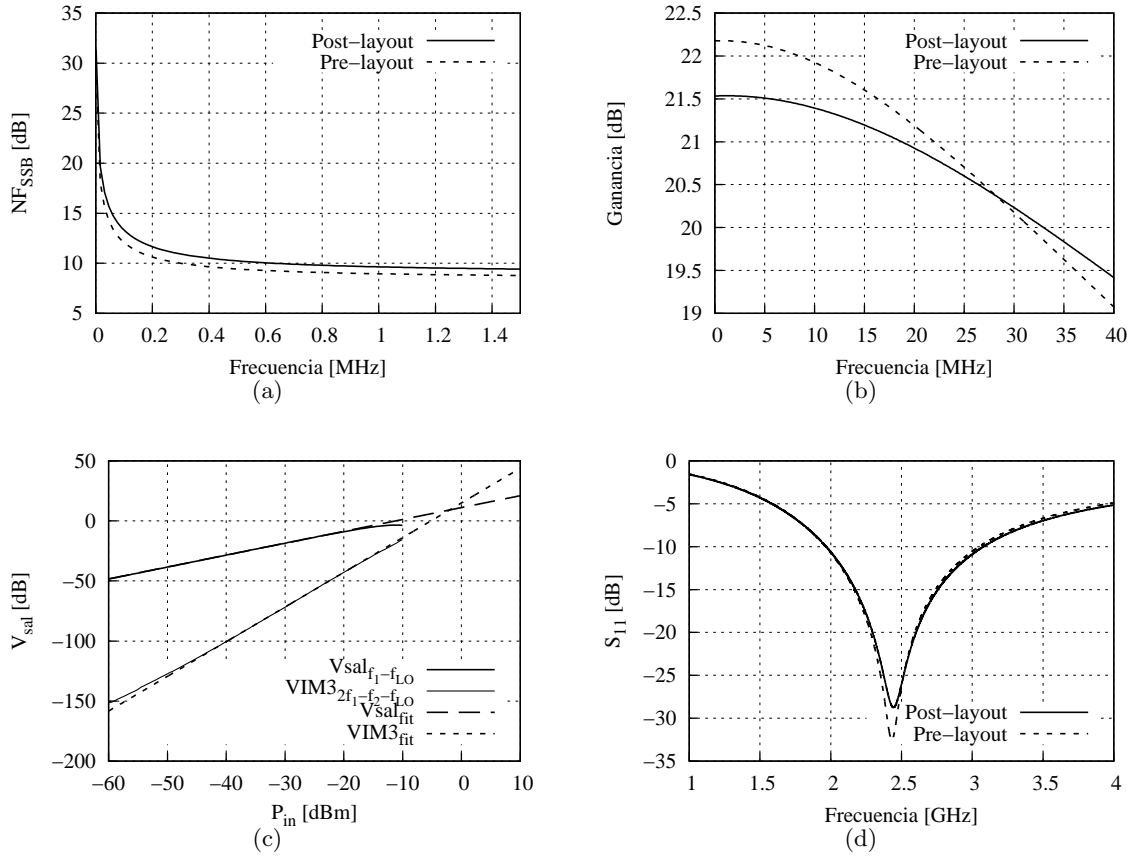


Figura 4.7: Resultados de simulación *post-layout* de la celda *LNA-Mixer*: (a) Figura de ruido; (b) Ganancia de tensión; (c) Linealidad; (d) Coeficiente de reflexión en la entrada.

sección de tercer orden referido a la entrada, cuyo valor no cambió significativamente respecto al resultado *pre-layout* (figura 4.5(c)). Por último, en la figura 4.7(d) se aprecia una pequeña diferencia en el coeficiente de reflexión a la entrada, causado por la capacitancia parásita asociada a  $C_{add}$ .

Para establecer un punto de comparación, en la tabla 4.13 se reportan tres trabajos adicionales. En [16] y [18] se describe al igual que en este trabajo, el *LNA* y el *Mixer* como un único bloque funcional. Por otro lado, en [2] se expone el primer aporte realizado por el grupo CIDIC sobre el diseño de estos bloques.

De los resultados presentados en la tabla 4.13, se deduce lo siguiente: La celda *LNA-Mixer* permite reducir considerablemente el consumo de potencia y el área *onchip* además de mejorar la linealidad, si se compara con los resultados obtenidos de implementar los bloques *LNA* y *mixer* en cascada [2]. Sin embargo, la ganancia es menor y por lo tanto la figura de ruido aumenta. También cabe aclarar que los resultados expuestos en este trabajo y en [2], son resultados de simulación *post-layout* y no resultados de medida sobre el *chip* fabricado.

Cuadro 4.13: Comparación entre el bloque diseñado y algunos trabajos del estado del arte.

Autor	Tecn. [ $\mu\text{m}$ ]	Frec. [GHz]	NF [dB]	$G_v$ [dB]	$P_{IIP3}$ [dBm]	$S_{11}$ [dB]	$V_{DD}$ [V]	$P_D$ [mW]	Área [ $\text{mm}^2$ ]
Este trabajo*	0,35	2,45	9,64	21,5	-2,06	-28,7	3,3	8,67	0,93
[2]*	0,35	2,45	7,9*	27	-14,4	$\leq -14,6$	3,3	15,6	1,2
[16]	0,35	2,1	3,4	23	$> -3$	$\leq -11$	2,7	21,6	1,5
[18]	0,09	0,1-3,85	11,5	20	-	$< -10$	1,2	9,8	0,88

\*Simulación

### 4.3. Automatización del diseño

Como resultado de este trabajo, se genera un *script* para asistir el proceso de diseño de los circuitos expuestos. El funcionamiento de este *script* se describe en la figura 4.8, donde inicialmente se introducen unas especificaciones de diseño, que corresponden a las dimensiones de los transistores, consumo de potencia y la ganancia de tensión entre otros. Posteriormente, se genera el espacio de diseño y se ejecuta el programa geométrico; si este converge, se procede a reducir el espacio de diseño de acuerdo a los resultados obtenidos, con el fin de reducir los errores asociados al modelado. Si el PG no converge, entonces se procede a ampliar el espacio de diseño y generar nuevos modelos cuyo error máximo debe estar por debajo de un error establecido (en este trabajo no se considera conveniente emplear modelos con error máximo superior al 30%). Si el modelo no cumple con el error se considera que el PG no tiene solución.

Si una vez reducido el espacio de diseño y generado nuevos modelos el programa geométrico converge, se considera terminada la fase de diseño mediante programación geométrica y se exportan los datos al simulador (en este trabajo se emplea *Eldo* como herramienta para validar los resultados del PG mediante simulaciones). Durante esta fase se ejecuta otro *script*, cuya función es seleccionar de la base de datos para inductores RF generada, los valores de inductancia y resistencia asociada más cercanos a los resultados obtenidos mediante programación geométrica y anexar el modelo pi al archivo de simulación. No obstante, como se describe al inicio de este capítulo, la impedancia de entrada de los circuitos no va a estar acoplada adecuadamente y por ello se hacen necesarios algunos ajustes sobre los inductores como se resalta en la figura. En este punto, el diseño se considera semi-automatizado, ya que el diseñador interviene y utilizando su criterio selecciona nuevos inductores de la base de datos, con el fin de acoplar adecuadamente la entrada. Una vez obtenidos los resultados finales el diseñador puede proceder a elaborar el *layout*.

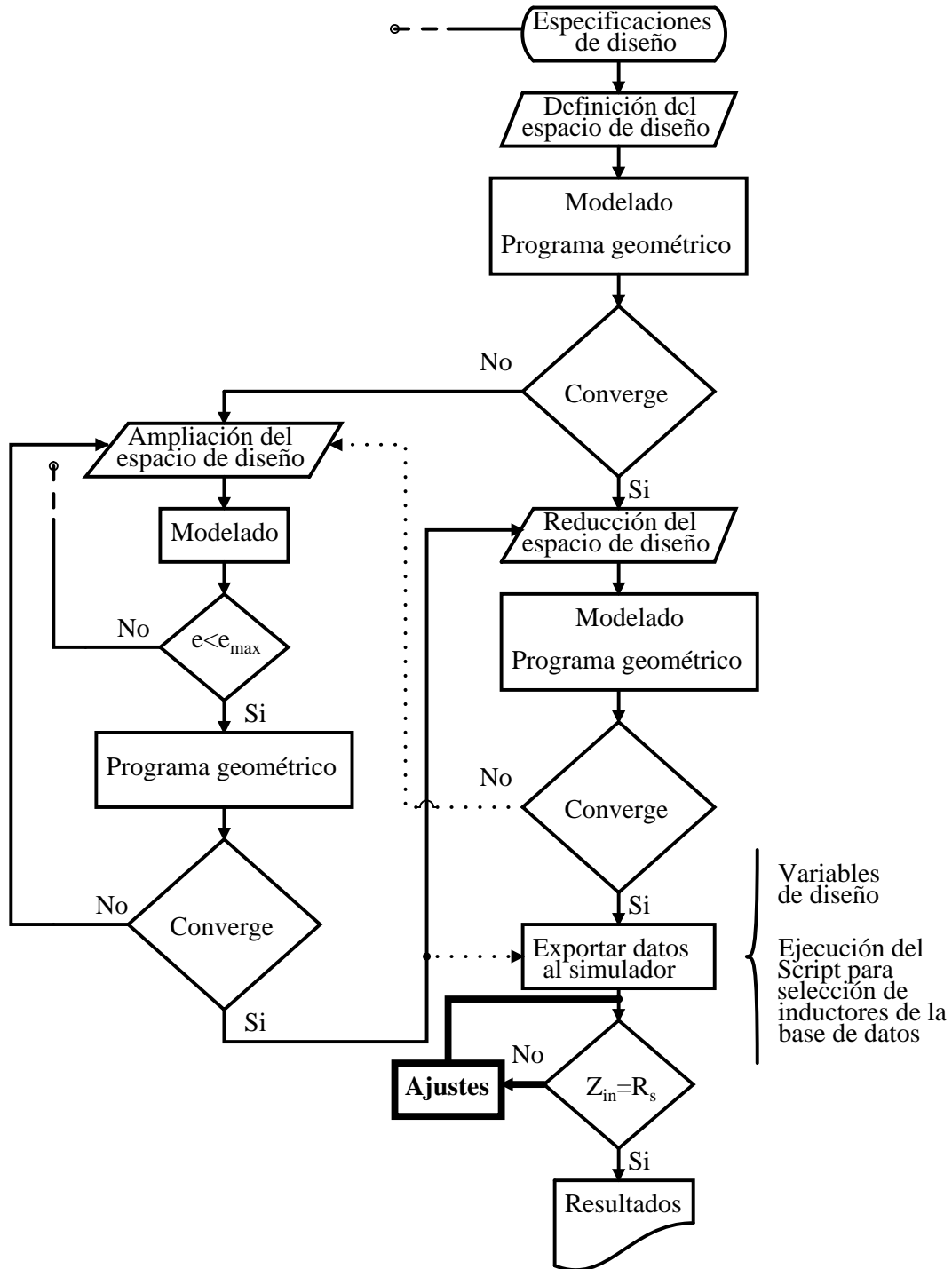


Figura 4.8: Funcionamiento del *Script* desarrollado.

## 4.4. Observaciones y conclusiones

Aplicar programación geométrica en el diseño de un *LNA* y un *Mixer* brinda un excelente punto de partida, permitiendo al diseñador cumplir con unas determinadas especificaciones de manera fácil y en corto tiempo. Además permite vislumbrar y analizar los compromisos existentes entre las variables y los parámetros de desempeño del circuito.

Mediante simulaciones se validó para la región de saturación, la expresión para la densidad espectral de potencia, que representa el ruido térmico asociado al canal del transistor. Expresión adjunta en la documentación del modelo *BSIM3v3 MODNRF* nivel 53.

Diseñar un *LNA* y un *Mixer* por separado, trae consigo el problema de acoplarlos cuando se desean implementar en un determinado sistema de recepción, pues un pequeño corrimiento de impedancias puede deteriorar el desempeño completo del sistema. La celda *LNA-Mixer* propuesta presenta un solución adecuada a este problema, además de disminuir el consumo de potencia, mejorar la linealidad, mantener un buen desempeño respecto a ruido y reducir el número de fuentes de polarización, transistores e inductores implementados en el circuito integrado. Sin embargo, se presenta una penalización en la ganancia que el circuito puede entregar, lo cual se puede solucionar implementando arquitecturas de entrada doble o diferencial.

En la actualidad son muy pocos los trabajos reportados en la literatura, que apliquen la programación geométrica como herramienta de diseño para un amplificador de bajo ruido y un mezclador de señal. Por lo tanto, con la formulación rigurosa de una celda que contiene ambos bloques (*LNA* y *Mixer*) realizada en este trabajo, teniendo en cuenta las restricciones de la formulación mediante programación geométrica, se logra un aporte significativo en el área de la automatización de diseño analógico.

Los inductores para radiofrecuencia en tecnologías *CMOS* son una limitante fuerte en las especificaciones que se pueden alcanzar en los circuitos diseñados. Para demostrar esto, se diseñaron cuatro *LNAs* diferentes; tres de ellos con inductores *CMOS* y un cuarto, considerando el inductor  $L_g$  externo, manipulado como inductor ideal durante las simulaciones. Los resultados muestran que implementar inductores del proceso de fabricación empleado, degrada en más de 2dB la figura de ruido.

Finalmente, teniendo en cuenta la tendencia actual de la electrónica de construir varios sistemas dentro de un mismo circuito integrado, reducir el consumo de potencia, mantener o mejorar el desempeño reduciendo costos de diseño y fabricación; en este trabajo se presentó el proceso de diseño aplicando programación geométrica de un *LNA* y una celda *LNA-Mixer*, cumpliendo con las especificaciones para el estándar *Bluetooth 2, 45GHz*. Para satisfacer las especificaciones, sin dejar de lado lo restrictivo de la programación geométrica, se realizó una formulación rigurosa para algunos parámetros de desempeño, se creó una base de inductores

RF *CMOS*, se plantearon algunas restricciones y consideraciones con base en algunos análisis gráficos, y se generó un *script* para asistir el diseño. Posteriormente, fue necesario realizar algunos ajustes en el simulador con el fin de obtener un diseño mejorado, finalmente se diseñó el *layout* del circuito y se verificaron algunos resultados mediante simulaciones *Post-layout*.

#### 4.5. Recomendaciones para trabajos futuros

- El desempeño respecto a linealidad fué abordado de acuerdo a su relación directa con la tensión de polarización y así se plantearon restricciones, sin embargo, se recomienda trabajar en la búsqueda de expresiones matemáticas que puedan ser incluidas en un programa geométrico.
- El proceso de fabricación utilizado en este trabajo, ofrece inductores con factores de calidad bajos para la frecuencia de operación de los circuitos diseñados, degradando significativamente el desempeño de ruido de los mismos. Como consecuencia de esto, se recomienda utilizar procesos de fabricación que ofrezcan factores de calidad mejores para radiofrecuencia.
- Se recomienda incluir en trabajos futuros, las variaciones del proceso de fabricación en el programa geométrico para garantizar robustez en el diseño.
- Durante el diseño del *layout* de la celda *LNA-Mixer*, se debe tener cuidado con algunas capacitancias parásitas que pueden llegar a acoplar el puerto de oscilador local y el puerto de radiofrecuencia, inyectando señales indeseadas en la antena.
- En este trabajo se presentó el diseño de un *LNA* y un *Mixer* como un único bloque funcional, cumpliendo con las especificaciones para el estándar *Bluetooth 2, 45GHz*. Por ello, se recomienda dar un paso adelante en la integración de bloques e incluir el oscilador controlado por voltaje.
- Por último, se sugiere continuar el desarrollo de trabajos en el área de circuitos integrados, encaminados a asistir o automatizar el diseño empleando algoritmos para optimización de variables.

# Bibliografía

- [1] J. Oliveros and D. Cabrera, “Aplicación de la programación geométrica en el diseño de amplificadores operacionales integrados en tecnología CMOS,” Proyecto de pregrado de la Universidad Industrial de Santander, 2006.
- [2] A. Ayala, “Diseño de un amplificador de bajo ruido y un mezclador de señal para radiofrecuencia, integrados en tecnología CMOS,” Proyecto de pregrado de la Universidad Industrial de Santander, 2005.
- [3] E. Roa, “Metodologia de Projeto para Amplificadores de Baixo Ruído en CMOS,” Master’s thesis, Escuela Politécnica de la Universidad de Sao Paulo, Sao Paulo, 2003.
- [4] S. Boyd and L. Vanderberghe, *Introduction to convex optimization with engineering applications*, Std., 1997. [Internet]. Visite: <http://www.stanford.edu/class/ee364b/>
- [5] L. Lu, H. Hsieh, and Y. Wang, “A Compact 2.4/5.2-GHz CMOS Dual-Band Low-Noise Amplifier,” *IEEE Microwave Wireless Compon. Lett.*, vol. 15, no. 10, pp. 685–687, Oct. 2006.
- [6] Y. Wang and M. Khan, “A very low voltage design for different CMOS low-noise amplifier topologies at 5 GHz,” *Circuits and Systems, 2005. 48th Midwest Symposium on*, vol. 1, pp. 643– 646, Aug. 2006.
- [7] T. Kim and B. Kim, “Post-Linearization of Cascode CMOS Low Noise Amplifier Using Folded PMOS IMD Sinker,” *IEEE Microwave Wireless Compon. Lett.*, vol. 16, no. 4, pp. 182–184, Apr. 2006.
- [8] H. Lee, D. S. Ha, and S. S. Choi, “A 3 to 5GHz CMOS UWB LNA with Input Matching Using Miller Effect,” in *Solid-State Circuits Conf. IEEE*, Blacksburg, VA, 2006.
- [9] S. T. Wang, A. M. Niknejad, and R. B. Brodersen, “Design of a Sub-mW 960-MHz UWB CMOS LNA,” *IEEE J. Solid-State Circuits*, vol. 41, no. 11, pp. 2449–2456, Nov. 2006.

- 
- [10] F. Zhang and P. R. Kinget, "Low-Power Programmable Gain CMOS Distributed LNA," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1333–1343, June 2006.
- [11] M. T. Reihä and J. R. Long, "A 1.2 V Reactive-Feedback 3.1-10.6 GHz Low-Noise Amplifier in 0.13  $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1023–1033, May 2007.
- [12] W.-K. So, W.-T. Cheung, Y. Liu, H.-K. Kwan, and N. Wong, "Design and optimization of highly linear CMOS low noise amplifiers via geometric programming," *ASIC, 2007. ASICON '07. 7th International Conference on*, pp. 423–426, Oct. 2007.
- [13] C. Liao and S. Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1-10.6GHz UWB Receivers," *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 329–339, Feb. 2007.
- [14] A. Karanicolas, "A 2.7-V 900-MHz CMOS LNA and Mixer," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939–1944, 1996.
- [15] L. Liu and Z. Wang, "A new high gain low voltage 1.45 GHz CMOS mixer," in *International Symposium on Circuits and Systems. IEEE*, vol. 5, May 2005, pp. 5023–5026.
- [16] H. Sjöland, A. Karimi-Sanjaani, and A. A. Abidi, "A Merged CMOS LNA and Mixer for A WCDMA Receiver," *IEEE J. Solid-State Circuits*, vol. 38, no. 6, pp. 1045–1050, June 2003.
- [17] A. Liscidini, A. Mazzanti, R. Tonietto, L. Vandi, P. Andreani, and R. Castello, "A 5.4mW GPS CMOS Quadrature Front-End Based on a Single-Stage LNA-Mixer-VCO," *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, pp. 1892–1901, Feb. 2006.
- [18] A. Amer, E. Hegazi, and H. F. Ragaie, "A 90-nm Wideband Merged CMOS LNA and Mixer Exploiting Noise Cancellation," *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 323–328, Feb. 2007.
- [19] C.-W. Park and J. Jeong, "Consideration of Linearity in Cascode Low Noise Amplifiers using Double Derivative Superposition Method with a Tuned Inductor," *Microwave Conference, KJMW 2007. Korea-Japan*, pp. 21–24, Nov. 2007.
- [20] V. Aparin and L. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 2, pp. 571–581, Feb. 2005.

- 
- [21] W.-H. Chen, G. Liu, B. Zdravko, and A. M. Niknejad, "A High Linear Broadband CMOS LNA Employing Noise and Distortion Cancellation," *IEEE J. Solid-State Circuits*, vol. 43, no. 5, pp. 1164–1176, May 2008.
- [22] J. Jussila and P. Sivonen, "A 1.2-V Highly Linear Balanced Noise-Cancelling LNA in 0.13  $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 3, pp. 579–587, Mar. 2008.
- [23] R. J. Duffin, E. L. Peterson, and C. Zener, *Geometric Programming - Theory and Applications*. Wiley, 1967.
- [24] S. Boyd, L. Vanderberghe, and A. Hassibi, *A Tutorial on Geometric Programming*, Std., 1997. [Internet]. Visite: [http://www.stanford.edu/~boyd/papers/gp\\_tutorial.html](http://www.stanford.edu/~boyd/papers/gp_tutorial.html)
- [25] S. Boyd and L. Vanderberghe, *Convex Optimization*, Std., 2004. [Internet]. Visite: <http://www.stanford.edu/~boyd/cvxbook/>
- [26] Specialized solvers for linear programming, mixed integer programming and many types of nonlinear convex optimization problems. [Internet]. Visite: <http://www.mosek.com>
- [27] Optimization environment for fast and robust large-scale optimization in matlab. [Internet]. Visite: <http://tomopt.com/tomlab>
- [28] Matlab software for disciplined convex programming. [Internet]. Visite: <http://www.stanford.edu/~boyd/cvx/>
- [29] A matlab toolbox for rapid prototyping of optimization problems. [Internet]. Visite: <http://control.ee.ethz.ch/~joloef/yalmip.php>
- [30] C. Liu and Y. Li. (2005) Ee227a final project. [Internet]. Visite: <http://www.eecs.berkeley.edu/~congliu/coursework/>
- [31] E. Terrovitis, "Analysis and Design of Current-Commutating CMOS Mixers," Ph.D. dissertation, University of California., Berkeley, 2001.
- [32] D. Shaeffer and T. H. Lee, "A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 745–759, 1997.
- [33] Y. Ding and R. Harjani, *High-Linearity CMOS RF Front-End Circuits*. Springer, 2005.
- [34] T. H. Lee, *The Design of CMOS Radio Frequency Integrated Circuits*. Cambridge University Press, 1998.

- [35] P. Andreani and H. Sjöland, “Noise Optimization of an Inductively Degenerated CMOS Low Noise Amplifier,” *IEEE Trans. Circuits Syst. II*, vol. 48, no. 9, pp. 835–841, Sept. 2001.
- [36] A. M. Systems, “0.35  $\mu\text{m}$  CMOS C35 Noise Parameters,” Seven Digit Document: Eng-189, Tech. Rep. 5.0, 2008.
- [37] D. G.-W. Yee, “A Design Methodology for Highly-Integrated Low-Power Receivers for Wireless Communications,” Ph.D. dissertation, University of California, Berkeley, Spring. 2001.
- [38] Asitic: Analysis and simulation of spiral inductors and transformers for ics. [Internet]. Visite: <http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>
- [39] W.-T. Cheung and N. Wong, “Optimized RF CMOS Low Noise Amplifier Design Via Geometric Programming,” *International Symposium on Intelligent Signal Processing and Communications. ISPACS*, pp. 423–426, Dec. 2006.