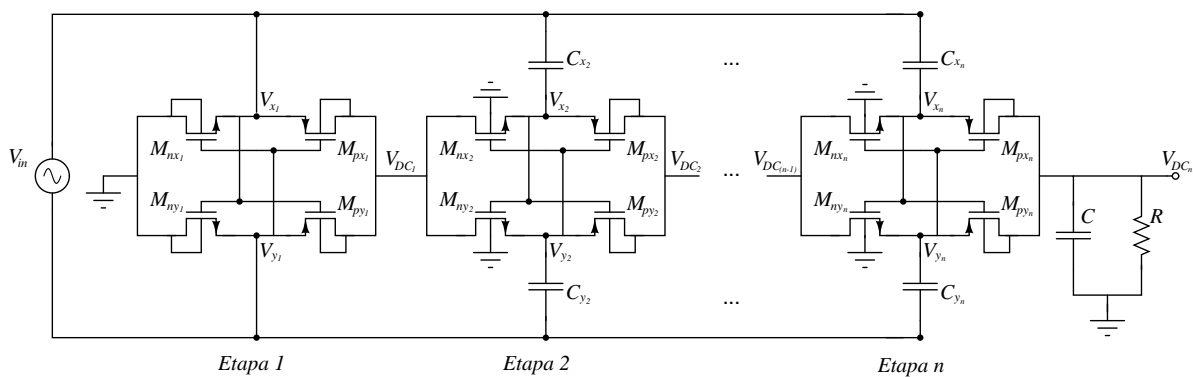


# DISEÑO DE UN RECTIFICADOR PARA RECOLECCIÓN DE POTENCIA DE ONDAS DE RADIOFRECUENCIA EN TECNOLOGÍA CMOS



Sergio Andrés Rueda Gómez

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES  
BUCARAMANGA

2010



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



# **DISEÑO DE UN RECTIFICADOR PARA RECOLECCIÓN DE POTENCIA DE ONDAS DE RADIOFRECUENCIA EN TECNOLOGÍA CMOS**

Sergio Andrés Rueda Gómez

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Élkim Felipe Roa Fuentes

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y  
TELECOMUNICACIONES  
BUCARAMANGA

2010

*“ A mis padres,  
a quienes todo les adeudo.”*

# Agradecimientos

Quiero agradecer a mis queridos padres por el esfuerzo inmenso para permitirme cumplir con esta meta. A Susana por el apoyo incondicional. A *Lili Mesa* por todos los favores desinteresados. A Edinson y Reslen quienes indudablemente son dos grandes amigos. A mis amigos todos, pero en especial a aquellos con quienes compartí las dificultades económicas de la vida estudiantil.

Al profesor Elkim por confiar en mis capacidades y darme la oportunidad de hacer parte de un grupo tan notable. A todos los compañeros del *CIDIC*, pero en especial a quienes participaron en la edición de este documento. También a Lucho, Amaya, Villota, Javier y Jairo por la amistad.

A la UIS por abrir una ventana al mundo, por los excelentes profesores y por la oportunidad de crecer integralmente. Y en general a todos los que aportaron a esta causa, que para mi fortuna fueron muchos.

# Contenido

<b>1. Introducción</b>	<b>15</b>
1.1. Motivación . . . . .	16
1.2. Fuentes de energía en el entorno . . . . .	18
1.2.1. Variaciones de temperatura . . . . .	18
1.2.2. Vibraciones . . . . .	18
1.2.3. Radiación solar . . . . .	19
1.2.4. Ondas de radio frecuencia . . . . .	19
1.2.5. Criterio de selección de la fuente . . . . .	20
1.3. Transmisión remota de energía . . . . .	20
1.3.1. Antena y acople de impedancias . . . . .	21
1.4. El Rectificador . . . . .	23
1.4.1. Especificaciones . . . . .	24
<b>2. Arquitecturas</b>	<b>25</b>
2.1. Doblador de tensión . . . . .	25
2.1.1. Doblador de tensión compensado: . . . . .	27
2.1.2. Doblador de tensión de puertas cruzadas . . . . .	28
2.1.3. Compensación estática . . . . .	29
2.2. Puente rectificador . . . . .	30
2.2.1. Puente rectificador de puertas cruzadas . . . . .	30
2.2.2. Puente rectificador de puertas cruzadas <i>CMOS</i> . . . . .	32
2.3. Selección de la Arquitectura . . . . .	33
<b>3. Modelo</b>	<b>35</b>
3.1. Tensiones de operación . . . . .	35
3.2. Conservación de la Carga . . . . .	37
3.2.1. Modelo de una pareja de transistores n y p . . . . .	38
3.2.2. Región directa $[-t_d, t_d]$ . . . . .	39

3.2.3. Región inversa $[t_d, t_{sb}]$ :	42
3.2.4. Tensión $V_{DC}$	44
3.3. Potencia	45
3.3.1. Región directa $[-t_d, t_d]$	46
3.3.2. Región inversa $[t_d, t_{sb}]$	46
3.3.3. Eficiencia	47
3.4. Rectificador de múltiples etapas	47
3.4.1. Tensión de salida	48
3.4.2. Eficiencia	50
3.5. Capacitancia parásita	51
<b>4. Estrategia de diseño y resultados</b>	<b>55</b>
4.1. Estrategia de Diseño para máxima eficiencia	55
4.2. Tamaño de los capacitores	56
4.3. Resultados	57
4.3.1. <i>Layout y elementos parásitos</i>	59
4.3.2. Análisis <i>montecarlo</i>	59
4.4. Observaciones y conclusiones	60
4.5. Recomendaciones para trabajos futuros	61
<b>Bibliografía</b>	<b>63</b>

# Lista de figuras

1.1. Enlace emisor-receptor . . . . .	20
1.2. Equivalente del receptor. . . . .	22
1.3. Amplitud de la tensión de entrada al rectificador. . . . .	22
2.1. Doblador de tensión. . . . .	26
2.2. Efecto de la tensión de entrada en el doblador. . . . .	26
2.3. Efecto de la compensación. . . . .	27
2.4. Comparación del doblador y el doblador compensado. . . . .	28
2.5. Comparación entre las arquitecturas de <i>Nakamoto</i> y <i>Kotani</i> . . . . .	29
2.6. Puente rectificador. . . . .	30
2.7. Puente rectificador de puertas cruzadas. . . . .	31
2.8. Puente rectificador de puertas cruzadas <i>CMOS</i> . . . . .	32
3.1. Componentes de $V_x$ y $V_y$ . . . . .	36
3.2. Corriente y regiones de conducción. . . . .	37
3.3. Modelo de la pareja de transistores encendidos. . . . .	39
3.4. Modelo triangular para $\Delta Q_i$ . . . . .	43
3.5. Modelo de la tensión de salida $V_{DC}$ . . . . .	45
3.6. Modelo de la eficiencia de la etapa. . . . .	48
3.7. Rectificador de múltiples etapas. . . . .	49
3.8. Simulaciones para comprobar la validez del modelo. . . . .	50
3.9. Eficiencia del rectificador de varias etapas. . . . .	51
3.10. Capacitancias parásitas de un transistor MOS. . . . .	52
3.11. Capacitancias parásitas del rectificador de puertas cruzadas <i>CMOS</i> . . . . .	53
4.1. Eficiencia en función del tamaño de la capacitancia. . . . .	56
4.2. Layout de un rectificador con dos etapas. . . . .	59
4.3. Análisis <i>montecarlo</i> . . . . .	60



# Lista de tablas

4.1. Especificaciones de varios diseños del rectificador. . . . .	57
4.2. Comparación de las especificaciones antes y después del <i>layout</i> . . . . .	59

## RESUMEN

### TÍTULO:

DISEÑO DE UN RECTIFICADOR PARA RECOLECCIÓN DE POTENCIA DE ONDAS DE RADIOFRECUENCIA EN TECNOLOGÍA *CMOS*\*

**AUTOR:**\*\* SERGIO ANDRÉS RUEDA GÓMEZ

**PALABRAS CLAVE:** Ondas electromagnéticas, dispositivos portátiles, acople de impedancias, radiofrecuencia, *CMOS*, *layout*.

**DESCRIPCIÓN:** La energía asociada a las ondas electromagnéticas, puede ser usada como una fuente de alimentación alternativa a la batería en algunos dispositivos portátiles. Esto se logra con un bloque receptor, conformado por una antena, un acople de impedancias y un rectificador, que recibe ondas de una fuente de radiación y las convierte en corriente directa. Son muchas las posibles aplicaciones de este concepto y de ahí que el estudio de los diferentes circuitos involucrados, en especial el del rectificador, sea de gran interés. Por lo tanto, en este proyecto se aborda el diseño del rectificador para recolección de potencia de ondas de radiofrecuencia, en tecnología *CMOS*.

En este documento inicialmente se presentan las condiciones de operación del rectificador y se analizan sus principales especificaciones. Posteriormente, se evalúan las seis arquitecturas más sobresalientes en la literatura y se selecciona la de mejor desempeño, utilizando resultados de simulación como principal criterio de selección.

Para la arquitectura elegida se plantea un modelo de la tensión rectificadora y de la eficiencia del circuito, que resulta del estudio detallado de su operación y que muestra los compromisos entre las variables involucradas en su funcionamiento. Basado en éste, se propone una estrategia de diseño para lograr la más alta eficiencia, partiendo de las condiciones de operación a las que el rectificador está sometido.

Los resultados obtenidos se validan por medio de simulaciones, utilizando el modelo *BSIM3V3* para los transistores y las constantes de fabricación de la tecnología *AMS C35B4C3*. Además, para determinar el impacto de la fabricación sobre el desempeño del rectificador, se realiza una verificación funcional del trazado del circuito, *layout*, y un análisis estadístico con las variaciones de los parámetros del proceso.

---

\*Proyecto de Grado

\*\*Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Élkim Felipe Roa Fuentes.

## SUMMARY

**TITLE:**

DESIGN OF A RADIO FREQUENCY ENERGY HARVESTING RECTIFIER IN CMOS TECHNOLOGY. \*

**AUTHOR:\*\*** SERGIO ANDRÉS RUEDA GÓMEZ

**KEY WORDS:** Electromagnetic waves, portable devices, impedance coupling array, radio frequency, CMOS, layout.

**DESCRIPTION:** The energy associated with electromagnetic waves, can be used as an alternative power source to the battery in some portable devices. This is accomplished with a receptor blocked that consists of an antenna, an impedance coupling array, and a rectifier that receives waves from a radiation source and transforms them into direct current. There are many possible applications of this concept and that is the reason why the study of the different circuits involved, and especially of the rectifier, is of great interest. Therefore, this project addresses the design of the radio frequency energy harvesting rectifier in CMOS technology.

This document initially presents the operating conditions of the rectifier and analyzes its main specifications. Subsequently, the six most outstanding architectures in the literature are reviewed and the one with the best performance is selected, using simulation results as the main selection criteria.

For the chosen architecture, a model of the rectified voltage and efficiency of the circuit is presented, which results from the detailed study of its operation and shows the tradeoffs between the variables involved in its behavior. Supported on this, a design strategy is suggested to achieve the highest efficiency, based on the operating conditions to which the rectifier is subjected.

The results are validated through simulations using the *BSIM3V3* model for the transistors and the manufacturing constants of the *AMS C35B4C3* fabrication technology. In addition to this, a functional verification of the circuit layout, and a statistical analysis with the parameter variations, is performed to determine the impact of the fabrication process on the performance of the rectifier.

---

\*Degree project

\*\*Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director MSc. É-lkim Felipe Roa Fuentes.



# Capítulo 1

## Introducción

La batería como fuente de alimentación ocasiona problemas de costo, tamaño y dependencia de la red eléctrica para los dispositivos portátiles, en especial para aquellos que consumen potencia en el orden de los micro vatios. Este problema puede ser abordado a nivel de diseño al reducir el consumo de potencia, o desde la fuente de alimentación buscando extender su duración. También existen alternativas que intentan prescindir de la batería, entre las cuales sobresale la recolección de energía del medio en el cual está inmerso el dispositivo, cuyas fuentes son muy variadas y entre las cuales se encuentran las ondas de radiofrecuencia.

Para alimentar un circuito por radio frecuencia, se busca sustituir la batería por un receptor que capta ondas electromagnéticas de las transmisiones de televisión, radio y telefonía para convertirlas en corriente directa. Sin embargo, es necesario el uso de una fuente de respaldo para mantener la alimentación cuando la energía de las ondas captadas es insuficiente o la emisión intencional de radiofrecuencia para alimentar el circuito. Cualquiera sea el origen de las ondas, la transmisión de energía por el aire tiene dos grandes limitantes: las pérdidas asociadas al canal y la eficiencia del bloque receptor. El canal constituye un límite físico, mientras la eficiencia del receptor es un problema de diseño, que se puede dividir en tres partes: la antena, el acople de impedancias y el rectificador. Este último transforma la señal captada en tensión  $DC$  apta para alimentar un circuito integrado, y su diseño se orienta a aumentar la eficiencia de conversión de potencia y la máxima distancia emisor-receptor a la que se puede operar, lo que significa mayor energía disponible para alimentar una carga a una cierta distancia de la fuente de radiación.

Con lo expuesto anteriormente y siendo la transmisión remota de energía una posible solución al problema de alimentación de algunas aplicaciones portátiles, en este trabajo se estudian y documentan los compromisos de diseño y las diferentes arquitecturas del rectificador de recolección de potencia, para finalmente diseñar y validar con resultados de simulación uno de estos circuitos para la tecnología de fabricación *AMS C35B4C3* de 0.35  $\mu\text{m}$ .

## 1.1. Motivación

Desde su invención en el año de 1800, la batería ha sido la fuente de alimentación por excelencia para todo tipo de dispositivos portátiles, desde los viejos y grandes radios de tubos de vacío, hasta los modernos y compactos *iPhones*.<sup>\*</sup> La temprana historia de la batería estuvo llena de importantes contribuciones que multiplicaron su capacidad de carga, mientras que en los últimos años su evolución ha sido bastante lenta, convirtiéndola en una gran limitante en términos de costo, tamaño y autonomía para numerosos dispositivos [1]. En especial, para sistemas de bajo consumo relacionados con identificación y sensado, para los cuales representa además, una restricción del campo de aplicación asociada al cambio o recarga de la batería; por ejemplo, es imposible recuperar un sensor inalámbrico de vibraciones inmerso en los cimientos de una edificación, para reemplazar su batería.

Inicialmente este problema fue abordado con estrategias de diseño orientadas a disminuir el consumo potencia y se estandarizó el uso de bloques dedicados a la administración de la misma, que mantienen encendidos los circuitos solo el tiempo necesario para realizar su función. Estos esfuerzos han permitido el surgimiento de novedosas aplicaciones cuyo consumo está en el orden de los  $\mu\text{W}$  y pueden ser alimentadas por largo tiempo con una batería, pero mantienen los problemas asociados a la misma (costo, tamaño y campo de aplicación), despertando así el interés en la búsqueda de fuentes alternativas de alimentación que permitan autonomía total, para lo cual se retoma la antigua idea de obtener energía del entorno. Idealmente esta solución hace a los dispositivos más pequeños, más baratos, prolonga su independencia al eliminar la batería y permite llegar a casi cualquier parte [2]. Existe un gran número de fuentes potenciales de energía en el entorno: gradientes de temperatura, radiación solar, movimiento, emisiones de las líneas de alta tensión, ondas de radio, etc. De igual forma existe un buen número de métodos para su recolección: electrostático, electromagnético, piezoeléctrico, térmico, fotovoltaico y por rectificación de radio frecuencia (RF), tema que se profundizará en la siguiente sección. Éstas fuentes proveen energía en cortos períodos de tiempo, obligando a la existencia de un gran capacitor o una batería de respaldo en los dispositivos recolectores, para almacenar la carga extraída en dichos períodos, o la creación intencional de fuentes que mantengan la alimentación el tiempo suficiente para la operación del circuito [3]. Además, la eficiencia de conversión de potencia o  $PCE^{**}$  de estos sistemas es bastante baja, y aún si fuese del 100 % la cantidad de energía disponible en el ambiente es limitada, reduciendo su utilidad a circuitos de muy bajo consumo. A pesar de los problemas expuestos, el número de posibles aplicaciones para equipos recolectores de energía es enorme, entre ellas: rastreo de ganado en campo abierto, alertas

---

<sup>\*</sup> Celular de gran acogida, creado y comercializado por *Apple Inc.* desde mediados del 2007.

<sup>\*\*</sup> Siglas de *Power Conversion Efficiency*.

tempranas de terremotos, control de deterioro estructural, identificación remota de personas, vehículos y mercancía, control de equipaje en los aeropuertos, control de tráfico, etc. En algunos de estos campos se han logrado significativos avances en investigaciones académicas [2], mientras que otros representan grandes ganancias para empresas que los desarrollan y comercializan [4].

Con un proceso *CMOS* estándar se pueden fabricar circuitos integrados que transforman las ondas de radio en corriente directa, mientras que la integración de cualquiera de las otras formas de extracción de energía del entorno es costosa y complicada o aún se encuentra en desarrollo, pues los circuitos necesitan piezas móviles o nuevos materiales para funcionar, además de grandes áreas en silicio y complicados diseños que aumentan las posibles fallas.

La recolección de energía de ondas RF o *harvesting*<sup>\*</sup> no es una idea nueva. Sus orígenes se remontan a principios del siglo XX cuando Tesla experimentó con la transmisión de electricidad sin cables, sin embargo fue en 1933 cuando se hizo la primera implementación funcional del concepto en un laboratorio de la Westinghouse<sup>\*\*</sup> [5]. Desde entonces han surgido un gran número de proyectos para investigar la naturaleza de los fenómenos involucrados y la viabilidad de proyectos como [6], cuyo objetivo era enviar un satélite al espacio para transformar la energía emitida por el Sol en microondas, enviarla a la Tierra, y convertirla finalmente en electricidad. Con el paso del tiempo la idea perdió fuerza por las limitaciones de eficiencia encontradas, hasta que en la década de 1980 la necesidad de control en la cadena productiva motivó el desarrollo de los identificadores por radiofrecuencia (que cumplen la función del código del barras pero a mayor distancia) y con ellos se retomó la idea de transmitir energía sin cables, pues estos pueden ser alimentados con la onda emitida por el lector de los identificadores.

Existen dos escenarios para el *harvesting* de ondas RF: en el primero de ellos se reciclan señales presentes en el ambiente, producto de las transmisiones comerciales de radio, televisión y telefonía, y en el segundo se emiten ondas exclusivamente para este fin. Cualquiera sea el caso, los bloques básicos necesarios para generar corriente continua son: una antena, un acople de impedancias para garantizar máxima transferencia de potencia y el más importante, un rectificador.

Es muy difícil extraer niveles útiles de potencia de las ondas presentes en el ambiente, ya que se necesita de un amplio ancho de banda de la antena y el acople de impedancias, que obliga a reducir la eficiencia [7]; es por esto que se diseñan circuitos que operen en un estrecho rango de frecuencias, que se emiten intencionalmente. Este último caso no se considera como una forma de *harvesting*, sino como alimentación remota. Sea que se emitan intencionalmente

---

\* Es el nombre en inglés con el que se conoce esta técnica.

\*\* Empresa creada en 1886 por George Westinghouse.

las señales a rectificar o no, el diseño del rectificador se hace siempre de la misma forma.

El rectificador es un dispositivo no lineal que se implementa con diodos o transistores y por tanto presenta una región muerta, esta característica determina el porcentaje de la onda que se puede rectificar (en consecuencia la *PCE*) y la distancia máxima de la fuente de radiación a la cual se puede operar. Estas son las especificaciones de diseño más importantes del rectificador y por tanto es imperativo implementar alguna estrategia para reducir la región muerta, o compensar su efecto, de la cual dependen [8].

## 1.2. Fuentes de energía en el entorno

En esta sección se estudian las ventajas y desventajas de las fuentes de energía más utilizadas para reemplazar la batería y el principio físico que permite su operación. Además se exponen los resultados encontrados en investigaciones previas relacionadas con cada una de ellas.

### 1.2.1. Variaciones de temperatura

En 1821, Thomas Johann Seebeck descubrió que al someter las uniones de un circuito conformado por dos metales a un gradiente de temperatura circula una corriente relacionada linealmente con el mismo. El factor de proporcionalidad es característico de los materiales y se conoce desde entonces como coeficiente de Seebeck. Si se rompe una de las uniones del circuito se obtiene un nivel de tensión en lugar de una corriente y apilando un determinado número de estas uniones, se puede extraer la energía suficiente para alimentar una carga dada, cuando hay dos superficies con temperaturas diferentes.

Es posible utilizar el  $\Delta T$  entre el cuerpo y la atmósfera para alimentar un circuito [9], sin embargo el problema de mantener un  $\Delta T$  entre dos superficies ha sido subestimado en la mayoría de los trabajos reportados en la literatura y por tanto es difícil determinar qué tan eficientes pueden llegar a ser estos montajes al momento alimentar un circuito [3].

La tecnología utilizada para integrar generadores térmicos es mucho más costosa que las tradicionales, debido a la baja demanda de chips con estas especificaciones de fabricación; aún así, algunas empresas ya han puesto termogeneradores integrados a disposición de los consumidores [10].

### 1.2.2. Vibraciones

Existen tres formas ampliamente usadas para generar electricidad con la energía asociada a las vibraciones o al movimiento: electromagnéticamente, electrostáticamente y piezoeléctricamente. En la primera de ellas las vibraciones desplazan una pequeña barra de materi-

al magnético encerrada por una bobina, en la cual se induce una tensión proporcional al movimiento. En la segunda, se hace uso de un capacitor con una carga definida y una placa móvil, donde al aumentar o reducir la separación de las placas se ejerce trabajo sobre la carga almacenada, lo cual se traduce en electricidad. Finalmente, si se transfieren las vibraciones a una muestra de material piezoeléctrico para deformarlo, se obtiene un nivel de tensión que depende de la amplitud de la vibración y de características intrínsecas del material.

El principal problema de esta fuente de energía es la necesidad de piezas móviles para transferir las vibraciones a los elementos primarios en cada uno de los esquemas. Integrar este tipo de montajes es más un problema de fabricación que de diseño circuitos y eso significa alto costo, asociado principalmente a las modificaciones necesarias del proceso de fabricación.

A nivel de integrado, la potencia que puede ser extraída electromagnéticamente es baja (150 nW en [11]) respecto a los otros métodos, que reportan 12  $\mu\text{W}$  para un capacitor de placa móvil de 1  $\text{cm}^2$  [12] y 2  $\mu\text{W}$  para un recolector piezoeléctrico de 5  $\text{mm}^2$  [13], suficiente para alimentar un circuito pequeño, a costa de un área en silicio muy grande.

### 1.2.3. Radiación solar

Cuando se ilumina un metal o un semiconductor, los fotones chocan con los electrones y les transfieren la energía suficiente para pasar a la banda de conducción, lo que se puede aprovechar para generar una corriente. Lo anterior es el principio de funcionamiento de las celdas fotovoltaicas o paneles solares, tan populares actualmente. El uso masivo de estos artefactos permite la generación de cantidades comerciales de energía eléctrica, mientras que a pequeña escala, con una celda del tamaño de una tarjeta de crédito se puede alimentar un sensor [3]. Su principal problema es la ausencia de niveles altos de luz en lugares cerrados para generar cantidades útiles de potencia, lo cual limita sus aplicaciones a campo abierto y a horas diurnas.

Es por eso que no tiene ningún sentido integrar una celda fotovoltaica, pues la potencia que puede extraerse de la luz solar depende directamente del área, y en un integrado, además de no haber contacto directo con la luz por el encapsulado, el área es muy reducida.

### 1.2.4. Ondas de radio frecuencia

Las ecuaciones de Maxwell describen el comportamiento de las ondas electromagnéticas y cómo pueden transportar energía, lo cual ha permitido el desarrollo de las comunicaciones inalámbricas como las conocemos hoy en día y la alimentación remota de dispositivos de muy bajo consumo utilizando circuitos recolectores. Estos últimos pueden ser integrados completamente en tecnología *CMOS*; sin embargo las características de las antenas integradas son muy pobres y por ello se suelen fabricar externamente como circuitos impresos [8].

La potencia que se puede extraer de una onda depende de la distancia entre el dispositivo recolector y la fuente de radiación, siendo  $1 \mu\text{W}$  para  $12 \text{ m}$  [14] y  $42 \mu\text{W}$  para  $5 \text{ m}$  [15], emitiendo al límite permitido por los entes reguladores para la banda de  $902\text{-}928 \text{ MHz}$ .

### 1.2.5. Criterio de selección de la fuente

Las condiciones en las que debe operar un circuito recolector de energía determinan cuál de las fuentes anteriormente descritas resulta más adecuada. Por ejemplo, en un ambiente industrial las vibraciones de un motor o cualquier otra máquina proveen más energía que la luz solar, mientras que en un espacio abierto la segunda es la mejor opción. Factores adicionales como el costo, la potencia requerida y el tamaño, pueden indicar cuál es la fuente más adecuada en un caso específico. Sin embargo, los criterios utilizados en este trabajo para seleccionar la fuente RF corresponden a: la posibilidad de integrar completamente un circuito recolector de esta energía, al bajo costo de la tecnología *CMOS* estándar y al bajo requerimiento de área en silicio para dicha integración [7].

## 1.3. Transmisión remota de energía

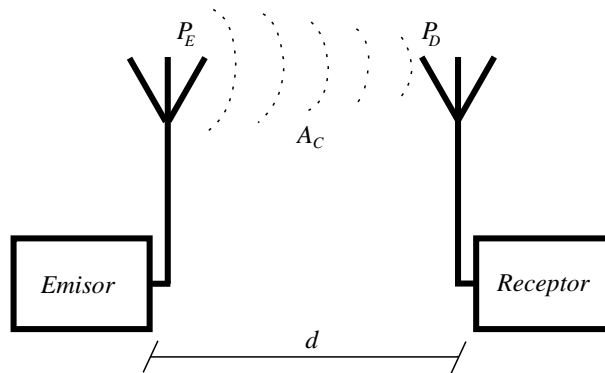


Figura 1.1: Enlace emisor-receptor

En un esquema de transmisión remota de energía se crea un enlace entre el dispositivo recolector y la fuente de radiación, por el cual, a diferencia de las comunicaciones tradicionales, no se quiere transmitir información sino energía. Para la Figura 1.1 la potencia disponible en el receptor  $P_D$  es el resultado del producto entre la potencia emitida  $P_E$  y la atenuación del canal  $A_C$ . Asumiendo que se emite en todas direcciones y sin obstáculos en línea de vista,  $A_C$  sigue el modelo de pérdidas en el espacio libre de la ecuación (1.1) [7], con lo cual  $P_D$  corresponde a la ecuación (1.2).

$$A_C = \left( \frac{c}{4\pi f d} \right)^2 \quad (1.1)$$

$$P_D = \left( \frac{c}{4\pi f d} \right)^2 \cdot P_E \cdot G_r \quad (1.2)$$

donde  $f$  es la frecuencia de operación,  $d$  la distancia emisor-receptor,  $G_r$  la ganancia de la antena receptora (que generalmente es inferior a 2 dBi<sup>\*</sup>) y  $c$  la velocidad de la luz.

Es evidente de (1.2) que  $P_D$  es inversamente proporcional a  $d^2$  y  $f^2$ , ésta dependencia se puede reducir al fijar una frecuencia de operación utilizando como criterio las dimensiones de la antena, que representan el tamaño del dispositivo, pues generalmente no se fabrica dentro del integrado. La longitud de onda  $\lambda$  de las frecuencias alrededor de los 900 MHz permite un equilibrio entre tamaño y alcance para un gran número de aplicaciones [8] y se usa ampliamente.

Con  $f$  fija, puede analizarse el compromiso entre  $P_D$  y  $d$ , para encontrar el valor máximo de la distancia emisor-receptor al hacer  $P_D$  igual a la potencia mínima que necesita el receptor para operar y alimentar la carga,  $P_U$  [16].

$$d = \sqrt{\frac{P_E G_r}{P_U}} \cdot \left( \frac{c}{4\pi f} \right) \quad (1.3)$$

Con la potencia emitida determinada por las regulaciones del ministerio de comunicaciones en Colombia, o la FCC<sup>\*\*</sup> en Estados Unidos, cuyo valor límite en la banda de 902-928 MHz corresponde 4 WEIRP<sup>\*\*\*</sup> o 36 dBm, la única variable de diseño en la ecuación (1.3) es la potencia mínima necesaria para la operación del receptor o potencia umbral.

### 1.3.1. Antena y acople de impedancias

La antena se puede modelar como una fuente de tensión  $V_{ant}$  en serie con una impedancia  $Z_{ant} = R_{ant} + jX_{ant}$ , sin embargo, en el diseño de la antena se tiene pleno control sobre el valor de  $X_{ant}$  y por eso se considera parte del acople de impedancias, lo cual deja a  $Z_{ant} = R_{ant}$  (Figura 1.2). Un acople de impedancias garantiza máxima transferencia de potencia al transformar la impedancia de entrada del rectificador en  $R_{ant}$ . En tal caso, la amplitud de la señal senoidal que modela la antena corresponde a:

$$V_{ant} = 2\sqrt{2P_D R_{ant}} \quad (1.4)$$

---

\* Ganancia respecto a una antena isotropica.

\*\* Siglas de Federal Communications Commission.

\*\*\* *Equivalent isotropically Radiated Power*. Potencia equivalente radiada con una antena isotropica ideal.

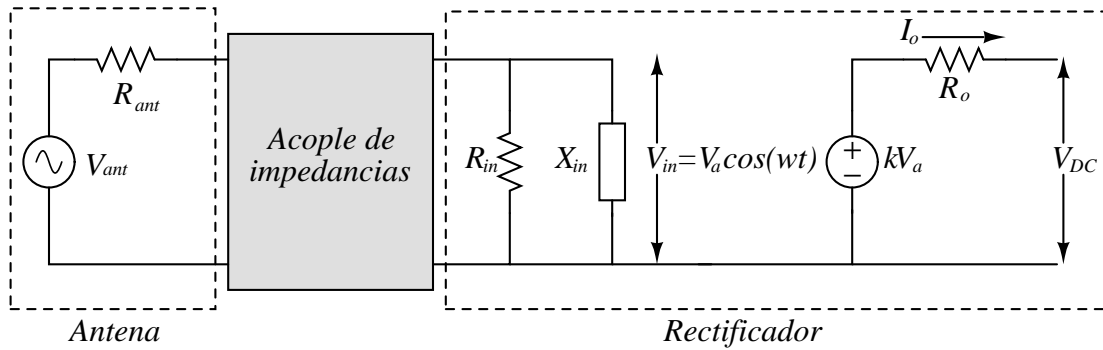


Figura 1.2: Equivalente del receptor.

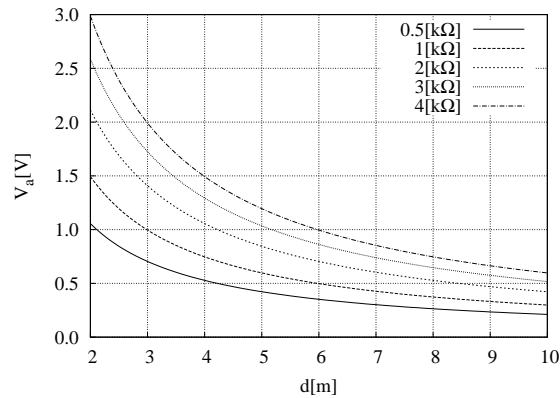


Figura 1.3: Amplitud de la tensión de entrada al rectificador.

En condiciones de máxima transferencia de potencia aparece la mitad de  $V_{ant}$  a la entrada del rectificador, este valor debe ser lo suficientemente alto para que el rectificador pueda operar. La Figura 1.3 muestra el efecto del aumento de la distancia sobre la tensión de entrada al rectificador  $V_{in} = V_a \cos(\omega t)$ , para  $R_{ant}$  igual a 0.5, 1, 2, 3 y 4 kΩ. Un valor alto para la resistencia garantiza un  $V_{in}$  de gran amplitud, no obstante, el tamaño de las antenas para *RFID* reduce el valor de  $R_{ant}$ , siendo 2 kΩ el más alto reportado [17]. Por otra parte, la ecuación (1.4) no tiene en cuenta todos los factores que pueden influir en los niveles de tensión, pues es posible elevarlos con el diseño adecuado del acople de impedancias. En [8] se demuestra que un resonador con un alto factor de calidad puede aumentar de 5 a 10 veces la amplitud de la tensión de entrada al rectificador.

En conclusión, el diseño de la antena y el acople de impedancias puede afectar el desempeño del rectificador de baja potencia porque de éstos depende la amplitud de la tensión de entrada, aun así, el problema a tratar en este proyecto es exclusivamente el diseño del rectificador, por lo cual se toma el modelo sencillo de la ecuación 1.4 y se consideran posibles los valores para las resistencias que generan las curvas de la Figura 1.3.

## 1.4. El Rectificador

El rectificador es el bloque encargado de convertir la onda captada por la antena en tensión  $DC$ , lo cual lo hace un circuito no lineal, al igual que todos los variadores de frecuencia. De acuerdo a su funcionamiento, estos circuitos pueden clasificarse en dos grandes grupos: de media onda y de onda completa, aunque para esta aplicación siempre se usa uno del segundo grupo, pues en el primero se desecha la mitad de la potencia disponible para la rectificación.

Considerando constantes la potencia recibida en la antena ( $P_D$ ) y la disipada por la carga ( $P_C$ ), el rectificador puede modelarse, sin importar su arquitectura, como muestra la Figura 1.2, donde  $R_{in}$  representa la suma de las pérdidas resistivas indeseadas y la potencia entregada a la carga, mientras  $X_{in}$  es el equivalente reactivo del rectificador referido a la entrada, el cual es de naturaleza capacitiva.  $R_o$  modela la forma en que varía la tensión de salida  $V_{DC}$  cuando cambia la corriente de salida  $I_o$  y la fuente de tensión dependiente relaciona la amplitud de la tensión de entrada al rectificador  $V_a$  con  $V_{DC}$ , utilizando una ganancia  $k$  que depende, entre otros factores, de la tensión de umbral del rectificador  $V_u$ , asociada a la región muerta de los elementos que lo componen (diodos o transistores). El valor de cada elemento varía con el punto de operación y la arquitectura del rectificador [17]. Aunque este modelo no resulta de mucha utilidad porque las expresiones precisas para cada elemento son muy complicadas, si evidencia los principales compromisos en un rectificador.

Para alimentar una carga a una tensión determinada  $V_{DC_d}$ , se debe alcanzar una amplitud  $V_{a_d}$  en la tensión de salida del acople de impedancias, la cual está determinada por la potencia que recibe la antena y su resistencia. Si se puede llegar a  $V_{a_d}$  con niveles de potencia reducidos, la distancia de operación aumenta significativamente [8]. El valor de  $V_{a_d}$  lógicamente depende de la tensión de umbral del rectificador  $V_u$ . Además, cuando los valores de  $V_a$  son lo suficientemente altos para permitir la rectificación,  $V_u$  tiene un efecto directo sobre  $V_{DC}$  porque reduce el tramo de la onda que finalmente se rectifica.  $V_u$  cambia para las diferentes arquitecturas y depende de los elementos que la constituyen, aunque es posible e imperativo implementar estrategias para compensar su efecto sobre  $V_{DC}$ .

La eficiencia de conversión de potencia del rectificador se define como el cociente entre la potencia que se entrega a la carga y la que entra al rectificador, la cual, en el mejor de los casos, es igual a  $P_D$ . De nuevo  $V_u$  es el factor de mayor influencia, pues en gran medida la potencia de entrada al circuito depende de que tramo de la señal de entrada supera la tensión de umbral y aporta a  $V_{DC}$ . Otros factores como las pérdidas resistivas en los transistores o diodos reducen el valor de la  $PCE$ .

En resumen, el problema de diseño de un rectificador consiste en reducir el valor de  $V_u$  y sus efectos sobre la operación del circuito, al tiempo que se mantienen bajas las pérdidas

resistivas, con lo cual aumenta la tensión rectificadora y la eficiencia.

### 1.4.1. Especificaciones

La sección anterior evidencia que  $V_u$  es la característica del rectificador que mayor impacto tiene sobre su desempeño, para reducir este valor o su efecto sobre la eficiencia y la tensión rectificadora, es posible implementar una estrategia tecnológica, de diseño o una combinación de las dos. En la primera se utilizan dispositivos (diodos o transistores) cuya tensión de umbral  $V_{TH}$  es reducida gracias al proceso de fabricación, los cuales no están disponibles en todas las tecnologías, por el costo asociado a las exigencias del proceso. Por otra parte, desde el diseño se puede aplicar a los dispositivos una tensión cercana  $V_{TH}$ , ya sea con circuitos adicionales de compensación o utilizando las tensiones propias de la operación del rectificador, para tener el mismo efecto de la tensión de umbral reducida. Sin embargo, para que lo anterior funcione se requiere que el rectificador se encuentre encendido, por lo cual la tensión de entrada al rectificador debe superar el valor de  $V_u$  sin reducción alguna. Aun así, desde el diseño se puede compensar el impacto de  $V_u$  sobre la eficiencia y la salida de tensión porque la señal de entrada es rectificadora en su totalidad, siempre que  $V_a$  sea mayor que  $V_u$ .

La tecnología de fabricación de 0.35  $\mu\text{m}$  a utilizar en este proyecto no cuenta con dispositivos con tensión de umbral reducido, por el contrario  $V_{TH}$  tiene valores del orden de 0.72 V para los transistores tipo  $p$  y 0.57 V para los tipo  $n$ . Teniendo en cuenta lo anterior, el diseño del rectificador se oriente a alcanzar eficiencias de conversión de potencia considerables ( $> 30\%$ ) a cortas distancias de la fuente de radiación ( $< 5$  m), utilizando una estrategia de diseño para compensar el efecto de la tensión de umbral.

## Capítulo 2

# Arquitecturas

La selección adecuada de la arquitectura de un rectificador de bajo potencia impacta notablemente en su desempeño [18]. Por eso en el presente capítulo se expone una revisión de las arquitecturas más sobresalientes en la literatura, analizando su funcionamiento y desventajas, con el fin de seleccionar la topología más adecuada para tecnología de fabricación *AMS C35B4c3*, cumpliendo con las especificaciones fijadas.

En las aplicaciones convencionales de la rectificación se usan con frecuencia dos topologías: el rectificador de media onda y el puente rectificador. En éstas el diodo es el elemento básico de operación, pues su característica no lineal es ideal para transformar señales alternantes en continuas. Sin embargo, en las tecnologías de fabricación más económicas, como la del presente proyecto, los diodos no tienen las características adecuadas para ésta aplicación, o no se pueden integrar por las exigencias del proceso. Entonces son necesarias otras topologías, derivadas de las convencionales, en las que el transistor es el elemento básico de rectificación.

### 2.1. Doblador de tensión

Un rectificador de media onda esta encendido solo la mitad del periodo de la señal de entrada, o un tiempo aún más corto cuando se incluye un filtro capacitivo a la salida. Para un sistema *RFID*, ésto significa que la mitad o más de la potencia recibida por la antena, se desecha. Por el contrario, el doblador de tensión de la Figura 2.1(a), constituido por dos rectificadores de media onda en serie, aprovecha el periodo completo de la señal de entrada y además, como su nombre lo indica, eleva al doble la tensión de salida.

El circuito equivalente con transistores del doblador de tensión mostrado en la Figura 2.1(b), opera de la siguiente forma: en el semi ciclo negativo de la señal de entrada  $V_{in} = V_a \cos(\omega t)$ , aparece una tensión positiva  $V_{gs}$  en el transistor  $M_n$ . Ésto hace circular corriente hacia la fuente (Figura 2.1(c)), cargando el capacitor  $C_n$  mientras  $M_p$  permanece

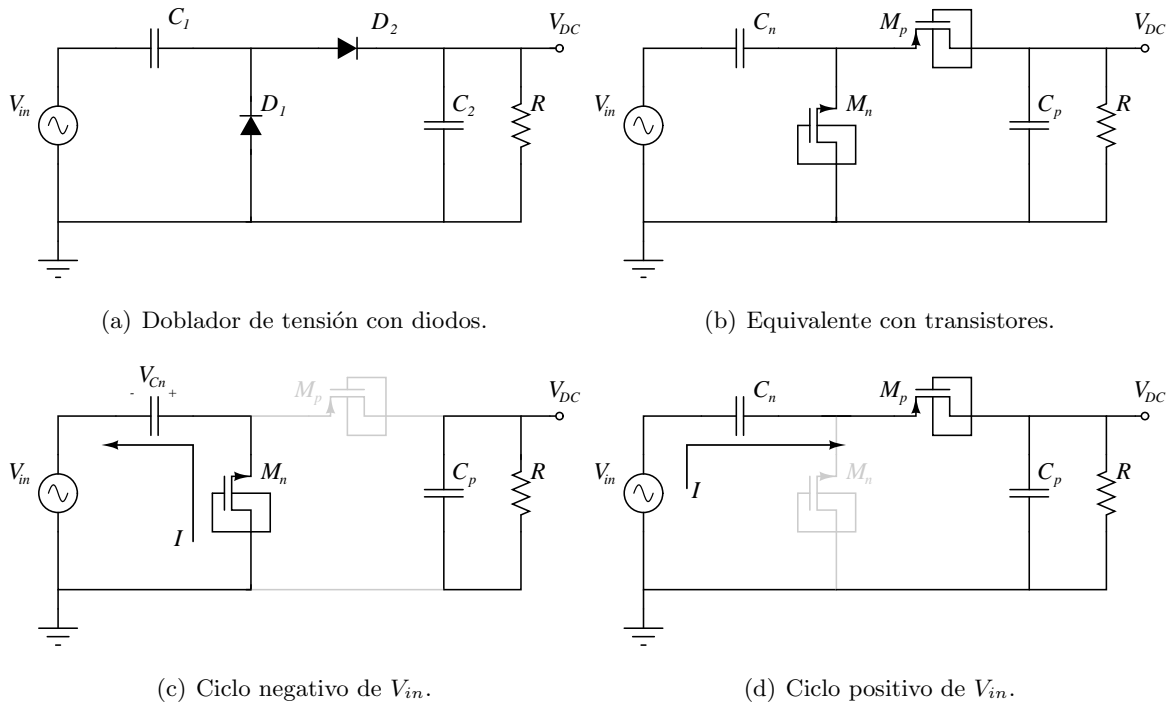


Figura 2.1: Doblador de tensión.

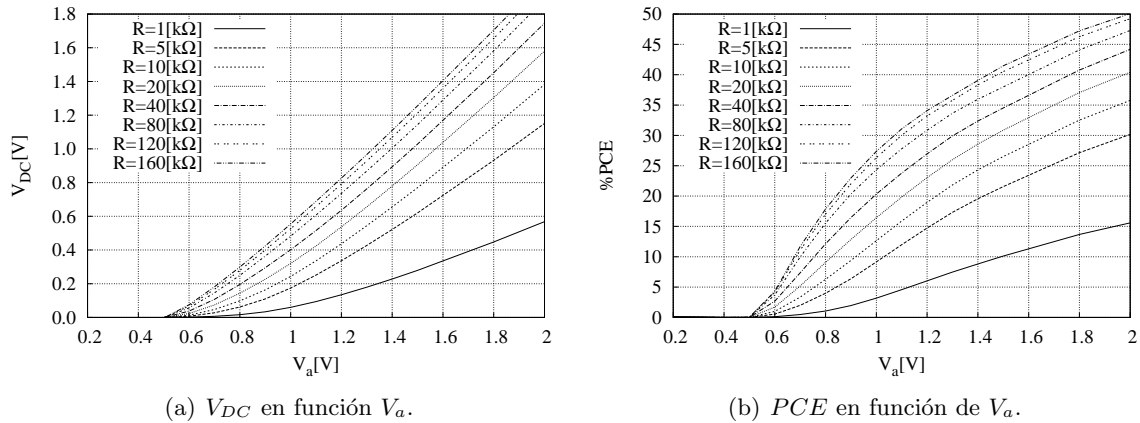


Figura 2.2: Efecto de la tensión de entrada en el doblador.

en corte, porque su tensión  $V_{gs}$  es positiva. Cuando la entrada alcanza su valor mínimo, la tensión en  $C_n$  se hace máxima y equivale a  $V_{C_n} = V_a - V_{TH}$ , donde  $V_{TH}$  es la tensión de umbral de los transistores. Una vez  $V_{in}$  se aleja de su valor mínimo, la tensión resultante entre puerta y fuente de  $M_n$  es negativa y entra en corte. En el semi ciclo positivo, la entrada suma a la tensión almacenada en  $C_n$ ,  $M_p$  se enciende porque su tensión  $V_{gs}$  se hace negativa y la corriente resultante carga a  $C_p$  hasta  $2 \cdot (V_a - V_{TH})$ , al tiempo que  $M_n$  permanece en corte.

$M_n$  y  $M_p$  son transistores conectados como diodos que operan siempre en la región de saturación y que tienen, durante el periodo de conducción, una caída de tensión entre drenador y surtidor igual a  $V_{TH}$ . En consecuencia, se requiere de un valor de  $V_a$  mucho más alto que la tensión de umbral, para obtener tensiones de salida útiles, como puede verse en la Figura 2.2(a). Además, los bajos valores de  $V_{DC}$  en esta figura se deben a que la tensión  $V_{gs}$  aplicada a los transistores, no es directamente  $V_{in}$ , sino una señal de menor amplitud. Por las mismas razones, la  $PCE$  del doblador de tensión en la Figura 2.2(b) es baja para valores de  $V_a$  cercanos a  $V_{TH}$ .

### 2.1.1. Doblador de tensión compensado:

En el doblador compensado propuesto por *Nakamoto* en [19], un circuito auxiliar por cada transistor genera una tensión próxima a  $V_{TH}$ , que se aplica entre drenador y puerta para reducir la caída de tensión, como muestra la Figura 2.3.

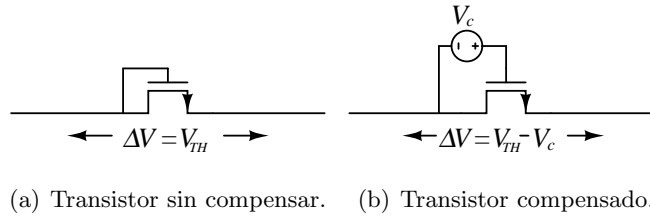


Figura 2.3: Efecto de la compensación.

En el circuito de la Figura 2.4(a)  $R_{cn}$ ,  $M_{cn}$  y  $C_{cn}$  generan la tensión de compensación para  $M_n$ , mientras  $R_{cp}$ ,  $M_{cp}$  y  $C_{cp}$  lo hacen para  $M_p$ . Básicamente,  $R_c$  determina la corriente que circula por  $M_c$ , el cual genera y almacena una tensión similar a  $V_{TH}$  en  $C_c$ . Considerando la tensión de compensación, la salida rectificadora corresponde a:

$$V_{DC} = 2 \cdot (V_a - V_{TH} - V_c) \approx 2 \cdot V_a \quad (2.1)$$

El aumento de  $V_{DC}$  es significativo como puede verse en la Figura 2.4(b), aunque la tensión umbral del rectificador permanece igual, pues  $V_{TH}$  no se reduce, sino que se compensa. Gracias a la relación directa entre la potencia entregada a la carga y  $V_{DC}$ , la  $PCE$  aumenta notablemente respecto al doblador sin compensar. Además, como evidencia la Figura 2.4(c), aparece un máximo respecto a  $V_a$ , dominado por el consumo de los circuitos de compensación.

Por otra parte, tanto en el doblador como en doblador compensado, la tensión entre las terminales de surtidor y cuerpo de los transistores es variable, lo que se significa un  $V_{TH}$  cambiante. Para seguir estos cambios, el circuito de compensación debe estar sometido a las mismas tensiones que el transistor principal. No obstante, esto implica un aumento en el

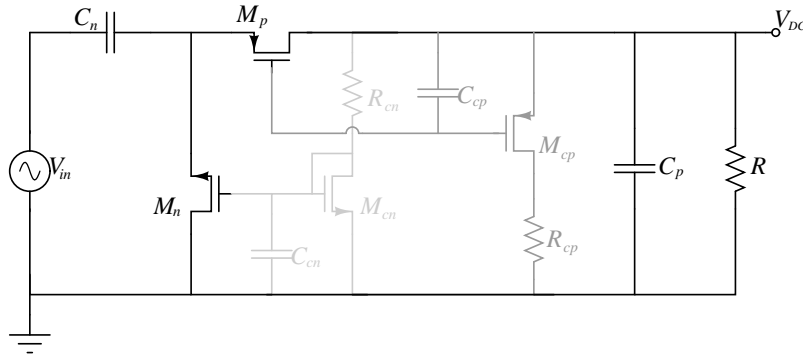
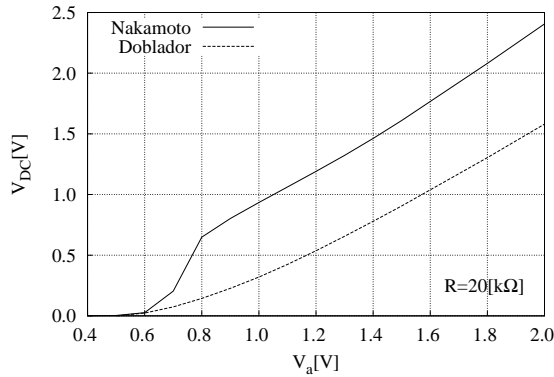
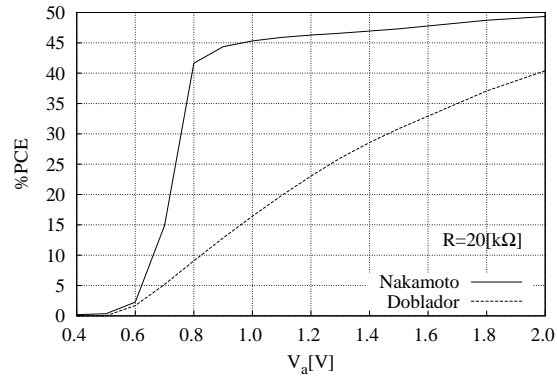
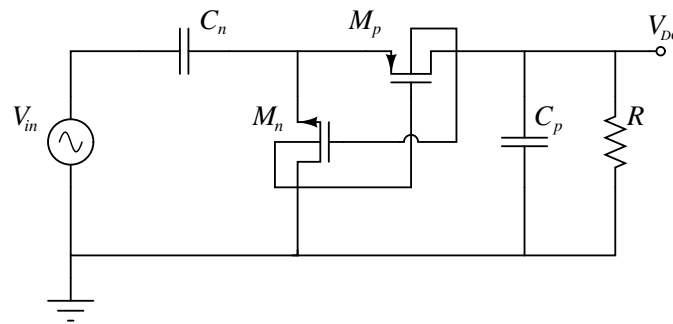
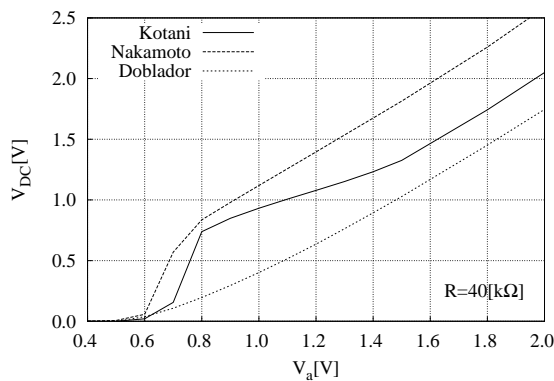
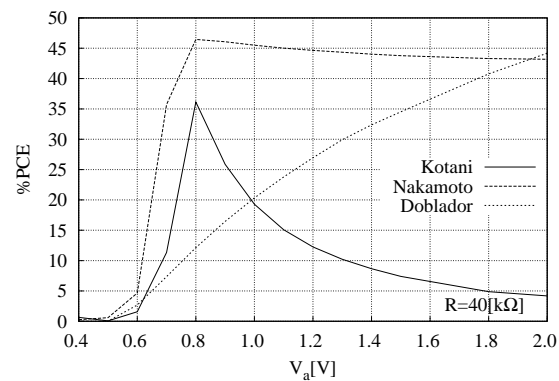
(a) Circuito propuesto por *Nakamoto*.(b) Efecto de la compensación en  $V_{DC}$ .(c) Efecto de la compensación en la  $PCE$ .

Figura 2.4: Comparación del doblador y el doblador compensado.

consumo de potencia que reduce la  $PCE$ . Otro problema asociado al circuito de *Nakamoto*, radica en que una tensión constante entre drenador y puerta aumenta de forma importante las corrientes de fuga, pues en los semi ciclos en los que el transistor debe estar apagado, circula una corriente que descarga los capacitores. Ahora,  $R_c$  tiene un valor alto para mantener pequeña la corriente en el lazo de compensación. Considerando la resistencia por cuadro más alta de la tecnología de fabricación ( $1 \text{ k}\Omega/\square$ ),  $R_c$  tiene un elevado costo en área, ésto sin tener en cuenta los efectos parásitos que introduce una resistencia a nivel de circuito integrado.

### 2.1.2. Doblador de tensión de puertas cruzadas

Una forma alternativa de compensar la caída de tensión en los transistores, sin utilizar circuitos adicionales, consiste en aplicar la salida del doblador entre puerta y drenador. Ésto se logra conectando la terminal de puerta del transistor tipo  $n$  a  $V_{DC}$  y la del tipo  $p$  tierra, como se muestra en la Figura 2.5(a). El desempeño de ésta arquitectura propuesta por *Kotani* en [20], es superior al de el doblador de tensión, pero inferior al de la etapa de *Nakamoto*, como muestran las Figuras 2.5(b) y 2.5(c). Aun así, con un diseño adecuado se puede lograr

(a) Propuesta de *Kotani*.(b)  $V_{DC}$  en función de  $V_a$ .(c)  $PCE$  en función de  $V_a$ .Figura 2.5: Comparación entre las arquitecturas de *Nakamoto* y *Kotani*.

un valor alto de eficiencia, al tiempo que se reduce considerablemente el área necesaria para la integración, ya que no son necesarias resistencias ni otros elementos de compensación.

### 2.1.3. Compensación estática

Cuando la tensión que se utiliza para mitigar la caída en los transistores se considera constante o estática, ocurre un aumento significativo de las corrientes de fuga. Ésto se debe a la formación del canal de inversión entre las difusiones de drenador y surtidor, cuando el transistor no debe conducir. Bajo éstas condiciones, una pequeña tensión entre drenador y fuente puede hacer circular corrientes de magnitud considerable, que descargan los capacitores. Aunque la compensación estática tiene un efecto notable sobre el desempeño del doblador de tensión, como se demostró en las secciones anteriores, las corrientes de fuga generadas limitan la eficiencia del rectificador y por ello métodos de compensación dinámicos pueden tener mejores resultados.

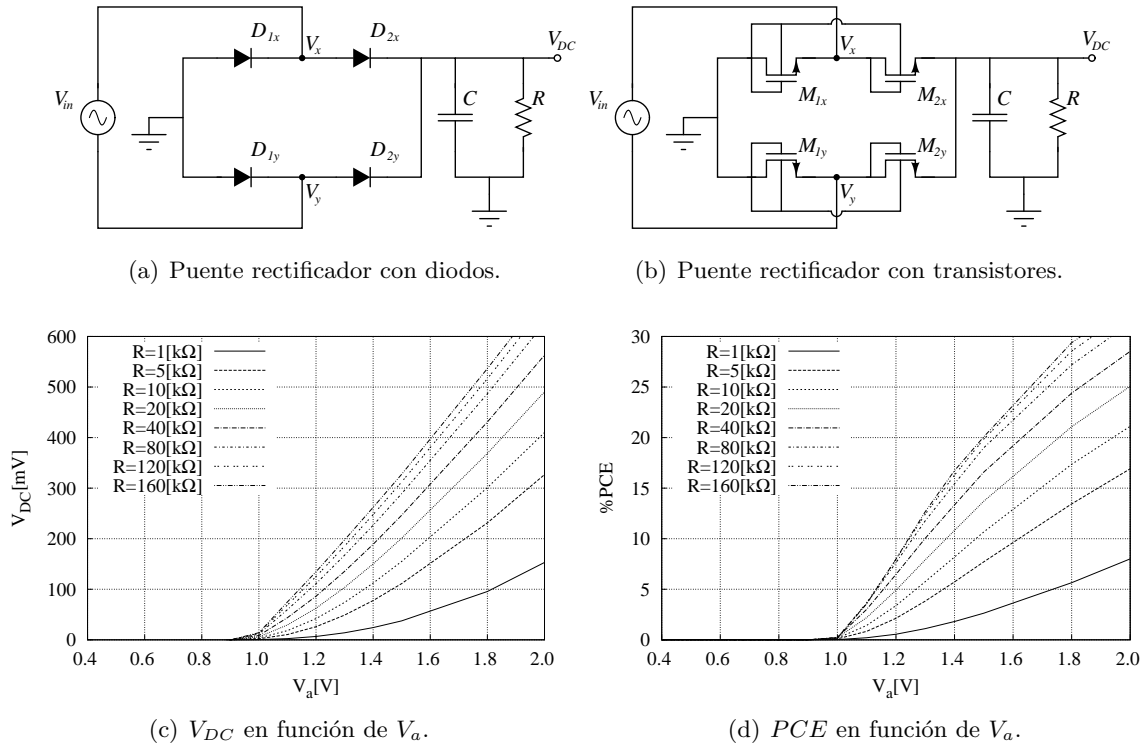


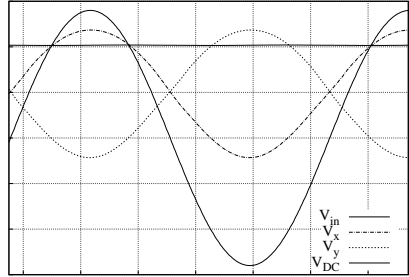
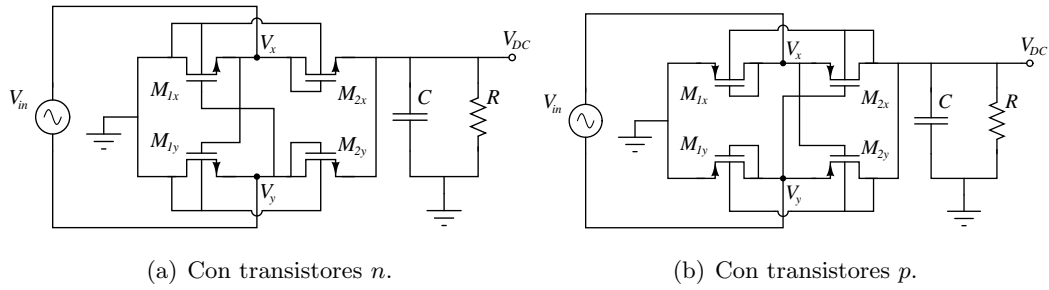
Figura 2.6: Puente rectificador.

## 2.2. Puente rectificador

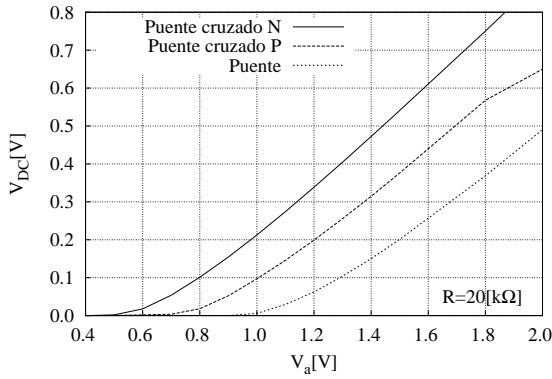
Un puente rectificador está constituido por cuatro diodos, o transistores para el caso de análisis, que operan de dos en dos para mantener un flujo continuo de corriente, como puede verse en las Figuras 2.6(a) y 2.6(b). Un filtro capacitivo elimina casi por completo el rizado de la tensión rectificada, para entregar a la carga una tensión constante. El principal inconveniente del puente rectificador, radica en la necesidad de encender dos transistores conectados como diodos al tiempo, por lo cual solo una tensión de entrada superior a  $2 \cdot V_{TH}$  permite la operación del rectificador. Además, aun cuando la entrada pueda encender al circuito, la caída en los transistores se resta directamente de la amplitud de  $V_{in}$  y solo una pequeña tensión se entrega a la carga. Así, la tensión de salida y la eficiencia de un puente rectificador son bajas para amplitudes de entrada en el rango de interés, como muestran las Figuras 2.6(d) y 2.6(c).

### 2.2.1. Puente rectificador de puertas cruzadas

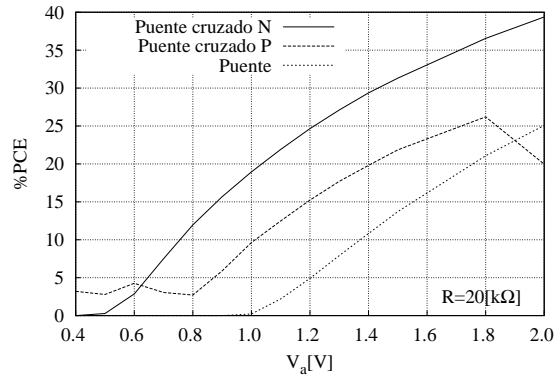
Una modificación en la conexión de las puertas de dos de los transistores del puente rectificador, permite hacer una compensación dinámica de la caída de tensión que resulta de la operación de los transistores. Se le llama dinámica, porque a diferencia de la propuesta



(c) Tensiones de compensación  $V_x$  y  $V_y$ .



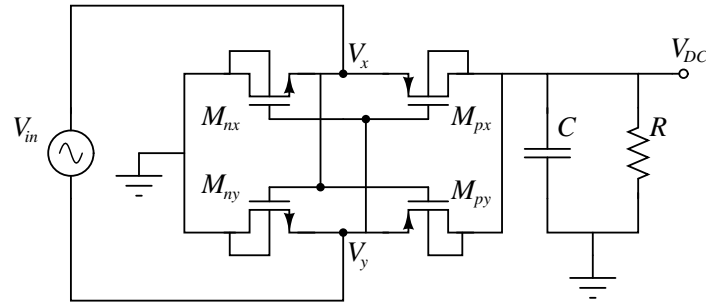
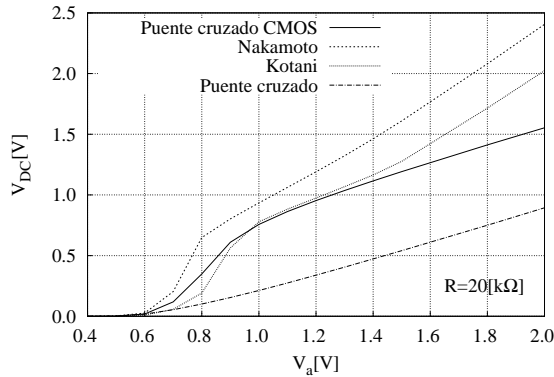
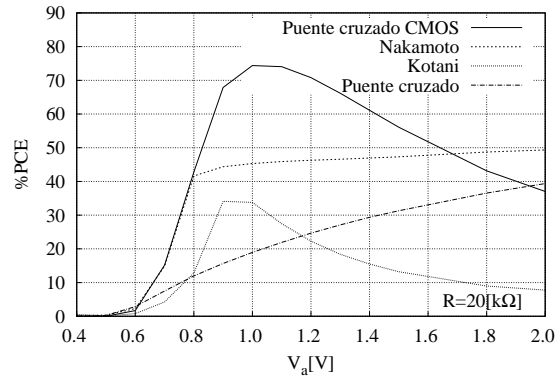
(d)  $V_{DC}$  en función de  $V_a$ .



(e)  $PCE$  en función de  $V_a$ .

Figura 2.7: Puente rectificador de puertas cruzadas.

por *Nakamoto*, la tensión utilizada en este caso no es constante. La modificación consiste en cambiar los nodos de conexión de las puertas de los transistores, como muestran las Figuras 2.7(a) y 2.7(b), para el puente tipo  $p$  y para el tipo  $n$  respectivamente. Con ésto,  $V_x$  compensa la caída del transistor inferior y  $V_y$  la del superior. La forma de  $V_x$  y  $V_y$  ilustrada en la Figura 2.7(c), permite que la compensación tenga un valor máximo durante los periodos de conducción del transistor y que sea nula, o negativa, para los periodos en los esta apagado. Vista de otra forma, la modificación en la conexión de las puertas hace que la tensión de entrada sea equivalente a  $V_{gs}$ , para los transistores modificados. Por lo tanto su polarización es positiva para los periodos de conducción y negativa el resto del tiempo. Ésto reduce de

(a) Puente rectificador de puertas cruzadas *CMOS*.(b)  $V_{DC}$  en función de la entrada.(c)  $PCE$  en función de la entrada.Figura 2.8: Puente rectificador de puertas cruzadas *CMOS*.

forma significativa las corrientes de fuga respecto a la compensación estática. Tanto la tensión de salida, como la eficiencia del puente rectificador de puertas cruzadas, son significativamente mayores a las del puente rectificador. Lo anterior puede verse en la Figuras 2.7(d) y 2.7(e), donde además, se nota la reducción de la tensión de umbral del circuito.

### 2.2.2. Puente rectificador de puertas cruzadas *CMOS*

La compensación de la etapa anterior puede llevarse un paso más allá, con un puente rectificador de puertas cruzadas *CMOS*, es decir, uniendo la parte derecha del puente rectificador de puertas cruzadas *p*, con su contraparte izquierda *n*, como muestra la Figura 2.8(a). Con ésto se compensa de forma dinámica la caída de tensión de todos los transistores, la salida de tensión alcanza una magnitud comparable a la amplitud de la entrada y finalmente, la eficiencia aumenta notablemente por cuenta de los dos efectos anteriores.

El puente rectificador de puertas cruzadas *CMOS*, logra mejorar los parámetros de desempeño para tensiones de entrada de baja amplitud, ya que a diferencia del doblador de puertas cruzadas presentado anteriormente, la tensión  $V_{gs}$  aplicada a los transistores es equivalente a  $V_{in}$ . Entonces, tensiones cercanas a  $V_{TH}$  pueden poner a operar el circuito. En las

Figuras 2.8(b) y 2.8(c), es evidente la marcada diferencia entre el doblador de *Kotani* y este puente rectificador, ya que reúne las mejores características de todas las etapas citadas, pues hace una compensación dinámica que permite una elevada *PCE*, dada la inexistencia de corrientes de fuga.

### 2.3. Selección de la Arquitectura

En secciones anteriores se presentaron las topologías más utilizadas actualmente para los rectificadores de baja potencia y aquellas de las cuales provienen. Ésto con el fin de conocer en detalle las ventajas y problemas de cada una, y seleccionar la arquitectura más adecuada para las condiciones que plantea el presente proyecto. En el desarrollo del capítulo se descartaron algunas opciones dejando únicamente las topologías con mejor desempeño, que según las Figuras 2.8(b) y 2.8(c), son el doblador de tensión compensado propuesto por *Nakamoto* y el puente rectificador de puertas cruzadas *CMOS*. Pese a que la etapa propuesta por *Nakamoto*, presenta una salida de tensión superior a la del puente rectificador de puertas cruzadas *CMOS*, los circuitos adicionales de compensación que necesita representan un alto costo en área. Además, su *PCE* es limitada por las corrientes que genera la compensación estática. Estos son argumentos suficientes para seleccionar el puente rectificador de puertas cruzadas *CMOS*, ya que presenta una alta eficiencia, alta salida de tensión y hace una compensación dinámica sin circuitos adicionales.



# Capítulo 3

## Modelo

Después de presentar las razones por las que el puente rectificador de puertas cruzadas *CMOS* es la arquitectura más conveniente, en el presente capítulo se analizan a profundidad las variables que afectan el desempeño del circuito. Además se plantea un modelo para la tensión de salida y la eficiencia, que permitirán la creación de una estrategia de diseño.

### 3.1. Tensiones de operación

La celda de cuatro transistores de puertas cruzadas constituye un rectificador de onda completa. Por eso la componente oscilatoria que acompaña a la tensión de salida, tiene el doble de frecuencia que la señal de entrada. En *UHF*, la tensión rectificadora se puede considerar como un valor constante  $V_{DC}$ , siempre que la capacitancia de salida tenga el tamaño suficiente para eliminar las oscilaciones [21].

Las tensiones  $V_x$  y  $V_y$  en la Figura 3.1(a) tienen dos componentes, una senoidal que resulta de la conexión diferencial de la entrada, como muestra la Figura 3.1(b) y una continua aportada por  $V_{DC}$ . Para determinar la magnitud de ésta última se analiza el circuito con  $V_{DC}$  como una fuente independiente y con los transistores encendidos como resistencias. El resultado es el circuito de la Figura 3.1(c), donde  $V_x$  y  $V_y$  corresponden al mismo nodo, el cual está sometido a una tensión que resulta de la división de tensión entre las resistencias equivalentes de los transistores. Teniendo en cuenta que los dos transistores encendidos conducen la misma corriente, es deseable que la curva tensión-corriente del transistor tipo *p* sea igual a la del tipo *n*, de ser así, la resistencia equivalente de  $M_n$  es aproximadamente igual a la de  $M_p$  y la tensión continua que aparece en  $V_x$  y  $V_y$  es la mitad de  $V_{DC}$ . Por lo anterior se tiene que:

$$V_{in} = V_x - V_y = V_a \cdot \cos(\omega t) \quad (3.1)$$

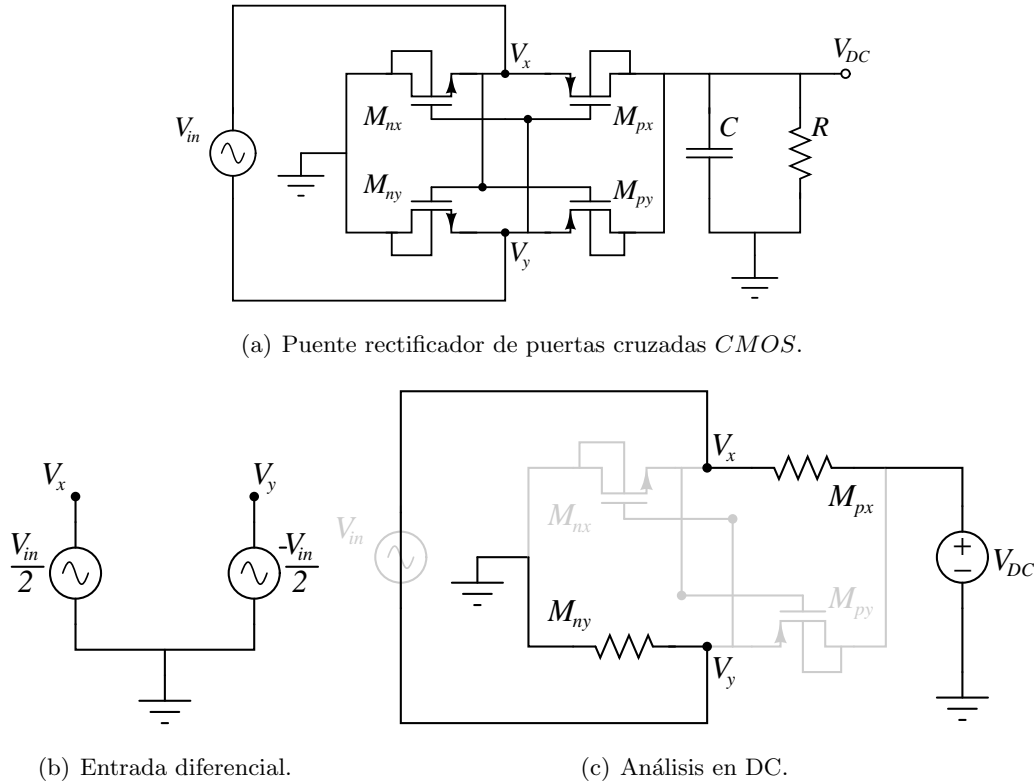


Figura 3.1: Componentes de  $V_x$  y  $V_y$ .

$$V_x = \frac{V_a}{2} \cdot \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.2)$$

$$V_y = -\frac{V_a}{2} \cdot \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.3)$$

Las tensiones anteriores dan origen a la forma de corriente que se muestra en la Figura 3.2, ésta se repite cada medio periodo cambiando los transistores que conducen. Así en el semi ciclo positivo se encienden  $M_{ny}$  y  $M_{px}$ , mientras en el negativo lo hacen  $M_{nx}$  y  $M_{py}$ . Como se representa en la Figura 3.2, en su periodo de conducción los transistores pasan por tres diferentes regiones:

- **Región directa**  $[-t_d, t_d]$ : En esta región de conducción, la corriente que circula por los transistores desde la fuente hacia  $V_{DC}$  carga el filtro capacitivo para sostener la corriente de salida, por lo cual recibe el nombre de región directa. Idealmente no debería haber conducción en el sentido contrario, sin embargo las características del puente rectificador de puertas cruzadas *CMOS* lo permiten. En esta región, la tensión  $V_{gs}$  de los transistores es igual a  $V_{in}$ , por lo que se polarizan en inversión fuerte.

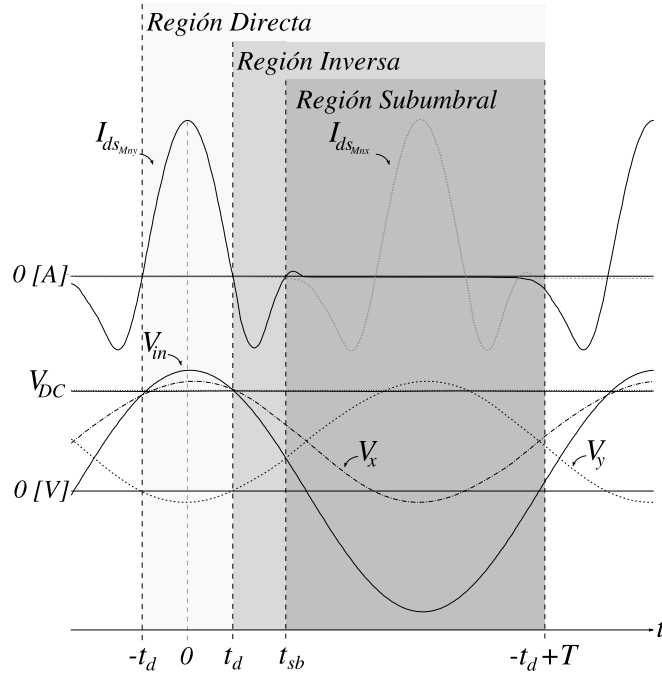


Figura 3.2: Corriente y regiones de conducción.

- **Región inversa**  $[t_d, t_{sb}]$ : En este periodo, la tensión  $V_{ds}$  de los transistores es negativa y por simetría conducen corriente desde el capacitor hacia la fuente, es decir, en el sentido contrario al deseado. La región inversa inicia justo cuando la tensión  $V_{ds}$  se hace negativa y termina cuando  $V_{gs}$  toma un valor igual a la tensión de umbral.
- **Región subumbral**  $[t_{sb}, -t_d + T]$ : Aun con un  $V_{gs}$  inferior al umbral, existe una corriente que extrae carga de la capacitancia de salida. Sin embargo, para la tecnología que se utiliza en este proyecto, la corriente subumbral es muy baja y se puede despreciar [7].

Para plantear el modelo de la tensión de salida y la eficiencia de la etapa, se analiza de forma independiente cada una de las regiones definidas.

## 3.2. Conservación de la Carga

Como lo sugieren otros modelos [14, 21], la ley de la conservación de la carga permite hacer un planteamiento sencillo para encontrar la tensión de salida de un rectificador. Para las regiones definidas en la sección anterior, la igualdad entre la carga que entra al circuito y la que se entrega a la salida se puede plantear de la siguiente manera:

$$2 \cdot \Delta Q_d = 4 \cdot \Delta Q_i + \Delta Q_{sb} + \Delta Q_{cg} \quad (3.4)$$

$$\Delta Q_d = \int_{-t_d}^{t_d} I_{ds} \cdot dt = 2 \int_0^{t_d} I_{ds} \cdot dt \quad (3.5)$$

$$\Delta Q_i = \int_{t_d}^{t_{sb}} I_{ds} \cdot dt \quad (3.6)$$

$$\Delta Q_{sb} = \int_{t_{sb}}^{-t_s+T/2} I_{ds} \cdot dt \quad (3.7)$$

$$\Delta Q_{cg} = \int_{\langle T \rangle} I_o \cdot dt = I_o \cdot T \quad (3.8)$$

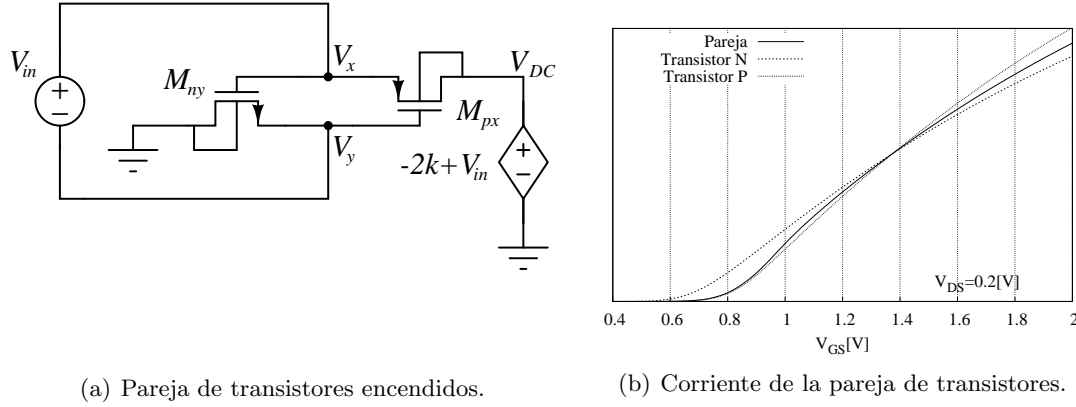
donde  $\Delta Q_d$  es la carga entregada por la señal de entrada durante la región de conducción directa, que se repite en cada semi ciclo de  $V_{in}$ .  $\Delta Q_i$  es el área bajo  $I_{ds}$  en la región de conducción inversa, mientras el factor 4 que la multiplica modela las repeticiones de la región en un periodo.  $\Delta Q_{sb}$  es la carga extraída en la región subumbral gracias a la pequeña corriente remanente y finalmente,  $\Delta Q_{cg}$  es el área bajo la curva de corriente que se entrega a la carga.  $I_{ds}$  corresponde a la corriente que circula por el par de transistores  $n$  y  $p$  que están encendidos en un semiciclo de la entrada. La magnitud de  $I_{ds}$  en cada instante de tiempo cambia dependiendo del transistor para el cual se modele, pues las constantes del proceso de fabricación tipo  $n$  difieren de las tipo  $p$ . Antes de analizar cada una de las regiones, se plantea un modelo único que describe de la forma más aproximada el comportamiento de la pareja de transistores encendidos.

### 3.2.1. Modelo de una pareja de transistores n y p

Para igualar la capacidad de corriente de los transistores tipo  $n$  y tipo  $p$  se introduce el término  $\alpha_{np}$  en el factor físico y dimensional que multiplica la corriente en todas las zonas de inversión [22]:

$$\mu_n C_{oxn} \cdot \frac{W_n}{L} = \mu_p C_{oxp} \cdot \frac{\alpha_{np} \cdot W_n}{L} \quad (3.9)$$

Simulando la corriente para los dos tipos de transistor, se encontró que  $\alpha_{np}$  tiene un valor aproximado de 4.25 para la tecnología de fabricación utilizada en el presente proyecto. Bajo estas circunstancias, la resistencia equivalente del transistor tipo  $n$  es casi igual a la del tipo  $p$ , ya que tensiones iguales de polarización producen corrientes muy similares.



(a) Pareja de transistores encendidos.

(b) Corriente de la pareja de transistores.

Figura 3.3: Modelo de la pareja de transistores encendidos.

El circuito de la Figura 3.3(a) es el resultado de tener al puente rectificador de puestas cruzadas *CMOS*, en un instante de tiempo del semi ciclo positivo de la señal senoidal de entrada. En tal caso solo dos transistores se encuentran encendidos y sus polarizaciones constantes corresponden a:

$$V_{GS} = V_{IN} \quad (3.10)$$

$$V_{DS} \approx \frac{V_{IN}}{2} - \frac{V_{DC}}{2} = k \quad (3.11)$$

El filtro capacitivo y la resistencia de carga se modelan como una fuente dependiente de tensión, para tener control en las simulaciones sobre el valor de  $V_{DS}$ . La corriente de la pareja de transistores se muestra en la Figura 3.3(b), junto con corrientes de transistores sometidos a la misma polarización, para hacer notar que la tensión de umbral de la pareja es igual a la del transistor *p*, por ser la más alta y adicionalmente, que en la región de triodo se presenta el menor error al modelar ambos transistores de la misma forma.

### 3.2.2. Región directa $[-t_d, t_d]$

Durante este periodo las tensiones de polarización corresponden a:

$$V_{gsM_{nx}} = V_{sgM_{py}} = V_x - V_y = V_a \cdot \cos(\omega t) \quad (3.12)$$

$$V_{gsM_{ny}} = V_{sgM_{px}} = V_y - V_x = -V_a \cdot \cos(\omega t) \quad (3.13)$$

$$V_{dsM_{nx}} = V_{sdM_{py}} = -V_x = V_{DC} - V_y = -\frac{V_a}{2} \cdot \cos(\omega t) - \frac{V_{DC}}{2} \quad (3.14)$$

$$V_{dsM_{ny}} = V_{sdM_{px}} = -V_y = V_{DC} - V_x = \frac{V_a}{2} \cdot \cos(\omega t) - \frac{V_{DC}}{2} \quad (3.15)$$

Como lo muestran las ecuaciones (3.12-3.15), inicialmente se encienden los transistores  $M_{ny}$  y  $M_{px}$ , y medio periodo después, se encienden los dos transistores restantes. La polarización de todos los transistores durante su periodo de conducción es la misma, y el análisis de cualquiera de ellos se puede extender a los demás. Por lo anterior y por facilidad, en adelante se tratará con la corriente y las tensiones de  $M_{ny}$ .

En la región de conducción directa los transistores se encuentran en inversión fuerte, donde es importante mantenerlos en triodo para que la caída de tensión no resulte significativa y  $V_{DC}$  tenga un valor cercano a la amplitud de la entrada. Para operar en triodo se debe cumplir que:

$$V_{gs} - V_{TH} > V_{ds} \quad (3.16)$$

Los puntos críticos para determinar si los transistores se encuentran en triodo son  $t = 0$  y  $t = t_d$  definidos en la Figura 3.3, donde  $V_{ds}$  es máxima y mínima para la región  $[-t_d, t_d]$ . Iniciando en  $t = 0$ , se tiene que:

$$V_{gs} \Big|_{t=0} = V_a \quad (3.17)$$

$$V_{ds} \Big|_{t=0} = \frac{V_a}{2} - \frac{V_{DC}}{2} \quad (3.18)$$

$$V_{DC} + V_a > 2 \cdot V_{TH} \quad (3.19)$$

Si el transistor se encuentra en triodo, la caída de tensión es muy pequeña y  $V_a \approx V_{DC}$ , así la condición resulta ser:

$$V_{DC} > V_{TH} \quad (3.20)$$

En  $t = t_d$ ,  $V_{ds} = 0$  y la condición para triodo corresponde a:

$$V_a \cdot \cos(\omega t_d) - V_{TH} > 0 \quad (3.21)$$

Como  $V_{ds} = 0$  para  $t = t_d$ , se puede hallar una expresión para este instante:

$$\frac{V_a}{2} \cdot \cos(\omega t_d) - \frac{V_{DC}}{2} = 0$$

$$t_d = \frac{1}{\omega} \cdot \arccos\left(\frac{V_{DC}}{V_a}\right) \quad (3.22)$$

Reemplazando (3.22) en (3.21), el resultado es nuevamente (3.20). Durante todo el periodo de conducción directa los transistores se encuentran en inversión fuerte, por lo tanto, las tensiones de entrada que no cumplen con (3.20), llevan los dispositivos a saturación.

En triodo,  $I_{ds}$  corresponde a:

$$I_{ds} = k_T \cdot \left[ (V_{gs} - V_{TH}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right] \approx k_T \cdot (V_{gs} - V_{TH}) \cdot V_{ds} \quad (3.23)$$

$$k_T = \mu_n C_{oxn} \cdot \frac{W_n}{L} = \mu_p C_{ox} \cdot \frac{\alpha_{np} \cdot W_n}{L} \quad (3.24)$$

Reemplazando con las tensiones definidas en (3.12) y (3.15), para  $M_{ny}$  se tiene que:

$$I_{ds} = k_T \cdot (V_a \cdot \cos(\omega t) - V_{TH}) \cdot \left( \frac{V_a}{2} \cdot \cos(\omega t) - \frac{V_{DC}}{2} \right) \quad (3.25)$$

Como el periodo de conducción directa tiene una duración muy corta, el argumento del coseno en la ecuación anterior es muy pequeño y por eso es posible aproximarlos a los dos primeros términos de la serie de *Taylor*:

$$\cos(\omega t) \approx 1 - \frac{\omega^2 t^2}{2} \quad (3.26)$$

$$I_{ds} \approx \frac{k_T}{2} \cdot \left( V_a \cdot \left( 1 - \frac{\omega^2 t^2}{2} \right) - V_{TH} \right) \cdot \left( V_a \cdot \left( 1 - \frac{\omega^2 t^2}{2} \right) - V_{DC} \right) \quad (3.27)$$

Por otra parte,  $t_d$  se puede expresar utilizando la misma aproximación para el coseno:

$$\cos(\omega t_d) = \frac{V_{DC}}{V_a} \approx \left( 1 - \frac{\omega^2 t_d^2}{2} \right)$$

$$\omega^2 t_d^2 = 2 \cdot \left( 1 - \frac{V_{DC}}{V_a} \right)$$

$$t_d = \frac{\sqrt{2}}{\omega} \left( 1 - \frac{V_{DC}}{V_a} \right)^{\frac{1}{2}} = \frac{\sqrt{2}}{\omega \sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{1}{2}} \quad (3.28)$$

Utilizando las expresiones anteriores de  $I_{ds}$  y  $t_d$  para resolver la integral de  $\Delta Q_d$  en (3.5), se tiene que:

$$\Delta Q_d = \frac{k_T \sqrt{2}}{\omega \sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{3}{2}} \cdot \left( \frac{2}{3} \cdot (V_a - V_{TH}) - \frac{2}{15} \cdot (V_a - V_{DC}) \right) \quad (3.29)$$

$$\Delta Q_d \approx \frac{2k_T \sqrt{2}}{3\omega \sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{3}{2}} \cdot (V_a - V_{TH}) \quad (3.30)$$

### 3.2.3. Región inversa $[t_d, t_{sb}]$ :

Después de  $t_d$ , el valor de  $V_{ds}$  definido anteriormente se vuelve negativo causando que las terminales de drenador y surtidor de los cuatro transistores se inviertan. Por esto, es necesario redefinir las tensiones de polarización como sigue:

$$V_{gs_{M_{nx}}} = V_{sg_{M_{py}}} = V_y = V_{DC} - V_x = -\frac{V_a}{2} \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.31)$$

$$V_{gs_{M_{ny}}} = V_{sg_{M_{px}}} = V_x = V_{DC} - V_y = \frac{V_a}{2} \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.32)$$

$$V_{ds_{M_{nx}}} = V_{sd_{M_{py}}} = V_x = V_{DC} - V_y = \frac{V_a}{2} \cdot \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.33)$$

$$V_{ds_{M_{ny}}} = V_{sd_{M_{px}}} = V_y = V_{DC} - V_x = -\frac{V_a}{2} \cdot \cos(\omega t) + \frac{V_{DC}}{2} \quad (3.34)$$

Si se evalúa la condición para triodo en  $t = t_d$  con las nuevas expresiones, el resultado es nuevamente la condición impuesta para la amplitud de la entrada en la región de conducción directa. Por tanto, si  $V_a > V_{TH}$  la región de inversión en la que se encuentran los transistores durante los primeros instantes de la conducción inversa es triodo. Sin embargo, esto cambia poco después en un instante que puede predecirse llevando al límite la condición:

$$V_{gs} \Big|_{t_l} - V_{TH} = V_{ds} \Big|_{t_l}$$

$$t_l = \frac{1}{\omega} a \cos \left( \frac{V_{TH}}{V_a} \right) \quad (3.35)$$

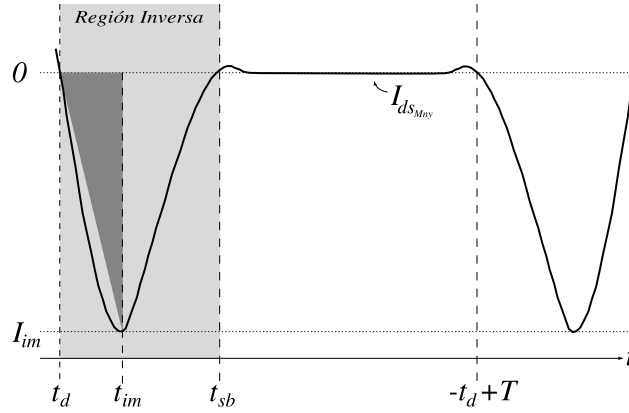
Es necesario comparar  $t_l$  con el tiempo  $t_{sb}$  donde termina la conducción inversa e inicia la subumbral, este tiempo se define como aquel para el que  $V_{gs}$  es exactamente igual a  $V_{TH}$ , de forma tal que:

$$\frac{V_a}{2} \cos(\omega t_{sb}) + \frac{V_{DC}}{2} = V_{TH}$$

$$t_{sb} = \frac{1}{\omega} a \cos \left( \frac{2V_{TH} - V_{DC}}{V_a} \right) \quad (3.36)$$

Como  $t_l$  es menor que  $t_{sb}$ , existe un cambio de triodo a saturación durante el periodo de conducción inversa y en consecuencia,  $\Delta Q_i$  corresponde a dos integrales:

$$\Delta Q_i = \int_{t_d}^{t_l} I_{ds} \cdot dt + \int_{t_l}^{t_{sb}} I_{ds} \cdot dt \quad (3.37)$$

Figura 3.4: Modelo triangular para  $\Delta Q_i$ .

El resultado de (3.37) es una expresión extensa y complicada de manejar, que no permite ver los compromisos entre las variables y sus efectos sobre el desempeño final del circuito. Por lo tanto, como en trabajos anteriores [21, 23], se plantea un modelo más sencillo en el que se asume simétrico el pico de corriente inversa respecto a su valor máximo, y el área se modela como la de un triángulo. El modelo puede verse en la Figura 3.4, donde el valor inverso máximo de la corriente es la altura de un triángulo cuya base es el intervalo de tiempo entre  $t_d$  y el instante de conducción inversa máxima,  $t_{im}$ .

Para encontrar una expresión para  $t_{im}$  se tiene que:

$$\left. \frac{dI_{ds}}{dt} \right|_{t=t_{im}} = 0 \quad (3.38)$$

En la corriente de esta región no se puede despreciar el término  $V_{ds}^2$ , ya que su magnitud es considerable, y por lo tanto:

$$I_{ds} = k_T \cdot \left( (V_{gs} - V_{TH}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right) \quad (3.39)$$

Evaluando la derivada en (3.38) con expresión para la corriente (3.39) y las tensiones definidas para la región inversa, el resultado es:

$$t_{im} = \frac{1}{\omega} \cos \left( \frac{V_{DC} + 2V_{TH}}{3V_a} \right) \quad (3.40)$$

La ecuación anterior indica que  $t_{im} < t_l$ , es decir, que la corriente máxima ocurre antes del cambio de triodo a saturación en los transistores. En  $t_{im}$  los transistores continúan en triodo y el valor máximo de la corriente inversa es el resultado de evaluar (3.39) en  $t_{im}$ :

$$I_m = \frac{k_T}{6} \cdot (V_{DC} - V_{TH})^2 \quad (3.41)$$

El modelo final de  $\Delta Q_i$  corresponde a dos veces el área del triángulo anteriormente descrito:

$$\Delta Q_i = 2 \left( \frac{(t_{im} - t_d) \cdot I_m}{2} \right) = I_m \cdot (t_{im} - t_d)$$

$$\Delta Q_i = \frac{k_T}{6} \cdot (V_{DC} - V_{TH})^2 \cdot (t_{im} - t_d) \quad (3.42)$$

### 3.2.4. Tensión $V_{DC}$

Con las expresiones encontradas en las diferentes regiones, se puede plantear finalmente la igualdad de cargas:

$$2 \cdot \frac{2k_T\sqrt{2}}{3\omega\sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{3}{2}} \cdot (V_a - V_{TH}) = 4 \cdot \frac{k_T}{6} \cdot (V_{DC} - V_{TH})^2 \cdot (t_{im} - t_d) + \frac{2\pi I_o}{\omega} \quad (3.43)$$

Es imposible despejar  $V_{DC}$  de la ecuación (3.43) y por ello es necesario introducir el término  $V_{DC_0}$ , que resulta de suponer que no existe conducción inversa, es decir, de igualar las cargas teniendo en cuenta únicamente la región de conducción directa y la carga de salida.

$$\frac{4k_T\sqrt{2}}{3\omega\sqrt{V_a}} \cdot (V_a - V_{DC_0})^{\frac{3}{2}} \cdot (V_a - V_{TH}) = \frac{2\pi I_o}{\omega} \quad (3.44)$$

$$V_{DC_0} = V_a - \left( \frac{3\pi I_o \sqrt{V_a}}{2\sqrt{2}k_T(V_a - V_{TH})} \right)^{\frac{2}{3}} \quad (3.45)$$

Con esta primera aproximación se puede plantear la sumatoria de cargas como sigue:

$$2 \cdot \frac{2k_T\sqrt{2}}{3\omega\sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{3}{2}} \cdot (V_a - V_{TH}) = 4 \cdot \frac{k_T}{6} \cdot (V_{DC_0} - V_{TH})^2 \cdot (t_{im} - t_d) + \frac{2\pi I_o}{\omega} \quad (3.46)$$

$$t_{im} = \frac{1}{\omega} \operatorname{acos} \left( \frac{V_{DC_0} + 2V_{TH}}{3V_a} \right) \quad (3.47)$$

$$t_d = \frac{1}{\omega} \operatorname{acos} \left( \frac{V_{DC_0}}{V_a} \right) \quad (3.48)$$

Despejando  $V_{DC}$  de la ecuación (3.46) se tiene:

$$V_{DC} = V_a - \left( \frac{3\pi I_{oq} \sqrt{V_a}}{2\sqrt{2}k_T(V_a - V_{TH})} \right)^{\frac{2}{3}} \quad (3.49)$$

donde

$$I_{oq} = I_o + \frac{k_T}{3\pi} (V_{DC_0} - V_{TH})^2 \cdot \left[ \operatorname{acos} \left( \frac{V_{DC_0} + 2V_{TH}}{3V_a} \right) - \operatorname{acos} \left( \frac{V_{DC_0}}{V_a} \right) \right] \quad (3.50)$$

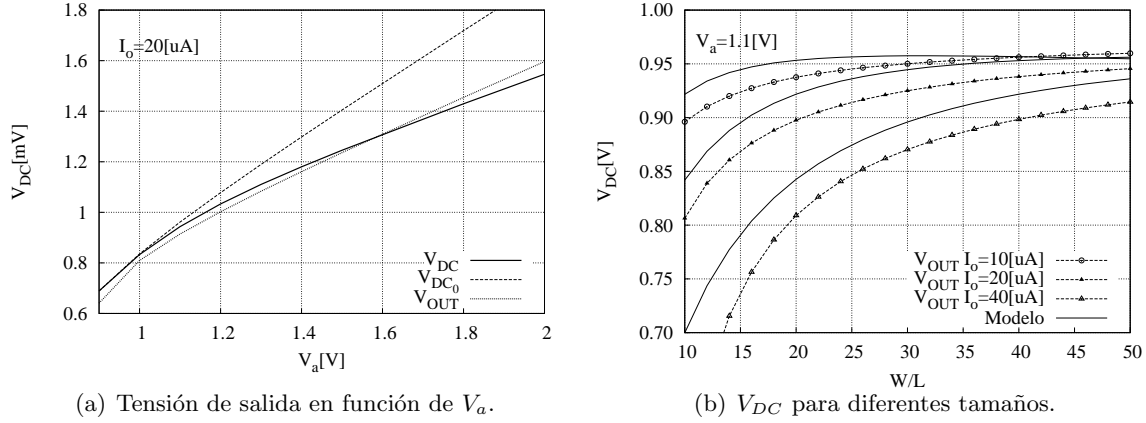


Figura 3.5: Modelo de la tensión de salida  $V_{DC}$ .

La Figura 3.5 muestra la tensión de salida simulada contrapuesta con la predicha por el modelo. Al calcular la carga de la región inversa con  $V_{DC_0}$  se sobrestima su valor, por lo cual la tensión de salida del modelo es inferior a la real. Una posible solución este problema es introducir una constante  $\beta$  ajustada con procesos iterativos de simulación, que reduzca el término  $4\Delta Q_i$  en la sumatoria de cargas. Sin embargo, esto no se hace porque el objetivo del modelo no es la precisión, sino la comprensión de la operación del circuito.

### 3.3. Potencia

La potencia consumida por el circuito completo se modela, al igual que la tensión, de forma diferente en cada una de las regiones de conducción y todos los aportes se suman para encontrar la expresión de la potencia promedio:

$$P_C = 4(P_d + 2P_i + P_{sb}) \quad (3.51)$$

$$P_d = \frac{1}{T} \int_{-t_d}^{t_d} p(t) \cdot dt = \frac{2}{T} \int_0^{t_d} p(t) \cdot dt \quad (3.52)$$

$$P_i = \frac{1}{T} \int_{t_d}^{t_{sb}} p(t) \cdot dt \quad (3.53)$$

$$P_{sb} = \int_{t_{sb}}^{-t_s+T/2} p(t) \cdot dt \approx 0 \quad (3.54)$$

donde  $P_c$  es la potencia promedio consumida,  $P_d$  la potencia promedio en la región de conducción directa,  $P_i$  en la inversa y  $P_{sb}$  en la subumbral. Además,  $p(t)$  es la potencia instantánea de la región involucrada en la integral y  $T$  es el periodo de la señal de entrada.

El coeficiente 4 que multiplica la suma de potencias consumidas representa el número de transistores del rectificador y el 2 que multiplica a  $P_i$ , modela las repeticiones del pico de conducción inversa durante un periodo.

### 3.3.1. Región directa $[-t_d, t_d]$

La potencia instantánea consumida por cada transistor es el producto de la corriente  $I_{ds}$  con  $V_{ds}$ . Utilizando las definiciones de corriente y tensiones hechas en la sección 3.2.2,  $P_d$  corresponde a:

$$P_d = \frac{2}{T} \int_0^{t_d} k_T (V_{gs} - V_{TH}) \cdot V_{ds}^2 \cdot dt$$

$$\approx \frac{2k_T}{T} \int_0^{t_2} \left( (V_a - V_{TH}) - \frac{V_a}{2} \omega^2 t^2 \right) \cdot \left( \frac{V_a - V_{DC}}{2} - \frac{V_a}{4} \omega^2 t^2 \right)^2 \cdot dt \quad (3.55)$$

Realizando la integral y utilizando la expresión (3.22) para  $t_2$ , se tiene que:

$$P_d = \frac{k_T \sqrt{2}}{4\pi \sqrt{v_a}} \cdot (V_a - V_{DC})^{\frac{5}{2}} \cdot \left( \frac{8}{15} (V_a - V_{TH}) - \frac{8}{105} (V_a - V_{DC}) \right)$$

$$\approx \frac{2\sqrt{2}k_T}{15\pi \sqrt{V_a}} \cdot (V_a - V_{DC})^{\frac{5}{2}} \cdot (V_a - V_{TH}) \quad (3.56)$$

Para llegar a la expresión final para  $P_d$  se reemplaza  $V_{DC}$  por la expresión (3.49), resultando:

$$P_d = \frac{I_{oq}}{5} \cdot \left( \frac{3\pi I_{oq} \sqrt{V_a}}{2\sqrt{2}k_T (V_a - V_{TH})} \right)^{\frac{2}{3}} \quad (3.57)$$

### 3.3.2. Región inversa $[t_d, t_{sb}]$

La potencia promedio consumida por los transistores en los periodos de conducción inversa se modela como un triángulo, aprovechando la forma de los picos, donde la altura corresponde a la amplitud máxima de la potencia y la base al tiempo entre  $t_d$  y el instante en que se consume la potencia máxima,  $t_{pm}$ . Al igual que en la región anterior,  $p_i(t)$  es el producto de  $I_{ds}$  con  $V_{ds}$ . Sin embargo, para la región de conducción inversa, las tensiones de polarización son diferentes y corresponden a las ecuaciones (3.31-3.34). Teniendo en cuenta lo anterior, y que en  $I_{ds}$  no se puede despreciar el término  $V_{ds}^2$  por razones explicadas en la sección 3.2.3, una expresión para  $t_{pm}$  se puede extraer de:

$$\left. \frac{dp_i(t)}{dt} \right|_{t=t_{pm}} = 0 \quad (3.58)$$

$$t_{pm} = \frac{1}{\omega} \arccos \left( \frac{8V_{TH} + V_{DC}}{9V_a} \right) \quad (3.59)$$

De la ecuación (3.58) se obtienen dos resultados, de los cuales uno es descartado por ser igual a  $t_d$  y por eso la solución válida es la expresión (3.59). Como  $t_{pm} < t_l$ , los transistores se encuentran en triodo para el instante de máximo consumo, cuyo valor corresponde a:

$$P_{im} = p(t) \Big|_{t=t_{pm}} = \frac{16}{243} k_T \cdot (V_a - V_{TH})^3 \quad (3.60)$$

Utilizando un modelo triangular similar al de  $\Delta Q_i$ , la potencia promedio consumida en la región de conducción inversa puede expresarse como:

$$P_i = \frac{2}{T} \cdot \left( \frac{P_{im}(t_{pm} - t_d)}{2} \right) = \frac{P_{im}(t_{pm} - t_d)}{T} \quad (3.61)$$

$$P_i = \frac{8k_T}{243\pi} \cdot (V_{DC} - V_{TH})^3 \cdot \left[ \arccos^{-1} \left( \frac{8V_{TH} + V_{DC}}{9V_a} \right) - \arccos \left( \frac{V_{DC}}{V_a} \right) \right] \quad (3.62)$$

### 3.3.3. Eficiencia

La *PCE* de la etapa se define como el cociente entre la potencia entregada a la carga y la potencia de entrada, con lo cual:

$$PCE = \frac{P_o}{P_o + P_c} \quad (3.63)$$

donde la potencia promedio de salida es  $P_o = V_{DC} \cdot I_o$  y  $P_c$  es la potencia consumida por los transistores, que se modela de acuerdo a la ecuación (3.51). Para comprobar la veracidad del modelo anterior se hicieron diversas simulaciones, cuyos resultados se muestran en la Figura 3.6. Es evidente el acercamiento del modelo al comportamiento real del circuito, aunque existe un error considerable como consecuencia de las aproximaciones hechas tanto en tensión como en potencia. Según la Figura 3.6, el modelo de la *PCE* puede ser una herramienta muy útil para el diseño del rectificador, porque predice con exactitud los puntos máximos de eficiencia respecto a las dimensiones de los transistores y la amplitud de la tensión de entrada.

## 3.4. Rectificador de múltiples etapas

Cuando la amplitud de la señal de entrada al rectificador no produce los niveles de tensión necesarios para alimentar un circuito integrado, es posible elevar la tensión salida uniendo varias etapas básicas de rectificación. Para el caso específico del puente rectificador de puertas

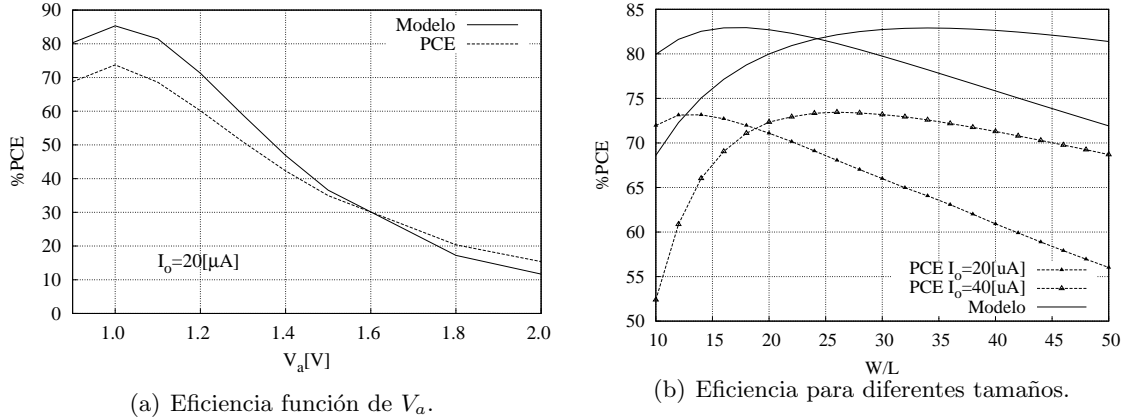


Figura 3.6: Modelo de la eficiencia de la etapa.

cruzadas *CMOS* el resultado es el circuito de la Figura 3.7, el cual está constituido por  $n$  etapas básicas que pueden identificarse por el subíndice que acompaña a los elementos que la conforman y a las señales  $V_x$ ,  $V_y$  y  $V_{DC}$ . Por otra parte, los capacitores  $C_{x_2} - C_{x_n}$  y  $C_{y_2} - C_{y_n}$  permiten que la tensión rectificadora se almacene progresivamente desde la etapa 2 hasta la  $n$ , así la tensión de salida en la última etapa es la suma de los aportes de todas las anteriores. El valor de tensión que se almacena en  $C_{x_i}$  es igual al de  $C_{y_i}$  y corresponde a la tensión rectificadora por la etapa previa o  $V_{DC(i-1)}$ , debido a que los transistores tipo  $n$  durante su periodo de conducción ponen en contacto directo al nodo  $V_{x_i}$  o  $V_{y_i}$  con la tensión de salida de la etapa anterior.

### 3.4.1. Tensión de salida

La primera etapa del rectificador de la Figura 3.7 está sometida a las mismas condiciones que el puente rectificador de puertas cruzadas *CMOS* analizado previamente y sigue el modelo planteado en la sección 3.2.4 para la tensión rectificadora. Por otra parte, si se extrae la etapa  $i$  del circuito de la Figura 3.7, se tiene un rectificador de puertas cruzadas *CMOS* con tensión de referencia igual a  $V_{DC(i-1)}$ , en otras palabras, restando a las tensiones  $V_{x_i}$ ,  $V_{y_i}$  y  $V_{DC_i}$  la tensión rectificadora anterior,  $V_{DC(i-1)}$ , se obtienen las tensiones  $V_{x_1}$ ,  $V_{y_1}$  y  $V_{DC_1}$  de la primera etapa del rectificador. En consecuencia, los valores de  $V_{gs}$  y  $V_{ds}$  para todos los transistores son iguales a las de sus homólogos en la primera etapa del rectificador, sin importar la etapa a la cual pertenezcan. Sucede lo mismo para el  $V_{bs}$  de los transistores tipo  $p$  pero no para los tipo  $n$ , porque su terminal de cuerpo necesariamente debe estar conectado a tierra y  $V_{sb_i}$  resulta ser la suma de  $V_{sb_1}$  con  $V_{DC(i-1)}$ .

El aumento progresivo de  $V_{sb}$  causa que la tensión  $V_{TH}$  de los transistores  $n$  para la etapa  $i$  sea siempre mayor que para la  $i - 1$ . Según el modelo propuesto en la sección 3.2.4 para

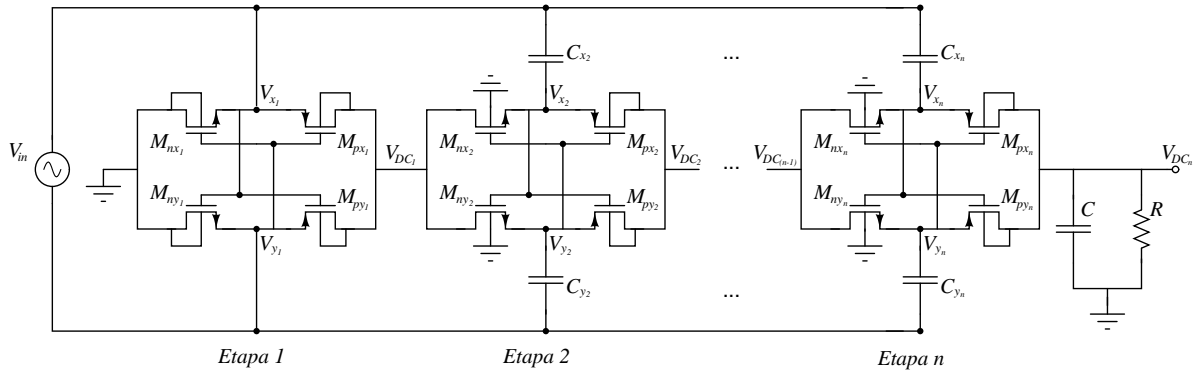


Figura 3.7: Rectificador de múltiples etapas.

la tensión de salida, un incremento en  $V_{TH}$  reduce el valor de  $V_{DC}$  y la corriente que circula por los transistores encendidos. Si se mira la corriente que el rectificador entrega a la carga como la suma de contribuciones de cada etapa, la primera aporta más que la segunda porque sus transistores tienen un menor  $V_{TH}$ . Estos dos efectos del aumento de  $V_{sb}$  afectan de forma opuesta la tensión de salida y mantienen la tensión rectificadora por etapa en el mismo valor, es decir,  $V_{DC_i} = i \cdot V_{DC_1}$ . Lo anterior es válido siempre que el modelo propuesto para  $V_{DC}$  aplique.

El modelo planteado para una sola etapa exige que la salida de tensión rectificadora sea cuando menos igual al  $V_{TH}$  de la pareja de transistores  $n$  y  $p$ , el cual está dominado por el  $V_{TH}$  más, como se mencionó en la sección 3.2.1. Suponiendo que el modelo aplica, todas las etapas del rectificador de la Figura 3.7 tienen la misma salida de tensión si se analizan individualmente. Así, cuando la primera etapa alcanza una salida de tensión igual al  $V_{TH}$  de los transistores de la última, el más alto, el modelo es válido para todo el circuito, pues si la condición se cumple para el  $V_{TH}$  más alto, se cumple para los demás.

La Figura 3.8(a) muestra los resultados de simulación para un rectificador de 4 etapas con  $V_a = 1,2$  V e  $I_o = 20$   $\mu$ A. Es evidente que  $V_{DC_2} \approx 2 \cdot V_{DC_1}$  y que  $V_{DC_3} \approx 3 \cdot V_{DC_1}$ , pero no pasa lo mismo con  $V_{DC_4}$ . Según el modelo para  $V_{DC}$  de la sección 3.2.4, la salida de tensión para una sola etapa con  $V_a = 1,2$  V corresponde a 1 V, con lo cual  $V_{sb_4}$  es igual a 3 V (despreciando la componente ondulatoria). Ésto genera un  $V_{TH}$  de 1.1 V, según la Figura 3.8(b). Como el  $V_{TH}$  de la última etapa es superior a la salida de tensión que produce  $V_a = 1,2$  V para la primera, se puede concluir que el modelo no es válido para la última etapa. En el caso de tener un rectificador con 3 etapas bajo las mismas circunstancias, el modelo aplica para el rectificador completo porque el  $V_{TH}$  más alto es de 0.95 V.

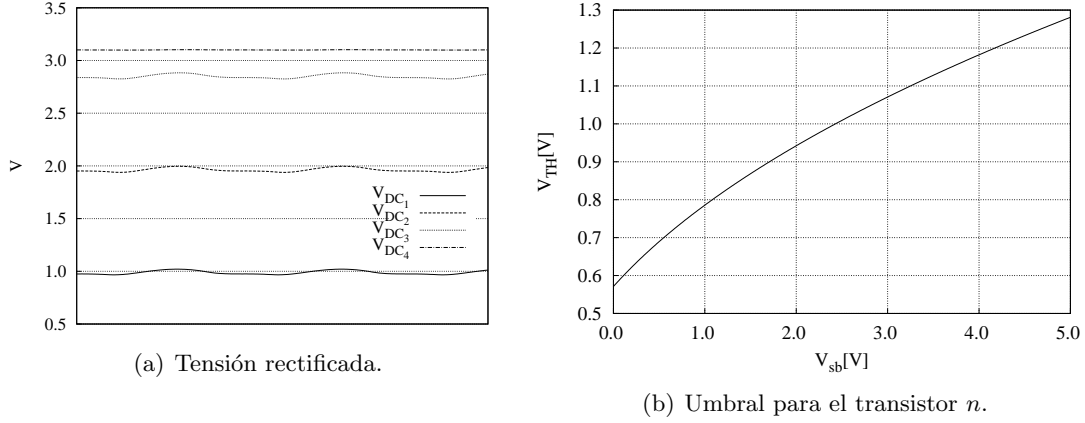


Figura 3.8: Simulaciones para comprobar la validez del modelo.

### 3.4.2. Eficiencia

La eficiencia para el rectificador de varias etapas se define como el cociente entre la potencia que consume la carga y la que entra al rectificador.

$$PCE_n = \frac{V_{DC_n} \cdot I_o}{V_{DC_n} \cdot I_o + P_{C_n}} = \frac{n \cdot V_{DC_1} \cdot I_o}{n \cdot V_{DC_1} \cdot I_o + P_{C_n}} \quad (3.64)$$

donde  $P_{C_n}$  es la potencia consumida por los transistores de un rectificador de  $n$  etapas. Producto de la reducción progresiva de la corriente, el consumo de potencia baja avanzando desde la primera hacia la última etapa. Sin embargo, al suponer el consumo de potencia de todas las etapas igual al de la primera  $P_{C_n} \approx n \cdot P_C$ , el término  $n$  de (3.65) se elimina y la eficiencia del rectificador de varias etapas se hace igual a la de una sola etapa.

$$PCE_n \approx \frac{n \cdot V_{DC_1} \cdot I_o}{n \cdot V_{DC_1} \cdot I_o + n \cdot P_C} = \frac{V_{DC_1} \cdot I_o}{V_{DC_1} \cdot I_o + P_C} \quad (3.65)$$

En la Figura 3.9 se muestra la eficiencia de rectificadores con 1, 2, 3 y 4 etapas, junto con el modelo para la eficiencia del puente rectificador de puertas cruzadas *CMOS* de la sección 3.3.3, en función de  $V_a$  y  $W/L$ . En la Figura 3.9(a) se incluye únicamente la región para la cual el modelo es válido, que para el caso de 2, 3 y 4 etapas, inicia justamente en el punto de mayor eficiencia. Por otra parte, la Figura 3.9(b) es el resultado de variar  $W/L$  manteniendo  $V_a$  en 1.6 V. En las dos figuras es evidente que cualquiera que sea el número de etapas, mientras se cumpla con la exigencia del modelo, el comportamiento de la eficiencia es el mismo. No obstante, la aproximación de  $P_{C_n}$  introduce un error que aumenta con el número de etapas.

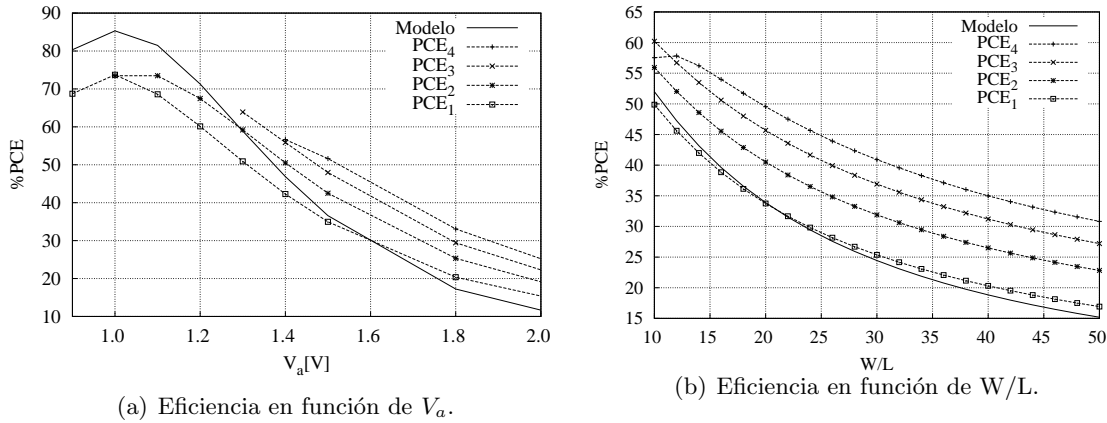


Figura 3.9: Eficiencia del rectificador de varias etapas.

### 3.5. Capacitancia parásita

La capacitancia equivalente del rectificador referida a la entrada  $C_p$  es un parámetro muy importante a tener en cuenta en el diseño, porque influye sobre el valor de  $V_a$  e indirectamente en la eficiencia y la tensión rectificadora. En [7] se demuestra que  $V_a \propto \frac{1}{\sqrt{C_p}}$  cuando el acople de impedancias entre la antena y el rectificador está constituido únicamente por elementos pasivos, el cual es el caso más común.

En un transistor *MOS* existen cinco capacitancias parásitas:  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$ ,  $C_{bs}$  y  $C_{bd}$ , las cuales se muestran en la Figura 3.10.  $C_{gd}$  y  $C_{gs}$  tienen dos componentes, la primera de ellas  $W \cdot C_o$ , donde  $C_o$  es la capacitancia por unidad de longitud, se debe al traslape de las difusiones de drenador y surtidor con la puerta del transistor. La segunda componente se debe a que el canal de inversión conecta la capacitancia de puerta a drenador y surtidor. Sin embargo, este aporte depende de la polarización porque con ésta varía el estado del canal. En la región de triodo, cuando el canal es uniforme, la capacitancia de puerta se divide en partes iguales entre drenador y surtidor, de modo que  $C_{gdc} = C_{gsc} = \frac{1}{2}C_{ox}WL$ . En saturación el canal se estrangula y  $C_{gsc}$  se hace igual a  $\frac{2}{3}C_{ox}WL$  al tiempo que  $C_{gdc}$  se hace cero. Cuando el transistor se encuentra apagado y no existe canal de inversión, la capacitancia de puerta aparece completamente conectada a cuerpo.  $C_{gb}$  es el resultado de la combinación en serie de la capacitancia de puerta  $C_{ox}\frac{W}{L}$  con la capacitancia de la zona de depleción  $C_d = WLC_{do}$ , donde  $C_{do}$  es la capacitancia por unidad de área de la zona de depleción. No obstante,  $C_{gb}$  generalmente se desprecia cuando el transistor se encuentra encendido, ya que el canal de inversión sirve como pantalla para la capacitancia de puerta. Finalmente,  $C_{bs}$  y  $C_{bd}$  son generadas por la unión PN que forma el cuerpo con surtidor y drenador respectivamente. Ambas tienen dos componentes, la primera aportada por las superficies de contacto laterales

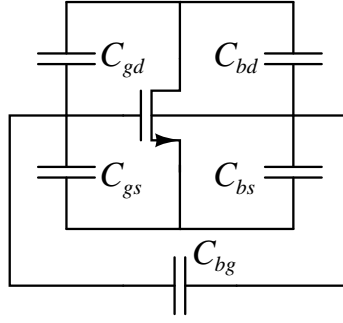


Figura 3.10: Capacitancias parásitas de un transistor MOS.

de la difusión con el cuerpo, que se expresa como  $2(W + E) \cdot C_{j_{sw}}$ , donde  $E$  es el ancho de la difusión y  $C_{j_{sw}}$  es la capacitancia por unidad de longitud. La segunda componente resulta de la unión entre el lado inferior de la difusión y el cuerpo, la cual corresponde a  $WE \cdot C_j$ , donde  $C_j$  es la capacitancia por unidad de área de la unión.

Para modelar la capacitancia equivalente del puente rectificador de puertas cruzadas *CMOS* se supondrá que físicamente los transistores son simétricos y que se mantienen en la región de triodo siempre que conducen, sea en la región de conducción directa o en la inversa. La primera suposición permite que la expresión para cualquiera de las capacitancias parásitas del transistor, no se vea afectada por el intercambio de terminales que ocurre entre drenador y surtidor en la región de conducción inversa. Mientras la segunda reduce el número de posibles valores para las capacitancias de 3 a 2, pues antes de iniciar la conducción subumbral los transistores pasan por saturación. La expresión para las capacitancias parásitas cuando los transistores conducen corresponde a (3.66) y cuando no lo hacen a (3.67).

$$\begin{aligned} C_{gs} = C_{gd} &= WC_o + \frac{1}{2}C_{ox}WL \\ C_{gb} &= 0 \end{aligned} \quad (3.66)$$

$$C_{bs} = C_{bd} = WEC_j + 2(W + E)C_{j_{sw}}$$

$$\begin{aligned} C_{gs} = C_{gd} &= WC_o \\ C_{gb} &= WL \frac{C_{ox}C_{do}}{C_{ox} + C_{do}} \end{aligned} \quad (3.67)$$

$$C_{bs} = C_{bd} = WEC_j + 2(W + E)C_{j_{sw}}$$

En la Figura 3.11 se pueden ver todas las capacitancias parásitas que aportan los 4 transistores del puente rectificador en el semiciclo positivo de  $V_{in}$ . Teniendo en cuenta que en RF la tensión constante  $V_{DC}$  equivale a tierra, la capacitancia resultante entre los nodos de entrada corresponde a:

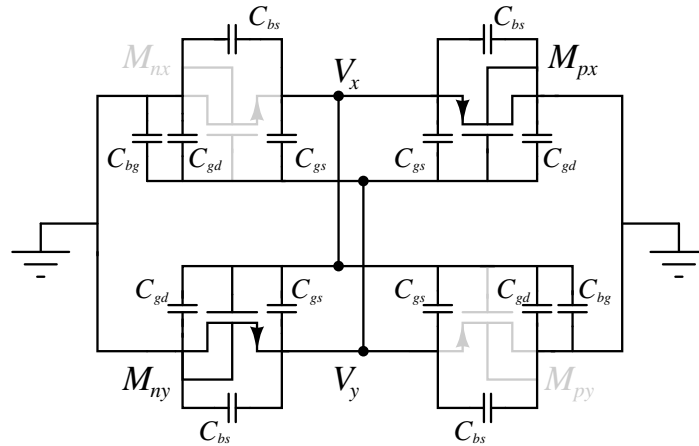


Figura 3.11: Capacitancias parásitas del rectificador de puertas cruzadas *CMOS*.

$$C_p = C_{gsM_{ny}} + C_{gsM_{px}} + C_{gsM_{nx}} + C_{gsM_{py}} + (C_{bsM_{ny}} + C_{bsM_{py}} + C_{bgM_{nx}} + C_{bgM_{nx}} + C_{gdM_{px}}) \\ \parallel (C_{bsM_{nx}} + C_{bsM_{px}} + C_{gdM_{ny}} + C_{gdM_{py}} + C_{gbM_{py}}) \quad (3.68)$$

Para el semi ciclo negativo la expresión es la misma. Si se desprecia  $E$  en la capacitancia de las uniones PN,  $C_p$  es el resultado de  $W \cdot C_{po}$ , donde  $C_{po}$  es la capacitancia por unidad de longitud que resulta de realizar las operaciones en la ecuación (3.68), la cual depende de  $C_{jn}$ ,  $C_{jp}$ ,  $C_{on}$ ,  $C_{op}$ ,  $C_{oxn}$ ,  $C_{oxp}$ ,  $C_{jsw_n}$ ,  $C_{jsw_p}$ ,  $C_{don}$  y  $C_{dop}$ , donde los subíndices denotan la diferencia entre los valores para el transistor tipo  $n$  y tipo  $p$ .

En un rectificador con  $n$  etapas, la capacitancia parásita referida a la entrada  $C_{pn}$  es la suma de los aportes de cada etapa. Para una etapa diferente a la primera, la capacitancia  $C_p$  de la ecuación (3.68) se conecta en serie con  $C_x$  y  $C_y$  de la Figura 3.7. Sin embargo, éstas últimas tienen un valor del orden de pF mientras  $C_p$  se mantiene en los fF [21], por lo cual la capacitancia parásita de todas las etapas es aproximadamente  $C_p$  y en consecuencia:

$$C_{pn} \approx n \cdot C_p = n \cdot W \cdot C_{po} \quad (3.69)$$

La ecuación anterior indica que la única forma de reducir la capacitancia parásita del rectificador desde su diseño, es mantener  $W$  en el valor más pequeño posible.

Con lo expuesto hasta el momento es suficiente para el planteamiento de una estrategia de diseño, que use las expresiones encontradas para llevar al circuito al punto de mejor desempeño. Ésta se tratara en el siguiente capítulo.



## Capítulo 4

# Estrategia de diseño y resultados

Con todos los elementos planteados en los capítulos anteriores, en esta parte del documento se plantea una estrategia de diseño y se realizan las simulaciones necesarias para su validación.

### 4.1. Estrategia de Diseño para máxima eficiencia

Después de derivar expresiones para los dos parámetros más importantes del puente rectificador de puertas cruzadas *CMOS*, es necesario plantear una estrategia de diseño para llevar al circuito al punto de mejor desempeño, para las condiciones de operación, las cuales corresponden a potencia irradiada por la fuente y distancia entre la fuente de radiación y el rectificador. En el Capítulo 1 se discutieron los criterios de selección de estos valores, que corresponden a 4 WEIRP y 5 m, respectivamente. Un factor adicional que define las condiciones de operación del rectificador, es la resistencia de radiación de la antena  $R_{ant}$ , que puede tomar valores entre 0.5-4 k $\Omega$ , como se expuso en la sección 1.3.1. Bajo estas condiciones y con  $R_{ant} = 4$  k $\Omega$ , la potencia disponible en la antena  $P_D$  tiene un valor de 178.4  $\mu$ W, por lo cual la amplitud de la señal senoidal de entrada al rectificador  $V_a$ , tiene un valor de 1.2 V, pues  $V_a = \sqrt{2P_D R_{ant}}$ .

La condición más desfavorable para el rectificador es justamente el límite de las especificaciones, es decir, cuando la distancia es de 5 m. Para lograr la mayor eficiencia en este punto se plantea la siguiente estrategia de diseño:

1. Determinar el valor de  $V_a$  para las condiciones de operación.
2. Fijar un valor inicial para  $I_o$  utilizando  $P_D$ ,  $V_a$  y el número de etapas.
3. Determinar las dimensiones óptimas de los transistores,  $(W/L)_{opt}$ , para el valor máximo de eficiencia utilizando la ecuación (3.63).

4. Hallar el valor de  $V_{DC}$  según el modelo y corroborar la validez del mismo para el número de etapas planteado, utilizando la Figura 3.8(b) de la tensión de umbral.

Con  $V_a$  y  $P_D$  es posible calcular un valor aproximado de la corriente máxima que se puede entregar a la carga, suponiendo que la tensión rectificada  $V_{DC}$  es igual a  $V_a$ . En este cálculo inicial se debe tener en cuenta el número de etapas del rectificador. Para  $V_a = 1,2$  V, dos etapas pueden generar una tensión rectificada cercana a los 2 V, suficiente para un *RFID* [21]. Por lo tanto,  $I_o = P_D/(2V_a)$ , que para este caso corresponde a 74  $\mu$ A.

Ahora, con  $I_o$  se puede despejar de la ecuación (3.63) para la *PCE* de una sola etapa las dimensiones  $(W/L)_{opt}$ , que maximizan la eficiencia, valor que corresponde a 43 para las condiciones planteadas. Según la ecuación (3.49) con  $W/L = (W/L)_{opt}$ , la tensión rectificada es de 0.96 V, valor que se encuentra por encima de la tensión de umbral de los transistores de la segunda etapa, según la Figura 3.8(b), y por lo cual el modelo para la eficiencia y la tensión rectificada es válido.

La tensión de salida de la segunda etapa simulada es de 1.79 V y la eficiencia de 72.58 %. La potencia entregada a la carga es entonces de  $I_o \cdot 1,79 = 132,46$   $\mu$ W, lo cual significa, teniendo en cuenta la eficiencia, que la potencia disponible en la antena debe ser de 182.5  $\mu$ W, resultado un poco superior al real, que puede ajustarse reduciendo la corriente de salida.

## 4.2. Tamaño de los capacitores

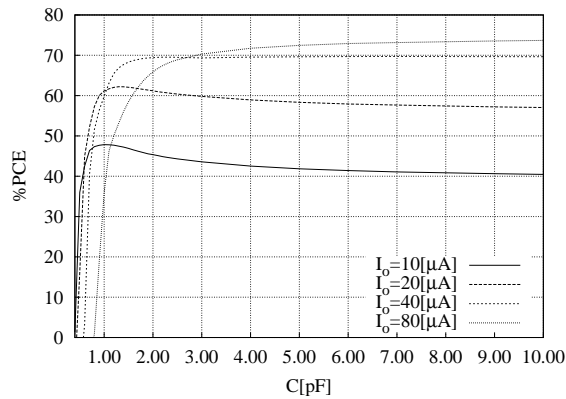


Figura 4.1: Eficiencia en función del tamaño de la capacitancia.

Todos los capacitores del rectificador de tensión tienen el mismo valor y en conjunto definen el área en silicio del circuito. En la Figura 4.1 se muestra la eficiencia de un rectificador de dos etapas en función del tamaño de sus capacitores, para diferentes valores de corriente. Es claro de esta figura que a mayores valores de corriente mayor debe ser el valor de  $C$ , para garantizar que el circuito logre llegar a su máxima eficiencia. Dicho valor en promedio es de

0.07 fF/ $\mu$ A para un circuito de 2 etapas, pero aumenta con el número de etapas porque la tensión que debe almacenar C se eleva progresivamente.

Para reducir aún más el área en silicio del circuito, es posible reducir el tamaño de los capacitores sacrificando algunos puntos porcentuales en la eficiencia, aunque una reducción excesiva puede tener un fuerte impacto negativo sobre ésta.

### 4.3. Resultados

Siguiendo la estrategia planteada se encontraron cuatro diseños para condiciones diferentes de operación, los cuales se exponen en la tabla 4.1. En todos los casos, las dimensiones de los capacitores se fijaron utilizando el criterio expuesto en la sección 4.2. Por otra parte, el valor de  $L$  para los transistores se mantiene en el mínimo permitido por la tecnología de fabricación, esto con el fin de reducir el área necesaria para que el transistor tenga un valor determinado de  $W/L$ .

Para validar los diseños se utiliza la herramienta *Hspice* con el modelo *BSIM3V3* nivel 49 del transistor y los parámetros de fabricación del proceso *AMS C35B4C3*. Las simulaciones corroboran el valor predicho por el modelo para la relación de aspecto de los transistores que maximiza la eficiencia y entregan los demás valores citados en la tabla 4.1.

$d$ [m]	$P_D$ [ $\mu$ W]	$R_{ant}$ [k $\Omega$ ]	$V_a$ [V]	Etapas	C [pF]	$W/L$	$I_o$ [ $\mu$ A]	$V_{DC}$ [V]	<i>PCE máxima</i>
5	178.4	4	1.2	2	5	43	72	1.8	72.9%
5	178.4	3	1.035	2	4	61	40	1.57	74%
5	178.4	3	1.035	3	1.5	17	5	2.26	62.5%
7	91	4	0.85	2	2	34	5	1.2	63.7%

Tabla 4.1: Especificaciones de varios diseños del rectificador.

Es necesario resaltar que sólo el primero de los diseños utiliza la totalidad de la potencia disponible en la antena, en los otros tres casos, la potencia de entrada al rectificador es inferior a la disponible. Aunque esta es una situación desfavorable, los tres diseños muestran la respuesta del circuito en diferentes escenarios y permiten validar la estrategia utilizada. Además, es posible que un resonador entre la antena y el rectificador eleve los niveles de tensión, de modo que para una distancia determinada, el circuito consuma exactamente la potencia disponible.

Las expresiones planteadas para la eficiencia y la tensión rectificadora resumen los compromisos entre las variables involucradas en la operación del rectificador, lo cual permite justificar los resultados. Los primeros dos diseños suponen una mayor corriente de salida y tienen los valores más altos de eficiencia. Esto se debe a que un aumento de  $I_o$  reduce la tensión rectificadora, con lo cual disminuye la potencia consumida en la región de conducción inversa, ya que

es proporcional a  $(V_{DC} - V_{TH})^3$ . En el caso contrario, una reducción de  $I_o$  eleva la tensión rectificadora, con lo cual aumenta la potencia consumida y se reduce la eficiencia. Sin embargo, el incremento de la corriente también supone un aumento en la potencia consumida, pero como lo demuestran los datos de tabla 4.1, este no es el efecto dominante. Por otra parte, el comportamiento de la tensión rectificadora es un poco más evidente, pues ésta mantiene una relación de proporcionalidad inversa con la corriente y aumenta con el número de etapas.

Teniendo en cuenta las limitaciones de la tecnología de fabricación y resultados de trabajos publicados previamente, en la sección 1.4.1 se fijó un valor para la distancia de operación y la eficiencia esperada. Estos valores corresponden a 5 m y 30 % respectivamente. Todos los diseños de la tabla 4.1 superan las expectativas, en especial en lo que a eficiencia se refiere, pues están por encima del doble del valor esperado. Esto se debe a la arquitectura utilizada para el circuito, pues el puente rectificador de puertas cruzadas *CMOS* compensa la tensión de umbral de los transistores, la cual resulta ser la mayor limitante de la eficiencia. Además, la compensación es particularmente efectiva porque no necesita de circuitos adicionales, y tampoco somete a los transistores a una polarización constante, hecho que reduce las corrientes de fuga.

Aunque es difícil comparar los resultados obtenidos con los de trabajos anteriores, por las diferencias en las condiciones de operación y la tecnología de fabricación, es evidente que la arquitectura seleccionada y la estrategia de diseño implementada conducen a valores para la eficiencia mucho mayores a los reportados en [14, 16, 21], que en promedio son del 30 %. Unos valores considerablemente menores a los de la tabla 4.1, que se deben al uso del doblador de tensión como etapa básica de rectificación. Sin embargo, la comparación no se puede hacer de forma directa, porque en los tres trabajos citados, la amplitud de señal de entrada al rectificador es cercana a los 250 mV y se usan dispositivos con tensión de umbral de 50 mV en promedio. Bajo estas condiciones, fenómenos que no se tuvieron en cuenta en la deducción del modelo, como la conducción subumbral, toman gran importancia.

Por otra parte, en [24] la eficiencia reportada es del 66 % y se usa el puente rectificador de puertas cruzadas *CMOS* como etapa básica de rectificación, además, la amplitud de la señal de entrada es similar a las citadas en la tabla 4.1. A pesar de los excelentes resultados en [24], dicho trabajo no expone ninguna metodología de diseño y tampoco un análisis matemático del circuito. Mientras en este proyecto, se presenta un modelo que evidencia los compromisos entre las diferentes variables, sin la necesidad de ecuaciones muy complejas, del cual se deriva una estrategia de diseño. Si bien la eficiencia de [24] es menor a las mostradas en la tabla 4.1, ésta es un resultado de mediciones sobre un prototipo, donde aparecen efectos no incluidos en las simulaciones de los diseños propuestos.

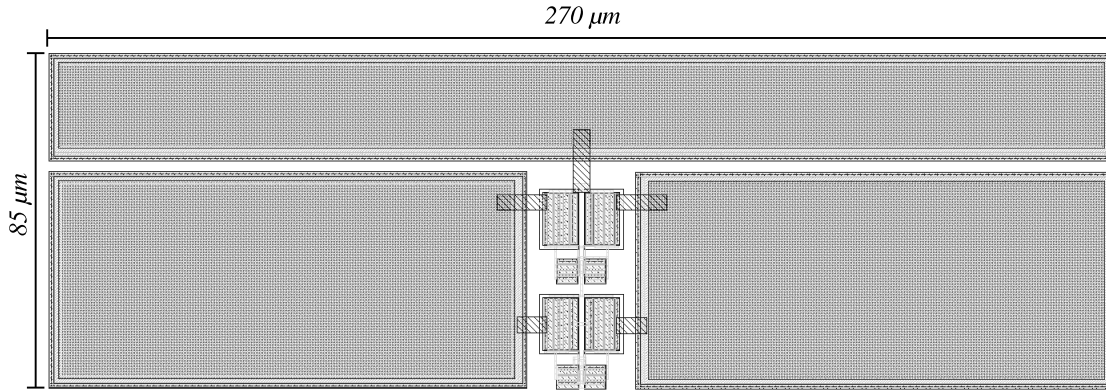


Figura 4.2: Layout de un rectificador con dos etapas.

#### 4.3.1. *Layout y elementos parásitos*

El *layout* del rectificador de puertas cruzadas *CMOS*, de una o varias etapas, debe hacerse teniendo particular cuidado en mantener la simetría, esto con el fin de no afectar la naturaleza diferencial del circuito. En la Figura 4.2 se puede ver el *layout* para el primer diseño de la tabla 4.1, que mide 270x85  $\mu\text{m}$  y que introduce al circuito 34 resistencias entre 103.8  $\text{m}\Omega$  y 145.3  $\Omega$ , y 20 capacitancias entre 1.795  $\text{fF}$  y 7.763  $\text{fF}$ . Además, las dos placas de los capacitores interactúan con el sustrato para formar una capacitancia parásita, que puede llegar incluso al valor de 1  $\text{pF}$ .

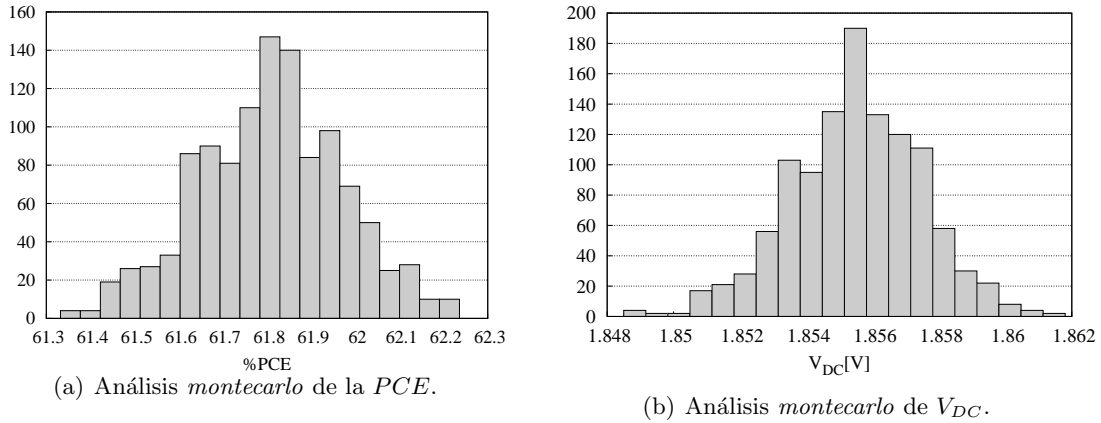
Todos estos nuevos elementos consumen potencia y reducen la eficiencia del circuito, por eso su valor debe mantenerse tan bajo como sea posible, realizando los ajustes necesarios en el *layout*. La tabla 4.2 muestra una comparación del diseño antes y después de la extracción de los elementos parásitos. La eficiencia cae cerca de 10 puntos porcentuales, mientras la tensión rectificadora permanece en el mismo valor.  $I_o$  se ajusta para que el circuito no consuma más de la potencia disponible en la antena.

Simulación	$V_a$ [V]	Etapas	C [pF]	$W/L$	$L$ [ $\mu\text{m}$ ]	$I_o$ [ $\mu\text{A}$ ]	$V_{DC}$ [V]	<i>PCE máxima</i>
<i>Prelayout</i>	1.2	2	5	43	0.35	72	1.8	72.9%
<i>Poslayout</i>	1.2	2	5	43	0.35	61	1.84	63.12%

Tabla 4.2: Comparación de las especificaciones antes y después del *layout*.

#### 4.3.2. *Análisis montecarlo*

En un circuito integrado, pequeños cambios en las características de los materiales derivan en la modificación de los parámetros de los elementos integrados, dependiendo del circuito, esto puede afectar notablemente su desempeño. En un análisis *montecarlo*, las características

Figura 4.3: Análisis *montecarlo*.

de los elementos se consideran variables estadísticas, que han sido medidas por el fabricante. En las Figuras 4.3(a) y 4.3(b) se muestra la distribución de una muestra de 1000 circuitos sobre los valores posibles de eficiencia y tensión rectificada, respectivamente. La *PCE* se mantiene en un estrecho rango de valores, pues presenta una desviación estándar de 0.26, mientras la media es de 61.78 %. De igual forma, los cambios en la tensión rectificada son despreciables, con desviación estándar de 0.004 y media de 1.8552 V.

El valor de la eficiencia que más se repite según la Figura 4.3(a) es de 61.8 %, muy cercado al 66 % reportado en [24]. Este resultado es concluyente, pues valida tanto el modelo encontrado como la estrategia de diseño planteada.

#### 4.4. Observaciones y conclusiones

En este trabajo se analizaron las condiciones de operación y las especificaciones del rectificador para recolección de potencia de ondas de radiofrecuencia. Se estudiaron las seis arquitecturas más sobresalientes en la literatura y se seleccionó el puente rectificador de puestas cruzadas *CMOS* como la de más alta eficiencia, utilizando simulaciones hechas en *Hspice* con el modelo *BSIM3V3* nivel 49 como criterio de selección. Se planteó un modelo para la tensión rectificada y la eficiencia de la arquitectura seleccionada, haciendo aproximaciones para lograr un equilibrio entre exactitud y sencillez. Posteriormente, una estrategia de diseño fue planteada para lograr la mayor eficiencia del circuito, utilizando el modelo encontrado y fueron presentados varios diseños para el rectificador, que cumplen a satisfacción con las especificaciones fijadas al inicio del proyecto. Finalmente, se realizó un *layout* y un análisis *montecarlo* para determinar el efecto de la integración sobre el desempeño del rectificador, lo cual tuvo un resultado concluyente, al mostrar una eficiencia de 61.8 %, muy cercana a la más

alta reportada en la literatura.

Una expresión unificada para la corriente de los transistores tipo  $n$  y tipo  $p$  que conducen al tiempo en el rectificador fue planteada para la deducción del modelo de la tensión rectificadora y la eficiencia, en el que se tuvo en cuenta además, los tiempos de conducción, la simetría de los transistores y el efecto cuerpo. El modelo evidencia los compromisos entre las variables que intervienen en la operación del circuito, y aunque las aproximaciones hechas introducen un error considerable, el modelo predice con exactitud el comportamiento de la eficiencia y la tensión rectificadora respecto al tamaño de los transistores, por lo cual es muy útil y acertado para el diseño.

La estrategia de diseño planteada permite que el circuito tenga la máxima eficiencia en la distancia límite de las especificaciones y considera el número de etapas del rectificador. Los resultados de simulación de cuatro diseños finales, en los que se tuvo en cuenta la capacitancia parásita del circuito y el tamaño de los capacitores propios del rectificador, muestran que la estrategia utilizada es adecuada. Adicionalmente, en relación a otros trabajos, los resultados muestran que el puente rectificador de puertas cruzadas *CMOS* diseñado de forma adecuada, puede mejorar notablemente la eficiencia del circuito.

Posteriormente se hizo un *layout* del circuito y se realizaron simulaciones teniendo en cuenta los efectos parásitos. Además, se realizó un análisis *montecarlo* para evaluar el efecto de las variaciones del proceso sobre la eficiencia y la tensión rectificadora. Con lo anterior se obtuvo una eficiencia del 61.8 %, un valor muy cercano al más alto reportado en la literatura [24], con lo cual se valida con creces el modelo y la estrategia de diseño propuestos.

## 4.5. Recomendaciones para trabajos futuros

- Teniendo en cuenta que las características de la antena y el acople de impedancias influyen sobre el desempeño del rectificador, se recomienda diseñar el receptor de potencia de ondas de radiofrecuencia completo, para aumentar la eficiencia del todo el bloque y no sólo la de uno de sus circuitos.
- A pesar de la compensación satisfactoria del efecto de la tensión de umbral sobre la tensión rectificadora y la eficiencia, la amplitud de la señal de entrada al rectificador debe ser mayor a la tensión de umbral para que el circuito puede operar. Por lo cual se recomienda implementar una tecnología de fabricación cuyos transistores tengan una menor tensión de umbral.
- Aunque la conducción subumbral de los transistores en la tecnología de fabricación *AMS C35B4C3* no es significativa, lo puede ser para otras, en especial para aquellas con

bajas tensiones de umbral. Para éstas se recomienda tener en cuenta en la deducción del modelo, la potencia consumida y la corriente que circula en la región mencionada .

- Con el objetivo de fabricar un prototipo, es indispensable el diseño de una estructura integrada de mediciones y un plan de pruebas.
- Considerando los excelentes resultados de simulación, este trabajo puede ser el punto de partida para el diseño de un *RFID* completo.

# Bibliografía

- [1] R. Dell and D. Rand, *Understanding Batteries*. The Royal Society of Chemistry, 2001.
- [2] A. D. Joseph, “Energy Harvesting Projects,” vol. 4, no. 1, pp. 69–71, Jan. 2005.
- [3] P. Fiorini, I. Doms, C. V. Hoof, and R. Vullers, “Micropower Energy Scavenging,” in *European Solid-State Circuits Conf. IEEE*, Edinburgh, Scotland, 2008, pp. 4–9.
- [4] Epcglobal. [Internet]. Visite: <http://www.epcglobalinc.org/home>
- [5] W. C. Brown, “The History of Power Transmission by Radio Waves,” *IEEE Trans. Microw. Theory Tech.*, vol. 32, no. 9, pp. 1230–1242, Sep, 1984.
- [6] P. Glaser, “An Overview of the Solar Power Satellite Option,” *IEEE Trans. Microw. Theory Tech.*, vol. 40, no. 6, pp. 1230–1238, Jun. 1992.
- [7] S. Mandal, “Far Field RF Power Extracttion Circuits ans Systems,” Master’s thesis, Dep. Electr. Eng. Comput. Sci., Mass. Inst. Technol., Cambridge, MA, Jun. 2004.
- [8] T. Le, K. Mayaram, and T. Fiez, “Efficient Far-Field Radio Frequency Energy Harvesting for Passively Powered Sensor Networks,” *IEEE J. Solid-State Circuits*, vol. 43, no. 5, pp. 1287–1302, May. 2008.
- [9] L. Mateu, C. Codrea, N. Lucas, M. Pollak, and P. Spies, “Human Body Energy Harvesting Thermogenerator for Sensing Applications,” in *International Conference on Sensor Technologies and Applications. IEEE*, Valencia, Spain, 2007, pp. 366–372.
- [10] Micropelt product overview and datasheets. [Internet]. Visite: <http://www.micropelt.com/products/datasheets.php>
- [11] S. Kulkani, E. Koukharenko, J. Tudor, S. Beeby, T. O’Donnell, and S. Roy, “Fabrication and Test of Integrated Micro-Scale Vibration Based Electromagnetic Generator,” in *Solid-State Sensors, Actuators and Microsystems Conference. IEEE*, Lyon, France, 2007, pp. 879–882.

- [12] G. Despesse, J. Chaillout, T. Jarger, F. Cardot, and A. Hoogerwerf, "Innovative Structure for Mechanical Energy Scavenging," in *Solid-State Sensors, Actuators and Microsystems Conference. IEEE*, Lyon, France, 2007, pp. 895–898.
- [13] M. Marzencki, Y. Ammar, and S. Basrour, "Integrated Power Harvesting System Including a MEMS Generator and a Power Management Circuit," in *Solid-State Sensors, Actuators and Microsystems Conference. IEEE*, Lyon, France, 2007, pp. 887–890.
- [14] J. Curty, N. Joehl, C. Dehollain, and M. Declercq, "Remotely Powered Addressable UHF RFID Integrated System," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2193–2202, Nov. 2005.
- [15] X. Wang, B. Jiang, W. Che, N. Yan, and H. Min, "A High Efficiency AC-DC Charge Pump Using Feedback Compensation Technique," in *Asian Solid-State Circuits Conf. IEEE*, Jeju, Korea, 2007, pp. 252–255.
- [16] T. Umeda, H. Yoshida, S. Sekine, Y. Fujita, T. Suzuki, and S. Otaka, "A 950-MHz Rectifier Circuit for Sensor Network Tags With 10-m Distance," *IEEE J. Solid-State Circuits*, vol. 41, no. 1, pp. 35–41, Jan. 2006.
- [17] J. Curty, N. Joehl, F. Krummenacher, C. Dehollain, and M. Declercq, "A Model for  $\mu$ -Power Rectifier Analysis and Design," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 12, pp. 2771–779, Dec. 2005.
- [18] Z. Zhu, B. Jamali, and P. Cole. (2004) Brief comparison of different rectifier structures for rfid transponders. [Internet]. Visite: <http://autoidlab.eleceng.adelaide.edu.au/Papers/CompRect.pdf>
- [19] H. Nakamoto, D. Yamazaki, T. Yamamoto, H. Kurata, S. Yamada, K. Mukaida, T. Nimomiya, T. Ohkawa, S. Masui, and K. Gotoh, "A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35- $\mu$ m Technology," *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 101–110, Jan. 2007.
- [20] K. Kotani and T. Ito, "High Efficiency CMOS Rectifier Circuit with Self-V<sub>th</sub>-Cancellation and Power Regulation Functions for UHF RFIDs," in *Asian Solid-State Circuits Conf. IEEE*, Jeju, Korea, 2007, pp. 119–122.
- [21] J. Yi, W. Ki, and C. Tsui, "Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor," *IEEE Trans. Circuits Syst.*, vol. 54, no. 1, pp. 156–166, Jan. 2007.

- [22] Y. Tsvividis, *Operation and Modeling of The MOS Transistor*, 2nd ed. McGraw-Hill, 1999.
- [23] A. Ashry, K. Sharaf, and M. Ibrahim, "A Simple and Accurate Model for RFID Rectifier," *IEEE Syst. J.*, vol. 2, no. 4, pp. 520–524, Dec. 2008.
- [24] K. Kotani, A. Sasaki, and T. Ito, "High-Efficiency Differential-Drive CMOS Rectifier for UHF RFIDs," *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 311–318, Nov. 2009.