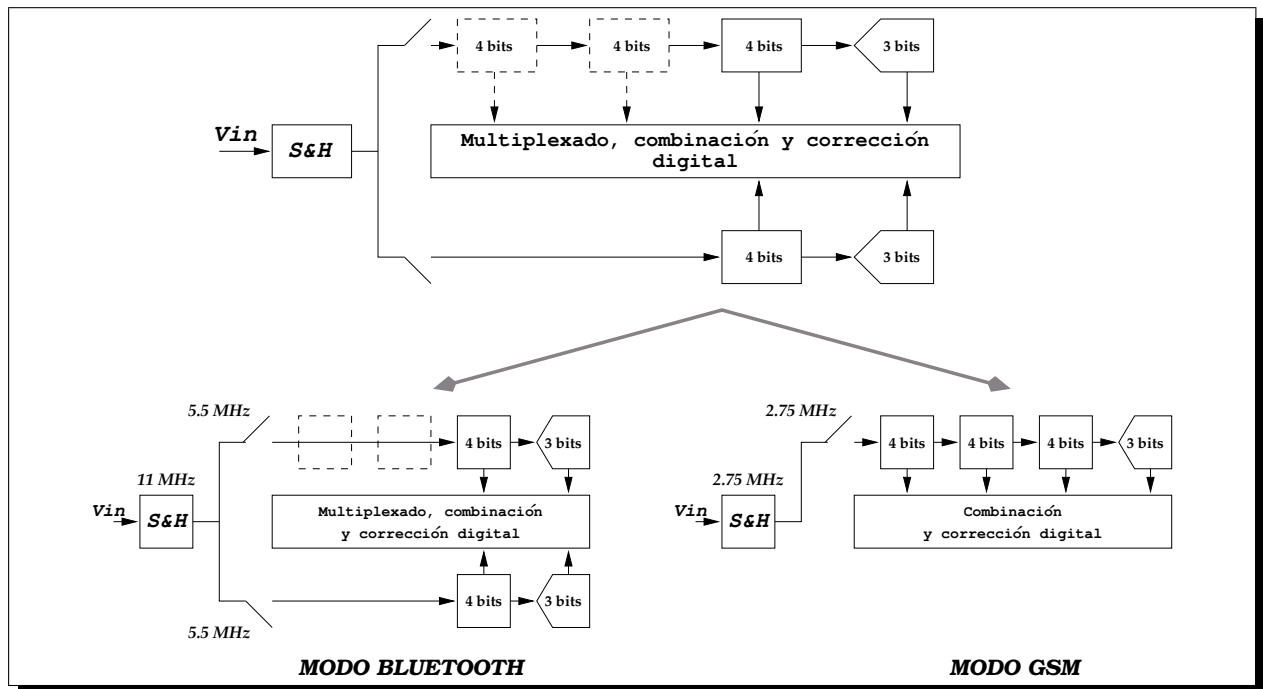


DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL CONFIGURABLE INTEGRADO EN TECNOLOGÍA *CMOS*.



Wilmar Carvajal Ossa

Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Universidad Industrial de Santander
Bucaramanga – 2007



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL CONFIGURABLE INTEGRADO EN TECNOLOGÍA *CMOS*.

Wilmar Carvajal Ossa

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director
Elkim Felipe Roa Fuentes

Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Universidad Industrial de Santander
Bucaramanga–Octubre de 2007

A Sebastián, sea cual sea el desenlace de su incipiente historia.

AGRADECIMENTOS

Primero que todo, le agradezco a mi familia por su apoyo incondicional durante este camino. Ellos son la razón primordial por la que hoy soy lo que soy, y por la que en un futuro seré lo que podré llegar a ser.

Doy gracias a Yesly por llegar en un momento clave de mi vida, en el que sin su apoyo y cariño, sencillamente todo sería mucho más difícil.

Por supuesto, no puedo olvidar dar gracias a todos mis amigos y amigas de los diferentes entornos en los que mi vida cotidiana se desarrolla. Todos y cada uno de ellos, han participado y me han acompañado en determinados momentos durante este largo y duro, pero gratificante recorrido.

También agradezco a la Universidad Industrial de Santander por estos años de formación personal y profesional, especialmente al profesor Elkim Roa por dirigir mi trabajo y transmitirme su valiosa y motivante experiencia en el campo de la microelectrónica.

Por último agradezco a todos mis amigos del grupo CIDIC por su colaboración, motivación y soporte constante. Gran parte de los frutos de este trabajo, no habrían sido posibles sin el loable trabajo de equipo que nos caracteriza.

RESUMEN

TÍTULO:

DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL CONFIGURABLE INTEGRADO EN TECNOLOGÍA *CMOS*¹

AUTOR:² WILMAR CARVAJAL OSSA

PALABRAS CLAVE: *ADC*, multiestándar, *Bluetooth*, *GSM*, *configurable time-interleaved pipeline*, *double sampling*, *OTA* cascado doblado, programación geométrica.

DESCRIPCIÓN:

En este trabajo se aborda el diseño de un *ADC* multiestándar, el cual debe cumplir con las especificaciones de los estándares *Bluetooth* y *GSM*. Este bloque hace parte de la etapa de recepción del transceiver inalámbrico integrado en tecnología *CMOS* propuesto por el Grupo de Diseño de Circuitos Integrados, CIDIC, de la Universidad Industrial de Santander (UIS).

Inicialmente se realiza el análisis del *ADC* como sistema, al mismo tiempo que las especificaciones a ese nivel son desarrolladas. La arquitectura adaptada a partir de la literatura es conocida como *time-interleaved pipeline*, y sus bloques principales, el *S&H* y la celda básica que comprende el *sub-ADC* y el *MDAC*, son explicados posteriormente junto con la estrategia de corrección digital mediante el bit de redundancia entre etapas consecutivas. Los dos circuitos más elementales, el amplificador operacional de transconductancia (*OTA*) y el comparador de tensión, son también presentados antes de introducir la programación geométrica como herramienta de diseño auxiliar, la cual permite la optimización del consumo de potencia de dichos circuitos básicos y descubre una nueva perspectiva en el diseño de circuitos analógicos del estado del arte.

Finalmente, los resultados alcanzados y las simulaciones de los diferentes bloques constituyentes del *ADC* son presentados. La conclusión más importante de este trabajo se deriva de la aplicación combinada de la programación geométrica y el análisis cuidadoso de los requerimientos reales de los circuitos, lo cual resulta en la optimización del desempeño global del *ADC* diseñado.

¹Proyecto de Grado

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Elkim Felipe Roa Fuentes.

SUMMARIZE

TITLE:

INTEGRATED CONFIGURABLE ANALOG-TO-DIGITAL CONVERTER DESIGN IN CMOS TECHNOLOGY ³

AUTHOR:⁴

WILMAR CARVAJAL OSSA

KEY WORDS: ADC, multi-standard, Bluetooth, GSM, configurable time-interleaved pipeline, double sampling, folded cascode OTA, geometric programming,

DESCRIPTION:

In this work, a multi-standard ADC which should fulfill the specifications of Bluetooth and GSM standards, is designed. This block takes place in the stage of reception of the integrated wireless transceiver in CMOS technology proposed by the Research group on Integrated Circuits Design, CIDIC, of the Industrial University of Santander (UIS).

Initially, analysis of the ADC as a system is carried out, at the same time that the specifications at that level are developed. The architecture adapted from the literature is known as time-interleaved pipeline, and its main blocks, the S&H and the basic cell including sub-ADC and MDAC circuits, are explained later on together with the digital correction strategy based on the bit of redundancy between consecutive stages. The two more elementary circuits, the operational transconductance amplifier (OTA) and the voltage comparator, are also presented before introducing geometric programming as an auxiliary design tool, which allows the power consumption optimization of this basic circuits and discovers a new perspective in analog circuit design for the state of the art.

Finally, the reached results and the different ADC blocks simulations are presented. The most important conclusion in this work is derived from the joint application of geometric programming and careful analysis of the real circuit requirements, allowing the global performance optimization in the designed ADC.

³Degree project

⁴Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director MSc. Elkim Felipe Roa Fuentes.

Contenido

1. Introducción	1
1.1. Motivación	2
1.2. Consideraciones generales	3
1.2.1. Estándares inalámbricos	3
1.2.2. Arquitecturas de sistemas receptores inalámbricos	5
1.2.3. Estado del arte	6
1.3. Especificaciones del <i>ADC</i> configurable	10
1.3.1. Linealidad	12
1.3.2. Relación señal a ruido (<i>SNR</i>), rango dinámico (<i>DR</i>) y resolución	13
1.3.3. Ancho de banda y frecuencia de muestreo	18
1.3.4. Consumo de potencia	18
1.4. Resumen del capítulo	19
1.5. Organización del documento	19
2. Arquitectura del <i>ADC</i> multiestándar: descripción y especificación	21
2.1. Generalidades de la arquitectura <i>time-interleaved</i>	21
2.2. No idealidades de la arquitectura <i>time-interleaved</i>	22
2.2.1. Errores por diferencia de ganancias	22
2.2.2. Errores por diferencia de <i>offsets</i>	23
2.2.3. Errores por desviaciones de fase	24
2.3. La rama con arquitectura <i>pipeline</i>	25
2.3.1. Principio de funcionamiento	25
2.3.2. Descripción de la arquitectura	25
2.3.3. Formación de códigos digitales	26
2.4. Optimización del consumo de potencia de la arquitectura <i>time-interleaved pipeline</i>	28
2.4.1. Selección del número de ramas	29
2.4.2. Selección de la resolución por etapa	30
2.5. No idealidades y extracción de especificaciones de las etapas	32
2.5.1. Errores en el <i>sub-ADC</i>	34
2.5.2. Errores de ganancia	35
2.5.3. Errores en el <i>DAC</i>	36
2.5.4. Errores por el efecto del ruido	37
2.5.5. <i>Clock jitter</i>	38
2.6. Especificaciones de la arquitectura, recopilación	38

3. Circuito de muestreo y retención (<i>S&H</i>)	41
3.1. Generalidades sobre los circuitos <i>S&H</i>	41
3.2. No idealidades del <i>S&H</i>	43
3.2.1. Inyección de carga	44
3.2.2. <i>Clock feedthrough</i>	46
3.2.3. Ruido	47
3.3. El circuito básico <i>S&H</i> utilizando <i>SC</i>	48
3.4. Técnica del muestreo doble en el <i>S&H</i>	50
3.5. Descripción de la arquitectura del <i>S&H</i> para el <i>ADC</i> multiestándar	52
3.6. Especificaciones para el <i>S&H</i>	54
3.6.1. Capacitores de muestreo	54
3.6.2. Interruptores <i>MOS</i>	54
3.6.3. El amplificador	55
4. Celda básica <i>pipeline</i>	59
4.1. Corrección digital	59
4.2. El <i>sub-ADC</i> con arquitectura <i>flash</i>	63
4.3. Especificaciones para el <i>sub-ADC</i>	67
4.4. El <i>MDAC</i>	68
4.5. Descripción de la topología del <i>MDAC</i>	72
4.6. Especificaciones para el <i>MDAC</i>	76
4.6.1. Tamaño y escalamiento de capacitores unitarios	76
4.6.2. Interruptores <i>MOS</i>	78
4.6.3. El amplificador	78
5. <i>OTAs</i> y comparadores	81
5.1. Programación geométrica	81
5.1.1. Monomios y posinomios	82
5.1.2. Forma estándar de un PG	83
5.1.3. Solución del programa geométrico	83
5.1.4. Modelado de transistores y estrategia de diseño con PG	83
5.2. Diseño de <i>OTAs</i> usando programación geométrica	85
5.2.1. Polarización, condiciones de operación y geometría.	87
5.2.2. Parámetros de desempeño.	90
5.2.3. Estrategia de diseño y modificaciones.	93
5.2.4. El <i>OTA</i> del <i>S&H</i>	97
5.3. El <i>CMFB</i> para el <i>OTA</i>	100
5.4. Diseño del comparador de los <i>sub-ADCs</i>	103
6. Resultados	105
6.1. Simulaciones	105
6.1.1. <i>S&H</i>	106
6.1.2. <i>sub-ADC</i>	108
6.1.3. <i>MDAC</i>	108
6.2. <i>Layout</i>	110
6.3. Conclusiones	112
6.4. Observaciones y recomendaciones para trabajos futuros	112

Lista de figuras

1.1.	Modelo general de los receptores inalámbricos de conversión directa.	2
1.2.	Arquitecturas de receptores inalámbricos.	5
1.3.	Modelo de las arquitecturas de conversión directa (homodina) y de baja <i>IF</i>	6
1.4.	Estado del arte de los <i>ADCs</i> configurables.	7
1.5.	Arquitectura $\Sigma\Delta$	8
1.6.	Arquitectura propuesta en el artículo guía.	8
1.7.	Árbol de referencias del artículo guía.	9
1.8.	Función de transferencia ideal y no ideal del <i>ADC</i> con los errores <i>INL</i> y <i>DNL</i>	12
1.9.	Especificación del rango dinámico del <i>ADC</i>	13
1.10.	<i>BER</i> vs. <i>SNR</i> para el esquema de modulación empleado por <i>GSM</i>	14
1.11.	Modelo utilizado para el análisis de desempeño del estándar <i>GSM</i>	15
1.12.	<i>BER</i> vs. <i>SNR</i> para el esquema de modulación empleado por <i>Bluetooth</i>	15
1.13.	Perfiles de <i>blockers</i> y máscara de atenuación del filtro banda base.	16
2.1.	Esquema conceptual de <i>time-interleaving</i> y su respectiva secuencia temporal.	22
2.2.	Limitaciones de desempeño de la arquitectura <i>time-interleaved</i>	23
2.3.	Arquitectura <i>time-interleaved pipeline</i> con circuito <i>S&H</i> a la entrada.	24
2.4.	La arquitectura <i>pipeline</i>	26
2.5.	La señal de residuo en una etapa <i>pipeline</i>	27
2.6.	Formación de códigos digitales de salida entre etapas adyacentes.	27
2.7.	Efecto del paralelismo en la potencia del <i>ADC</i> (sin incluir el <i>S&H</i>).	30
2.8.	Efecto de la resolución por etapas en la potencia del <i>ADC</i> (sin incluir el <i>S&H</i>).	31
2.9.	Resoluciones por etapas del <i>ADC</i> a diseñar y sus modos de operación.	33
2.10.	Modelo de las fuentes de error en una celda básica <i>pipeline</i>	34
2.11.	Efecto de e_{ADC} como única fuente de error en una etapa de 3 bits.	34
2.12.	Efecto de e_G como única fuente de error en una etapa de 3 bits.	36
2.13.	Efecto del <i>clock jitter</i> en el instante de muestreo de una onda sinusoidal.	38
3.1.	Modo de operación de los circuitos de muestreo.	42
3.2.	Circuito de muestreo básico con un interruptor <i>MOS</i> y su equivalente <i>RC</i>	43
3.3.	El circuito <i>S&H</i> básico empleando interruptores <i>MOS</i> complementarios.	43
3.4.	Desviación del instante de muestreo en el <i>S&H</i>	44
3.5.	Empleo de <i>bottom-plate sampling</i> en el circuito <i>S&H</i> básico.	45
3.6.	Implementación diferencial del circuito <i>S&H</i> básico.	46
3.7.	Uso de transistor <i>dummy</i> en el circuito <i>S&H</i> básico.	47
3.8.	Modelo de ruido del transistor <i>MOS</i>	48
3.9.	El circuito <i>S&H</i> básico empleando <i>SC</i>	49
3.10.	Circuito <i>S&H</i> con <i>SC</i> empleando muestreo doble.	50

3.11. Circuito <i>SC-S&H</i> con muestreo doble insensible a desbalances de temporización.	51
3.12. Arquitectura del <i>S&H</i> para el <i>ADC</i> multiestándar.	53
3.13. Circuito equivalente del <i>S&H</i> durante cualquiera de las fases (ϕ_1 o ϕ_2).	54
3.14. Tiempo de asentamiento para el <i>OTA</i> .	56
3.15. Señal de entrada con $f_{in} = 500$ kHz muestreada por el <i>S&H</i> a $f_s = 11$ MHz.	57
4.1. La celda básica de la arquitectura <i>pipeline</i> .	59
4.2. Formación de códigos digitales entre dos etapas de 4 bits.	60
4.3. Generación de la salida digital sin <i>RSD</i> .	61
4.4. Generación de la salida digital con <i>RSD</i> .	61
4.5. Modelo de una celda básica <i>pipeline</i> con <i>offset</i> digital.	61
4.6. Modificación de la función de transferencia del par de etapas de 4 bits con <i>RSD</i> .	62
4.7. Efecto de la corrección digital en la cuantización de los <i>sub-ADCs</i> .	63
4.8. El <i>sub-ADC</i> de 3 bits sin bit de redundancia.	65
4.9. El <i>sub-ADC</i> de 4 bits con bit de redundancia.	66
4.10. Opciones para la arquitectura del <i>S&H</i> con ganancia.	69
4.11. Técnica de <i>auto-zeroing</i> en el <i>S&H</i> con ganancia.	70
4.12. El circuito <i>MDAC</i> de las 3 primeras celdas <i>pipeline</i> .	73
4.13. Circuito equivalente del <i>MDAC</i> de las 3 primeras celdas <i>pipeline</i> .	74
4.14. Pareja de <i>MDACs</i> consecutivos operando en fases opuestas.	76
5.1. La arquitectura del <i>OTA</i> cascado doblado.	85
5.2. Medio circuito en modo común del <i>OTA</i> cascado doblado.	86
5.3. Medio circuito diferencial en pequeña señal del <i>OTA</i> cascado doblado.	90
5.4. Ganancia y fase del <i>OTA</i> en el <i>S&H</i> .	98
5.5. Rangos de excursión para el <i>OTA</i> en el <i>S&H</i> .	99
5.6. Conexión del <i>OTA</i> para la medición de DR_{IN} .	99
5.7. Verificación del <i>slew rate</i> del <i>OTA</i> en el <i>S&H</i> .	100
5.8. El <i>OTA</i> cascado doblado con el bloque <i>SC-CMFB</i> .	101
5.9. Operación del circuito <i>SC-CMFB</i> en el <i>OTA</i> .	102
5.10. Característica entrada/salida del comparador de tensión.	103
5.11. Arquitectura típica de comparador.	103
6.1. Establecimiento de las muestras en el <i>S&H</i> .	106
6.2. Resultados de simulación para el <i>S&H</i> .	107
6.3. Generación simulada de los códigos termómetro D y T .	108
6.4. Resultados de simulación para el <i>MDAC</i> .	109
6.5. <i>Layout</i> del <i>ADC</i> diseñado.	111

Lista de Tablas

1.1.	Resumen de características de algunos estándares inalámbricos.	4
1.2.	Recopilación de trabajos recientes en <i>ADCs</i> configurables.	7
1.3.	Especificaciones de los estándares operacionales en el <i>ADC</i> a diseñar.	11
1.4.	Especificaciones de diseño del <i>ADC</i> multiestándar.	19
2.1.	Variables y parámetros utilizados en las expresiones (2.2) y (2.3).	29
2.2.	Especificaciones para las etapas en la rama <i>pipeline</i> del <i>ADC</i> multiestándar.	39
3.1.	Especificaciones a nivel de sistema para el circuito <i>S&H</i>	55
3.2.	Especificaciones del <i>OTA</i> incluido en el <i>S&H</i>	58
4.1.	Detalle del código termómetro para 3 bits.	64
4.2.	Detalle del código termómetro para 4 bits.	64
4.3.	Comparación de las dos opciones en la figura 4.10.	69
4.4.	Detalle de la operación del <i>MDAC</i> de 4 bits empleando <i>RSD</i>	71
4.5.	Detalle de la tensión $V_{T_{sub-ADC}} = \frac{TV_{ref}}{2^n}$ en la tabla 4.4.	72
4.6.	Especificaciones a nivel de sistema para los <i>MDACs</i>	76
4.7.	Especificaciones de <i>OTAs</i> en las etapas <i>pipeline</i>	80
5.1.	Variables de diseño en el PG para el <i>OTA</i> cascode doblado.	97
5.2.	Dimensiones y fuentes de polarización para el <i>OTA</i> del <i>S&H</i>	98
5.3.	Especificaciones a partir de la simulación del diseño del <i>OTA</i> del <i>S&H</i>	98

Capítulo 1

Introducción

Tecnología y comunicación son dos sectores del entorno en los que se desarrolla e interactúa el hombre contemporáneo, los cuales avanzan de forma convergente y apresurada en la búsqueda tanto de confort como de progreso.

En el mismo sentido, las comunicaciones inalámbricas pertenecen a los sectores denominados actualmente como tecnologías de vanguardia. Por lo tanto, continuamente se desarrollan nuevos y variados estándares que pretenden normalizarlas. En este contexto, los *transceivers*¹ con compatibilidad multiestándar han adquirido importancia en la fabricación de dispositivos versátiles y configurables en ese campo tecnológico.

La innovación en el diseño de *transceivers* para comunicaciones inalámbricas ha sido dirigida durante años por los retos y especificaciones propuestos en los estándares que regulan dichas tecnologías [1]. Recientemente, con el éxito de las redes de área personal *Bluetooth*, los esfuerzos de los diseñadores y fabricantes de sistemas inalámbricos apuntan a la optimización del costo, desempeño y compatibilidad entre estándares y aplicaciones disímiles. Estos tres criterios han dado origen a un nuevo enfoque sobre la integración de sistemas portátiles inalámbricos, bajo el cual es deseable que la etapa encargada de la recepción posea la adaptabilidad necesaria para procesar eficientemente señales de diferentes estándares. Dicho procesamiento debe ser realizado sin la necesidad de grandes modificaciones a los parámetros de circuito de los bloques analógicos que conforman el receptor [2].

Actualmente, los esquemas de modulación y los protocolos digitales son dominantes en el escenario de las comunicaciones inalámbricas. Por ello se hace necesario que el procesamiento de la información banda base en niveles superiores a la capa física de este tipo de sistemas, sea efectuado en el dominio digital mediante *DSPs*² reconfigurables. Sin embargo, la señal recibida en la antena de radiofrecuencia y su proceso inicial de adecuación y conversión a *IF*³, así como todos los bloques que participan en él, se encuentran generalmente en el dominio analógico. Por la razón anterior, se hace necesaria la existencia de un Conversor Analógico-Digital (*ADC*), el cual asume el rol de interfaz o puente entre estos dos tipos de señales de distinta naturaleza presentes a lo largo de un sistema receptor inalámbrico, tal y como se aprecia en la figura 1.1 [3].

Bajo el anterior argumento, este trabajo de grado plantea el diseño de un *ADC* con-

¹Término en inglés para denominar un sistema transmisor-receptor. En adelante, los términos en inglés usados en este libro se presentarán en letra cursiva.

²Abreviación en inglés de *Digital Signal Processor* o Procesador Digital de Señales.

³*IF* es la abreviación de Frecuencia Intermedia. Dependiendo de la aplicación y estándar utilizado puede ser *DC* (0 Hz, como en el receptor de conversión directa) o un valor específico de frecuencia (menor a *RF*) que ofrezca ventajas en la recepción de señal.

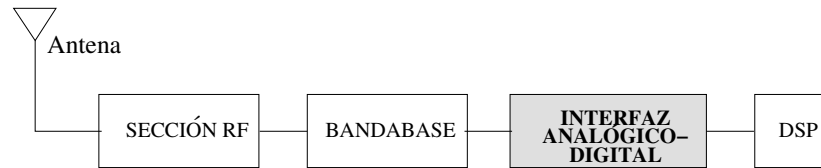


Figura 1.1: Modelo general de los receptores inalámbricos de conversión directa.

figurable, el cual pueda operar adecuadamente bajo los requerimientos de los estándares *Bluetooth* y *GSM*. Este bloque hará parte de la etapa de recepción del *transceiver* inalámbrico integrado en tecnología *CMOS* propuesto por el Grupo de Diseño de Circuitos Integrados, CIDIC, de la Universidad Industrial de Santander (UIS). Adicionalmente, el presente proyecto pretende contribuir a una serie de actividades, cuya meta es proporcionarle continuidad al proceso de evolución y maduración de la iniciativa académica propuesta por el grupo, la cual consiste en forjar una nueva línea de investigación y desarrollo para el programa de Ingeniería Electrónica en la UIS.

Con el propósito de ubicar al lector dentro del contexto relacionado con el diseño del *ADC* configurable, este capítulo realiza una breve revisión de las características y compromisos generales involucrados en un trabajo con estas condiciones. Así mismo, serán presentados los diferentes requerimientos y especificaciones derivados de los estándares involucrados, los cuales determinan la clase de *ADC* a seleccionar.

1.1. Motivación

El rápido crecimiento en la industria de las comunicaciones inalámbricas ha impulsado recientemente muchos campos de investigación en la electrónica, los cuales persiguen el incremento tanto en el nivel de integración, como en la adaptabilidad y versatilidad del diseño de *transceivers* para *RF*. Como bloque fundamental dentro del procesamiento en banda base del receptor, el *ADC* diseñado para estas condiciones de operación también se ha convertido en un área activa de innovación y desarrollo en los últimos años.

La configurabilidad del *ADC* es uno de los principales aportes a la adaptabilidad de los receptores multiestándar. Adicionalmente, este bloque permite la integración de la parte analógica y el procesamiento digital en un mismo chip, manteniendo la filosofía actual de las soluciones *SoC*⁴ para los sistemas portátiles modernos. Las anteriores consideraciones hacen que el diseño del *ADC* sea un aspecto clave en dichos sistemas.

En las referencias de implementaciones recientes de receptores multiestándar, existe una marcada preferencia por las arquitecturas digitales de los conversores $\Sigma\Delta$ para la realización de *ADCs* adaptables. En oposición a esta tendencia, el presente proyecto plantea el diseño de un *ADC* empleando una arquitectura configurable que incluye topologías tradicionales de frecuencia de Nyquist, adaptando una propuesta igualmente disponible en la literatura.

Como se explicará más adelante en este mismo capítulo, algunas de las desventajas del conversor $\Sigma\Delta$ provienen de su misma naturaleza como arquitectura de *oversampling*. Las altas frecuencias de trabajo de estos *ADCs* incrementan su consumo de potencia y enfrentan el reciente cambio de paradigma de la electrónica, según el cual la reducción del canal de los transistores, y el aumento de las frecuencias de operación, han llegado a su límite. Además,

⁴*System on Chip*. Tendencia de la electrónica actual cuya idea principal es que todo sistema analógico-digital pueda ser diseñado e implementado dentro de una misma pastilla de silicio.

los fuertes cambios en la especificación de SNR^5 cuando el ADC pasa de un estándar a otro, y la misma característica digital de la arquitectura, hacen más complejo su diseño.

Con esta línea de diseño ligeramente divergente del estado del arte, este trabajo intenta reafirmar y validar las ventajas de la aplicabilidad de los circuitos integrados analógicos sobre su contraparte digital en el campo de los conversores de datos.

1.2. Consideraciones generales

El diseño de un Conversor Analógico-Digital (ADC) para un sistema receptor inalámbrico multiestándar tiene diferentes enfoques debido a que cada estándar involucrado, así como la arquitectura seleccionada, enfrentan sus propios obstáculos e inconvenientes de implementación.

Un receptor multiestándar no es una simple combinación de receptores individuales que operan bajo cada estándar, sino aquél que debe funcionar de una forma eficiente en esas condiciones cambiantes. Por ello, uno de los principales requisitos para optimizar el costo de implementación de dicho dispositivo, es que la mayor cantidad posible de bloques de circuito pueda ser compartida o reutilizada entre los diferentes modos de operación. Otro importante aspecto es la configurabilidad, ya que permite minimizar el área de silicio ocupada por el dispositivo, además del consumo de potencia extra requerido para digitalizar distintos formatos de datos [3].

Por todo lo expuesto anteriormente, se deben establecer compromisos entre los diferentes requerimientos de diseño antes de definir la estructura del ADC . Posteriormente, debe realizarse una cuidadosa distribución de las especificaciones entre los subbloques que constituyen la arquitectura del conversor seleccionada.

Sin embargo, el primer paso para contextualizar el ADC a diseñar lo constituye la identificación general de los estándares de comunicación inalámbrica involucrados, así como de las diferentes posibilidades para las arquitecturas de recepción disponibles, y los antecedentes y tendencias del estado del arte en el campo de los conversores de datos.

1.2.1. Estándares inalámbricos

Durante la última década, han sido desarrollados numerosos estándares para toda clase de aplicaciones. Entre ellos, algunos ejemplares como la serie de *IEEE 802.11 (Wi-Fi)* y *Bluetooth*, son dominantes en el mercado actual inalámbrico. Otros, como *UWB (Ultra Wide Band)* y el *IEEE 802.15.4 (Zig Bee)*, se están desarrollando y adaptando rápidamente para entrar a competir en este ambiente de tecnologías modernas. La tabla 1.1 lista algunos de estos estándares, su aplicación, ventajas y desventajas. Vale la pena resaltar que así como el diseño de los sistemas que operan bajo ellos, cada uno de los diferentes estándares tiene sus propias prioridades y problemas de implementación.

Por otro lado, y con más experiencia y tiempo de utilización, se encuentran algunos estándares de telefonía móvil, como aquellos que están basados en la tecnología *TDMA*⁶, característica de la segunda generación del sistema móvil celular. Estos sistemas adquieren diferentes denominaciones de acuerdo a la principal región geográfica donde operan: *GSM* en Europa, *IS-54* en los Estados Unidos y *PDC*⁷ en Japón.

⁵ *Signal to Noise Ratio* (Relación Señal a Ruido).

⁶ *Time Division Multiple Access* (Acceso Múltiple por División de Tiempo).

⁷ *Personal Digital Cellular*.

Estándar	Aplicación	Costo*	Ventajas	Desventajas
<i>Wi-Fi</i>	Redes empresariales	> \$20	Alta rata de datos, usa redes existentes.	Alto costo y consumo de potencia. Requiere APs**.
<i>Bluetooth</i>	Redes de área personal	< \$5	Base instalada amplia, optimizada para voz.	Soportada sobre otras redes, 8 nodos máximo.
<i>UWB</i>	Multimedia	> \$20	Banda ancha, optimizado para multimedia.	Todavía en desarrollo, alto costo y consumo de potencia.
<i>Zig Bee</i>	Monitoreo y control	\$0,5	Bajo costo y consumo de potencia. No requiere APs.	Aplicación restringida, sin capacidad de procesamiento.

* Valor por nodo de acceso en dólares.

** AP se refiere a *Access Point*.

Tabla 1.1: Resumen de características de algunos estándares inalámbricos (adaptada de [3]).

Debido a su gran acogida y preferencia en el mercado actual de las tecnologías inalámbricas para redes de área personal, la banda de frecuencias libre en la que opera y su compatibilidad de bajo costo con los procesos de fabricación *CMOS*, el estándar *Bluetooth* hace parte de este trabajo. El otro estándar seleccionado es *GSM*, y la razón se puede entender mediante un sencillo ejemplo de aplicación: para un dispositivo que funciona bajo *GSM*, un sistema celular operacional en el contexto nacional colombiano, es de gran utilidad la posibilidad de establecer enlaces *Bluetooth* de corto alcance con computadores, ‘manos-libres’ y otros celulares.

Algunas de las especificaciones y características de operación de este par de estándares de comunicación inalámbrica son reseñadas en las siguientes líneas.

■ El estándar *Bluetooth*

Adoptado del estándar *IEEE 802.15.1*, *Bluetooth* fue desarrollado originalmente para Redes de Área Personal (*PAN*). Es una interfaz universal de radio que ha sido desarrollada para posibilitar la comunicación inalámbrica de corto alcance entre dispositivos electrónicos a través de conexiones de radio *ad hoc*⁸. Encuentra amplia aplicación en sensores y configuración de *PANs*, así como en la conexión de teléfonos celulares y computadoras portátiles con sus respectivos periféricos, tales como audífonos ‘manos-libres’ e impresoras.

Los sistemas *Bluetooth* operan en la banda *ISM*⁹ de 2,4 GHz. Entre las características más atractivas de esta tecnología, se encuentran su bajo costo, integración en un solo chip y reducido consumo de potencia. Sin embargo, un sistema *Bluetooth* necesita estar soportado sobre otra red inalámbrica, como por ejemplo, de telefonía móvil o *Wi-Fi*, para aprovechar al máximo su funcionalidad. Lo anterior se debe a la ampliación de su escenario operativo cuando se combina con otros sistemas inalámbricos [3, 4].

Finalmente, los procesos *CMOS* son ampliamente preferidos en el diseño de sistemas *Bluetooth* debido a su alto nivel de integración y bajo costo de implementación, con respecto a otras tecnologías de fabricación. Adicionalmente, su desarrollo y avance, permite que las actuales tecnologías *CMOS* sean capaces de producir diseños de circuitos en *RF* con gran desempeño y altas velocidades en la banda de GHz.

⁸Una red inalámbrica *ad hoc* es una conexión sin necesidad de un nodo central o AP (*Access Point*) entre dos o más equipos, sino que cada uno de ellos se encuentra en igualdad de condiciones.

⁹*Industrial, Scientific and Medical band*: Banda de frecuencias de “uso público” atribuida mundialmente a diversas aplicaciones como la investigación espacial, exploración de la tierra y servicio fijo por satélite, radio aficionados, radio localización, radio navegación y aeronáutica. Usada también por sistemas de baja potencia y corto alcance.

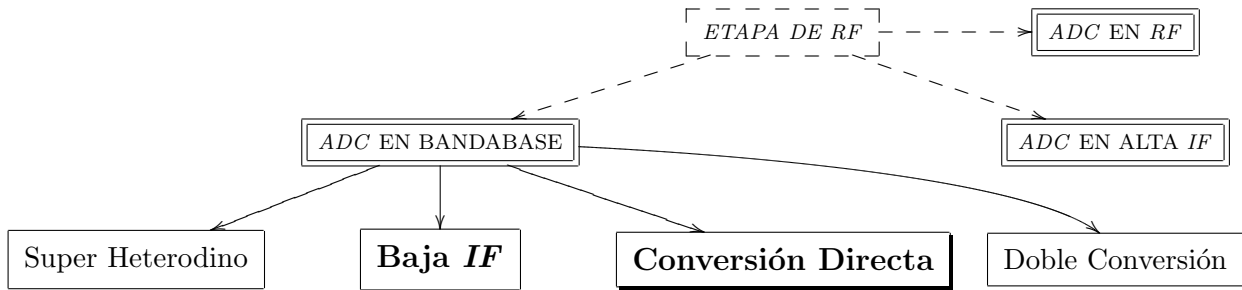


Figura 1.2: Arquitecturas de receptores inalámbricos (adaptada de [3]).

▪ El estándar *GSM*

El Sistema Global para las Comunicaciones Móviles (*Global System for Mobile communications*), anteriormente conocido como el Grupo Especial Móvil (*GSM*, “*Group Special Mobile*”) es un estándar mundial para teléfonos móviles digitales. Fue creado por la *CEPT* (*Conférence Européenne des Postes et Télécommunications*) en 1982 y posteriormente desarrollado por *ETSI* (Instituto Europeo de Telecomunicaciones) como un estándar para los teléfonos móviles europeos. Es abierto, no propietario y evolutivo, es decir, aún en desarrollo. Es predominante en Europa, así como el mayoritario en el resto del mundo, tanto así que alrededor del 70 % de los usuarios de teléfonos móviles en 2001 usaban *GSM*. Este estándar difiere de otros anteriores principalmente en que, tanto los canales de voz como las señales de datos, son digitales. La razón de ésto es conseguir un mayor nivel de seguridad.

GSM emplea modulación *GMSK* (*Gaussian Minimum Shift Keying*), obtenida a partir de *MSK*, que es un tipo especial de *FSK* (*Frequency Shift Keying*)¹⁰. Para el acceso en la interfaz radio, se utiliza el sistema *TDMA* (*Time Division Multiple Access*) de banda estrecha entre la estación base y el teléfono celular, usando 2 canales de radio de frecuencia dúplex. Para minimizar las fuentes de interferencia y conseguir una mayor protección, se utiliza el salto en frecuencia (*frequency hopping*) entre canales [6].

Inicialmente, *GSM* utilizó la frecuencia de 900 MHz con 124 canales de frecuencias separadas entre si por 200 kHz. Posteriormente, las redes de telecomunicaciones públicas empezaron a utilizar las frecuencias de 1800 y 1900 MHz, razón por la cual es habitual que los teléfonos móviles modernos sean tribanda.

1.2.2. Arquitecturas de sistemas receptores inalámbricos

Dependiendo de la ubicación del *ADC* en una cadena de recepción de *RF*, su arquitectura puede ser clasificada dentro de 3 categorías, tal y como se muestra en la figura 1.2.

Cuando el *ADC* procesa señales *RF* o en una alta *IF*, el receptor posee un alto grado de versatilidad debido a que gran parte del acondicionamiento de señal puede ser hecho en el dominio digital, lo cual representa una gran ventaja en sistemas multiestándar. Sin embargo, sus dificultades de diseño, así como sus requerimientos de rechazo de banda de imagen en *RF*, los hacen imprácticos o muy costosos para implementación de receptores inalámbricos. Por esta razón, los receptores con el *ADC* en banda base son las arquitecturas comúnmente utilizadas en el diseño de sistemas de *RF* prácticos. Las variantes de esta categoría son:

¹⁰En [5] se puede encontrar una referencia más detallada sobre formatos de modulación digital.

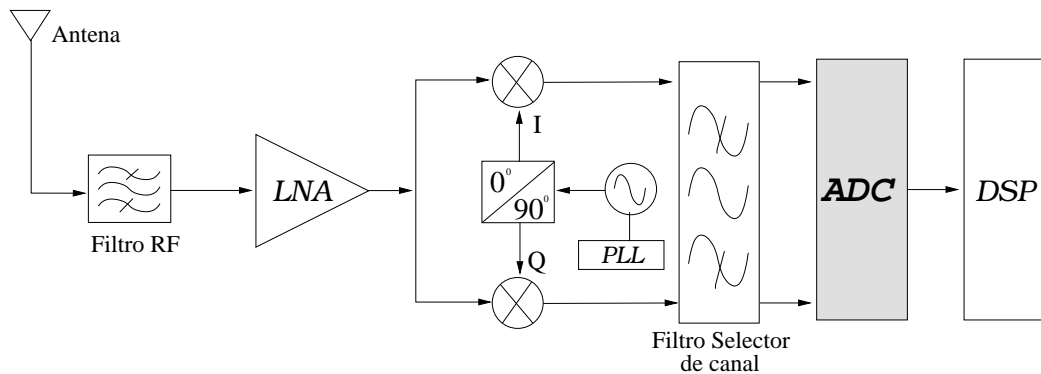


Figura 1.3: Modelo de las arquitecturas de conversión directa (homodina) y de baja IF .

Super Heterodino, Frecuencia Intermedia baja, Conversión directa y Doble conversión en IF de banda ancha.

Contrario a la arquitectura Super Heterodino, las otras configuraciones tienen como característica común la ausencia de etapas de alta selectividad en IF , lo cual hace posible la integración del receptor completo debido a la ausencia de elementos externos. Por otro lado, la configuración de doble conversión en IF de banda ancha requiere varios mezcladores de alto desempeño, lo cual incrementa el consumo de potencia y la complejidad de su diseño. Como resultado, actualmente las arquitecturas de conversión directa (IF de 0 Hz) e IF baja son las más populares en el diseño de sistemas receptores monolíticos. Su esquema general aparece en la figura 1.3. El procesamiento RF precedente al ADC está constituido por circuitería analógica [3].

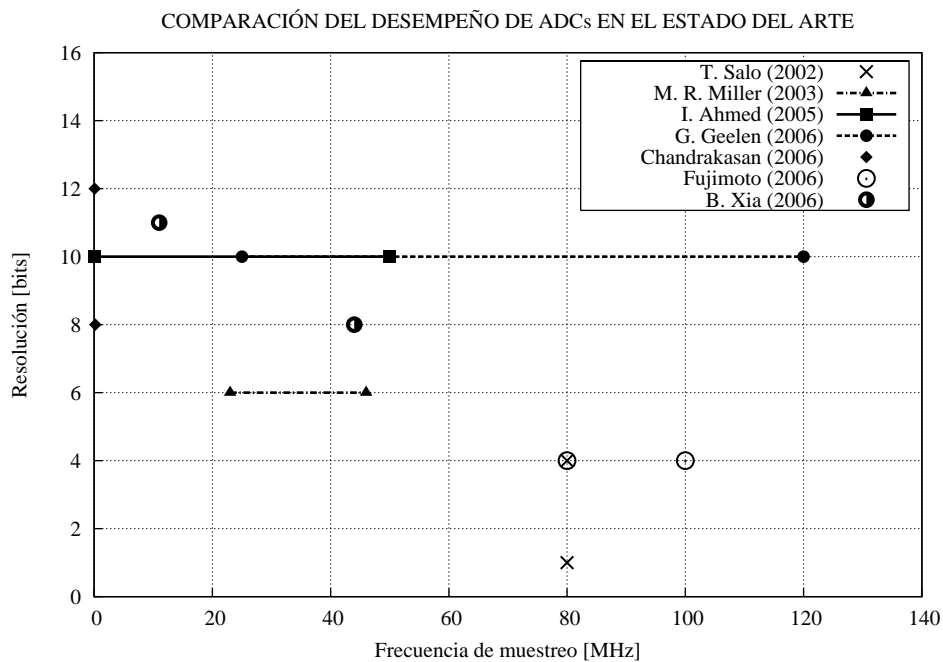
La arquitectura de conversión directa es más favorecida en el diseño del receptor multi-estándar comparado a la de IF baja. La razón es que su diseño banda base es más sencillo, como se explica a continuación. En primera instancia, en la arquitectura de Frecuencia Intermedia baja, la selección de dicha frecuencia es usualmente optimizada de acuerdo al formato de modulación y el ancho de banda para un estándar particular. Entonces, la IF frecuentemente varía a medida que el receptor se mueve entre estándares para evitar una degradación significativa en su desempeño. Como consecuencia, se complica el diseño del filtro selectivo del canal, cuya frecuencia central está ubicada en la IF . En la arquitectura de conversión directa, dicho filtro es pasa bajas y no tiene una frecuencia central que deba ajustarse para cada modo de recepción. Adicionalmente, su ancho de banda también varía de un estándar a otro, y la implementación de un filtro de banda de paso variable es relativamente más sencilla en uno del tipo pasa bajas que en su contraparte pasa banda [3].

Aunque el receptor de conversión directa goza de un alto nivel de integración y la posibilidad de un consumo de potencia bajo, debe anotarse que sufre de algunas desventajas inherentes a su implementación. Este es el caso del *offset* de DC (generado por variaciones en el oscilador local e intermodulaciones de armónicos de segundo orden) y el ruido *flicker*. La arquitectura de IF baja es inmune a estos problemas, porque opera más allá de 0 Hz (DC), pero requiere de un filtro de rechazo de banda de imagen.

1.2.3. Estado del arte

Las comunicaciones inalámbricas no son el único sector tecnológico que demandan el desarrollo de ADC s configurables y flexibles en sus especificaciones de operación. Éstos también son requeridos frecuentemente en aplicaciones de video, imagen, biomedicina, entre otras. Por

Autor	T. Salo	M. R. Miller	I. Ahmed	G. Geelen	Chandrakasan	Fujimoto	B. Xia
Referencia	[7]	[2]	[8]	[9]	[10]	[11]	[12]
Año	2002	2003	2005	2006	2006	2006	2006
Arquitectura	$\Sigma\Delta$	$\Sigma\Delta$	<i>Pipeline</i>	<i>Pipeline</i>	<i>Successive aproxim.</i>	$\Sigma\Delta$	<i>Parallel Pipeline</i>
Fs [MS/s]	80	23-46	0,001-50	25-120	0-0,1 ^Ψ (0-0,2)	80-100	11-44
Bits	1-4	6	10	10	12 ^Ψ (8)	4	11-8
P [mW]	24-38	30-50	0,015-35	7,5-36	0,025 para Ψ	23,8-34,4	14,8-20,2
BW [MHz]	0,27-3,84	0,615-1,92	–	> 100	–	3,2-4	0,550-5,5
Aplicación específica	<i>GSM - WCDMA</i>	Receptores multibanda	Variada	Video e imagen	Micro - sensores	<i>ISDB-T - DVB-T</i>	<i>Bluetooth- 802.11b</i>
Vdd [V]	3,0	3,0	1,8	1,2	1,0	1,8	2,5
Área [mm ²]	0,52-0,79	1,4	1,2	0,3	0,63	1,7	2,1
Tecnología [μm]	0,35 <i>CMOS</i>	0,18 <i>CMOS</i>	0,18 <i>CMOS</i>	0,09 <i>CMOS</i>	0,18 <i>CMOS</i>	0,18 <i>CMOS</i>	0,25 <i>BiCMOS</i>

Tabla 1.2: Recopilación de trabajos recientes en *ADCs* configurables.Figura 1.4: Estado del arte de los *ADCs* configurables.

esta razón, en el estado del arte de los *ADCs* configurables existe variedad en las características y grado de adaptabilidad de los mismos. La tabla 1.2 y la figura 1.4 proporcionan una muestra representativa de estos trabajos.

Como se puede apreciar, conforme así lo requiera la aplicación específica, hay diferentes parámetros que son susceptibles de ser configurables en los *ADCs*, como son la tasa de muestreo, la resolución, y el ancho de banda.

Así mismo, determinadas implementaciones pueden ofrecer rangos o puntos de operación para el *ADC*, como se ilustra en la figura 1.4. Como es de esperarse, los consumos de potencia más bajos son reportados por aquellos trabajos que involucran tasas de muestreo igualmente bajas (en el orden de kS/s), adecuadas para aplicaciones como los microsensores del profesor Chandrakasan [10]. Dentro de esta categoría, el trabajo reportado en [8] consigue variar su tasa de muestreo y escalar su potencia mediante técnicas de modulación de corriente.

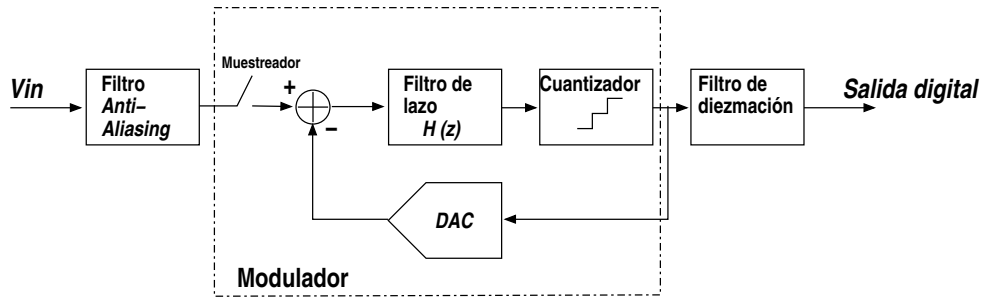


Figura 1.5: Arquitectura $\Sigma\Delta$.

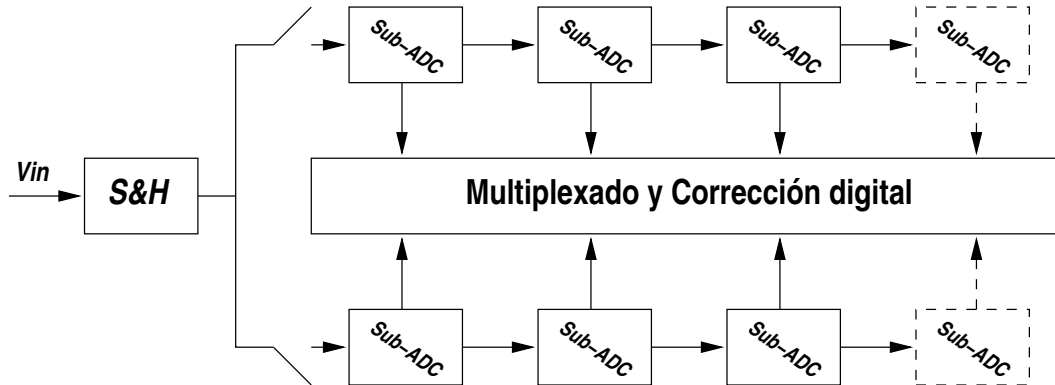


Figura 1.6: Arquitectura propuesta en el artículo guía.

En el campo de interés de este trabajo, los receptores multiestándar, es evidente la predilección hacia la arquitectura $\Sigma\Delta$ para la implementación de *ADCs* adaptables. La figura 1.5 ilustra el modelo general de esta configuración digital para los *ADCs*. Su principal ventaja es que el ancho de banda de los *ADCs* $\Sigma\Delta$ puede ser configurado fácilmente ajustando los coeficientes de su filtro digital diezmadador [2, 7, 11]. Sin embargo, la inherente naturaleza de *oversampling* de estos *ADCs*, les exige operar a frecuencias muy altas con señales cuyo ancho de banda sea de algunos MHz, lo cual conlleva a un incremento adicional en la disipación de potencia del mismo [3]. Además, la inevitable llegada del tan anunciado límite en el escalamiento de las tecnologías de fabricación de microelectrónica (o nanoelectrónica, para ser más precisos), y por ende, la incapacidad de seguir aumentando las frecuencias de trabajo, añade una restricción adicional a las altas velocidades de operación de las arquitecturas con *oversampling*. Por otro lado, el *ADC* $\Sigma\Delta$ necesita información de control lógico digital, lo cual incrementa en cierto grado la complejidad de su diseño.

En [12] se propone una arquitectura configurable que consiste en la combinación de un par de estructuras de tasa de Nyquist, conocidas como *pipeline* y *time-interleaved*, la cual se muestra en la figura 1.6. Su primera versión fue reportada dos años antes en [13]. Este *ADC* está enfocado a receptores de modo dual que pueden operar bajo el estándar *Bluetooth*. Por las anteriores características, ésta es la propuesta seleccionada como guía para el presente proyecto.

Como se puede ver en la figura 1.6, la arquitectura está formada por dos ramas *pipeline* idénticas que funcionan alternadamente, como en un esquema *time-interleaved*. El empleo de estas dos configuraciones permite alcanzar altas velocidades con resoluciones moderadas. De igual manera, la posibilidad de apagar bloques en cada rama o una rama completa, permite variar la resolución y la velocidad del *ADC*, aparte de contribuir a un ahorro en la disipación

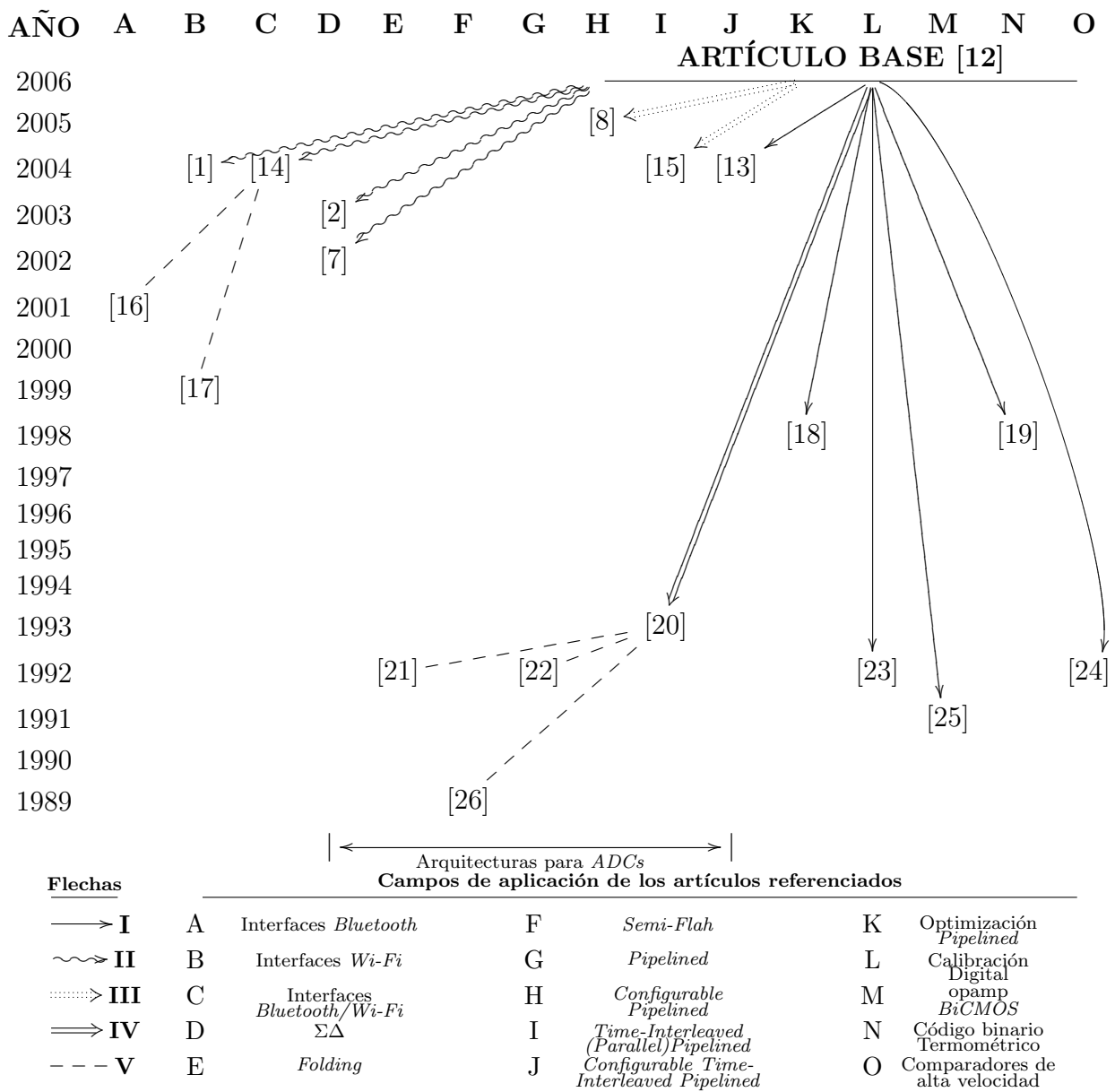


Figura 1.7: Árbol de referencias del artículo guía.

de potencia. Los anteriores beneficios se obtienen a expensas de un incremento en el área de silicio ocupada por el *ADC* diseñado.

La figura 1.7 ilustra el seguimiento realizado al trabajo reportado recientemente (Marzo del 2006) en [12]. El significado de los distintos tipos de flechas utilizadas en esta figura para señalar algunas de las referencias del artículo base se explica a continuación:

- I - Aportes a la implementación, desde el nivel de sistema hasta los transistores.
- II - Contextualización y área de aplicación en el estado del arte.
- III - Trabajos con los que se comparan los resultados obtenidos.
- IV - Guía y raíz de la combinación de arquitecturas utilizada.
- V - Referencias no derivadas del artículo base.

Los estándares *Bluetooth* y *Wi-Fi* están relacionados con el conjunto de artículos del estado del arte reportados en la figura 1.7, lo cual es consecuencia de su gran popularidad en el

mercado actual de las comunicaciones inalámbricas. Adicionalmente, su frecuente coexistencia y campos de aplicación comunes, han atraído los intereses de los diseñadores de receptores multiestándar en los últimos años.

En [20], sus autores reportan que es la primera vez que se combinan las arquitecturas *time-interleaved* y *pipeline*, lo cual permite superar las tradicionales desventajas del paralelismo en los *ADCs*, como son el *mismatch*¹¹ en ganancias, *offsets* y temporización. Lo anterior se logra mediante la reutilización de cadenas de resistores, circuitos de polarización y de sincronismo en los *MDACs*¹², los cuales hacen parte de los bloques que conforman una cadena *pipeline*. No obstante, este trabajo está enfocado a aplicaciones rápidas de su época, como *HDTV*, comunicaciones digitales e instrumentación. De esta forma, el artículo describe el *ADC* más rápido reportado a esa fecha, superando la limitación en las 50MS/s de trabajos anteriores con tecnología *CMOS*.

Unos años después, el trabajo [18] expone un estudio detallado sobre la manera de seleccionar la resolución por etapas de un *ADC pipeline*. Este artículo contrasta con la idea de trabajos anteriores que validan la minimización de la resolución por etapa. Para ello, demuestra a través del análisis automatizado de un ejemplo de diseño que cuando se persiguen resoluciones superiores a los 10 bits y altas velocidades, la solución óptima es una combinación de resoluciones alta y media por etapa. De esta forma se consigue minimizar disipación de potencia y área, respectivamente.

El *ADC* implementado en [12] es uno de los bloques que hacen parte del receptor reportado en [27]. Este diseño contrasta con la tendencia de trabajos en campos de aplicación similares, como [1] y [14], donde el *ADC* no se incluye en la etapa de recepción.

1.3. Especificaciones del *ADC* configurable

A partir de la primera introducción del Sistema de Telefonía Móvil Avanzado (*AMPS*) en 1983, las tecnologías inalámbricas modernas han evolucionado desde los simples servicios de telefonía móvil hasta los actuales servicios de multimedia y transferencia de datos de alta velocidad. Su aplicación permite la interconexión vía radio entre redes de área personal, local, metropolitana y amplia (*PAN*, *LAN*, *MAN*, *WAN*). Adicionalmente, las tecnologías de telecomunicaciones analógicas han sido reemplazadas por las más funcionales y eficientes tecnologías digitales, y las aplicaciones de banda ancha y banda ultraancha (*UWB*) están emergiendo como el nuevo mercado en expansión en el campo de las comunicaciones inalámbricas [3].

Uno de los problemas que surgen en el desarrollo de las tecnologías inalámbricas es la coexistencia de diferentes estándares. En los sistemas de telefonía móvil y comunicación personal, los servicios están basados en estándares regionales o nacionales como *GSM*, *DECT*¹³ (Europa), *IS-54* e *IS-95* (EU). De esta forma, los dispositivos móviles pueden interoperar sólo dentro de su propio ambiente de radio y regiones geográficas. Como consecuencia de esto, los costos adicionales e inconvenientes en la comunicación se convierten en experiencias comunes para los subscriptores de servicios inalámbricos. Los *transceivers* multiestándar ofrecen una alternativa con un dispositivo único y versátil para operar bajo diferentes estándares, convirtiéndose en una solución para este problema.

¹¹Término en inglés para referirse al desbalance existente entre elementos o parámetros de circuito que nominalmente deberían ser iguales.

¹²*Multiplying Digital to Analog Converter*.

¹³*Digital European Cordless Telecommunications*.

Parámetro	<i>GSM</i>	<i>Bluetooth</i>
Banda de frecuencias [MHz]	935-960 (<i>Receptor móvil</i>)	2400-2483,5
Método de acceso	<i>TDMA/FDD</i>	<i>TDD/FHSS</i>
Modulación de amplitud constante	<i>GMSK</i>	<i>GFSK</i>
Producto BT*	0,3	0,5
Número de canales	124	79
Separación entre canales [MHz]	0,2	1
Sensibilidad [dBm] (<i>BER</i> requerida)	-102 (10^{-3}) (<i>Canal estático</i>)	-70 (10^{-3})
Máximo nivel de potencia recibido [dBm]	-15	-20
Duración total de tramas (canal) [μ s]	4615	625
Nº Tramas/Ranura tiempo (Duración [μ s])	8 (577)	1 (625)
Tiempo de asentamiento [μ s]	865	254
Rata de saltos de frecuencia [saltos/s]	–	1600
Rata de bits por canal [kbit/s]	270,833	–

* BT es el producto del ancho de banda absoluto del filtro (B) y la duración de símbolo (T).

Tabla 1.3: Especificaciones de los estándares operacionales en el *ADC* a diseñar.

Desde el punto de vista del receptor, normalmente los estándares de comunicación inalámbrica tienen características similares en el procesamiento *RF*, lo cual hace posible compartir esta etapa entre diferentes modos de recepción sin necesidad de muchos ajustes. Por otro lado, el *DSP* puede proveer fácilmente la flexibilidad necesaria para procesar diferentes protocolos y formatos de datos. Así, la mayoría de las dificultades de diseño recaen en los circuitos analógicos banda base, y entre ellos, el *ADC* es uno de los bloques más importantes [3].

Para tener la adaptabilidad deseada en un receptor multiestándar, el *ADC* debe ser capaz de acoplarse a las diferentes especificaciones de diseño para cada modo de operación. Apuntando al anterior objetivo, el primer paso a seguir es el conocimiento detallado de las características de los estándares involucrados en el presente trabajo. Para ello, en la tabla 1.3 se presenta un resumen de las principales especificaciones de desempeño de los estándares *Bluetooth* y *GSM* [4, 6]. Las especificaciones recopiladas en la tabla 1.3 han sido extraídas pensando en la cadena del receptor completo, desde la antena hasta la entrada al procesador digital de datos banda base.

El siguiente paso consiste en la traducción y utilización de los parámetros anteriores para la caracterización del conversor analógico-digital, inicialmente a nivel de sistema. Para llevar a cabo dicha caracterización, este bloque debe ser comprendido desde su concepto básico: una caja negra cuyas entradas son señales analógicas, las cuales son muestreadas a una frecuencia determinada, discretizadas en amplitud y codificadas en niveles binarios, para ser entregadas a la salida.

Algunas de las especificaciones condensadas en la tabla 1.3 son relevantes para el diseño del *ADC*. Entre ellas, cabe resaltar el esquema de modulación utilizado, el ancho o separación entre canales y la sensibilidad, definida como aquel nivel de potencia mínimo para el que se debe cumplir cierto desempeño, evaluado generalmente mediante la rata de error de bits (*BER*).

En lo que resta de esta sección, las principales especificaciones de diseño concernientes a un *ADC* multiestándar serán brevemente explicadas. Para una revisión más profunda y detallada, el lector puede referirse a [28].

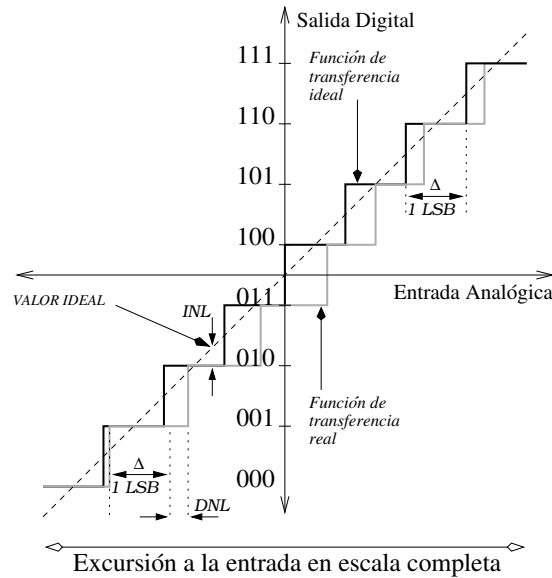


Figura 1.8: Función de transferencia ideal y no ideal del *ADC* con los errores *INL* y *DNL*.

1.3.1. Linealidad

El rango de excursión en escala completa de la señal a la entrada del *ADC* es expresado en Volts, y se denota como V_{FS} . Asumiendo que la señal varía entre $-V_{FS}/2$ y $+V_{FS}/2$, el tamaño del paso de tensión en la función de transferencia del *ADC* (figura 1.8), el cual corresponde también al valor del bit menos significativo (*LSB*), es $\Delta = 1 \text{ LSB} = V_{FS}/2^N$, donde N es el número de bits o la resolución del conversor.

Los errores estáticos en la función de transferencia del *ADC* son descritos por la no linealidad diferencial (*DNL*) y la no linealidad integral (*INL*). Ambos errores son ilustrados en la figura 1.8 y se relacionan de acuerdo a la expresión (1.1), donde k representa cualquiera de los escalones de la función de transferencia del *ADC*. El *DNL* mide el grado de desviación de los pasos de tensión reales con respecto a su valor nominal, que es de 1 LSB . Por otro lado, el *INL* corresponde al valor acumulativo del *DNL*, y representa la diferencia entre el valor ideal analógico de la señal (exhibido en la línea recta de pendiente 1, libre de errores de ganancia y de *offset*) y el valor real a la salida del *ADC* (sobre la función de transferencia escalonada real).

$$INL_k = \sum_{i=1}^k DNL_i \quad (1.1)$$

Estos dos parámetros indican la precisión real de un conversor e incluyen los errores de cuantización, no linealidades, ruido, errores de *offset* y ganancia. Ellos pueden ser presentados gráficamente como función del código digital de salida, o a través de su valor máximo, el cual corresponde a un simple número en unidades de *LSB*. De esta última forma se tiene que, para garantizar que el *ADC* sea monótono¹⁴, se debe cumplir que $INL_k < 0,5 \text{ LSB}$, lo cual implica a su vez que $DNL_k < 1 \text{ LSB}$.

¹⁴Un *ADC* es monótono cuando se cumple que para incrementos en el valor de la señal analógica de entrada, igualmente se incrementa el valor de la señal digital a la salida. La monotonía de un *ADC* evita la pérdida de códigos digitales a la salida.

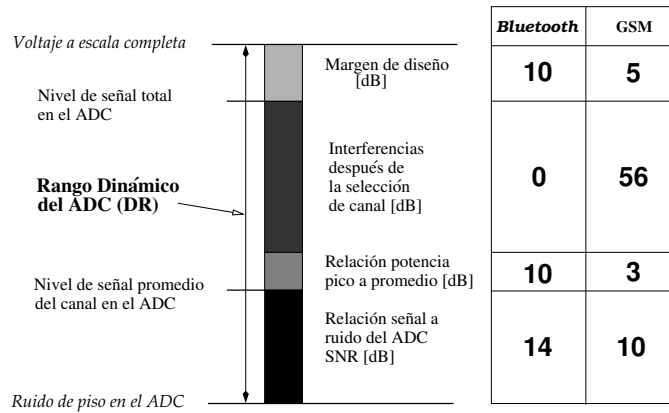


Figura 1.9: Especificación del rango dinámico del *ADC* (adaptado de [30]).

1.3.2. Relación señal a ruido (*SNR*), rango dinámico (*DR*) y resolución

Un análisis exhaustivo para la determinación de la resolución mínima necesaria en un *ADC* que hace parte de un receptor en banda ultraancha (*UWB*) es presentado en [29]. Este estudio, así como otras referencias de la literatura, explica la gran dependencia del requerimiento de resolución sobre el esquema de modulación, las características del canal utilizado, la naturaleza de las interferencias no deseadas dentro y fuera de banda, la arquitectura de receptor utilizada y la mayoría de los bloques que la constituyen, desde el *LNA* en la entrada hasta el filtro que precede el *ADC*, incluso con la participación del sintetizador de frecuencia.

Como resultado, en [29] se demuestra que si se tiene en cuenta el verdadero impacto de todos los factores citados, se puede hallar un requerimiento real de resolución del *ADC*, mucho menos sobredimensionado que el obtenido cuando se aplica la estrategia tradicional en el estado del arte. Un desarrollo con tal grado de profundidad y detalle está fuera del alcance de este trabajo de grado, razón por la cual aquí se emplea el método tradicional, tal y como se explica a continuación.

La resolución del *ADC* está relacionada con su requerimiento de rango dinámico (*DR*), el cual a su vez es derivado de las especificaciones de sensibilidad, máximo nivel de potencia recibida y perfiles de *blockers*¹⁵ para un estándar y una arquitectura de receptor específicos. El diagrama conceptual de la figura 1.9 ilustra la distribución del *DR* entre otras cuatro especificaciones, las cuales son definidas para los estándares *Bluetooth* y *GSM* en las siguientes líneas.

El primer requisito que debe cumplir el *DR*, es cubrir el error irreversible de cuantización introducido por el *ADC* en el proceso de discretización de la señal analógica a la entrada. Este error impone un límite inferior para el *DR* del *ADC*, y su impacto es cuantificado mediante la relación señal a ruido (*SNR*). La extracción del requerimiento de *SNR* está estrechamente relacionada al desempeño exigido para el esquema de modulación utilizado en un determinado estándar de comunicaciones inalámbricas.

El análisis de cada estándar es realizado a través de simulaciones con modelos, y mediante expresiones teóricas extraídas de la literatura [5]. Se debe aclarar que para la recepción de señales moduladas digitalmente, se tiene la opción de hacerlo en forma coherente o no coher-

¹⁵En la documentación de un estándar de comunicaciones inalámbricas [4, 6], se denominan *blockers* a las fuertes señales moduladas de interferencia en canales adyacentes al canal deseado. Estas interferencias deben ser toleradas por el receptor manteniendo un nivel mínimo de desempeño (*BER*).

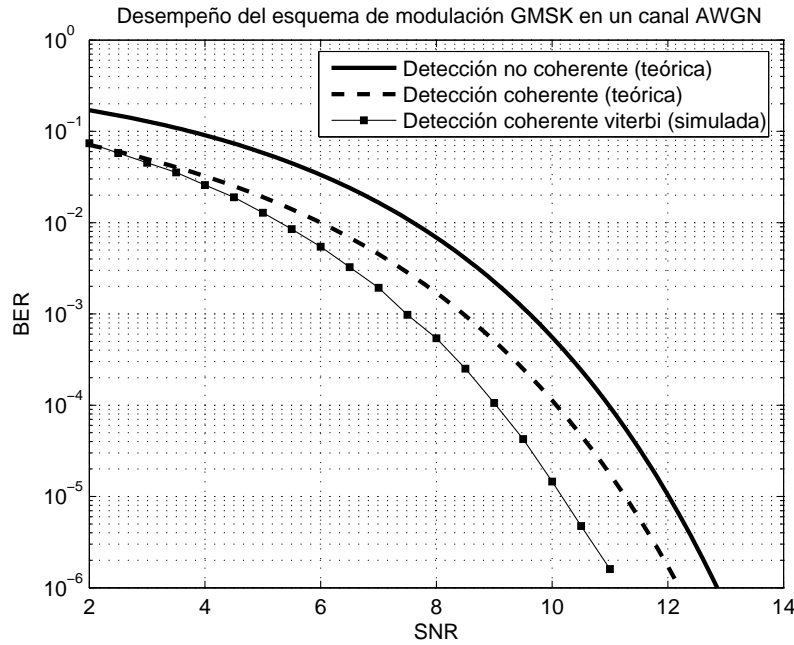


Figura 1.10: BER vs. SNR para el esquema de modulación empleado por GSM .

ente. La primera de ellas implica la disponibilidad de réplicas exactas de la señal transmitida en el demodulador, el cual las correlaciona con la señal recibida para tomar una decisión con respecto a umbrales predefinidos. Por otro lado, la demodulación no coherente no necesita tal conocimiento de la señal transmitida. La complejidad del receptor en la última opción es menor, a expensas de la degradación en el desempeño del sistema.

Para ambos estándares, el requerimiento de SNR a partir del requisito de BER , es tomado del peor caso entre las diferentes opciones consideradas. Los detalles de dichas opciones son presentados a continuación.

■ Especificación de SNR en GSM

La tabla 1.3 muestra que la BER requerida para GSM es de 0,001, y la figura 1.10 exhibe los niveles de SNR necesarios para alcanzar tal desempeño. Los datos utilizados para la elaboración de la gráfica 1.10 son tomados de las expresiones teóricas para la demodulación coherente y no coherente de $GMSK$ [5] y de un modelo básico implementado por el autor, el cual es mostrado en la figura 1.11. Para la demodulación coherente, la expresión teórica utilizada aparece en (1.2), y para la recepción no coherente la ecuación graficada corresponde a (1.3).

$$BER = \frac{1}{2} \operatorname{erfc} \left(\sqrt{\alpha \left(\frac{E_b}{N_o} \right)} \right) \quad (1.2)$$

$$BER = \frac{1}{2} e^{-\alpha \left(\frac{E_b}{N_o} \right)} \quad (1.3)$$

El valor de α empleado para ambas ecuaciones es 0,68, el cual corresponde a un valor de BT cercano a 0,3, tal y como lo requiere el estándar GSM (revisar la tabla 1.3).

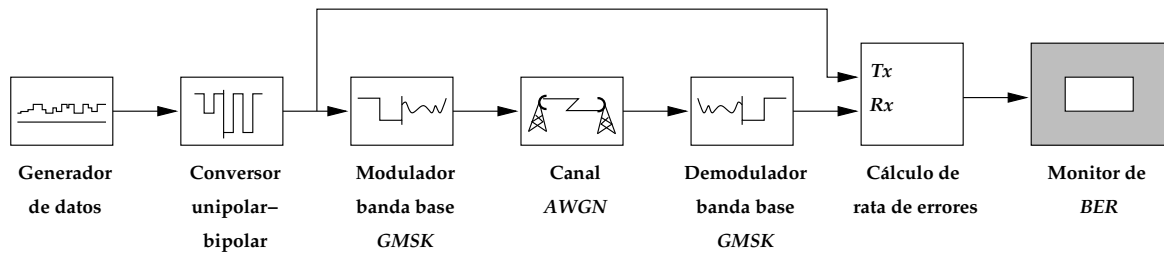


Figura 1.11: Modelo utilizado para el análisis de desempeño del estándar *GSM*.

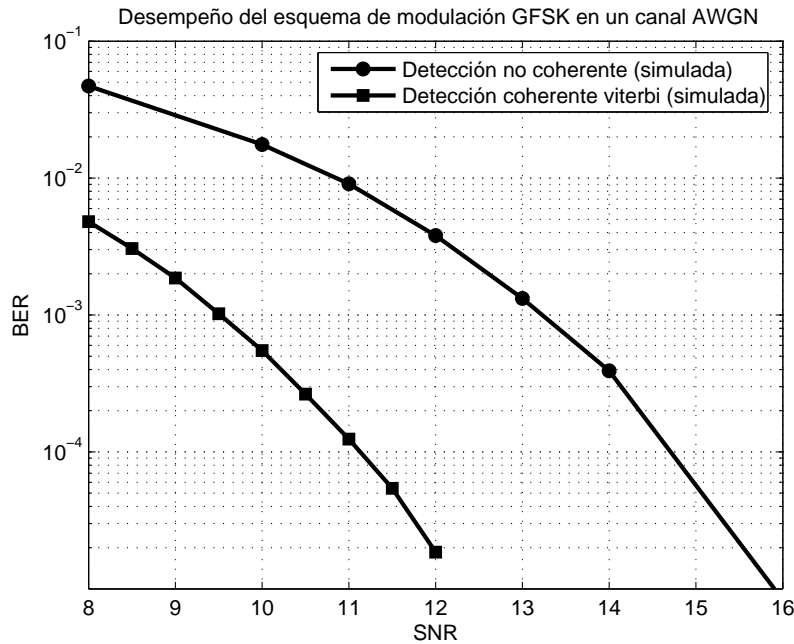


Figura 1.12: *BER* vs. *SNR* para el esquema de modulación empleado por *Bluetooth*.

La función $erfc(u)$ que aparece en la expresión (1.2) hace referencia a la función de error complementario, la cual representa el doble del área bajo la curva que dibuja la función de densidad de probabilidad de una variable con distribución Gaussiana, $\bar{x} = 0$, $\sigma^2 = 1/2$ y cuyo valor es mayor a u . Su fórmula matemática es la ecuación (1.4).

$$erfc(u) = \frac{2}{\sqrt{\pi}} \int_u^{\infty} e^{-z^2} dz \quad (1.4)$$

■ Especificación de *SNR* en *Bluetooth*

El requerimiento de *BER* que aparece la tabla 1.3 determina el desempeño exigido por el estándar *Bluetooth*. Para satisfacer tal requisito, un mínimo nivel de *SNR* debe ser alcanzado, tal y como lo muestra la figura 1.12. Dicha figura está basada en los resultados de simulación de dos modelos: uno de un demodulador óptimo no coherente implementado específicamente para *Bluetooth*, el cual fue tomado de [3]; y otro implementado por el autor, similar al utilizado para *GSM* en la figura 1.11.

El siguiente componente del *DR*, denominado relación potencia pico a promedio, busca evitar el recorte de picos o aumentos repentinos en la señal analógica de entrada, lo cual generaría

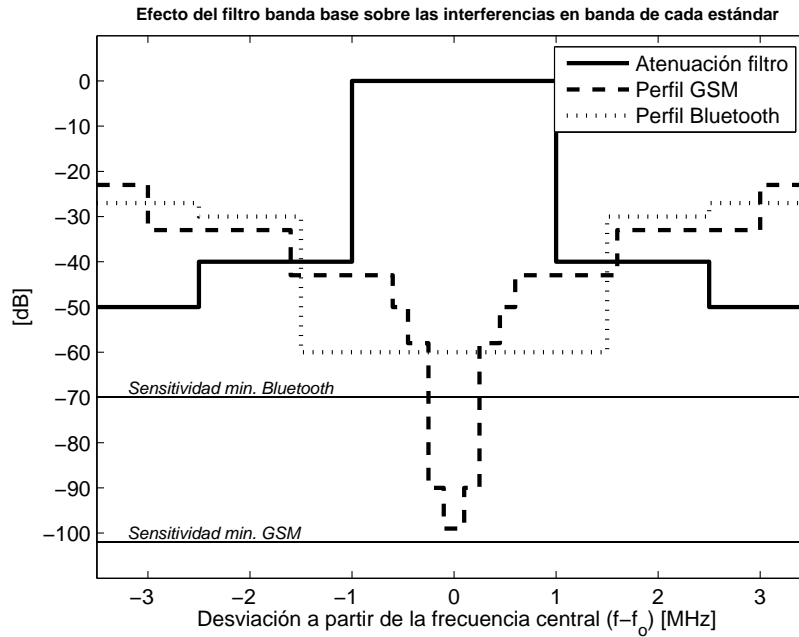


Figura 1.13: Perfiles de *blockers* y máscara de atenuación del filtro banda base.

distorsión armónica. De [30] se tiene que para esquemas de modulación de envolvente constante, como es el caso de *GMSK* y *GFSK*, un mínimo de 3 dB puede ser utilizado para esta especificación, la cual constituye de cierta manera, otro margen de diseño.

Posteriormente, aparece uno de los aportes más significativos al *DR*, por parte de los residuos de interferencias que permanecen después de la selección de canal deseado. Esta especificación está relacionada con el tratamiento que la señal *RF* recibe desde la antena hasta la entrada en banda base al *ADC*.

En un receptor de conversión directa no existe un filtrado de selección de canal en *RF*, y sólo las interferencias fuera de banda son atenuadas por los elementos pasivos del filtro externo. Como consecuencia, la traslación a banda base por parte del mezclador de señal (que es un bloque pasa todo), trae consigo los *blockers* gigantes que acompañan de cerca a un determinado canal deseado. Un filtro banda base *anti-aliasing*¹⁶ selector de canal que precede al *ADC* es utilizado cuando esta operación decide llevarse a cabo en el dominio analógico, como es el caso del *transceiver* en proceso de diseño del grupo CIDIC bajo el estándar *Bluetooth*.

Sin embargo, un nuevo inconveniente se presenta cuando se analiza el sistema desde el punto de vista de un *ADC* multiestándar, el cual involucra especificaciones de comunicación celular mucho más robustas y exigentes, como *GSM*. La forma más clara de visualizar lo anterior, es con la ayuda de la figura 1.13, la cual exhibe simultáneamente los perfiles de *blockers* para los estándares *Bluetooth* y *GSM*, así como un bosquejo ideal de la máscara de atenuación del filtro ya diseñado para este *transceiver* [31]. Los perfiles de *blockers* no son más que una interpretación gráfica de la correspondiente especificación que ha sido extraída de los estándares [4, 6].

Como puede apreciarse en la gráfica 1.13, debido a que el canal de *GSM* es mucho más

¹⁶Se denomina *aliasing* al solapamiento que puede presentarse entre las componentes espectrales de una señal analógica muestreada cuando no se cumple el teorema de Nyquist. Dicho teorema afirma que la frecuencia de muestreo debe ser como mínimo el doble de la máxima frecuencia presente en la señal original.

angosto que el de *Bluetooth*, el filtro diseñado para este último estándar deja pasar hasta 4 canales vecinos a lado y lado del deseado. El último de estos *blockers*, el cual está alejado alrededor de 1 MHz del canal deseado, es el más fuerte de todos, ubicándose 56 dB por encima de la referencia de señal deseada. Por el contrario, *Bluetooth* tiene la ventaja adicional de que el canal adyacente se encuentra al mismo nivel del canal escogido.

La consecuencia del anterior análisis es la necesidad de un *ADC* de moderada a alta resolución para el *transceiver* operando bajo *GSM*, si se pretende evitar la pérdida de señales útiles pero débiles, en compañía de semejantes obstáculos en su vecindad espectral. La omisión de un lazo de *AGC* (*Automatic Gain Control*) para compensar señales deseadas muy débiles/fuertes, como es frecuentemente aplicado en el estado del arte [3, 12, 27], es otro hecho derivado de la figura 1.13. La razón es sencilla: la reducción de ganancia frente a las grandes interferencias vecinas degrada la sensibilidad ante señales deseadas pero débiles, y el incremento de ganancia por niveles de señales débiles satura el *ADC* en presencia de los fuertes *blockers* adyacentes [28].

Surge entonces una duda final respecto al evidente compromiso de especificaciones que existe entre el filtro y el conversor analógico-digital en banda base: ¿Por qué no se implementa un filtro de ancho de banda variable que pueda seleccionar adecuadamente el canal deseado tanto en *Bluetooth* como en *GSM*?, y de esta manera se relaje el requerimiento de rango dinámico, resolución y por ende, potencia del *ADC* que le sigue en la cadena receptora. La respuesta no es sencilla ni constituye una visión global en el estado del arte, pero es un argumento válido para los objetivos particulares del proyecto del *transceiver* del grupo CIDIC.

Tres factores participan en la solución al interrogante planteado:

- ① La diferencia en el ancho de canal entre los dos estándares es muy grande (tabla 1.3), lo cual ocasiona que el nuevo diseño del filtro banda base sea complicado. Además, es muy probable que los valores de los nuevos elementos pasivos necesarios hagan impráctica la integración monolítica de tal filtro, obligando a la utilización de elementos externos al chip. Esto contradice la filosofía *SoC* que la academia y la industria de la microelectrónica aplican.
- ② Siguiendo la idea de ①, un filtro con una banda de paso tan angosta como lo exige el canal de *GSM*, llevaría a un incremento en el orden del mismo, y simultáneamente, en su disipación de potencia. Este incremento podría ser superior al que se obtiene en el *ADC* como precio de su requerimiento de resolución en *GSM*.
- ③ Otra propuesta del estado del arte contempla la utilización de un *ADC* de alta resolución con arquitectura de *oversampling* que digitalice el canal deseado y los *blockers* en banda base, o incluso en *IF*, para llevar a cabo la selección de canal posteriormente en el dominio digital, donde un filtro de esta naturaleza es mucho más flexible y programable. Todo esto sigue la tendencia de conseguir un *transceiver* mucho más digital. Sin embargo, esta idea también contradice el derrotero del CIDIC, según el cual los circuitos y sistemas analógicos pueden ofrecer un desempeño similar o superior a su contraparte digital.

Y finalmente, del diagrama presentado en la figura 1.9, sólo falta el último bloque que influye en el *DR* del *ADC* a diseñar. Se trata de un margen de diseño superior, el cual busca compensar errores de *offset*, de ganancia y transitorios en la amplitud de la señal de entrada. En [3] se sugiere que este componente puede oscilar entre 4 y 10 dB.

La relación señal a ruido (SNR) en el ADC debido al error de cuantización puede ser formulada como:

$$SNR = 6,02 \cdot N + 1,76 \text{ dB} \quad (1.5)$$

donde N es el número de bits o la resolución del ADC [3, 28, 30].

El número de bits en el ADC es seleccionado generalmente para garantizar que la contribución del ruido de cuantización al SNR total, a la entrada del demodulador implementado en el DSP , sea despreciable comparado con el ruido introducido por la etapa inicial de RF . A partir de lo anterior y de la definición del SNR como una medida del máximo rango dinámico del ADC , el requerimiento de resolución del ADC para cada estándar puede ser derivado utilizando el DR y la expresión (1.5).

Como resultado final, y a partir de los aportes consignados en el esquema de la figura 1.9, se obtiene entonces un requerimiento en DR de 74 dB o 12 bits bajo el estándar GSM . De manera similar, para el ADC operando bajo el estándar $Bluetooth$, la especificación de DR queda en 34 dB o 6 bits.

1.3.3. Ancho de banda y frecuencia de muestreo

El teorema de Nyquist es la principal herramienta para la selección de la mínima frecuencia de muestreo necesaria en los ADC . Sin embargo, factores adicionales conllevan a que dicho parámetro sea mayor a esta cota inferior tanto en $Bluetooth$ como en GSM .

En el caso de $Bluetooth$, análisis y simulaciones realizadas a nivel de sistema en [3] llevan a la conclusión de que una tasa de muestreo mínima de 11 MS/s es requerida para conseguir una precisa sincronización en el demodulador. Lo anterior es consecuencia del preámbulo extremadamente corto ($4 \mu s$) en la trama de datos de este estándar. La importancia de esta sección de los paquetes de datos $Bluetooth$, radica en que es utilizada por el receptor (y el ADC como parte de él) para ajustar y corregir sus desviaciones y transitorios.

Por otro lado, bajo el estándar de operación GSM , el ancho de canal sugiere que la máxima frecuencia presente en su espectro centrado en banda base es de 100 kHz, lo cual resulta en un requerimiento mínimo de tasa de muestreo de 200 kHz. Sin embargo, los *blockers* de la figura 1.13 también tienen su impacto en esta especificación. Debido a que el filtro banda base permite el paso hasta de 1 MHz del espectro de GSM , si se muestrea a 200 kHz el fenómeno de *aliasing* entre los *blockers* residuales destruiría toda la información de dicho espectro, incluyendo la del canal deseado.

Con los argumentos presentados en los párrafos anteriores, y procurando un factor entero de escala entre las tasas de muestreo de ambos estándares, éstas pueden ser ahora especificadas adecuadamente. Como resultado, frecuencias de muestreo de 11 y 2,75 MHz son determinadas para $Bluetooth$ y GSM , respectivamente.

1.3.4. Consumo de potencia

Los dispositivos inalámbricos están pensados para ofrecer movilidad al usuario final. Por esto, usualmente son alimentados desde baterías, las cuales son generalmente las partes más voluminosas, pesadas y costosas de estos sistemas.

A partir de lo anterior, prolongar el tiempo de duración de la batería u optimizar el consumo de potencia es y será siempre el referente de mayor prioridad en todos los niveles de la jerarquía de diseño de los sistemas inalámbricos. El ADC como uno de los principales bloques en el receptor, usualmente contribuye con más de 2/3 del gasto de potencia del

Parámetro	<i>GSM</i>	<i>Bluetooth</i>
Arquitectura	<i>Configurable Time Interleaved Pipeline</i>	
Tecnología	<i>CMOS 0,35 μm</i>	
Voltaje de alimentación	3,3 V	
Consumo de potencia	minimizar , ≤ 30 mW	
Máximo ancho de banda de señal	100 kHz	500 kHz
Frecuencia de muestreo	2,75 MHz	11 MHz
Rango Dinámico a la entrada	74 dB	34 dB
Resolución	12 bits	6 bits
Excursión total a la entrada (V_{FS})	$2 V_{pp}$	
<i>INL</i>	$< 0,5$ <i>LSB</i>	
<i>DNL</i>	< 1 <i>LSB</i>	

Tabla 1.4: Especificaciones de diseño del *ADC* multiestándar.

mismo. Entonces, el diseño del *ADC* debe ser conservador en potencia, y cualquier ahorro en esta especificación a nivel de ese bloque será muy valioso en la optimización de potencia del receptor completo. Adicionalmente, una menor disipación de potencia hace más fácil mantener la temperatura de operación del *ADC* en un nivel adecuado.

1.4. Resumen del capítulo

En las secciones anteriores se han presentado los principales tópicos relacionados con la función de un conversor analógico-digital, identificándolo como bloque constituyente de una cadena receptora que opera bajo dos estándares diferentes. De igual forma, se han extraído las principales especificaciones de los estándares operacionales en el *ADC* a diseñar, para luego transformarlas en requerimientos particulares del mismo.

Consecuentemente, para garantizar un *ADC* monótono, se estudió y cuantificó la especificación de linealidad. De forma similar, un requerimiento de *SNR* y/o resolución se desarrolló en detalle, para alcanzar un mínimo nivel de desempeño exigido por los estándares. Finalmente, los parámetros de frecuencia de muestreo y disipación de potencia fueron acotados, con el fin de estar acorde con las características espectrales de los estándares y las condiciones de portabilidad de los dispositivos actuales, respectivamente.

Con el fin de brindar una visión general del diseño de un *ADC* multiestándar, un resumen de las especificaciones extraídas a lo largo de esta capítulo es presentado en la tabla 1.4. Los parámetros relacionados con la tecnología de fabricación, la tensión de alimentación y la excursión de voltaje esperada a la entrada del *ADC*, fueron determinados a partir de las condiciones de diseño del *transceiver* completo del CIDIC. Por otro lado, la cota superior para el consumo de potencia fue especificada a partir de la tendencia en el estado del arte, tal y como se aprecia en la tabla 1.2. Para concluir esta primera parte del documento, a continuación se presenta una breve descripción del contenido y la estructura del mismo.

1.5. Organización del documento

En este trabajo se aborda el diseño de un conversor analógico-digital (*ADC*) multiestándar integrado en tecnología *CMOS 0,35 μm* , el cual debe cumplir con las especificaciones de los estándares *Bluetooth* y *GSM*. Así, el presente documento complementa la anterior actividad mediante el informe de cada una de las etapas y pasos seguidos durante su desarrollo. En

procura de ofrecer al lector una visión general del alcance de este libro, a continuación se presenta una breve descripción de la estructura de su contenido.

El capítulo 2 presenta la primera perspectiva del *ADC* como sistema. Su arquitectura y las diferentes variaciones que en ella pueden ser concebidas, constituyen el enfoque principal de la segunda parte del libro. Finalmente, trazando la ruta que parte desde la identificación de las no idealidades hasta la especificación de los parámetros que las contrarrestan, la descripción de los bloques funcionales que conforman el sistema de conversión analógico-digital es completada.

La arquitectura aplicada en el *ADC* de este proyecto es conocida en la literatura como *time-interleaved pipeline*. Su puerta de acceso se convierte en el tema del capítulo 3: el bloque de muestreo y retención (*S&H*). La descripción y especificación de este circuito es desarrollada de manera progresiva, prestando especial atención a la necesidad de implantar y consolidar en el lector la idea básica del funcionamiento de los circuitos con capacitores conmutados (*SC*). Estos últimos además de ser fundamentales para la implementación del *S&H*, proveen el principio de operación primario para casi la totalidad de la arquitectura del *ADC*, así como también para muchas otras aplicaciones que sobrepasan el alcance de este trabajo.

El capítulo 4 expone la composición de la cadena de conversión *pipeline*. Los tres tópicos importantes tratados allí son la corrección digital mediante 1 bit de redundancia y las topologías seleccionadas para la implementación de los dos grandes bloques que están dentro de la celda básica: el *sub-ADC* y el *MDAC*. Asimismo se explora la interdependencia que existe entre estos temas, resaltando el impacto compartido que tienen las decisiones y estrategias aplicadas en cada uno de ellos.

La parte del trabajo cubierta a través de los anteriores capítulos, permite identificar dos circuitos analógicos que conforman los cimientos para soportar toda la arquitectura del *ADC* multiestándar. Dichos bloques básicos son el comparador de tensión y el amplificador operacional de transconductancia (*OTA*), cuya conceptualización y proceso de diseño son tratados a lo largo del capítulo 5. Como herramienta auxiliar de valioso aporte a la labor anterior, la programación geométrica (*PG*) introduce el capítulo y descubre una nueva perspectiva en el diseño de circuitos analógicos del estado del arte.

El capítulo 6 exhibe los resultados alcanzados, iniciando con las simulaciones de la operación de los bloques individuales diseñados a lo largo del libro. Seguidamente, se presentan algunas consideraciones y estrategias aplicadas durante la elaboración del *layout* del sistema. Finalmente, se condensan las experiencias, resultados obtenidos, conocimientos adquiridos y recopilados, en forma de observaciones, conclusiones y recomendaciones para trabajos futuros.

Capítulo 2

Arquitectura del *ADC* multiestándar: descripción y especificación

Las especificaciones generales del *ADC* multiestándar, visto como sistema o caja negra que convierte señales analógicas en digitales, constituyen el principal resultado del capítulo anterior. Continuando con la caracterización del conversor, el objetivo de la segunda parte del libro es explorar y comprender la topología seleccionada para el mismo. Mediante un recorrido detallado y focalizado en forma gradual hacia las diferentes características y secciones constituyentes de la arquitectura *time-interleaved pipeline*, se exhibe al lector la naturaleza del proceso de la conversión analógico-digital de señales eléctricas. Paralelamente, las especificaciones derivadas en el capítulo 1 son distribuidas y asignadas a los diferentes bloques que conforman el *ADC* a diseñar.

2.1. Generalidades de la arquitectura *time-interleaved*

Uno de los principales atractivos de la aplicación de técnicas *time-interleaving*, consiste en la posibilidad de incrementar la velocidad de operación de un conversor, mediante el funcionamiento alternado de varios *ADCs* controlados por diferentes fases de una señal de reloj. Adicionalmente, desde otra perspectiva, la gran ventaja de esta arquitectura consiste en la reducción de la frecuencia de operación de las ramas en paralelo, dada una tasa de muestreo total específica. Para un *ADC* multiestándar, esto último se traduce en una estrategia de programabilidad de la frecuencia de muestreo, así como la disminución del consumo de potencia total del conversor, a expensas de un incremento en el *hardware* utilizado. Como ventaja adicional, la opción de compartir circuitos y bloques entre las ramas paralelas, como por ejemplo las referencias para los *DACs* en una cadena *pipeline*, llevan a que el compromiso entre los requerimientos citados anteriormente sea menor a una dependencia lineal [28, 30].

El concepto de *time-interleaving* es ilustrado en la figura 2.1, donde los conversores pueden emplear cualquier arquitectura y funcionan a una tasa de muestreo de f_s/M , donde f_s es la frecuencia de muestreo total del *ADC* y M es el número de ramas operando alternadamente. Todas las ramas paralelas tienen la misma resolución del *ADC* completo e igual estructura entre ellas. Los bits de salida de los diferentes canales son multiplexados para formar la palabra digital completa correspondiente a una muestra de la señal analógica. Posterior, o simultáneamente, un algoritmo de corrección digital puede ser aplicado.

De acuerdo con el diagrama de temporización de la figura 2.1, mientras el *ADC* de la rama i muestrea y retiene el valor de la señal analógica a su entrada, los demás conversores se

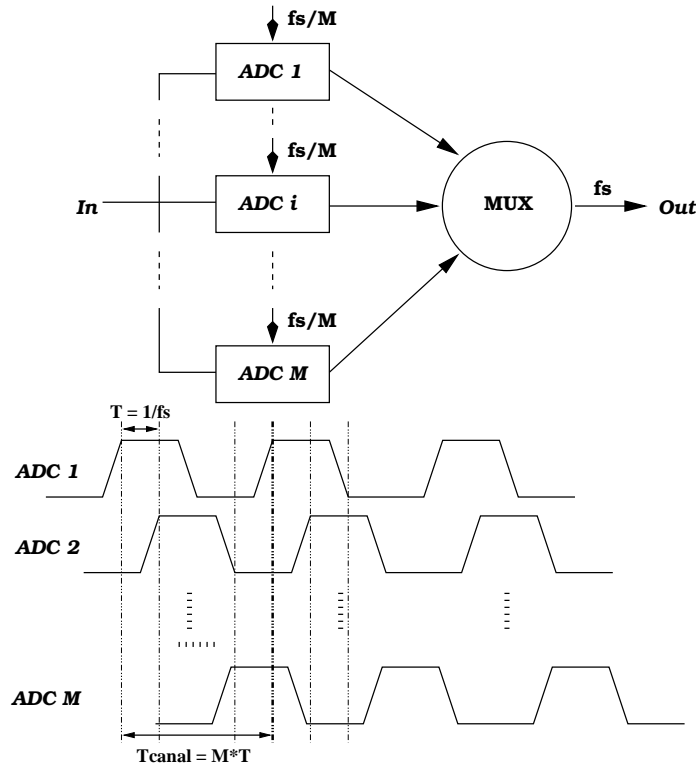


Figura 2.1: Esquema conceptual de *time-interleaving* y su respectiva secuencia temporal.

encuentran ocupados convirtiendo muestras anteriores. De manera similar, el multiplexor es controlado también por una combinación de las fases de reloj, de tal forma que éste selecciona la salida del canal i cuando su respectivo *ADC* ha finalizado la conversión de una muestra.

Por otro lado, como compromiso de diseño adicional por el uso del paralelismo en la arquitectura *time-interleaving*, tres fuentes principales de error introducen limitaciones en la operación del *ADC* [28]. Este tópico es presentado con detalle a continuación.

2.2. No idealidades de la arquitectura *time-interleaved*

Mientras el funcionamiento en forma intercalada de cadenas *pipeline* permite disminuir la velocidad de muestreo de cada rama, el *mismatch* o desbalance entre parámetros de las ramas, hace que esta arquitectura sea susceptible a la degradación de su precisión y desempeño. En particular, los errores por desbalances en ganancias, *offsets* y desviaciones de fase, son de especial relevancia para el diseño del *ADC*. A lo largo de esta sección se presentan e interpretan dichas fuentes de error, asumiendo una tasa de muestreo f_s y un número de canales $M = 2$, para simplificar el análisis.

2.2.1. Errores por diferencia de ganancias

Desbalances entre las ganancias de los canales en paralelo producen distorsión en la señal de salida del *ADC*. Esta fuente de error puede ser modelada como etapas extras de ganancia en cada rama paralela, tal y como aparece en la figura 2.2(a). Como la ganancia multiplica la señal a través de cada cadena *pipeline*, en el dominio de la frecuencia esto representa una convolución espectral, ocasionando su repetición periódica en múltiplos enteros de la

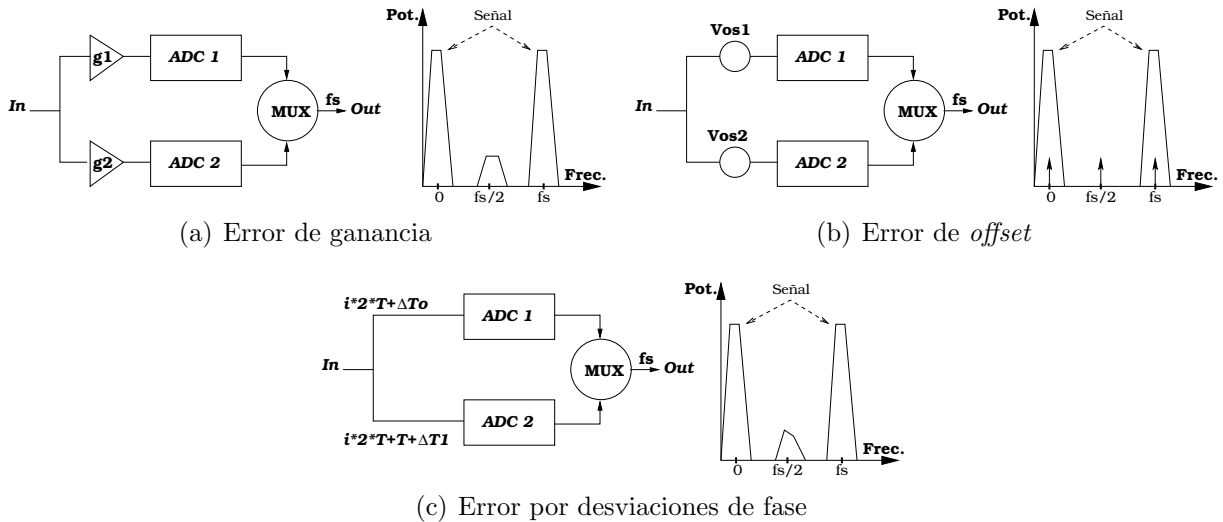


Figura 2.2: Limitaciones de desempeño de la arquitectura *time-interleaved*.

velocidad de canal $f_s/2$. Si los canales estuvieran perfectamente balanceados, las repeticiones periódicas se cancelarían unas con otras, excepto aquellas presentes en múltiplos enteros de f_s (la rata de muestreo fundamental) [3, 28].

Existen dos causas principales del error de ganancia a nivel de circuito en la arquitectura *time-interleaved pipeline*. La primera de ellas es el desbalance entre capacitores de las ramas, el cual puede ser disminuido con un cuidadoso dimensionamiento en el *layout* de los mismos. La segunda es el desbalance entre los niveles de referencia para los *DACs* entre ramas, inconveniente que puede ser solucionado compartiendo la misma cadena de resistores para el conversor completo. Idealmente, esto asegura un perfecto acople entre las referencias de los *DACs* [30].

2.2.2. Errores por diferencia de *offsets*

Las diferencias de las señales de *offsets* entre canales son originadas por el desbalance entre *opamps*, ganancias e inyecciones de carga en los interruptores a lo largo de las cadenas *pipeline* en paralelo. Estas no idealidades producen una componente de señal indeseada fija, cuyo efecto es aditivo e independiente del nivel y frecuencia de la señal de entrada. Por esta razón, su espectro se suma al espectro de la señal de salida, y sólo añade tonos periódicos en múltiplos enteros de la rata de muestreo de canal, $f_s/2$, tal y como se aprecia en la figura 2.2(b). El error de *offset* puede ser modelado como fuentes de tensión conectadas en serie a cada canal. En el peor de los casos, para una señal *DC* de entrada, cada rama produce un código digital de salida diferente.

La calibración del *offset* de los canales puede ser llevada a cabo analógica o digitalmente, considerando que la robustez lograda por la segunda opción la convierte en la preferida. De esta última forma, el *offset* de cada rama es medido digitalmente y sustraído del código producido a la salida del respectivo canal. Una desventaja de este método desde el punto de vista de sistema, radica en que el *offset* debe ser medido antes de la calibración [28, 30]. Para garantizar que el *offset* sea menor a $1/2$ *LSB*, un bit extra de resolución debe ser usado, el cual requiere sólo un pequeño incremento en *hardware*, materializado principalmente en algunos comparadores, resistores y capacitores unitarios adicionales.

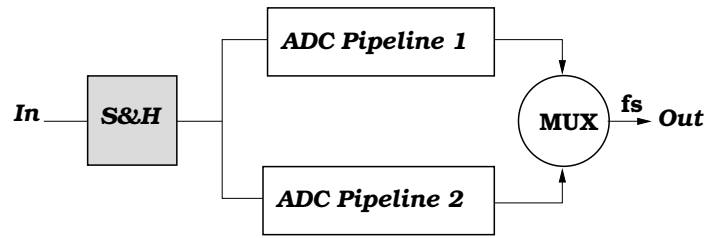


Figura 2.3: Arquitectura *time-interleaved pipeline* con circuito *S&H* a la entrada.

2.2.3. Errores por desviaciones de fase

La generación de la señal de reloj para un *ADC pipeline* paralelo involucra algunas consideraciones. Por ejemplo, para los M canales paralelos, se requieren M señales de reloj con múltiples fases, usualmente entregadas por un generador de reloj embebido en el mismo chip. Adicionalmente, dentro de un mismo canal, algunas fases del reloj son empleadas en la generación de versiones ligeramente retrasadas de las mismas. Todo lo anterior favorece la aparición de desbalances en la temporización entre los canales de la arquitectura *time-interleaving*.

La falta de sincronización entre los muestreadores a la entrada de cada cadena *pipeline* puede degradar la calidad del espectro de la señal de salida del *ADC*. Las desigualdades en la temporización de las ramas paralelas son inevitables debido a la distribución asimétrica del reloj en el *layout*, y a la variación en los instantes reales de cierre para los interruptores *MOS*.

Las desviaciones de fase entre canales producen en el espectro un patrón fijo centrado en las frecuencias $f_s/2$, y cuyo nivel es dependiente de la frecuencia. La distorsión generada por falta de sincronía entre ramas puede verse como una versión dependiente de la frecuencia de aquella generada por desbalances en las ganancias. La figura 2.2(c) ilustra los errores por desviaciones de fase y su influencia en el espectro de frecuencias. Como se indica en la figura, los instantes de muestreo son idealmente múltiplos enteros de $T = 1/f_s$; sin embargo, estos tiempos se desvían de su valor ideal por ΔT [28, 30].

La estrategia más simple para reducir los errores por desviaciones de fase o sincronización entre canales, es la utilización de un circuito de muestreo-retención (*S&H* – *Sample-and-Hold*) global a la entrada del *ADC*, tal y como se muestra en la figura 2.3. Después del *S&H*, el cual opera a la tasa de muestreo total del conversor, f_s , la señal de entrada deja de ser continua. Consecuentemente, cuando las primeras etapas de cada cadena *pipeline* tomen muestras de esta nueva señal de entrada idealmente constante, y a una velocidad menor a f_s , el instante exacto de la muestra deja de ser crítico.

Si adicionalmente se utilizan técnicas de muestreo doble (*double sampling*), de tal forma que el *opamp* en el *S&H* de la entrada pueda ser reutilizado y compartido entre las dos cadenas *pipeline* paralelas, el cambio entre las fases de muestreo y retención será idéntico para ambas ramas, minimizando entonces las desviaciones de fase. Los desbalances de ganancias y *offsets* también son mitigados mediante el reuso de *opamps*, convirtiendo el *mismatch* de capacitores en el *S&H* prácticamente en la fuente más importante de errores.

La desventaja clara del muestreo doble, radica en que el *S&H* a la entrada del *ADC* debe ser operado a la tasa de conversión total del mismo. Por ello, el diseño de sus circuitos en tecnología *CMOS* es bastante exigente debido a la alta velocidad, ganancia y precisión con la que deben operar. De esta manera, las cualidades y falencias del *S&H* afectan considerablemente el desempeño del *ADC*, teniendo como consecuencia que la arquitectura *time-interleaved*

pipeline le saca ventaja a la más simple y rápida topología *flash*, sólo si la velocidad de adquisición del *S&H* a la entrada es lo suficientemente mayor que la conversión A/D de los *ADCs* en cada rama.

2.3. La rama con arquitectura *pipeline*

Ahora que ya se han identificado las ventajas y limitaciones del paralelismo en la arquitectura *time-interleaved*, es el momento de profundizar un poco más en la exploración de la estructura del *ADC* multiestándar. Así, esta sección presenta el estudio de una de las ramas que operan en forma paralela en el conversor, la cual emplea la arquitectura *pipeline* por su inherente configurabilidad derivada del empleo de etapas con diferentes especificaciones.

2.3.1. Principio de funcionamiento

La idea básica tras la conversión analógico-digital en la cadena *pipeline* consiste en encontrar una cantidad de tensiones de referencia cuya suma sea igual al valor de la muestra de la señal que se está discretizando. Asociando dichas tensiones de referencia a los símbolos binarios (0 y 1) de acuerdo a un sistema de codificación determinado, se construye la palabra digital de salida del *ADC*. Sin embargo, tales códigos binarios requieren algún tratamiento digital adicional para multiplexar, alinear y corregir los bits - a partir de las tensiones de referencia - de salida de cada etapa.

El proceso de conversión de señales analógicas en códigos digitales presentado en el anterior párrafo, se lleva a cabo restando las tensiones de referencia a la muestra a través de las diferentes etapas de la cadena *pipeline*. El residuo de cada etapa, el cual es usualmente amplificado para mejorar la precisión, es aplicado a la entrada de la siguiente celda. El objetivo es lograr que el residuo se aproxime a cero, indicando que la suma total de niveles de referencia a lo largo del *ADC*, iguala al valor analógico de la muestra en conversión.

2.3.2. Descripción de la arquitectura

En un *ADC* con estructura *pipeline*, la cuantización de las señales analógicas es distribuida a lo largo de etapas operando secuencialmente, lo cual permite la construcción de conversores de moderada velocidad y considerable resolución con menor área. Un esquema general de la topología *pipeline* es mostrado en la figura 2.4. La cadena incluye m etapas en cascada y un bloque *S&H* que puede ser agregado a la entrada, con el fin de evitar desbalances de temporización en las dos rutas de señal del substractor de la primera etapa, para señales entrantes de rápida variación [28].

Cada una de las etapas excepto la última (la etapa m es sólo un *sub-ADC*), incluye un circuito *S&H*, un *sub-ADC*, un conversor digital-analógico (*DAC*), un substractor que detecta el residuo y una etapa de ganancia, tal como se aprecia en la figura 2.4. Cada etapa procesa la señal entrante en dos fases. En la primera de ellas, la tensión en la entrada es muestreada por el bloque *S&H* y simultáneamente digitalizada por el *sub-ADC*. En la segunda fase, el resultado de la conversión A/D es llevado de vuelta al dominio analógico por el *DAC* y restado de la muestra almacenada en el paso anterior, finalizando con la amplificación del residuo y su retención como señal de entrada para la siguiente etapa en la cadena [18].

En implementaciones con circuitos *SC* (*Switched Capacitors*), la operación de muestreo y retención (*S&H*), la conversión D/A, la substracción y la amplificación del residuo, son todas

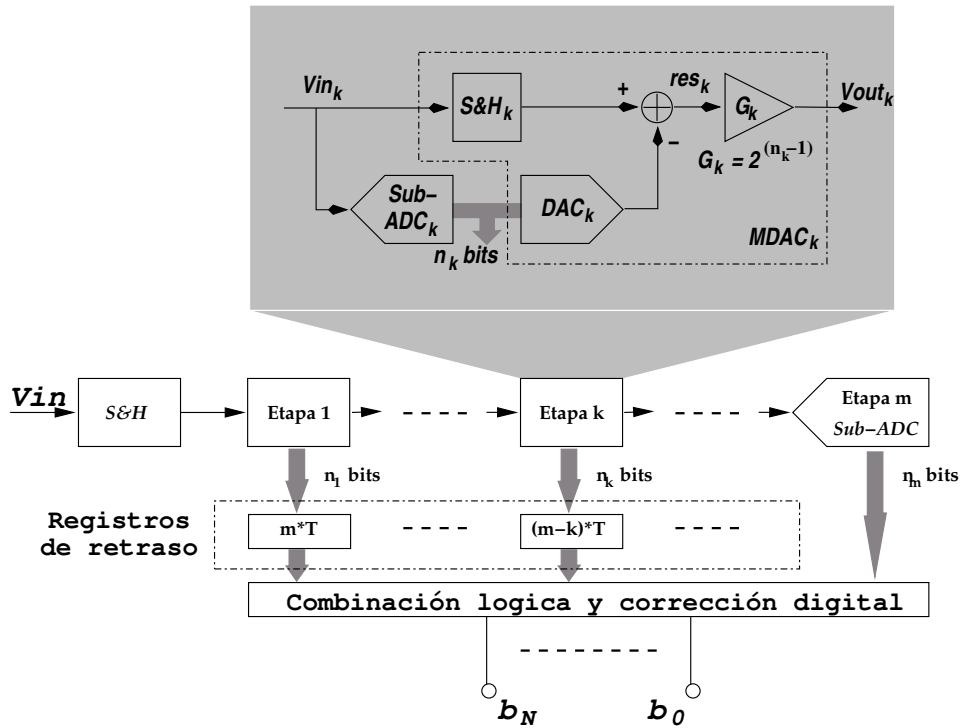


Figura 2.4: La arquitectura *pipeline*.

realizadas por un sólo bloque conocido como el *MDAC* (*Multiplying DAC*), el cual consiste en una *opamp* y un arreglo de capacitores e interruptores *MOS*. De otro lado, los cuantizadores de baja resolución generalmente son construidos empleando la arquitectura *flash*, debido a la forma rápida y directa de su conversión. Estos *sub-ADCs* consisten de algunos comparadores, generadores de tensiones de referencia y compuertas lógicas. Es común utilizar las mismas tensiones de referencia a lo largo de todas las etapas en la cadena *pipeline*, con el fin de disminuir desbalances, área y consumo de potencia del *ADC*.

Debido al funcionamiento de la arquitectura *pipeline* basado en circuitos *S&H*, las celdas básicas en la cadena trabajan en forma concurrente para conseguir altas *throughputs*¹. Etapas consecutivas operan en fases opuestas, por lo que una muestra atraviesa dos celdas en un ciclo de reloj. Sin embargo, lo anterior es obtenido a cambio de un compromiso con la latencia del sistema. De esta forma, los bits de las diferentes etapas son producidos en diferentes instantes, creando entonces la necesidad de bloques extras de circuitos digitales para retrasar, combinar, y finalmente corregir los códigos digitales a la salida de la cadena *pipeline*, como se exhibe en la figura 2.4.

2.3.3. Formación de códigos digitales

La función de transferencia de cada etapa en la cadena *pipeline* antes de la amplificación del residuo tiene forma de sierra, excursionando entre $+V_{FS}/2^{n_k}$ y $-V_{FS}/2^{n_k}$, donde V_{FS} y n_k representan el rango de excursión en escala completa de la señal a la entrada del *ADC* y la resolución en bits de la etapa k , tal y como se aprecia en la figura 2.5. La amplificación del residuo es necesaria para hacer uso del rango dinámico total a la entrada de la siguiente

¹El término *throughput* hace referencia a la tasa de bits efectivos o información útil transmitida - o convertida en el caso particular del *ADC* -.

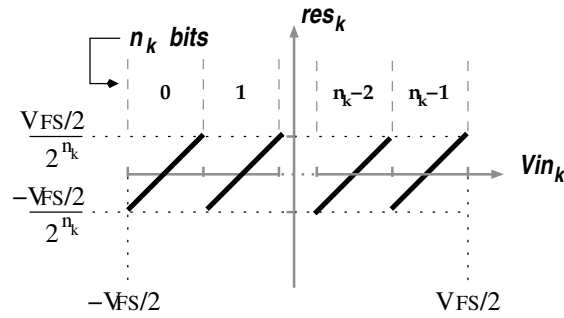


Figura 2.5: La señal de residuo en una etapa *pipeline*.

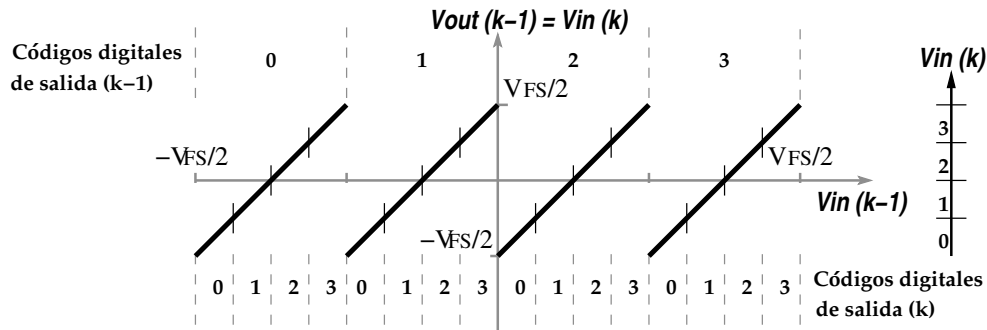


Figura 2.6: Formación de códigos digitales de salida entre etapas adyacentes.

etapa, y de esta manera lograr características uniformes en los circuitos y las tensiones de referencia a lo largo de la cadena. Esta tensión amplificada corresponde a la entrada de la siguiente etapa, la cual se encarga de digitalizarla nuevamente, discretizando cada uno de los segmentos de la señal con forma de sierra. Este proceso de formación de palabras digitales es ilustrado en la figura 2.6, para dos etapas adyacentes con 2 bits de resolución [28].

Cada etapa tiene una resolución de n_k bits que no necesariamente es la misma. La celda 1 produce los bits más significativos (*MSB*), mientras la etapa m produce los bits menos significativos (*LSB*). Además, existe con frecuencia un solapamiento entre los bits de salida de etapas adyacentes en la cadena *pipeline*. De esta forma, la resolución efectiva de cada etapa es reducida, pero la cantidad de bits redundantes es constante entre ellas [3]. Es usual emplear un bit de redundancia a lo largo de la cadena, excepto en la última etapa, cuya resolución efectiva corresponde a los n_m bits de salida del *sub-ADC*. De esta manera, la resolución total de un *ADC* que emplea la arquitectura *pipeline* con 1 bit de redundancia entre etapas, está dada por la expresión (2.1).

$$N = \sum_{k=1}^{m-1} (n_k - 1) + n_m \quad (2.1)$$

Un mínimo nivel de redundancia correspondiente a un bit entre etapas vecinas, es suficiente para aplicar corrección digital a los códigos de salida del *ADC*, mediante algoritmos como *RSD* (*Redundant Sign Digit*), el cual será abordado en la sección 4.1. Esta estrategia reduce los errores causados por las no idealidades de los *sub-ADCs* y las diferentes fuentes de *mismatch* a lo largo de la cadena *pipeline*. Para introducir dicho nivel de redundancia, la ganancia de amplificación del residuo de cada etapa debe ser reducida, y de esta manera, ocupar sólo una parte del rango dinámico total a la entrada de la siguiente etapa [28]. Como

resultado, la ganancia que se aplica al residuo de cada etapa es $2^{(n_k-1)}$, tal y como aparece en la figura 2.4.

2.4. Optimización del consumo de potencia de la arquitectura *time-interleaved pipeline*

Siguiendo la tendencia en el estado del arte hacia la minimización del consumo de potencia de los circuitos integrados, los requerimientos a nivel de sistema de la arquitectura del *ADC* son evaluados dentro de ese mismo escenario. De esta forma, en las siguientes líneas se presenta un análisis aproximado del impacto del número de ramas *time-interleaved* y la resolución por etapa *pipeline* en el consumo de potencia del conversor analógico-digital.

Es importante aclarar que la mayoría de conceptos y expresiones utilizadas en los siguientes argumentos para la selección de especificaciones surgen a nivel de circuito, razón por la cual aquí sólo son presentados sin entrar en mayor detalle. En capítulos posteriores, las explicaciones y deducciones necesarias a ese nivel son desarrolladas.

De acuerdo con la descripción de la arquitectura del *ADC* multiestándar presentada en secciones anteriores, el consumo de potencia en el mismo se origina básicamente en los circuitos digitales y de polarización, así como en los *sub-ADCs* y *MDACs* de las etapas en la cadena *pipeline*. Generalmente, el aporte de los dos primeros es poco significativo y casi independiente de las especificaciones a nivel de sistema del conversor, en comparación con los dos últimos bloques. Adicionalmente, el empleo de *RSD* para la corrección de los errores en los *sub-ADCs*, permite implementaciones con reducidos consumos de corriente. De esta manera, el aporte más importante en disipación de potencia total del *ADC* proviene del *MDAC* en cada etapa del conversor [30]. Debe resaltarse que el circuito *S&H* a la entrada del *ADC* también representa un gasto de potencia importante, pero menos relacionado con las especificaciones y los análisis desarrollados en esta sección.

El núcleo del *MDAC* es el bloque amplificador de residuo, el cual es implementado con un amplificador de transconductancia (*OTA*), debido a la naturaleza capacitiva pura de la carga vista por el mismo. Como se muestra más adelante, la corriente de polarización del *OTA* depende de dos especificaciones relacionadas con la tasa de muestreo y la resolución del *ADC*. Dichas especificaciones son el *slew rate* (*SR*) y la frecuencia de ganancia unitaria o producto ganancia-ancho de banda (*GBW*). El punto clave de estas dependencias es que la tasa de muestreo lleva indirectamente al número de canales, mientras que la resolución total involucra la cantidad de bits por etapa.

Las expresiones que cuantifican las relaciones descritas en el párrafo anterior son presentadas en (2.2) y (2.3), mientras que los parámetros y variables involucradas, con sus respectivos significados y valores, se encuentran consignados en la tabla 2.1 [30]. Para llegar a estas ecuaciones, se realizan las siguientes suposiciones para facilitar el manejo algebraico y permitir una mayor comprensión de los aspectos más relevantes para el análisis:

- Se utiliza *RSD* y el bit de redundancia.
- Todas las etapas tienen la misma resolución efectiva n .
- La última etapa carece del bloque *MDAC*, lo cual lleva a $\#MDACs = N/n - 1$.
- La tecnología o proceso de fabricación usado es *CMOS* 0,35 μm .

Parámetro / Variable	Descripción / Valor
N	Resolución total del <i>ADC</i>
n	Resolución de cada etapa <i>pipeline</i>
f_s	Frecuencia de muestreo total del <i>ADC</i>
M	Número de canales paralelos del <i>ADC</i>
V_{FS}	Rango de excursión en escala completa a la entrada del <i>ADC</i> (2 V)
W/L	Relación de aspecto de los transistores a la entrada del <i>OTA</i>
C_{ox}	Capacitancia del óxido en la compuerta ($4,56 \cdot 10^{-3} \text{ F/m}^2$)
μ	Mobilidad de los portadores ($37 \cdot 10^{-3} \text{ m}^2/\text{Vs}$)
C_{L-TOT}	Capacitancia total de carga vista por el <i>OTA</i> (500 fF)
C_f, C_s	Capacitancias de <i>feedback</i> y muestreo para el <i>OTA</i> (15 fF)

Tabla 2.1: Variables y parámetros utilizados en las expresiones (2.2) y (2.3).

- No se emplea la técnica de escalamiento en los capacitores.
- El *OTA* puede ser modelado como un sistema con un polo dominante.

$$I_{TOTAL-SR} \simeq (\# MDACs) \cdot (I_{OTA-SR}) = \left[\frac{N}{n} - 1 \right] \cdot \left[3 \cdot \frac{f_s}{M} \cdot V_{FS} \cdot (C_{L-TOT} + C_f) \right] \quad (2.2)$$

$$I_{TOTAL-GBW} \simeq (\# MDACs) \cdot (I_{OTA-GBW}) = \left[\frac{N}{n} - 1 \right] \cdot \left[\frac{9}{2\mu C_{ox}} \cdot \frac{L}{W} \cdot \left(\left(\ln \frac{2^N}{2^n - 1} \right) \cdot \frac{f_s}{M} \cdot (2^n C_{L-TOT} + (2^n - 1)C_s) \right)^2 \right] \quad (2.3)$$

2.4.1. Selección del número de ramas

El consumo de corriente del *OTA* puede ser derivado a partir del máximo entre las estimaciones dadas por (2.2) y (2.3). Entonces, es posible visualizar el impacto del grado de paralelismo sobre la disipación de potencia del *ADC*, graficando en función de la variación de f_s , y dejando como parámetros el número de canales M y la resolución por etapas n . Estas curvas son exhibidas en la figura 2.7 para $N = 6$, como es el caso del estándar *Bluetooth*, ya que éste es el que requiere la utilización de *time-interleaving* debido a su mayor tasa de muestreo ($f_s = 11 \text{ MHz}$).

Tal y como se aprecia en la figura 2.7, la dependencia del consumo de corriente del *OTA* es inicialmente lineal con respecto a f_s , donde domina la especificación del *SR*. Sin embargo, a partir de una frecuencia determinada, el requerimiento dominante es el *GBW*, y la dependencia es de segundo orden, lo cual lleva a un incremento acelerado de la disipación de potencia en el *ADC*. También es claro que a medida que se incrementa el número de canales, se reduce el consumo de potencia, siendo este comportamiento más notorio en la región no lineal de las curvas. Por otro lado, la ampliación de la resolución por etapa ocasiona una disminución de la frecuencia de esquina, donde la curva deja de ser lineal y pasa a ser cuadrática.

La relación inversa entre el número de ramas paralelas y el consumo de corriente del *ADC* se debe principalmente al empleo de técnicas como el muestreo doble y la reutilización de *OTAs*. Sin embargo, las desventajas asociadas al *mismatch* entre los canales *time-interleaved*

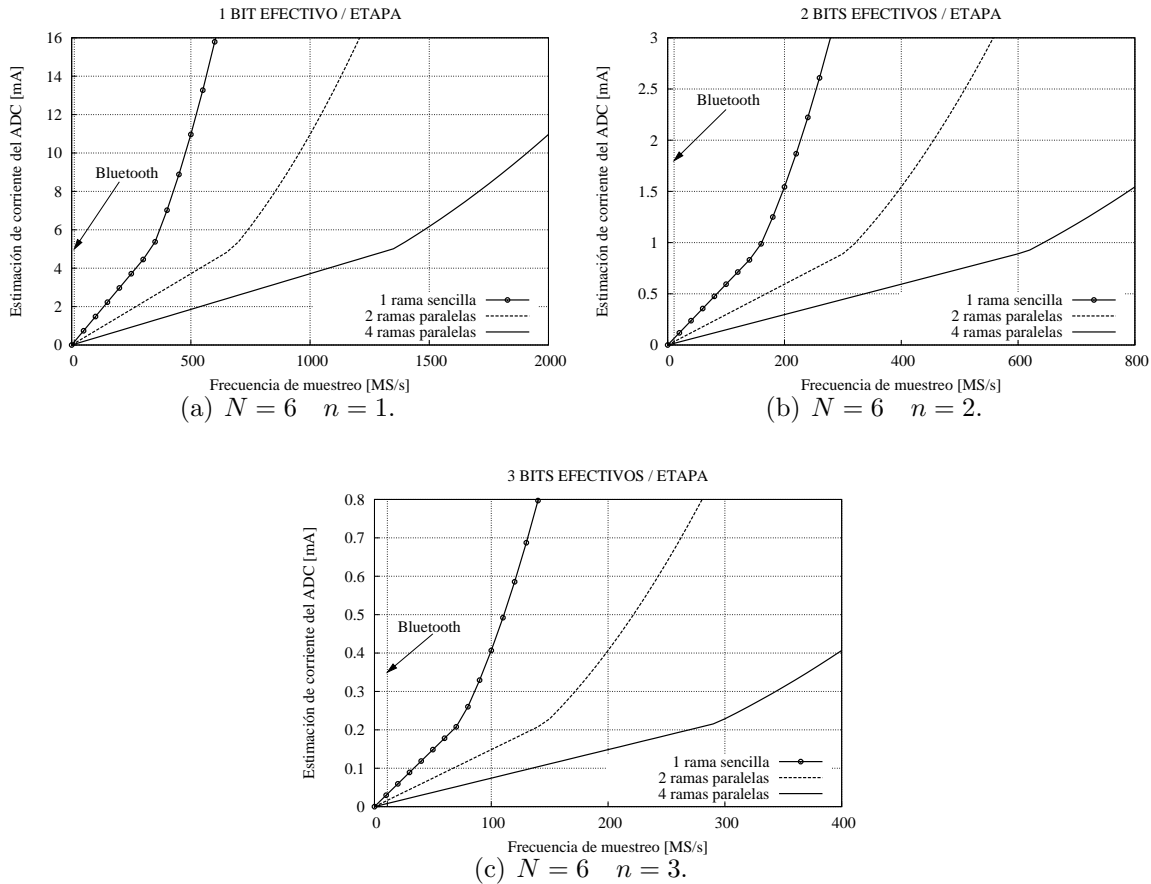


Figura 2.7: Efecto del paralelismo en la potencia del *ADC* (sin incluir el $S\mathcal{E}H$).

que fueron presentadas en secciones anteriores, hacen deseable utilizar una menor cantidad de los mismos. Adicionalmente, en la figura 2.7 puede apreciarse que las condiciones de operación del *ADC* multiestándar trabajando con *Bluetooth*, se encuentran ubicadas en la región lineal de cualquiera de las curvas graficadas. En dicha región, el sacrificio en consumo de potencia por utilizar menos ramas paralelas es relativamente pequeño, en comparación con la región dominada por el requerimiento de *GBW*, donde las diferencias son mayores.

A partir de los argumentos expuestos en el párrafo anterior, en este trabajo se seleccionan dos ramas con *ADCs* utilizando la arquitectura *pipeline*. Cada una de estas dos cadenas *pipeline* opera a 5,5 MS/s, para alcanzar en conjunto las 11 MS/s requeridas por el estándar *Bluetooth*, mientras que sólo una se encuentra activa para *GSM*, con su tasa de muestreo escalada por un factor de 2 para proporcionar las 2,75 MS/s requeridas por este estándar. Esta única rama activa bajo *GSM* posee una resolución total de 12 bits, lo cual satisface su especificación. Ahora bien, con el fin de disminuir el consumo de potencia, la mitad de esta cadena *pipeline* puede ser desactivada y funcionar en forma paralela con la otra rama de tan sólo 6 bits de resolución total, cuando el *ADC* trabaja con el estándar *Bluetooth*.

2.4.2. Selección de la resolución por etapa

Uno de los aspectos más importantes cuando se diseña un *ADC* con arquitectura *pipeline* es encontrar la resolución óptima por etapa. El número de bits por etapa tiene un fuerte impacto sobre la especificación de velocidad, precisión y potencia de los circuitos que la con-

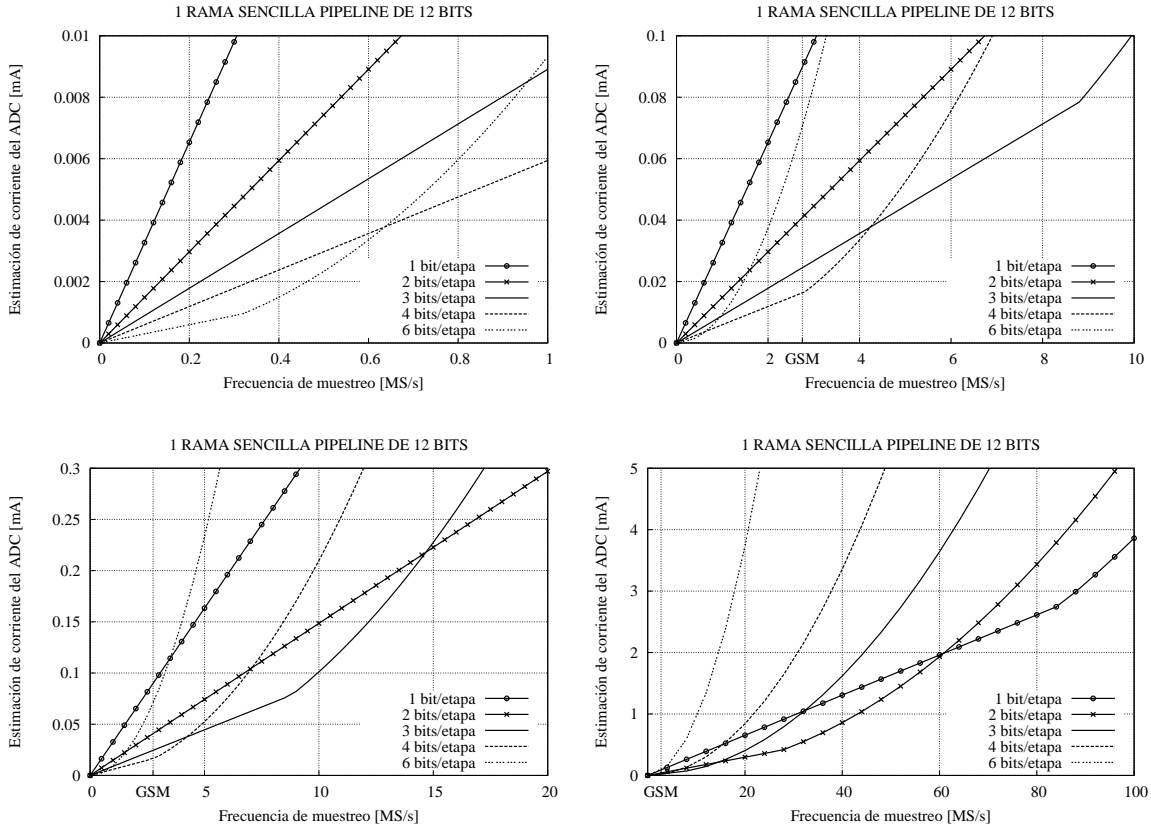


Figura 2.8: Efecto de la resolución por etapas en la potencia del *ADC* (sin incluir el *S&H*).

forman. Por consiguiente, esta selección representa un paso fundamental, ya que compromete parámetros de diseño importantes para el convertor.

Entre menor sea la resolución por etapa, una mayor cantidad de ellas es necesaria para alcanzar una resolución determinada total del *ADC* a diseñar. Lo anterior se convierte en una mayor cantidad de amplificadores que aumentan el consumo de potencia, pero también en unos requerimientos de diseño menos exigentes para los comparadores de cada *sub-ADC*. Por otro lado, cada bit adicional en una celda *pipeline* duplica el número de comparadores y reduce a la mitad el *offset* permitido en el *sub-ADC*, incrementando adicionalmente su capacitancia de entrada, y con ello, la carga vista por las etapas anteriores.

Diversas referencias en la literatura coinciden en que para *ADCs* con resoluciones de hasta 8-10 bits, la minimización de la resolución por etapa (1,5 bits efectivos) de la cadena *pipeline*, lleva a una reducción tanto del área del chip como de la potencia disipada [3, 18, 28, 30]. Sin embargo, de acuerdo con el estudio sistemático y detallado en [18], la anterior no constituye la estrategia más óptima para *ADCs* de alta resolución, como es el caso que concierne al diseño de este trabajo, que requiere 12 bits para operar con *GSM*.

En escenarios de alta resolución, incrementar el número de bits de la primera etapa, ayuda a relajar los requerimientos de diseño y tolerancias de error en las últimas etapas, de acuerdo con la expresión del error total referido a la entrada en (2.4) [30, 32], donde e_k y G_k representan la tensión de error y la ganancia de la etapa k , respectivamente. Tales voltajes de error están relacionados principalmente con el ruido térmico y el *mismatch* en los capacitores. De esta manera, también es posible aplicar la técnica de escalamiento para reducir el tamaño de los capacitores de las últimas etapas, y de esta forma ahorrar área y consumo de potencia

por amplificadores menos cargados y rápidos al final de la cadena *pipeline*.

$$e_{TOTAL} = e_1 + \frac{e_2}{G_1} + \frac{e_3}{G_1 \cdot G_2} + \dots + \frac{e_m}{\prod_{k=1}^{m-1} G_k} \quad (2.4)$$

Los *MDACs* realizan el principal aporte al consumo de potencia del *ADC*. De esta forma, otra ventaja de emplear etapas con mayores resoluciones es la disminución del número de *MDACs*, como consecuencia de la reducción del número de celdas en la cadena *pipeline*. Lo anterior es válido aún cuando los *MDACs* de las etapas multibit consumen más potencia que aquellos de las etapas de baja resolución [3]. Además de los beneficios anteriores, el empleo de una menor cantidad de etapas con mayores resoluciones, resulta en una menor latencia del sistema.

Para analizar el impacto de la resolución por etapas en el consumo de potencia del *ADC*, se grafican nuevamente las expresiones (2.2) y (2.3), pero esta vez para las condiciones de operación del estándar *GSM*, pues es éste el que posee el requerimiento más exigente ($N = 12$ bits). Entonces, se fija el número de canales ($M = 1$), y se parametriza la resolución por etapas, tal y como se ilustra en la figura 2.8, para diferentes rangos de frecuencia de muestreo.

Como es evidente en la figura 2.8, la selección de la resolución óptima por etapa es fuertemente dependiente de la frecuencia de muestreo utilizada por el conversor. Así, se puede apreciar también que a medida que f_s se incrementa, la mejor opción en cuanto a disipación de potencia es disminuir la resolución por etapa. En coherencia con las ideas anteriores, y de las curvas exhibidas en la figura 2.8, se puede afirmar que para las especificaciones de *GSM* ($f_s = 2,75$ MHz y $N = 12$ bits), la resolución por etapa óptima es de 4 bits. Sin embargo, desde el punto de vista de la configurabilidad, esta selección es inadecuada debido a su incompatibilidad con los requerimientos del otro estándar (*Bluetooth*), cuya resolución total es de 6 bits. Entonces, la siguiente mejor opción es la de 3 bits efectivos por etapa.

A partir de las ideas presentadas en los anteriores párrafos, se selecciona una estructura de 4 etapas para la cadena *pipeline* de 12 bits del *ADC* a diseñar en este trabajo. Las 3 primeras celdas tienen una resolución de 4 bits (3 bits efectivos), y la última etapa (compuesta únicamente por un *sub-ADC*) trabaja con una resolución de 3 bits (efectivos). La arquitectura descrita es ilustrada en la figura 2.9, donde además se muestra la otra rama paralela de sólo 6 bits que necesita el estándar *Bluetooth*, la cual es una copia de la mitad de la rama de 12 bits que convierte los *LSB*.

La utilización de altas resoluciones en las primeras etapas, permite sacar ventaja del ahorro de potencia en el diseño del *ADC* multiestándar de este trabajo, así como de las especificaciones relajadas para las últimas etapas. Por otro lado, la implementación de una de las ramas con sólo 2 etapas estrictamente necesarias para el estándar *Bluetooth*, posibilita un ahorro significativo de área y potencia, pues las celdas suprimidas corresponden a las más exigentes de la cadena, tal y como se muestra en la figura 2.9.

2.5. No idealidades y extracción de especificaciones de las etapas

Para lograr el grado de precisión, linealidad y desempeño requerido para el *ADC* a diseñar, cada etapa constituyente de la cadena *pipeline* debe ser estudiada por separado. Un punto clave en tal análisis es la identificación de las diferentes fuentes de error, tanto en el circuito de *S&H* como en las demás celdas básicas. Los requerimientos de diseño de estas etapas

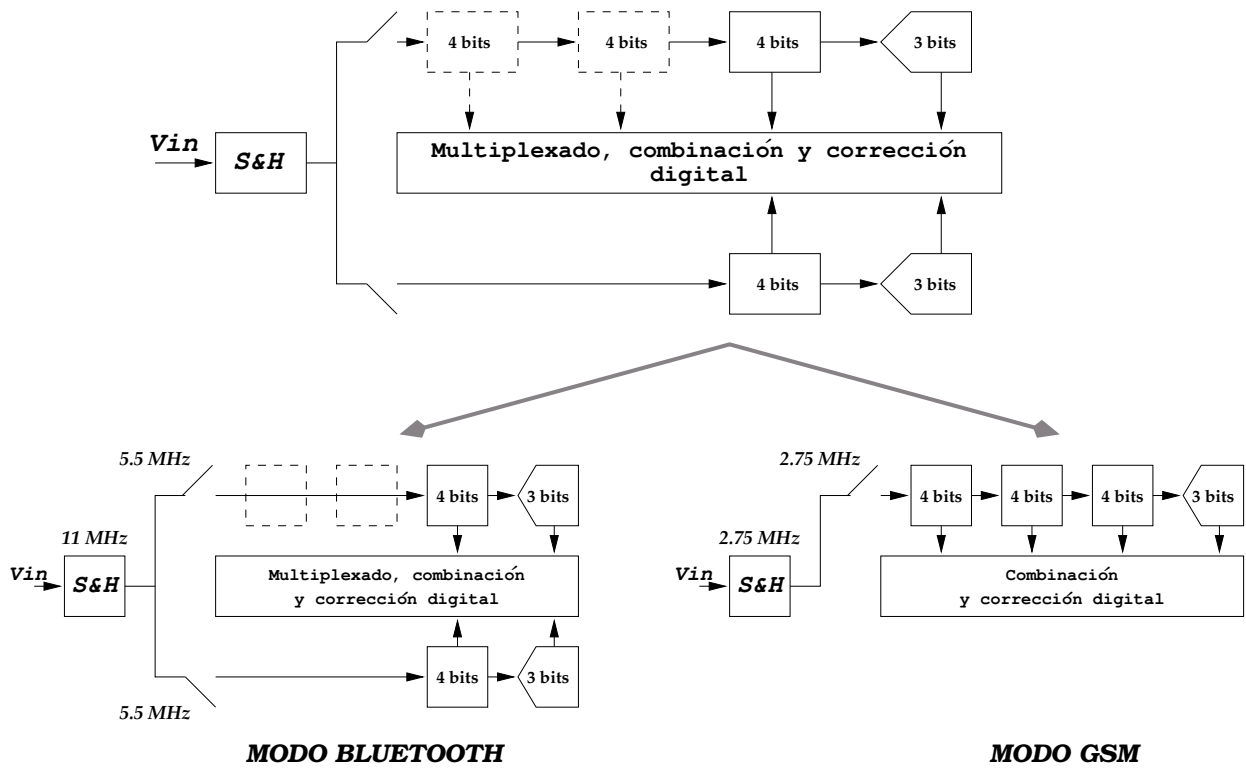


Figura 2.9: Resoluciones por etapas del *ADC* a diseñar y sus modos de operación.

deben ser especificados, garantizando un límite máximo de degradación del desempeño por cuenta de las no idealidades en la arquitectura.

Los errores de la celda básica *pipeline* pueden aparecer en cuatro diferentes puntos de la misma, tal y como se muestra en la figura 2.10. Las no idealidades del *sub-ADC* introducen el error e_{ADC} , mientras que las limitaciones del circuito *S&H*, el *DAC* y el amplificador de residuo, introducen las componentes de error $e_{S\&H}$, e_{DAC} y e_G , respectivamente. Sin embargo, las tres fuentes de error anteriores son producidas en conjunto por las no idealidades de un único bloque circuital, el cual fue presentado en secciones anteriores como el *MDAC*. Como se aprecia en la figura 2.10, las componentes de error $e_{S\&H}$ y e_{DAC} aparecen en puntos equivalentes a la entrada del substractor, y su efecto sobre el desempeño de la etapa es el mismo. Por esta razón, no necesitan ser tratadas por separado y ambas son consideradas como limitaciones producidas por las no idealidades del *DAC* [3, 28].

Además de las fuentes de error citadas anteriormente, también es considerado el impacto de otros factores limitantes sobre el desempeño de las etapas, como son el ruido y el fenómeno conocido como *clock jitter*. Por otro lado, también es importante aclarar que en este análisis cada etapa es caracterizada como un sistema, compuesta a su vez por bloques, lo cual se ilustra también en la figura 2.10. En capítulos posteriores, estos bloques son representados mediante circuitos, al mismo tiempo que son presentados los componentes y elementos que son fuentes de error a ese nivel.

Aunque el *ADC* a diseñar necesita acomodarse a los dos modos de funcionamiento mostrados en la figura 2.9, la extracción de las especificaciones nominales debe estar basada en aquellas condiciones de operación que sean más exigentes para el conversor. Dichas condiciones surgen cuando se utilizan la mayor resolución y frecuencia de muestreo, a partir de su proporcionalidad directa con el área ocupada y el consumo de potencia. De esta forma, los requerimientos que son determinados en lo que queda de este capítulo, están basados en la

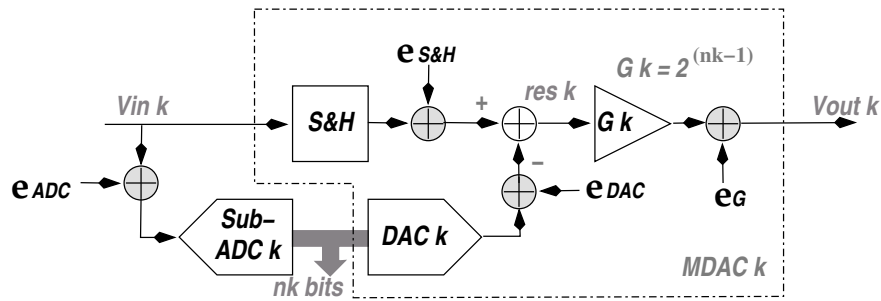


Figura 2.10: Modelo de las fuentes de error en una celda básica *pipeline*.

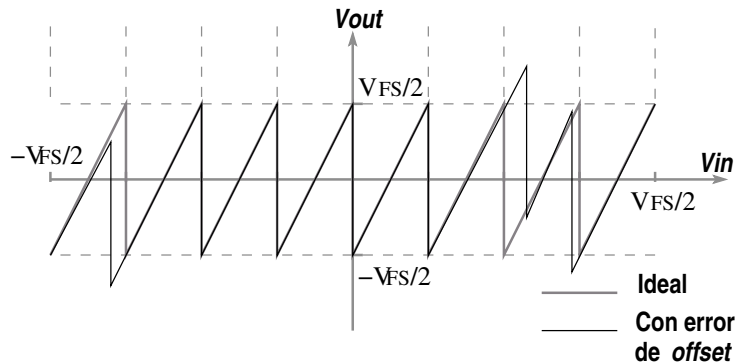


Figura 2.11: Efecto de e_{ADC} como única fuente de error en una etapa de 3 bits.

cadena *pipeline* de 12 bits y 4 etapas que necesita el estándar *GSM*, y en la frecuencia de muestreo total de 11 MS/s que requiere *Bluetooth*. A pesar de lo anterior, cuando el *ADC* trabaje a 6 bits y/o 2,75 MS/s, la configurabilidad de la arquitectura debe permitir escalar y modificar las variables necesarias para conseguir otro punto de operación ajustado al nuevo escenario menos exigente.

Como parte del análisis presentado en las siguientes líneas sobre las diferentes fuentes de error en el conversor, también se identifican los parámetros del *ADC* que contribuyen con la reducción de sus efectos. De ese modo, los límites en la degradación del desempeño por parte de las no idealidades, se traducen en cotas de diseño para aquellas especificaciones que contrarrestan sus consecuencias.

2.5.1. Errores en el *sub-ADC*

La principal fuente de error en el proceso de cuantización que realiza el *sub-ADC* de las etapas *pipeline* es la tensión de *offset* en los comparadores, la cual ocasiona decisiones y umbrales incorrectos en la señal de residuo de las etapas. A su vez, el residuo amplificado a la salida de una etapa se encuentra fuera del rango de excursión total a la entrada de la siguiente celda, como se aprecia en la figura 2.11.

Si no se utilizan bits de redundancia entre etapas, este error debe ser menor a la mitad del *LSB* correspondiente a las etapas restantes hasta el final de la cadena *pipeline*. Sin embargo, si el bit de redundancia y la corrección digital mediante *RSD* son aprovechados, tal y como se explica en 2.3.3 y 4.1, la tensión de error ($V_{err} = G_k \cdot e_{ADC}$) debida a las no idealidades del *sub-ADC* es limitada sólo por la mitad del *LSB* de la siguiente etapa [3,28]. Esta última restricción, la cual es menos exigente que cuando no se usa *RSD*, y que garantiza que no haya

pérdida de códigos, se expresa en (2.5), donde G_k representa la ganancia de la etapa k .

$$\begin{aligned} G_k \cdot e_{ADC} < \frac{1}{2} \cdot LSB_{k+1} &\implies e_{ADC} < \frac{1}{2^{(n_k-1)}} \cdot \frac{1}{2} \cdot \frac{V_{FS}}{2^{(n_{k+1}-1)}} \\ &\implies e_{ADC} < \frac{V_{FS}}{2^{(n_k+n_{k+1}-1)}} \end{aligned} \quad (2.5)$$

Si el requerimiento de error en los *sub-ADCs* es expresado en bits de acuerdo al exponente de $2^{(n_k+n_{k+1}-1)}$ en la condición (2.5), se tiene que para las dos primeras etapas de 4 bits, e_{ADC} es de 7 bits, mientras que para la tercera es de 6 bits. A partir de que la última etapa de 3 bits no tiene carga, ese *sub-ADC* tan sólo debe satisfacer un requerimiento de 3 bits.

De otra forma, si $V_{FS} = 2V$ es reemplazado en (2.5), se obtiene la especificación de mínima tensión de *offset* a la entrada para cada etapa ($e_{ADC} = V_{err}/G_k$). Por consiguiente, las dos primeras etapas de 4 bits toleran hasta 15 mV, mientras que en la tercera celda de 4 bits está permitido un *offset* de hasta 31 mV. Finalmente, el *sub-ADC* que constituye la última etapa, debe tener una tensión de *offset* menor a 250 mV.

Mientras e_{ADC} se mantenga dentro del límite especificado en (2.5), el solapamiento de 1 bit entre etapas adyacentes para emplear *RSD* en la palabra digital de salida, es suficiente para corregir errores provenientes del *sub-ADC*. De acuerdo con lo anterior, el efecto de e_{ADC} sobre el desempeño total del *ADC* es despreciable y los *sub-ADCs* pueden ser considerados como ideales.

2.5.2. Errores de ganancia

Las principales fuentes de error de ganancia en circuitos *S&H* son el *mismatch* entre capacitores y la ganancia finita de los *opamps*. Esta última fuente puede considerarse despreciable si se emplean amplificadores con altas ganancias de *DC*. En la figura 2.12 se ilustra el efecto de esta fuente de errores en la función de transferencia de una etapa *pipeline* de 3 bits.

La máxima potencia de error de ganancia ocurre cuando la señal de entrada alcanza su máximo valor, es decir, $V_{in-max} = V_{FS}/2$. La tensión de error correspondiente a la salida de la etapa es $V_{err} = e_G \cdot V_{in-max}$, y mientras ésta sea menor a la mitad del *LSB* de las etapas restantes en la cadena *pipeline*, la degradación del *SNR* total del *ADC* será poco significativa [3, 30]. Esta condición se plantea para la etapa k en (2.6).

$$\begin{aligned} e_G \cdot V_{in-max} < \frac{1}{2} \cdot LSB_{resto} &\implies e_G \cdot \frac{V_{FS}}{2} < \frac{1}{2} \cdot \frac{V_{FS}}{2^{[(n_{k+1}-1)+(n_{k+2}-1)+\dots+n_4]}} \\ &\implies e_G < \frac{1}{2^{[(n_{k+1}-1)+(n_{k+2}-1)+\dots+n_4]}} \end{aligned} \quad (2.6)$$

La condición en (2.6) muestra que las primeras etapas deben tener ganancias más precisas, como ya se había comentado anteriormente a partir del escalamiento del error expresado en (2.4). Entonces, el circuito *S&H* y la primera etapa de la cadena *pipeline* constituyen los casos más críticos, y sus respectivos errores de ganancia son especificados en las expresiones (2.7) y (2.8), donde N representa la resolución total de la cadena *pipeline* [28].

$$e_{G-S\&H} < \frac{1}{2^N} \quad (2.7)$$

$$e_{G-1} < \frac{1}{2^{[N-(n_1-1)]}} \quad (2.8)$$

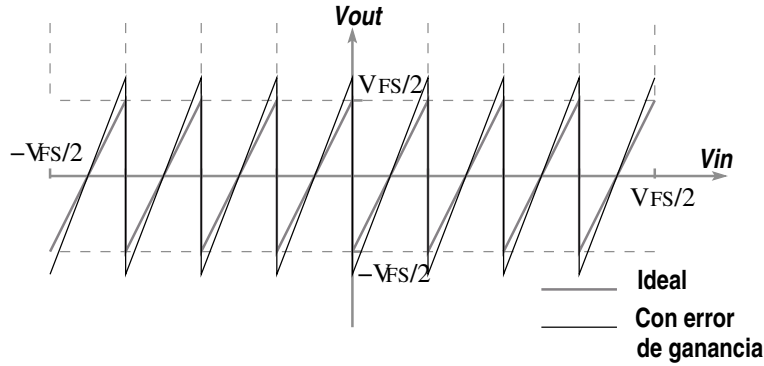


Figura 2.12: Efecto de e_G como única fuente de error en una etapa de 3 bits.

Como resultado final, la evaluación de la expresión (2.7) produce un error de ganancia del 0,02 % para el circuito $S\&H$ a la entrada de la cadena *pipeline*. Asimismo, las condiciones (2.6) y (2.8) determinan errores del 0,2, 1,5 y 12,5 % para las etapas 1, 2 y 3, respectivamente. Como la etapa 4 no incluye un bloque amplificador de residuo, esta especificación carece de sentido para ella.

2.5.3. Errores en el DAC

Tres tipos de error se originan en el conversor digital-analógico de los *MDACs*. En las siguientes líneas el análisis para cada uno de ellos es llevado a cabo por separado, recordando que el error debido al circuito $S\&H$, $e_{S\&H}$, es equivalente a e_{DAC} , tal y como se explicó anteriormente.

Error de *offset*

Esta clase de error es equivalente al error de *offset* del *sub-ADC*, e_{ADC} . Debido a la utilización de la corrección digital, el efecto de esta no idealidad de los *DACs* no es relevante para el desempeño general de la cadena *pipeline*. A partir del análisis hecho antes a e_{ADC} , la condición (2.5) puede extrapolarse al circuito $S\&H$ de la entrada de la cadena *pipeline*, pero resaltando que este bloque debe ser tan preciso como el *ADC* completo. Lo anterior lleva a la ecuación (2.9) y a una tensión de *offset* máxima de 0,2 mV en el $S\&H$ de la entrada.

$$e_{S\&H} = V_{offset-S\&H} < \frac{1}{2} \cdot LSB_{12bits} \implies V_{offset-S\&H} < \frac{1}{2} \cdot \frac{V_{FS}}{2^{12}} \quad (2.9)$$

Error de ganancia

Los errores de ganancia en el *DAC* son equivalentes y pueden ser reemplazados por los errores de ganancia en el *sub-ADC* y el circuito de $S\&H$ [28]. Por ello, es suficiente para esta limitación garantizar el cumplimiento de las condiciones en (2.6), (2.7) y (2.8).

Error de linealidad

Partiendo de que la no linealidad del *DAC* afecta la precisión del residuo antes de la amplificación, esta fuente de error no resulta atenuada por la ganancia de la misma etapa cuando se refiere a su entrada, tal y como se aprecia en la figura 2.10. Como consecuencia, el efecto de las no idealidades del *DAC* sobre el desempeño de la arquitectura completa es despreciable sólo si la etapa en consideración exhibe una mejor

linealidad que los bits restantes en la cadena *pipeline*, incluyendo los bits generados en la etapa [3]. De esta manera, los *DACs* en las tres etapas de 4 bits deben tener una linealidad mínima de 12, 9 y 6 bits, en secuencia desde los *MSB* hasta los *LSB*. Nuevamente, la última etapa es irrelevante para este requerimiento.

La no linealidad del *DAC* es originada principalmente en la no uniformidad de las tensiones de referencia del mismo. De forma similar al efecto de e_{ADC} , las desviaciones en las referencias del *DAC* producen residuos amplificados fuera del rango máximo de excursión de la siguiente etapa, y como consecuencia, la pérdida de códigos digitales. Por ello, el impacto de e_{DAC} sobre la función de transferencia de una etapa de 3 bits, resulta ser muy parecido al presentado en la figura 2.11.

2.5.4. Errores por el efecto del ruido

Adicional a las anteriores limitaciones, también están presentes errores indeseados de naturaleza aleatoria que provienen de elementos de circuito y señales de reloj, como se explica en capítulos posteriores. La fuente más importante de ruido en la celda básica *pipeline* son los circuitos *S&H*, y dentro de ellos, los principales contribuyentes son los elementos de muestreo y los *opamps*.

La resolución de 12 bits bajo el estándar *GSM* se traduce en una *SNR* de 74 dB bajo esas condiciones de operación. Lo anterior implica que la potencia de ruido total en banda debe ser menor a -74 dB con respecto a la señal de entrada en escala completa, V_{FS} . Este requerimiento constituye el punto de partida para el análisis presentado en las siguientes líneas.

El ruido como señal de error, también es escalable a lo largo de la cadena *pipeline* de forma similar a la ecuación (2.4). Entonces, las especificaciones de ruido pueden ser extraídas para las siguientes etapas en la arquitectura de acuerdo con la expresión en (2.10). En esa relación, los términos $e_{ruido-in}^2$, $e_{ruido-k}^2$ y $e_{ruido-min}^2$ corresponden en el mismo orden a los niveles de ruido referido a la entrada de la cadena *pipeline*, a la entrada de la etapa k y el mínimo requerido para mantener un nivel de desempeño medido con la *SNR*, y cuyo valor fue calculado en -74 dBc en el párrafo anterior.

$$\begin{aligned}
 e_{ruido-in}^2 &= \frac{e_{ruido-k}^2}{\prod_{j=1}^{k-1} G_j} < e_{ruido-min}^2 \\
 e_{ruido-k}^2 &< e_{ruido-min}^2 \cdot (2^{(n_1-1)} \cdot 2^{(n_2-1)} \dots 2^{(n_{k-1}-1)}) \\
 e_{ruido-k} [dBc] &< e_{ruido-min} [dBc] + 10 \cdot \log (2^{[(n_1-1)+(n_2-1)+\dots+(n_{k-1}-1)]}) [dB] \quad (2.10) \\
 e_{ruido-k} [dBc] &< e_{ruido-min} [dBc] + 3,01 \cdot \sum_{j=1}^{k-1} (n_j - 1) [dB]
 \end{aligned}$$

La aplicación de (2.10) resulta en un nivel mínimo de ruido de -74 dBc para el *S&H* de la entrada y la primera etapa de 4 bits. La siguiente etapa requiere -65 dBc, mientras que la tercera y la cuarta deben satisfacer especificaciones de -56 dBc y -47 dBc, respectivamente. De nuevo, la utilización de altas resoluciones en las primeras etapas, permite relajar los requerimientos de diseño de las últimas celdas.

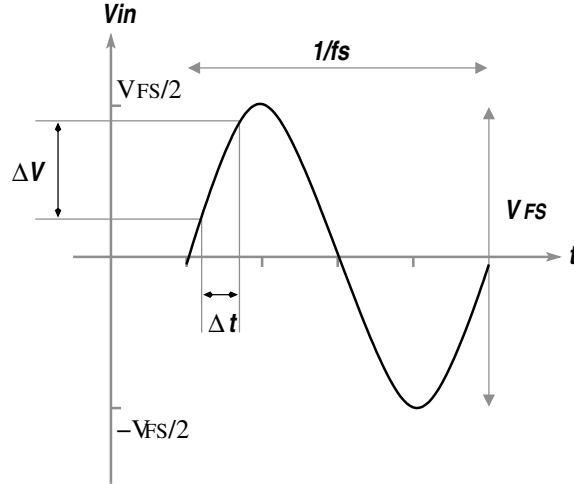


Figura 2.13: Efecto del *clock jitter* en el instante de muestreo de una onda sinusoidal.

2.5.5. *Clock jitter*

Otra fuente de error crítica para la arquitectura *pipeline* es el *clock jitter*, o incertidumbre en los instantes exactos de bajada y/o subida de la señal de reloj. Una de las fases de reloj más críticas es la de muestreo, y las variaciones aleatorias en el instante exacto de toma de la muestra es inevitable. Estas desviaciones en la temporización de los eventos introducen variaciones de voltaje en la operación del *ADC*. Debido a su naturaleza aleatoria, el *clock jitter* no produce un patrón fijo en el espectro a la salida del *ADC*, pero puede ser interpretado como ruido blanco que degrada la *SNR* del conversor [3, 30].

El efecto del *clock jitter* sobre el desempeño general del conversor puede ser ignorado si la variación de voltaje inducida por la desviación del instante exacto de la muestra, es menor a la mitad del *LSB* del *ADC*. Para el análisis que se hace a continuación, se asume una tensión de entrada sinusoidal en escala completa y con frecuencia igual a la velocidad de muestreo del conversor, $V_{in} = \frac{V_{FS}}{2} \cdot \sin 2\pi f_s t$, cuya rata máxima de variación corresponde a $2\pi f_s \frac{V_{FS}}{2}$. Si ahora se supone que Δt representa la desviación temporal por *clock jitter*, el voltaje de error producido por esta no idealidad debe satisfacer la restricción establecida en (2.11).

$$\begin{aligned} \Delta V &= 2\pi f_s \frac{V_{FS}}{2} \Delta t < \frac{1}{2} \cdot LSB_{N \text{ bits}} = \frac{1}{2} \cdot \frac{V_{FS}}{2^N} \\ \implies \Delta t &< \frac{1}{\pi f_s 2^{(N+1)}} \end{aligned} \quad (2.11)$$

En la figura 2.13 se puede ver una interpretación gráfica del análisis realizado en el párrafo anterior para llegar a (2.11). En dicha expresión son reemplazados los parámetros de operación de ambos estándares, *Bluetooth* ($f_s = 11$ MHz y $N = 6$ bits) y *GSM* ($f_s = 2,75$ MHz y $N = 12$ bits), para obtener valores de *clock jitter* de 226 ps y 14 ps, respectivamente. Finalmente, para la estimación del máximo *clock jitter* permitido en el *ADC* multiestándar, se selecciona la especificación más exigente, que en este caso es bajo el estándar *GSM*.

2.6. Especificaciones de la arquitectura, recopilación

En este capítulo se llevó a cabo el estudio de un *ADC* con arquitectura *time-interleaved pipeline*, empezando desde sus aspectos generales, como la perspectiva paralela de su fun-

Especificación	$S\mathcal{E}H$ a la entrada	Etapa 1 4 bits	Etapa 2 4 bits	Etapa 3 4 bits	Etapa 4 3 bits
Error en el <i>sub-ADC</i> e_{ADC} (bits)		7	7	6	3
<i>Offset</i> (mV)	0,2	15	15	31	250
Error de ganancia e_G (%)	0,02	0,2	1,5	12,5	
Error en el <i>DAC</i> e_{DAC} (bits)		12	9	6	
Nivel de ruido (dBc)	-74	-74	-65	-56	-47
<i>Clock jitter</i>		14 ps			

Tabla 2.2: Especificaciones para las etapas en la rama *pipeline* del *ADC* multiestándar.

cionamiento, hasta características más particulares, relacionadas con la estructura de cada una de sus ramas, y los bloques que las constituyen. El estudio concerniente a esta segunda parte del libro aún continúa visualizando el *ADC* a nivel de sistema, y con base en esa misma idea, son extraídas las especificaciones de cada una de las etapas o subsistemas que lo conforman.

El punto de inicio para la determinación de los requerimientos mínimos de la arquitectura bajo estudio, lo constituye el reconocimiento de aquellos factores que desvían el *ADC* de su desempeño ideal. Una vez logrado lo anterior, se resaltan las características del conversor que ayudan a suprimir el efecto de las no idealidades, como por ejemplo, la resolución de las etapas, la precisión de las ganancias de los amplificadores, las tensiones de *offset* y los niveles de ruido, entre otros. Avanzando en el proceso de diseño, se seleccionan valores y límites para algunos de estos parámetros, con el objetivo de garantizar cierto nivel de desempeño exigido desde los estándares de comunicación inalámbrica

Para sintetizar los resultados del análisis descrito en las anteriores líneas, la tabla 2.2 reúne las especificaciones de cada una de las etapas y/o bloques que hacen parte de la arquitectura seleccionada para el *ADC* multiestándar, cuyo proceso de diseño es el tema principal de este documento. En los siguientes capítulos, dichas especificaciones son llevadas a nivel de circuito para cada celda básica de la cadena *pipeline*, al mismo tiempo que se exploran las no idealidades provenientes desde ese nuevo escenario.

Capítulo 3

Circuito de muestreo y retención ($S\mathcal{E}H$)

Con el estudio de la arquitectura del ADC multiestándar realizado en el capítulo anterior, finaliza el análisis desde el punto de vista de sistema. A seguir, se describen a nivel de circuito cada uno de los bloques que constituyen el conversor, presentando detalladamente las técnicas de diseño aplicadas para cumplir con las especificaciones y disminuir los efectos de las no idealidades a ese nivel.

En este capítulo se aborda el análisis del circuito de muestreo y retención (*sample and hold*, $S\mathcal{E}H$) a la entrada del conversor analógico-digital. Debido a la importancia de dicho circuito para contrarrestar algunas de las no idealidades provenientes del paralelismo, sus características y desempeño son determinantes para la operación del sistema completo. De manera similar, la función del $S\mathcal{E}H$ como interfaz entre las señales de naturaleza continua y discreta a la entrada del conversor, hace que su comprensión y correcta especificación sean fundamentales para el diseño del ADC multiestándar.

3.1. Generalidades sobre los circuitos $S\mathcal{E}H$

La función principal de un circuito $S\mathcal{E}H$ es tomar muestras de una señal entrante, y luego retener o almacenar el resultado en un elemento de memoria hasta el siguiente instante de muestreo. Las señales muestreadas son frecuentemente almacenadas como voltajes en capacitores, debido a su mayor facilidad e integrabilidad en circuitos monolíticos con respecto al almacenamiento de corrientes en inductores. Además, las muestras son adquiridas en intervalos de tiempo uniformes, determinados por la frecuencia de operación del sistema global.

Los circuitos $S\mathcal{E}H$ operan en dos modos: modo muestreo (o modo de adquisición) y modo retención, cuya duración no necesariamente es la misma. En la fase de retención, la salida del circuito es igual al valor de la muestra tomada previamente. En el modo de muestreo, la salida puede seguir la señal entrante o ser fijada en algún valor de tensión. En el primer caso, se trata de un bloque de seguimiento y retención (*track and hold*, $T\mathcal{E}H$), mientras el segundo constituye el anteriormente citado $S\mathcal{E}H$, tal y como se aprecia en la figura 3.1. Además, en algunos casos la tensión de salida muestreada del circuito $S\mathcal{E}H$ es mantenida durante el ciclo de reloj completo, eliminando así el *reset* durante la fase de adquisición.

Sin embargo, en la práctica la señal no puede ser muestreada instantáneamente (figura 3.1), lo cual hace necesaria una ventana temporal para la adquisición. Consecuentemente, en

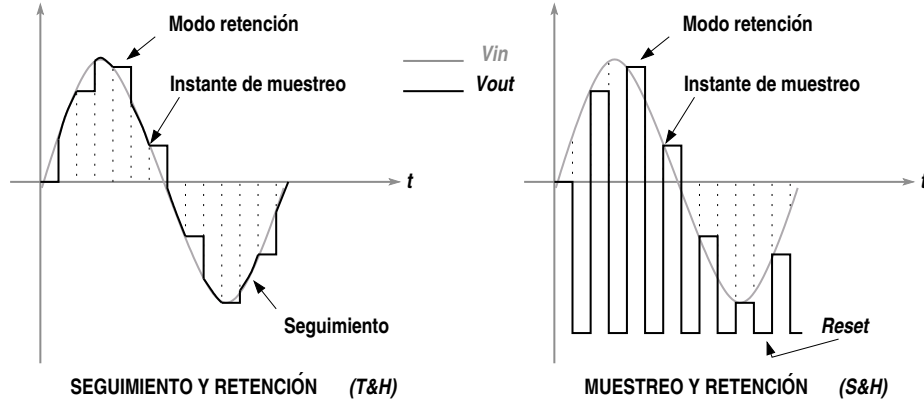


Figura 3.1: Modo de operación de los circuitos de muestreo.

sistemas de alta velocidad, las salidas de los bloques $S\mathcal{E}H$ y $T\mathcal{E}H$ se hacen muy similares debido a la disminución relativa del tiempo en modo de muestreo con respecto a dicha ventana de adquisición. Por esta razón, es común encontrar en la literatura el uso indistinguible de ambas denominaciones para los circuitos de muestreo en general, mientras que en este documento se prefiere el término $S\mathcal{E}H$.

La implementación más sencilla de un circuito $S\mathcal{E}H$ en tecnología $CMOS$ consiste en un transistor $NMOS$ operando en la región de triodo como interruptor, acompañado de un capacitor de muestreo C_S , tal y como se ilustra en la figura 3.2. La compuerta del transistor es controlada por una señal de reloj ϕ , que puede operar por ejemplo a la frecuencia del conversor, f_s . Cuando ϕ es alta, el interruptor está cerrado y la señal de salida sigue a la de entrada, al mismo tiempo que C_S se carga. Por el contrario, cuando ϕ es baja, el transistor se apaga, aislando la salida de la entrada, mientras que el último valor de tensión almacenado en C_S aparece como V_{out} .

En la figura 3.2 también se muestra la red RC equivalente del circuito de muestreo básico. El modelo de un transistor MOS como interruptor cerrado es la resistencia del canal, R_{on} , cuyo valor es dependiente de la tensión entre la compuerta y la fuente del mismo (V_{GS}). Dicha relación se consigna en la expresión (3.1), donde μ_n es la movilidad de los portadores, C_{ox} la capacitancia del óxido en la compuerta, W y L el ancho y la longitud efectivos del canal, y V_T la tensión de umbral del transistor $M1$. Si adicionalmente se tiene en cuenta la modulación de canal, R_{on} también depende de la tensión de salida (V_{out}) a través de V_{DS} . Por otro lado, la resistencia del interruptor abierto es tan alta, que en la práctica puede considerarse infinita. Esta última cualidad convierte a los transistores MOS en los dispositivos preferidos para aplicaciones con circuitos $S\mathcal{E}H$ [30].

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)} \quad (3.1)$$

Sin embargo, junto a R_{on} , el modelo del transistor como interruptor cerrado exhibe adicionalmente algunos elementos parásitos, como se puede apreciar en la figura 3.2. De esta forma, C_{g1} y C_{g2} modelan las capacitancias parásitas entre la compuerta y el drenaje y fuente del dispositivo, mientras que C_{b1} y C_{b2} representan los acoples capacitivos con el sustrato. Finalmente, R_ϕ corresponde a la impedancia de salida de la fuente del reloj.

Con base en los elementos indeseados del modelo del transistor citados en el párrafo anterior, la siguiente sección de este capítulo aborda algunas de las no idealidades más importantes e influyentes del circuito $S\mathcal{E}H$ básico. Dicho análisis puede ser extendido con facilidad a

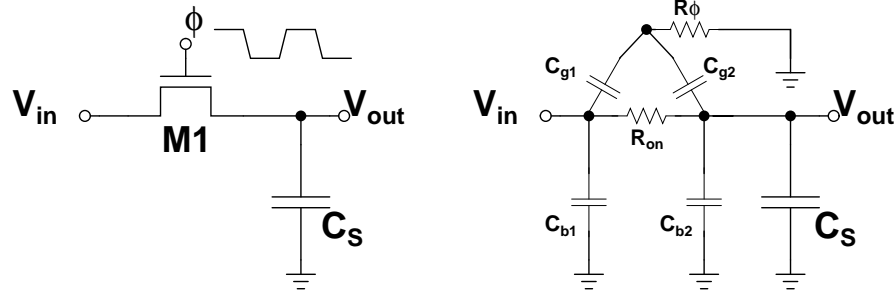
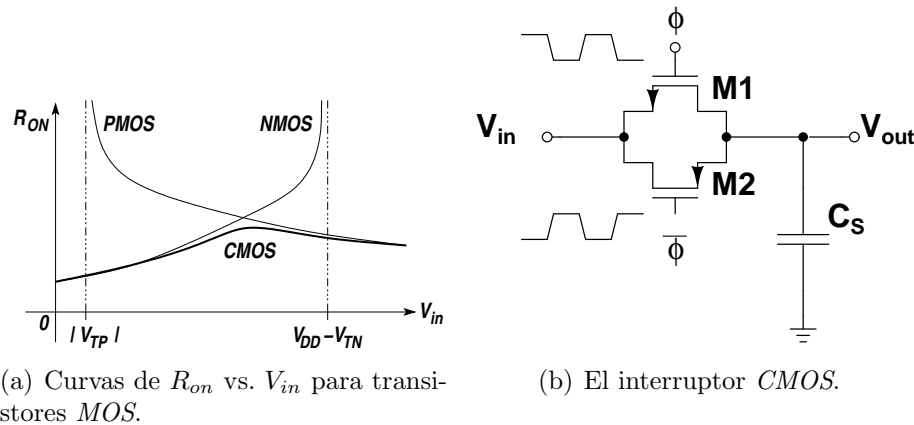


Figura 3.2: Circuito de muestreo básico con un interruptor MOS y su equivalente RC .



(a) Curvas de R_{on} vs. V_{in} para transistores MOS .

(b) El interruptor $CMOS$.

Figura 3.3: El circuito $S\mathcal{E}H$ básico empleando interruptores MOS complementarios.

estructuras más complejas de circuitos muestreadores, pues la principal fuente de las limitaciones que se presentan corresponde a los transistores funcionando como interruptores. Estos dispositivos constituyen el bloque básico de la gran mayoría de topologías de $S\mathcal{E}H$, incluyendo la seleccionada para este diseño, como se verá más adelante.

3.2. No idealidades del $S\mathcal{E}H$

El modelo de la figura 3.2 deja al descubierto que el interruptor MOS no se comporta como un cortocircuito ideal cuando está cerrado. Por el contrario, su canal exhibe una resistencia finita R_{on} , que combinada con la red capacitiva equivalente en el nodo de salida, dan resultado a un circuito con un ancho de banda finito. Por esta razón el muestreo no puede ser instantáneo, mientras que el almacenamiento de carga no es exclusivo del capacitor de muestreo, C_S . Adicionalmente, el efecto cuerpo sobre V_T en (3.1) genera distorsión a través de la dependencia no lineal de R_{on} con respecto a la señal de entrada.

Asimismo, el rango de excursión del interruptor $M1$ puede limitar la excursión de voltaje en el circuito $S\mathcal{E}H$ básico. Para el esquema de la figura 3.2 con una fuente de alimentación V_{DD} , se tiene una máxima excursión en escala completa de $V_{DD} - V_T$. Sin embargo, en la práctica debe procurarse que la señal entrante no utilice plenamente dicho rango, debido al incremento significativo de R_{on} y la distorsión armónica proveniente de su no linealidad.

Las no idealidades presentadas en el párrafo anterior se pueden visualizar en la gráfica 3.3(a), donde se ilustra el efecto de la variación de V_{in} sobre las resistencias de canal de interruptores $NMOS$, $PMOS$ y $CMOS$. Estas curvas demuestran que la utilización de transistores

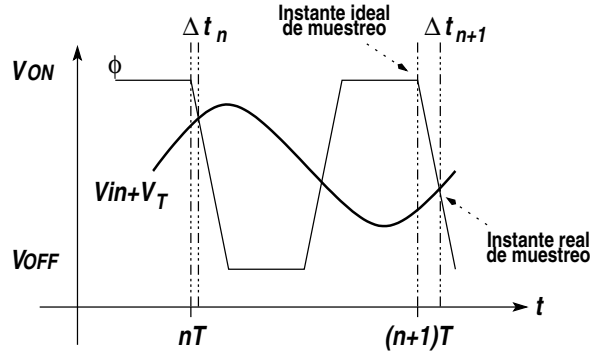


Figura 3.4: Desviación del instante de muestreo en el $S\mathcal{E}H$.

MOS complementarios para el interruptor de muestreo, como se puede observar en la figura 3.3(b), reduce significativamente la dependencia de R_{on} con respecto a la señal de entrada. Las compuertas de los transistores $NMOS$ y $PMOS$ en la figura 3.3(b) son controladas mediante fases de reloj complementarias (ϕ y $\bar{\phi}$), de forma que los dos dispositivos se apaguen y enciendan simultáneamente. De igual forma, el uso de un interruptor de muestreo $CMOS$ incrementa el rango permitido de la señal entrante prácticamente hasta la denominada excursión *rail-to-rail* ($0 < V_{in} < V_{DD}$).

Por otro lado, la presencia de R_{ϕ} junto con C_{g1} y C_{g2} , dan origen a una red pasa-altas y al fenómeno denominado *hold-mode feedthrough* (transmisión de señal en modo retención) en el circuito $S\mathcal{E}H$ de la figura 3.2. Esta no idealidad consiste en que la señal de entrada encuentra una ruta hacia la salida en el modo de retención, en el cual idealmente V_{out} se mantendría en el valor de la muestra almacenada en C_S . Esta limitación puede ser muy importante en aplicaciones de muy alta frecuencia.

Otra fuente de errores en aplicaciones de alta frecuencia para el circuito $S\mathcal{E}H$ es la variación del instante de muestreo. De acuerdo con el modelo básico del transistor MOS , éste entra en corte cuando su tensión V_{GS} es inferior al umbral V_T . Por esta razón, el instante de transición entre los modos de adquisición y retención del $S\mathcal{E}H$ básico depende del nivel de la señal de entrada. Ilustrada en la figura 3.4, esta limitación es una fuente de *jitter* y distorsión armónica, y se hace más significativa cuando el tiempo de transición del reloj (ϕ) es comparable al *slew rate* de la señal entrante. La mejor solución para esta no idealidad consiste en la selección de una topología de circuito en la que el interruptor de muestreo sea operado alrededor de un voltaje constante [32]. Esta alternativa, la cual contrarresta otros inconvenientes del $S\mathcal{E}H$, se discute más adelante.

3.2.1. Inyección de carga

Durante la fase de adquisición en el $S\mathcal{E}H$ de la figura 3.2, cuando el interruptor está cerrado y la tensión entre drenos y fuente (V_{DS}) es casi cero, una cantidad de carga Q_{ch} cuantificada en (3.2) es almacenada en el canal del transistor. Pero en el momento en que el interruptor se abre, dicha carga abandona el canal del dispositivo a través de los terminales drenos y fuente, distribuida de acuerdo a las impedancias equivalentes vistas en esos nodos, y generando una componente de error en la tensión almacenada en C_S .

$$Q_{ch} \simeq WLC_{ox}(V_{GS} - V_T) \quad (3.2)$$

Las componentes de error ocasionadas por la inyección de carga en el transistor MOS

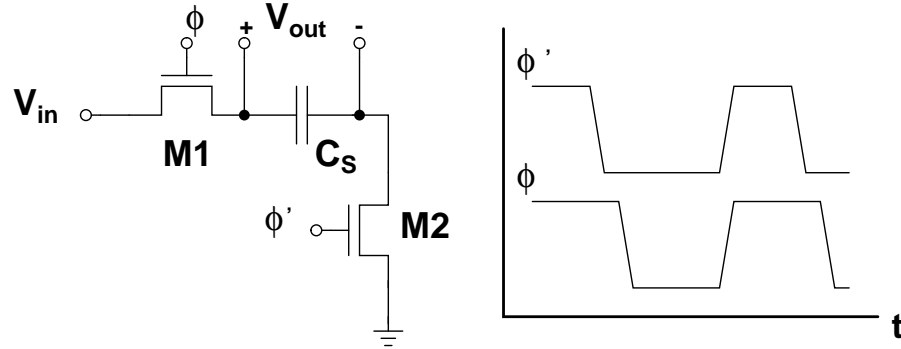


Figura 3.5: Empleo de *bottom-plate sampling* en el circuito $S\mathcal{E}H$ básico.

como interruptor son de 3 tipos. El primer tipo se exhibe como una tensión de *offset* si Q_{ch} es constante. La siguiente categoría se manifiesta como una componente de error de ganancia, y es generada por la dependencia lineal de Q_{ch} con respecto a la señal de entrada. Las dos clases de error ya mencionadas pueden ser toleradas en algunas aplicaciones, pero no la que resta, cuyo origen es la dependencia no lineal de la carga del canal sobre la tensión de entrada, limitando la linealidad del $S\mathcal{E}H$ y contribuyendo a la distorsión armónica. Dicho aporte no lineal surge principalmente del efecto cuerpo sobre V_T en (3.2) [30, 32].

Con las ideas presentadas en los párrafos anteriores, se ha mostrado que las limitaciones del $S\mathcal{E}H$ provenientes tanto de la desviación del instante de muestreo así como de la inyección de carga, surgen a partir del hecho de que el transistor operando como interruptor recibe la señal de entrada en uno de sus terminales. Consecuentemente, si dicho interruptor es operado alrededor de un nivel fijo de tensión, los errores resultantes de ambos fenómenos serían constantes. Como se explica más adelante, las señales de error constantes son efectivamente reducidas con implementaciones diferenciales de los circuitos $S\mathcal{E}H$ [32].

La estrategia para muestrear imponiendo un valor de tensión constante al transistor que funciona como interruptor, es conocida como *bottom-plate sampling*¹. Tal y como se ilustra en la figura 3.5, se ha añadido un nuevo interruptor $M2$, cuya fase de reloj ϕ' cae a su nivel bajo ligeramente adelantada con respecto a la señal ϕ que controla el interruptor original $M1$. Y al igual que en el esquema básico de la figura 3.2, la señal de salida es tomada de los terminales del capacitor de muestreo C_S [32].

Mientras las señales ϕ y ϕ' están en el nivel alto, $M1$ y $M2$ están cerrados, y V_{out} sigue a V_{in} durante la fase de adquisición. La caída anticipada de ϕ' define el instante de muestreo, abriendo el interruptor $M2$ y perturbando la tensión en la referencia negativa de V_{out} . Sin embargo, en este caso la inyección de carga de $M2$ es independiente de V_{in} debido a la tensión constante (tierra) en los terminales del dispositivo, y sólo aparece como una componente de *offset* en el nodo V_{out}^- . Posteriormente, ϕ cae y se abre $M1$, aislando la salida de la entrada. Entonces, a partir del principio de conservación de la carga y del hecho de que la carga en el nodo flotante V_{out}^- no tiene forma de fugarse, la inyección de carga proveniente del transistor $M2$ no afecta la muestra almacenada en el capacitor C_S . Dicha carga liberada del canal de $M1$ es drenada a través de los acoples capacitivos a substrato en el nodo V_{out}^+ , provenientes del interruptor mismo y de la placa superior (*top-plate*) de C_S .

¹Término en inglés cuya traducción literal hace referencia a la adición de un nuevo interruptor de muestreo conectado a la placa inferior de C_S , como se aprecia en la figura 3.5.

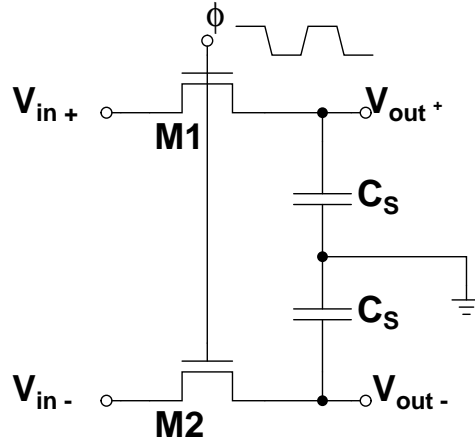


Figura 3.6: Implementación diferencial del circuito $S\mathcal{E}H$ básico.

3.2.2. *Clock feedthrough*

Cuando la señal de reloj ϕ en el circuito $S\mathcal{E}H$ de la figura 3.2 cambia rápidamente, estos pasos de tensión se acoplan al nodo de salida alterando las muestras almacenadas en C_S . Dicho acople se presenta a través de las capacitancias parásitas C_{g1} y C_{g2} . La cantidad de *clock feedthrough* (transmisión o acople indeseado de la señal de reloj) es proporcional al valor de los gradientes en ϕ y a la relación entre las capacitancias parásitas involucradas y el capacitor de muestreo C_S . Sin embargo, esta fuente de error normalmente no constituye una limitación de desempeño para el $S\mathcal{E}H$, ya que se trata de una componente de *offset* independiente de las variaciones en la señal de entrada.

Debido a su naturaleza constante, esta no idealidad junto con la inyección de carga después de aplicar *bottom-plate sampling*, pueden ser contrarrestadas significativamente mediante la utilización de topologías diferenciales de $S\mathcal{E}H$, como en la figura 3.6. Pero, de forma similar al desempeño del paralelismo explicado en el capítulo 2, la efectividad de las implementaciones diferenciales en la cancelación de componentes constantes y simétricas de señales de error, es fuertemente dependiente del grado de *mismatch* entre las ramas del circuito. Además, la utilización de interruptores con dimensiones pequeñas aporta a la minimización del efecto del *clock feedthrough* a través de la reducción de los elementos parásitos C_{g1} y C_{g2} .

Otra técnica para disminuir las fuentes de error constante citadas en el párrafo anterior, consiste en la utilización de un transistor *dummy*² identificado como $M2$ en la figura 3.7. Este nuevo dispositivo $M2$ tiene la mitad del ancho W y la misma longitud efectiva de canal L del interruptor principal, mientras que es controlado por una señal de reloj complementaria ($\bar{\phi}$) a la de $M1$. De esta forma, cuando $M1$ se abre en el circuito de la figura 3.7 e inyecta carga en el capacitor de muestreo, $M2$ se cierra y absorbe carga de C_S . Entonces, si exactamente la mitad de la carga almacenada en el canal de $M1$ es transferida a C_S , el efecto adicional del dispositivo *dummy* la cancela, y el voltaje almacenado y retenido en V_{out} no sufre alteración. Sin embargo, debido a que la distribución de la carga inyectada por $M1$ depende de las impedancias equivalentes en sus terminales, es posible que C_S no reciba exactamente la mitad, lo cual ocasiona cancelaciones incompletas [33].

²Término inglés utilizado en la literatura para referirse a un dispositivo que no tiene una función definida como parte de una configuración o circuito electrónico, pero que es incluido para suplir algún otro requerimiento.

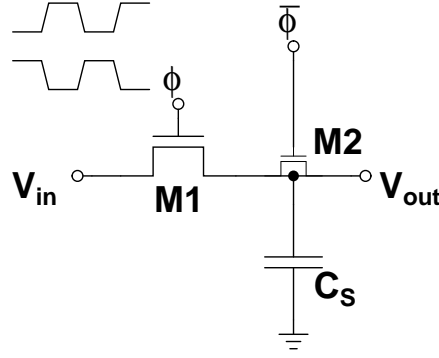


Figura 3.7: Uso de transistor *dummy* en el circuito $S\mathcal{E}H$ básico.

3.2.3. Ruido

En circuitos con transistores MOS , como el $S\mathcal{E}H$ bajo análisis, existen dos fuentes principales de ruido relacionadas con tales dispositivos: el ruido *flicker* o $1/f$, y el ruido térmico o blanco. La primera de ellas surge de las trampas aleatorias de cargas en la interfase óxido-silicio de los $MOSFETs$. Estas trampas capturan y liberan portadores de manera aleatoria, y las constantes de tiempo relacionadas dan lugar a una señal de ruido con energía concentrada en bajas frecuencias, lo cual ha sido observado experimentalmente. Como se puede apreciar en la figura 3.8, este ruido es comúnmente modelado con una fuente de voltaje en serie con la compuerta, cuya densidad espectral de potencia está dada por (3.3), siendo K una constante dependiente del proceso, W y L las dimensiones efectivas del transistor, C_{ox} la capacitancia del óxido en la compuerta y f la frecuencia [34].

$$\overline{v_{n,f}^2} = \frac{K}{WLC_{ox}^2} \frac{1}{f} \quad (3.3)$$

Por otro lado, el ruido térmico proviene de dos fuentes en el transistor MOS , intrínsecas y extrínsecas. Las fuentes intrínsecas son: corriente de ruido de canal ($\overline{i_{n,d}^2}$) y corriente de ruido inducido en la compuerta ($\overline{i_{n,g}^2}$). Las fuentes de ruido térmico extrínsecas son debidas a las componentes resistivas parásitas del transistor, como aquellas presentes en los terminales drenó, fuente, compuerta y sustrato. El efecto de estas últimas puede ser minimizado a partir de un cuidadoso *layout*.

El ruido térmico de canal es generado por los portadores en el mismo. Como se muestra en la figura 3.8, un modelo comúnmente usado es una fuente de corriente entre el drenó y la fuente, representada por el valor medio cuadrático de la corriente de ruido en (3.4). En la citada expresión, k es la constante de Boltzman, T es la temperatura de los portadores del canal, Δf es la banda de frecuencia de medida, g_{d0} es la conductancia de drenó con $V_{DS} = 0$ y ζ es un factor de exceso de ruido. Estos dos últimos parámetros son aproximadamente iguales a la transconductancia del transistor ($g_m = 1/R_{on}$) y a $2/3$, respectivamente, para transistores de canal largo. En dispositivos de canal corto, ζ toma valores mayores dependiendo de la polarización [32].

$$\overline{i_{n,d}^2} = 4kT\zeta g_{d0}\Delta f \quad (3.4)$$

El ruido térmico inducido en la compuerta de un transistor MOS es producido por las fluctuaciones generadas por el ruido de canal, a través del acoplamiento capacitivo del óxido de la compuerta. Como el ruido de canal y el ruido de la compuerta tienen un mismo origen, existe una correlación entre las dos fuentes. Un modelo usado es una fuente de corriente

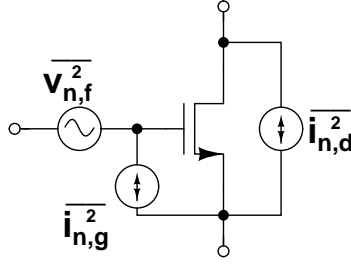


Figura 3.8: Modelo de ruido del transistor MOS .

conectada entre la compuerta y la fuente, indicada en la figura 3.8 y con el valor dado por la expresión (3.5), donde δ representa un parámetro dependiente de la polarización y c es el factor de correlación. El primer término de la ecuación (3.5) es una componente no correlacionada ($\overline{i_{n,gu}^2}$) y el segundo es una componente correlacionada con el ruido del canal ($\overline{i_{n,gc}^2}$) [34].

$$\begin{aligned} \overline{i_{n,g}^2} &= 4kT\delta g_g(1 - |c|^2)\Delta f + 4kT\delta g_g|c|^2\Delta f \\ g_g &= \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad c = \frac{\overline{i_{n,d}^* i_{n,g}}}{\sqrt{\overline{i_{n,d}^2} \overline{i_{n,g}^2}}} \end{aligned} \quad (3.5)$$

Para analizar el desempeño en ruido del $S\mathcal{E}H$, se debe tener en cuenta que el ruido *flicker* es poco importante en aplicaciones de moderada velocidad, es decir, frecuencias de reloj (ϕ) de varios MHz, donde el ruido blanco es dominante [32]. De manera similar, el ruido térmico inducido en la compuerta ($\overline{i_{n,g}^2}$) es significativo sólo a muy altas frecuencias, como en el caso de amplificadores de RF . Lo anterior establece entonces que el principal aporte en el circuito de muestreo básico proviene del ruido térmico de canal ($\overline{i_{n,d}^2}$), el cual es generado en la resistencia finita del canal ($R_{on} = 1/g_m$) en el transistor utilizado como interruptor de muestreo.

La densidad espectral de ruido térmico de canal referido a la compuerta en la figura 3.8 corresponde aproximadamente a $4kT\zeta \frac{1}{g_m} = 4kT\zeta R_{on} V^2/Hz$. La tensión de ruido al tomar una muestra es el resultado de filtrar dicha densidad espectral a través de la red pasabajas equivalente mostrada en la figura 3.2. Si ahora la densidad espectral de voltaje de ruido a la salida del filtro es integrada sobre todo el rango de frecuencias, se obtiene que el ruido total a la salida del circuito es tan sólo dependiente del tamaño del capacitor de muestreo C_S , de acuerdo con la ecuación (3.6) [28, 30, 32]. Esta potencia de ruido es igual a la de la entrada por tratarse de un sistema con ganancia unitaria, de forma similar a las estructuras más complejas de $S\mathcal{E}H$ que son revisadas en secciones posteriores.

$$\overline{v_{n,out}^2} = \zeta \frac{kT}{C_S} \quad (3.6)$$

3.3. El circuito básico $S\mathcal{E}H$ utilizando SC

La figura 3.9 exhibe implementaciones prácticas del circuito $S\mathcal{E}H$ conceptual de la figura 3.2, las cuales están basadas en técnicas de SC (*Switched Capacitors*). Estas estructuras más complejas de circuitos de muestreo incluyen un *opamp* y un capacitor interconectados por

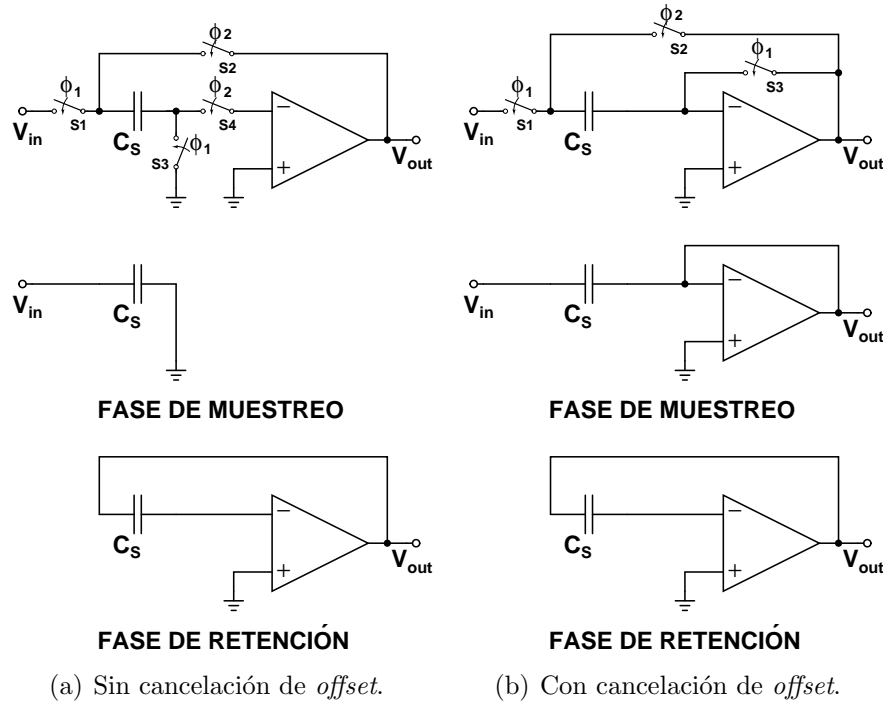


Figura 3.9: El circuito $S\mathcal{E}H$ básico empleando SC .

interruptores compuestos de transistores MOS , de forma similar a las arquitecturas básicas anteriores. Dichos dispositivos son controlados por dos fases de reloj que no se solapan (ϕ_1 y ϕ_2), y cuyos niveles definen los modos de operación del $S\mathcal{E}H$. De esta forma, cuando ϕ_1 es alta y los interruptores $S1$ y $S3$ están cerrados, los circuitos se encuentran en modo de muestreo. Por el contrario, cuando ϕ_2 está en su nivel alto y ϕ_1 cae, lo cual abre a $S1$ y $S3$, mientras $S2$ (y $S4$) se cierran, los sistemas $S\mathcal{E}H$ entran en su fase de retención.

A pesar de los nuevos elementos introducidos en el $S\mathcal{E}H$, su principio de funcionamiento sigue siendo el mismo de la implementación básica presentada en las secciones anteriores. Así, en el instante de muestreo al final de la fase con el mismo nombre, el valor de la señal entrante V_{in} es almacenado en C_S , para después ser transferido y mantenido en el nodo de salida V_{out} durante el modo de retención. En este último paso, aparece una de las principales mejoras provenientes de las arquitecturas de $S\mathcal{E}H$ con SC , ya que la muestra es retenida a la salida mediante el lazo de realimentación negativa formado por el *opamp* y C_S . Dicho lazo de realimentación ayuda a contrarrestar algunas de las no linealidades de los $S\mathcal{E}H$, al mismo tiempo que el amplificador permite tolerar cargas efectivas de acuerdo a su impedancia de salida [32].

Aunque el *opamp* mejora considerablemente el desempeño del circuito $S\mathcal{E}H$, también es cierto que hace que su diseño sea más complejo. Entre las diversas no idealidades relacionadas con los amplificadores operacionales, la ganancia y el ancho de banda finito, margen de fase, *slew rate*, tiempo de asentamiento, tensión de *offset* y el ruido, son algunos de los principales factores que pueden comprometer las especificaciones del circuito de muestreo. Asimismo, el precio a pagar en consumo de potencia se convierte en un tópico fundamental para diseños del estado del arte.

Es importante resaltar que las arquitecturas de la figura 3.9, en sus versiones más básicas, también son susceptibles a las no idealidades presentadas en la sección anterior. Sin embargo, es posible aplicar las diferentes técnicas y soluciones explicadas previamente para contrar-

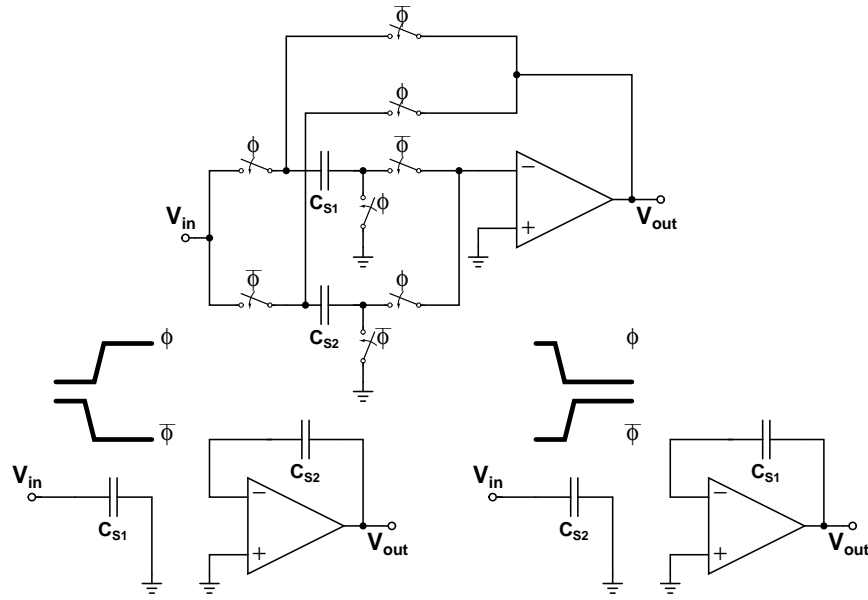


Figura 3.10: Circuito $S\mathcal{E}H$ con SC empleando muestreo doble.

restar tales limitaciones. De esta forma, para las nuevas y más complejas estructuras de $S\mathcal{E}H$, también existen implementaciones diferenciales, que utilizan *bottom-plate sampling* e interruptores $CMOS$.

Adicionalmente, debido a que el *opamp* es imprescindible sólo durante la fase de retención, existe cierto grado de libertad en cuanto al uso del mismo en el modo de muestreo. Como resultado, en algunos casos esta fase es utilizada para cancelar el *offset* del amplificador, aplicando un *reset* a su nodo de salida mediante la utilización de realimentación negativa con ganancia unitaria, y aprovechando la propiedad conocida como el nodo de tierra virtual a la entrada del *opamp*. Esta configuración también es conocida en la literatura como *auto-zeroing opamp* y es ilustrada en la figura 3.9(b). En otros diseños, este tiempo es utilizado como una extensión de la fase de retención, y así el *opamp* mantiene la muestra disponible para la carga durante el ciclo de reloj completo. De otra forma, sencillamente se puede dejar al amplificador libre durante este tiempo, como en el esquema de la figura 3.9(a), para hacer uso de otras técnicas como el muestreo doble, explicada en la siguiente sección [32].

3.4. Técnica del muestreo doble en el $S\mathcal{E}H$

La frecuencia de operación del reloj de un $S\mathcal{E}H$ es limitada por el ancho de banda finito del *opamp* en implementaciones con SC . Entonces, cualquier esfuerzo por incrementar la velocidad de operación del circuito que no requiera aumentar la tasa de cambio del reloj, constituye una estrategia para explotar eficientemente la arquitectura. Siguiendo esta idea, en esta sección se presenta la técnica del muestreo doble (*double sampling*).

El punto clave se encuentra en el periodo de tiempo durante el cual el *opamp* se encuentra desocupado en la figura 3.9(a). Entonces, si se duplica la circuitería de muestreo y se opera la nueva arquitectura bajo el control de dos fases de reloj complementarias, tal y como se exhibe en la figura 3.10, el $S\mathcal{E}H$ es capaz de proveer muestras al doble de velocidad. Dichas muestras pueden ser intercaladas para las dos ramas paralelas de un ADC utilizando la estructura *time-interleaving*, como es el caso del conversor multiestándar que concierne a

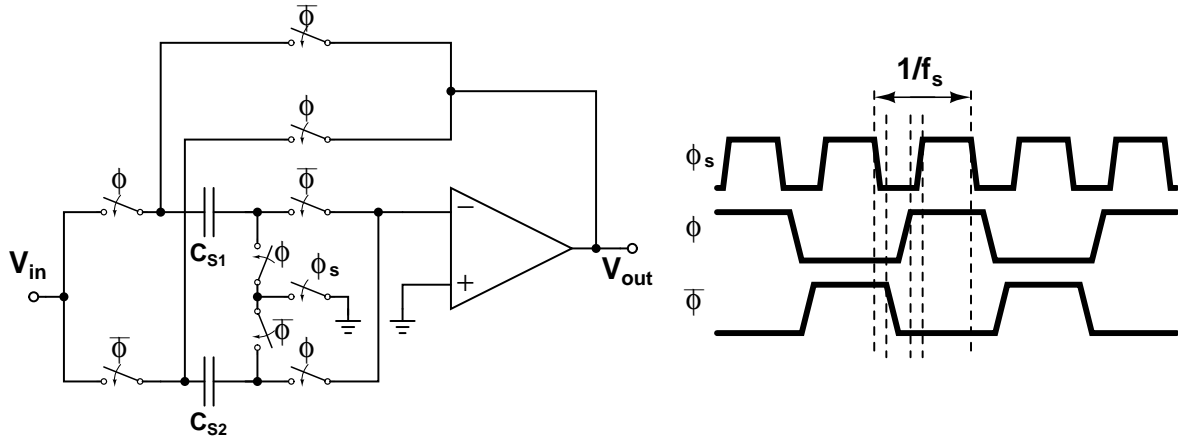


Figura 3.11: Circuito $SC-S\mathcal{E}H$ con muestreo doble insensible a desbalances de temporización.

este trabajo.

Como se aprecia en la figura 3.10, durante la fase de reloj ϕ , el capacitor C_{S1} almacena una muestra de V_{in} y C_{S2} forma el lazo de realimentación alrededor del $opamp$, manteniendo una muestra previa. Cuando la fase $\bar{\phi}$ pasa a su nivel alto y ϕ pasa a bajo, los capacitores intercambian sus roles, de forma que C_{S2} está en modo muestreo mientras C_{S1} se encuentra en modo retención. De esta forma, el $opamp$ es compartido entre los dos circuitos de muestreo y el incremento de potencia resultante de la nueva arquitectura es mínimo. Lo anterior se debe a que dicho consumo es determinado principalmente por el $opamp$, el cual típicamente emplea arquitecturas clase A que consumen potencia en estado estable aún cuando estén desocupadas [32].

Debido al inherente paralelismo del muestreo doble, las no idealidades de la arquitectura *time-interleaving* presentadas en el capítulo 2 también afectan el desempeño del $S\mathcal{E}H$. Una de sus principales limitaciones es conocida como el efecto memoria, donde el *offset* que nunca es cancelado en el $opamp$ (debido a la utilización del mismo durante las dos fases del $S\mathcal{E}H$) se acumula en cada nueva muestra a partir del error finito de ganancia en la muestra anterior. Sin embargo, esta no idealidad puede ser tolerada con ganancias de DC en el amplificador lo suficientemente altas.

Otro resultado del paralelismo es la susceptibilidad del $S\mathcal{E}H$ a los desbalances de temporización, lo cual le impide llevar a cabo la principal tarea para la que fue concebido en el capítulo anterior: remover las desviaciones de fase. Una solución consiste en modificar el esquema básico de la figura 3.10 para omitir el paralelismo en el instante de muestreo. Lo anterior se consigue reemplazando los dos interruptores de muestreo paralelos por uno sencillo que sea compartido entre los dos circuitos. Este nuevo interruptor es controlado por pulsos de corta duración a la tasa de muestreo completa del sistema f_s , tal y como se ilustra en la figura 3.11. La eliminación de los desbalances en temporización requiere que el nuevo interruptor controlado por ϕ_s permanezca abierto mientras los capacitores intercambian sus modos de operación [30, 32].

3.5. Descripción de la arquitectura del $S\mathcal{E}H$ para el ADC multiestándar

En la figura 3.12 se ilustra el circuito esquemático del $S\mathcal{E}H$ a la entrada del ADC con arquitectura *time-interleaved pipeline*, al igual que el diagrama de temporización de las diferentes fases de reloj que controlan su operación. En este punto es importante recordar que este bloque es el primero en la cadena del conversor, y que por ello recibe la señal analógica de entrada en su rango de excursión completa de forma diferencial y montada sobre un nivel de tensión fija $V_{cm} = 1,65 V$. Estas variaciones continuas de señal son discretizadas en amplitud y tiempo por el $S\mathcal{E}H$, antes de ser entregadas de manera intercalada a cada una de las dos ramas *pipeline* que funcionan en paralelo y a la mitad de la frecuencia total de conversión, f_s , la cual es la misma a la que opera el muestreador.

Después de una revisión cuidadosa del circuito en la figura 3.12, se hace evidente que es el resultado de la aplicación combinada de las diferentes técnicas contra las no idealidades del proceso de muestreo, y que han sido explicadas a lo largo de este capítulo. De esta forma, se propone una arquitectura diferencial basada en SC con muestreo doble, insensible a desbalances de temporización y que utiliza *bottom-plate sampling* e interruptores $CMOS$. Debe notarse que el uso de transistores $NMOS$ y $PMOS$ controlados por fases de reloj complementarias es exclusivo de aquellos interruptores que por estar en la trayectoria de transferencia de la señal, pueden presentar limitaciones en su rango de excursión, como es el caso de $S1N - S4N$ y $S1P - S4P$. El resto de interruptores son realizados con transistores $NMOS$.

Siguiendo con la exploración del circuito en la figura 3.12, los interruptores que definen los instantes de muestreo ($S7N, S8N, S7P, S8P$) aplican la estrategia de *bottom-plate sampling* mediante sus fases de reloj ligeramente adelantadas en la caída a su nivel bajo, ϕ_{1e} y ϕ_{2e} . Por otro lado, los interruptores compartidos por los dos circuitos de muestreo, $S9N$ y $S9P$, controlados por los pulsos de ϕ a la frecuencia f_s , hacen que la arquitectura de muestreo doble sea insensible a desviaciones de fase. El hecho de que estos interruptores conecten una de las placas de los capacitores al nivel de tensión común V_{cm} durante la fase y el instante de muestreo, elimina la componente de DC en la señal entrante y discretiza efectivamente sólo las variaciones continuas de la señal censada en forma diferencial por los capacitores de muestreo.

El esquema circuital común que opera en cada fase de reloj es mostrado en la figura 3.13, donde se ha establecido que $C_{S1N} = C_{S2N} = C_{S1P} = C_{S2P} = C_S$ para favorecer la simetría y balance del circuito. De acuerdo a cuál señal de reloj (ϕ_1 o ϕ_2) esté activa, cada par diferencial de capacitores C_S intercambia su función entre muestreo y retención, al mismo tiempo que una de las dos ramas *pipeline* es habilitada para sensar la salida diferencial $V_{out}^+ - V_{out}^-$ del $S\mathcal{E}H$. Debido a que cada instante de muestreo siempre afecta sólo un par de capacitores C_S y que el *opamp* también agrega ruido térmico proveniente de sus dispositivos activos, el cual puede representarse en una fuente sencilla $\overline{v_{n,amp}^2}$, la potencia de ruido total a la salida (y a la entrada, pues es un sistema con ganancia unitaria) puede cuantificarse con la ecuación (3.7). Esa expresión es utilizada en la siguiente sección para especificar el mínimo tamaño del capacitor permitido según los requerimientos de diseño para este trabajo.

$$\overline{v_{n,out}^2} = 2\zeta \frac{kT}{C_S} + \overline{v_{n,amp}^2} \quad (3.7)$$

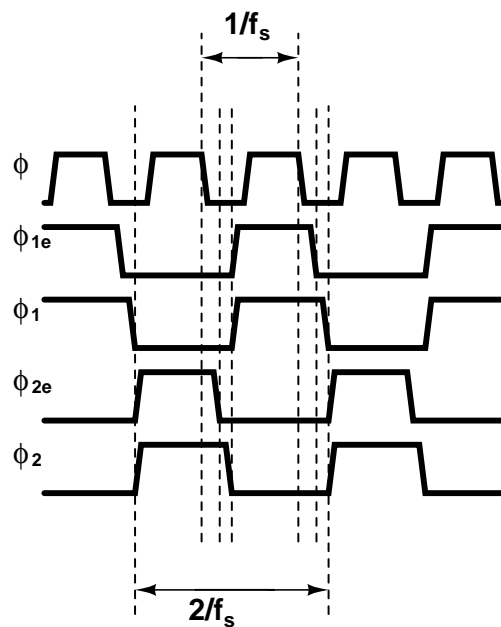
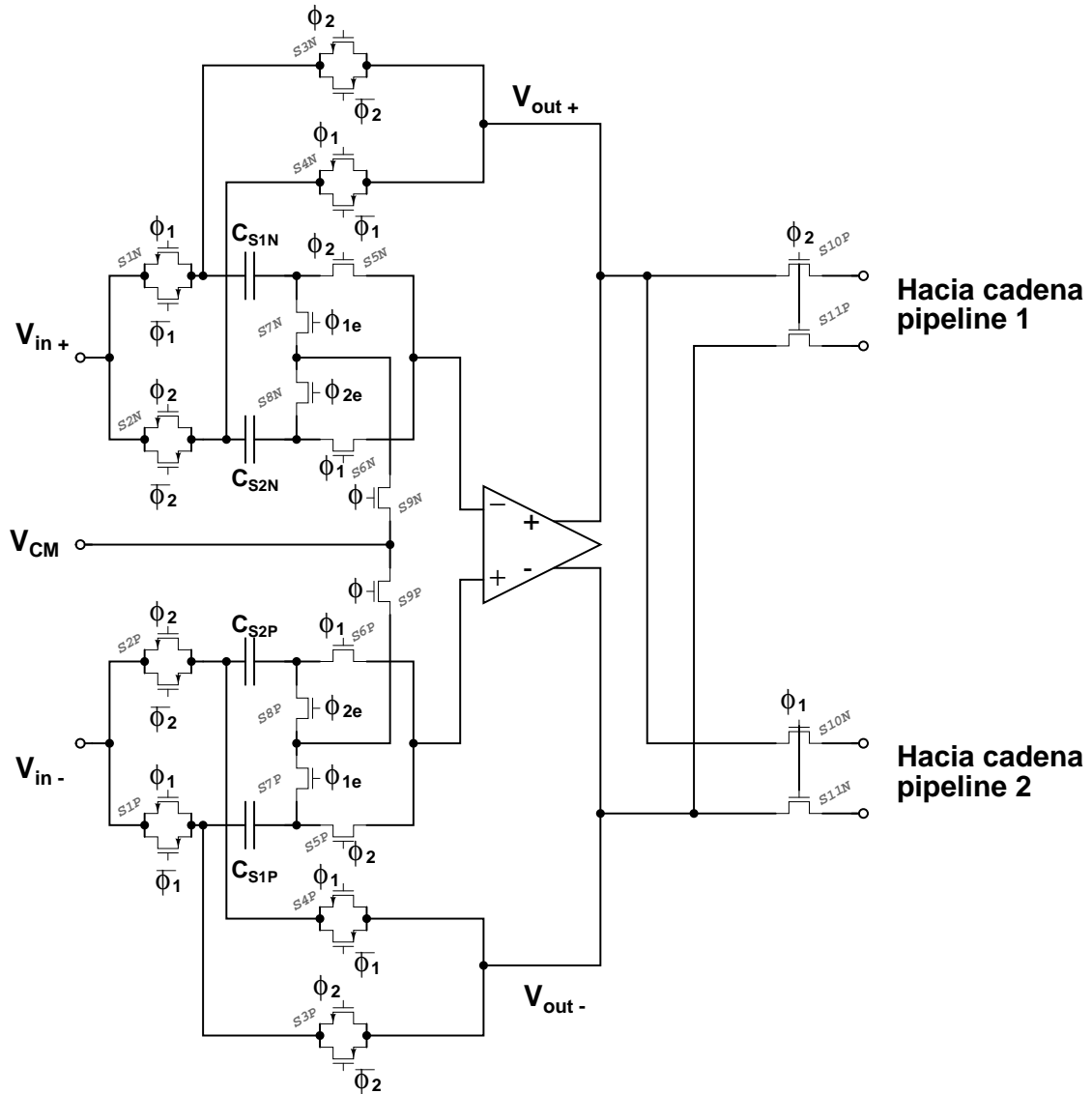


Figura 3.12: Arquitectura del $S\&H$ para el ADC multiestándar.

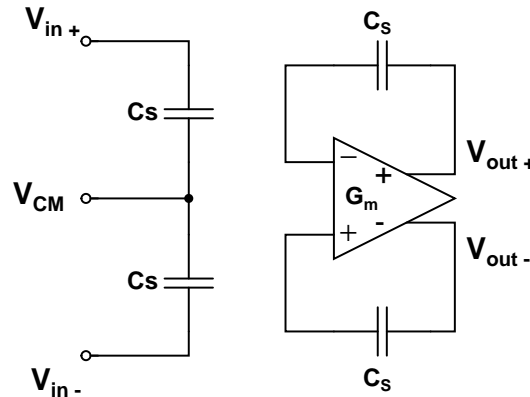


Figura 3.13: Circuito equivalente del $S\mathcal{E}H$ durante cualquiera de las fases (ϕ_1 o ϕ_2).

3.6. Especificaciones para el $S\mathcal{E}H$

Hasta este punto se ha llevado a cabo el estudio de los diferentes conceptos y técnicas circuitales relacionadas con el muestreo, permitiendo comprender al final la función y necesidad de cada elemento en el circuito de la figura 3.12. Ahora es el momento de determinar las características requeridas en dichos elementos, agrupando estos últimos en tres categorías: los capacitores de muestreo C_S , los interruptores y el amplificador. El punto de partida para el siguiente análisis lo constituyen la figura 3.13 y la tabla 3.1, la cual contiene las especificaciones extraídas a nivel de sistema para el $S\mathcal{E}H$ en el capítulo 2.

3.6.1. Capacitores de muestreo

La mínima capacitancia de muestreo para cumplir con el nivel de ruido requerido en la tabla 3.1 puede ser calculada a partir de la expresión (3.7). Para ello, debe asumirse que el OTA es diseñado para que su aporte de ruido térmico sea insignificante a la frecuencia de operación del $S\mathcal{E}H$. Lo anterior convierte a C_S en el único elemento de control para garantizar los -74 dBc de ruido permitidos en la entrada del circuito de muestreo. Entonces, utilizando las cantidades necesarias en la ecuación (3.7), se obtiene que una capacitancia de 200 fF puede cumplir con la especificación.

3.6.2. Interruptores MOS

De acuerdo con la ecuación (3.1) y las curvas en la figura 3.3(a), es claro que una forma de contrarrestar la fuerte no linealidad de R_{on} es empleando transistores con grandes dimensiones. Sin embargo, esta solución incrementa el tamaño de las capacitancias parásitas asociadas con dichos dispositivos, lo cual favorece a otras no idealidades. Adicionalmente, el ancho de banda finito asociado a la red pasabajas equivalente de un interruptor, no debe limitar la respuesta en frecuencia del circuito en el cual está incluido.

Los interruptores que requieren especial atención son aquellos que se encuentran sobre la trayectoria de transferencia directa de la señal de entrada hacia la salida del $S\mathcal{E}H$. La no linealidad y valor finito de su resistencia de canal, así como su rango de excursión limitado pueden afectar significativamente el desempeño del circuito de muestreo. Es por ello que como primera estrategia de diseño, se utilizan transistores $NMOS$ y $PMOS$ para realizar los interruptores $S1N - S4N$ y $S1P - S4P$ en la figura 3.12. Para encontrar las dimensiones

Especificación	Valor
<i>Offset</i> (mV)	0,2
Error de ganancia e_G (%)	0,02
Nivel de ruido (dBc)	-74
<i>Clock jitter</i>	14 ps

Tabla 3.1: Especificaciones a nivel de sistema para el circuito $S\mathcal{E}H$.

óptimas de estos interruptores, se identifica primero que $S1N, S2N, S1P, S2P$ se asocian con C_S durante la fase de muestreo, constituyendo una red pasabajas que no debe limitar el ancho de banda de la señal entrante. Por otro lado, $S3N, S4N, S3P, S4P$ se asocian con C_S en el modo retención, donde no deben deteriorar la respuesta en frecuencia del amplificador. Luego, sustituyendo las variables conocidas C_S, BW_{in} y $BW_{amp} = \frac{GBW}{A_o}$ (esta última se argumenta en el siguiente tópico) en la ecuación (3.8), se obtienen estimaciones de $R_{on,1-2}$ y $R_{on,3-4}$, las cuales permiten dimensionar los transistores relacionados.

$$f_{-3dB, switch} = \frac{1}{\tau_{switch}} \simeq \frac{1}{R_{on}C_S} > BW \quad (3.8)$$

Los interruptores restantes $S5 - S11$ en ambas ramas diferenciales siempre funcionan alrededor de niveles de tensión fijos, lo cual los exime de varias limitaciones. Por esta razón, su geometría no tiene restricciones adicionales a la que requiere la disminución de las capacitancias parásitas: utilizar transistores con dimensiones mínimas. Adicionalmente, y al igual que la mayoría de elementos en el circuito de la figura 3.12, debe existir cazamiento entre interruptores con posiciones y funciones simétricas en el $S\mathcal{E}H$ diferencial.

3.6.3. El amplificador

Como puede apreciarse en la figura 3.13, G_m representa un amplificador de transconductancia u OTA . Este último es empleado porque las topologías de amplificador de una sola etapa son consideradas como las más rápidas y eficientes en consumo de potencia, y también por la naturaleza capacitiva pura de las cargas presentes en circuitos SC [32]. Para comprender las ideas presentadas en el siguiente análisis, el lector puede remitirse a la figura 3.9(a), la cual representa el medio circuito diferencial o la versión *single ended* del esquema en la figura 3.13, tanto en la fase de muestreo como en la de retención.

El objetivo en este punto es especificar los cuatro parámetros más importantes del OTA como parte de un circuito $S\mathcal{E}H$: la ganancia DC (A_o), la frecuencia de ganancia unitaria o producto ganancia-ancho de banda (GBW), el *slew rate* (SR) y el margen de fase (PM). La ganancia DC y el GBW definen el error de ganancia de la tabla 3.1, mientras que el GBW y el SR controlan la velocidad de asentamiento del $S\mathcal{E}H$. Finalmente, el margen de fase es importante para garantizar la estabilidad del lazo de realimentación en el que se emplea el OTA [3].

A partir de los circuitos de la figura 3.9(a), es evidente que las cargas almacenadas en el capacitor C_S durante las fases de muestreo (Q_S) y retención (Q_H), pueden cuantificarse con las expresiones (3.9) y (3.10), respectivamente. En las ecuaciones citadas, C_{ip} representa la capacitancia parásita a la entrada del OTA , V_{in} la señal entrante y V_{out} la salida del circuito SC - $S\mathcal{E}H$. Entonces, a partir del principio de conservación de la carga y de que no ocurre ninguna carga o descarga adicional de capacitancias entre una fase y otra, es posible igualar

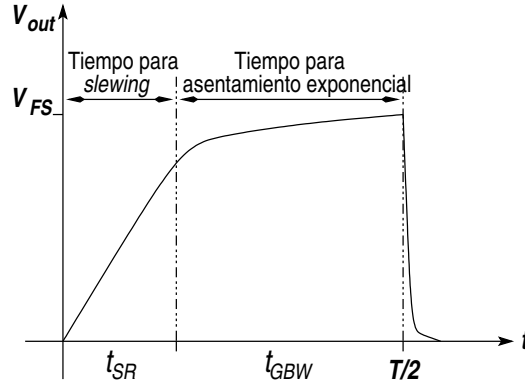


Figura 3.14: Tiempo de asentamiento para el *OTA*.

las anteriores expresiones y obtener el resultado de (3.11).

$$Q_S = C_S \cdot V_{in} \quad (3.9)$$

$$Q_H = C_S \cdot \left(V_{out} + \frac{V_{out}}{A_o} \right) + C_{ip} \cdot \frac{V_{out}}{A_o} \quad (3.10)$$

$$Q_S = Q_H \implies V_{out} = \frac{C_S \cdot V_{in}}{C_S \cdot \left(1 + \frac{1}{A_o} \right) + C_{ip} \cdot \frac{1}{A_o}} \quad (3.11)$$

Como usualmente C_{ip} es considerablemente menor con respecto a C_S , la ecuación en (3.11) puede aproximarse con aquella que aparece en (3.12). Entonces resulta claro que el error de ganancia del *S&H*, el cual se calcula en (3.13), depende de la ganancia del *OTA*. De esta forma, si se reemplaza el valor de e_G consignado en la tabla 3.1, se obtiene la especificación para la ganancia del *OTA*: $A_o \geq 80dB$.

$$V_{out} = \frac{V_{in}}{1 + \frac{1}{A_o}} \quad (3.12)$$

$$e_G = G_{S\&H-ideal} - G_{S\&H-real} = 1 - \frac{1}{1 + \frac{1}{A_o}} = \frac{1}{1 + A_o} \quad (3.13)$$

Cuando se utiliza el modelo de un polo dominante para el *OTA* en el modo retención del *S&H* en la figura 3.9(a), el tiempo de asentamiento frente a una entrada de escalón es determinado por la frecuencia de ganancia unitaria GBW . Sin embargo, es común que en la práctica el *OTA* tenga más de un polo, por ello su diseño debe garantizar que estos polos adicionales estén alejados del polo que se considera dominante, y de esta manera poder aplicar los argumentos que se presentan a continuación. A partir de las ideas anteriores y asumiendo que el *OTA* tiene un polo dominante p , la ecuación (3.12) puede ser reescrita como en (3.14), donde $pA_o = 2\pi \cdot GBW$. Si se aplica la transformada inversa de *Laplace* a esta expresión, se obtiene (3.15), donde t_{GBW} indica el tiempo disponible para el asentamiento exponencial de V_{out} [3, 32].

$$V_{out} = \frac{V_{in}}{1 + \frac{1 + \frac{s}{p}}{A_o}} \simeq V_{in} \cdot \frac{1}{1 + \frac{s}{pA_o}} = V_{in} \cdot \frac{1}{1 + \frac{s}{2\pi \cdot GBW}} \quad (3.14)$$

$$V_{out} = V_{in} e^{-2\pi \cdot GBW \cdot t_{GBW}} \quad (3.15)$$

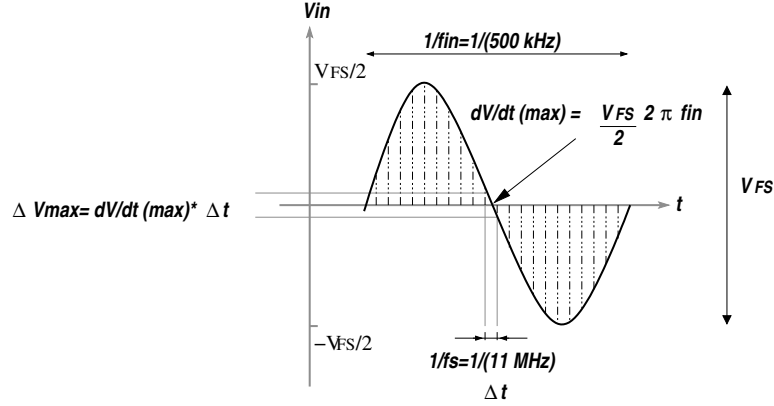


Figura 3.15: Señal de entrada con $f_{in} = 500$ kHz muestreada por el $S\mathcal{E}H$ a $f_s = 11$ MHz.

La gráfica 3.14 permite visualizar el significado de t_{GBW} junto con el tiempo para el *slewing*³, el cual será abordado un poco más adelante. Debido a la utilización del muestreo doble, la salida del $S\mathcal{E}H$ debe estabilizarse antes de medio ciclo de reloj ($T/2$ con $T = 1/f_s$) para que cada rama *pipeline* pueda leer el valor de la muestra disponible correctamente. Adicionalmente, es una práctica generalizada asignar $1/3$ del tiempo de asentamiento para *slewing* y dejar los $2/3$ restantes para el asentamiento exponencial, tal y como se ilustra en la figura 3.14 [30]. Utilizando los argumentos anteriores, para garantizar que V_{out} finalmente se estabilice con una precisión equivalente a $1/2 \cdot LSB$, debe cumplirse la restricción dada en (3.16).

$$\begin{aligned} V_{in-max} e^{-2\pi \cdot GBW \cdot t_{GBW}} < \frac{1}{2} LSB &\implies \frac{V_{FS}}{2} e^{-2\pi \cdot GBW \cdot \frac{2}{3} \frac{1}{f_s}} < \frac{1}{2} \frac{V_{FS}}{2^N} \implies 2^N < e^{\frac{2\pi \cdot GBW}{3f_s}} \\ &\implies GBW > \frac{3}{2\pi} \ln 2 \cdot N f_s \end{aligned} \quad (3.16)$$

Debido a que la condición (3.16) involucra tanto la resolución total del convertor N , como la rata total de muestreo f_s , ésta debe ser evaluada para ambos estándares y seleccionar el resultado más exigente. De esta forma, el estándar *Bluetooth* ($N = 6$ bits, $f_s = 11$ MHz) requiere $GBW > 22$ MHz, mientras que *GSM* ($N = 12$ bits, $f_s = 2,75$ MHz) necesita $GBW > 11$ MHz. Entonces, se selecciona la restricción para *Bluetooth*, el cual impone para el *OTA* una especificación de frecuencia de ganancia unitaria de $GBW > 22$ MHz.

Junto con la frecuencia de ganancia unitaria, el tiempo de asentamiento del $S\mathcal{E}H$ también es limitado por el hecho de que el *OTA* sólo puede proveer una corriente finita para cargar y descargar su capacitor C_L (representado por la capacitancia de entrada del primer bloque en las cadenas *pipeline*). Ésto impide que su salida pueda seguir cambios grandes de tensión más rápidos que su *slew rate*. Entonces, para calcular el *SR* requerido en el *OTA* puede utilizarse la ecuación (3.17), donde $V_{step-max}$ representa el mayor gradiente de tensión que se espera a la salida del *OTA* y t_{SR} es ilustrado en la figura 3.14.

$$SR = \frac{V_{step-max}}{t_{SR}} = \frac{V_{step-max}}{\frac{1}{3} \frac{1}{2} \frac{1}{f_s}} = 6 \cdot f_s \cdot V_{step-max} \quad (3.17)$$

Aunque es una práctica común en la literatura asumir que el máximo gradiente de tensión a la salida del *OTA* es $V_{step-max} = V_{FS}$ [3, 30, 32], en este trabajo se profundiza un poco más

³Término en inglés utilizado frecuentemente en la literatura para referirse a la incapacidad de la salida en el *OTA* para seguir de cerca cambios grandes y rápidos de tensión.

Especificación	Valor
Ganancia DC , A_o (dB)	80
Frecuencia de ganancia unitaria, GBW (MHz)	22
<i>Slew rate</i> , SR (V/ μ s)	19,8
Margen de fase, PM ($^\circ$)	60
Fuente de alimentación, V_{DD} (V)	3,3
Consumo de potencia, $P_{OTA-S\&H}$	mínimo

Tabla 3.2: Especificaciones del OTA incluido en el $S\mathcal{E}H$.

en dicha suposición debido al impacto fuerte y directo de la especificación de SR sobre el consumo de potencia. La idea anterior es válida cuando el circuito de muestreo aplica un *reset* a su salida durante el modo de muestreo, tal y como se muestra en la figura 3.1 para el $S\mathcal{E}H$. Sin embargo, la arquitectura de la figura 3.12 y su equivalente en la figura 3.13, funcionan de manera similar a la topología de $T\mathcal{E}H$ en la gráfica 3.1. Adicionalmente, la fase de adquisición ha sido suprimida debido a la utilización del muestreo doble, por lo que su operación es aún más parecida a la de un circuito retenedor de orden cero (*zero-order hold*). En este último sistema, de acuerdo a la razón entre la rata de muestreo del $S\mathcal{E}H$ f_s y la frecuencia de la señal de entrada f_{in} , las muestras consecutivas pueden estar muy cercanas en amplitud. Lo anterior es visualizado en la figura 3.15 para el peor caso en este diseño, el cual corresponde a *Bluetooth* (BT) debido a que f_s y f_{in} están más cercanas, de acuerdo con (3.18).

$$\frac{f_{s-BT}}{f_{in-max-BT}} = \frac{11MHz}{500kHz} = 22 < \frac{f_{s-GSM}}{f_{in-max-GSM}} = \frac{2,75MHz}{100kHz} = 27,5 \quad (3.18)$$

De acuerdo con las ideas anteriores y la figura 3.15, resulta claro que es improbable que la salida del OTA deba seguir pasos de tensión tan grandes como V_{FS} . El valor más realista de $V_{step-max}$ puede calcularse a partir del valor máximo de la derivada de una onda sinusoidal entrante, $V_{in} = \frac{V_{FS}}{2} \text{sen}(2\pi f_{in}t)$, multiplicado por el intervalo de tiempo entre muestras consecutivas, tal y como se muestra en la figura 3.15. Al reemplazar las cantidades adecuadas se obtiene $\Delta V_{max} = V_{step-max} \simeq 0,3V$. Entonces, ahora puede estimarse la especificación de *slew rate* utilizando (3.17) para obtener $SR \geq 19,8 V/\mu s$.

Finalmente, para asegurar la estabilidad del lazo de realimentación en el cual se utiliza el OTA , se especifica un margen de fase cercano a los 60° . Este valor resulta en un asentamiento más rápido de la salida del OTA , a partir del hecho de que no hay picos o sobrepasos en la respuesta transitoria a la excitación con un escalón de tensión [3,32]. Para sintetizar, la tabla 3.2 presenta los requerimientos del OTA extraídos en las anteriores líneas.

Capítulo 4

Celda básica *pipeline*

El bloque *S&H* descrito en el capítulo anterior retiene a su salida niveles de tensión *DC* como muestras de la señal analógica entrante, las cuales están disponibles para cada una de las dos ramas que funcionan en forma paralela, cada par de ciclos a la frecuencia total del conversor, f_s . Lo anterior reduce los requerimientos de ancho de banda y velocidad de los siguientes bloques que constituyen el verdadero núcleo del conversor con arquitectura *pipeline*, y cuyo estudio es el tema principal de este capítulo.

Como se ilustra en la figura 4.1, cada celda básica en la cadena *pipeline* incluye un *sub-ADC* y un *MDAC*, a excepción de la última, la cual prescinde del segundo circuito y no requiere redundancia en sus bits de salida. Para comprender dichas celdas, cada uno de sus dos componentes y respectivas técnicas de circuito, así como la descripción detallada del proceso de cuantización y la corrección digital que se desarrollan al interior de las mismas, son presentados a lo largo de este capítulo. Como resultado, al final de esta cuarta parte del libro se cuenta con todas las especificaciones necesarias para los dos circuitos más elementales del *ADC*, el *OTA* y el comparador, cuyo proceso de diseño es abordado en el capítulo 5.

4.1. Corrección digital

De acuerdo con lo presentado en 2.3.3, la utilización de la corrección digital mediante un bit de redundancia (*RSD*) permite relajar las especificaciones de diseño del *sub-ADC* en la celda básica *pipeline*. Además, el análisis sobre la resolución por etapas desarrollado en 2.4.2 llevó a la selección de una configuración 4-4-4-3, con las tres primeras etapas utilizando un bit de redundancia. Entonces, para el estudio de las implicaciones en el diseño de circuitos a partir de la utilización de *RSD*, se utilizará como ejemplo un par de etapas consecutivas de 4 bits, cuya función de transferencia se muestra en la figura 4.2.

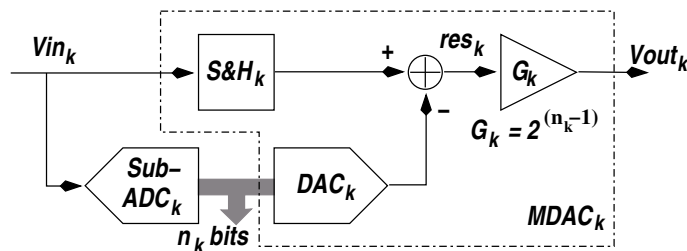


Figura 4.1: La celda básica de la arquitectura *pipeline*.

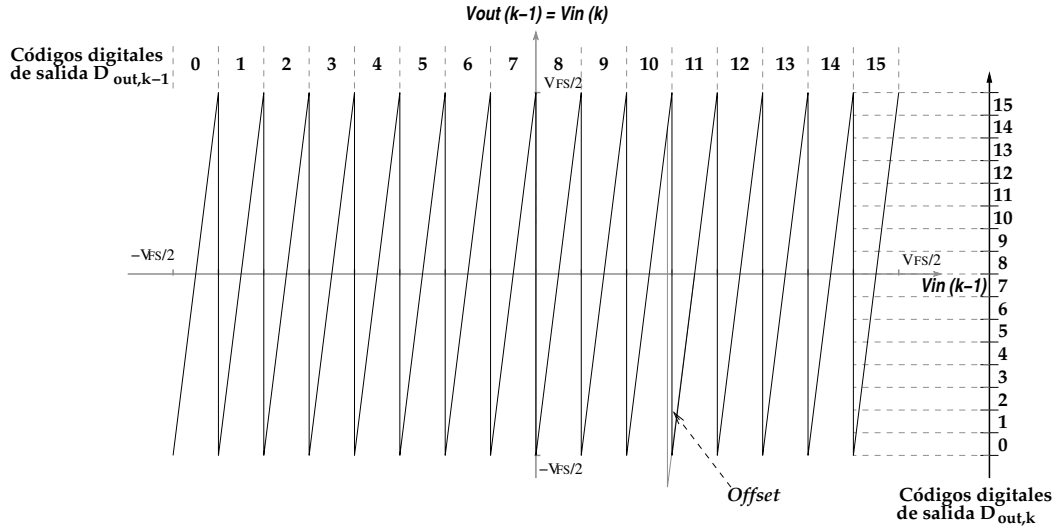
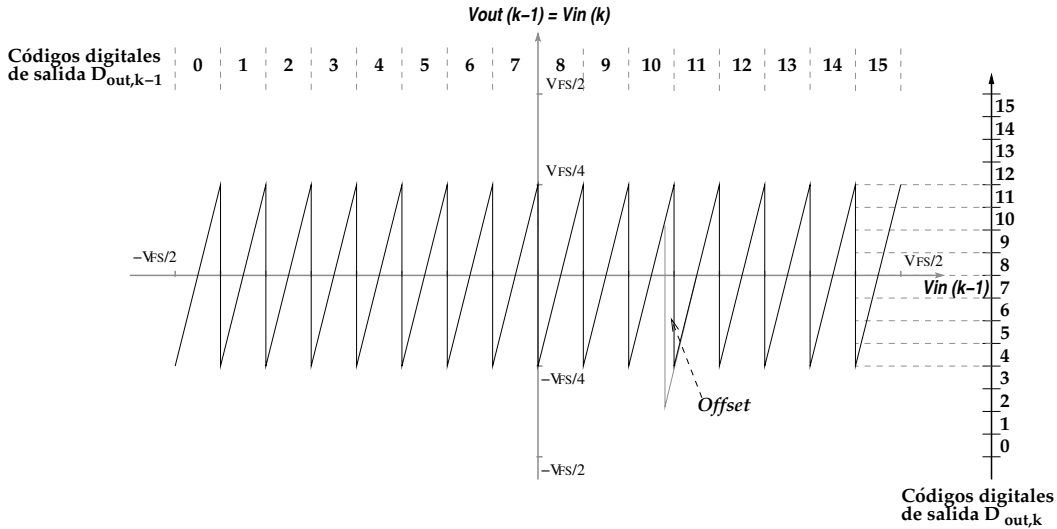
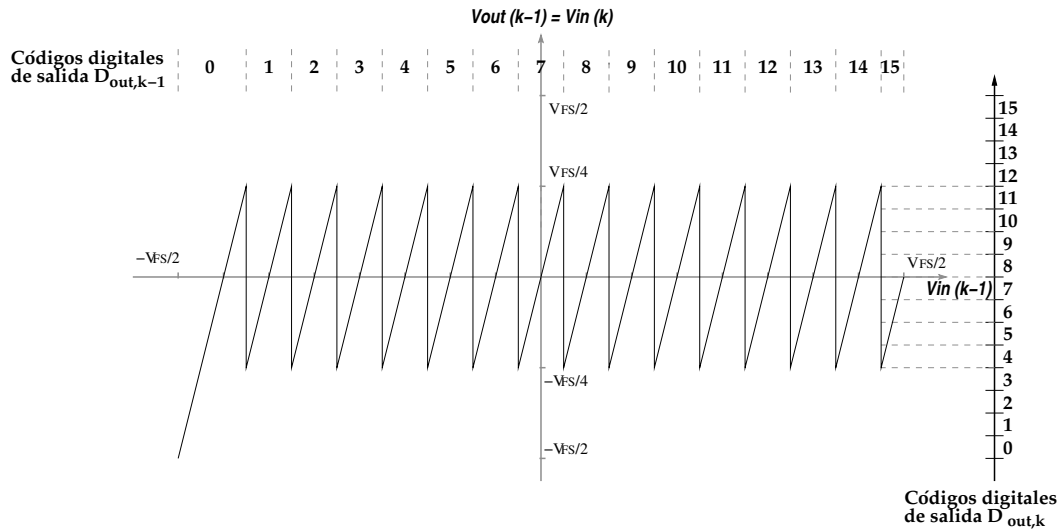
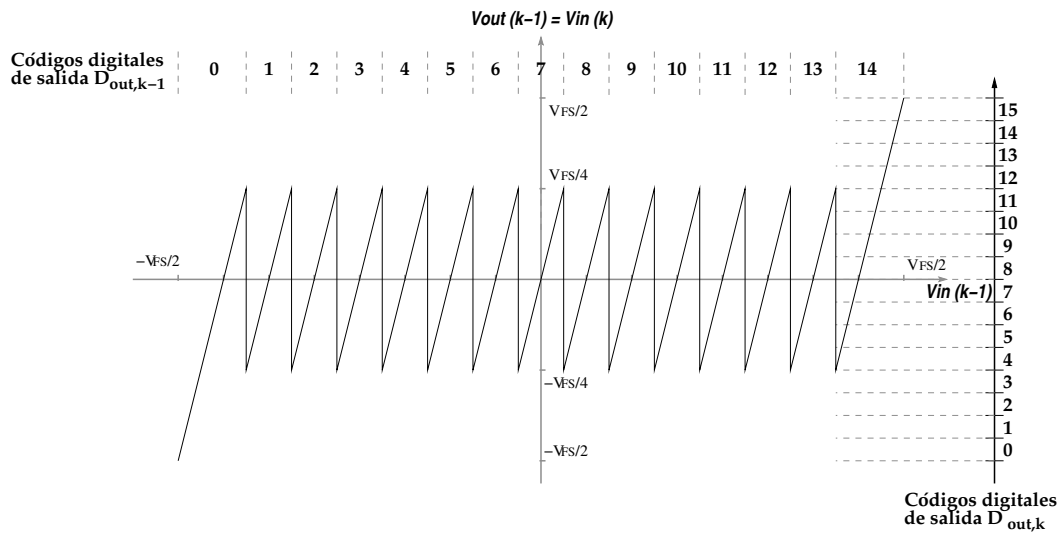
(a) Sin el bit de redundancia, $G_{k-1} = 2^4$.(b) Con el bit de redundancia, $G_{k-1} = 2^{(4-1)}$.

Figura 4.2: Formación de códigos digitales entre dos etapas de 4 bits.

A partir de la figura 4.2(a), en la cual no se emplea el bit de redundancia, se puede notar que una desviación significativa de cualquiera de los niveles de referencia en el $sub-ADC_{k-1}$ puede ocasionar que la curva con forma de sierra exceda el rango de excursión permitido (V_{FS}) para la siguiente celda k . Si esto sucede, probablemente la salida del $sub-ADC_k$ estará saturada para el rango $-V_{FS}/2 > V_{out,k-1} = V_{in,k} > V_{FS}/2$, lo cual puede llevar a grandes errores en la conversión por pérdida de códigos y reducción de la resolución total efectiva del ADC [28]. Por otro lado, en una celda con un bit de redundancia, la ganancia es reducida a $G_{k-1} = 2^{(n_{k-1}-1)}$, donde n_{k-1} es la resolución de la etapa $k-1$. De esta manera sólo se utiliza la mitad del rango de excursión ($V_{FS}/2$) permitido a la entrada de la siguiente etapa, tal y como se exhibe en la función de transferencia de la figura 4.2(b).

Como consecuencia de lo explicado en el párrafo anterior, mientras no se presenten desviaciones en los umbrales del $sub-ADC_{k-1}$ que provoquen excursiones mayores a $V_{FS}/2$ en la figura 4.2(b), los códigos 0,1,2,3,12,13,14 y 15 de la etapa k no son utilizados. Estas palabras digitales actúan como reservas para la aplicación de la corrección digital mediante

(a) Asimétrica con una desviación de $LSB_{k-1}/2$.

(b) Simétrica con un nivel de cuantización y un comparador menos.

Figura 4.6: Modificación de la función de transferencia del par de etapas de 4 bits con *RSD*.

aprecia en la figura 4.2(b) que el mínimo código digital de salida es 4, que se obtiene como resultado de combinar $D_{out,k-1} = 0$ y $D_{out,k} = 4$ de acuerdo con el esquema en la figura 4.4. Es obvio entonces que existe un *offset* digital que debe ser eliminado.

Una estrategia para resolver el problema presentado en las líneas anteriores es introducir *offset* en las etapas *pipeline*, como se muestra en la figura 4.5. Debido a esta modificación en la celda básica, su función de transferencia se desplaza hacia la derecha en $LSB/2$, como aparece en la figura 4.6(a). De acuerdo con esto, ahora el mínimo código digital de salida es 0, y $D_{out,k-1} = 15$ se combina $D_{out,k} = 4, 5, 6, 7$, lo cual no produce desbordamiento en la palabra digital de salida. Una ventaja adicional de este cambio es que el umbral de decisión en cero también se ha movido, lo cual mejora la linealidad para señales pequeñas a la entrada [28].

Sin embargo, la nueva curva con forma de sierra en la figura 4.6(a) ya no es simétrica. Para resolver esta dificultad adicional, el nivel de cuantización más a la derecha, correspondiente a $D_{out,k-1} = 15$ es suprimido. De esta forma, ahora sólo hay 14 niveles de cuantización pero el rango de salida se ha expandido, tal y como se exhibe en la figura 4.6(b). De la

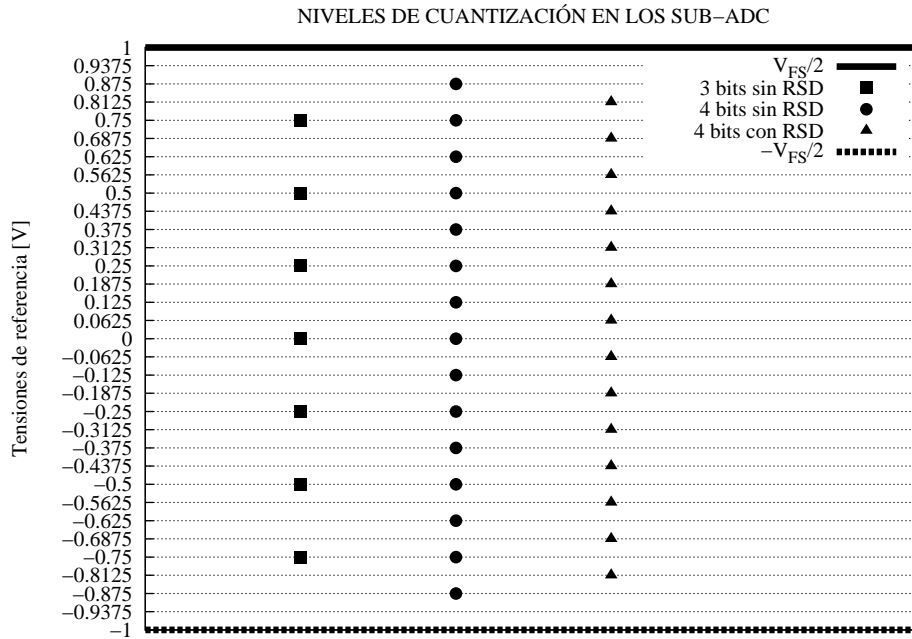


Figura 4.7: Efecto de la corrección digital en la cuantización de los *sub-ADCs*.

explicación anterior se desprende que el número total de códigos sea el mismo que antes. Finalmente, la aplicación de la corrección digital mediante 1 bit de redundancia (*RSD*), hace que la distribución de los niveles de cuantización para las diferentes etapas *pipeline* del *ADC* multiestándar sea tal y como se muestra detalladamente en la figura 4.7.

4.2. El *sub-ADC* con arquitectura *flash*

El proceso de cuantización presentado en la sección anterior, es llevado a cabo al interior de cada etapa mediante un conversor analógico-digital de baja resolución o *sub-ADC*. Como se puede apreciar en la figura 4.1, este bloque sensa directamente la señal de entrada a una etapa y opera simultáneamente con la función *S&E*H del *MDAC* en paralelo. Como consecuencia, el retardo entre este par de bloques debe ser minimizado para evitar errores de conversión dependientes de la señal. Asimismo, para maximizar el tiempo disponible que permita el establecimiento de la salida del *MDAC*, y de esta manera incrementar la velocidad de conversión, el *sub-ADC* debe ser capaz de entregar su salida digital tan pronto como sea posible al componente *DAC* del *MDAC*. Por consiguiente, es usual encontrar que el *sub-ADC* de las celdas básicas de una cadena *pipeline* utiliza la arquitectura *flash* [30].

Conceptualmente la más simple, y potencialmente la más rápida, la arquitectura *flash* emplea el paralelismo y la cuantización distribuida para alcanzar una alta velocidad de conversión. Esta topología comprende un banco de comparadores de tensión, los cuales comparan la señal entrante de la etapa con sus respectivos voltajes de referencia, para establecer en conjunto cada uno de los pasos de cuantización en la función de transferencia de la celda. Los voltajes de referencia son generados a partir de la división uniforme de la tensión en escala completa ($V_{FS} = 2 \cdot V_{ref}$) mediante una escalera resistiva. En las figuras 4.8 y 4.9 se presenta la aplicación de esta arquitectura en el *sub-ADC* de la última etapa con 3 bits efectivos, y en las tres primeras etapas con 4 bits (3 efectivos y 1 de redundancia), respectivamente.

Los circuitos diferenciales de las figuras 4.8 y 4.9 son coherentes con los niveles de cuan-

	Nivel de entrada diferencial [V]	Salida digital en código binario	Código termómetro $D_7 \dots D_1$
0	-1,00 \Rightarrow -0,75	000	0000000
1	-0,75 \Rightarrow -0,50	001	0000001
2	-0,50 \Rightarrow -0,25	010	0000011
3	-0,25 \Rightarrow 0,00	011	0000111
4	0,00 \Rightarrow 0,25	100	0001111
5	0,25 \Rightarrow 0,50	101	0011111
6	0,50 \Rightarrow 0,75	110	0111111
7	0,75 \Rightarrow 1,00	111	1111111

Tabla 4.1: Detalle del código termómetro para 3 bits.

	Nivel de entrada diferencial [V]	Salida digital en código binario	Código termómetro $T_{14} \dots T_1$
0	-1,0000 \Rightarrow -0,8125	0000	00000000000000
1	-0,8125 \Rightarrow -0,6875	0001	00000000000001
2	-0,6875 \Rightarrow -0,5625	0010	00000000000011
3	-0,5625 \Rightarrow -0,4375	0011	00000000000111
4	-0,4375 \Rightarrow -0,3125	0100	00000000011111
5	-0,3125 \Rightarrow -0,1875	0101	00000000111111
6	-0,1875 \Rightarrow -0,0625	0110	00000001111111
7	-0,0625 \Rightarrow 0,0625	0111	00000011111111
8	0,0625 \Rightarrow 0,1875	1000	00000111111111
9	0,1875 \Rightarrow 0,3125	1001	00001111111111
10	0,3125 \Rightarrow 0,4375	1010	00011111111111
11	0,4375 \Rightarrow 0,5625	1011	00111111111111
12	0,5625 \Rightarrow 0,6875	1100	01111111111111
13	0,6875 \Rightarrow 0,8125	1101	01111111111111
14	0,8125 \Rightarrow 1,0000	1110	11111111111111

Tabla 4.2: Detalle del código termómetro para 4 bits.

tización establecidos en la figura 4.7. Debe resaltarse la utilización de 14 comparadores y la ausencia del nivel de referencia en 0 V para el *sub-ADC* de 4 bits, debido a la aplicación de la corrección digital mediante *RSD*. Además, la utilización de los resistores $\frac{3}{2}R_{Ab}$ en los extremos de la escalera resistiva de la figura 4.9, permite la implementación del *offset* digital necesario en la figura 4.5. Por otro lado, el *sub-ADC* de 3 bits emplea 7 comparadores y cuenta con su respectivo umbral en 0 V. La señal de control V_{LATCH} es fundamental para la sincronización de los comparadores, tal y como se explica en el siguiente capítulo.

La comparación paralela efectuada en los *sub-ADCs* de las figuras 4.8 y 4.9 produce los códigos termómetro \mathbf{D} de 7 bits y \mathbf{T} de 14 bits, los cuales son detallados en las tablas 4.1 y 4.2, respectivamente. En las palabras digitales que emplean este tipo de codificación, los bits menos significativos son iguales a 1 hasta donde la señal de entrada se hace menor que la tensión de referencia del comparador correspondiente al bit de esa posición, forzando a que los bits más significativos sean iguales a 0. Finalmente, los códigos termómetro son convertidos en códigos binarios para generar la salida digital del *sub-ADC* y de la correspondiente celda *pipeline* a la que pertenece este último.

A partir de los argumentos presentados en los párrafos anteriores, se puede concluir que la arquitectura *flash* puede alcanzar altas tasas de conversión debido a que su único bloque análogo constituyente es el comparador. Entonces, resulta claro que el desempeño del *sub-ADC* que emplea esta topología está determinado principalmente por las características de

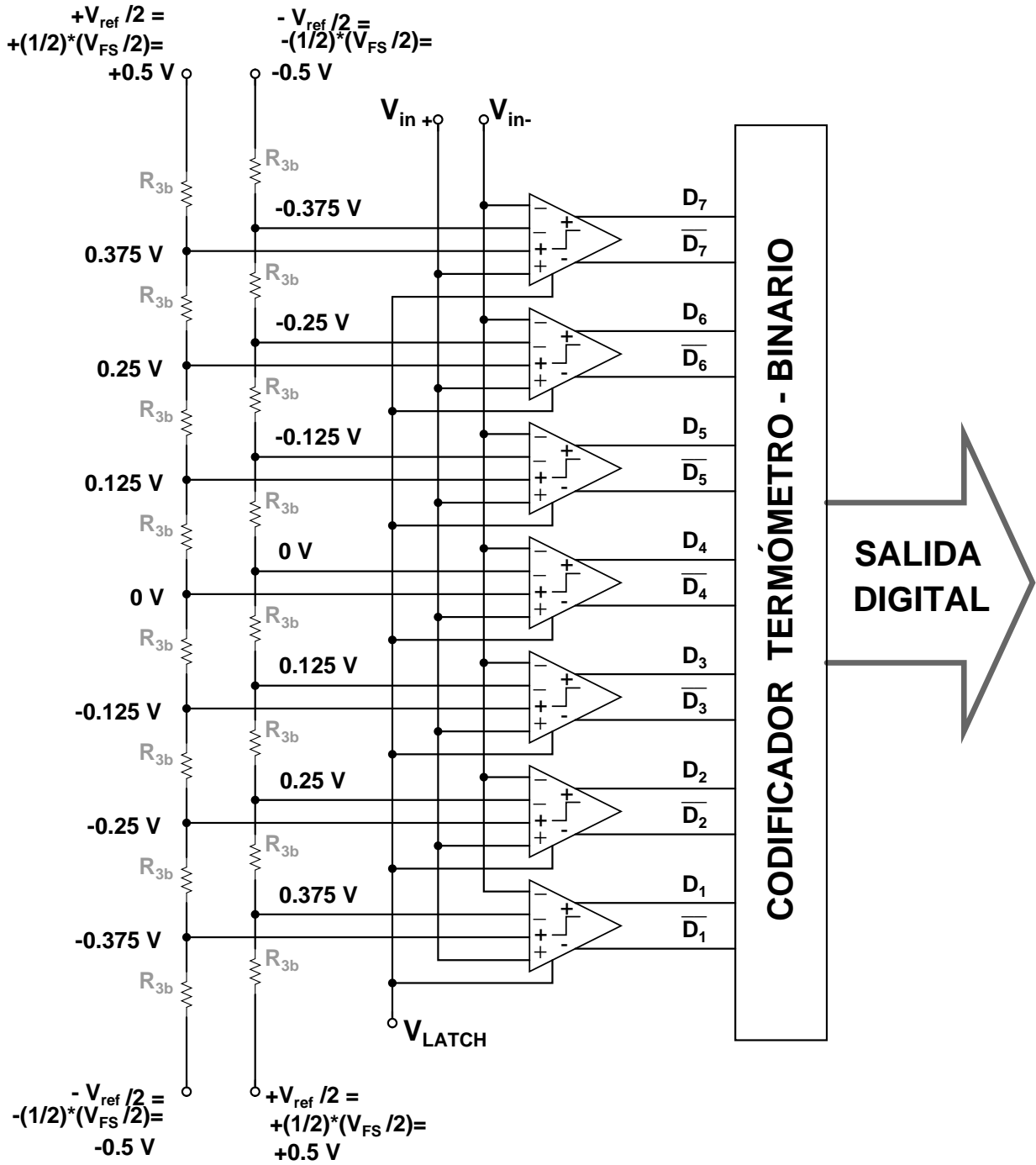


Figura 4.8: El *sub-ADC* de 3 bits sin bit de redundancia.

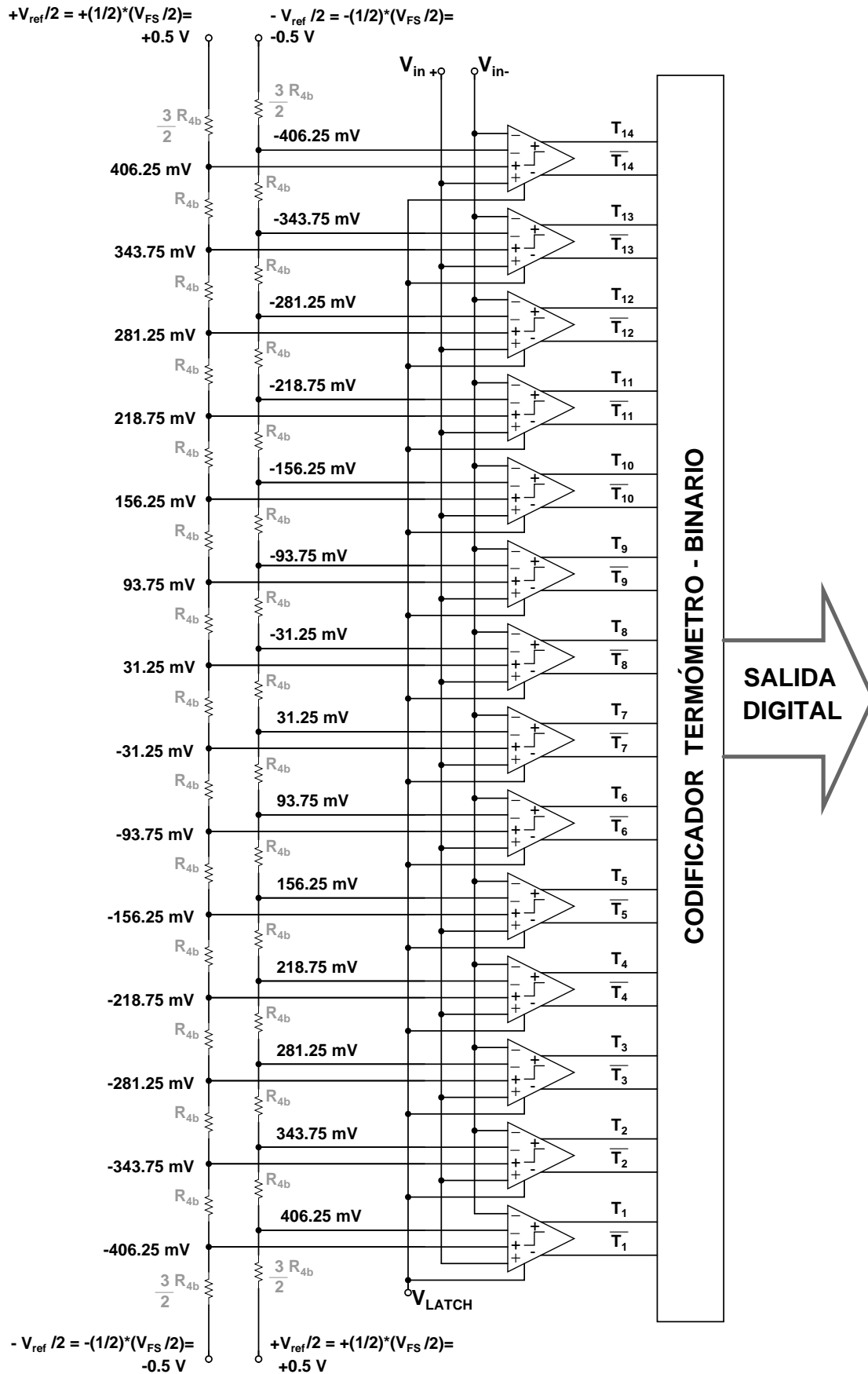


Figura 4.9: El *sub-ADC* de 4 bits con bit de redundancia.

sus comparadores. Las especificaciones más relevantes de estos últimos son el *offset*, el consumo de potencia y el ruido *kickback*, el cual consiste en una perturbación transitoria en la entrada de los comparadores debido a la conmutación en su modo de operación controlado por la señal V_{LATCH} , y que puede corromper la señal entrante al *sub-ADC* [33].

4.3. Especificaciones para el *sub-ADC*

Las especificaciones más importantes de los cuantizadores *flash* presentados en la sección anterior son los elementos R_{3b} y R_{4b} que forman las escaleras resistivas para generar los voltajes de referencia, y las características de los comparadores de tensión. Se prefiere la utilización de referencias globales en vez de locales para el *ADC* completo por razones de área, menor disipación de potencia y uniformidad en las tensiones [30]. De esta manera, se emplea la misma cadena resistiva para todos los *sub-ADCs* de 4 bits y otra diferente para el cuantizador de 3 bits en la última etapa de cada rama *pipeline* paralela. Ambas configuraciones se ilustran en las figuras 4.8 y 4.9, donde puede apreciarse que están conectadas directamente a pequeñas cargas capacitivas formadas por las compuertas de los transistores *MOS* a la entrada de los comparadores. Lo anterior elimina la necesidad de *buffers* en las referencias.

La precisión de las escaleras resistivas es limitada por el *mismatch* entre sus elementos y por las constantes de tiempo asociadas. Adicionalmente, si se desea minimizar la disipación de potencia estática, se hace obligatorio incrementar la resistencia total de la cadena, maximizando a su vez los valores unitarios R_{3b} y R_{4b} . Sin embargo, lo anterior entra en conflicto con los requerimientos de establecimiento de transitorios, los cuales obligan a disminuir las constantes de tiempo RC en cada uno de los nodos capacitivamente cargados. Esto es aún más crítico cuando existe algún tipo de circuito de muestreo con capacitores a la entrada de los comparadores, los cuales originan perturbaciones en las tensiones de referencia que deben establecerse rápidamente para evitar introducir errores en los umbrales de la cuantización [18]. El punto más vulnerable a este fenómeno es la mitad de la escalera, donde la resistencia equivalente es la mitad de la resistencia total.

Si los tiempos de asentamiento son adecuadamente establecidos, el otro factor limitante de la precisión en el divisor resistivo, es el *mismatch* en los componentes unitarios R_{3b} y R_{4b} debido a variaciones en los parámetros de fabricación. Los gradientes en el proceso dan lugar a alteraciones en la forma y los tamaños de un elemento a otro. Sin embargo, en *ADCs* con arquitectura *pipeline* empleando corrección digital mediante *RSD*, los requerimientos de *mismatch* entre componentes pueden ser fácilmente satisfechos sin necesidad de elementos de alta precisión y mediante la elaboración cuidadosa de *layouts* simétricos [30].

Tal y como se presenta en el siguiente capítulo, dentro de la arquitectura del comparador, el *latch* de la salida es extremadamente rápido y posee una ganancia muy alta debido a la realimentación positiva, pero usualmente presenta una tensión de *offset* grande. Entonces, una forma común de implementar los comparadores es sensando la entrada con un preamplificador seguido por el *latch* regenerativo. De esta forma, el *offset* generado por variaciones en los parámetros del proceso y *mismatch* entre componentes en el *latch*, es reducido significativamente al dividirlo entre la ganancia del preamplificador cuando es referido a la entrada. Adicionalmente, el preamplificador mejora la sensibilidad en la comparación y disminuye el efecto negativo del ruido *kickback* [3, 12, 30].

A partir de que el *offset* propio del preamplificador es usualmente corregido mediante técnicas de cancelación de *offset*, como por ejemplo *auto-zeroing*, es suficiente garantizar que la ganancia de este circuito es lo suficientemente grande para satisfacer los requerimientos

de resolución de la etapa [18]. Estos requerimientos son, tal y como se presentó en la sección anterior, $V_{offset,4b} \leq LSB_{4b}/2 = 62,5 \text{ mV}$ y $V_{offset,3b} \leq LSB_{3b}/2 = 125 \text{ mV}$. Debido a la especificación más relajada de la última etapa de 3 bits, sólo se emplean preamplificadores para los comparadores de los *sub-ADCs* de 4 bits en las tres primeras etapas *pipeline*, para los cuales la condición de ganancia es la expresión (4.1).

$$A_{0,preamp} \geq \frac{V_{offset-latch}}{62,5mV} \quad (4.1)$$

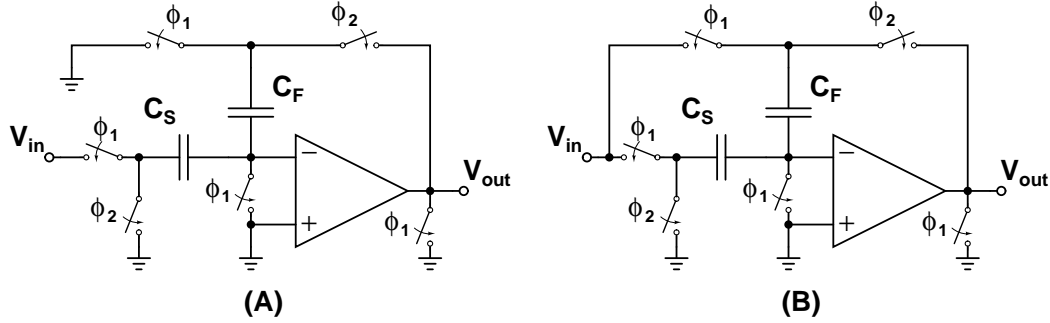
De acuerdo con las características derivadas en capítulos anteriores para el *ADC* con arquitectura *time-interleaved pipeline*, cada una de las dos ramas paralelas opera a una frecuencia de 5,5 MHz en el escenario más exigente para esta especificación, correspondiente al estándar *Bluetooth*. Al interior de la tercera y cuarta etapa de la cadena *pipeline*, las cuales funcionan bajo estas condiciones, la cuantización en el *sub-ADC* necesita ser realizada a una rata del doble de esta frecuencia, y de esta forma dejar suficiente tiempo disponible para que el bloque *MDAC* detecte y amplifique el residuo. Así, el *sub-ADC* trabaja a 11 MHz, que en tiempo corresponde a periodos de 91 ns. Para los cuantizadores de 4 bits en la primera y segunda etapa *pipeline* el requerimiento es más relajado, pues éstos operan sólo a 5,5 MHz, correspondiente al doble de la rata de muestreo para el estándar *GSM*. Entonces, la última especificación relevante a nivel de circuito para los comparadores como parte de los cuantizadores *flash*, es que su velocidad de comparación les permita establecer su salida antes de los 91 ns para el caso de las dos últimas etapas, y antes de 182 ns para el caso de las dos primeras etapas.

4.4. El *MDAC*

El otro bloque constituyente de la celda básica *pipeline*, y cuyo desempeño es el más crítico para la arquitectura completa del *ADC*, es el *multiplying digital-to-analog converter (MDAC)*, mostrado como diagrama de bloques en la figura 4.1. Su función es devolver al dominio analógico la salida digital del *sub-ADC* para luego restarla de la señal muestreada y retenida a la entrada de la etapa, y finalmente amplificar el residuo que será utilizado como entrada de la siguiente celda en la cadena *pipeline*. Al igual que el circuito de muestreo y retención, la implementación del *MDAC* está basada comúnmente en topologías de capacitores conmutados (*SC*) [30]. Por esta razón, la arquitectura básica del *SC-S&H* presentada en el capítulo 3, constituye el punto de partida para el siguiente análisis de las características circuitales y de operación en el *MDAC*.

Para obtener una ganancia mayor a la unitaria, el circuito básico del *S&H* con *SC* puede ser modificado y disponer de las dos alternativas ilustradas en la figura 4.10. Estos esquemáticos representan bloques de muestreo y retención con ganancia en forma *single-ended*, aunque en la práctica es preferida su implementación diferencial, donde las tierras virtuales corresponden a la tensión de modo común (V_{CM}) en la mitad de las fuentes de alimentación. Como se puede apreciar en la figura 4.10, los circuitos constan de un amplificador como núcleo de las arquitecturas, un capacitor de muestreo C_S y otro de realimentación C_F , además de un arreglo de interruptores *MOS* que determinan el modo de operación.

Durante la fase de muestreo (ϕ_1) la señal entrante es almacenada en C_S , y la utilización de C_F determina la única diferencia entre las dos opciones en la figura 4.10. En el circuito A ambos terminales de C_F son conectados a la tierra virtual, razón por la que no almacena carga durante ϕ_1 , mientras que en la opción B el capacitor de realimentación también es

Figura 4.10: Opciones para la arquitectura del $S\mathcal{E}H$ con ganancia.

Circuito	A	B
Ganancia	$\frac{C_S}{C_F} \frac{1}{1 + \frac{1}{A_0\beta}}$	$\left(1 + \frac{C_S}{C_F}\right) \frac{1}{1 + \frac{1}{A_0\beta}}$
Factor de realimentación β (durante ϕ_2)	$\frac{C_F}{C_S + C_F + C_{ip}}$	$\frac{C_F}{C_S + C_F + C_{ip}}$
Ruido térmico (durante ϕ_1)	$\frac{kT}{C_S}$	$\frac{kT}{C_S + C_F}$

Tabla 4.3: Comparación de las dos opciones en la figura 4.10.

utilizado para el muestreo de V_{in} . Luego en la fase de amplificación (ϕ_2), ambas topologías utilizan a C_F como parte de un lazo de realimentación alrededor del amplificador, mientras que la conexión de C_S entre voltajes iguales (tierras virtuales) obliga a la transferencia de su carga previamente almacenada hacia C_F . Como resultado de esta redistribución de cargas, la señal de salida (V_{out}) es amplificada.

La tabla 4.3 contiene algunos de los parámetros de desempeño de ambas configuraciones de $S\mathcal{E}H$ con ganancia. En dicha tabla, A_0 y C_{ip} representan la ganancia en lazo abierto y la capacitancia parásita a la entrada del amplificador, respectivamente. En este trabajo se selecciona la opción B de la figura 4.10 porque para un mismo valor de ganancia, el establecimiento de su amplificador es inherentemente más rápido debido a su mayor factor de realimentación (β). Esto último también se traduce en un mayor valor de ganancia de lazo $A_0\beta$, lo cual hace que la ganancia de amplificación del circuito B sea más precisa que la del A. Desde otro punto de vista, para valores iguales de C_S y C_F , la arquitectura B presenta mayor ganancia y menor ruido térmico que la A.

El interruptor que cortocircuita la salida con la tierra virtual de los circuitos en la figura 4.10, tiene la función de reducir el efecto de las tensiones de *offset* sobre el desempeño de las arquitecturas y las características de sus fases de reloj. Sin embargo, no es útil para suprimir la componente de *offset* en la señal de salida al final de la fase ϕ_2 . No obstante, debido a que el amplificador es inutilizado durante ϕ_1 , este último puede ser aprovechado para emplear una técnica de cancelación de *offset* más efectiva y popular. Esta estrategia es conocida como *auto-zeroing* y es ilustrada en la figura 4.11, donde su aplicación convierte la arquitectura original previamente seleccionada (figura 4.11(a)) en un nuevo circuito que emplea su amplificador durante sus dos modos de operación (figura 4.11(b)).

La modificación introducida por la utilización de *auto-zeroing* consiste en la creación de

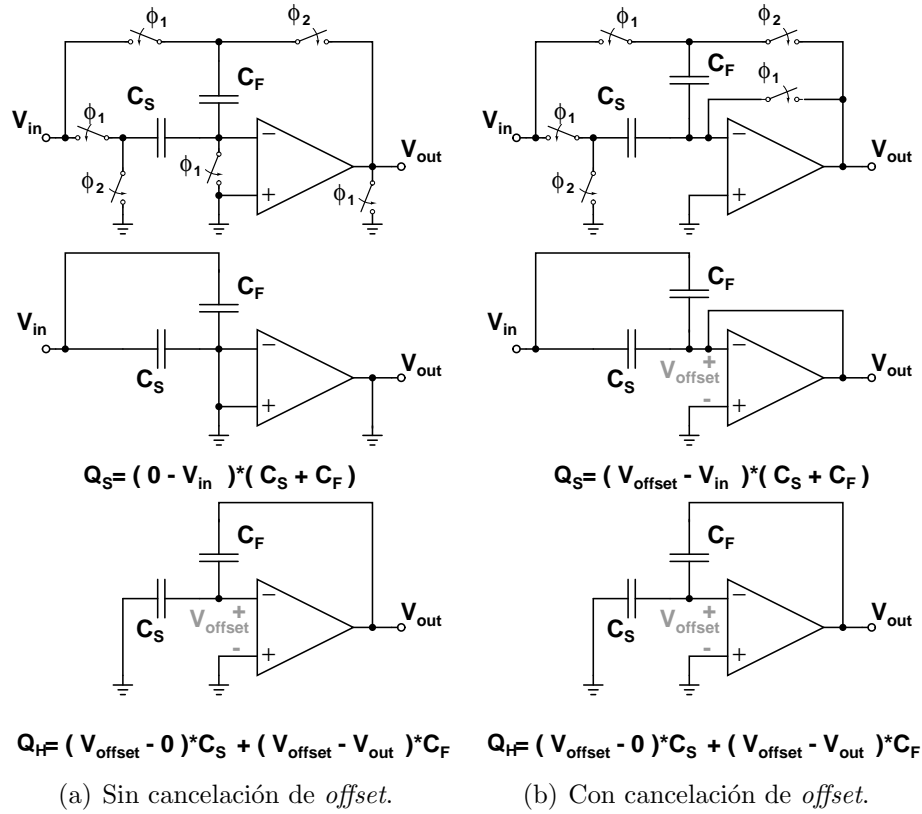


Figura 4.11: Técnica de *auto-zeroing* en el $S\mathcal{E}H$ con ganancia.

un lazo de realimentación unitaria alrededor del amplificador durante la fase de muestreo, tal y como se ilustra en la figura 4.11(b). Esta nueva conexión ocasiona que la tensión de *offset* sea muestreada junto con V_{in} en los capacitores C_S y C_F , para posteriormente ser cancelada en la fase de amplificación (ϕ_2). Este efecto puede apreciarse al comparar las funciones de transferencia en las ecuaciones (4.2) para la figura 4.11(a) y (4.3) para la figura 4.11(b), las cuales son obtenidas a partir de la igualación de Q_S y Q_H por el principio de conservación de la carga. Por simplicidad, en la deducción de estas expresiones se ha despreciado el efecto de la ganancia finita del amplificador (A_0).

$$V_{out} = \left(1 + \frac{C_S}{C_F}\right) V_{in} + \left(1 + \frac{C_S}{C_F}\right) V_{offset} \quad (4.2)$$

$$V_{out} = \left(1 + \frac{C_S}{C_F}\right) V_{in} \quad (4.3)$$

El circuito analizado en las líneas anteriores efectúa las funciones de los componentes $S\mathcal{E}H_k$ y G_k en el diagrama de bloques del $MDAC$ en la figura 4.1. Sin embargo, aún no se han implementado la conversión digital-analógica (DAC) y el restador que aparecen en la misma figura. Utilizando el principio de división de la carga, este par de operaciones pueden ser llevadas a cabo mediante el reemplazo de C_S en la figura 4.11(b), por un banco de capacitores de muestreo que adicionalmente, durante ϕ_2 son conectados a las tensiones de referencia ($\pm V_{ref}$) de acuerdo a la salida digital del *sub-ADC* en la etapa. A diferencia de un DAC basado en una cadena resistiva, el banco de capacitores no consume potencia estática, además de que su operación en función de la redistribución de cargas complementa de forma

Entrada digital en código binario	Código termómetro $T_{14} \cdots T_1$	Función de transferencia del MDAC $V_{out} = G \cdot (V_{in} - RSD_{offset} - V_{\mathbf{T}_{sub-ADC}})$
0000	00000000000000	$V_{out} = 8 \cdot (V_{in} + 1,0000) = 8 \cdot (V_{in} + 2/16 + 14/16)$
0001	00000000000001	$V_{out} = 8 \cdot (V_{in} + 0,8125) = 8 \cdot (V_{in} + 1/16 + 12/16)$
0010	00000000000011	$V_{out} = 8 \cdot (V_{in} + 0,6875) = 8 \cdot (V_{in} + 1/16 + 10/16)$
0011	00000000000111	$V_{out} = 8 \cdot (V_{in} + 0,5625) = 8 \cdot (V_{in} + 1/16 + 8/16)$
0100	00000000011111	$V_{out} = 8 \cdot (V_{in} + 0,4375) = 8 \cdot (V_{in} + 1/16 + 6/16)$
0101	00000000011111	$V_{out} = 8 \cdot (V_{in} + 0,3125) = 8 \cdot (V_{in} + 1/16 + 4/16)$
0110	00000000111111	$V_{out} = 8 \cdot (V_{in} + 0,1875) = 8 \cdot (V_{in} + 1/16 + 2/16)$
0111	00000001111111	$V_{out} = 8 \cdot (V_{in} + 0,0625) = 8 \cdot (V_{in} + 1/16 + 0/16)$
1000	00000111111111	$V_{out} = 8 \cdot (V_{in} - 0,0625) = 8 \cdot (V_{in} + 1/16 - 2/16)$
1001	00000111111111	$V_{out} = 8 \cdot (V_{in} - 0,1875) = 8 \cdot (V_{in} + 1/16 - 4/16)$
1010	00001111111111	$V_{out} = 8 \cdot (V_{in} - 0,3125) = 8 \cdot (V_{in} + 1/16 - 6/16)$
1011	00011111111111	$V_{out} = 8 \cdot (V_{in} - 0,4375) = 8 \cdot (V_{in} + 1/16 - 8/16)$
1100	00111111111111	$V_{out} = 8 \cdot (V_{in} - 0,5625) = 8 \cdot (V_{in} + 1/16 - 10/16)$
1101	01111111111111	$V_{out} = 8 \cdot (V_{in} - 0,6875) = 8 \cdot (V_{in} + 1/16 - 12/16)$
1110	11111111111111	$V_{out} = 8 \cdot (V_{in} - 0,8125) = 8 \cdot (V_{in} + 1/16 - 14/16)$

Tabla 4.4: Detalle de la operación del MDAC de 4 bits empleando RSD .

natural el principio de funcionamiento de la arquitectura $SC-S\mathcal{E}H$ con ganancia en la figura 4.11(b).

Antes de analizar en detalle la composición y operación del banco de capacitores que completa el bloque MDAC de la celda básica *pipeline*, es necesario revisar con detenimiento la forma en que el residuo amplificado es generado a partir de la entrada analógica y la salida del *sub-ADC*. Primero que todo, debe aclararse que estas operaciones sólo son llevadas a cabo en las tres primeras etapas de la cadena *pipeline*, las cuales generan las palabras digitales \mathbf{T} en código termómetro y emplean redundancia de 1 bit. Entonces, la tabla 4.4 exhibe las ecuaciones que describen la generación de V_{out} para cada uno de los 15 valores posibles del código \mathbf{T} . Teniendo en cuenta que $n = 4$ bits, que $V_{ref} = V_{FS}/2 = 1V$ y que el *offset* digital introducido a la salida del DAC en la figura 4.5 es igual a $RSD_{offset} = -V_{ref}/2^n$, la expresión (4.4) constituye la función de transferencia para el MDAC.

$$V_{out} = 2^{n-1} \cdot \left[V_{in} - \left(-\frac{V_{ref}}{2^n} + \frac{\mathbf{T}V_{ref}}{2^n} \right) \right] = 2^{n-1} \cdot \left[V_{in} + \frac{V_{ref}}{2^n} - \frac{\mathbf{T}V_{ref}}{2^n} \right] \quad (4.4)$$

La estructura de la función de transferencia en (4.4) permite visualizar claramente las diferentes operaciones desarrolladas por el MDAC. Asimismo, se aprecia el efecto de la corrección digital mediante RSD en la reducción a la mitad de la ganancia (2^{n-1}) y en el *offset* digital de $-LSB/2 = -V_{ref}/2^n$. La tabla 4.5 muestra explícitamente la formación de la componente de tensión que depende del código digital de salida del *sub-ADC* ($V_{\mathbf{T}_{sub-ADC}}$), cuyo numerador es el resultado de la suma algebraica de valores unitarios ($\pm V_{ref}$) de acuerdo con el valor de cada bit en el código termómetro \mathbf{T} . Finalmente, es imperativo reconocer que la ecuación (4.4) no aplica para el primer código digital (0000), el cual requiere una pequeña modificación, tal y como se muestra en (4.5).

$$V_{out, T_1=0} = 2^{n-1} \cdot \left[V_{in} + \frac{2V_{ref}}{2^n} - \frac{\mathbf{T}V_{ref}}{2^n} \right] \quad (4.5)$$

$\frac{\mathbf{TV}_{ref}}{2^n}$	Código termómetro \mathbf{T}														Código binario
	T_{14}	T_{13}	T_{12}	T_{11}	T_{10}	T_9	T_8	T_7	T_6	T_5	T_4	T_3	T_2	T_1	
-14/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	0000
-12/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	0001
-10/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	0010
-8/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	0011
-6/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	0100
-4/16	-1	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	0101
-2/16	-1	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	0110
0/16	-1	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	0111
2/16	-1	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1000
4/16	-1	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1	1001
6/16	-1	-1	-1	-1	1	1	1	1	1	1	1	1	1	1	1010
8/16	-1	-1	-1	1	1	1	1	1	1	1	1	1	1	1	1011
10/16	-1	-1	1	1	1	1	1	1	1	1	1	1	1	1	1100
12/16	-1	1	1	1	1	1	1	1	1	1	1	1	1	1	1101
14/16	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1110

Tabla 4.5: Detalle de la tensión $V_{\mathbf{T}_{sub-ADC}} = \frac{\mathbf{TV}_{ref}}{2^n}$ en la tabla 4.4.

4.5. Descripción de la topología del *MDAC*

En la sección anterior se revisaron las características generales de la arquitectura circuital y se dedujo la función de transferencia deseada para el bloque *MDAC* en las tres primeras etapas *pipeline* de 3 bits efectivos y 1 de redundancia. Ahora, a partir de los dos elementos anteriores, una topología completa y detallada es propuesta y analizada en esta sección. El esquemático del *MDAC* es presentado en la figura 4.12, donde se muestra cada uno de los capacitores unitarios C_u que conforman el banco de muestreo, así como también la implementación de los interruptores mediante transistores *MOS* operando entre las regiones de corte y triodo, de acuerdo al nivel de tensión aplicado en sus compuertas. Las señales que controlan los interruptores son dos fases de reloj no solapadas (ϕ_1 y ϕ_2) que determinan el modo de operación en el *MDAC* al igual que en el *S \mathcal{E} H* del capítulo anterior, y cada uno de los 14 bits en el código digital termómetro \mathbf{T} para decidir la polaridad de $\pm V_{ref}$ que debe conectarse al capacitor C_u asociado.

Es importante recalcar que la estructura presentada en la figura 4.12 no es la única forma de implementar el banco capacitivo de muestreo en el *MDAC*. En la literatura existen otras alternativas, como la utilización de capacitores con peso binario ($2^i \cdot C_u$, $i = 0 \dots n$) en vez de unitarios. Esta topología requiere menos capacitores pero de mayor valor, así como también la utilización de la salida digital del *sub-ADC* en código binario y no en termómetro [18,28]. Otra opción es la presentada en [30,32], la cual tiene la ventaja de que requiere la misma cantidad de capacitores que en la anterior alternativa, pero con valores unitarios (C_u). Claramente esta arquitectura posee la menor capacitancia total de muestreo (C_S), pero demanda una codificación especial adicional de la salida digital del *sub-ADC*, la cual no es binaria ni termómetro. En [30] se presenta detalladamente esta operación, la cual inherentemente añade una latencia extra entre la conversión A/D y D/A en cada etapa.

En este trabajo se selecciona entonces una arquitectura que utiliza 2^n capacitores unitarios (C_u) para muestrear la señal de entrada, tal y como se ilustra en la figura 4.12 y en su equivalente para las fases de muestreo (ϕ_1) y de amplificación (ϕ_2) en la figura 4.13. La utilización directa del código termómetro \mathbf{T} que genera el *sub-ADC* permite alcanzar mayor linealidad debido al menor valor de *DNL*, aparte de evitar retardos en la sincronización por

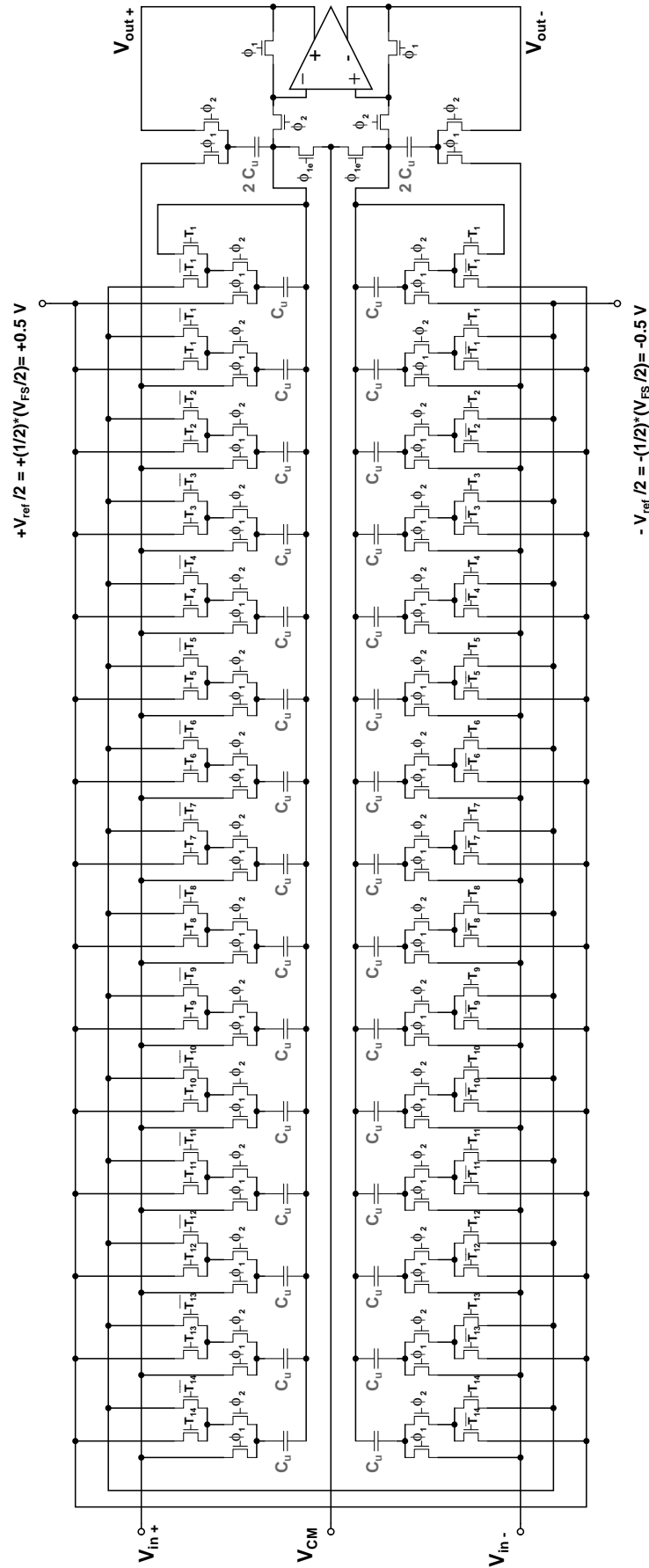


Figura 4.12: El circuito MDAC de las 3 primeras celdas pipeline.

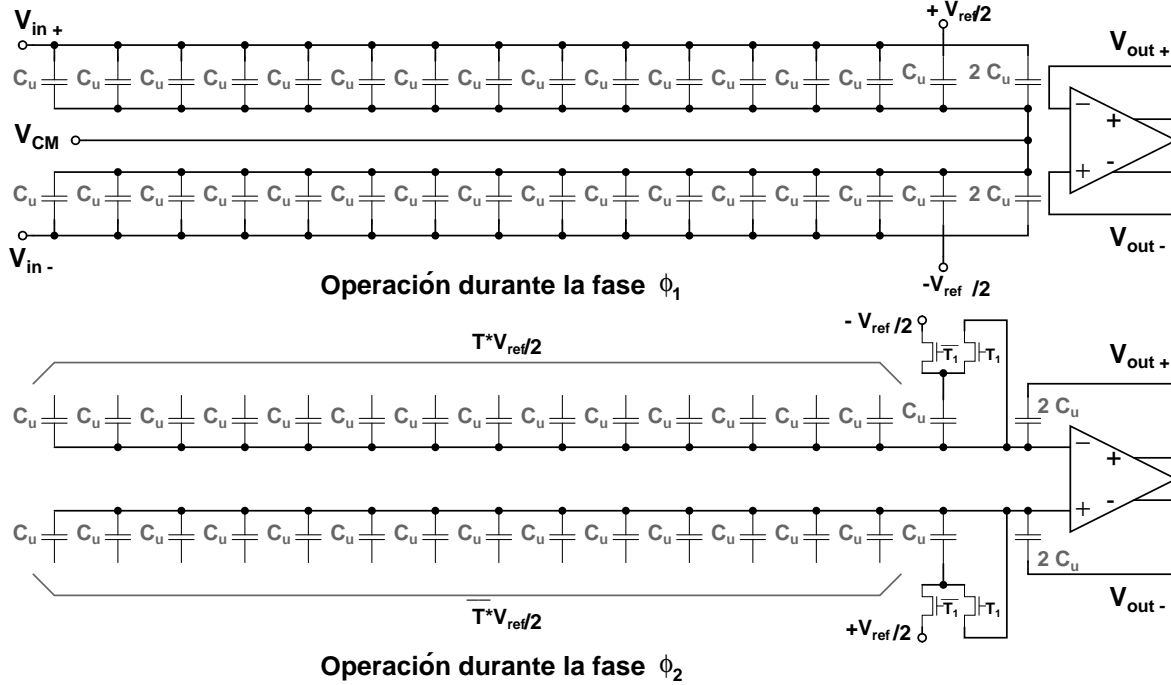


Figura 4.13: Circuito equivalente del *MDAC* de las 3 primeras celdas *pipeline*.

codificaciones extras [3,12]. A continuación se describe la forma en que esta topología genera el residuo amplificado teniendo en cuenta la corrección digital mediante *RSD*, y de esta manera consigue implementar la función de transferencia presentada en (4.4).

De acuerdo con la figura 4.13, durante ϕ_1 el voltaje de entrada V_{in} es muestreado usando 16 capacitores unitarios, mientras que el capacitor C_u restante es conectado al voltaje de referencia $+V_{ref}$. Tal y como se demuestra más adelante, esta última conexión es necesaria para generar el *offset* digital que aparece en la figura 4.5 y en la expresión (4.4). De otro lado, el amplificador es conectado en un lazo de realimentación unitaria para la aplicación de *auto-zeroing*, como en la figura 4.11(b). Entonces, si se establece que $V_{in} = V_{in+} - V_{in-}$, $+V_{ref} = +V_{ref}/2 - (-V_{ref}/2)$ y que $n = 4$ bits, la ecuación (4.6) representa la carga total almacenada durante la fase de muestreo en los 2^{n+1} capacitores unitarios de la figura 4.13.

$$Q_S = V_{in} \cdot 2^n C_u + V_{ref} \cdot C_u \quad (4.6)$$

Cuando la fase ϕ_2 empieza, el capacitor de valor $2C_u$ se desconecta de la entrada y pasa a formar el lazo de realimentación alrededor del amplificador, de manera similar a la topología en la figura 4.11(b). Simultáneamente, cada uno de los 14 capacitores controlados por los bits del código termómetro \mathbf{T} es conectado a $+V_{ref}$ o $-V_{ref}$, lo cual desarrolla la conversión D/A en el *MDAC*. Como se aprecia en la figura 4.13, el capacitor unitario restante es controlado por el bit T_1 para decidir si es conectado a la tensión $-V_{ref}$ o cortocircuitado. Esta estrategia es aplicada para satisfacer el caso especial de la expresión (4.5), cuando el código de salida del *sub-ADC* es 0000, o en otras palabras, el único caso para el que $T_1 = 0$, de acuerdo con las tablas 4.2 y 4.4.

En primer lugar se aborda el caso en el que la salida digital del *sub-ADC* es diferente de 0000 ($T_1 = 1$), en el cual las placas del capacitor unitario extra son cortocircuitadas y por ende su almacenamiento de carga es nulo durante ϕ_2 . Teniendo en cuenta que $V_{out} = V_{out+} - V_{out-}$, la carga total almacenada en el *MDAC* durante la fase de amplificación es la consignada en

la ecuación (4.7). En la citada expresión se ha tenido en cuenta el efecto de la ganancia finita del amplificador (A_0) y se han ignorado las capacitancias parásitas asumiendo que éstas son despreciables en comparación con el banco capacitivo de muestreo.

$$\begin{aligned}
Q_H &= \left(V_{out} - \left(-\frac{V_{out}}{A_0} \right) \right) \cdot 2C_u + \left(T_{14} V_{ref} - \left(-\frac{V_{out}}{A_0} \right) \right) \cdot C_u + \dots + \left(T_1 V_{ref} - \left(-\frac{V_{out}}{A_0} \right) \right) \cdot C_u \\
Q_H &= \left(2 + \frac{2}{A_0} \right) V_{out} \cdot C_u + (T_{14} + \dots + T_1) V_{ref} \cdot C_u + \left(\frac{2^n - 2}{A_0} \right) V_{out} \cdot C_u \quad (4.7) \\
Q_H &= \left(2 + \frac{2^n}{A_0} \right) V_{out} \cdot C_u + \mathbf{T} V_{ref} \cdot C_u
\end{aligned}$$

A partir de la suposición ideal de que no hay flujo de corrientes ni fugas de carga entre las fases de muestreo y amplificación, se puede aplicar el principio de conservación de la carga e igualar las expresiones (4.6) y (4.7). De esta manera, se obtiene la función de transferencia desarrollada en (4.8), la cual se transforma en (4.9) cuando se asume que el amplificador es ideal ($A_0 \rightarrow \infty$). Entonces, es evidente que el circuito de la figura 4.12 es apropiado para la implementación del MDAC caracterizado por la expresión (4.4).

$$\begin{aligned}
Q_H = Q_S &\implies \left(2 + \frac{2^n}{A_0} \right) V_{out} + \mathbf{T} V_{ref} = 2^n V_{in} + V_{ref} \\
&\implies \left(1 + \frac{2^n}{2A_0} \right) V_{out} = 2^{n-1} V_{in} + \frac{V_{ref}}{2} - \frac{\mathbf{T} V_{ref}}{2} \quad (4.8) \\
&\implies V_{out} = 2^{n-1} \cdot \left[V_{in} + \frac{V_{ref}}{2^n} - \frac{\mathbf{T} V_{ref}}{2^n} \right] \left(\frac{1}{1 + \frac{2^n}{2A_0}} \right)
\end{aligned}$$

$$V_{out} = 2^{n-1} \cdot \left[V_{in} + \frac{V_{ref}}{2^n} - \frac{\mathbf{T} V_{ref}}{2^n} \right] \quad (4.9)$$

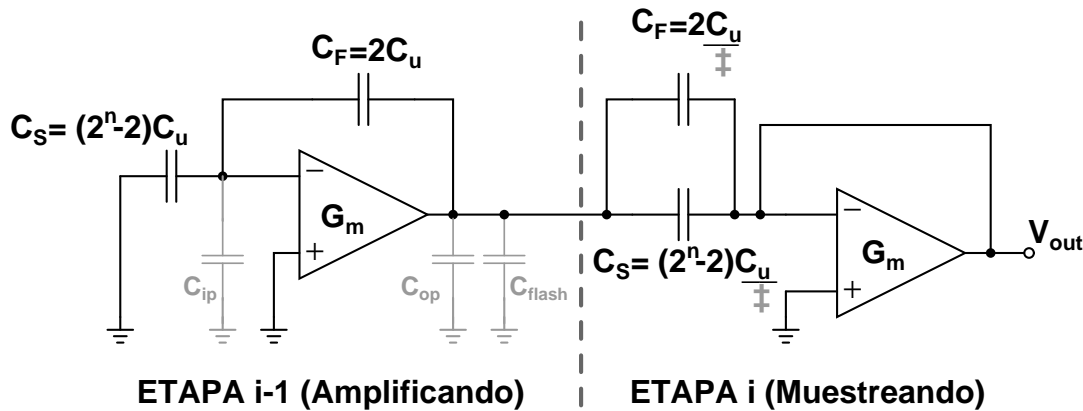
Finalmente, se considera la situación del código binario 0000, en la cual el bit $T_1 = 0$ conecta el capacitor C_u extra a la tensión $-V_{ref}$ en la figura 4.13. Esta nueva condición modifica la carga almacenada durante ϕ_2 , la cual ahora es cuantificada en la ecuación (4.10). Entonces, nuevamente mediante la igualación de cargas $Q_{H,T_1=0} = Q_S$, se obtiene la función de transferencia en (4.11), la cual se reduce a (4.12) cuando se asume que el amplificador es ideal ($A_0 \rightarrow \infty$). Al igual que en el caso anterior, el circuito de la figura 4.12 satisface la expresión planteada en (4.5).

$$\begin{aligned}
Q_{H,T_1=0} &= \left(2 + \frac{2^n}{A_0} \right) V_{out} \cdot C_u + \mathbf{T} V_{ref} \cdot C_u + \left(-V_{ref} - \left(-\frac{V_{out}}{A_0} \right) \right) \cdot C_u \\
Q_{H,T_1=0} &= \left(2 + \frac{2^n + 1}{A_0} \right) V_{out} \cdot C_u + \mathbf{T} V_{ref} \cdot C_u - V_{ref} \cdot C_u \quad (4.10)
\end{aligned}$$

$$V_{out,T_1=0} = 2^{n-1} \cdot \left[V_{in} + \frac{2V_{ref}}{2^n} - \frac{\mathbf{T} V_{ref}}{2^n} \right] \left(\frac{1}{1 + \frac{2^n + 1}{2A_0}} \right) \quad (4.11)$$

$$V_{out,T_1=0} = 2^{n-1} \cdot \left[V_{in} + \frac{2V_{ref}}{2^n} - \frac{\mathbf{T} V_{ref}}{2^n} \right] \quad (4.12)$$

Especificación	Etapa 1 4 bits	Etapa 2 4 bits	Etapa 3 4 bits
Error de ganancia e_G (%)	0,2	1,5	12,5
Error en el DAC e_{DAC} (bits)	12	9	6
Nivel de ruido (dBc)	-74	-65	-56

Tabla 4.6: Especificaciones a nivel de sistema para los $MDACs$.Figura 4.14: Pareja de $MDACs$ consecutivos operando en fases opuestas.

4.6. Especificaciones para el $MDAC$

A partir de los requerimientos a nivel de sistema extraídos en el capítulo 2 para el ADC multiestándar, aquellos que están relacionadas con el bloque $MDAC$ de las 3 primeras celdas básicas *pipeline* han sido recolectados en la tabla 4.6. La citada tabla junto con la figura 4.14, en la cual se ha ignorado el capacitor unitario extra encargado del *offset* digital para la aplicación de RSD en la figura 4.13, constituyen la base para la extracción de las especificaciones de los diferentes elementos presentes en el circuito de la figura 4.12, el cual incluye capacitores, interruptores MOS y un amplificador operacional. De esta manera, a continuación se presenta el análisis para lograr la caracterización de los $MDACs$ de acuerdo a las condiciones particulares de la etapa en la que operan.

4.6.1. Tamaño y escalamiento de capacitores unitarios

De acuerdo con las figuras 4.13 y 4.14, y con los argumentos presentados en la sección anterior, el circuito $MDAC$ lleva a cabo el muestreo de la señal entrante con el capacitor total $C_S + C_F = 2^n C_u$. Entonces, resulta evidente la semejanza de esta operación con su homóloga en el bloque $S\mathcal{E}H$ a la entrada, circuito que fue abordado en el capítulo 3. Así, mediante un análisis similar se llega a la cuantificación del ruido total a la salida del $MDAC$ en la ecuación (4.13), para la cual debe recordarse que ζ es un factor de exceso de ruido en los transistores operando como interruptores de muestreo, el cual oscila entre $2/3$ y valores superiores dependiendo de la longitud del canal del dispositivo. Adicionalmente $v_{n,amp}^2$ representa el ruido referido a la entrada del amplificador, cuyo diseño debe garantizar que el valor es depreciable al lado del término que depende de la capacitancia de muestreo, convirtiendo a esta última en la fuente ruidosa dominante. Los demás términos, k , T y $n = 4$ bits, representan la constante de Boltzman, la temperatura absoluta de los portadores del canal y la resolución de las celdas

básicas *pipeline* que incluyen un *MDAC*, respectivamente.

$$\overline{v_{n,out}^2} = 2\zeta \frac{kT}{2^n C_u} + \overline{v_{n,amp}^2} \quad (4.13)$$

Debido a que durante la fase de muestreo el amplificador es utilizado bajo un lazo de realimentación unitaria para la aplicación de *auto-zeroing*, el ruido térmico referido a la entrada del *MDAC* es el mismo que se consigna en la ecuación (4.13). Entonces, combinando esta expresión con el requerimiento en la tabla 4.6 para el nivel de ruido mínimo a la entrada de la primera etapa, se obtiene un valor mínimo de capacitor unitario $C_{u,1} = 13 \text{ fF}$. Sin embargo, por razones de facilidad y uniformidad en la elaboración del *layout*, este valor es redondeado hacia la capacitancia superior más cercana que guarde proporción exacta con los capacitores utilizados en el *S&H* ($C_S = 200 \text{ fF}$), resultando en la especificación $C_{u,1} = 20 \text{ fF}$.

El cálculo de esta misma especificación para los dos *MDACs* restantes puede ser desarrollado a través de dos estrategias que se basan en el mismo fundamento. La primera de ellas es aplicar el mismo procedimiento del párrafo anterior, a partir del cual se prevee que los tamaños de $C_{u,2}$ y $C_{u,3}$ son menores debido a las especificaciones más relajadas en el nivel de ruido térmico para la segunda y tercera etapa en la tabla 4.6. El segundo método es conocido como el escalamiento de los capacitores unitarios en la cadena *pipeline*, el cual es abordado en múltiples referencias [3, 28, 30, 32, 35]. Esta perspectiva está relacionada con el término \ddagger en la figura 4.14, y básicamente establece que la ganancia acumulativa entre etapas reduce el aporte de ruido de las últimas etapas en una rama de conversión *pipeline*, lo cual permite escalar sus capacitores C_u mediante el factor \ddagger . Si se revisa cuidadosamente, la idea anterior es exactamente la misma que se esconde detrás de los requerimientos de ruido en la tabla 4.6. En [35] se realiza un análisis detallado en el que se demuestra que el valor óptimo de \ddagger es ligeramente superior a la ganancia entre etapas (2^{n-1}).

La importancia en el escalamiento de los capacitores unitarios radica en la disminución asociada en área y carga vista por los amplificadores en el modo de amplificación de los *MDACs*, ilustrado en la figura 4.14. Tal y como se explica más adelante, la carga capacitiva incrementa la corriente necesaria para alcanzar determinadas especificaciones de *GBW* y *SR* en el amplificador, razón por la cual la disminución de C_u a lo largo de la cadena *pipeline* se traduce en un ahorro significativo de potencia en el *ADC* completo [32, 35]. A pesar de estas ventajas, la aplicación indiscriminada del escalamiento de capacitores puede resultar poco práctica, debido al requerimiento de capacitores muy pequeños que deben ser más grandes por otras razones, como por ejemplo, *mismatch*, *clock feedthrough*, simplicidad y uniformidad en la elaboración del *layout* de los mismos.

Como ejemplo, la aplicación de ambos métodos en el cálculo de $C_{u,2}$ se detalla en (4.14). Como se explicó en el párrafo anterior, el valor de $C_{u,2}$ resultante del escalamiento es muy pequeño, lo cual puede favorecer la dominación de capacitancias parásitas no controladas en la carga vista por el amplificador del *MDAC* en la primera etapa. Para evitar esto, y al mismo tiempo sacar algún provecho del ahorro de potencia por el escalamiento en C_u , en este trabajo se selecciona $C_{u,2} = C_{u,3} = 10 \text{ fF}$, valor que también guarda relación proporcional exacta con los demás capacitores especificados anteriormente, lo cual favorece la elaboración sistemática de su *layout*.

$$C_{u,2} \simeq 2 \frac{kT}{2^4 \cdot 10^{-65/10}} = \frac{C_{u,1}}{2^{4-1}} \simeq 2 \text{ fF} \quad (4.14)$$

Consideraciones prácticas

A pesar de que el anterior análisis constituye un buen ejemplo de una estrategia de cálculo de los tamaños en los capacitores unitarios, los cuales son determinados de acuerdo a las especificaciones a nivel de sistema desarrolladas en el capítulo 2, algunos aspectos adicionales derivados de la experiencia de los diseñadores de CIs influyen también las decisiones tomadas en los párrafos precedentes. La realización práctica de capacitores del orden de decenas de fF durante la elaboración de *layouts* constituye un detalle de mucho cuidado, ya que algunos alambrados y elementos parásitos alcanzan niveles similares de capacitancia con mucha facilidad y frecuencia. Adicionalmente, garantizar un determinado porcentaje de *mismatch* en capacitores integrados, se hace un requerimiento más y más complicado de satisfacer a medida que estos componentes pasivos disminuyen sus valores [3, 28, 32]. Por estas razones, las capacitancias previamente especificadas en 10 fF y 20 fF, son ahora redimensionadas a un valor mayor y frecuentemente utilizado de 100 fF.

4.6.2. Interruptores *MOS*

Una vez que se han seleccionado los tamaños adecuados para los capacitores unitarios, el paso a seguir es el dimensionamiento de los transistores que operan como interruptores en el circuito de la figura 4.12. Debe notarse adicionalmente que esta arquitectura emplea la técnica de *bottom-plate sampling* al igual que el *S&H* a la entrada del *ADC*, con el objetivo de disminuir la no linealidad proveniente de la inyección de carga durante la fase de muestreo. En relación con lo anterior, la primera decisión para este diseño es la utilización de transistores *NMOS* para los interruptores involucrados en dicha técnica (controlados por la fase ϕ_{1e}), así como también para aquellos que están conectados a las entradas del amplificador. Estos dispositivos operan alrededor de niveles de tensión poco variables, razón por la cual carecen de exigencias diferentes a la de reducir el *clock feedthrough*, requiriendo la utilización de dimensiones mínimas. De igual forma son caracterizados los interruptores que conectan el capacitor unitario extra a $+V_{ref}$ durante la fase de muestreo para la generación del *offset* digital en la figura 4.12.

Debido a la utilización del *S&H* a la entrada del *ADC*, y a la función de retención en la salida de cada *MDAC*, las señales de entrada a las etapas siguientes en la cadena *pipeline* son niveles de tensión aproximadamente constantes durante el muestreo de su banco capacitivo. Como consecuencia, los interruptores que conectan los 2^n capacitores unitarios a la señal de entrada V_{in} en la figura 4.12, no tienen requerimientos más exigentes que los de transistores *NMOS* con dimensiones mínimas y la temporización adecuada. Finalmente, los restantes interruptores que están activos durante la fase de amplificación, deben ser dimensionados de tal forma que las constantes de tiempo resultantes de sus resistencias de encendido y el capacitor equivalente asociado, sean lo suficientemente pequeñas para no limitar la velocidad de establecimiento del amplificador durante ϕ_2 . Especial atención requiere el interruptor en serie con el capacitor $C_F = 2C_u$ en el lazo de realimentación en ϕ_2 , ya que su red *RC* equivalente es crítica para el ancho de banda del circuito total.

4.6.3. El amplificador

Debido a las condiciones de operación similares a las del *S&H*, el amplificador del bloque *MDAC* también es implementado mediante un *OTA*, hecho que es enfatizado en la figura 4.14 con la etiqueta G_m al interior de este elemento. Entonces, a continuación se analiza

el impacto de las no idealidades del *OTA* en el desempeño del circuito de la figura 4.12, y a partir de esto se especifican los parámetros mas relevantes del amplificador como núcleo del *MDAC*: A_0 , GBW , SR y PM . La ganancia DC y el GBW definen el error de ganancia de la tabla 4.6, mientras que el GBW y el SR controlan la velocidad de asentamiento del *MDAC*. Finalmente, el margen de fase es importante para garantizar la estabilidad del lazo de realimentación en el que se emplea el *OTA* [3].

Al comparar las parejas de expresiones (4.8)-(4.9) y (4.11)-(4.12) se aprecia un término de error, el cual es desarrollado en (4.15) para el peor caso. Este cálculo utiliza la aproximación de primer orden en la expansión por series de *Taylor* $1/(1+\xi) \simeq 1-\xi$, la cual es válida para valores de ξ pequeños, o para este caso particular, A_0 grandes [28]. A partir del resultado en (4.15), es evidente que para disminuir los errores de ganancia en el *MDAC* que afectan de igual manera la señal entrante y la salida del *DAC*, es necesario utilizar *OTAs* con A_0 lo suficientemente grande. De esta forma, teniendo en cuenta que $n = 4$ bits, la utilización de los requerimientos para e_G en cada etapa de acuerdo con la tabla 4.6, especifica las ganancias requeridas en los amplificadores: $A_{0,1} \geq 72$ dB, $A_{0,2} \geq 55$ dB y $A_{0,3} \geq 37$ dB.

$$e_G = 1 - \frac{1}{1 + \frac{1}{A_0\beta}} = 1 - \frac{1}{1 + \frac{2^n+1}{2A_0}} \simeq 1 - \left(1 - \frac{2^n+1}{2A_0}\right) \simeq \frac{2^n-1}{A_0} \quad (4.15)$$

Debido a que el *OTA* tiene un ancho de banda finito, su salida requiere una cantidad de tiempo finita para establecerse en su valor final. Si este establecimiento no se logra dentro de la precisión requerida por la etapa, el *MDAC* es fuente de errores de ganancia para la cadena *pipeline*. La distribución del tiempo de asentamiento entre sus componentes lineal y no lineal fue explicada con detalle en el capítulo 3.

Al final del tiempo de establecimiento (t_s) requerido por el *OTA* en la fase de amplificación, la salida del *MDAC* puede caracterizarse por la ecuación (4.16). Lo anterior es válido si se asume asentamiento lineal y que el diseño del amplificador permite describirlo como un sistema de un polo dominante [28,30]. Aún así, el término BW en (4.16) es el ancho de banda del *OTA*, el cual se relaciona con el GBW de acuerdo con la igualdad en (4.17), donde β es el factor de realimentación durante ϕ_2 en la figura 4.13, el cual es consignado en (4.18).

$$V_{out}(t_s) = V_{out} \cdot (1 - e^{-t_s \cdot BW}) \quad (4.16)$$

$$BW = \beta \cdot GBW \quad (4.17)$$

$$\beta = \frac{2C_u}{(2^n - 2)C_u + 2C_u + C_u} = \frac{2}{2^n + 1} \Big|_{n=4} = \frac{2}{17} \quad (4.18)$$

Con las ideas presentadas en las líneas anteriores y a partir de la ecuación (4.16), puede establecerse que el error relativo causado por el ancho de banda finito del *OTA* en el *MDAC* está determinado por la expresión (4.19). También es necesario tener en cuenta que las dos primeras etapas *pipeline* sólo operan bajo el estándar *GSM* con $f_s = 2,75$ MHz, mientras que la tercera etapa enfrenta un escenario más exigente cuando es utilizada bajo las condiciones de *Bluetooth*, operando a la mitad de la rata de muestreo total ($f_s/2 = 5,5$ MHz) por el uso de la arquitectura *time-interleaved*. Entonces, empleando los argumentos anteriores y combinando (4.19) con las condiciones de la tabla 4.6, se obtienen las siguientes especificaciones: $GBW_1 = 70$ MHz, $GBW_2 = 47$ MHz y $GBW_3 = 47$ MHz.

$$e_G = e^{-t_s \cdot BW} = e^{-\frac{2}{3} \frac{1}{2} \frac{1}{f_s} \cdot \beta \cdot GBW} \quad (4.19)$$

El *slew rate* limita la parte inicial del asentamiento de la salida, y su especificación se hace mediante la ecuación (4.20), donde $V_{step-max}$ es el gradiente en tensión más grande que

Especificación del <i>OTA</i>	Etapa 1	Etapa 2	Etapa 3
Ganancia <i>DC</i> , A_o (dB)	72	55	37
Frecuencia de ganancia unitaria, GBW (MHz)	70	47	47
<i>Slew rate</i> , SR (V/ μ s)	16,5		33
Margen de fase, PM ($^\circ$)	70		
Fuente de alimentación, V_{DD} (V)	3,3		
Consumo de potencia, $P_{OTA-S\&H}$	mínimo		

Tabla 4.7: Especificaciones de *OTAs* en las etapas *pipeline*.

se espera que deba seguir la salida del *OTA* en el *MDAC*. Para encontrar este último valor, la figura 4.6(b) permite visualizar que la salida del *MDAC* en cualquier par de periodos consecutivos nunca es sometida a transiciones de tensión superiores a $V_{FS}/2 = 1$ V, razón por la cual $V_{step-max} = 1$ V. Consecuentemente, a partir de las ideas anteriores y teniendo nuevamente en cuenta que las dos primeras etapas operan sólo a 2,75 MHz, mientras que la tercera es también utilizada a 5,5 MHz, se obtienen las siguientes especificaciones: $SR_{1,2} = 16,5$ V/ μ s y $SR_3 = 33$ V/ μ s.

$$SR = \frac{V_{step-max}}{t_{SR}} = \frac{V_{step-max}}{\frac{1}{3} \frac{1}{2} \frac{1}{f_s}} = 6 \cdot f_s \cdot V_{step-max} \quad (4.20)$$

Finalmente, para asegurar la estabilidad del lazo de realimentación en el cual se utilizan los *OTAs*, se especifica un margen de fase cercano a los 70° . Este valor resulta en un asentamiento más rápido de la salida del *OTA*, a partir del hecho de que no hay picos o sobrepasos en la respuesta transitoria a la excitación con un escalón de tensión [3, 32]. Sin embargo, es muy importante resaltar que en esta ocasión el margen de fase no debe ser verificado a la frecuencia de ganancia unitaria, sino a la frecuencia de ganancia de lazo cerrado, ya que los circuitos de las figuras 4.12 y 4.13 poseen un factor de realimentación diferente a 1 ($\beta = 2/17$). Para sintetizar, la tabla 4.7 presenta los requerimientos del *OTA* extraídos en las anteriores líneas.

Capítulo 5

OTAs y comparadores

Los resultados del procedimiento de extracción de especificaciones llevado a cabo en los capítulos anteriores, son utilizados ahora para el diseño de los dos circuitos más elementales del *ADC*: el amplificador operacional de transconductancia (*operational transconductance amplifier*, *OTA*) y el comparador. El primero de ellos hace parte de los bloques *S&H* a la entrada y los *MDACs* de las tres primeras etapas de la cadena *pipeline*. Por otro lado, los *sub-ADCs* con arquitectura *flash* en cada celda básica emplean comparadores para establecer, junto con las tensiones de referencia, sus umbrales y/o niveles de cuantización. Frecuentemente, este par de circuitos básicos constituyen el primer escenario donde el diseñador enfrenta directamente las limitaciones tecnológicas del proceso de fabricación utilizado, por ejemplo, cuando intenta incrementar la velocidad o reducir la disipación de potencia de los mismos.

En este capítulo se aborda también el diseño mediante el empleo de la programación geométrica (PG), herramienta *CAD* (*Computer-Aided Design*) que es aplicada en este trabajo para minimizar el consumo de potencia en estado estable de los *OTAs*. De igual manera, la PG permite la optimización del desempeño de los amplificadores de acuerdo a los requerimientos específicos de cada uno de los bloques constituyentes del *ADC* multiestándar. Entonces, el resultado de la anterior estrategia de diseño es un conversor analógico-digital que satisface los requerimientos de los estándares de comunicación inalámbrica bajo los que opera, y que además persigue las tendencias en el estado del arte por desarrollar circuitos integrados con bajos consumos de potencia, especialmente para aplicaciones portátiles.

5.1. Programación geométrica

La mayor parte del contenido de esta sección tiene su base en la experiencia del trabajo realizado en [36]. De esta forma, los resultados y conclusiones derivadas de esta referencia son adaptados y aplicados en el diseño de los *OTAs* que hacen parte del *ADC* multiestándar. A manera de un breve marco de referencia para ubicar al lector en lo referente a la programación geométrica, esta primera parte del capítulo presenta los conceptos fundamentales detrás del funcionamiento y utilidad de esta herramienta *CAD* para el diseño de circuitos analógicos. Sin embargo, es imperativo resaltar que una revisión con mayor grado de profundidad puede encontrarse en [36, 37].

La programación geométrica es un tipo de problema de optimización matemática, donde la función objetivo y las restricciones pertenecen a un conjunto de funciones que tienen una forma especial, y por tanto cumplen con algunas condiciones específicas. Un programa ge-

ométrico (PG) es por sí mismo, un problema complejo de optimización no lineal. La cualidad que hace especial a la programación geométrica, es que un PG puede ser convertido a través de cambios de variables y transformaciones de las funciones involucradas, en un problema convexo [36]. De esa forma se aprovechan las tres propiedades de la optimización convexa que la distinguen sobre los demás tipos de optimización matemática, estas son:

- Capacidad de encontrar el óptimo global de la función objetivo, siempre y cuando el problema sea factible.
- Muy alta velocidad de convergencia en la solución del problema, por medio de algoritmos de puntos interiores.
- Capacidad de distinguir sin posibilidad de error, si el problema no tiene solución factible.

A pesar de los beneficios mencionados anteriormente, la programación geométrica es muy restrictiva en cuanto a su formulación. Sólo un conjunto particular de funciones matemáticas pueden hacer parte de un programa geométrico, además dichas funciones deben cumplir ciertas condiciones especiales. A continuación se presentan los conceptos necesarios para la formulación de programas geométricos y su posterior solución.

5.1.1. Monomios y posinomios

Sean x_1, \dots, x_n n variables reales y positivas, y sea $x = (x_1, \dots, x_n)$ un vector con componentes x_i . Una función real $g(x)$ de la forma:

$$g(x) = cx_1^{a_1} x_2^{a_2} \dots x_n^{a_n} \quad (5.1)$$

donde $c \geq 0$ y a_i es cualquier número real, es llamada función monomio de las variables x_1, \dots, x_n . En el monomio, c es el coeficiente del monomio y los a_i se conocen como exponentes del monomio. Los monomios mantienen su forma bajo las operaciones de multiplicación y división entre monomios, además un monomio elevado a cualquier potencia sigue siendo un monomio.

Una función conformada por la suma de varios monomios, se conoce como un posinomio de las variables del problema. Entonces un posinomio tiene la forma:

$$f(x) = \sum_{k=1}^K c_k x_1^{a_{1k}} x_2^{a_{2k}} \dots x_n^{a_{nk}} \quad (5.2)$$

donde $c_k > 0$. El término posinomio sugiere una combinación entre positivo y polinomio. Cualquier monomio es también un posinomio. Los posinomios mantienen su forma bajo las operaciones de suma y multiplicación entre posinomios, también un posinomio multiplicado o dividido entre un monomio sigue siendo un posinomio. Un posinomio elevado a una potencia p entera positiva mantiene la forma posinomial, lo anterior tiene sentido desde el punto de vista que es el resultado de la multiplicación de p posinomios. Es muy importante tener en cuenta que sólo las operaciones antes mencionadas mantienen la forma posinomial, pues la programación geométrica es muy restrictiva en este sentido [36].

5.1.2. Forma estándar de un PG

Un programa geométrico es un problema de optimización de la forma:

$$\begin{array}{ll} \text{minimizar} & f_0(x) \\ \text{sujeto a} & f_i(x) \leq 1, \quad i = 1, \dots, m \\ & g_i(x) = 1, \quad i = 1, \dots, p \end{array} \quad (5.3)$$

donde se le llama a f_0 función objetivo, a f_i función en la restricción tipo desigualdad y a g_i función en la restricción tipo igualdad. En un programa geométrico de la forma (5.3), las funciones f_0, \dots, f_m son posinomios, las funciones g_1, \dots, g_p son monomios y $x = (x_1, \dots, x_n)$ son las variables de optimización, con los x_i restringidos a ser variables reales y positivas ($x_i > 0$), teniendo que el dominio del problema son los reales positivos. Es importante recalcar que en un PG en forma estándar, las restricciones de tipo igualdad sólo pueden ser monomios, y las restricciones de tipo desigualdad pueden ser posinomios o monomios.

Aunque los PGs parecen ser muy restrictivos en cuanto al tipo de funciones soportadas, existen algunas técnicas con el fin de tratar de formular problemas en la forma estándar. Si $f(x)$ es un posinomio y $g(x)$ es un monomio, $f(x) \leq g(x)$ se puede escribir como $f/g \leq 1$ incluido el caso en que g sea una constante positiva (f/g es un posinomio). De la misma forma si $g_1(x)$ y $g_2(x)$ son monomios, entonces $g_1 = g_2$ se escribe como $g_1/g_2 = 1$ (g_1/g_2 es un monomio) [36].

5.1.3. Solución del programa geométrico

La solución de un PG se basa en algoritmos muy eficientes, diseñados para optimización convexa. En la actualidad existen diferentes empresas y centros de investigación y desarrollo, los cuales ponen a disposición *software* que puede ser útil para resolver problemas de programación geométrica. El proceso de transformación de un PG a un problema convexo es una tarea tediosa, sin embargo el *software* existente para programación geométrica realiza ese proceso internamente. De esta manera, la entrada de datos al optimizador se hace directamente desde el PG en forma estándar y no son necesarios los pasos de transformación de variables y funciones [36].

Se puede encontrar *software* con diferentes características, desde aquellos con valor comercial, hasta otros gratuitos para proyectos con fines no comerciales. También se puede encontrar *software* exclusivo para programación geométrica o algoritmos que hacen parte de paquetes de programas para optimización matemática. En este proyecto se usó *MOSEK*, cuya selección se hizo en base a la experiencia de los autores en [36].

MOSEK es un paquete de *software* para optimización que incluye soporte para programación lineal y varios tipos de problemas de optimización convexa no lineal (incluyendo PG). La página web de *MOSEK* para descargas, soporte e información es <http://www.mosek.com>. En este trabajo se utilizó una licencia completa del producto, la cual fué otorgada gratuitamente por tiempo limitado tras previa solicitud directa a *MOSEK*.

5.1.4. Modelado de transistores y estrategia de diseño con PG

La fiabilidad del diseño de un circuito integrado analógico depende en gran parte de la calidad del modelo usado para describir el comportamiento físico de los dispositivos que lo conforman. El modelado de dispositivos activos integrados es un campo importante de investigación necesario para el desarrollo de la industria de los semiconductores. En la literatura

se encuentran variedad de modelos, algunos muy simples que son usados sólo como aproximación, como el modelo cuadrático o modelo de nivel 1, y otros más complejos y exactos, como el modelo *BSIM3v3* nivel 49, que sólo puede ser usado a través de simuladores robustos como *Hspice*.

La formulación matemática del diseño vía programación geométrica, implica representar todo el funcionamiento de un circuito por medio de expresiones matemáticas simbólicas. Dichas expresiones dependen de las funciones matemáticas o modelos usados para describir el comportamiento del transistor. Por esta razón, aplicar programación geométrica al diseño de CIs, requiere que los modelos del transistor usados conduzcan a expresiones matemáticas que puedan ser implementadas en un PG [36].

Para satisfacer la necesidad planteada en el párrafo anterior, se generan datos con los modelos de nivel 49 en *Hspice*, y luego se aplican técnicas de ajuste de datos para funciones n -dimensionales. Algunos de estos ajustes pueden hacerse con expresiones de forma monomio, de tipo posinomial o con funciones convexas-*pwl* (*piece-wise linear*). Es importante resaltar que este trabajo sólo requiere modelos para representar transistores operando en la región de saturación, sin embargo los mismos procedimientos se pueden aplicar para generar modelos para transistores que operen en la región de triodo, en caso de que estos sean necesarios.

Debido a que los resultados finales de las variables de diseño dependen de las especificaciones, es difícil prever posibles regiones de modelado. Por lo tanto, es necesario usar inicialmente modelos que cubran regiones amplias¹ para las variables de diseño. Sin embargo, a medida que crece el espacio de modelado, aumenta el error del modelo. Entonces, para incrementar la exactitud del diseño se usan los primeros resultados para determinar regiones de modelado más pequeñas, que permitan obtener modelos con menor error. Se diseña nuevamente con estos modelos mejorados y se verifican los resultados, logrando una mayor coincidencia entre el diseño vía programación geométrica y los resultados del simulador [36]. En resumen, la estrategia² para obtener diseños óptimos usando PG puede resumirse en los siguientes pasos:

1. Formulación matemática del circuito en la forma estándar de un PG.
2. Identificación y modelado de los parámetros del transistor que sean necesarios.
3. Construcción del archivo de optimización teniendo como entradas los modelos y las especificaciones de diseño.
4. Verificación de resultados usando algún simulador como *Hspice*.
5. Identificación de las nuevas regiones de modelado a partir de la solución del PG y retorno al punto 2.

Los resultados que se presentan en este capítulo se obtienen mediante la aplicación de una herramienta de diseño desarrollada como parte de este proyecto. Dicha herramienta consiste en un paquete de funciones hechas para *Octave*³, y requiere algunos comandos *UNIX* y llamadas desde línea de comandos a *MOSEK* para realizar las optimizaciones, así como también a *Hspice* para simular y verificar los resultados del diseño. Además, se implementaron varias

¹La definición de “regiones amplias” es relativa a la experiencia previa que tiene el diseñador sobre el comportamiento del circuito.

²La estrategia planteada requiere ciertas modificaciones, con el fin de vincular incompatibilidades en lo referente a la formulación del PG.

³*Octave* es un *software* con licencia *GNU (General Public License)* de características similares a *MATLAB*.

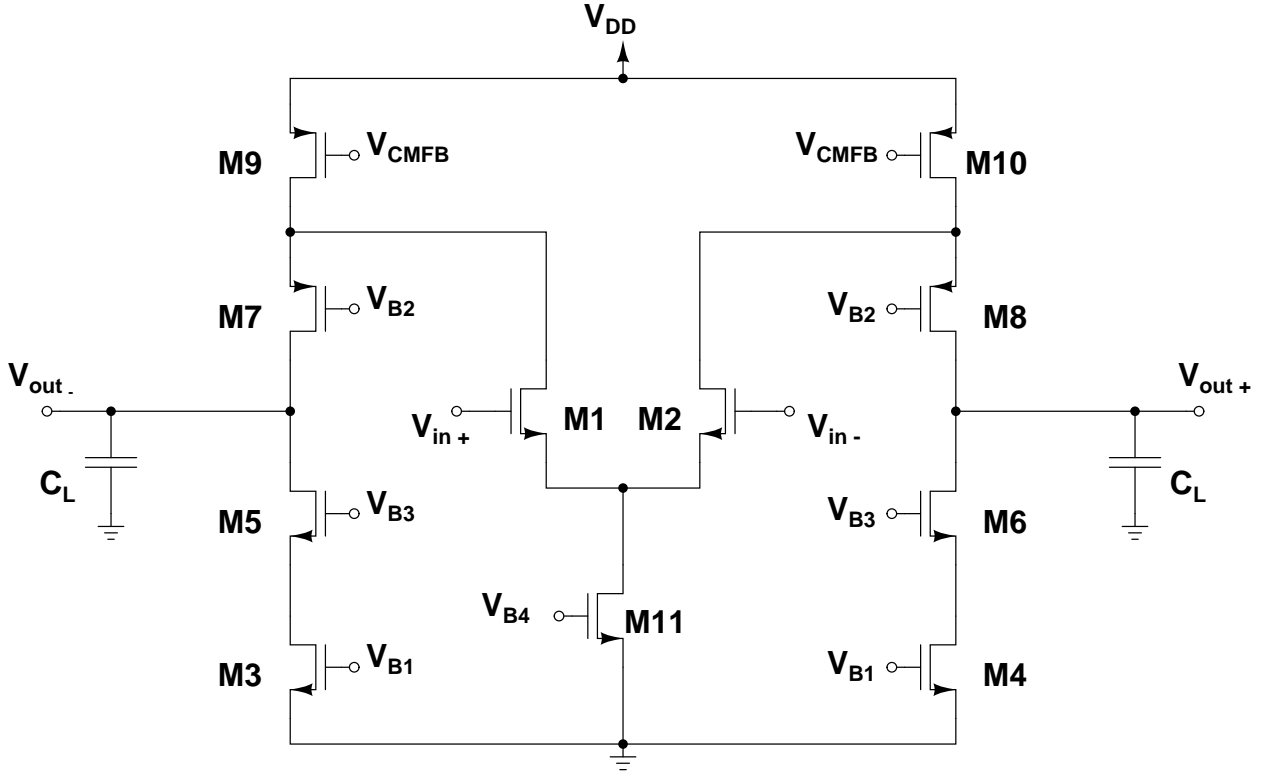


Figura 5.1: La arquitectura del *OTA* cascodeo doblado.

funciones que permiten realizar automáticamente los modelos a partir de la especificación de regiones de modelado.

5.2. Diseño de *OTAs* usando programación geométrica

La determinación de las especificaciones para los amplificadores desarrollada en capítulos anteriores, establece una tendencia similar entre los niveles de desempeño requeridos de estos circuitos básicos. Así, es evidente que para cumplir con los requerimientos de precisión y velocidad de las diferentes etapas en el *ADC*, se necesitan amplificadores con valores significativos de ganancia, *GBW* y *SR*, simultáneamente. Además, debe resaltarse la naturaleza puramente capacitiva de las cargas que deben manejar estos circuitos. La forma más directa y comúnmente utilizada de conseguir estas características, es mediante la implementación de amplificadores de una sola etapa u *OTAs*, como las configuraciones telescópica y cascodeo doblado [30, 32].

En este trabajo se ha seleccionado la topología de cascodeo doblado, ilustrada en la figura 5.1, la cual es utilizada tanto para el bloque *S&H* como para los *MDACs* en las celdas *pipeline*. La preferencia hacia esta configuración está basada en sus rangos dinámicos más amplios en comparación con el *OTA* telescópico, tanto para la entrada (DR_{IN}) como para la salida (DR_{OUT}) en modo común. Estos rangos de excursión son críticos para esta aplicación debido a la presencia de señales diferenciales con amplitudes del orden de $V_{FS}/2 = 1V$, especialmente en el *S&H* a la entrada del convertor. A pesar de lo anterior, la respuesta en frecuencia del *OTA* cascodeo doblado es inferior a la del telescópico, pero superior a la de los *opamps* de dos etapas. De igual manera, el consumo de potencia de la arquitectura seleccionada es superior

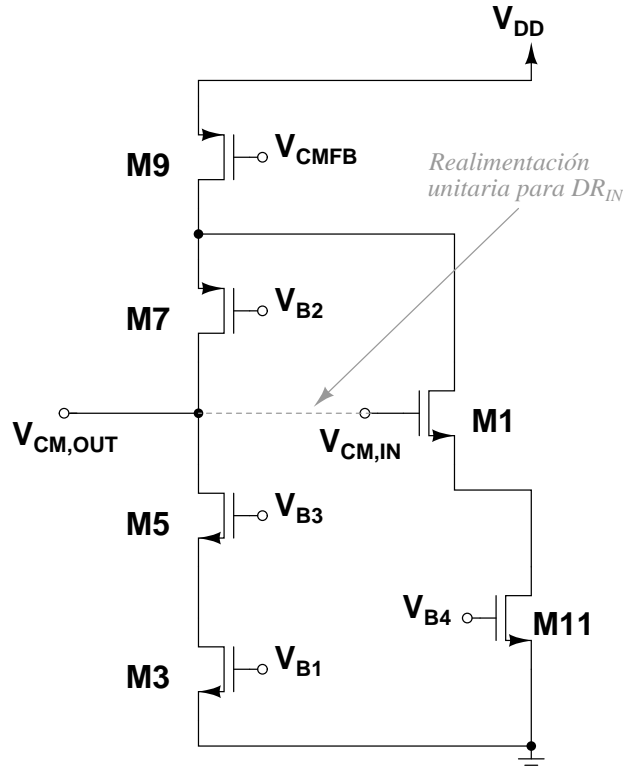


Figura 5.2: Medio circuito en modo común del *OTA* cascode doblado.

a la del telescópico, ya que requiere una corriente adicional para polarizar los transistores cascode [28, 30].

Como se puede apreciar en la figura 5.1, el *OTA* cascode doblado tiene dos ramas diferenciales, conectadas entre sí a través del dreno de los transistores $M9$, $M10$. Una de las ramas incluye los transistores $M1$, $M2$ que forman el par diferencial a la entrada del circuito, polarizado por la fuente de corriente $M11$. La otra comprende los transistores cascode $M5$, $M6$ y $M7$, $M8$, junto con $M3$, $M4$, los cuales determinan conjuntamente la alta resistencia de salida de esta configuración. Por otro lado, la compuerta de los transistores $M9$, $M10$ constituye la entrada del lazo de realimentación en modo común (*Common Mode Feedback*, *CMFB*), bloque estrictamente necesario para controlar la salida de modo común ($V_{CM,OUT}$) en topologías completamente diferenciales como la de la figura 5.1. Finalmente, una importante ventaja de esta configuración es que el mismo capacitor de carga C_L efectúa la función de compensación, manteniendo estable el circuito cuando es utilizado en un lazo de realimentación [28].

Como se va a diseñar un circuito diferencial simétrico idealmente balanceado, esto implica que los siguientes pares de transistores en la figura 5.1 son iguales: $M1 \rightleftharpoons M2$, $M3 \rightleftharpoons M4$, $M5 \rightleftharpoons M6$, $M7 \rightleftharpoons M8$ y $M9 \rightleftharpoons M10$. La igualdad de estos transistores es equivalente a que sus variables tanto eléctricas como geométricas son idénticas, razón por la cual en gran parte del siguiente análisis sólo se tienen en cuenta las variables y nomenclatura relacionadas con los dispositivos $M1$, $M3$, $M5$, $M7$, $M9$, y adicionalmente $M11$. Lo anterior significa entonces que el medio circuito en modo común que se utiliza para la formulación matemática del *OTA* cascode doblado es el ilustrado en la figura 5.2.

El primer paso de la estrategia es formular la operación del *OTA* en forma compatible con la programación geométrica. Para llevar a cabo dicha formulación, se deben tener en cuenta

las siguientes consideraciones:

- Se ignora el efecto cuerpo de $M7$, $M8$ por tratarse de transistores *PMOS*, para los cuales se puede conseguir que $v_{bs} = 0V$ mediante la construcción de pozos N aislados, los cuales son conectados a la difusión de la fuente de estos dispositivos.
- Inicialmente se omite el circuito de *CMFB*, razón por la cual es necesario ajustar manualmente el nivel de modo común a la salida ($V_{CM,OUT}$) mediante la tensión V_{CMFB} para verificar los resultados del diseño con PG en el simulador *Hspice*.
- Las variables y constantes involucradas en los siguientes análisis son evaluadas en magnitud, razón por la cual los transistores *NMOS* y *PMOS* son indistinguibles desde este punto de vista.
- Se ignora el efecto cuerpo de $M1$, $M2$ a partir de que su $v_s \simeq 0V$ en pequeña señal, debido a que se trata de un par diferencial idealmente balanceado. Entonces, $v_{sb} \simeq 0V$ suponiendo el sustrato de $M1$, $M2$ conectado a la fuente de tensión más baja del circuito ($0V$, en este caso).
- La conexión entre la entrada y la salida del medio circuito en la figura 5.2 sólo es tenida en cuenta para identificar el peor caso en el cálculo de DR_{IN} , debido a que la medida de esta especificación es llevada a cabo con el *OTA* en realimentación unitaria.

5.2.1. Polarización, condiciones de operación y geometría.

Leyes de *Kirchhoff*

Las ecuaciones (5.4), (5.5), (5.6), (5.7), (5.8) y (5.9) determinan la distribución de tensiones y corrientes *DC* en el circuito de la figura 5.2. Dichas expresiones son muy importantes, pero a excepción de (5.9), todas las demás son posinomios tipo igualdad y no satisfacen los requerimientos de un PG. Es necesario entonces buscar alternativas que permitan aproximar el comportamiento del circuito de manera tal que éste pueda ser manejado en un programa geométrico. Más adelante se presentan las modificaciones necesarias sobre la estrategia de diseño con PG, las cuales permiten superar estas incompatibilidades.

$$V_{DD} = V_{DS9} + V_{DS7} + V_{DS5} + V_{DS3} = V_{DS9} + V_{DS7} + V_{CM,OUT} \quad (5.4)$$

$$V_{DD} = V_{DS9} + V_{DS1} + V_{DS11} \quad (5.5)$$

$$V_{CM,IN} = V_{G1} = V_{GS1} + V_{DS11} \quad (5.6)$$

$$V_{CM,OUT} = V_{DS5} + V_{DS3} \quad (5.7)$$

$$I_{M9} = I_{M1} + I_{M7} \quad (5.8)$$

$$I_{M11} = 2 \cdot I_{M1} \quad (5.9)$$

En las anteriores ecuaciones, V_{DS} y V_{GS} representan las tensiones entre los terminales drenos y fuente, y compuerta y fuente de los transistores, respectivamente. Asimismo, I_M representa la corriente circulando a través de un dispositivo y V_{DD} es la fuente de alimentación general del *OTA*, la cual es la misma que la del *ADC* completo. Finalmente, $V_{CM,IN}$ y $V_{CM,OUT}$ hacen referencia a las tensiones en modo común a la entrada y salida, respectivamente.

Potencia en estado estable

La potencia consumida por el circuito es el parámetro a optimizar, y está dada por la ecuación (5.10), que claramente es un monomio de una variable para el PG. Debe resaltarse que esta expresión cuantifica la potencia total del *OTA* cascado doblado, y no sólo la disipada por el medio circuito de la figura 5.2. Por esta razón aparece el factor 2 en la ecuación (5.10).

$$P = 2 \cdot V_{DD} \cdot I_{M9} \quad (5.10)$$

Transistores activos y saturados

El siguiente conjunto de restricciones debe cumplirse para que cada uno de los dispositivos en la figura 5.2 esté encendido. Como parte de esas expresiones, Δ simboliza un margen de tensión adicional para evitar que los transistores operen muy cerca de la región de corte. Por otro lado, V_T representa la tensión de umbral de los transistores.

$$\begin{aligned} V_{GS1} &\geq V_{TN1} + \Delta \\ V_{GS3} &\geq V_{TN3} + \Delta \\ V_{GS5} &\geq V_{TN5} + \Delta \\ V_{GS7} &\geq V_{TP7} + \Delta \\ V_{GS9} &\geq V_{TP9} + \Delta \\ V_{GS11} &\geq V_{TN11} + \Delta \end{aligned}$$

Continuando con la formulación matemática del *OTA*, las siguientes restricciones son necesarias para garantizar que los transistores operen en la región de saturación. Esta vez el margen de diseño Δ previene la operación de los dispositivos muy cerca del borde de triodo.

$$\begin{aligned} V_{DS1} &\geq V_{GS1} - V_{TN1} + \Delta & V_{DS7} &\geq V_{GS7} - V_{TP7} + \Delta \\ V_{DS3} &\geq V_{GS3} - V_{TN3} + \Delta & V_{DS9} &\geq V_{GS9} - V_{TP9} + \Delta \\ V_{DS5} &\geq V_{GS5} - V_{TN5} + \Delta & V_{DS11} &\geq V_{GS11} - V_{TN11} + \Delta \end{aligned}$$

Rangos dinámicos

En (5.11) se presenta el cálculo del rango dinámico a la entrada conectando el *OTA* en realimentación unitaria, tal y como se muestra en la figura 5.2. Es importante recordar que esta especificación es crítica para el *S&H*, ya que este bloque debe ser capaz de manejar la excursión total esperada a la entrada del *ADC*, es decir $V_{FS} = 2V_{pp}$. Las tensiones marcadas como V_{OV} (*OVERDRIVE*) representan los V_{DS} mínimos de los transistores, es decir, en el borde entre saturación y triodo.

$$\begin{aligned} V_{CM,INmax} &= V_{DD} - V_{OV9} - V_{OV7} & \therefore & & V_{CM,INmin} &= V_{GS1} + V_{OV11} \\ \implies DR_{IN} &\leq V_{CM,INmax} - V_{CM,INmin} = V_{DD} - V_{OV9} - V_{OV7} - V_{GS1} - V_{OV11} & (5.11) \\ \implies DR_{IN} &\leq V_{DD} - V_{GS1} - V_{GS7} - V_{GS9} - V_{GS11} + V_{TP7} + V_{TP9} + V_{TN11} \end{aligned}$$

El rango dinámico a la salida en lazo abierto es restringido de acuerdo a las expresiones en (5.12). La excursión de salida está definida como el rango en el que puede oscilar la señal de salida sin que ningún transistor salga de saturación. En el *OTA* cascado doblado, DR_{OUT} es determinado por las tensiones V_{DS} mínimas de los transistores $M3 \rightleftharpoons M4$, $M5 \rightleftharpoons M6$,

$M7 \Rightarrow M8$ y $M9 \Rightarrow M10$. Para aprovechar el rango dinámico a la salida del circuito, se busca que en polarización $V_{CM,OUT} = V_{DD}/2$.

$$\begin{aligned} V_{CM,OUTmax} &= V_{DD} - V_{OV9} - V_{OV7} & \therefore & \quad V_{CM,OUTmin} = V_{OV5} + V_{OV3} \\ \Rightarrow DR_{OUT} &\leq V_{CM,OUTmax} - V_{CM,OUTmin} = V_{DD} - V_{OV9} - V_{OV7} - V_{OV5} - V_{OV3} & (5.12) \\ \Rightarrow DR_{OUT} &\leq V_{DD} - V_{GS3} - V_{GS5} - V_{GS7} - V_{GS9} + V_{TN3} + V_{TN5} + V_{TP7} + V_{TP9} \end{aligned}$$

Cota inferior para la corriente

En el intento por minimizar la función objetivo, correspondiente a (5.10), la corriente I_{M9} se ajusta a su mínimo permitido. Si no existe un límite inferior para esta corriente, el programa geométrico no tiene solución, pues el optimizador trata de llevar I_{M9} a su menor valor posible y nunca encuentra un mínimo para la función objetivo. Este caso es común en la solución de PGs, razón por la cual siempre es recomendable imponer límites a las variables de diseño [36], tal y como se hace en (5.13).

$$I_{M9} \geq I_{MIN} \quad (5.13)$$

Dimensiones de los transistores

De acuerdo a la tecnología de fabricación, se tienen las dimensiones mínimas de los transistores. En el caso de este trabajo, se emplea *AMS* $0,35 \mu\text{m}$ y sus límites inferiores son plasmados en el siguiente grupo de restricciones. Asimismo, se proponen cotas superiores sobre las dimensiones geométricas de los dispositivos, intentando controlar el crecimiento en área del *OTA*, y en consecuencia, del *ADC* completo.

$$\begin{array}{llll} L_{MIN} \leq L_1 & L_1 \leq L_{MAX} & W_{MIN} \leq W_1 & W_1 \leq W_{MAX} \\ L_{MIN} \leq L_3 & L_3 \leq L_{MAX} & W_{MIN} \leq W_3 & W_3 \leq W_{MAX} \\ L_{MIN} \leq L_5 & L_5 \leq L_{MAX} & W_{MIN} \leq W_5 & W_5 \leq W_{MAX} \\ L_{MIN} \leq L_7 & L_7 \leq L_{MAX} & W_{MIN} \leq W_7 & W_7 \leq W_{MAX} \\ L_{MIN} \leq L_9 & L_9 \leq L_{MAX} & W_{MIN} \leq W_9 & W_9 \leq W_{MAX} \\ L_{MIN} \leq L_{11} & L_{11} \leq L_{MAX} & W_{MIN} \leq W_{11} & W_{11} \leq W_{MAX} \end{array}$$

En las anteriores expresiones, las variables L y W representan la longitud de canal y el ancho de los transistores, respectivamente. Es necesario resaltar que la continuidad de este par de variables geométricas está comprometida por la tecnología de fabricación utilizada. En el caso de *AMS* $0,35 \mu\text{m}$, se tiene una grilla mínima de $0,05 \mu\text{m}$ en las dimensiones de los elementos.

Relaciones geométricas adicionales en los cascodos

Un par de restricciones extras son incluídas en la operación del *OTA*, las cuales son expresadas en las ecuaciones (5.14) y (5.15), donde ϑ es una constante. La primera de ellas tiene como objetivo facilitar la realización del *layout* simétrico y libre de *mismatch* para los transistores $M3$, $M4$ y $M5$, $M6$. De otro lado, la condición (5.15) intenta disminuir V_{DS7} y W_7 , para mejorar el rango dinámico a la salida y la respuesta en frecuencia del *OTA*, respectivamente.

$$W_3 = W_5 \quad (5.14)$$

$$L_7 \geq \vartheta \cdot L_3 \quad (5.15)$$

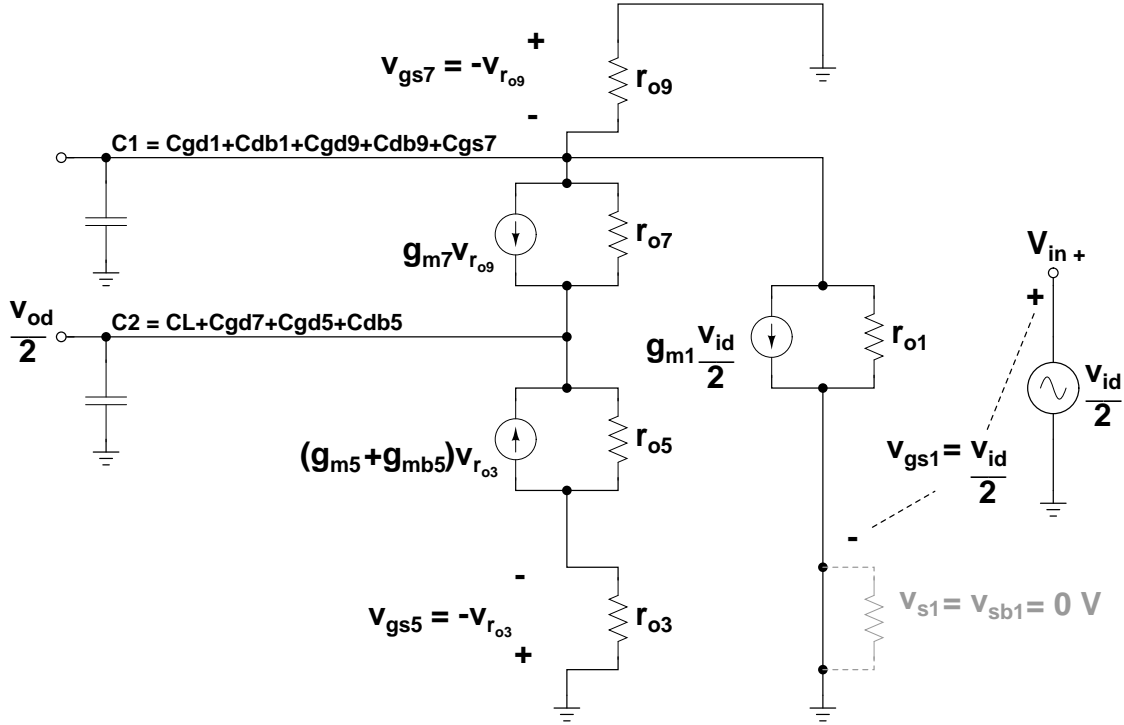


Figura 5.3: Medio circuito diferencial en pequeña señal del *OTA* cascode doblado.

5.2.2. Parámetros de desempeño.

La figura 5.3 es utilizada como guía para la extracción de las especificaciones de desempeño del *OTA* cascode doblado. En la citada figura, así como también en las ecuaciones que se presentan de aquí en adelante, los símbolos g_m , g_{mb} , r_o representan la transconductancia desde la compuerta del transistor, la transconductancia desde el sustrato (cuerpo) o segunda compuerta, y la resistencia de salida en pequeña señal del dispositivo, respectivamente. Esta última es utilizada más frecuentemente como su inverso, $g_{ds} = 1/r_o$. Debe resaltarse que en este trabajo se hace énfasis en aquellos parámetros que son de especial relevancia para la aplicación bajo análisis, la cual involucra circuitos de capacitores conmutados (*SC*).

Adicionalmente, los elementos C_{gs} , C_{gd} , C_{db} en la figura 5.3 hacen referencia a las capacitancias parásitas del transistor entre sus terminales compuerta y fuente, compuerta y drenó, y drenó y cuerpo (sustrato), respectivamente. Las expresiones (5.16), (5.17) y (5.18) presentan la dependencia de estas capacitancias con respecto a las dimensiones geométricas de los transistores, así como también de otras constantes propias de la tecnología del proceso de fabricación (*AMS* 0,35 μm). Estas últimas constantes están representadas por los términos C_{ox} , C_{GSDL} , C_J , P_B , M_J , C_{JSW} , M_{JSW} , mientras que V es la tensión en *DC* entre los terminales del transistor en los que aparece la respectiva capacitancia parásita.

$$C_{gs} = \frac{2}{3}WLC_{ox} + C_{ol} = \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox} = \frac{2}{3}WLC_{ox} + C_{GSDL}W \quad (5.16)$$

$$C_{gd} = C_{ol} = WL_{ov}C_{ox} = C_{GSDL}W \quad (5.17)$$

$$C_{db}, C_{sb} = \frac{C_J}{(1 + \frac{V}{P_B})^{M_J}} \cdot WL + \frac{2 \cdot C_{JSW}}{(1 + \frac{V}{P_B})^{M_{JSW}}} \cdot (W + L) \quad (5.18)$$

Ganancia

La ganancia en lazo abierto del *OTA* cascado doblado está dada por la expresión (5.19). Sin embargo, para llevarla a una forma compatible con un PG, esta expresión es transformada en (5.20). Además, se puede apreciar que una restricción del estilo $|A_{Vd}| \geq A_{Vdmin}$ puede ser implementada como parte de un programa geométrico.

$$|A_{Vd}| = g_{m1}R_{out} = g_{m1} \left[((g_{m5} + g_{mb5})r_{o3}r_{o5}) \parallel (g_{m7}r_{o7}(r_{o1} \parallel r_{o9})) \right] \geq |A_{Vdmin}| \quad (5.19)$$

$$|A_{Vd}| = \frac{g_{m1}}{(g_{m5} + g_{mb5})^{-1}g_{ds3}g_{ds5} + g_{m7}^{-1}g_{ds7}(g_{ds1} + g_{ds9})} \geq |A_{Vdmin}| \quad (5.20)$$

Función de transferencia

Si se asumen dos polos relacionados con los capacitores C_1 y C_2 en la figura 5.3, y lo suficientemente separados, la respuesta en frecuencia del *OTA* cascado doblado puede ser aproximada como la de un circuito de dos polos. Entonces, su función de transferencia es la que se muestra en (5.21), donde ρ_1 y ρ_2 son los polos, con sus respectivas ecuaciones en (5.22) y (5.23).

$$|H(s)| \simeq \frac{|A_{Vd}|}{\left(1 + \frac{s}{\rho_1}\right) \left(1 + \frac{s}{\rho_2}\right)} \quad (5.21)$$

$$\rho_1 = \frac{g_{m1}}{|A_{Vd}|C_2} \quad (5.22)$$

$$\rho_2 = \frac{g_{m7}}{C_1} \quad (5.23)$$

Frecuencia de ganancia unitaria (*GBW*)

Se supone que el polo de orden superior no dominante (ρ_2) del circuito está por encima de la frecuencia de ganancia unitaria. De esta forma, ω_0 está dada sólo por el efecto del polo dominante ρ_1 . Entonces, después del diseño con PG se debe verificar que efectivamente $\rho_1 \ll \rho_2$. La ecuación (5.24) muestra que una restricción del estilo $\omega_0 \geq \omega_{0min}$ puede ser introducida dentro del PG.

$$\omega_0 = \rho_1 \Big|_{|A_{Vd}|=1} = \frac{g_{m1}}{C_2} = \frac{g_{m1}}{C_L + C_{gd7} + C_{gd5} + C_{db5}} \geq \omega_{0min} \quad (5.24)$$

Margen de fase

La especificación de margen de fase debe garantizar que el segundo polo ρ_2 esté lo suficientemente lejos de ω_0 para que ρ_1 domine la respuesta en frecuencia del *OTA*. Adicionalmente, este es un parámetro muy importante en cuanto a la estabilidad del circuito cuando el *OTA* se encuentra en un lazo de realimentación. El margen de fase para el amplificador es cuantificado en la ecuación (5.25), donde ρ_i es el polo i .

$$PM = \pi - \angle H(j\omega_0) = \pi - \sum_{i=1}^2 \arctan \left(\frac{\omega_0}{\rho_i} \right) \quad (5.25)$$

Se puede apreciar que (5.25) no tiene forma posinomial, razón por la cual para poder expresar este parámetro de desempeño en el PG, la ecuación debe ser simplificada y/o aproximada. Para conseguir lo anterior, se aprovecha que el primer polo aporta aproximadamente 90° ($\pi/2$) de fase en la frecuencia de ganancia unitaria. Esto es cierto para amplificadores con ganancia de lazo abierto mayor a 20 dB, y cuyos polos de orden superior estén por encima de ω_0 . En el diseño de amplificadores operacionales es común encontrar márgenes de fase alrededor de los 60° , con lo cual se garantiza que el OTA se comporta como un circuito de un polo dominante.

A partir de lo expuesto en el párrafo anterior, suponiendo que se desea un margen de fase superior a los 60° y que el polo dominante aporta 90° en ω_0 , la fase total que deben aportar los otros polos de orden superior debe ser inferior a los 30° . Como resultado, es posible usar la aproximación $\arctan(x) \simeq x$, la cual se ajusta bien para ángulos menores a 30° [36]. Desde esta perspectiva, una expresión para el margen de fase compatible con el PG puede ser planteada, tal y como se hace en (5.26), donde PM_{min} es una constante.

$$\begin{aligned}
 PM &= \pi - \sum_{i=1}^2 \arctan\left(\frac{\omega_0}{\rho_i}\right) \geq PM_{min} \\
 \implies \pi - \arctan\left(\frac{\omega_0}{\rho_1}\right) - \arctan\left(\frac{\omega_0}{\rho_2}\right) &\geq PM_{min} \\
 \text{Aplicando las aproximaciones } \dots & \\
 \implies \pi - \frac{\pi}{2} - \frac{\omega_0}{\rho_2} &\geq PM_{min} \\
 \implies \frac{\pi}{2} - PM_{min} &\geq \frac{\omega_0}{\rho_2} \\
 \implies \frac{\pi}{2} - PM_{min} &\geq \frac{g_{m1} C_1}{C_2 g_{m7}}
 \end{aligned} \tag{5.26}$$

Si se revisa cuidadosamente el resultado de (5.26), puede notarse que cuando esta expresión sea llevada al formato estándar de las restricciones en desigualdad en el PG, $f_i(x) \leq 1$, la misma no tendrá forma posinomial, ya que C_2 es un posinomio de algunas variables de diseño. Con el fin de poder incluir esta restricción dentro de la formulación del programa geométrico, se utiliza entonces la aproximación $C_2 \simeq C_L$. Finalmente, se formula la restricción del margen de fase en (5.27).

$$\frac{\pi}{2} - PM_{min} \geq \frac{g_{m1} C_{gd1} + C_{db1} + C_{gd9} + C_{db9} + C_{gs7}}{C_L g_{m7}} \tag{5.27}$$

Slew Rate

Este parámetro de suprema importancia para el tiempo de establecimiento del OTA, se puede formular tal y como se aprecia en la ecuación (5.28). El *slew rate* está muy comprometido con ω_0 , de tal forma que no es posible incrementar cada uno de estos parámetros independientemente. Como consecuencia, es común que una mayor especificación de *SR* obligue también a un mayor *GBW* en el circuito [28]. Adicionalmente, para garantizar un efecto de *slewing* simétrico, la corriente de la rama de salida (I_{M7}) se hace usualmente igual a la de los transistores de entrada (I_{M1}) [28, 30].

$$SR = \frac{I_{M11}}{C_2} = \frac{I_{M11}}{C_L + C_{gd7} + C_{gd5} + C_{db5}} \geq SR_{min} \tag{5.28}$$

5.2.3. Estrategia de diseño y modificaciones.

Tal y como se aprecia a lo largo de las líneas anteriores, la formulación matemática del problema de diseño se puede clasificar en dos partes: la descripción de las consideraciones de operación, polarización y geométricas, y la caracterización de los parámetros de desempeño. Generalmente los parámetros de desempeño están en función de parámetros del transistor, y las consideraciones de operación, polarización y geométricas en función de variables eléctricas o geométricas de los dispositivos. A partir de estas últimas se seleccionan las variables de diseño del circuito [36].

Siguiendo la estrategia de diseño planteada en la sección anterior, a partir de las expresiones obtenidas en la formulación matemática de los parámetros de desempeño se procede a generar los modelos de los parámetros del transistor necesarios. La selección del ajuste de datos con funciones tipo monomio para los V_{GS} , tal y como aparece en las expresiones (5.29) y (5.30), está basada en la experiencia de los autores de [36], donde se reportan errores menores con este sencillo modelo. Otra razón es la participación de términos como V_{GS}^{-1} en algunas condiciones de operación, lo cual obliga a que V_{GS} tenga forma monomial.

$$V_{GS,modN} = f(I_M, V_{DS}, W, L) = K_N \cdot I_M^{AN} \cdot V_{DS}^{BN} \cdot W^{CN} \cdot L^{DN} \quad (5.29)$$

$$V_{GS,modP} = f(I_M, V_{DS}, W, L) = K_{PX} \cdot I_M^{AP} \cdot V_{DS}^{BP} \cdot W^{CP} \cdot L^{DP} \quad (5.30)$$

De manera similar, si se analizan las expresiones (5.20), (5.24) y (5.27), se puede notar que cuando éstas sean llevadas al formato estándar del PG, aparecerán términos del estilo g_m^{-1} y g_{ds} . En [36] se comprueba que estos parámetros se ajustan igualmente bien a modelos posinomiales o con funciones convexas-*pwl*. Sin embargo, la principal razón para escoger el tipo de modelado *pwl* es la disponibilidad del *software*. Mientras los modelos *pwl* pueden ser obtenidos en algunos programas típicos como *MATLAB* y *Octave*, los modelos posinomiales requieren el uso de algoritmos para programación no lineal difíciles de conseguir [36].

Finalmente, la revisión de (5.27) deja al descubierto la presencia de un término g_{m1} en la restricción en desigualdad para el margen de fase. Debido a que g_{m1}^{-1} ha sido modelado anteriormente con funciones convexas-*pwl*, este mismo ajuste no puede aplicarse para g_{m1} , ya que el inverso de un posinomio no es un posinomio. Entonces, es necesario generar un modelo monomial adicional como el mostrado en (5.31) para g_{m1} , y verificar que los parámetros obtenidos mediante dos ajustes diferentes, coincidan al final en valores similares.

$$g_{m1,modN} = f(I_{M1}, V_{DS1}, W_1, L_1) = K_{N1g} \cdot I_{M1}^{AN1g} \cdot V_{DS1}^{BN1g} \cdot W_1^{CN1g} \cdot L_1^{DN1g} \quad (5.31)$$

Con lo anterior se completa la primera y segunda etapa del proceso de diseño, mientras que la tercera etapa comprende la implementación del programa geométrico. Debido a que el formato de las leyes de *Kirchhoff* no es compatible con la forma estándar de formulación de las expresiones que pueden hacer parte de un PG, se hace necesario involucrar de una manera indirecta las relaciones planteadas en las ecuaciones (5.4), (5.5), (5.6), (5.7), y (5.8). Una manera de lograr lo anterior es decidir que las tensiones V_{DS} sean constantes, pero cumpliendo con las leyes de *Kirchhoff*. Y para manejar la ecuación (5.8), una alternativa puede ser fijar el valor de las variables I_{M1} e I_{M7} , pero como se intenta que el número de variables fijadas sea el menor posible, se asume que I_{M9} es α veces I_{M7} . Con esto se introduce la nueva variable de diseño α y se reemplaza (5.8) por el resultado en (5.32).

$$I_{M9} = I_{M1} + I_{M7} \implies I_{M1} = I_{M9} - I_{M7} = I_{M7} \cdot (\alpha - 1), \quad I_{M9} = \alpha \cdot I_{M7} \quad (5.32)$$

Debido a que existe toda una gama de posibilidades para combinar las tensiones V_{DS} en la figura 5.2, se propone una modificación de la estrategia de diseño. La propuesta consiste en

hacer variar recursivamente V_{DS9} y V_{DS11} entre un mínimo y un máximo, los cuales dependen de otras constantes de polarización del *OTA*, mientras V_{DS1} y V_{DS7} también cambian de acuerdo con (5.4) y (5.5). Al interior de estos incrementos anidados, V_{DS3} y V_{DS5} son combinados iterativamente para satisfacer (5.7), con $V_{CM,OUT} = V_{DD}/2$. Para cada posible combinación de los anteriores puntos de operación en *DC*, se resuelve un PG y se itera, buscando seleccionar el mejor óptimo, que para este caso corresponde al diseño con menor consumo de potencia. Sólo se optimiza si *M1* está operando en saturación, es decir, si $V_{D1} \geq V_{G1} - V_{TN1}$. Con seguridad el resultado tiene validez porque se están incluyendo todas las restricciones de diseño [36].

Debido a que es impráctico analizar todas las posibles combinaciones de los V_{DS} , no se puede garantizar que esta estrategia encuentra el óptimo global del diseño, desde el sentido estricto de su definición matemática. Sin embargo, es seguro que por lo menos el resultado final del procedimiento está muy cerca de dicho óptimo. Aún cuando los valores de V_{DS} están fijos en cada optimización, se hace énfasis en que V_{DS} continua siendo una variable de diseño más, dentro del contexto general de la metodología planteada.

Como la excursión a la salida constituye una de las especificaciones críticas para la aplicación del *OTA* bajo diseño, se intenta que los transistores *M3* y *M9* operen cerca del límite de la región de triodo. Retomando entonces las condiciones de saturación referentes a este par de dispositivos, las mismas son modificadas para incluirlas en el PG como restricciones en igualdad. Las nuevas expresiones son las que se muestran en (5.33) y (5.34).

$$V_{DS3} = V_{GS3} - V_{TN3} + \Delta \quad (5.33)$$

$$V_{DS9} = V_{GS9} - V_{TP9} + \Delta \quad (5.34)$$

A continuación se presentan los límites entre los que se realizarán los barridos para V_{DS9} y V_{DS11} . Para los siguientes cálculos, se asume que los valores $V_{CM,IN}$, $V_{CM,IN,MIN}$, $V_{CM,IN,MAX}$ y $V_{OV,MIN}$ son constantes, y su especificación es criterio del diseñador.

Límites para V_{DS9}

Nótese que si $V_{GD1} > V_{TN1}$, el transistor *M1* a la entrada del *OTA* puede entrar a la región de triodo. Este es el criterio guía para las ecuaciones de las siguientes líneas.

$$\begin{aligned} V_{DS9} = V_{DD} - (V_{CM,IN} - V_{GD1}) &\implies V_{GD1} = V_{DS9} + V_{CM,IN} - V_{DD} \leq V_{TN1} \\ &\implies V_{GD1,MAX} = V_{DS9,MAX} + V_{CM,IN,MAX} - V_{DD} = V_{TN1} \\ &\implies V_{DS9,MAX} = V_{DD} + V_{TN1} - V_{CM,IN,MAX} \\ \therefore V_{DS9,MIN} &= V_{OV,MIN} \end{aligned}$$

Límites para V_{DS11}

Nótese que si $V_{GS1} < V_{TN1}$, el transistor *M1* a la entrada del *OTA* puede entrar a la región de corte. Este es el criterio guía para las ecuaciones de las siguientes líneas.

$$\begin{aligned} V_{GS1} = V_{CM,IN} - V_{DS11} \geq V_{TN1} + \Delta &\implies V_{GS1,MIN} = V_{CM,IN,MIN} - V_{DS11,MAX} = V_{TN1} + \Delta \\ &\implies V_{DS11,MAX} = V_{CM,IN,MIN} - (V_{TN1} + \Delta) \\ \therefore V_{DS11,MIN} &= V_{OV,MIN} \end{aligned}$$

Inclusión de los V_{DS} resultantes del proceso iterativo

Con el único fin de tener disponibles entre los resultados la combinación de las tensiones V_{DS} que produjo el mejor óptimo seleccionado con esta metodología de diseño, los mismos son introducidos al PG como restricciones en igualdad. El siguiente grupo de identidades, donde los diferentes V_X indican los valores en cada iteración, representa las citadas condiciones. Una vez más se recuerda al lector que aunque los V_{DS} son constantes para el PG, aún continúan representando variables de diseño desde la perspectiva del circuito real.

$$V_{DS1} = V_1 \quad V_{DS3} = V_3 \quad V_{DS5} = V_5 \quad V_{DS7} = V_7 \quad V_{DS9} = V_9 \quad V_{DS11} = V_{11}$$

Formulación estándar del programa geométrico

Ahora es el momento de transformar toda la formulación matemática desarrollada hasta este punto, al formato estándar de un PG. Entonces, como primer elemento se muestra la función objetivo, que corresponde a la potencia total en estado estable disipada por el *OTA*. Este valor es el que el PG intentará minimizar.

$$(2 \cdot V_{DD}) \cdot I_{M9}$$

De aquí en adelante se presenta el conjunto de restricciones que conforman el PG a resolver. Es importante resaltar que en los algoritmos para programación geométrica es común que no se acepten restricciones de tipo igualdad dentro del formato del PG. Por esto cada restricción en igualdad se transforma en un par de restricciones desigualdad de la siguiente manera: $a = b \implies a^{-1}b \leq 1 \therefore ab^{-1} \leq 1$.

$$\begin{array}{ll}
\alpha^{-1} \cdot I_{M9} I_{M7}^{-1} \leq 1 & (K_{N1} \cdot I_{M1}^{AN1} \cdot V_{DS1}^{BN1} \cdot W_1^{CN1} \cdot L_1^{DN1}) \cdot V_{GS1}^{-1} \leq 1 \\
\alpha \cdot I_{M9}^{-1} I_{M7} \leq 1 & (K_{N3} \cdot I_{M7}^{AN3} \cdot V_{DS3}^{BN3} \cdot W_3^{CN3} \cdot L_3^{DN3}) \cdot V_{GS3}^{-1} \leq 1 \\
(\alpha - 1) \cdot I_{M7} I_{M1}^{-1} \leq 1 & (K_{N5} \cdot I_{M7}^{AN5} \cdot V_{DS5}^{BN5} \cdot W_5^{CN5} \cdot L_5^{DN5}) \cdot V_{GS5}^{-1} \leq 1 \\
(\alpha - 1)^{-1} \cdot I_{M7}^{-1} I_{M1} \leq 1 & (K_{P7} \cdot I_{M7}^{AP7} \cdot V_{DS7}^{BP7} \cdot W_7^{CP7} \cdot L_7^{DP7}) \cdot V_{GS7}^{-1} \leq 1 \\
2 \cdot I_{M1} I_{M11}^{-1} \leq 1 & (K_{P9} \cdot I_{M9}^{AP9} \cdot V_{DS9}^{BP9} \cdot W_9^{CP9} \cdot L_9^{DP9}) \cdot V_{GS9}^{-1} \leq 1 \\
\frac{1}{2} \cdot I_{M1}^{-1} I_{M11} \leq 1 & (K_{N11} \cdot I_{M11}^{AN11} \cdot V_{DS11}^{BN11} \cdot W_{11}^{CN11} \cdot L_{11}^{DN11}) \cdot V_{GS11}^{-1} \leq 1 \\
(V_{TN1} + \Delta) \cdot V_{GS1}^{-1} \leq 1 & (K_{N1} \cdot I_{M1}^{AN1} \cdot V_{DS1}^{BN1} \cdot W_1^{CN1} \cdot L_1^{DN1})^{-1} \cdot V_{GS1} \leq 1 \\
(V_{TN3} + \Delta) \cdot V_{GS3}^{-1} \leq 1 & (K_{N3} \cdot I_{M7}^{AN3} \cdot V_{DS3}^{BN3} \cdot W_3^{CN3} \cdot L_3^{DN3})^{-1} \cdot V_{GS3} \leq 1 \\
(V_{TN5} + \Delta) \cdot V_{GS5}^{-1} \leq 1 & (K_{N5} \cdot I_{M7}^{AN5} \cdot V_{DS5}^{BN5} \cdot W_5^{CN5} \cdot L_5^{DN5})^{-1} \cdot V_{GS5} \leq 1 \\
(V_{TN7} + \Delta) \cdot V_{GS7}^{-1} \leq 1 & (K_{P7} \cdot I_{M7}^{AP7} \cdot V_{DS7}^{BP7} \cdot W_7^{CP7} \cdot L_7^{DP7})^{-1} \cdot V_{GS7} \leq 1 \\
(V_{TN9} + \Delta) \cdot V_{GS9}^{-1} \leq 1 & (K_{P9} \cdot I_{M9}^{AP9} \cdot V_{DS9}^{BP9} \cdot W_9^{CP9} \cdot L_9^{DP9})^{-1} \cdot V_{GS9} \leq 1 \\
(V_{TN11} + \Delta) \cdot V_{GS11}^{-1} \leq 1 & (K_{N11} \cdot I_{M11}^{AN11} \cdot V_{DS11}^{BN11} \cdot W_{11}^{CN11} \cdot L_{11}^{DN11})^{-1} \cdot V_{GS11} \leq 1
\end{array}$$

$$\begin{array}{ll}
(V_{DS1} + V_{TN1} - \Delta)^{-1} \cdot V_{GS1} \leq 1 & (V_{DS3} + V_{TN3} - \Delta)^{-1} \cdot V_{GS3} \leq 1 \\
(V_{DS5} + V_{TN5} - \Delta)^{-1} \cdot V_{GS5} \leq 1 & (V_{DS3} + V_{TN3} - \Delta) \cdot V_{GS3}^{-1} \leq 1 \\
(V_{DS7} + V_{TP7} - \Delta)^{-1} \cdot V_{GS7} \leq 1 & (V_{DS9} + V_{TP9} - \Delta)^{-1} \cdot V_{GS9} \leq 1 \\
(V_{DS11} + V_{TN11} - \Delta)^{-1} \cdot V_{GS11} \leq 1 & (V_{DS9} + V_{TP9} - \Delta) \cdot V_{GS9}^{-1} \leq 1
\end{array}$$

$$(V_{DD} + V_{TP7} + V_{TP9} + V_{TN11} - DR_{IN})^{-1} \cdot (V_{GS1} + V_{GS7} + V_{GS9} + V_{GS11}) \leq 1$$

$$(V_{DD} + V_{TN3} + V_{TN5} + V_{TP7} + V_{TP9} - DR_{OUT})^{-1} \cdot (V_{GS3} + V_{GS5} + V_{GS7} + V_{GS9}) \leq 1$$

$$\begin{array}{llll} L_{MIN}L_1^{-1} \leq 1 & L_{MAX}^{-1}L_1 \leq 1 & W_{MIN}W_1^{-1} \leq 1 & W_1W_{MAX}^{-1} \leq 1 \\ L_{MIN}L_3^{-1} \leq 1 & L_{MAX}^{-1}L_3 \leq 1 & W_{MIN}W_3^{-1} \leq 1 & W_3W_{MAX}^{-1} \leq 1 \\ L_{MIN}L_5^{-1} \leq 1 & L_{MAX}^{-1}L_5 \leq 1 & W_{MIN}W_5^{-1} \leq 1 & W_5W_{MAX}^{-1} \leq 1 \\ L_{MIN}L_7^{-1} \leq 1 & L_{MAX}^{-1}L_7 \leq 1 & W_{MIN}W_7^{-1} \leq 1 & W_7W_{MAX}^{-1} \leq 1 \\ L_{MIN}L_9^{-1} \leq 1 & L_{MAX}^{-1}L_9 \leq 1 & W_{MIN}W_9^{-1} \leq 1 & W_9W_{MAX}^{-1} \leq 1 \\ L_{MIN}L_{11}^{-1} \leq 1 & L_{MAX}^{-1}L_{11} \leq 1 & W_{MIN}W_{11}^{-1} \leq 1 & W_{11}W_{MAX}^{-1} \leq 1 \end{array}$$

$$\begin{array}{lll} V_1V_{DS1}^{-1} \leq 1 & V_1^{-1}V_{DS1} \leq 1 & (V_{CM,IN} - V_{DS11}) \cdot V_{GS1}^{-1} \leq 1 \\ V_3V_{DS3}^{-1} \leq 1 & V_3^{-1}V_{DS3} \leq 1 & (V_{CM,IN} - V_{DS11})^{-1} \cdot V_{GS1} \leq 1 \\ V_5V_{DS5}^{-1} \leq 1 & V_5^{-1}V_{DS5} \leq 1 & I_{MIN}I_{M9}^{-1} \leq 1 \\ V_7V_{DS7}^{-1} \leq 1 & V_7^{-1}V_{DS7} \leq 1 & W_3W_5^{-1} \leq 1 \\ V_9V_{DS9}^{-1} \leq 1 & V_9^{-1}V_{DS9} \leq 1 & W_3^{-1}W_5 \leq 1 \\ V_{11}V_{DS11}^{-1} \leq 1 & V_{11}^{-1}V_{DS11} \leq 1 & \vartheta \cdot L_3L_7^{-1} \leq 1 \end{array}$$

$$|A_{Vdmin}| \cdot g_{m1}^{-1}(g_{m5} + g_{mb5})^{-1}g_{ds3}g_{ds5} + |A_{Vdmin}| \cdot g_{m1}^{-1}g_{m7}^{-1}g_{ds1}g_{ds7} + |A_{Vdmin}| \cdot g_{m1}^{-1}g_{m7}^{-1}g_{ds7}g_{ds9} \leq 1$$

$$\omega_{0min} \cdot g_{m1}^{-1} \left[C_L + C_{GSDLP} \cdot W_7 + C_{GSDLN} \cdot W_5 + \frac{C_{JN}}{(1 + \frac{V_{DB5}}{P_{BN}})^{M_{JN}}} \cdot W_5L_5 + \frac{2 \cdot C_{JSWN}}{(1 + \frac{V_{DB5}}{P_{BN}})^{M_{JSWN}}} \cdot (W_5 + L_5) \right] \leq 1$$

$$\frac{1}{C_L(\frac{\pi}{2} - PM_{min})} \cdot g_{m1}g_{m7}^{-1} \left[C_{GSDLN} \cdot W_1 + \frac{C_{JN}}{(1 + \frac{V_{DB1}}{P_{BN}})^{M_{JN}}} \cdot W_1L_1 + \frac{2 \cdot C_{JSWN}}{(1 + \frac{V_{DB1}}{P_{BN}})^{M_{JSWN}}} \cdot (W_1 + L_1) + C_{GSDLP} \cdot W_9 + \frac{C_{JP}}{(1 + \frac{V_{DB9}}{P_{BP}})^{M_{JP}}} \cdot W_9L_9 + \frac{2 \cdot C_{JSPW}}{(1 + \frac{V_{DB9}}{P_{BP}})^{M_{JSPW}}} \cdot (W_9 + L_9) + \frac{2}{3}C_{oxP} \cdot W_7L_7 + C_{GSDLP} \cdot W_7 \right] \leq 1$$

Variable	Nombre en PG	Variable	Nombre en PG	Variable	Nombre en PG
I_{M9}	0	W_7	13	V_{DS9}	26
I_{M7}	1	W_9	14	V_{DS11}	27
I_{M1}	2	W_{11}	15	g_{ds1}	28
I_{M11}	3	L_1	16	g_{ds3}	29
V_{GS1}	4	L_3	17	g_{ds5}	30
V_{GS3}	5	L_5	18	g_{ds7}	31
V_{GS5}	6	L_7	19	g_{ds9}	32
V_{GS7}	7	L_9	20	g_{ds11}	33
V_{GS9}	8	L_{11}	21	g_{m1}^{-1}	34
V_{GS11}	9	V_{DS1}	22	g_{mT5}^{-1}	35
W_1	10	V_{DS3}	23	g_{m7}^{-1}	36
W_3	11	V_{DS5}	24	g_{m1}	37
W_5	12	V_{DS7}	25		

Tabla 5.1: Variables de diseño en el PG para el *OTA* cascode doblado.

$$\begin{aligned}
& SR_{min} \cdot I_{M11}^{-1} \left[C_L + C_{GS DLP} \cdot W_7 + C_{GS DLN} \cdot W_5 + \right. \\
& \quad \left. + \frac{C_{JN}}{\left(1 + \frac{V_{DB5}}{P_{BN}}\right)^{M_{JN}}} \cdot W_5 L_5 + \frac{2 \cdot C_{JSWN}}{\left(1 + \frac{V_{DB5}}{P_{BN}}\right)^{M_{JSWN}}} \cdot (W_5 + L_5) \right] \leq 1 \\
& (K_{N1g} \cdot I_{M1}^{AN1g} \cdot V_{DS1}^{BN1g} \cdot W_1^{CN1g} \cdot L_1^{DN1g}) \cdot g_{m1}^{-1} \leq 1 \\
& (K_{N1g} \cdot I_{M1}^{AN1g} \cdot V_{DS1}^{BN1g} \cdot W_1^{CN1g} \cdot L_1^{DN1g})^{-1} \cdot g_{m1} \leq 1
\end{aligned}$$

Las anteriores son las restricciones permanentes para el PG del *OTA*. Si se revisa cuidadosamente, todas y cada una de las consideraciones de operación, polarización y geometría, así como los parámetros de desempeño y los modelos monomiales han sido incluidos. Las únicas restricciones ausentes son las relacionadas con el modelado de los parámetros g_m^{-1} y g_{ds} mediante ajustes con funciones convexas-*pwl*. La razón de esta omisión es la cantidad variable de términos en dichos modelos, de acuerdo a los errores resultantes de los mismos.

La tabla 5.1 contiene las 38 variables de diseño que participan en el PG planteado anteriormente, el cual contiene más de 80 restricciones y su archivo de texto como entrada a *MOSEK* incluye normalmente más de 600 líneas. De igual forma, aparece el nombre de las variables, el cual utiliza *MOSEK* para identificarlas y diferenciarlas en la formulación del programa geométrico. La variable g_{mT5}^{-1} hace referencia al inverso de la suma de las transconductancias del transistor *M5*, es decir $g_{mT5}^{-1} = 1/g_{mT5} = 1/(g_{m5} + g_{mb5})$. Esta declaración permite incluir el efecto cuerpo del transistor *M5*, tal y como es requerido por la restricción de la ganancia en (5.20).

5.2.4. El *OTA* del *S \mathcal{E} H*

La aplicación de la anterior metodología de diseño con PG permite la implementación de un *OTA* que cumple con los requerimientos calculados para el circuito *S \mathcal{E} H* en el capítulo 3. Es de recalcar que este amplificador, como parte del bloque que se encuentra a la entrada

$W_{1,2}/L_{1,2}$	$4,3\mu\text{m}/0,45\mu\text{m}$	V_{DD}	3,3 V
$W_{3,4}/L_{3,4}$	$6,15\mu\text{m}/1,05\mu\text{m}$	V_{B1}	0,85 V
$W_{5,6}/L_{5,6}$	$6,15\mu\text{m}/0,75\mu\text{m}$	V_{B2}	1,79 V
$W_{7,8}/L_{7,8}$	$55,65\mu\text{m}/3\mu\text{m}$	V_{B3}	1,33 V
$W_{9,10}/L_{9,10}$	$63,5\mu\text{m}/3\mu\text{m}$	V_{B4}	0,63 V
W_{11}/L_{11}	$57,45\mu\text{m}/0,65\mu\text{m}$	C_L	1,5 pF

Tabla 5.2: Dimensiones y fuentes de polarización para el OTA del S&H.

Especificación	Valor
Ganancia DC, A_o (dB)	79
Frecuencia de ganancia unitaria, GBW (MHz)	23
Slew rate, SR (V/ μs)	40
Margen de fase, PM ($^\circ$)	67,6
Rangos de excursión, DR_{IN} , DR_{OUT} (V)	> 1,5
Consumo de potencia, $P_{OTA-S\&H}$ (μW)	458

Tabla 5.3: Especificaciones a partir de la simulación del diseño del OTA del S&H.

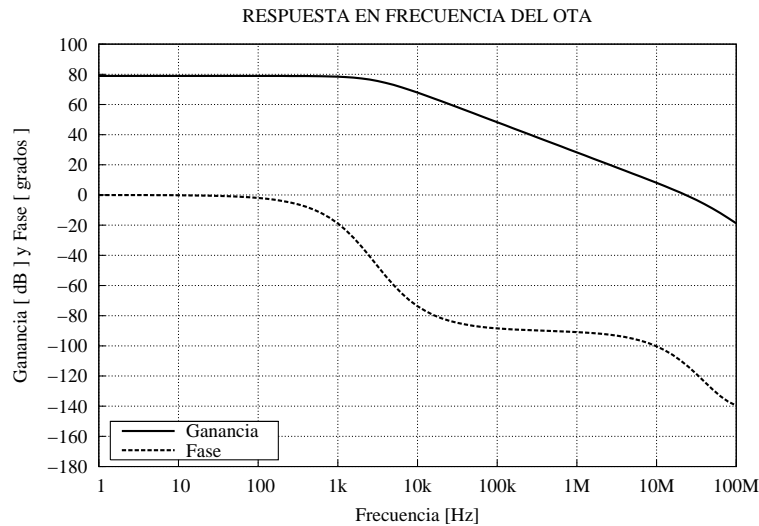


Figura 5.4: Ganancia y fase del OTA en el S&H.

del ADC multiestándar operando a la frecuencia de muestreo total, y requiriendo una precisión igual a la de la resolución completa del convertor, es el más exigente en cuanto a sus especificaciones y el principal consumidor de corriente en el sistema. Además, tal y como se ha mencionado antes, el circuito de muestreo y retención, incluyendo su OTA, debe tener la capacidad de manejar a su entrada y salida señales con amplias excursiones en tensión.

Como resultado del diseño, se obtuvo un OTA con las características presentadas en la tabla 5.2, cuya nomenclatura está relacionada con la figura 5.1. Nuevamente se resalta la naturaleza simétrica de esta arquitectura, la cual debe ser tenida en cuenta al interpretar los resultados de la tabla 5.2. De forma similar, la tabla 5.3 resume las especificaciones del OTA diseñado.

La figura 5.4 permite apreciar la respuesta en frecuencia del OTA diseñado. A partir de esas curvas, se verifica la suposición de que el OTA se comporta como un circuito de un polo dominante, aspecto fundamental para algunas de las aproximaciones y simplificaciones realizadas en la formulación del programa geométrico. Como resultado, también se evidencia la existencia de un amplio margen de fase que asegura la estabilidad del OTA cuando es re-

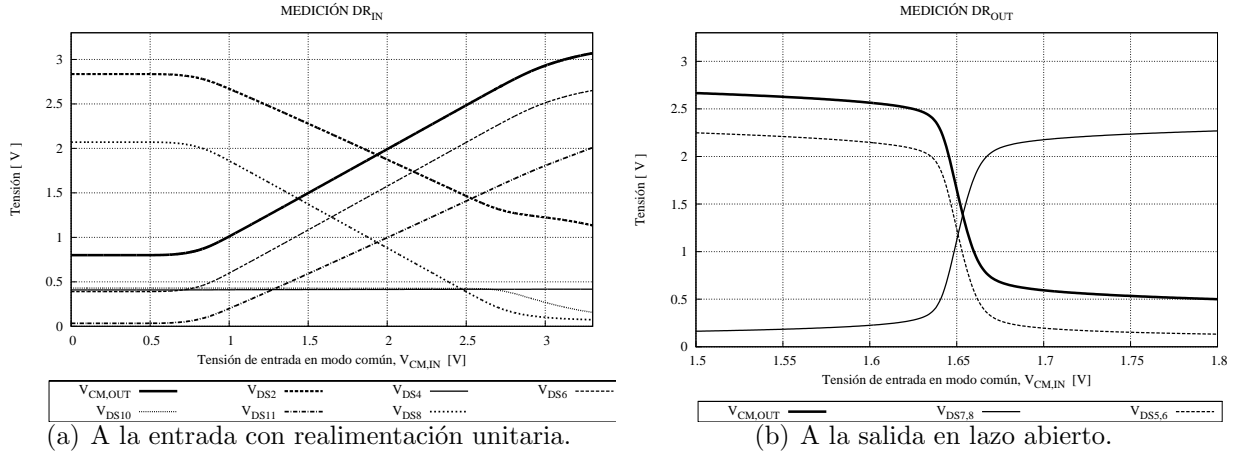


Figura 5.5: Rangos de excursión para el *OTA* en el *S&EH*.

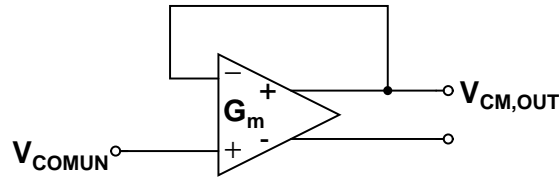


Figura 5.6: Conexión del *OTA* para la medición de DR_{IN} .

alimentado. Es importante resaltar en este punto, que para la aplicación de este amplificador tiene muy poca importancia su ancho de banda plana, ya que su función no será la amplificación de señales, sino la transferencia con mínimo error y máxima velocidad de niveles de tensión almacenados en los capacitores que forman su lazo de realimentación.

Continuando con la verificación de las especificaciones alcanzadas por el diseño del *OTA* con PG, la figura 5.5 ilustra los rangos dinámicos del circuito. Así, en la figura 5.5(a) se muestra el comportamiento de la salida en modo común cuando se hace variar el nivel de *DC* a la entrada, con el amplificador conectado como se exhibe en la figura 5.6. En esta medición se observa que la transición de la región de saturación a la de triodo en los transistores *M11* y *M8*, es la que determina el DR_{IN} , el cual está aproximadamente centrado alrededor de $V_{CM,IN} = 1,65V$, tal y como se formuló en el PG. Por otro lado, en la figura 5.5(b) se grafica la respuesta del voltaje en modo común a variaciones en $V_{CM,IN}$ cuando el amplificador está en lazo abierto. Ahora es evidente que los umbrales de saturación en los transistores cascodo *M5*, *M6* y *M7*, *M8*, son los responsables de la excursión en *DC* a la salida del *OTA*. Como se visualiza en la figura 5.5, el diseño obtenido es capaz de manejar señales entrantes y de salida con amplitudes del orden de $V_{FS}/2 = 1V$ sin que ninguno de sus transistores abandone la operación en saturación, tal y como lo requiere el *ADC* multiestándar.

Finalmente, la figura 5.7 ilustra la medición del *slew rate* en el *OTA*. Para ello se le aplica un escalón de tensión de 2 V con duración de 50 ns, y se aprecia que la salida del *OTA* sigue de cerca la rampa, sin mostrar indicios de *slewing*. Debe recordarse que esta especificación es una de las que causa más impacto en el consumo de potencia del *OTA* diseñado, así como también uno de los factores más importantes para garantizar que las muestras del *S&EH* estén disponibles al final de la fase de muestreo. Sin embargo, a partir de la medición en la figura 5.7, es claro que se cumple con suficiencia el requerimiento original de $19,8 V/\mu s$ obtenido en

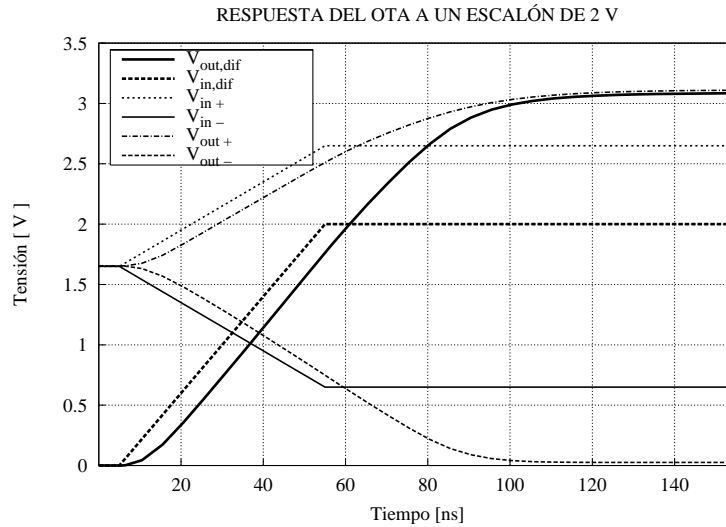


Figura 5.7: Verificación del *slew rate* del OTA en el *S&H*.

el capítulo 3.

De manera similar al *S&H*, se llevó a cabo la aplicación de la programación geométrica en el diseño de los demás OTAs requeridos en la arquitectura *time-interleaved pipeline* del ADC multiestándar. Es aquí donde adquiere mayor valor el uso de un PG para concebir un nuevo circuito. Mediante esta herramienta, esta tarea es llevada a cabo con sólo modificar el archivo de entrada que contiene las especificaciones del OTA, además de remodelar los parámetros de los transistores de acuerdo con la ubicación del nuevo óptimo. Lo anterior permite al diseñador adquirir una mayor comprensión del funcionamiento del circuito, así como detectar tendencias en sus variables y parámetros de operación.

5.3. El CMFB para el OTA

Los amplificadores con arquitecturas completamente diferenciales como la de la figura 5.1, procesan señales diferenciales sin ejercer ningún tipo de control sobre el nivel de tensión de modo común en los nodos de alta impedancia a la salida. Sin el control adecuado, el voltaje $V_{CM,OUT}$ tiende a desplazarse hacia los extremos de la fuente de alimentación en *DC* (en este caso, 0 V y V_{DD}), debido a variaciones de las fuentes de polarización, del proceso y de *offsets*, entre otras. A partir de lo anterior, usualmente es necesario agregar un lazo de realimentación en modo común o *CMFB*.

Existen varios factores que son críticos en el diseño de un *CMFB*. El número de polos parásitos en el lazo en modo común debe ser minimizado, mientras que la velocidad y ganancia del mismo deben ser lo suficientemente grandes para obtener el $V_{CM,OUT}$ deseado dentro de la precisión adecuada. Además, el *CFMB* no debe representar una carga adicional significativa para el OTA diferencial, y la interacción entre los lazos en modo común y diferencial debe ser mínima. En resumen, el circuito *CMFB* no debe degradar el desempeño del amplificador que lo utiliza [28].

Las principales ventajas de la realimentación en modo común con capacitores conmutados (*SC-CMFB*) son: alta linealidad, carencia de polos parásitos adicionales y ausencia de restricciones en la máxima excursión diferencial de la señal de salida del OTA, ya que

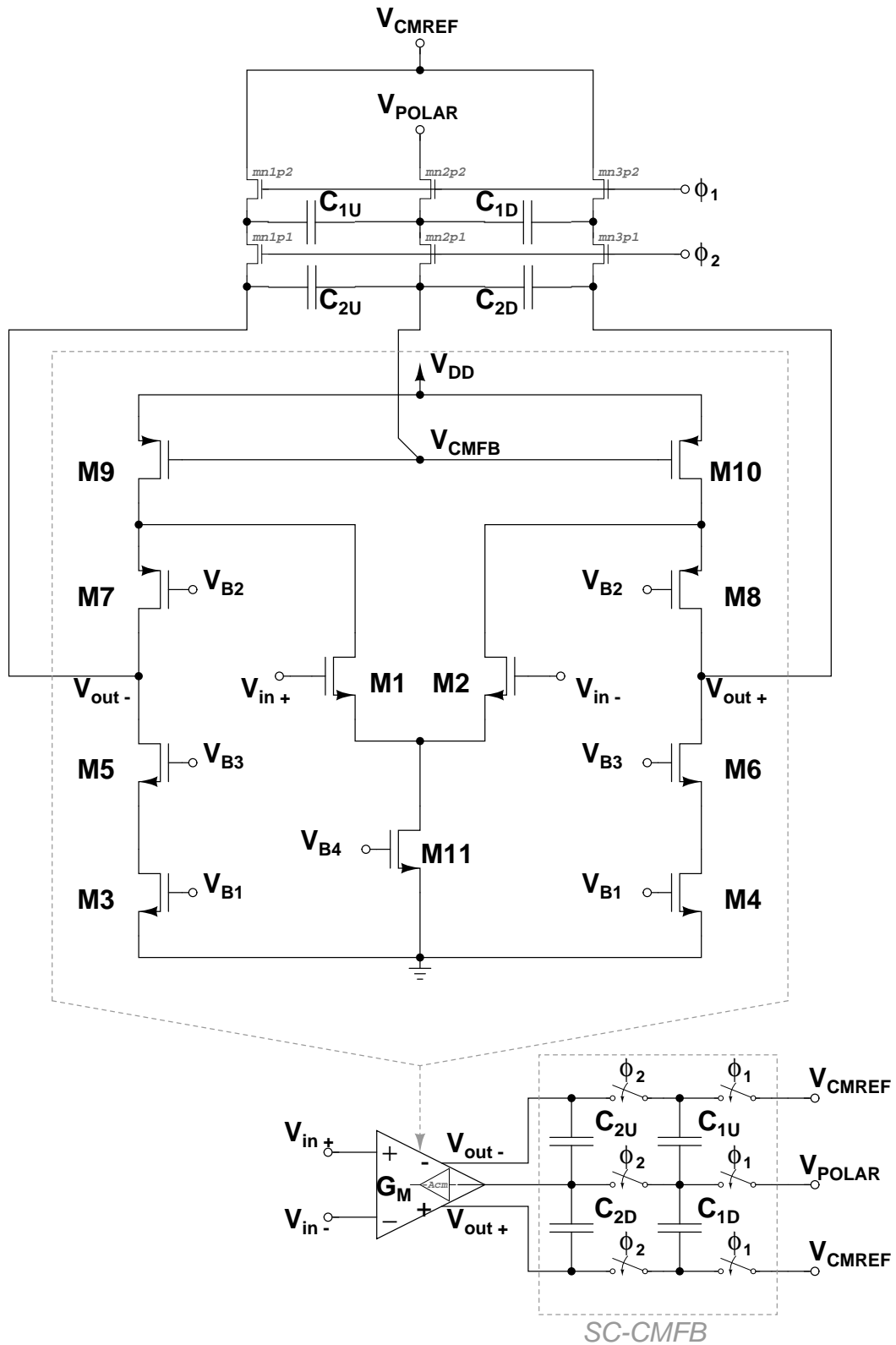


Figura 5.8: El *OTA* cascode doblado con el bloque *SC-CMFB*.

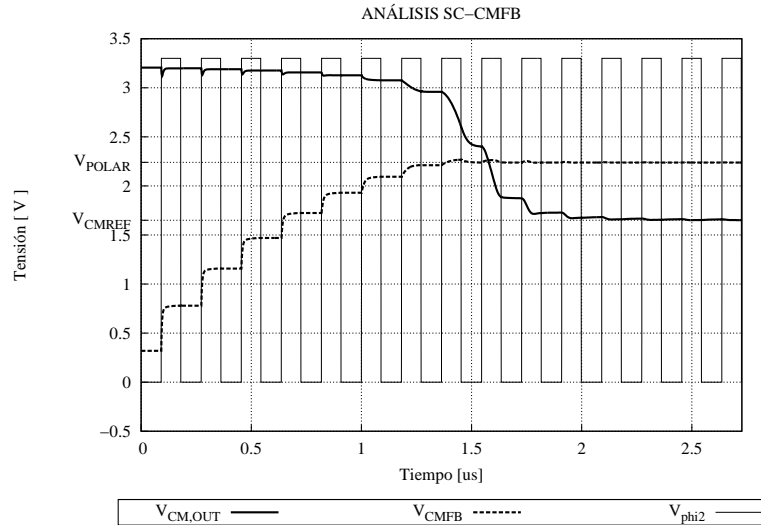


Figura 5.9: Operación del circuito *SC-CMFB* en el *OTA*.

está conformada sólo por elementos pasivos (capacitores) e interruptores⁴. Sin embargo, el *SC-CMFB* inyecta ruido en los nodos de salida del amplificador, el cual se origina en el *clock-feedthrough* no lineal de sus interruptores. Adicionalmente, incrementa la carga capacitiva que debe ser manejada por el *OTA* [38]. La aplicación de esta topología de *CMFB* al *OTA* diseñado con programación geométrica a lo largo de este capítulo, puede apreciarse en la figura 5.8.

La arquitectura *SC-CMFB* mostrada en la figura 5.8 consta del par de capacitores C_{2U} y C_{2D} , los cuales sensan el nivel de salida en modo común del *OTA*, y otros dos capacitores C_{1U} y C_{1D} que refrescan el circuito controlados por las fases de reloj no solapadas ϕ_1 y ϕ_2 . En esta topología, los capacitores C_2 producen el promedio de las tensiones de salida, $V_{CM,OUT} = (V_{out+} + V_{out-})/2$, el cual es usado para generar la señal de control V_{CMFB} , que es aplicada a las compuertas de las fuentes de corriente $M9$, $M10$ del *OTA*. El voltaje *DC* en C_2 es determinado por los capacitores C_1 , los cuales son conmutados periódicamente entre las fuentes V_{POLAR} y V_{CMREF} , y el paralelo con los capacitores de sensado. La fuente V_{CMREF} representa el voltaje en modo común deseado, mientras que V_{POLAR} es la tensión de control necesaria (V_{CMFB}) para ajustar $V_{CM,OUT}$ a V_{CMREF} . La operación de este circuito es en esencia la de un filtro *SC* pasabajos con una tensión *DC* de entrada [28].

La respuesta transitoria en la que el *SC-CMFB* ajusta progresivamente $V_{CM,OUT}$ a $V_{CM,REF}$, cuando se utiliza con el *OTA* del *S&H*, con capacitores $C_2 = 100 \text{ fF}$ y $C_1 = 200 \text{ fF}$, y con $\phi_{1,2}$ a 5,5 MHz como lo requiere el estándar *Bluetooth*, puede apreciarse en la figura 5.9. El tamaño de los pasos en $V_{CM,OUT}$ y V_{CMFB} entre periodos consecutivos de ϕ_2 es influenciado por la razón C_1/C_2 , cuyo incremento conlleva a una convergencia más acelerada hacia el estado estable en la figura 5.9. Como consecuencia, la selección de esta relación de capacitancias constituye un compromiso entre velocidad del *SC-CMFB* y degradación del desempeño del *OTA*, debido al incremento en la carga capacitiva [38]. Adicionalmente, la selección de $C_1 \gg C_2$ también produce menores errores en estado estable, por inyección de carga y corrientes de fuga. Sin embargo, a medida que C_1 crece, debe incrementarse simultáneamente el tamaño de los interruptores *MOS* para facilitar la carga de los capacitores durante ϕ_1 .

⁴Si los interruptores *MOS* son implementados con transistores complementarios (*CMOS*) o compuertas de transmisión, las variaciones en tensión permitidas son cercanas a la denominada excursión *rail-to-rail* ($0 < V_{in,switch} < V_{DD}$).

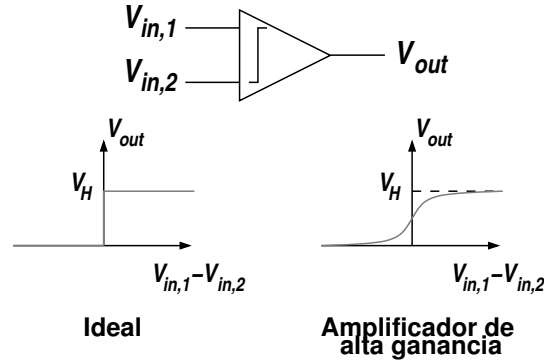


Figura 5.10: Característica entrada/salida del comparador de tensión.

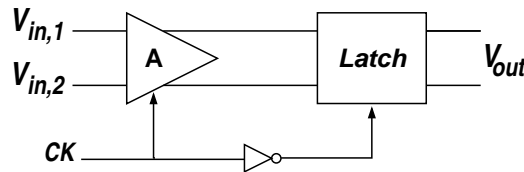


Figura 5.11: Arquitectura típica de comparador.

5.4. Diseño del comparador de los *sub-ADCs*

El desempeño de las arquitecturas *flash* empleadas en los *sub-ADCs* depende principalmente de las características de los comparadores que las constituyen. La mayoría de estos circuitos utilizan comparación de voltajes en vez de corrientes, debido a que la distribución de tensiones entre un gran número de comparadores es relativamente más fácil [33].

La comparación consiste en un fenómeno binario que produce una salida lógica de 1 o 0 dependiendo de la polaridad de una entrada determinada. De esta forma, la figura 5.10 ilustra la función de transferencia de un comparador ideal, la cual exhibe una transición abrupta (o sea, ganancia infinita) para $V_{in,1} - V_{in,2} = 0$. Este comportamiento no lineal puede ser aproximado mediante un amplificador de alta ganancia, cuya pendiente alrededor de $V_{in,1} = V_{in,2}$ corresponde a su ganancia en pequeña señal (A_0) y su salida alcanza el límite V_H si la diferencia en su entrada es lo suficientemente grande.

Los comparadores de alto desempeño deben amplificar pequeñas diferencias de voltaje a la entrada hasta un nivel lógico lo suficientemente grande como para ser detectado por la posterior circuitería digital dentro de un lapso de tiempo corto. Entonces, estos circuitos deben tener simultáneamente alta ganancia y amplio ancho de banda. Sin embargo, en los amplificadores el incremento de este par de especificaciones es usualmente excluyente, ya que el aumento en A_0 conlleva a la reducción del ancho de banda, y viceversa. Adicionalmente, la tensión de entrada del comparador también puede ser grande, y saturar el amplificador de alta ganancia. Si el tiempo de recuperación es muy largo, la precisión de la siguiente comparación puede resultar deteriorada. Finalmente, otros factores como la metaestabilidad, la tasa de error de bits *BER* y la distribución no uniforme del tiempo disponible para la comparación, hacen que los requerimientos de ganancia alta y tiempo de establecimiento corto sean aún más exigentes [28].

A partir de que la amplificación requerida en los comparadores no necesita ser lineal o de lazo cerrado, la realimentación positiva puede ser empleada para obtener una ganancia virtualmente infinita. Sin embargo, para evitar el efecto indeseado de la saturación, este

amplificador con realimentación positiva o *latch* debe ser habilitado sólo en el momento apropiado. La figura 5.11 ilustra un esquema básico para esta configuración, la cual opera en dos modos: *tracking* y *latching*. Durante el primero de ellos, el preamplificador es habilitado para aumentar la sensibilidad del comparador y su salida sigue la entrada, mientras que en la fase de *latching*, el *latch* regenerativo es habilitado para generar y retener el nivel lógico correspondiente a la salida del comparador. Adicionalmente, si la entrada al circuito es aproximadamente constante con el tiempo, no es necesario deshabilitar el preamplificador durante el modo *latching* [33].

En el proyecto [39] se aborda de una manera más profunda la revisión de las diferentes topologías de comparadores de tensión, así como su proceso detallado de diseño. Los resultados obtenidos en esa referencia son aplicados para la implementación de los diferentes comparadores requeridos en los *sub-ADCs* de la arquitectura *time-interleaved pipeline* que es utilizada en el presente documento.

Capítulo 6

Resultados

Una analogía un poco particular, pero muy adecuada para ilustrar la estrategia jerárquica con que se ha abordado el diseño del *ADC* multiestándar a lo largo de este trabajo, introduce este capítulo final del documento. Dispositivos activos o transistores operando como interruptores, fuentes de corriente, amplificadores o elementos de memoria, materializan los circuitos básicos presentados en el capítulo 5, de manera equivalente a ladrillos apilados para construir paredes. A su vez, dichos circuitos básicos son combinados con elementos pasivos auxiliares como resistores y capacitores para constituir los bloques funcionales abordados en los capítulos 4 (*sub-ADC* y *MDAC*) y 3 (*S&H*), de forma similar a como las paredes se unen con puertas y ventanas para limitar habitaciones y estancias. Finalmente, los anteriores bloques funcionales son ensamblados organizadamente para componer el *ADC* completo detallado en el capítulo 2 y contextualizado en el capítulo 1, en un procedimiento análogo a como se erige una casa uniendo y disponiendo sus diferentes habitaciones y secciones, de acuerdo al uso que se les piensa dar.

Este capítulo presenta los resultados alcanzados durante el proceso explicado en el párrafo anterior en sus últimos niveles, es decir, para los bloques funcionales *S&H*, *sub-ADC* y *MDAC*, debido a que las pruebas en el primer nivel de los circuitos básicos fueron presentadas en el capítulo anterior. También se introducen algunos detalles referentes a la elaboración del *layout* del circuito. Además, para ofrecer un final de este trabajo que sea formativo para el lector, se consignan las conclusiones derivadas de su realización, las observaciones que merecen ser resaltadas y las recomendaciones para motivar y tener en cuenta en la realización de trabajos futuros relacionados con el tema.

6.1. Simulaciones

Esta primera sección presenta los resultados conseguidos mediante simulaciones *pos-layout* con *Hspice*¹ para la verificación y validación del diseño de los diferentes bloques funcionales que conforman el *ADC* multiestándar con arquitectura *time-interleaved pipeline*. Adicionalmente, las gráficas exhibidas a continuación constituyen una valiosa herramienta visual para facilitar la comprensión del proceso de conversión analógico-digital de señales eléctricas, el cual es desarrollado a lo largo de la cadena conversora. Para dar soporte a la idea anterior, el orden de presentación de las simulaciones efectuadas coincide con la trayectoria que siguen

¹La licencia de *Hspice* es adquirida vía red en calidad de préstamo por parte de la *Universidade de São Paulo (USP)*.

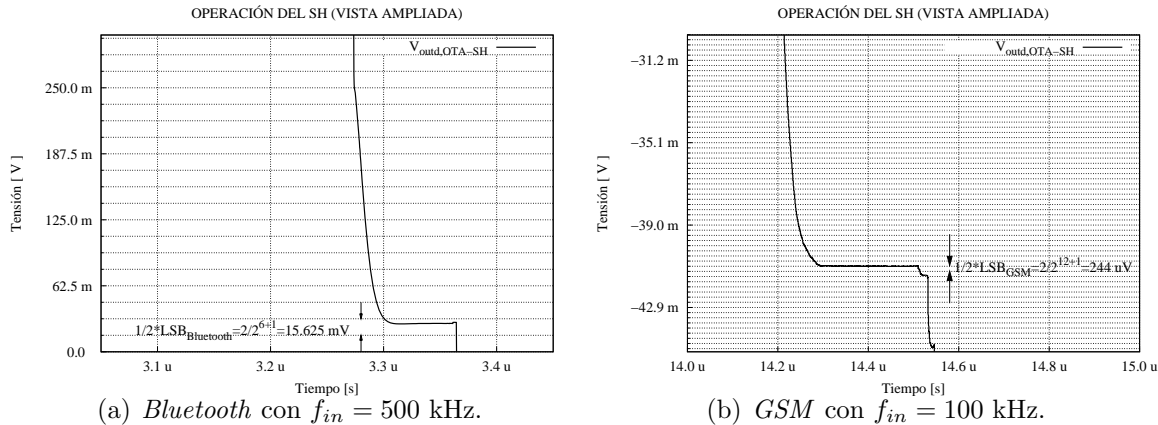


Figura 6.1: Establecimiento de las muestras en el $S\mathcal{E}H$.

las señales a lo largo del ADC : ingresan por el $S\mathcal{E}H$, siguen al $sub-ADC$, y de forma tanto simultánea como subsecuente, son procesadas por el $MDAC$.

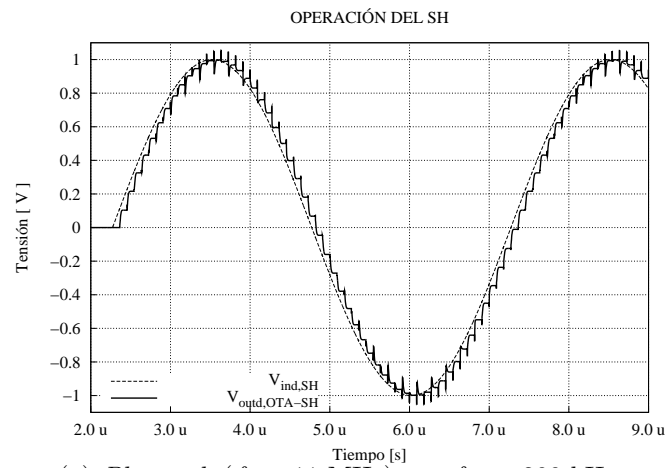
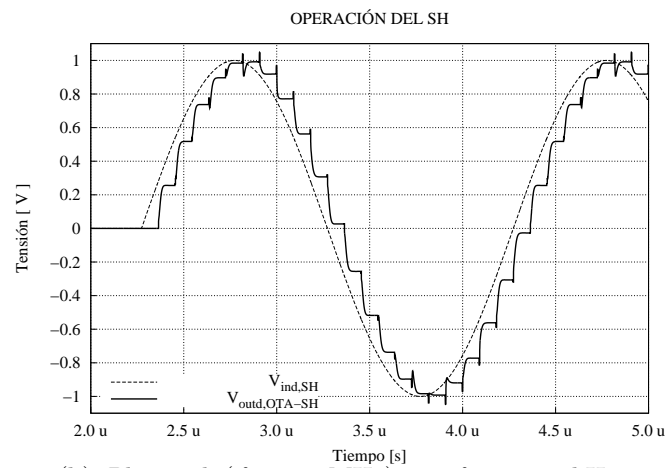
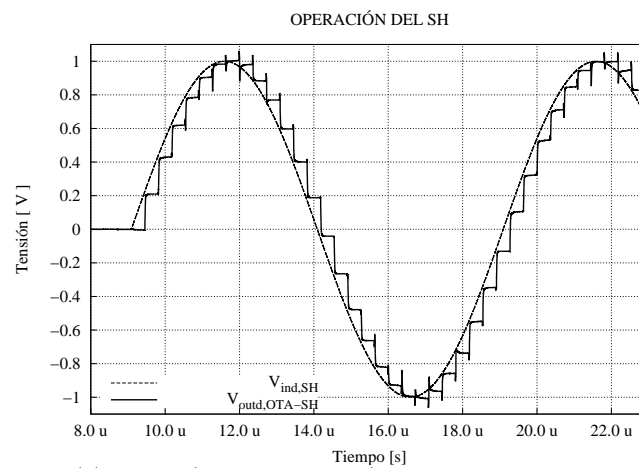
6.1.1. $S\mathcal{E}H$

El circuito de muestreo y retención ($S\mathcal{E}H$) diseñado en el capítulo 3 es el encargado de recibir la señal entrante analógica y discretizarla en el tiempo. Para ello, este bloque toma y retiene muestras de la señal de tensión a una frecuencia dependiente del estándar bajo el que está operando. De esta forma, funcionando con *Bluetooth* muestrea a $f_s = 11$ MHz, y con *GSM* lo hace a $f_s = 2,75$ MHz.

Debido a que el $S\mathcal{E}H$ es la interfaz de entrada del ADC , este bloque funcional debe estar en la capacidad de manejar señales en el rango de excursión completa (V_{FS}) de acuerdo a las especificaciones extraídas en el capítulo 2. Asimismo, debe procesar señales cuya máxima frecuencia está dada por el ancho de banda máximo en bandabase, el cual es una especificación que está asociada al estándar de comunicación inalámbrico aplicado. Este último requerimiento es de 500 kHz para *Bluetooth* y de 100 kHz para *GSM*.

A partir de las consideraciones anteriores, se presentan los resultados de las simulaciones en *Hspice* para el funcionamiento del $S\mathcal{E}H$ bajo diferentes condiciones de operación. Debe recordarse que la especificación de SR determinada para el OTA en el capítulo 3, es apenas la necesaria para que el *slewing* en el máximo escalón de tensión a la salida del $S\mathcal{E}H$ tenga una duración del tiempo especificado para esa primera componente de asentamiento no lineal. Posteriormente, la especificación de GBW del amplificador permite que el valor final de la muestra retenida se establezca de forma lineal dentro de una precisión de $\pm LSB/2$. Este último comportamiento es ilustrado en la figura 6.1. Asimismo, las condiciones de operación más exigentes son exhibidas en las figuras 6.2(b) y 6.2(c) para los estándares *Bluetooth* y *GSM*, respectivamente.

A medida que la frecuencia de la señal entrante es disminuída, el circuito de muestreo y retención es menos exigido, debido a que sus muestras están mas cercanas en amplitud, como se exhibe en la figura 6.2(a) para el estándar *Bluetooth*. Finalmente, los *glitches* que se aprecian en las cercanías de $\pm V_{FS}/2$ en las simulaciones de la figura 6.2, tienen su origen en la variación no lineal de la resistencia de encendido de algunos de los interruptores. Otra razón para estos transitorios la constituye la disminución de la resistencia de los transistores cascode a la salida del OTA , debido a su funcionamiento cada vez más cercano a la región

(a) *Bluetooth* ($f_s = 11$ MHz) con $f_{in} = 200$ kHz.(b) *Bluetooth* ($f_s = 11$ MHz) con $f_{in} = 500$ kHz.(c) *GSM* ($f_s = 2,75$ MHz) con $f_{in} = 100$ kHz.Figura 6.2: Resultados de simulación para el $S\mathcal{C}H$.

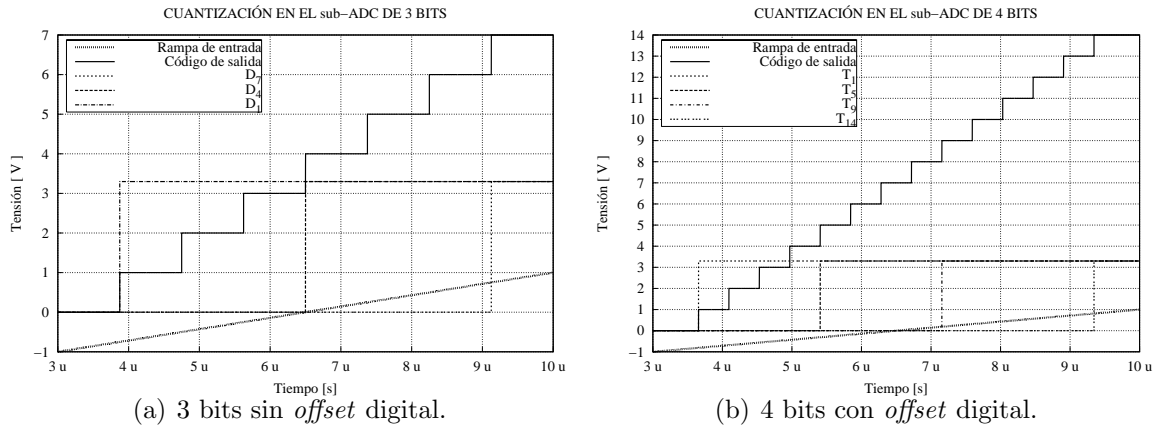


Figura 6.3: Generación simulada de los códigos termómetro **D** y **T**.

de triodo para $V_{in} = \pm V_{FS}/2$. Dicha reducción en r_o para estos transistores se traduce en constantes de tiempo asociadas más grandes, lo cual resulta en transitorios de mayor duración y más notorios.

6.1.2. *sub-ADC*

Los cuantizadores de baja resolución empleados en cada celda básica utilizan la arquitectura *flash* para generar los bits de salida en código termómetro. Las tres primeras etapas *pipeline* contienen *sub-ADCs* de 4 bits que utilizan 1 bit de redundancia para la aplicación de corrección digital mediante el algoritmo de *RSD*. Consecuentemente, sus umbrales de cuantización han sido desplazados para la introducción de un *offset* digital en la función de transferencia de la etapa, tal y como se ilustra en la simulación de la figura 6.3(b). En esa figura puede notarse que los códigos termómetro $\mathbf{T} = 0$ y $\mathbf{T} = 14$ han sido expandidos, a costa de la eliminación de $\mathbf{T} = 15$ y el desplazamiento del umbral en 0 V. De otro lado, la conversión A/D que es llevada a cabo en la última etapa de la cadena *pipeline* emplea 3 bits sin redundancia y sus pasos de cuantización son uniformes, como se puede apreciar en la figura 6.3(a).

Los resultados presentados en la figura 6.3 también exhiben los cambios en el nivel de tensión de los bits individuales que componen a **D** y **T**. Estos bits son implementados con señales que toman uno de dos valores dependiendo del código binario que representan: 0 V para el símbolo 0 y $V_{DD} = 3,3$ V para el símbolo 1. Debe recordarse en este punto que la salida de cada *sub-ADC* adicionalmente incluye el código digital termómetro complementado ($\overline{\mathbf{D}}$ y $\overline{\mathbf{T}}$), cuyos bits son generados también por cada *latch* a la salida de los comparadores en la arquitectura *flash*.

6.1.3. *MDAC*

Ahora son presentados algunos resultados de simulación del funcionamiento del bloque *MDAC* de 4 bits. Específicamente, el modo de operación de su banco capacitivo, el cual efectúa la conversión digital-analógica de la salida del *sub-ADC* en cada una de las tres primeras etapas *pipeline*, es ilustrado para diferentes condiciones en la figura 6.4. Como guía para comprender los resultados ilustrados en esta figura, el lector puede remitirse al esquema de la figura 4.13.

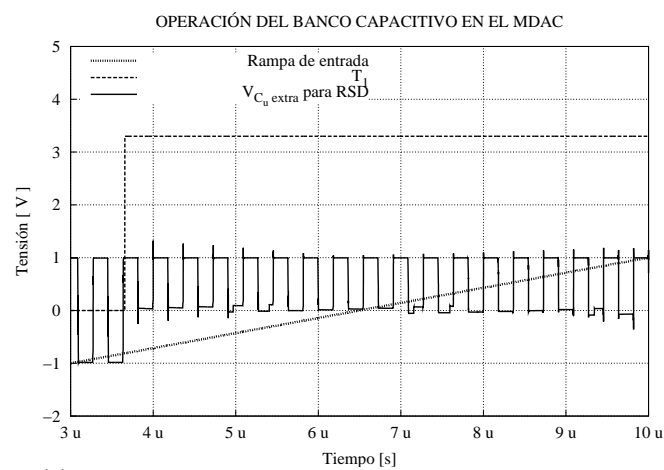
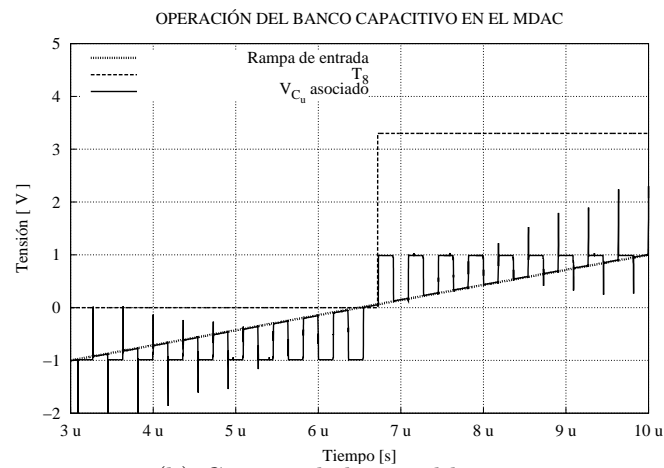
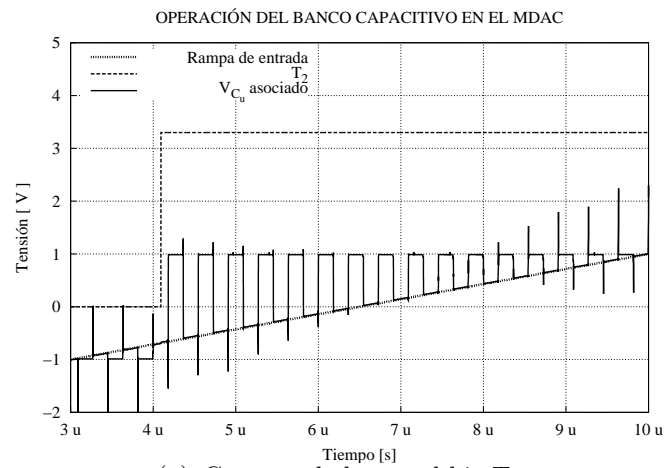


Figura 6.4: Resultados de simulación para el MDAC.

Como se explicó en el capítulo 4, cada uno de los capacitores unitarios que conforman el banco capacitivo del *MDAC* muestrean la señal de entrada durante una de las fases de reloj. Durante la fase complementaria, estos capacitores se conectan a $\pm V_{ref}$ dependiendo del nivel lógico del bit generado en el *sub-ADC* que lo controla. Los detalles de este funcionamiento son ilustrados en las figuras 6.4(a) y 6.4(b) para un par de bits de ejemplo en el código termómetro **T**. Para generar estos resultados, una tensión de entrada variando en rampa ascendente desde $-V_{FS}/2$ hasta $V_{FS}/2$ fue aplicada al *MDAC*. Tal y como se observa en las figuras, mientras la señal del bit de control esté al nivel de 0 V ($T_X = 0$), la tensión en los terminales del capacitor unitario corresponde a $-V_{ref}$ durante el modo de amplificación. Por el contrario, cuando la señal del bit sube a V_{DD} ($T_X = 1$), C_u es conectado a $+V_{ref}$.

Adicionalmente, el modo de operación del capacitor unitario extra en la figura 4.13 es visualizado en la figura 6.4(c). Durante el modo de muestreo, este C_u realiza una función diferente a la del resto del banco capacitivo, pero no por ello menos importante. Así, este capacitor es conectado a la referencia $+V_{ref}$ para implementar el *offset* digital requerido en la función de transferencia de cada etapa que emplea el bit de redundancia y *RSD*. De otra forma, durante la fase de amplificación permite la realización del otro *offset* necesario para el caso especial de la función de transferencia cuando la salida digital del *sub-ADC* es 0000. Para los restantes 14 valores del código **T**, este capacitor es cortocircuitado para omitir su almacenamiento de carga.

Como observación final, se resalta la presencia de *glitches* en las simulaciones exhibidas en la figura 6.4, de forma similar a los resultados del circuito *S \mathcal{E} H* presentados con anterioridad. Asimismo, el origen de estos transitorios también resulta compartido por ambos bloques funcionales. Por consiguiente, la reducción en la resistencia de salida del *OTA* debido al funcionamiento de sus dispositivos cascodo en proximidades de la región de triodo, así como también la dependencia no lineal de R_{on} en los interruptores *MOS* con respecto a la tensión en sus terminales, constituyen la principal razón del incremento en las constantes de tiempo de establecimiento en los nodos de salida cuando V_{in} se acerca a $\pm V_{ref} = \pm V_{FS}/2 = \pm 1$ V.

6.2. Layout

Las características geométricas anteriormente obtenidas mediante la estrategia de diseño se materializan en un circuito integrado. Allí, algunos fenómenos pronosticados, como capacitancias parásitas, son evidentes debido a las importantes extensiones de metal y difusión que demandan tanto elementos activos como pasivos. Algunas estrategias son aplicadas durante la elaboración del *layout* buscando minimizar el impacto de las variaciones de los procesos de fabricación sobre los dispositivos que conforman el *ADC*, de tal forma que el circuito integrado conserve las especificaciones de su diseño inicial. Debido a la importancia que representa un buen diseño del *layout* para el desempeño del *ADC*, se hacen las siguientes consideraciones:

La entrada del sistema se coloca cerca de los *pads* de conexión, con el fin de evitar las capacitancias parásitas que ocasionan largas pistas de metal para interconectar elementos, lo cual puede degradar el desempeño del conversor.

Los transistores de los *OTAs* fueron ubicados lo más cerca posible, en la misma orientación e intentando crear un eje de simetría entre las ramas del amplificador diferencial. El objetivo es reducir en lo posible los efectos de *mismatch* que son perjudiciales para la linealidad del sistema.

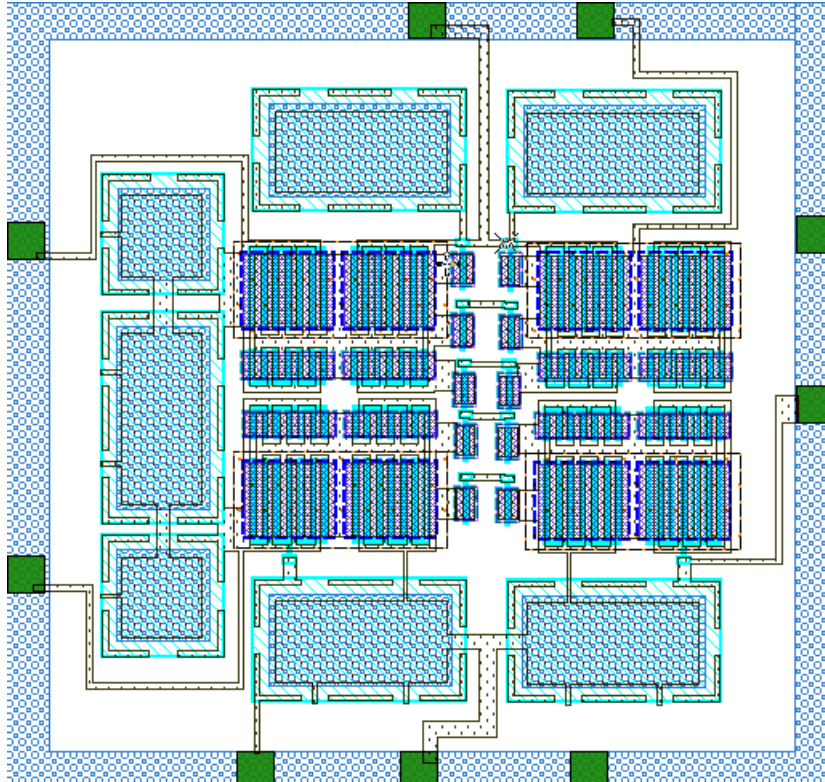


Figura 6.5: *Layout* del ADC diseñado.

Algunos de los transistores se dividieron en múltiples secciones o dedos (transistores en paralelo), lo cual reduce la resistencia y capacitancia parásita asociada con la compuerta, y conlleva un mejor desempeño con respecto a ruido. Adicionalmente, los transistores fueron rodeados por contactos conectados al sustrato para reducir el acoplamiento de ruido por el mismo.

Los capacitores unitarios y de muestreo fueron implementados utilizando capacitores integrados entre las dos capas de polisilicio (*Poly1-Poly2*), disponibles para el proceso de fabricación utilizado.

Al conectar los diferentes capacitores de muestreo, los terminales por donde se recibe la señal entrante a la etapa o circuito son unidos a la placa inferior (*Poly1*) del mismo. La razón de esto es intentar disminuir el acople de capacitancias parásitas con el sustrato, lo cual puede degradar las características de la tensión a muestrear.

No se deben ubicar contactos sobre áreas activas de la compuerta del transistor, ya que esto produce variaciones del voltaje umbral. Se debe tratar de extender la compuerta para evitar realizar el contacto sobre estas regiones. El mismo efecto sucede si al realizar interconexiones entre dispositivos atravesamos regiones activas de la compuerta con metal.

Para evitar caídas de voltaje en las líneas de tierra, se realizó una adecuada conexión al sustrato utilizando varios contactos y empleando líneas de conexión suficientemente anchas, para reducir la resistencia asociada con la conexión.

El ancho de las pistas de metal fue seleccionado de acuerdo a la densidad de corriente soportada por el material de interconexión utilizado y la corriente máxima que se espera que circule por cada trazo de metal.

Fueron dispuestos varios pads de referencia (*GND*) con el propósito de facilitar posteriores pruebas del circuito diseñado.

Para finalizar, la figura 6.5 presenta el *layout* correspondiente al *ADC* multiestándar diseñado e integrado en un chip. Se utilizaron 4 niveles de metal para realizar la interconexión entre los diferentes dispositivos. El *layout* realizado cumple con las reglas de diseño vigentes para el proceso de fabricación $0,35\ \mu\text{m}$ *CMOS C35B4C3* de *AMS*.

6.3. Conclusiones

Es indudable el gran impacto sobre la disipación de potencia total del *ADC* que tiene la adecuada especificación de parámetros determinantes en la demanda de corriente del *OTA*, como por ejemplo el *slew rate*. Prestando especial atención a este factor, en este trabajo se logró implementar un circuito *S \mathcal{E} H* de bajo consumo de potencia a través del análisis cuidadoso y ajustado de su verdadero requerimiento de *SR* para el amplificador central de su arquitectura. Mediante esta estrategia, se evita el sobredimensionamiento que es evidente en la literatura, donde tradicionalmente se asume que la salida del *S \mathcal{E} H* debe seguir gradientes en tensión tan grandes como V_{FS} . Los beneficios derivados de la técnica anterior, son aún más valiosos si se reconoce que el *S \mathcal{E} H* a la entrada de la arquitectura *time-interleaved pipeline*, es el principal consumidor individual de potencia en el *ADC* debido a sus restricciones de velocidad y precisión más estrictas, aparte de que su *OTA* constituye el foco central de dicho consumo.

El aporte consignado en la anterior conclusión está soportado en gran parte sobre la aplicación de la herramienta *CAD* conocida como programación geométrica (PG). Una de las características más interesantes del diseño formulado como un programa geométrico, es que brinda la posibilidad de conocer el circuito y ganar experiencia y dominio sobre el comportamiento del mismo. Lo anterior hace posible que el diseñador pueda prestar más atención a la interacción entre los requerimientos de los circuitos y las tendencias de sus variables de diseño, lo cual se traduce en la identificación de posibles focos para la optimización del desempeño global de los sistemas, como el *ADC* que concierne a este trabajo.

6.4. Observaciones y recomendaciones para trabajos futuros

El artículo guía de este trabajo [12] y su respectiva tesis doctoral [3] emplean tecnología *BiCMOS* para la implementación del *ADC* multiestándar diseñado. Un proceso de fabricación de este tipo provee algunas ventajas sobre su contraparte *CMOS*, como son el menor nivel de *offset* y ruido en los transistores bipolares que puede ser aprovechado al usarlos como etapa de entrada en los amplificadores. También, la capacidad para implementar *opamps BiCMOS* de mayor velocidad y ganancia con un consumo de potencia

similar a los fabricados en *CMOS*, debido a su inherente mayor valor de transconductancia y sus capacitancias parásitas asociadas más pequeñas [3]. Sin embargo, el costo de esta tecnología es superior, por lo cual en este trabajo se superan las limitaciones de los transistores *MOSFET* mediante la aplicación estratégica de técnicas de circuito, y se saca entonces ventaja de la mayor integrabilidad y menor precio que hacen la tecnología *CMOS* más asequible. Adicionalmente, estas últimas características también favorecen la utilización exclusiva de transistores *MOS* en la implementación de dispositivos más pequeños, portátiles y económicos en ambientes inalámbricos modernos multiestándar.

Como debe ser evidente, la utilización de *ADCs* que emplean tasas de conversión de Nyquist ($f_s = 2f_{in}$) con señales de entrada a la frecuencia máxima del ancho de banda especificado, resulta en la generación de tan sólo 2 códigos digitales por cada periodo de V_{in} . Lo anterior puede parecer insuficiente para capturar la información contenida en la señal entrante, en comparación con los resultados obtenidos en este trabajo (figura 6.2), donde se emplean frecuencias de conversión superiores a Nyquist por las razones explicadas en el capítulo 1. Sin embargo, la cantidad de muestras y códigos digitales generados a partir de tasas de Nyquist, son suficientes para estándares de comunicación inalámbrica cuyos esquemas de modulación se derivan de la simple estrategia de codificación de datos aplicada en *FSK* [5], como es el caso particular de este trabajo con *Bluetooth* (*GFSK*) y *GSM* (*GMSK*).

La tendencia paralela a la estrategia aplicada en este trabajo para conseguir la configurabilidad en receptores y conversores multiestándar, es conocida en el estado del arte como un radio definido por *software* (*Software Defined Radio, SDR*). En esta última alternativa, el reto a seguir es intentar llevar a cabo casi todo el procesamiento de la señal recibida en el dominio digital, donde la programabilidad necesaria para suplir diferentes estándares es mucho más fácil de implementar. Para conseguir esto, los requerimientos del *ADC* son muy exigentes, ya que el mismo debe operar a frecuencias iguales o superiores a *IF*, aparte de tener amplios anchos de banda y rangos dinámicos para poder digitalizar tanto las pequeñas señales deseadas, como los *blockers* gigantes que las acompañan en el espectro de frecuencias. La arquitectura de *ADC* preferida para estas condiciones de operación es la $\Sigma\Delta$ con sobremuestreo (*oversampling*), debido a que las interferencias de canal adyacente caen en la misma banda del ruido de cuantización que atraviesa la función de transferencia pasa-altas del modulador $\Sigma\Delta$ [2, 3, 7]. Posteriormente, ambos espectros indeseados son suprimidos por un filtro de diezmación programable también digital. Actualmente se están desarrollando los primeros intentos, aunque llevar el *ADC* a frecuencias de operación cercanas a *RF*, es una opción impráctica, de excesivo consumo de potencia y costosa incluso para un futuro cercano.

Un análisis completo y cuidadoso del verdadero requerimiento en resolución o número de bits de un *ADC*, es una tarea bastante compleja y matizada por diversos factores y compromisos, dependiendo del esquema de modulación utilizado en el estándar de comunicación inalámbrica bajo el cual funciona el receptor completo. Lo anterior resulta en la aplicación tradicional, tanto en la literatura como en este trabajo, de procedimientos que involucran diversos márgenes de diseño y suposiciones que muy posiblemente sobredimensionan esta especificación del conversor. A partir de esto, se recomienda la realización de un proyecto de grado dedicado exclusivamente al estudio de una estrategia eficiente, conservadora y realmente ajustada a los requerimientos de los estándares de comunicación inalámbrica, para la especificación adecuada de la resolución del *ADC*.

El análisis para determinar el requerimiento de SNR de acuerdo al nivel de desempeño (BER) requerido por cada estándar, fue desarrollado en este trabajo empleando el modelo más simple para el canal de transmisión, conocido como el canal con ruido blanco aditivo Gaussiano (*Additive White Gaussian Noise, AWGN*). Por otro lado, en la literatura se encuentran documentados diversos análisis similares basados en modelos más complejos y realistas, pero que se salen del alcance del presente trabajo. Sin embargo, es importante anotar que tales estudios son realizados sólo a nivel de sistema, y no aplicados a implementaciones prácticas como el diseño de circuitos integrados. De esta manera, algunos casos involucran interferencias por canales adyacentes, efecto Doppler, multitrayectorias con línea de vista y sin ella (urbanos), los cuales son caracterizados por diversas distribuciones y series probabilísticas como Gram-Charlier y Nakagami, de la cual uno de sus casos especiales es la más conocida Rayleigh de multitrayectoria.

La extracción del requerimiento real del número de bits por etapa en una cadena *pipeline* también constituye una labor poco sencilla que es un área de investigación activa en la actualidad. Aunque en este trabajo se plantea un intento para optimizar esta especificación de acuerdo al consumo total de potencia del ADC , una estrategia más completa debe incluir diversos factores como la posibilidad de diferentes resoluciones por etapas y la disminución adicional del área, tal y como se aborda en [18]. Sin embargo, un método como el anterior requiere la ayuda de herramientas informáticas por tratarse de un problema multivariable complejo.

Algunos de los requerimientos de operación bajo GSM del ADC multiestándar diseñado fueron determinados a partir de las especificaciones previamente alcanzadas con el diseño del filtro precedente en [31], el cual fue concebido en su momento sólo para funcionamiento con *Bluetooth*. Consecuentemente, para generar un punto de validación de los resultados obtenidos en este trabajo, se recomienda la implementación configurable del citado filtro, lo cual permite relajar los requerimientos en el ADC . Entonces, ambas alternativas de filtro+ ADC pueden ser comparadas como sistema completo, y verificar cuál es más eficiente en consumo de potencia.

La falta de información detallada en la literatura acerca de la implementación circuital de los diferentes bloques funcionales del ADC se convirtió en un obstáculo permanente durante la ejecución del proyecto. De esta forma, aspectos diminutos y relativamente sencillos, pero de gran relevancia para la comprensión y adaptación de las técnicas circuitales disponibles en el estado del arte, retrasaron e hicieron más difícil la realización de algunos pormenores. Entre otros ejemplos ilustrativos de este inconveniente, se resaltan las duraciones y retrasos relativos de las diferentes fases de reloj empleadas a lo largo de la cadena *pipeline*, la forma en que la salida digital del *sub-ADC* controla la conmutación de los capacitores en el $MDAC$ y las diversas alternativas (no todas óptimas y adecuadas) de realizar una misma función de transferencia para incluir el *offset* digital en la celda básica y que requiere la aplicación de RSD . Como recomendación para trabajos futuros, tópicos de esta clase son encontrados con un poco más de facilidad y frecuencia en literatura no tan reciente, ya que algunas de estas particularidades ya han sido abordadas con amplio grado de detalle en el pasado.

A partir de uno de los tópicos citados en la anterior observación, se recomienda la exploración cuidadosa y detallada de las diversas opciones para la implementación de la función de transferencia del $MDAC$, cuyos pormenores fueron consignados en la tabla

4.4. El objetivo de un análisis de esta clase es encontrar la manera de realizar una arquitectura que emplee un banco de capacitores lo más pequeño posible. Como resultado de lo anterior, el factor de realimentación β se incrementará, y las especificaciones del *OTA* se harán menos exigentes.

Explorar el ahorro en potencia y área que puede ser conseguido compartiendo el *OTA* de los *MDACs* en las etapas consecutivas 1 y 2 de la rama *pipeline* activa durante la operación bajo el estándar *GSM*.

Explorar los beneficios que puede brindar la reutilización del *OTA* en el *MDAC* de la tercera celda básica *pipeline*, de tal forma que pueda ser compartida entre las dos ramas paralelas activas bajo el estándar *Bluetooth*. Lo anterior puede lograrse mediante el empleo de la técnica de muestreo doble (*double sampling*) en forma similar a como fue aplicada en el *S&H* a la entrada del *ADC*.

La aplicación del muestreo doble favorece la extracción más ajustada del requerimiento real de *SR* en el *OTA* del *S&H*, a partir de que la tensión de salida del mismo siempre está definida, no importa cuál fase de reloj esté activa. Sin embargo, el anterior no es el caso del *OTA* como núcleo del *MDAC*, el cual aplica *auto-zeroing* durante la fase de muestreo. Si las alternativas consignadas en el par de recomendaciones anteriores son aplicadas, las nuevas condiciones de operación pueden facilitar el análisis detallado de la especificación de *slew rate* en el amplificador del *MDAC* en forma similar a como se hizo en el circuito de muestreo y retención a la entrada del *ADC*.

La no linealidad del interruptor *MOS* es contrarrestada en la literatura con otras técnicas que no son abordadas en este trabajo de grado por su complejidad e incremento sustancial de *hardware* y consumo de potencia asociado. Un par de ellas son conocidas como *gate voltage boosting*, que básicamente consiste en la utilización de una tensión de compuerta superior incluso a V_{DD} ; y *bootstrapped switches*, la cual consiste en utilizar como tensión de compuerta la misma señal de entrada desplazada en V_{DD} [30, 32].

Los interruptores *MOS* son dimensionados previamente a la implementación de los circuitos *SC* para evitar degradar la respuesta en frecuencia del sistema y para satisfacer otros requerimientos como el *clock feedthrough* y linealidad de los mismos. Sin embargo, con frecuencia es necesario redimensionar tales dispositivos para suprimir efectivamente transitorios y *glitches* indeseados que surgen durante las simulaciones en *Hspice* del circuito diseñado.

Para aplicar la programación geométrica de una forma más eficiente, es necesario automatizar también la generación y disponibilidad de modelos para los transistores, ya que constituye una actividad muy tediosa y desgastante para el diseñador o usuario de la herramienta.

La aplicación de la programación geométrica permite a este proyecto alejarse de la estrategia frecuente y disimulada de otros diseños de *ADCs* con arquitectura *pipeline*, en la cual tan sólo se invierte un tiempo significativo en el diseño cuidadoso de la primera etapa, cuyos requerimientos son los más exigentes. Consecuentemente, las etapas posteriores constituyen sencillas copias con algunos ajustes de escalamiento de la primera celda básica.

Cuando algunas topologías de *opamps* fueron diseñadas mediante PG en el proyecto de grado [36], su tensión $V_{CM,OUT}$ era ajustada en forma manual con alguna tensión de polarización durante las simulaciones de verificación de parámetros de desempeño. En ese momento, e incluso durante la experimentación inicial en este trabajo con el PG, existía la incertidumbre acerca de la efectividad de un bloque *CMFB* para realizar esta tarea de control automáticamente en implementaciones diferenciales como el *OTA* cascodo doblado. Entonces, el diseño e implementación del *SC-CMFB* en el capítulo 5 de este documento, realiza otro aporte a partir de la reafirmación y validación de su funcionalidad como controlador del nivel en modo común a la salida del amplificador.

La selección y diseño de una topología de *CMFB* acorde a las condiciones de operación del *OTA* que lo va a utilizar, es fundamental para obtener resultados favorables en el desempeño de los bloques funcionales del *ADC*, como es el caso del *S&H* y los *MDACs*. La justificación de esto radica en que el nivel de tensión en modo común a la salida ($V_{CM,OUT}$) con el cual el *OTA* es diseñado mediante el *PG*, es necesario para garantizar la correcta operación del amplificador y del circuito que lo utiliza.

El PG utilizado para el diseño del *OTA* en este trabajo, realiza un intento por incluir de cierta manera el efecto cuerpo de los transistores *NMOS* $M1$, $M2$ y $M5$, $M6$ durante su formulación. Para ello, sus tensiones de umbral V_T son determinadas de acuerdo con la expresión $V_T = V_{T0} + \gamma(\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f})$, donde los parámetros V_{T0} , γ y ϕ_f dependen de la tecnología de fabricación y el voltaje V_{SB} está dado por la combinación de las tensiones V_{DS} adecuadas en la figura 5.1.

El programa geométrico para el diseño del *OTA* cascodo doblado puede ser complementado añadiendo la ecuación de ruido térmico referido a la entrada, al mismo tiempo que se restringe su valor máximo. Lo anterior permite reforzar la suposición de que los interruptores *MOS* junto con los capacitores de muestreo constituyen la fuente ruidosa dominante en los circuitos *SC*. Adicionalmente, si es requerido por alguna aplicación en particular, el PG también puede ser extendido mediante la adición de expresiones para otros parámetros de desempeño, como son el *CMRR* y el *PSRR*. Sin embargo, debe tenerse siempre presente la necesidad de que tales expresiones puedan ser formuladas en una manera compatible con el PG estándar.

El estudio que produjo un par de restricciones adicionales en el PG para obtener la especificación de los rangos de excursión DR_{IN} y DR_{OUT} en el *OTA*, permitió comprender que a pesar de la automatización del diseño mediante esta herramienta, el conocimiento y el análisis cuidadoso de los circuitos, al igual que en el método convencional de diseño, siguen siendo parte fundamental de este procedimiento. Lo anterior soporta la idea de que el diseño de los circuitos analógicos no puede ser totalmente programable, ya que siempre será requerido ese componente de creatividad y experiencia por parte de la persona, para dar solución a detalles y especificaciones particulares.

Bibliografía

- [1] L. Perraud, M. Recouly, C. Pinatel, N. Sornin, J.-L. Bonnot, F. Benoist, M. Massei, and O. Gibrat, “A Direct-Conversion CMOS Transceiver for the 802.11a/b/g WLAN Standard Utilizing a Cartesian Feedback Transmitter,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2226 – 2238, Dec. 2004.
- [2] M. R. Miller and C. S. Petrie, “A Multibit Sigma-Delta ADC for Multimode Receivers,” *IEEE J. Solid-State Circuits*, vol. 38, no. 3, pp. 475 – 482, Mar. 2003.
- [3] B. Xia, “Analog-to-Digital Interface Design for Wireless Receivers,” Ph.D. dissertation, Texas and A&M University, Dec. 2004.
- [4] “Specification of the Bluetooth System,” Bluetooth SIG, Version 2.0, November 2004. [Internet]. Visite: <http://www.bluetooth.com>
- [5] S. Haykin, *Sistemas de Comunicación*. Limusa Wiley, 2001.
- [6] “European Digital Cellular Telecommunications System (Phase 2), Radio Transmission and Reception (GSM 05.10),” European Telecommunications Standards Institute, Second ed., July 1995.
- [7] T. Salo, T. H. S. Lindfors, and K. Halonen, “A Dual-Mode 80 MHz Bandpass Delta-Sigma Modulator for a GSM/WCDMA IF-Receiver,” in *IEEE ISSCC*, Feb. 2002, pp. 218–461.
- [8] I. Ahmed and D. Johns, “A 50 MS/s (35 mW) to 1 kS/s (15 μ W) Power Scaleable 10b Pipelined ADC with Minimal Bias Current Variation,” in *IEEE ISSCC*, Feb. 2005, pp. 280–281.
- [9] G. Geelen, E. Paulus, D. Simanjuntak, H. Pastoor, and R. Verlinden, “A 90nm CMOS 1.2V10b Power and Speed Programmable Pipelined ADC with 0.5pJ/Conversion-Step,” in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006.
- [10] N. Verma and A. Chandrakasan, “A 25 μ W 100kS/s 12b ADC for Wireless Micro-Sensor Applications,” in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 96–97.
- [11] Y. Fujimoto, Y. Kanazawa, P. L. Re, and M. Miyamoto, “A 80/100MS/s 76.3/70.1dB SNDR $\Sigma\Delta$ ADC for Digital TV Receivers,” in *IEEE ISSCC Dig. Tech. Papers*, Feb. 2006.
- [12] B. Xia, A. Valdes-Garcia, and E. Sánchez-Sinencio, “A 10-bit 44-MSs 20mW Configurable Time-Interleaved Pipeline ADC for a Dual-Mode 802.11b/Bluetooth Receiver,” *IEEE J. Solid-State Circuits*, vol. 41, no. 3, pp. 530–539, Mar. 2006.

- [13] A. Valdes-Garcia, B. Xia, and E. Sánchez-Sinencio, "A Configurable Time-Interleaved Pipeline ADC for Multi-Standard Wireless Receivers," in *Proc. European Solid-State Circuits Conf. IEEE*, Nov. 2004, pp. 259 – 262.
- [14] Y.-J. Jung, H. Jeong, E. Song, J. Lee, S.-W. Lee, D. Seo, I. Song, S. Jung, J. Park, D.-K. Jeong, S.-I. Chae, and W. Kim, "A 2.4-GHz 0.25- μm CMOS Dual-Mode Direct-Conversion Transceiver for Bluetooth and 802.11b," *IEEE J. Solid-State Circuits*, vol. 39, no. 7, pp. 1185 – 1190, Jul. 2004.
- [15] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50 MS/s Time-Interleaved Switched-Opamp Pipeline CMOS ADC with High Energy Efficiency," in *Symposium on VLSI Circuits*, Jun. 2004, pp. 432–435.
- [16] S. W. Lee, "A Single-Chip 2.4 GHz Direct-Conversion CMOS Transceiver with GFSK Modem for Bluetooth Application," in *IEEE Symp. VLSI Circuits Dig. Tech. Papers*, Jun. 2001, pp. 245–246.
- [17] B. Razavi, "A 2.4-GHz CMOS Receiver for IEEE 802.11 Wireless LANs," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1382–1385, Oct. 1999.
- [18] J. Goes, J. Vital, and J. Franca, "Systematic Design for Optimization of High-Speed Self-Calibrated Pipelined A/D Converters," *IEEE Trans. Circuits Syst. II*, vol. 45, no. 12, pp. 1513 – 1526, Dec. 1998.
- [19] C.-H. Lin and K. Bult, "A 10-b, 500-MSample/s CMOS DAC in 0.6 mm^2 ," *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1948 – 1958, Dec. 1998.
- [20] C. Conroy, D. Cline, and P.R.Gray, "An 8-b 85-MS/s Parallel Pipeline A/D Converter in 1- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 447 – 454, Apr. 1993.
- [21] J. van Valburg and R. van de Place, "An 8b 650 MHz Folding ADC," in *IEEE ISSCC Dig. Tech. Papers*, Feb. 1992, pp. 30–31.
- [22] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10b 50 Msample/sec Pipelined CMOS A/D Converter with S/H," in *Proc. Custom Integrated Circuits Conf.*, May. 1992, pp. 16.7.1–16.7.4.
- [23] S.-H. Lee and B.-S. Song, "Digital-Domain Calibration of Multistep Analog-to-Digital Converters," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1679 – 1688, Dec. 1992.
- [24] G. Yin, F. Eynde, and W. Sansen, "A High-Speed CMOS Comparator with 8-b Resolution," *IEEE J. Solid-State Circuits*, vol. 27, no. 2, pp. 208 – 211, Feb. 1992.
- [25] A. Karanicolas, K. O, J. Wang, H.-S. Lee, and R. Reif, "A High-Frequency Fully Differential BiCMOS Operational Amplifier," *IEEE J. Solid-State Circuits*, vol. 26, no. 3, pp. 203 – 208, Mar. 1991.
- [26] M. Ishikawa and T. Tsukahara, "An 8-bit 50-MHz CMOS Subranging A/D Converter with Pipelined Wide-Band S/H," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1485–1491, Dec. 1989.

- [27] A. Emira, A. Valdes-Garcia, B. Xia, A. Mohieldin, A. Valero-López, S. Moon, C. Xin, and E. Sánchez-Sinencio, "A Dual-Mode 802.11b/Bluetooth Receiver in 0.25- μ m BiCMOS," in *IEEE ISSCC*, Feb. 2004, pp. 270 – 527.
- [28] M. Gustavsson, J. J. Wikner, and N.Ñ. Tan, *CMOS Data Converters for Communications*. New York, Boston, Dordrecht, London, Moscow: Kluwer Academic Publishers, 2002.
- [29] P. P. Newaskar, R. Blazquez, and A. P. Chandrakasan, "A/D Precision Requirements for an Ultra-Wideband Radio Receiver," Microsystems Technology Laboratory, Massachusetts Institute of Technology, 2002.
- [30] L. Sumanen, "Pipeline Analog-to-Digital Converters for Wide-Band Wireless Communications," Ph.D. dissertation, Helsinki University of Technology, December 2002.
- [31] E. V. Rey, "Diseño de un Amplificador y un Filtro Banda Base Integrado en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, 2006.
- [32] M. Waltari, "Circuit Techniques for Low-Voltage and High Speed A/D Converters," Ph.D. dissertation, Helsinki University of Technology, June 2002.
- [33] B. Razavi, *Principles of Data Conversion System Design*. 445 Hoes Lane, PO Box 1331: IEEE Press, 1995.
- [34] A. Ayala, "Diseño de un Amplificador de Bajo Ruido y un Mezclador de Señal para Radiofrecuencia Integrados en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, 2005.
- [35] Y. Chiu, "High-Performance Pipeline A/D Converter Design in Deep-Submicron CMOS," Ph.D. dissertation, University of California at Berkeley, 2004.
- [36] D. J. Cabrera and J. A. Oliveos, "Aplicación de la Programación Geométrica en el Diseño de Amplificadores Operacionales Integrados en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, 2006.
- [37] M. del Mar Hershenson, "CMOS Analog Circuit Design Via Geometric Programming," Ph.D. dissertation, Stanford University, November 1999.
- [38] O. Choksi and L. Richard Carley, "Analysis of Switched-Capacitor Common-Mode Feedback Circuit," *IEEE Trans. Circuits Syst. II*, vol. 50, no. 12, pp. 906 – 917, Dec. 2003.
- [39] J. E. V. Solano, "Diseño de un Conversor Analógico-Digital Integrado en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, En proceso de entrega.