

**PROTOTIPO DE RELÉ DIGITAL MULTIFUNCIONAL BASADO
EN MICROCONTROLADORES 87C196KC**

Ing. LAURA ALEYDA BARRIOS HERNÁNDEZ

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE CIENCIAS FISICOMECÁNICAS
MAESTRÍA EN POTENCIA ELÉCTRICA
BUCARAMANGA

2004

**PROTOTIPO DE RELÉ DIGITAL MULTIFUNCIONAL BASADO
EN MICROCONTROLADORES 87C196KC**

Ing. LAURA ALEYDA BARRIOS HERNÁNDEZ

TRABAJO DE INVESTIGACIÓN

Director, Ing. MSc. Alirio Cala Vecino

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE CIENCIAS FISICOMECAÑICAS
MAESTRÍA EN POTENCIA ELÉCTRICA
BUCARAMANGA

2004

DEDICATORIA

A mi madre Laura y a mi padre Wilson,

A mis hermanos, Wilson, Carlos Jaime y Juan Sebastián

A mis abuelitos, Gustavo e Irene,

A toda mi familia,

A mis queridos amigos,

AGRADECIMIENTOS

Al finalizar este trabajo quisiera expresar mis agradecimientos a las instituciones y personas

Al Ingeniero MSc. Alirio Cala Vecino por su motivación para empezar esta maestría y por su dirección y paciencia durante todo este tiempo.

A la Universidad Industrial de Santander, la Escuela de Ingeniería Eléctrica Electrónica y de Telecomunicaciones y la Maestría en Potencia Eléctrica, por la formación recibida y por brindarme las condiciones para realizar este trabajo.

Al cuerpo docente de la Maestría en Potencia Eléctrica, particularmente a los profesores Gabriel Ordoñez, Gilberto Carrillo y Jaime Barrero.

A María Eugenia Angarita por su cariño y dedicación.

A Soluziona LTDA, particularmente al ingeniero Manuel Castro, por permitirme el tiempo para dedicarme a culminar este trabajo.

A mis padres quienes me ha animado y apoyado durante todo este tiempo, su aliento no me han permitido desfallecer en este propósito.

A mi familia,

A los amigos,

Finalmente, y lo más importante quiero agradecerle a Dios, por que siempre ha estado conmigo, y le pido que me siga iluminando y me muestre el camino para llegar hacia El.

TITULO: PROTOTIPO DE RELÉ DIGITAL MULTIFUNCIONAL BASADO EN MICROCONTROLADORES 87C196KC**

AUTOR: Laura Aleyda Barrios Hernandez**

Palabras claves: Protecciones numéricas de sistemas eléctricos de potencia, protecciones digitales, microcontroladores.

RESUMEN

Este trabajo de investigación comprende el diseño y la construcción de un modelo de relé numérico de funciones múltiples para la protección de sistemas eléctricos de potencia. Se utiliza un microcontrolador 87C196KD de Intel de 20 MHz para la realización de las operaciones de adquisición, conversión analógica-digital y tratamiento digital de señales. También se encarga de la lógica de protecciones y el comando de un microcontrolador PIC 168 que actúa como esclavo para el manejo de los dispositivos de entrada/salida e interfaz del usuario.

El diseño del hardware incorpora además del módulo del procesador los módulos de: transformadores de tensión y corriente; acondicionamiento de señales analógicas; memorias e interfaz del usuario y entradas/salidas digitales.

El módulo de acondicionamiento de señales analógicas se encarga de adaptar las señales provenientes de los transformadores de acople al rango de 0 a 5 V pico compatible con el conversor analógico-digital. Cuenta con un banco de filtros, amplificadores de ganancia programable, sumadores de *offset*, detectores de ventana y protectores del puerto análogo.

El microcontrolador PIC esclavo controla la interfaz del usuario que incluye un visualizador de cristal líquido, un teclado matricial, un reloj en tiempo real y los interruptores de solicitud de configuración local y solicitud de reinicio general. Este PIC también controla las salidas de disparos y alarmas del sistema de protección.

Se emplea memoria EPROM para almacenar código de programas y tablas, mientras que las configuraciones de parámetros se almacenan en memoria EEPROM. Para almacenamiento temporal de los datos se emplea la memoria RAM disponible en el microcontrolador 87C196KD (1 KByte).

* proyecto de grado

** Facultad de ciencias Físico mecánicas, Escuela de ingeniería eléctrica y electrónica, Ing. Msc Alirio Cala Vecino

TITLE: PROTOTYPE DE BASED MULTI-FUNCTIONAL DIGITAL RELÉ IN MICROCONTROLADORS 87C196KC *

AUTHOR: Laura Aleyda Barrios Hernandez **

Key words: Numeric and digital relaying, Numeric power systems relaying, Multifunction relaying, Microcontrollers.

DESCRIPTION:

This investigation work incorporates the design and the construction of a model of numeric multifunction relay for the protection of electric power systems. A 20 MHz 87C196KD Intel microcontroller is used for the acquisition, analogical-digital conversion and digital treatment of signs operations. It also takes charge of the logic of protection and the command of the microcontroller slave PIC which hands the input/output devices and the user interface.

The design of the hardware incorporates besides the process module a module of tension and current transformers, a module of analogical signs conditioning, a module of memories and user interface and a module of digital inputs and outputs.

The module of analogical signs conditioning takes charge of adapting the signs coming from the coupling transformers to the range from 0 to 5 V peak compatible with the analogical-digital converter. It incorporates filters, programmable gain amplifiers, offset adders, window detectors and protective circuits of the analogical port.

The user interface is controlled by a microcontroller PIC. It incorporates a liquid crystal display, a matrix keyboard, a real time clock besides two switches of local configuration and general reset requisition. This PIC also controls the trips and alarms outputs of the protection system.

The software program and dates tables are stored in EPROM memories, while the relay settings are stored in EEPROM memory. The RAM memory of the 196KD microcontroller (1K Byte) is used for temporary storage of data.

* Project Degree

** Faculty of Fisico-mechanicals Sciences, Enginner electrical and electronic School, Ing. Msc. Alirio Cala Vecino

CONTENIDO

INTRODUCCIÓN.....	1
1 INTRODUCCIÓN A LAS PROTECCIONES NUMÉRICAS DE SISTEMAS ELÉCTRICOS DE POTENCIA	4
1.1 GENERALIDADES DE LAS PROTECCIONES DE SISTEMAS ELÉCTRICOS DE POTENCIA	4
1.1.1 <i>Funciones de las protecciones.....</i>	4
1.1.2 <i>Elementos de una protección.....</i>	4
1.1.3 <i>Requisitos que debe cumplir una protección.....</i>	5
1.2 CLASES DE RELÉS	6
1.2.1 <i>Según su construcción.....</i>	6
1.2.2 <i>Comparación entre relés analógicos, digitales y numéricos.....</i>	7
1.2.3 <i>Clasificación de relés según la señal de entrada</i>	7
1.3 DESARROLLO HISTÓRICO DE LOS RELÉS DE PROTECCIÓN.....	8
1.3.1 <i>Relés electromecánicos</i>	8
1.3.2 <i>Relés estáticos</i>	9
1.4 FUNDAMENTOS DE RELÉS NUMÉRICOS.....	10
1.4.1 <i>Arquitectura de un relé numérico.....</i>	10
1.4.2 <i>Ventajas y desventajas esperadas del uso de los relés numéricos.....</i>	12
1.4.3 <i>Particularidades de los relés numéricos</i>	13
1.4.4 <i>Capacidad de autodiagnóstico</i>	15
1.5 ESTADO DEL ARTE DE LA INVESTIGACIÓN EN PROTECCIONES NUMÉRICAS EN LA EEET	16
2 FUNCIONES DE PROTECCIÓN.....	18
2.1 PROTECCIONES DE TENSIÓN.....	18
2.1.1 <i>Protecciones contra subtensión rms y sobretensión rms. Funciones ANSI 27 y 59</i>	18
2.1.2 <i>Protección contra sobretensión pico. Función ANSI 59 P.....</i>	19
2.2 PROTECCIONES DE POTENCIA DIRECCIONAL	19
2.2.1 <i>Protección de potencia inversa. Función ANSI 32 R.....</i>	19
2.2.2 <i>Protección de potencia directa trifásica. Función ANSI 32 F</i>	20

2.3	PROTECCIONES DE FRECUENCIA: SOBREFRECUENCIA FUNCIÓN 81_O Y SUBFRECUENCIA FUNCIÓN 81_U Y CON RESTRICCIÓN DE TENSIÓN.....	20
2.4	PROTECCIONES DE SOBRECORRIENTE	21
2.4.1	<i>Protecciones de sobre corriente de fase y neutro de disparo instantáneo. Función ANSI 50 y 50N.</i>	22
3	TRATAMIENTO DE SEÑALES Y CÁLCULOS DE FASORES Y MAGNITUDES DEL SISTEMA.....	24
3.1	TRANSFORMADA DISCRETA DE FOURIER.....	24
3.1.1	<i>DFT en tiempo real</i>	26
3.1.2	<i>Efectos del muestreo en la DFT</i>	28
3.2	OBTENCIÓN DE MAGNITUDES A PARTIR DE LA DFT DE LA SEÑAL.....	30
3.2.1	<i>Fasor de frecuencia fundamental</i>	30
3.2.2	<i>Fasor de corriente de secuencia negativa</i>	31
3.2.3	<i>Valores rms de tensión y corriente</i>	31
3.3	TRATAMIENTO DE SEÑALES ANALÓGICAS Y ESTIMACIÓN DE LAS MAGNITUDES Y PARÁMETROS.....	35
3.3.1	<i>Acondicionamiento de las señales</i>	35
3.3.2	<i>Conversión analógica-digital</i>	37
3.3.3	<i>Estimación de la Transformada Discreta de Fourier</i>	40
3.3.4	<i>Determinación de las componentes de secuencia del fasor de frecuencia fundamental de tensión o corriente.</i>	45
3.3.5	<i>Cálculo de la frecuencia del sistema</i>	47
4	DESCRIPCIÓN GENERAL DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL.....	52
4.1	PARÁMETROS DE CONFIGURACIÓN DE LAS FUNCIONES DE PROTECCIÓN	53
4.1.1	<i>Configuración de las funciones del grupo 1. Tensión</i>	54
4.1.2	<i>Configuración de las funciones del grupo 2. Potencia</i>	55
4.1.3	<i>Configuración de las funciones del grupo 3. Frecuencia</i>	55
4.1.4	<i>Configuración de las funciones del grupo 4. Sobrecorriente</i>	56
4.2	SEÑALES DE ENTRADA/SALIDA	57
4.2.1	<i>Señales de entrada analógicas</i>	57
4.2.2	<i>Señales de entrada de estado</i>	58
4.2.3	<i>Salidas de estado de funciones de protección</i>	58
4.2.4	<i>Señales de estado de autodiagnóstico</i>	60
4.2.5	<i>Salidas digitales de operación</i>	60

4.3	INTERFAZ DEL USUARIO.....	61
4.3.1	<i>Operación en modo de ajuste</i>	62
4.4	RECONFIGURACIÓN Y AUTODIAGNÓSTICO PERIÓDICOS	67
4.5	REGISTRO DE EVENTOS.....	68
5	DESCRIPCIÓN DEL HARDWARE DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL	
	69	
5.1	NÚCLEO DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL	71
5.1.1	<i>Microcontrolador 87C196KD</i>	71
5.1.2	<i>Tarjeta de desarrollo 196 KD de Intel</i>	75
5.2	MÓDULO DE TRANSFORMACIÓN DE TENSIONES Y CORRIENTES DEL SISTEMA ELÉCTRICO DE POTENCIA	79
5.2.1	<i>Circuitos de tensión</i>	79
5.2.2	<i>Circuitos de corriente</i>	80
5.3	MÓDULO DE ACONDICIONAMIENTO DE SEÑALES ANALÓGICAS.....	82
5.3.1	<i>Banco de filtros antialiasing (pasabajos)</i>	83
5.3.2	<i>Amplificadores de ganancia programable (AGP)</i>	87
5.4	MÓDULO DE CONTROL DE MEMORIA E INTERFAZ DEL USUARIO.....	92
5.4.1	<i>Mapa de memoria del sistema</i>	93
5.4.2	<i>Submódulo de control de interfaz de usuario</i>	94
5.4.3	<i>Módulo de entradas y salidas digitales</i>	97
6	SOFTWARE DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL	99
6.1	GENERALIDADES DEL SOFTWARE.....	99
6.2	SOFTWARE PARA EL MODO DE OPERACIÓN NORMAL : MODO_OPERACIÓN.....	102
6.2.1	<i>Rutinas de control de la conversión analógico digital</i>	102
6.2.2	<i>Rutina de tratamiento digital de señales: DFT</i>	103
6.2.3	<i>Software de verificación de la lógica de protecciones</i>	106
6.2.4	<i>Software del lazo principal del modo de operación</i>	114
6.2.5	<i>Otras subrutinas del submenú operación</i>	115
6.3	SOFTWARE PARA EL MODO DE INICIO	115
6.3.1	<i>Rutinas de reconfiguración y autodiagnóstico REINICIA_R</i>	115
6.3.2	<i>Subrutinas de normalización de tablas de configuración.</i>	116
6.4	SOFTWARE PARA EL MODO DE CONFIGURACIÓN	118
6.4.1	<i>Rutina de control de despliegues de menú DES_MENU</i>	118
6.4.2	<i>Rutina de control del despliegue de menú actual DSPLG_0</i>	120

6.4.3	<i>Rutina de adquisición de valor de tecla pulsada y control de rutinas T_SCAN_TECLA</i>	
	<i>121</i>	
6.4.4	<i>Subrutinas del submenú de configuración.....</i>	<i>123</i>
6.4.5	<i>Subrutinas del submenú de medición</i>	<i>124</i>
6.4.6	<i>Subrutinas del submenú de archivo.....</i>	<i>124</i>
6.5	SOFTWARE PARA EL CONTROL DEL VISUALIZADOR LCD PG1223-2ARS	125
7	CONCLUSIONES Y RECOMENDACIONES.....	127
7.1	CONCLUSIONES.....	127
7.2	RECOMENDACIONES.....	129
	BIBLIOGRAFIA.....	131

LISTA DE FIGURAS

Figura 1. Elementos de un sistema de protección	5
Figura 2. Diagrama en bloques de un relé numérico.....	11
Figura 3. Curvas ANSI características de corriente inversa.....	23
Figura 4. Señal continua $x(t)$ y señal discreta $x(n)$ correspondiente.	25
Figura 5. Algoritmo de cálculo de la frecuencia del sistema	35
Figura 6. Aplicación del algoritmo de estimación de la frecuencia.	49
Figura 7 Ventana de operación normal.....	61
Figura 8. Ventanas presentadas en estado de falla.....	61
Figura 9 Menú principal.....	62
Figura 10. Ejemplo de secuencia de ventanas del submenú de configuración	64
Figura 11. Submenú Multímetro	65
Figura 12. Ventanas de opciones del Submenú Multímetro: tensión, corriente, potencia y frecuencia.....	66
Figura 13. Opciones del submenú de Autopruebas.....	66

Figura 14. Diagrama en bloques del <i>hardware</i> del prototipo de relé multifuncional	70
Figura 15. Bloques del módulo de conversión analógico-digital del MCS-196	72
Figura 16. Diagrama de bloques de la Tarjeta evaluadora EV 196KD-20 de Intel	75
Figura 17. Módulo de transformadores de acople de tensiones y corrientes del sistema eléctrico de potencia.	81
Figura 18. Diagrama de pines y diagrama de bloques del filtro MF6CN-50	83
Figura 19. Circuitos de entrada equivalente y real de entrada del filtro MF6CN-50	84
Figura 20. Respuesta de amplitud del filtro MF6CN-50 para alimentación de $\pm 5V$.	85
Figura 21. Ejemplo de diseño de la especificación de la respuesta en magnitud.	86
Figura 22. Esquema de conexiones para el filtro MF6-CN50	87
Figura 23. Circuito Amplificador de ganancia programable	88
Figura 24. Generador de señales de control para los AGPs	89
Figura 25. Circuito sumador de <i>offset</i> de 2,5 V	90
Figura 26. Circuito de referencia de $- 2,5 V$ DC	91
Figura 27. Circuito de protección para el puerto 0.	92

Figura 28. Estructura del módulo de memoria e interfaz del usuario.....	92
Figura 29. Diagramas de pines y lógico de una memoria 27C256B	94
Figura 30. Diagrama de pines de la memoria 28C64.....	94
Figura 31. Diagrama de pines del microcontrolador PIC 16F873	95
Figura 32. Diagrama de pines del reloj en tiempo real DS1302	95
Figura 33. Diagrama lógico del visualizador LCD PG12232AR.	96
Figura 34. Diagrama esquemático de un circuito de puerto digital.....	97
Figura 35. Circuito de conversión de salidas TTL en tipo contacto	98
Figura 36. Estructura modular del <i>software</i>	100
Figura 37. Relación entre los módulos del <i>software</i>	101
Figura 38. Diagrama de flujo rutina de servicio fin de conversión A/D FIN_AD	103
Figura 39. Rutina de Procesamiento Digital de Señales: DFT 1ª parte	104
Figura 40. Rutina de Procesamiento Digital de Señales: DFT 2ª parte.	105
Figura 41 Estructura general del bloque de Lógica de Protecciones	107
Figura 42. Macro para protecciones que verifican un límite superior.	108

Figura 43. Macro para protecciones que verifican un límite inferior.	109
Figura 44. Macro para las funciones de sobrefrecuencia.....	110
Figura 45. Macro para las funciones de subfrecuencia.....	110
Figura 46. Diagrama de flujo para la macro FUNCION_51	112
Figura 47. Diagrama de flujo para la macro TEMPORIZAR.....	113
Figura 48. Diagrama de flujo del lazo principal del modo de operación	114
Figura 49. Diagrama de flujo de la rutina REINICIA_R	117
Figura 50. Diagrama de Flujo de la rutina de control de despliegues de menú DES_MENÚ	119
Figura 51. Tabla de configuración y despliegue de ventanas para el Menú Principal.....	120
Figura 52. Diagrama de flujo rutina de despliegue de menú actual DSPLG_0	121
Figura 53. Diagrama de flujo de la rutina de SCAN_TECLA	122
Figura 54. Ejemplo de selección de una subrutina usando la Tabla de vectores de SCAN_TECLA y los vectores de rutinas para las teclas	123

INTRODUCCIÓN

PLANTEAMIENTO DEL PROBLEMA

Desde los años sesenta, cuando se empezó a proponer el uso de los procesadores en aplicaciones de protección de sistemas eléctricos de potencia, hasta la actualidad las protecciones digitales y numéricas de sistemas eléctricos de potencia se han perfeccionado y posicionado de tal forma que en estos momentos sería imposible pensar en un nuevo desarrollo en protecciones que no esté basado en procesador (microprocesadores, microcontroladores o procesadores digitales de señal (DSPs)).

Aunque una gran parte de los sistemas eléctricos de potencia en Colombia y en todo el mundo están aún protegidos por la combinación de relés electromecánicos y de estado sólido, la tendencia de las empresas de generación, transmisión y distribución de energía es reemplazar esta tecnología por sistemas de protección digitales y numéricos. Este acelerado cambio tecnológico está impulsado por el alto grado de flexibilidad y de interconectividad y por las capacidades adicionales que ofrece la tecnología digital, manteniendo las mismas y mejores especificaciones de seguridad y confiabilidad que sus homólogos analógicos a un costo en varios casos menor que el de los sistemas electromecánicos y electrónicos de estado sólido.

Por las anteriores razones desde 1990 en la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones (EET) de la Universidad Industrial de Santander, se ha adelantado un proceso de investigación y desarrollo en sistemas digitales y numéricos de protección de sistemas eléctricos de potencia. Este proceso agrupa diferentes trabajos de pregrado y postgrado que se estudiarán mas adelante, pero que en resumen se orientan al diseño y construcción de relés numéricos de protección de sistemas eléctricos de potencia basándose en diferentes procesadores (los microprocesadores Z80 de Zilog y los microcontroladores de la familia 196 de Intel).

En este trabajo de investigación, como un paso muy importante del proceso de investigación principal, se presenta el diseño y construcción de un primer prototipo de relé numérico de funciones múltiples, el cual está basado en un microcontrolador 87C196KD. Se espera que el proceso continúe y culmine con la construcción de un relé numérico multifuncional tipo industrial que pueda satisfacer las necesidades de una gran fracción de los usuarios del Sistema Eléctrico Nacional.

OBJETIVOS DEL TRABAJO DE INVESTIGACIÓN

El presente trabajo de investigación tiene como objetivo principal diseñar y construir un prototipo de relé numérico que integre las funciones de protección de sobre tensión pico y rms, de subtensión rms, de potencia direccional (inversa y directa), de sobre frecuencia y subfrecuencia, de sobre corriente instantánea de fase y neutro, de sobre corriente de tiempo inverso de fase y de sobre corriente de secuencia negativa.

Además, con el desarrollo de este trabajo se pretende incentivar en la EEET la utilización de los microcontroladores 8XC196KC/KD de Intel y las herramientas de desarrollo disponibles.

ORGANIZACIÓN DE LA PRESENTACIÓN

La presentación del trabajo de investigación se organizó de la siguiente forma:

El capítulo uno cubre la introducción al tema de las protecciones numéricas de sistemas eléctricos de potencia, para lo cual se presentan las definiciones más usadas y se resume la evolución de los sistemas de protección, haciendo especial énfasis en lo relacionado con sistemas digitales y numéricos; también se resume el progreso de los trabajos desarrollados en la EEET sobre el tema.

En el capítulo dos se presentan brevemente las funciones de protección que soporta el modelo diseñado.

El capítulo tres está dedicado al desarrollo de los principios matemáticos del tratamiento de las señales y al cálculo de las magnitudes eléctricas, a partir de los cuales se han desarrollado los algoritmos de tratamiento de señales, medición de magnitudes y lógica de protección del prototipo de relé multifuncional.

En el capítulo cuatro se exponen las especificaciones generales que cumple el dispositivo. Se describen las funciones de protección integradas, la configuración de sus parámetros y la interfaz del usuario.

Todos los detalles del diseño y construcción del *hardware* del equipo se explican en el capítulo cinco y el *software* en el capítulo seis.

Finalmente, el capítulo siete presenta las conclusiones del trabajo de investigación y las recomendaciones y alternativas de desarrollos posteriores.

También se ha incluido una serie de anexos que complementan el cuerpo principal del trabajo:

Anexo A. Presenta un nuevo algoritmo de estimación de frecuencia.

Anexo B. Resume las características de los microcontroladores 8XC196KC/8XC196KD.

Anexo C. Presenta los listados del código ensamblado debidamente documentados.

Anexo D. Contiene los planos de conexión de los principales módulos del *hardware*.

1 INTRODUCCIÓN A LAS PROTECCIONES NUMÉRICAS DE SISTEMAS ELÉCTRICOS DE POTENCIA

En este capítulo se presentan algunos conceptos y definiciones básicos de las protecciones y en particular de los relés numéricos. También se resume el desarrollo histórico de los relés de protección, y la evolución del trabajo de investigación en el área de las protecciones numéricas de sistemas eléctricos de potencia, llevado a cabo en la EEET hasta el presente.

1.1 GENERALIDADES DE LAS PROTECCIONES DE SISTEMAS ELÉCTRICOS DE POTENCIA

1.1.1 Funciones de las protecciones

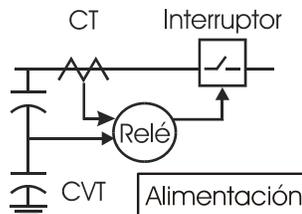
Las protecciones de sistemas de potencia tienen como labor principal reducir la influencia de una falla u operación anormal para que no se produzcan daños en el sistema de potencia, o se arriesgue la vida de las personas. Al utilizarlas adecuadamente se mantiene un alto grado de continuidad del servicio y se limitan los daños en los equipos. Actualmente muchos sistemas de protección ofrecen funciones adicionales tales como: indicaciones sobre la localización y tipo de falla, posibilidades de comunicación, autodiagnóstico, registro de datos y eventos de falla.

1.1.2 Elementos de una protección

Una protección consta de tres etapas operativas: de medición, lógica y de acción [Phadke & Thorp 1988]. En la Figura 1 se identifican estas etapas en un sistema de protección básico.

La etapa de medición la cumplen transductores (como los transformadores de corriente y tensión) los cuales reducen y aíslan las magnitudes de entrada a niveles seguros para el acceso humano y manejables por los dispositivos de baja potencia.

Figura 1. Elementos de un sistema de protección



La etapa lógica de la protección la ejecuta el relé, dispositivo que responde a la condición de sus entradas generando las señales de salida apropiadas para disparar los interruptores cuando las condiciones de entrada corresponden a las fallas para las cuales se diseñó. Es el elemento principal del sistema.

La etapa de acción la realiza el interruptor (*"breaker"*) que aísla el circuito fallado interrumpiendo la corriente, bajo el comando del relé de protección. Para el ejemplo de la Figura 1, el interruptor opera cuando el relé cierra los contactos entre la bobina de disparo y la batería, energizando la bobina de disparo.

1.1.3 Requisitos que debe cumplir una protección

Un sistema de protección bien diseñado debe ser confiable, selectivo, seguro, rápido, y además mantener una adecuada relación costo-beneficio [Carrillo 1990] [Elmore 1994] [Urbaez & Cala 1999].

Confiability. Es la certeza de realizar una operación correcta en respuesta a las fallas del sistema.

Selectividad. Es la capacidad de aislar la parte de la instalación o elemento afectado por la falla, y evitar el corte de cualquier otro elemento.

Seguridad. Es la probabilidad de no tener un disparo indeseado, es decir, el relé nunca debe actuar en ausencia de perturbación en el elemento protegido.

Rapidez Es la facultad de actuar tan rápido como sea posible, es decir antes de que las cantidades en falla causen daños a los aparatos protegidos. Las estadísticas demuestran que tiempos de despeje de falla por encima de 100 ms han ocasionado destrucción en equipos y colapsos en el sistema, mientras que por debajo de 100 ms, el sistema puede seguir operando normalmente. Como consecuencia, los esquemas de protección modernos tienden a obtener tiempos de eliminación de falla de 60 a 100 ms, dejando márgenes de funcionamiento del relé de 20 a 40 ms según el tipo de interruptor utilizado.

Óptima relación costo-beneficio. Se logra cuando se selecciona la alternativa menos costosa que satisfaga las condiciones técnicas.

1.2 CLASES DE RELÉS

El término relé se puede aplicar a una gran cantidad de dispositivos y equipos de muy diversas clases de construcción y principios de funcionamiento.

1.2.1 Según su construcción

Desde el punto de vista constructivo los relés se clasifican como electromecánicos y estáticos.

Relés electromecánicos Para los relés electromecánicos el elemento de control es un sistema móvil que actúa gracias a la fuerza producida por el elemento actuador. La acción se ejerce sobre contactos que pueden ser normalmente abiertos o normalmente cerrados. Los relés electromecánicos se basan en cuatro principios básicos de funcionamiento:

unidades de atracción magnética, unidades de inducción magnética, unidades de D'Arsonval y unidades térmicas. Son robustos mecánicamente e inmunes ante las interferencias electromagnéticas EMI. Desafortunadamente, son lentos, y requieren una considerable cantidad de energía para operar.

Relés estáticos Los relés estáticos son aquellos que carecen de partes móviles, en cuya construcción se utilizan dispositivos electrónicos o dispositivos magnéticos. Incluyen los relés de estado sólido, los relés digitales y los relés numéricos. Suelen operar rápidamente y pueden diseñarse para suministrar mayor variedad de funciones que su contraparte electromecánica. La técnica de medida en los relés estáticos puede ser analógica, digital o numérica [Blackburn 94].

1.2.2 Comparación entre relés analógicos, digitales y numéricos

En los relés analógicos las cantidades a medir se convierten en señales similares, pero de menor magnitud, las cuales se combinan y comparan directamente con valores de referencia en detectores de nivel para producir la salida deseada.

En los relés digitales la señal de entrada se manipula en forma análoga y subsecuentemente se convierte en un tensión de forma cuadrada (binario). Para la toma de decisiones se emplean circuitos lógicos o microprocesadores que comparan la fase relativa entre la señal cuadrada y una señal de referencia.

En los relés numéricos las cantidades medidas se someten a muestreo en forma secuencial y se convierten a valores numéricos, mientras que un procesador realiza las operaciones lógicas o matemáticas en los datos para tomar las decisiones de protección.

1.2.3 Clasificación de relés según la señal de entrada

Tomando en cuenta las señales que usan como entrada, los relés se han clasificado en los siguientes tipos [Phadke & Thorp 1993]:

Relés de magnitud. Responden a la magnitud de una cantidad de entrada. Ejemplo: Relé de sobre corriente.

Relés direccionales Responden al ángulo de fase entre dos entradas de AC.

Relés de relación. Responden a la relación de dos señales de entrada expresadas como fasores. La relación entre dos fasores es un número complejo, por tanto un relé de relación puede diseñarse para responder a la magnitud del número complejo, o al complejo en sí mismo. Ejemplo: algunas versiones de los relés de impedancia o de distancia.

Relés diferenciales. Responden a la magnitud de la suma algebraica de dos o más entradas. La forma más común responde a la suma algebraica de las corrientes que entran a una zona de protección.

Relés piloto Estos relés utilizan información recibida de localidades remotas como una señal de entrada. Este tipo de protección generalmente comunica la decisión tomada por un relé local de cualquiera de los tipos anteriores a los terminales remotos de una línea de transmisión.

1.3 DESARROLLO HISTÓRICO DE LOS RELÉS DE PROTECCIÓN

1.3.1 Relés electromecánicos

Los primeros relés, los electromecánicos, aparecieron a principios del siglo XX, como respuesta a los crecientes requerimientos de protección de los entonces rudimentarios sistemas eléctricos de potencia. En 1901 surgieron los relés de sobre corriente de inducción; entre 1905 y 1908 se desarrolló el relé diferencial de corriente; a partir de 1910 comenzaron a aplicarse los relés direccionales, y los relés de distancia a partir de la década de 1920-1930.

1.3.2 Relés estáticos

Estos relés han superado cuatro generaciones en su desarrollo: la primera generación estaba formada por relés estáticos contruidos a partir de bulbos electrónicos (de 1925 a 1948), la segunda generación la componen relés contruidos con transistores (de 1949 a 1961), los relés de la tercera están fabricados con circuitos integrados (de 1960 a 1970) y la cuarta usando microprocesadores (a partir de 1970).

Relés de estado sólido. Se denominan relés de estado sólido (2ª y 3ª generación) aquellos diseñados con componentes electrónicos discretos (diodos, triacs, transistores, amplificadores operacionales). En un principio estaban colmados de fallas debidas a EMI, pero los modernos relés de estado sólido se consideran relativamente libres de mantenimiento y ofrecen una gran flexibilidad y velocidad de operación.

Relés digitales y numéricos. Los relés basados en microprocesadores o numéricos (4ª generación) se desarrollaron durante la etapa de introducción masiva del microprocesador en distintas esferas de la industria [Altuve 1993] [Phadke & Thorp 1988]. Sus orígenes sin embargo, se remontan a finales de la década de 1960-1970, cuando se concibieron y probaron algunos algoritmos que demostraron las posibilidades potenciales de la utilización de un computador digital para realizar funciones de protección. Estos trabajos iniciales se adelantaron a su época, pues los grandes computadores de entonces eran muy costosos y los más económicos carecían de la potencia de cálculo necesaria para la tarea. Desde entonces, los significativos avances en el *hardware* y *software* de los microprocesadores, así como la drástica disminución de sus costos han logrando que las protecciones numéricas sean cada vez más competitivas y ampliamente aplicadas.

En un principio la atención se centró en el tratamiento de las señales eléctricas [Phadke, et al 1983] y posteriormente en el desarrollo de algoritmos para la protección de líneas de transmisión de alta tensión, (campo de gran interés por su amplio uso, alto costo y complejidad funcional), iniciándose el estudio de algoritmos para protección de distancia, el cual ha continuado desarrollándose y actualizándose. Posteriormente se inició la aplicación de los relés numéricos a la protección de aparatos usando el principio de protección diferencial, con lo cual se proyectó el uso de relés digitales y numéricos en la mayoría de las

aplicaciones de protección existentes. A partir de 1990 el interés se dirigió hacia la integración en un dispositivo de varias funciones requeridas en subsistemas específicos como una subestación, una línea o un generador, aprovechando las ventajas que hacen muy atractivos estos sistemas integrados: Mayor confiabilidad, reducción de costos, y más funciones adicionales (por ejemplo comunicación remota, visualización y mecanismos de auto prueba) [Harlow 1990], [Murty & Yalla 1992]. Últimamente se observa una tendencia hacia nuevos desarrollos en protecciones por onda viajera y protecciones adaptativas [Horowitz et al 1988] [Phadke & Thorp 1988].

1.4 FUNDAMENTOS DE RELÉS NUMÉRICOS

Los relés numéricos son muy diferentes a los relés electromecánicos, los de estado sólido e incluso de los digitales, tanto en su construcción como en su operación. A continuación se describen algunos de los aspectos más característicos de este tipo de protección.

1.4.1 Arquitectura de un relé numérico

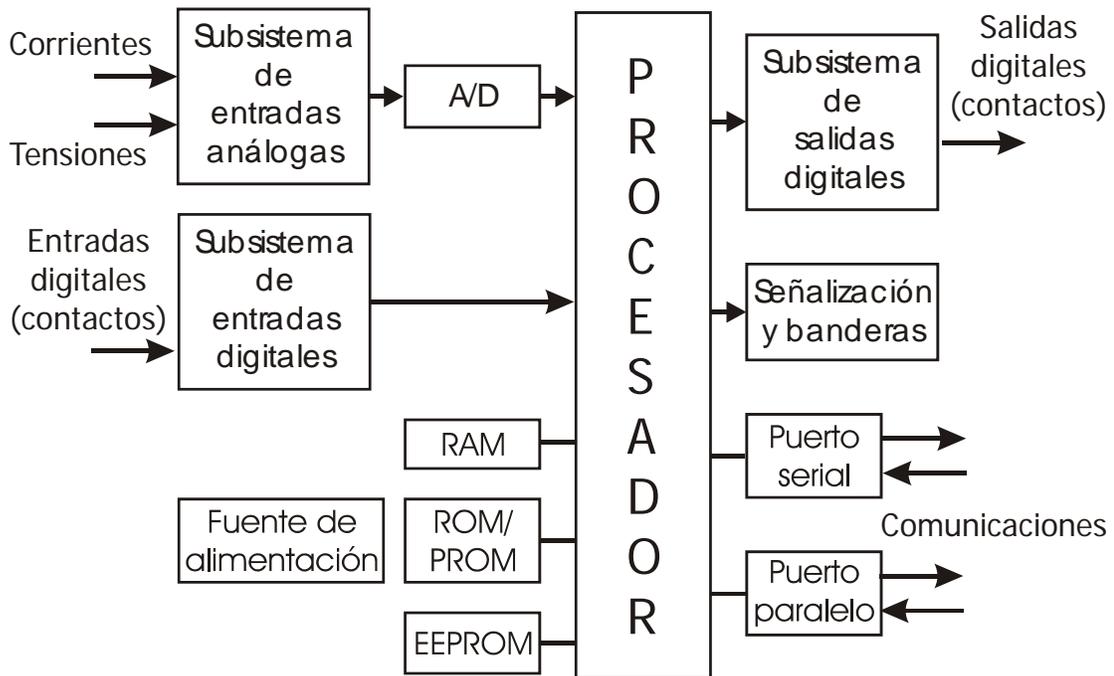
Un relé numérico está compuesto de subsistemas con funciones muy bien definidas: procesador, memoria, tratamiento de entradas análogas, conversor analógico/digital, tratamiento de entradas digitales, salidas digitales, dispositivos de señalización, visualización y banderas, dispositivos de comunicación y fuente de alimentación [Phadke & Thorp 1988].

En la **Figura 2** se presenta un diagrama general en bloques de un relé numérico. El procesador es el centro de esta organización, pues es el responsable de la ejecución de los programas del relé, el mantenimiento de las funciones de tiempo y la comunicación con el equipo periférico.

El relé requiere diferentes tipos de memoria. La memoria de acceso aleatorio (RAM) se emplea como *"buffer"* de almacenamiento temporal para los valores de las muestras de entradas, variables intermedias y datos que serán guardados en memoria no volátil. Los programas se guardan en memorias de sólo lectura ROM o PROM y se ejecutan desde allí, o se cargan a RAM para su posterior ejecución. Los parámetros de ajuste y otros datos

importantes se almacenan en memorias tipo PROM borrables: EPROM, EEPROM; FLASH o memorias RAM respaldadas por batería NVRAM.

Figura 2. Diagrama en bloques de un relé numérico.



Al relé se aplican señales análogas provenientes de los transductores primarios de corriente y potencial y señales discretas que reflejan estados de contactos. Estas señales reciben un tratamiento en los subsistemas correspondientes antes de su aplicación al procesador, las señales análogas pasan adicionalmente por un proceso de conversión analógico-digital.

El subsistema de tratamiento de señales análogas se encarga de filtrar y acondicionar las señales de tensión y corriente provenientes de los transductores a niveles de tensión adecuadas para la conversión analógica/digital, aislar eléctricamente los circuitos electrónicos del relé de los circuitos eléctricos de entrada, proteger al relé contra sobretensiones transitorias inducidos en los conductores de entrada y filtrar las señales análogas para limitar el espectro de frecuencia.

El subsistema de tratamiento de señales discretas cumple con las funciones de acondicionar las señales discretas para la aplicación al procesador, aislar eléctricamente las entradas de los circuitos electrónicos y proteger al relé de sobretensiones transitorias.

Las señales de salida discretas reciben procesamiento en el subsistema de salidas discretas, el cual generalmente incluye relevadores electromecánicos auxiliares para proveerlo de salidas tipo contacto. También se realizan las funciones de señalización de la operación ya sea mediante dispositivos de tipo lumínico o visualizadores LCD. La mayoría de los relés numéricos dispone también de capacidad de comunicación mediante puertos tipo serie o paralelo.

1.4.2 Ventajas y desventajas esperadas del uso de los relés numéricos

El uso de procesadores en nuevos diseños de equipos de protección permite aprovechar algunas de las ventajas que ofrecen los dispositivos digitales:

- Costo comparable con el de los analógicos, en algunos casos menores y con tendencia a decrecer.
- Capacidad de autodiagnóstico, que permite detectar un mal funcionamiento en gran parte del *hardware* y *software* antes de que se presente una mala operación, y que aumenta la confiabilidad de los sistemas de protección.
- Compatibilidad con la tecnología digital que se está introduciendo en las subestaciones.
- Flexibilidad funcional, que admite integración de funciones como las de medición, control y supervisión.
- Capacidad de comunicación con otros equipos digitales de la subestación, o incluso con equipos remotos.

- Menor cantidad de componentes y conexiones por lo cual se reducen los requerimientos de espacio en los paneles de la subestación, y se facilita su instalación.

También se presentan inconvenientes y desventajas cuando se trabaja con equipos digitales y numéricos:

- El insuficiente desarrollo de las redes de comunicación y la incompatibilidad entre los protocolos de comunicación disponibles limitan la capacidad de comunicación entre equipos de diferentes referencias y marcas.
- El mantenimiento de equipos digitales y numéricos requiere de personal muy capacitado que pueda intervenir o reformar el *hardware* o *software* de un relé numérico.
- El predominio del uso de lenguaje ensamblador en los relés limita la transportabilidad del *software*.
- La adaptación de los relés digitales y numéricos a las condiciones ambientales y de interferencia electromagnética de una subestación es complicada.
- Rápida obsolescencia ocasionada por la rapidez de los cambios tecnológicos.

1.4.3 Particularidades de los relés numéricos

La introducción de la tecnología de microprocesadores en los relés de protección ha permitido nuevas funciones y beneficios adicionales que eran impensables usando las tecnologías anteriores, a la vez que ha revolucionado y animado el desarrollo de métodos innovadores para resolver los problemas de protección persistentes. Sin embargo, debe notarse que los relés numéricos presentan características particulares que exigen un diseño especial, sin que éstas se cataloguen en sí como ventajas o desventajas.

- Aunque las señales de tensión y corriente del sistema de potencia son fundamentalmente análogas, los relés numéricos deben trabajar en un ambiente de datos discretos adquiridos tan rápido como lo permitan el *hardware* y *software* de administración y almacenamiento de datos. Es decir, el o los procesadores empleados deben tener la capacidad de tomar periódicamente muestras de tensiones y corrientes, procesar los datos para cumplir con las funciones de protección, retener la información necesaria y cumplir con funciones adicionales como medición, comunicación, visualización de salidas y autodiagnóstico.
- Puesto que un microprocesador no puede realizar tareas simultáneas y los multiplexores sólo pueden hacer el muestreo de una señal en cada instante, las muestras de tensión y corriente pueden no ser coincidentes en el tiempo, y por tanto ocasionar errores por el deslizamiento en las muestras. Estos errores pueden evitarse incrementando los circuitos de retención y muestreo, o enmendarse parcialmente por *software* aplicando la corrección angular correspondiente al retardo en las muestras.
- Las limitaciones prácticas del proceso de toma de muestras de las señales analógicas, y su conversión a una palabra digital aceptada por el microprocesador, así como su almacenamiento y proceso, implican pérdida de información ocasionada por los errores de: *Aliasing*, Cuantificación, *Leakage* y *Picket-Fence*. [Ordóñez 1993].
- Los relés numéricos ofrecen la posibilidad de escoger diferentes formas de interpretación de las cantidades eléctricas ya sea en valores pico, promedio, rms total, o valor rms de la componente de frecuencia fundamental entre otros.

En conclusión, se requiere efectuar un análisis muy cuidadoso al diseñar el *hardware* y *software* de una protección numérica, para adaptar estas particularidades a las necesidades de la protección. El objetivo es lograr que cada procesador ejecute todas las acciones asignadas en el orden correcto, minimizando los problemas en el muestreo y los errores por el tratamiento de los datos y explotando en forma óptima las capacidades adicionales que ofrecen los sistemas numéricos.

1.4.4 Capacidad de autodiagnóstico

La capacidad para monitorear gran parte de su *hardware* es casi exclusiva de los sistemas de protección equipados con microprocesador, puesto que es muy costosa y difícil de introducir en protecciones electromecánicas y estáticas. En un relé numérico pueden incluirse algunas pruebas y verificaciones periódicas en tiempo de proceso. Se configura el sistema de modo que en caso de presentar discrepancias entre los resultados y los valores esperados se inicien acciones programadas tales como: mediciones correctivas, envío de mensajes de falla, señales de falla, o desactivación de ciertas funciones. Algunas de las pruebas de autodiagnóstico más comunes comprenden [Elmore 1994]:

Temporizador vigilante. Se ejecuta cuando un temporizador vigilante (*watch dog timer*) supervisa la ejecución del programa, aprovechando el hecho de que el proceso es cíclico. Si el microprocesador deja de realizar una tarea durante un tiempo determinado. El temporizador vigilante produce la acción de reiniciación (*reset*) del sistema.

Prueba del conversor analógico/digital (A/D). Consiste en sustituir la entrada analógica por un valor de tensión conocido y comparar el valor medido con un valor de referencia almacenado.

Prueba de suma de memoria (*Check-Sum*) Cualquier segmento de memoria ROM puede probarse durante el tiempo de ejecución, sumando el contenido de todas las posiciones de memoria y verificando periódicamente que la suma permanece constante. Cualquier cambio en el contenido de la ROM constituye una falla y provocará una alarma.

Prueba de RAM. Se ejecuta generalmente durante el proceso de iniciación cuando se energiza el sistema. Se escriben y leen patrones de palabra y se identifica cualquier inconsistencia.

Prueba de memoria no volátil (FLASH-EEPROM) Los sistemas numéricos para protección de sistemas eléctricos de potencia emplean memoria no volátil para almacenar datos que se cambian de vez en cuando. Por ejemplo la configuración de parámetros

modificados por el usuario, y los registros de eventos almacenados por el sistema en tiempo de ejecución. Una forma de verificación típica es almacenar los parámetros en varias localidades de memoria (usualmente tres) y comparar estos datos periódicamente.

Entrada/ Salida. Se supervisan las señales de entrada/ salida que indican estados tales como estado del interruptor maestro, pérdida de energía, entradas fuera de rango y falla general.

1.5 ESTADO DEL ARTE DE LA INVESTIGACIÓN EN PROTECCIONES NUMÉRICAS EN LA EEET

A partir de 1990 en la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones de la Universidad Industrial de Santander, se ha venido adelantando un proceso de investigación y desarrollo en sistemas de protección digital y numérica. Los trabajos más relevantes son los siguientes:

[Rojas & Cala 1992] desarrolló el código fuente de las rutinas de protección de un relé de funciones múltiples basado en lenguaje *assembly* y la arquitectura de *hardware* del microprocesador Z-80.

[Urbaz et al 1994] diseñó un relé de tiempo-sobre corriente basándose en microprocesador 80286 y construyó una tarjeta de adquisición de datos para leer datos desde un PC.

[Bernal et al 1995] desarrolló un algoritmo para el procesamiento de las muestras de corriente para un relé de tiempo-sobre corriente, simulado en PC usando Matlab y construyó una tarjeta de E/S.

[Hernández et al 1997] diseñó un relé digital trifásico, multifuncional basado en tres microcontroladores 87C196KC. Se diseñaron y construyeron las tarjetas de: transformadores de acople y reducción de tensiones y corrientes; filtrado y acondicionamiento de señales analógicas y entradas/salidas digitales. Adicionalmente se desarrolló un *software* de

aplicación basado en el lenguaje gráfico LabVIEW, para probar los algoritmos de estimación recursiva de magnitudes eléctricas y la lógica de disparo de las funciones de protección soportadas por el relé.

[Urbaz & Cala 1999] realizó un estudio de la tendencia de desarrollo de las protecciones digitales, haciendo énfasis en las características más importantes de las unidades y sistemas empleados en Colombia. Adicionalmente, se presentaron aspectos problemáticos e inconvenientes detectados en los distintos algoritmos y esquemas implementados para la protección de líneas del sistema de transmisión nacional.

2 FUNCIONES DE PROTECCIÓN

En este capítulo se describen brevemente cada una de las funciones de protección soportadas por el prototipo de relé diseñado, indicando la nomenclatura ANSI correspondiente. Se han clasificado en cuatro grupos: funciones de protección de tensión, funciones direccionales de potencia, funciones de frecuencia y funciones de corriente.

2.1 PROTECCIONES DE TENSIÓN

La tensión es una característica nominal para un sistema eléctrico de potencia; en consecuencia los equipos conectados están diseñados para una tensión nominal determinada y soportan solo hasta un cierto porcentaje de desviación sin averiarse. Esto hace que las protecciones de tensión se diseñen para operar con cierto tiempo de retardo para permitir la posible corrección de la desviación de la magnitud nominal que intentarán efectuar los dispositivos reguladores.

2.1.1 Protecciones contra subtensión rms y sobretensión rms. Funciones ANSI 27 y 59

Estas funciones responden al valor rms de la tensión. El cálculo del valor rms puede considerar solo la componente de frecuencia fundamental, o incluir la influencia de los armónicos del sistema, pero en este caso se ha determinado el valor de tensión rms de la componente de frecuencia fundamental. La función de protección contra sobre tensión rms se activa cuando el valor rms de la tensión de alguna fase es mayor a un valor límite determinado (Ecuación (1)), análogamente la función de subtensión rms se activa si el valor rms de la tensión de alguna fase es menor que un valor límite inferior seleccionado (Ecuación (2)).

$$V_{rms \text{ máxmo}} = \text{MAXIMO} (V_{rms_a}, V_{rms_b}, V_{rms_c})$$

$$\text{Si } V_{rms \text{ máxmo}} \geq V_{rms_{\text{limite}} 59} \wedge t \geq \text{retardo} \Rightarrow \text{Activar protección} \quad (1)$$

$$F_{[n]} = \sum_{n=0}^{N-1} [x_{[n]} e^{-j 2\pi n k / N}] \quad (2)$$

2.1.2 Protección contra sobretensión pico. Función ANSI 59 P

Esta protección se requiere principalmente en condiciones de ferorresonancia puesto que el valor pico de tensión puede ser peligrosamente alto (usualmente desde un valor mayor al 30% o 50% del valor nominal de tensión), aunque su valor rms permanezca en un rango aceptable. Generalmente se activa con un mínimo retardo. La Ecuación (3) describe su lógica.

$$V_{pico \text{ máxmo}} = \text{MAXIMO} (V_{pico_a}, V_{pico_b}, V_{pico_c})$$

$$\text{Si } V_{pico \text{ máxmo}} \geq V_{pico 59 P} \Rightarrow \text{Activar protección } 59 P \quad (3)$$

2.2 PROTECCIONES DE POTENCIA DIRECCIONAL

2.2.1 Protección de potencia inversa. Función ANSI 32 R

La protección por potencia inversa tiene aplicaciones en interconexiones con sistemas de autogeneración, protección de motores y generadores. Un valor negativo de potencia en la ecuación (4) supone potencia inversa. La función 32 R se activa cuando existe una potencia inversa mayor que un cierto límite indicado.

$$P_{\min} = \text{Mínimo de } (P_a, P_b, P_c) \leq 0 \quad (4)$$

y

$$|P_{\min}| \geq P_{32R} \quad (5)$$

2.2.2 Protección de potencia directa trifásica. Función ANSI 32 F

Esta protección verifica que la potencia activa total del sistema no sobrepase el límite estipulado (Ecuación (6)) y actúa con un retardo programado.

$$P_{3F} = (P_a + P_b + P_c) \leq \text{Valor límite} \quad (6)$$

2.3 PROTECCIONES DE FRECUENCIA: SOBREFRECUENCIA FUNCIÓN 81_O Y SUBFRECUENCIA FUNCIÓN 81_U Y CON RESTRICCIÓN DE TENSIÓN.

La frecuencia es una de las magnitudes que definen la calidad del servicio en sistemas eléctricos de corriente alterna. Para mantener estable su valor nominal es necesario que exista permanentemente un equilibrio entre la generación y el consumo. Los generadores emplean unidades gobernadoras sensibles a pequeños cambios en la velocidad resultantes de cambios graduales en la carga, para ajustar la entrada de potencia y mantener la frecuencia normal de operación. Sin embargo cambios grandes y repentinos en el balance de energía pueden ocasionar una rápida disminución de la frecuencia, capaz de hacer colapsar el sistema si los gobernadores no alcanzan a responder suficientemente rápido. En estos casos un deslastre de carga rápido y selectivo permitiría la recuperación del sistema. Los relés sensibles a la frecuencia se emplean para desconectar carga automáticamente y lograr un balance de carga y generación. Esto se logra usando grupos de relés de subfrecuencia cada uno comandando la salida de un bloque de carga, los cuales actúan en un proceso iterativo hasta que la frecuencia se estabiliza.

2.4 PROTECCIONES DE SOBRECORRIENTE

Cuando ocurre una falla en un sistema eléctrico de potencia, la corriente de falla es casi siempre mayor que la corriente de pre-falla en cualquier elemento del sistema, por lo tanto un principio de protección muy sencillo y efectivo consiste en usar la magnitud de la corriente como un indicador de falla. Los relés de sobrecorriente se usan para tratar las corrientes excesivas en los sistemas de potencia, y permiten proteger cualquier elemento: líneas de transmisión, transformadores, generadores, o motores. Su principio de operación está en vigilar la corriente que pasa por el equipo protegido y cuando su valor es superior al ajustado en el relé generar la acción correspondiente.

La ecuación (7) define el principio de operación general de las protecciones de sobrecorriente.

$$\begin{aligned} |I| &\geq I_p \rightarrow \text{falla en la zona} && \rightarrow \text{Disparar} \\ &\leq I_p \rightarrow \text{No hay falla en la zona} && \rightarrow \text{No disparar} \end{aligned} \quad (7)$$

Siendo I = corriente del circuito
 I_p = Corriente de arranque de la protección

La corriente de arranque del relé I_p^1 es un parámetro que se configura según las características del dispositivo y la zona protegidos, con un valor entre la corriente de carga máxima y la mínima corriente de falla.

Para las protecciones de sobre corriente de fase se emplea la mayor magnitud de corriente de fase como indicador de la presencia de falla mientras que para la protección de corriente inversa, se utiliza la magnitud del fasor fundamental de corriente de secuencia negativa.

Las protecciones de sobre corriente se clasifican en dos grandes grupos en función del tiempo de operación: a tiempo independiente (o instantáneas), y a tiempo dependiente (o

¹ I_p del inglés I pick-up

retardadas), a su vez las de tiempo dependiente pueden ser de tiempo constante, o de tiempo inverso.

2.4.1 Protecciones de sobre corriente de fase y neutro de disparo instantáneo. Función ANSI 50 y 50N.

Estas funciones generan una señal de disparo en un tiempo mínimo cuando el valor de la corriente calculada es superior al valor de la corriente pico máxima permitida (I_p).

Protecciones de sobre corriente de fase temporizada y de sobre corriente de secuencia inversa temporizada. Funciones ANSI 51 y ANSI 46. Un relé de protección a tiempo dependiente operará en un tiempo que es función del valor de la corriente, de forma que cuanto mayor sea ésta, menor será el tiempo de actuación. Por tal motivo, los relés de este tipo suelen denominarse de tiempo inverso. El tiempo de operación se determina de acuerdo con las curvas características de tiempo inverso. Estas curvas se definen por la ecuación general:

$$t = \frac{M * K}{I^n - 1}$$

Donde :

K : Coeficiente constante, tap del transformador

M, n : Constante que determina el grado de inversión de la característica

t : Tiempo de disparo en segundos.

I : Corriente de falla expresada en múltiplos de la corriente de arranque de falla.

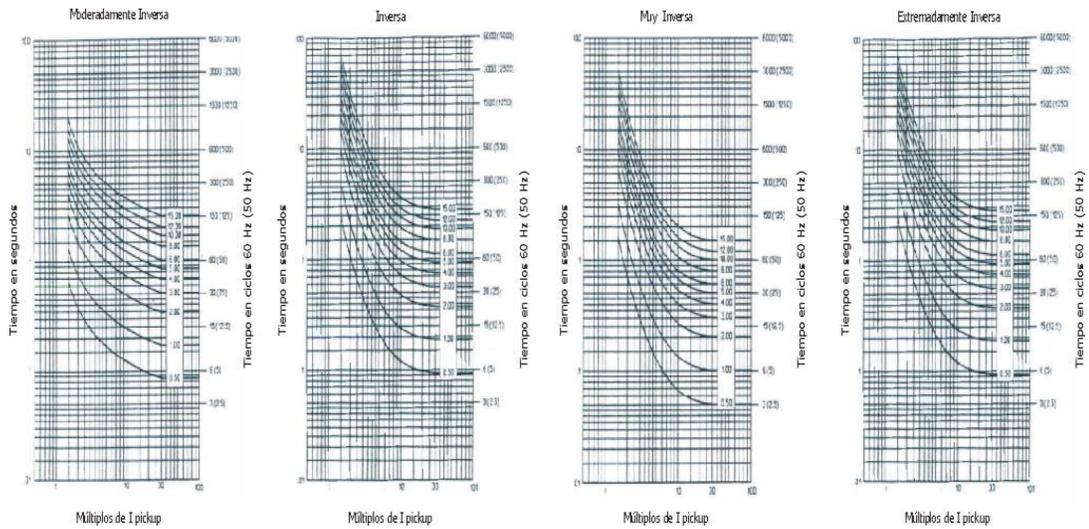
(8)

A cada relé de sobre corriente se le especifica una familia de curvas para un cierto valor de n, siendo K el parámetro de la curva dada. En la práctica K está rotulado con números del 1 al 10. Así en la posición 10 la curva ajustada es la representada por la ecuación característica, en la posición 8 los tiempos de operación serán el 80% de los anteriores, etc. En la Tabla 1 se presentan las ecuaciones de las curvas características de tiempo inverso de los relés de sobre corriente según las normas IEC 255 y ANSI [Urbaez & Cala 1999] [SCHWEITZER 1994], y en la Figura 3 se muestran las curvas características correspondientes.

Tabla 1 Ecuaciones de tiempo/sobrecorriente

Curva IEC	Tiempo de operación (s)	Curvas ANSI	Tiempo de operación (s)
Normal inversa	$\frac{0.14 * K}{I^{0.02} - 1}$ (9)	Moderada inversa	$\left[0.0226 + \frac{0.014}{I^{0.02} - 1}\right] K$ (10)
Muy inversa	$\frac{13.5 * K}{I - 1}$ (11)	Inversa	$\left[0.18 + \frac{13.5}{I - 1}\right] K$ (12)
Extremada Mente inversa	$\frac{80 * K}{I^2 - 1}$ (13)	Muy Inversa	$\left[0.0963 + \frac{3.88}{I^2 - 1}\right] K$ (14)
Respaldo de larga duración	$\frac{120 * K}{I - 1}$ (15)	Extremada Mente inversa	$\left[0.0352 + \frac{5.67}{I^2 - 1}\right] K$ (16)

Figura 3. Curvas ANSI características de corriente inversa



3 TRATAMIENTO DE SEÑALES Y CÁLCULOS DE FASORES Y MAGNITUDES DEL SISTEMA

El modelo de relé numérico diseñado utiliza como entradas señales de tensión y corriente analógicas las cuales han sido reducidas, acondicionadas y convertidas en señales discretas adquiridas a una tasa de muestreo conveniente. De esta manera se obtiene una serie de muestras a partir de la cual debe recuperarse la señal original. Existen diferentes métodos de estimación de magnitudes eléctricas a partir del conjunto de muestras, pero para el desarrollo de éste trabajo se consideró la transformada discreta de Fourier (DFT²) como la mejor opción en cuanto al procesamiento digital de las señales³.

En este capítulo se presenta un resumen del estudio del algoritmo de la DFT en tiempo real desarrollado en [Ordóñez 93]⁴. También se incluyen los principios matemáticos para la obtención de las magnitudes a partir de la DFT y una descripción detallada de las técnicas para el tratamiento de las señales de tensión y corriente empleadas en el presente trabajo de investigación.

3.1 TRANSFORMADA DISCRETA DE FOURIER

La DFT admite diferentes variantes dependiendo de la magnitud o magnitudes que se quieran estimar; pueden estimarse las magnitudes y ángulos de fase hasta el armónico correspondiente a la mitad de la frecuencia de muestreo, la magnitud del armónico fundamental, o la de algún otro armónico.

² Por sus siglas en inglés

³ En la referencia [Ordóñez 93] se presentan además de la técnica de la Transformada Discreta de Fourier (DFT), las técnicas de Mínimos cuadrados ordinarios (OLS), Mínimos cuadrados recursivos (RLS), Filtro de Kalman y Representación bilineal.

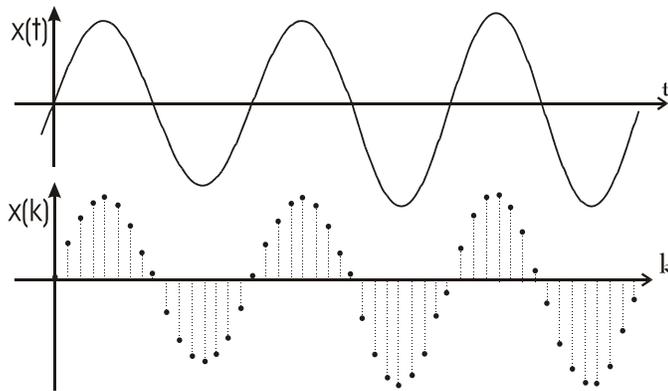
⁴ Para un estudio más profundo de estas técnicas se sugiere consultar la referencia anterior.

Usando análisis de Fourier se obtiene un espectro de valores complejos (magnitud y fase o componentes real e imaginaria), espaciados a intervalos de frecuencia regulares, por tanto se supone que la señal analizada es periódica en el tiempo.

Si se considera una señal analógica continua $x(t)$, como la indicada en la Figura 4, de la cual se toman muestras en cada instante de muestreo nT , siendo $n = 0,1,2,3..$ y $T =$ intervalo de muestreo, la secuencia $x[nT]$ será su serie de muestras correspondiente. A partir de N muestras de la señal $x[n]$ se obtienen N coeficientes complejos $F_{[n]}$:

$$F_{[n]} = \sum_{n=0}^{N-1} [x_{[n]} e^{-j2\pi nk/N}] \quad (17)$$

Figura 4. Señal continua $x(t)$ y señal discreta $x(n)$ correspondiente.



La transformación inversa indica que $x[n]$ puede expresarse como una suma de armónicos, usando los coeficientes $F_{[k]}$:

$$x_{[n]} = \frac{1}{N} \sum_{k=0}^{N-1} [F_{[k]} e^{j2\pi k n/N}] \quad (18)$$

Esta transformación se utiliza de diferentes maneras. Para una onda periódica expresa una descomposición en un número finito de armónicos (hasta $k = N/2$ para N par) cuya suma pasa exactamente por las muestras:

$$x_{[n]} = \frac{1}{N} \sum_{k=0}^{N/2} \left[\sqrt{X_{[k]}} \cos(k\omega_1 n T + \varphi_1) \right] \quad (19)$$

Dependiendo del valor de k en las ecuaciones, se pueden obtener las respuestas en frecuencia de los diferentes armónicos. Por tanto este algoritmo puede interpretarse como un banco de Filtros.

3.1.1 DFT en tiempo real

Si la señal de entrada corresponde a una magnitud de un sistema eléctrico de potencia, la función bajo muestreo $x[n]$ puede no ser estrictamente periódica, sino evolucionar de un régimen periódico a otro régimen periódico, según las fluctuaciones del sistema eléctrico. En cada instante kT , puede calcularse la transformación correspondiente a las últimas N muestras ($n-N$ a $n-1$), cuyos coeficientes se denominan $F[k,n]$ ⁵ pues en principio son variables con el tiempo. Como $F[k,n]$ no depende de $x[n]$, puede completarse su estimación en tiempo real en cuanto se dispone de $x[n-1]$. Existen diferentes transformaciones de Fourier, cada una de las cuales corresponde a un origen de tiempos distinto, y por tanto diferente origen de ángulos.

Origen de tiempo variable. Para un origen de tiempo variable, es decir tomando como origen de tiempo siempre la muestra actual, equivalente en ángulo a la muestra $n-N$, se tiene:

⁵ $F[k,n]$ donde k representa el número del armónico y n el instante de muestreo.

$$F'_{[k,n]} = \sum_{r=n-N}^{n-1} [x_{[r]} W^{(r-n)k}] \quad (20)$$

Siendo $W = e^{-j2\pi/N}$

O de forma alternativa:

$$F'_{[k,n]} = \sum_{r=1}^N [x_{[n-r]} W^{-rk}] \quad (21)$$

Origen de tiempo fijo. Para un origen de tiempos fijo en $n=0$ (equivalente en ángulo a $n=m \cdot N$; siendo m un número entero), se tiene:

$$F_{[k,n]} = \sum_{r=n-N}^{k-1} [x_{[r]} W^{rk}] \quad (22)$$

O de forma alternativa:

$$F_{[k,n]} = \sum_{r=1}^N [x_{[n-r]} W^{(n-r)k}] \quad (23)$$

Comparando las ecuaciones (20) y (22), o las ecuaciones (21) y (23), se obtiene como relación entre las ecuaciones de origen de tiempo fijo y variable:

$$F'_{[k,n]} = F_{[k,n]} W^{-n} \quad (24)$$

Por tanto, para una señal de entrada senoidal pura con el origen de tiempos fijo la estimación dada por la DFT corresponde a un fasor estático $F_{[1,n]}$, mientras que el origen de tiempos variables hace que la estimación corresponda a un fasor periódicamente variable

$F'_{[1,n]}$ girando en el sentido contrario a las agujas del reloj a una velocidad angular $= \frac{2\pi}{N} k$

Versión recursiva En la ecuación (22) cada muestra $x[r]$ se multiplica siempre por el mismo coeficiente $e^{-j2\pi rk/N}$ por lo cual para ahorrar cálculos se puede tomar el valor calculado hasta el momento, añadirle la nueva muestra y descontar la muestra saliente. La expresión correspondiente a este algoritmo recursivo se da en la ecuación (25).

$$F_{[k,n]} = F_{[k,n-1]} + (x_{[n-1]} + x_{[n-N-1]}) W^{(n-1)k} \quad (25)$$

En señales armónicas cuasi-estacionarias, no hay variaciones importantes de un periodo a otro, de modo que la estimación de cada armónico puede considerarse como una media de dicho armónico.

Para la estimación de la componente de frecuencia fundamental de las magnitudes eléctricas en el presente trabajo de investigación se emplea el algoritmo de la DFT con origen de tiempos fijo según la ecuación (22) o (23) para la primera ventana de datos y en versión recursiva (ecuación (25)) para las siguientes ventanas.

3.1.2 Efectos del muestreo en la DFT

La forma de realización de la toma de muestras de la señal afecta las estimaciones obtenidas con el algoritmo de la DFT presentándose efectos que disminuyen la precisión de la estimación:

Solapamiento. Por este fenómeno inherente al proceso de muestreo las frecuencias superiores a la mitad de la de muestreo (frecuencia de Nyquist) se confunden con otras frecuencias más bajas en la señal de entrada. Para contrarrestarlo debe asegurarse que a frecuencias por encima de la Nyquist, la señal no tenga una magnitud significativa. Para el caso de la presente investigación se emplean filtros pasabajos tipo Butterworth de sexto orden.

Cuantificación. Este proceso de pérdida de información se debe a la representación de un valor analógico en una escala digital mediante un número finito de bits. El tipo de convertidor

A/D que se utilice incide en el error en la estimación de las medidas debido a la cuantificación.

“Leakage”. Problema estrechamente relacionado con el hecho de que la DFT se realiza en un número finito de muestras. Es decir que se considera a la señal delimitada por una ventana con valor nulo fuera de ella. Esto se traduce en que en el tiempo se está multiplicando la señal con una ventana rectangular, con lo cual la respuesta en frecuencia es la convolución de las respuestas en frecuencia de la señal y la ventana utilizada. Como la transformada de Fourier de una ventana rectangular es $\frac{\text{sen}x}{x}$ la convolución de la respuesta en frecuencia de la señal con la de la ventana de cómo resultado que la respuesta en frecuencia no sea un único punto, sino que aparecen una serie de espurios conocidos como lóbulos laterales.

La segunda causa del efecto *“leakage”* es el deslizamiento de frecuencia inherente a la señal analizada con lo cual es necesario prever la forma de atenuar su efecto y de ser posible eliminarlo.

“Picket-Fence”. Este efecto aparece cuando la señal analizada tiene frecuencias que no corresponden a las frecuencias ortogonales discretas (armónicos) que se pueden estimar con una frecuencia de muestreo determinada. Puede reducirse incrementando la frecuencia de muestreo, de forma tal que la discretización de la misma contemple todas las frecuencias presentes en la señal. Esto algunas veces no es posible sobre todo si la señal de entrada tiene un amplio espectro de frecuencia.

Otra situación que provoca este efecto es cuando se tiene una señal con armónicos y existe deslizamiento de frecuencia en el sistema, en cuyo caso el espectro de frecuencia que se obtiene no corresponde con el de la señal de entrada. Se presenta generalmente al trabajar con frecuencia de muestreo fija basada en la frecuencia fundamental.

3.2 OBTENCIÓN DE MAGNITUDES A PARTIR DE LA DFT DE LA SEÑAL

3.2.1 Fasor de frecuencia fundamental

El fasor de frecuencia fundamental se determina para la primera ventana de datos por medio del algoritmo no recursivo de la DFT que se muestra en la Ecuación (26) en forma polar y rectangular:

$$\begin{aligned}\bar{F}_{1/V=1} &= \frac{2}{N} \sum_{n=0}^{N-1} [x_{[n]}] e^{-j2\pi n/N} \\ \bar{F}_{1/V=1} &= \frac{2}{N} \sum_{n=0}^{N-1} [x_{[n]}] \cos \frac{2\pi}{N} n - j \frac{2}{N} \sum_{n=0}^{N-1} [x_{[n]}] \operatorname{sen} \frac{2\pi}{N} n \\ &= \operatorname{Re}[\bar{F}_{1/V=1}] - j \operatorname{Im}[\bar{F}_{1/V=1}]\end{aligned}\quad (26)$$

Una vez se ha calculado la primera DFT con cada nueva muestra es posible estimar el fasor de frecuencia fundamental en forma recursiva como se indica en la Ecuación (27):

$$\begin{aligned}\bar{F}_{1[k]} &= \bar{F}_{1[n-1]} + \frac{2}{N} [x_{[n-1]} - x_{[n-N-1]}] e^{-j2\pi n/N} \\ &= \operatorname{Re}[\bar{F}_{1[n]}] - j \operatorname{Im}[\bar{F}_{1[n]}] \\ \operatorname{Re}[\bar{F}_{1[n]}] &= \operatorname{Re}[\bar{F}_{1[n-1]}] + \frac{2}{N} [x_{[n-1]} - x_{[n-N-1]}] \cos \frac{2\pi}{N} n \\ \operatorname{Im}[\bar{F}_{1[n]}] &= \operatorname{Im}[\bar{F}_{1[n-1]}] + \frac{2}{N} [x_{[n-1]} - x_{[n-N-1]}] \operatorname{sen} \frac{2\pi}{N} n\end{aligned}\quad (27)$$

Valor rms para frecuencia fundamental de las entradas de tensión y corriente

Teniendo las componentes real e imaginaria de los fasores de frecuencia fundamental para las tensiones y corrientes del sistema, se determina su valor rms a partir de la definición de valor rms. Por tanto se tendrá:

$$\|\bar{F}_{1[n]}\|_{RMS} = \frac{1}{\sqrt{2}} \sqrt{(\operatorname{Re}[\bar{F}_{1[n]}])^2 + (\operatorname{Im}[\bar{F}_{1[n]}])^2} \quad (28)$$

Para la mayoría de los cálculos no se necesita obtener la raíz de la cantidad a la derecha de la ecuación y se utiliza,

$$F'_{1[n]} = \|\bar{F}_{1[n]}\|_{RMS}^2 = \frac{1}{2} (\operatorname{Re}[\bar{F}_{1[n]}])^2 + (\operatorname{Im}[\bar{F}_{1[n]}])^2 \quad (29)$$

Fasor de tensión de secuencia positiva Siendo V_a, V_b, V_c , los fasores de tensión de fase de frecuencia fundamental obtenidos por la DFT, el fasor de tensión de secuencia positiva se obtiene como:

$$\begin{aligned} \bar{V}_1 &= \frac{1}{3} (\bar{V}_a + \alpha \bar{V}_b + \alpha^2 \bar{V}_c) \\ \alpha &= -0.5 + j0.866 \end{aligned} \quad (30)$$

3.2.2 Fasor de corriente de secuencia negativa

La corriente de secuencia negativa se calcula según la Ecuación (26) usando los fasores de corriente I_a, I_b, I_c obtenidos por medio de la DFT.

$$\bar{I}_2 = \frac{1}{3} (\bar{I}_a + \alpha^2 \bar{I}_b + \alpha \bar{I}_c) \quad (31)$$

3.2.3 Valores rms de tensión y corriente

En general el valor rms de una función analógica está determinado por la Ecuación (32).

$$X_{RMS} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} x^2(t) dt} \quad (32)$$

En forma discreta el valor RMS verdadero de la serie de muestras de la señal se obtiene como:

$$X_{RMS}[r] = \sqrt{\frac{1}{N} \sum_{n=0}^{N-1} x^2(r-n)} \quad (33)$$

Y

$$X_{RMS}^2[r] = \frac{1}{N} \sum_{n=0}^{N-1} x^2(r-n) \quad (34)$$

En la versión recursiva

Valor pico instantáneo. El valor pico instantáneo de la señal bajo muestreo se determina por:

$$X_{p[r]} = \text{Máximo} \left| X_{[r-n]} \right|_{n=1}^N \quad (35)$$

Frecuencia fundamental de la señal. Se han analizado varios métodos para la estimación de la frecuencia del sistema empleando procesadores:

[Sachedv Giray 78] describe un método muy primitivo que determina el tiempo que tarda un número entero de ciclos de la onda de tensión y calcula la frecuencia usando esta medida.

[Girgis and Ham 82] calcula el efecto *leakage* de la transformada rápida de Fourier (FFT) y a partir de éste se estima la desviación de frecuencia: Requiere de un detector de cruce por cero para iniciar el procedimiento de estimación de la frecuencia.

[Phadke, Throp, Adamiak 83] plantea un algoritmo que estima la frecuencia a partir del cambio de fase del fasor de tensión. Su desventaja es el tiempo que tarda en obtener mediciones precisas para pequeñas variaciones de frecuencia.

[Sachedv Giray 85] presenta un enfoque de mínimos cuadrados para estimar la desviación de frecuencia a partir de las muestras de la onda de tensión.

[Girgis Hwang 84] expone una técnica de filtrado Kalman para calcular las desviaciones de frecuencia Su desventaja es que se requieren cálculos en tiempo real de los coeficientes Kalman.

[Tao Morrison 86] propone usar las muestras de tensión, pero no obtiene resultados muy precisos.

[Sachedv Shen 89] mide los ángulos de fase del fasor de tensión, y estima la frecuencia a partir del ángulo de fase, y los cambios de frecuencia usando técnicas de realimentación. El proceso es algo complicado y exige gran capacidad de cómputo.

[Wang, Ge et al 93] presenta un método simple para medir frecuencia a partir de muestras de tensión tomadas a un intervalo de tiempo constante. El problema de este método está en que necesita muy buena precisión en la digitalización de las muestras (preferiblemente mayor a 12 bits) y requiere mantener tablas para cálculos de senos y cosenos⁶.

Dado que las características del conversor analógico digital (10 bits) incluido en el microcontrolador escogido no permiten emplear el método de [Wang, Ge et al 93] y puesto que las decisiones de lastre de carga originadas por los relés de sobre o subfrecuencia permiten tiempos de retardo de algunos periodos se seleccionó el método propuesto por [Phadke, Throp, Adamiak 83] el cual tiene una buena respuesta cuando las decisiones de disparo se retardan mas de un periodo. Este método se describe a continuación:

Del cálculo recursivo con origen de tiempos fijo de la DFT resulta un fasor de secuencia positiva estacionario, sin embargo si la frecuencia de la señal de entrada cambia ligeramente de su valor f_0 en una cantidad Δf , mientras la frecuencia de muestreo permanece constante,

⁶ Ver el apéndice E. Comparación de los métodos [Wang] y [Phadke] de estimación de frecuencia.

el ángulo de fase del fasor de secuencia positiva cambia a una rata directamente relacionada con Δf . Asumiendo que la frecuencia se calcula durante el ciclo de 16 muestras, el ángulo de fase del fasor en el n-ésimo instante se representa por:

$$\theta_n = \theta_{n-16} + \frac{\Delta f}{f_0} 2\pi \quad (36)$$

De donde:

$$\Delta f = \frac{1}{2\pi} \frac{d\theta}{dt} = \frac{1}{2\pi} (\theta_n - \theta_{n-16}) f_0 \quad (37)$$

La Figura 5 muestra el algoritmo empleado para calcular la frecuencia del sistema y un diagrama comparativo entre los fasores de tensión para un ciclo y para el ciclo anterior. Se emplea el fasor de tensión de secuencia positiva por su mayor estabilidad, en comparación con el fasor de corriente.

Potencia activa y reactiva

La potencia se calcula a partir de los fasores de tensión y corriente obtenidos por medio de la DFT.

$$\bar{S} = \overline{VI^*} = P + jQ \quad (38)$$

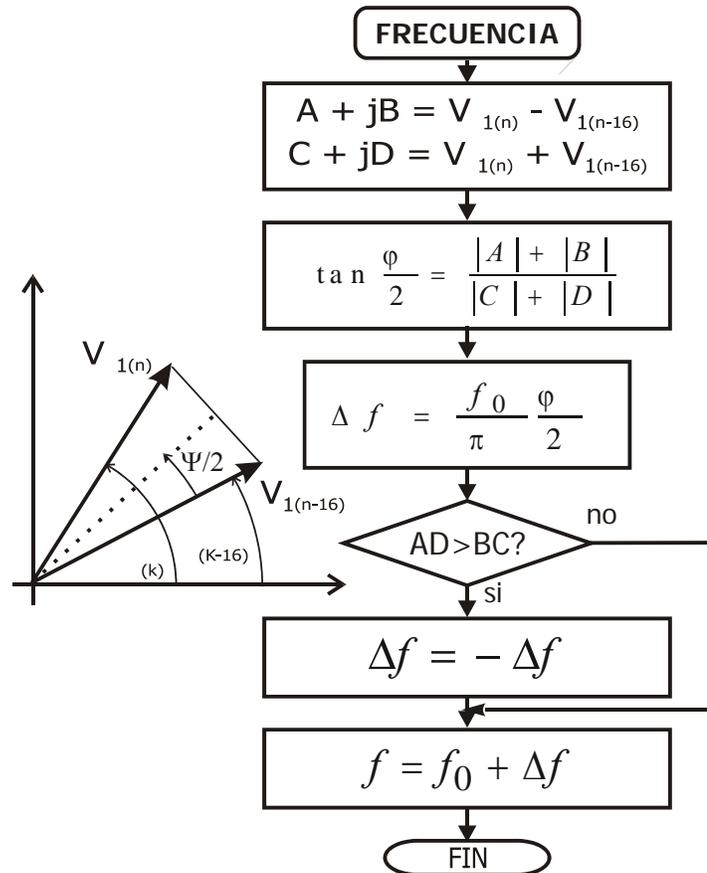
La potencia activa total P_T y reactiva total Q_T : parte real e imaginaria respectivamente, pueden expresarse como la suma de las potencias individuales en cada fase:

$$P_T + jQ_T = \overline{V_a I_a^*} + \overline{V_b I_b^*} + \overline{V_c I_c^*} \quad (39)$$

De este modo:

$$P_T = \text{Re}\{V_a\} * \text{Re}\{I_a\} + \text{Re}\{V_b\} * \text{Re}\{I_b\} + \text{Re}\{V_c\} * \text{Re}\{I_c\} \\ \text{Im}\{V_a\} * \text{Im}\{I_a\} + \text{Im}\{V_b\} * \text{Im}\{I_b\} + \text{Im}\{V_c\} * \text{Im}\{I_c\} \quad (40)$$

Figura 5. Algoritmo de cálculo de la frecuencia del sistema



3.3 TRATAMIENTO DE SEÑALES ANALÓGICAS Y ESTIMACIÓN DE LAS MAGNITUDES Y PARÁMETROS

3.3.1 Acondicionamiento de las señales

Señales de tensión. Las señales de tensión se toman de los secundarios de los transformadores de tensión del módulo de acople de señales. De allí pasan al módulo de acondicionamiento de señales donde se filtran, se les adiciona un *offset* de DC de 2,5 V y por

medio de circuitos detectores de ventana se mantienen en el rango de 0 a 5 V requerido por el conversor analógico digital. De este modo, si $V_{P(t)}$ es la tensión primaria de una entrada de tensión del sistema, se define $V_{S(t)}$ como la tensión secundaria y $V_{CH(t)}$ como la señal de tensión de entrada al canal correspondiente del conversor analógico-digital del microcontrolador según las ecuaciones (41) y (42) siendo la relación de transformación de tensión $R_{TV} = 85$.

$$V_{S(t)} = \frac{V_{P(t)}}{R_{TV}} = \frac{V_{P(t)}}{85} \quad (41)$$

$$V_{CH(t)} = \left\{ \begin{array}{l} V_{S(t)} + V_{offset} = \frac{V_{P(t)}}{85} + 2,5 \quad | \text{Si } -2,5 < V_S < +2,5 \\ 0 \quad | \text{Si } V_S < -2,5 \\ +5 \quad | \text{Si } V_S > +2,5 \end{array} \right\} [V] \quad (42)$$

Señales de corriente. Cada una de las señales de corriente provenientes de los secundarios de los transformadores de corriente con relación de transformación $R_{TI} 5000:1$ pasa por una resistencia de precisión de 82Ω que actúa como transductora de tensión a corriente y posteriormente en el módulo de acondicionamiento de señales analógicas se somete a los procesos de filtrado, amplificación de ganancia programable, suma de *offset* de DC y detección de ventana.

Por tanto, siendo $I_{P(t)}$ el valor de la corriente en el primario de un transformador de corriente, las ecuaciones (43) y (44) definen la corriente en el secundario $I_{S(t)}$, y la señal de corriente convertida a tensión a la salida del modulo de transformadores $I_{TRF(t)}$ correspondientes.

$$I_{S(t)} = \frac{I_{P(t)}}{R_{TI}} = \frac{I_{P(t)}}{5000} [A] \quad (43)$$

$$I_{TRF(t)} = I_{S(t)} R_P = \frac{I_{P(t)}}{5000} * 82 \quad [V] \quad (44)$$

Así mismo, $I_{AGP(t)}$ se define como la señal a la salida del amplificador de ganancia programable.

$$I_{AGP(t)} = \frac{I_{P(t)}}{5000} * 82 * AGP \quad [V] \quad (45)$$

Se define como $I_{CH(t)}$ a la señal de corriente que ha pasado por un sumador de *offset* de 2,5 V y un circuito detector de ventana y actúa como entrada a un canal de corriente del conversor analógico digital del microcontrolador según la ecuación:

$$I_{CH(t)} = \left\{ \begin{array}{l} I_{AGP(t)} + V_{offset} = \frac{I_{P(t)}}{5000} * 82 * AGP + 2.5 \quad \left| \begin{array}{l} \text{Si } -2.5 < I_{AGP} < +2.5 \\ \text{Si } I_{AGP} < -2.5 \\ \text{Si } I_{AGP} > +2.5 \end{array} \right. \\ 0 \\ +5 \end{array} \right\} [V] \quad (46)$$

3.3.2 Conversión analógica-digital

El sistema se programa para que efectúe conversiones de 10 bits de resolución por los 7 canales analógicos en cada ciclo de muestreo. El microcontrolador almacena temporalmente el resultado de conversión de la señal del primer canal (canal 0) en los 10 bits más significativos del SFR⁷ de 2 bytes AD_RESULT. Por medio del modo AD_SCAN de la herramienta PTS⁸ la señal adquirida de $X_{M(CH0)}$ se almacena en la posición correspondiente de la tabla de comandos y datos del PTS y se inicia el ciclo para la siguiente conversión, repitiendo el proceso hasta que se completan todos los canales programados. En ese

⁷ Registro de Funciones Especiales del microcontrolador 87C196KD

⁸ Servidor de transferencias Periféricas

momento se activa la subrutina FIN_AD que se encarga de recuperar las muestras de la tabla de comandos y datos, acondicionarlas para la realización de los cálculos, almacenarlas en el vector de muestras y preparar los registros y unidades implicadas para el siguiente ciclo de conversiones.

Para este caso, el resultado de la conversión se almacena temporalmente en los 10 bits más significativos del registro de 16 bits AD_RESULT lo cual equivale a un desplazamiento a la izquierda de 6 bits y por tanto el factor de conversión F_{AD} será.

$$F_{AD} = 2^{\text{Bits desplazamiento}} \frac{2^{\text{Bits del A/DC}} - 1}{V_{\text{referencia A/DC}}} = \frac{2^6 * (2^{10} - 1)}{5} \quad (47)$$

El valor de la muestra adquirida será entonces:

$$X_M = X_{CH} * F_{AD} = X_{CH} * \frac{64 * 1023}{5} \quad (48)$$

La rutina FIN_AD divide la muestra entre un factor $F_D = 4$, le sustrae el valor digital del *offset* amplificado por $F_{AD}/F_D = (2,5 * 1023/5) * 2^6 / 4 = 8184$ y la almacena la muestra en un vector de registros tipo "word"⁹.

$$X_{MT} = \frac{X_M}{F_D} - 8184 \quad (49)$$

Para determinar la relación entre la magnitud de entrada y la muestra adquirida almacenada se reemplazan las ecuaciones (42) y (48) para las señales de tensión o (45) y (48) para las de corriente en la ecuación (49).

⁹ De 16 bits.

De este modo una muestra $X_{MT[r]}$ para un canal de tensión estará definida por:

$$X_{MT[r]}^V = \frac{\left(\frac{V_{P[r]}}{85} + 2,5\right) \frac{64*1023}{5}}{4} - 8184 \quad (50)$$

$$X_{MT[r]}^V = \frac{\left(\frac{V_{P[r]}}{85}\right) \frac{64*1023}{5}}{4} + \frac{2,5*64*1023}{5} - 8184$$

Simplificando se obtiene:

$$X_{MT[r]}^V = \left(V_{P[r]}\right) * \left(\frac{16*1023}{85*5}\right) \quad (51)$$

$$X_{MT[r]}^V = \left(V_{P[r]}\right) * F_{X_V}$$

$$F_{X_V} = \frac{16*1023}{85*5} \quad (52)$$

Donde F_{X_V} el factor de muestreo de tensión.

Similarmente, se definen una muestra de corriente X_{MT}^I y el factor de muestreo de corriente F_{X_I} :

$$X_{MT[r]}^I = \frac{\left(\frac{I_{P[r]} * 82 * AGP}{5000} + 2,5\right) \frac{64*1023}{5}}{4} - 8184 \quad (53)$$

$$X_{MT[r]}^I = \left(I_{P[r]} * AGP\right) * \left(\frac{16*1023*82}{5000*5}\right) \quad (54)$$

$$X_{MT[r]}^I = \left(I_{P[r]} * AGP\right) * F_{X_I}$$

$$F_{X_I} = \frac{16 * 1023 * 82}{5000 * 5} \quad (55)$$

Como las señales de corriente se encuentran amplificadas por un factor AGP, es necesario dividir las por este factor. Para mantener la precisión en 16 bits se premultiplican por un factor $F_{Z_AGP} = 1024$.

$$X_{MT}^I = \frac{(I_P * AGP) * F_{X_I} * F_{Z_AGP}}{AGP * F_{Z_AGP}} = \frac{(I_P * AGP) * F_{X_I} * 1024}{AGP * 1024} \quad (56)$$

$$X_{MT}^I = (I_P) * F_{X_I}$$

3.3.3 Estimación de la Transformada Discreta de Fourier

Para la primera ventana de datos se estima la Transformada Discreta de Fourier en forma normal siguiendo la ecuación:

$$\begin{aligned} \bar{F}_{1/V=1} &= \sum_{n=0}^{N-1} [x_{[n]}] \left[\frac{2}{N} \cos \frac{2\pi}{N} n \right] - j \sum_{n=0}^{N-1} [x_{[n]}] \left[\frac{2}{N} \text{sen} \frac{2\pi}{N} n \right] \\ &= \sum_{n=0}^{N-1} [x_{- \cos_{[n]}}] - j \sum_{n=0}^{N-1} [x_{- \text{sen}_{[n]}}] \\ &= \text{Re}[\bar{F}_{1/V=1}] - j \text{Im}[\bar{F}_{1/V=1}] \end{aligned} \quad (57)$$

Definiendo $x_{- \cos_{[n]}}$ y $x_{- \text{sen}_{[n]}}$ como el aporte de cada nueva muestra a las componentes real e imaginaria correspondientemente:

$$x_{- \cos_{[n]}} = x_{[n]} \left[\frac{2}{N} \cos \frac{2\pi}{N} n \right] \quad (58)$$

$$x_{-sen}[n] = x[n] \left(\frac{2}{N} \operatorname{sen} \frac{2\pi}{N} n \right) \quad (59)$$

Los valores de cosenos y senos se obtienen de tablas almacenadas en memoria. Para reducir el número de operaciones dichos valores se amplifican por un factor F_{TABLA} que combina los efectos del factor de muestreo F_X , un factor de escala para mejorar la precisión en los cálculos con coma fija $F_{ESCALA} = 2^{14}$, un factor para dar los resultados con dos decimales de precisión $F_{DECIMAL} = 100$, y el factor $2/N$ de la fórmula general de la transformada de Fourier.

$$F_{TABLA} = \frac{1}{F_X} * F_{ESCALA} * F_{DECIMALES} * \frac{2}{N} \quad (60)$$

De donde, los factores para las tablas de coseno y seno de las muestras de tensión y corriente serán:

$$F_{TABLA_V} = \frac{5 * 85}{1023 * 16} * 2^{14} * 10^2 * \frac{2}{16} = 5317,69 \quad (61)$$

$$F_{TABLA_I} = \frac{5000 * 5}{82 * 1023 * 16} * 2^{14} * 10^2 * \frac{2}{16} = 3814,70 \quad (62)$$

Las tablas de senos y cosenos para los canales de tensión y corriente estarán definidas por:

$$tab_cos[n]_{CH} = F_{TABLA} * \cos \left(\frac{2\pi}{N} n \right) \quad (63)$$

$$tab_sen[n]_{CH} = F_{TABLA} * \operatorname{sen} \left(\frac{2\pi}{N} n \right) \quad (64)$$

El aporte de la r-ésima muestra a la componente real del fasor de frecuencia fundamental se calcula empleando multiplicación de registros de 16 bits x 16 bits de modo que el resultado es de 32 bits.

$$X_C[r]_{CH} = X_{MT}[r]_{CH} * tab_cos[n]_{CH} \quad (65)$$

De donde se obtiene para cada canal:

$$X_C[r] = (x_p[r] * F_X) * \left(\frac{1}{F_X} 2^{14} * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right) \right) \quad (66)$$

$$X_C[r] = x_p[r] * 2^{14} * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right)$$

Siendo $X_p[r]$ el valor de la magnitud primaria en el instante r-ésimo $r = n$ y $N = 16$: número de muestras por ciclo.

Análogamente el aporte para la componente imaginaria se obtiene como:

$$X_S[r] = x_p[r] * 2^{14} * 10^2 * \frac{2}{16} * \text{sen}\left(\frac{2 \pi n}{N}\right) \quad (67)$$

Se observa que el lado derecho de las ecuaciones (67) y (68) y las ecuaciones (58) y (59) se diferencia sólo en los factores F_{ESCALA} y $F_{DECIMAL}$.

Para obtener las componentes real e imaginaria del fasor de frecuencia fundamental para la primera ventana se requiere sumar en cada canal, los aportes de cada muestra hasta completar la primera ventana cuando $n = 16$. Estas componentes se almacenan en los vectores de registros de doble precisión (32 bits) XDC y XDS:

$$XDC_{[CH,r]} = XDC_{[CH,r-1]} + X_C \quad (68)$$

$$XDS_{[CH,r]} = XDS_{[CH,r-1]} + X_S \quad (69)$$

Posteriormente, en los vectores de registros de precisión simple (16 bits) XC y XS se almacenan versiones no escaladas de las componentes real e imaginaria de cada fasor. La eliminación del F_{ESCALA} se realiza por medio de desplazamientos a la derecha para optimizar el tiempo de operación. Estos valores no escalados se emplean para determinar el cuadrado de la magnitud de los fasores de las muestras de tensión y corriente que se almacenan en el vector de registros tipo long (32 bits) X2_L.

$$XC_{[CH,r]} = XDC_{[CH,r-1]} / F_{ESCALA} \quad (70)$$

$$XS_{[CH,r]} = XDS_{[CH,r-1]} / F_{ESCALA} \quad (71)$$

De modo que al terminar la primera ventana de datos

$$XDC[n]_{CH} = \sum_{h=0}^{16} x_p[n] * 2^{14} * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right) \quad (72)$$

$$XDS[n]_{CH} = \sum_{h=0}^{16} x_p[n] * 2^{14} * 10^2 * \frac{2}{16} * \text{sen}\left(\frac{2 \pi nk}{N}\right) \quad (73)$$

$$XC[n]_{CH} = \sum_{h=0}^{16} x_p[n] * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right) \quad (74)$$

$$XS[n]_{CH} = \sum_{h=0}^{16} x_p[n] * 10^2 * \frac{2}{16} * \text{sen}\left(\frac{2 \pi n}{N}\right) \quad (75)$$

$$X2_L[n]_{CH} = XC[n]_{CH}^2 + XS[n]_{CH}^2 \quad (76)$$

También se almacenan versiones de menor escala en el vector de registros tipo "word" (16 bits) X_2 los cuales son útiles para realizar algunos cálculos rápidos como determinación de fases con valores máximos y mínimos.

$$X_2_{[CH,r]} = X2_L_{[CH,r-1]} / F_{2_CH} \quad (77)$$

A partir de la primera ventana de datos la transformada discreta de Fourier se calcula en forma recursiva de modo que X_{MT} para cada canal se redefine como:

$$X_{MT[r]_{CH}} = X_{MT[r]_{CH}} - X_{MT[r-N]_{CH}} \quad (78)$$

Para $r = n + mN$, $n = entero > 0$, $N = 16$

De donde el aporte para las componentes real e imaginaria del fasor fundamental de cada muestra estará dado por:

$$X_C_{[r]} = (x_{p[r]} - x_{p[r-N]}) * 2^{14} * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right) \quad (79)$$

$$X_S_{[r]} = (x_{p[r]} - x_{p[r-N]}) * 2^{14} * 10^2 * \frac{2}{16} * \text{sen}\left(\frac{2 \pi n}{N}\right) \quad (80)$$

Las componentes real e imaginaria del fasor de frecuencia fundamental estimado con cada nueva muestra estarán definidas como:

$$XDC_{[r]} = XDC_{[r-1]} + \left(x_{p[r]} - x_{p[r-N]} \right) * 2^{14} * 10^2 * \frac{2}{16} * \cos\left(\frac{2 \pi n}{N}\right) \quad (81)$$

$$XDS_{[r]} = XDS_{[r-1]} + \left(x_{p[r]} - x_{p[r-N]} \right) * 2^{14} * 10^2 * \frac{2}{16} * \text{sen}\left(\frac{2 \pi n}{N}\right) \quad (82)$$

3.3.4 Determinación de las componentes de secuencia del fasor de frecuencia fundamental de tensión o corriente.

Por medio de la macro FASOR_SEC se estiman las componentes real e imaginaria del fasor fundamental de secuencia positiva requerido (tensión o corriente). Para calcular las componentes de secuencia negativa basta intercambiar los elementos con subíndices "c" y "b" en los parámetros de entrada.

$$Z_x = X_{ac} * 341 \quad (83)$$

$$Z_{temp} = (X_{bc} + X_{cc}) * 171 \quad (84)$$

$$Z_x = Z_x - Z_{temp} \quad (85)$$

$$Z_{temp} = (X_{cs} - X_{bs}) * 296 \quad (86)$$

$$Z_x = Z_x + Z_{temp} \quad (87)$$

$$Z_x = X_{ac} * 341 - (X_{bc} + X_{cc}) * 171 + (X_{cs} - X_{bs}) * 296 \quad (88)$$

$$Z_y = X_{as} * 341 \quad (89)$$

$$Z_{temp} = (X_{cs} + X_{bs}) * 171 \quad (90)$$

$$Z_y = Z_y - Z_{temp} \quad (91)$$

$$Z_{temp} = (X_{bc} - X_{cc}) * 296 \quad (92)$$

$$Z_y = Z_y + Z_{temp} \quad (93)$$

$$Z_y = X_{as} * 341 - (X_{cs} + X_{bs}) * 171 + (X_{bc} - X_{cc}) * 296 \quad (94)$$

Se escala a variable tipo "word" (16 bits) dividiendo las componentes entre un factor F_N

$$Z'_X = \frac{Z_X}{F_N} \quad (95)$$

$$Z'_Y = \frac{Z_Y}{F_N} \quad (96)$$

Finalmente, el cuadrado de la magnitud del fasor de secuencia está determinado por:

$$Z_{sec}^2 = Z_X'^2 + Z_Y'^2 \quad (97)$$

Este valor se almacena en el vector de magnitudes de fasores en doble precisión (32 bits).

Las componentes del fasor de tensión de frecuencia fundamental de secuencia positiva del periodo anterior y actual se almacenan en los registros tipo "word":

$$v1r_old = v1r[n - N] \quad (98)$$

$$v1r = Z'x \quad (99)$$

$$v1i_old = v1i[n - N] \quad (100)$$

$$v1i = Z'y \quad (101)$$

3.3.5 Cálculo de la frecuencia del sistema

En la Sin embargo, para mantener los cálculos dentro de la precisión requerida en cada caso, se ha optado por multiplicar el numerador de la ecuación (76) antes de efectuar la división. Así se obtiene:

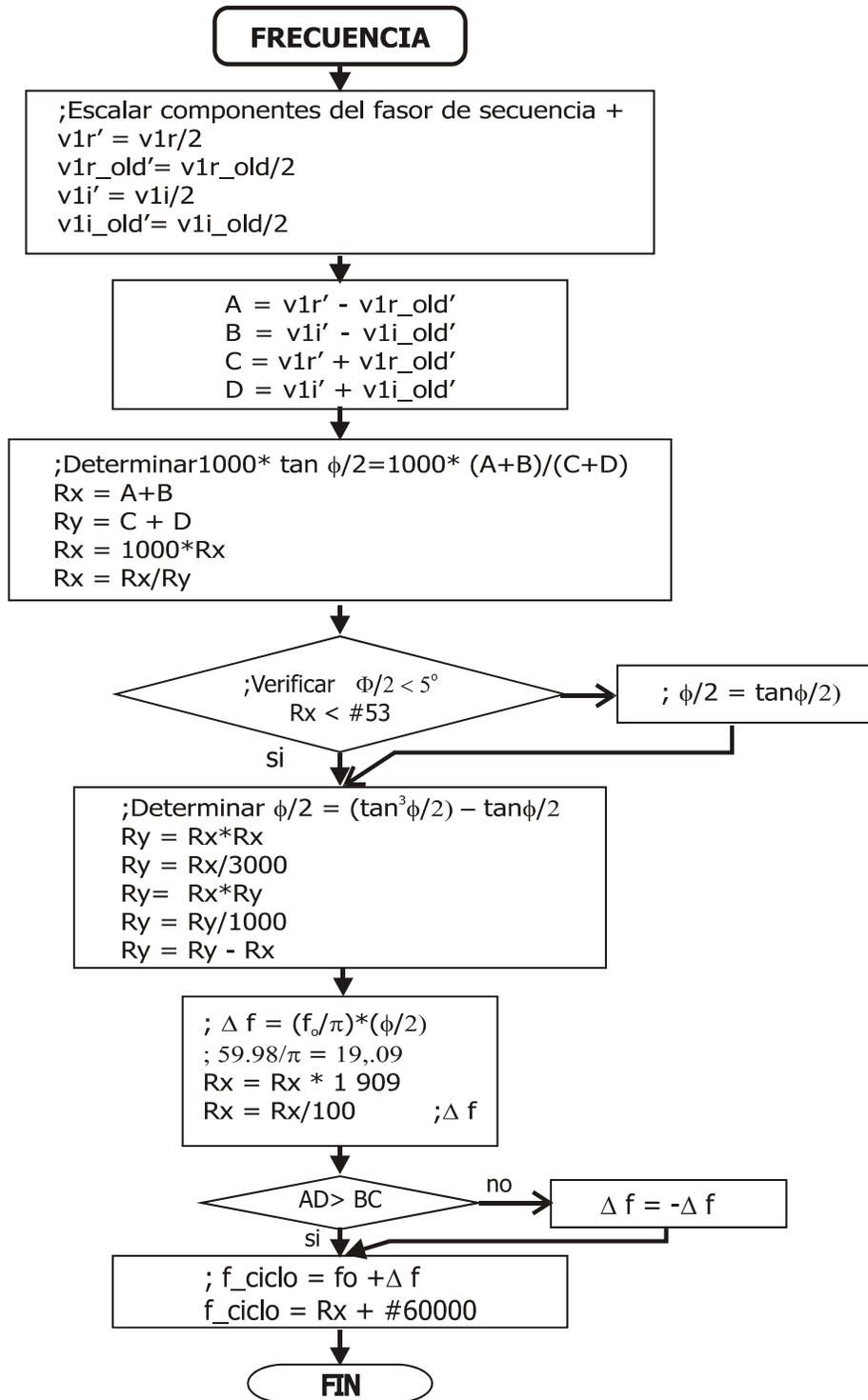
Figura 6 se presenta en forma detallada el algoritmo de estimación de la frecuencia del sistema a partir de las componentes de los fasores de frecuencia fundamental de secuencia positiva del sistema que se ha aplicado en el presente trabajo de investigación.

Como se observa, la primera acción de este algoritmo es dividir entre 2 los valores de las componentes de los fasores actual y antiguo de frecuencia fundamental de tensión para así evitar desbordamientos en los cálculos siguientes. Inmediatamente se determinan los parámetros A,B,C y D con los cuales se calculará la tangente del ángulo medio de los vectores suma y resta entre los fasores de frecuencia fundamental.

$$\tan\left(\frac{\phi}{2}\right) = \frac{|A|+|B|}{|C|+|D|} \quad (102)$$

Sin embargo, para mantener los cálculos dentro de la precisión requerida en cada caso, se ha optado por multiplicar el numerador de la ecuación (76) antes de efectuar la división. Así se obtiene:

Figura 6. Aplicación del algoritmo de estimación de la frecuencia.



$$R_x = 1000 * \tan\left(\frac{\phi}{2}\right) = \frac{1000 * (|A| + |B|)}{|C| + |D|} \quad (103)$$

Si el ángulo es suficientemente pequeño, puede asumirse que $\tan\left(\frac{\phi}{2}\right) \approx \frac{\phi}{2}$, pero si no lo es entonces puede calcularse a partir de la serie de Taylor de donde:

$$\frac{\phi}{2} = \tan\left(\frac{\phi}{2}\right) - \frac{\tan^3\left(\frac{\phi}{2}\right)}{3} \quad (104)$$

Siguiendo las operaciones de la rutina se obtiene:

$$R_y = R_x * R_x / 3000 = \frac{1000^2 * \tan^2\left(\frac{\phi}{2}\right)}{3000} \quad (105)$$

$$= \frac{1000}{3} * \tan^2\left(\frac{\phi}{2}\right)$$

$$R_x = R_y * R_x / 1000 = \frac{1000^2 * \tan^3\left(\frac{\phi}{2}\right)}{1000} \quad (106)$$

$$R_x = \frac{1000}{3} * \tan^3\left(\frac{\phi}{2}\right)$$

$$Ry = Ry - Rx = 1\,000 * \tan\left(\frac{\phi}{2}\right) - \frac{1\,000^2 * \tan^3\left(\frac{\phi}{2}\right)}{1\,000} \quad (107)$$

$$Ry = 1\,000 * \left(\tan\left(\frac{\phi}{2}\right) - \frac{\tan^3\left(\frac{\phi}{2}\right)}{3} \right)$$

Determinado el ángulo se introduce en la fórmula para calcular el deslizamiento de frecuencia:

$$\Delta f = \left(\frac{\phi}{2}\right) * \frac{fo}{\pi} \quad (108)$$

Para la frecuencia de muestreo utilizada se tiene que $fo = 59,98$ Hz, por tanto $fo/\pi = 19,09$.

$$Ry = Rx * 1\,909 / 100 \quad (109)$$

$$Ry = 1\,000 * \left(\frac{\phi}{2}\right) * \frac{fo}{\pi}$$

$$Ry = 1\,000 * \Delta f$$

Sólo falta sumar el deslizamiento con el signo adecuado a la frecuencia original y se obtendrá la nueva frecuencia del sistema escalada por el factor 1 000.

$$f_{_ciclo} = 1\,000 * fo + 1\,000 * \Delta f \quad (110)$$

$$f_{_ciclo} = 59980 + 1\,000 * \Delta f$$

$$f_{_ciclo} = 1\,000 * (59,98 + \Delta f)$$

4 DESCRIPCIÓN GENERAL DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL

En esta investigación se ha desarrollado un prototipo de relé de funciones múltiples con las siguientes características:

- Once (11) funciones de protección disponibles con salidas de estado (disparos) independientes y salidas de disparo/alarma de interruptor maestro.
- Configuración de parámetros en forma local usando el teclado y visualizador LCD.
- Almacenamiento de tres tablas de configuración.
- Visualización de tres magnitudes eléctricas en tiempo de operación.
- Funciones de prueba de memorias, salidas digitales, salidas de estado y teclado en tiempo de ajuste.
- Funciones de autodiagnóstico de memorias EPROM y EEPROM con indicadores de estado.
- Almacenamiento de 4 últimas ventanas de muestras y registro de los 20 últimos eventos.
- Reloj en tiempo real.

Como núcleo del *hardware* se empleó una tarjeta de desarrollo 196 KD de Intel, de modo que se aprovechó la robustez y las facilidades de programación y depuración que proporciona la herramienta *Project Builder* asociada.

A continuación se presentan las especificaciones y características de diseño y construcción de este prototipo de relé multifuncional. Funciones de protección incluidas en el prototipo de relé multifuncional

El prototipo de relé multifuncional permite configurarse en tiempo de operación para cumplir con una o más de las funciones de protección disponibles indicadas en la **Tabla 2**, las cuales se han organizado en cuatro grupos para facilitar su selección y configuración.

Tabla 2 Resumen de Funciones de protección

No.	Código ANSI	Definición	Grupo
1	59I	Sobretensión pico	1. Tensión
2	59	Sobretensión RMS	
3	27	Subtensión RMS	
4	32R	Potencia inversa	2. Potencia
5	32 F	Potencia directa	
6	810	Sobrefrecuencia	3. Frecuencia
7	81U	Subfrecuencia	
8	46	Sobrecorriente de secuencia negativa	4. Sobre corriente
9	50	Sobrecorriente de Fase instantánea RMS	
10	50N	Sobrecorriente de Neutro instantánea	
11	51	Sobrecorriente de Fase de tiempo inverso	

4.1 PARÁMETROS DE CONFIGURACIÓN DE LAS FUNCIONES DE PROTECCIÓN

A través de la interfaz del usuario este prototipo de relé permite activar y configurar diversos parámetros de cada una de las funciones de protección disponibles, las cuales están organizadas en cuatro grupos según su afinidad. Para cada uno de los parámetros de configuración se parte de una tabla de valores iniciales almacenada en EPROM de programa

la cual será utilizada por el sistema en caso de que no se efectúen modificaciones o cuando se detecten fallas en la memoria EEPROM de configuración.

4.1.1 Configuración de las funciones del grupo 1. Tensión

La Tabla 2 presenta un resumen de la configuración de los parámetros de las funciones de éste grupo. Para las funciones de subtensión y sobretensión rms se debe fijar un valor de tensión para disparo instantáneo, y un valor temporizado con un retardo. Puesto que la tensión es un parámetro nominal del sistema eléctrico de potencia, se recomienda fijar el comando de disparo temporizado de la función de sobretensión para una tensión entre el 106% y el 110% de la tensión nominal y el disparo instantáneo al 150% de la tensión nominal. En cuanto al relé de subtensión se recomienda fijar el disparo temporizado al 90% de la tensión nominal con un retardo de hasta 60 ciclos, para prevenir disparos indeseados debidos a caídas momentáneas de la tensión del sistema.

En cuanto a la función de protección contra sobretensión pico, generalmente se ajusta en un rango de 1,3 a 1,5 p.u.¹⁰ usando un retardo mínimo.

Tabla 3 Parámetros de configuración de las funciones de protección del Grupo 1

Función	Cód. ANSI	Parámetro	Disparo instantáneo (V)	Disparo temporizado (V)	Retardo (ciclos)
Sobre tensión RMS, trifásico	59	Rango	70-150 V _{RMS}	70-150 V _{RMS}	1-7200
		Incremento	1 V _{RMS}	1 V	1
		V _{inicial}	140 V _{RMS}	140 V _{RMS}	30
Sobre tensión pico, trifásico	59 P	Rango	70-150 V _{pico}	70-180 V	1-7200
		Incremento	1 V	1 V	1
		V _{inicial}	130 V _{pico}	130 V _{pico}	30
Sub tensión RMS, trifásico	27	Rango	10 -150 V _{RMS}	10-150 V _{RMS}	1-7200
		Incremento	1 V _{RMS}	1 V _{RMS}	1
		V _{inicial}	80 V _{RMS}	90 V _{RMS}	30

¹⁰ Por unidad

4.1.2 Configuración de las funciones del grupo 2. Potencia

La configuración de estas funciones se resume en la **Tabla 4**. Se espera que la protección de potencia inversa se ajuste al 0,5% de su potencia nominal.

Tabla 4 Parámetros de configuración de las protecciones del Grupo 2.

Función	Cód. ANSI	Parámetro	Disparo instantáneo	Disparo temporizado	Retardo (ciclos)
Potencia inversa	32 F	Rango	0-100 k W	0-100 k W	1-10 800
		Incremento	1 W	1 W	1
		Valor inicial	0,2 k W	0,2 k W	30
Potencia directa	32 R	Rango	0-100 k W	0-100 k W	1-10 800
		Incremento	1 W	1 W	1
		Valor inicial	2 k W	2 k W	30

4.1.3 Configuración de las funciones del grupo 3. Frecuencia

Este grupo corresponde a las unidades de deslizamiento de frecuencia. Se permite programar hasta tres pasos de frecuencia con sus respectivos retardos en cada sentido del deslizamiento de frecuencia. La operación de las funciones de deslizamiento de frecuencia no se activa a menos que se cumpla con una restricción de tensión mínima programada. A pesar de que tecnológicamente el prototipo de relé pueda realizar la medida de frecuencia aún en condiciones de tensión mínima, por razones de utilidad es necesario bloquear el funcionamiento del relé para una tensión de aproximadamente el 50% de su valor nominal.

Tabla 5. Parámetros de configuración de las protecciones del Grupo 3

Función	Cód. ANSI	#	Parámetro	Restricción de Tensión mínima (V_{RMS})	Disparo temporizado (Hz)	Retardo (ciclos)
Sobre frecuencia (3 pasos)	81 O	1	Rango	40 – 150	60,00 – 65,00	1-10 800
			Incremento	1	0,01	1
			Valor inicial	60	60,5	30
	81 O	2	Rango	40 – 150	60,00 – 65,00	1-10 800
			Incremento	1	0,01	1
			Valor inicial	60	61,5	20

Función	Cód. ANSI	#	Parámetro	Restricción de Tensión mínima (V_{RMS})	Disparo temporizado (Hz)	Retardo (ciclos)
	81 O	3	Rango	40 – 150	60,00 – 65,00	1-10 800
			Incremento	1	0,01	1
			Valor inicial	60	62,5	10
Sub frecuencia (3 pasos)	81 U	1	Rango	40 – 150	55,00 – 60,00	1- 10 800
			Incremento	1	0,01	1
			Valor inicial	80	59,5	30
	81 U	2	Rango	40 – 200	55,00 – 60,00	1-10 800
			Incremento	1	0,01	1
			Valor inicial	80	58,5	20
	81 U	3	Rango	40 – 200	55,00 – 60,00	1-10 800
			Incremento	1	0,01	1
			Valor inicial	80	57,5	10

4.1.4 Configuración de las funciones del grupo 4. Sobrecorriente

Este grupo corresponde a las unidades de sobre corriente de tiempo definido y de tiempo inverso. En la Tabla 6 se muestra la configuración de las funciones de sobrecorriente de tiempo definido y en la **Tabla 7** la configuración de las funciones de sobrecorriente de tiempo inverso. La operación de las unidades de tiempo inverso depende de la curva de operación seleccionada.

Tabla 6. Configuración de las funciones de sobrecorriente de tiempo definido

Función	Cód. ANSI	Parámetro	Disparo instantáneo A_{RMS}	Disparo temporizado A_{RMS}	Retardo (ciclos)
Sobre corriente instantánea Fase	50	Rango	0 – 100	0 – 100	1-10 800
		Incremento	1	1	1
		Valor inicial	10	10	30
Sobre corriente instantánea Neutro	50 N	Rango	0 – 100	0 – 100	1-10 800
		Incremento	1	1	1
		Valor inicial	10	10	30

Tabla 7. Configuración de las funciones de sobrecorriente de tiempo inverso.

Función	Cód. ANSI	Curvas de operación ¹¹ de las Funciones 46 y 51		Parámetro	Corriente de arranque I_p A_{RMS}	Constante de tiempo TD	
Sobre corriente de secuencia negativa	46	1	I E C	Normal inversa	Rango	1 –12	0,1 – 10
		2		Muy inversa	Incremento	1	0,1
		3		Extremada inversa	Valor inicial	1	1
		4		Long time Back up			
Sobre corriente de tiempo inverso de Fase	51	5	A N S I	Moderada inversa	Rango	1 –12	0,1 –10
		6		Inversa	Incremento	1	0,1
		7		Muy inversa	Valor inicial	1	1
		8		Extrema inversa			

4.2 SEÑALES DE ENTRADA/SALIDA

4.2.1 Señales de entrada analógicas

Son las señales de operación del relé multifuncional, consisten de cuatro entradas de corriente (para las fases y el neutro) y tres entradas de tensión. Las señales de entrada se toman de los secundarios de los transformadores de medida del sistema de potencia. Tienen las siguientes especificaciones:

Señales de tensión. Tensión nominal 120 V AC, 60 Hz. Soporta tensiones continuas máximas de 180 V pico.

Señales de corriente. Corriente nominal 5,0 AC, 60 Hz, para las fases y corriente nominal de 1 A - 60 Hz para el circuito del neutro. Corriente secundaria máxima: 10 A

4.2.2 Señales de entrada de estado

Son señales digitales de eventos que modifican el comportamiento del relé de protección. Generalmente activan una interrupción.

Tabla 8. Entradas digitales

Número	Nombre	Especificación
1	EBM	Estado de interruptor (<i>“breaker”</i>) maestro
2	EMFR	Muestras fuera de rango
3	EPAL	Petición de ajuste local
4	ERM	Reiniciación (<i>Reset</i>) maestro

4.2.3 Salidas de estado de funciones de protección

Estas salidas se activan cuando ocurre alguna condición de traspaso de los límites de protección. Las salidas de disparo una vez se han activado permanecen en ese estado hasta que se reinicie el sistema (*reset* maestro). Las salidas de alarma que se activan mientras se está calculando el retardo de una protección se desactivan automáticamente si no se presenta la condición de disparo antes de cumplirse el retardo. Las salidas de disparo operan contactos de relevos de 3 A, mientras que las salidas de alarma están disponibles en *buffers* TTL de 500 mA de capacidad.

¹¹ Según la Tabla 1

Tabla 9 . Salidas de estado de funciones de protección

Número	Nombre Salida	Especificación
0	D59 P	Disparo de sobretensión pico
1	D59	Disparo de sobretensión RMS
2	D27	Disparo de subtensión
3	D50	Disparo de sobrecorriente instantánea Fase
4	D50 N	Disparo de sobrecorriente instantánea Neutro
5	D46	Disparo de sobrecorriente de secuencia negativa
6	D51	Disparo de sobrecorriente de tiempo inverso
7		Reservado
8	D81 O-1	1 ^{er} disparo de sobrefrecuencia
9	D81 O-2	2 ^o disparo de sobrefrecuencia
10	D81 O-3	3 ^{er} disparo de sobrefrecuencia
11	D81 U-1	1 ^{er} disparo de subfrecuencia
12	D81 U-2	2 ^o disparo de subfrecuencia
13	D81 U-3	3 ^{er} disparo de subfrecuencia
14	D32 R	Disparo de Potencia inversa
15	D32 F	Disparo de Potencia directa
16	A59 P	Alarma de disparo de sobretensión pico
17	A59	Alarma de disparo de sobretensión RMS
18	A27	Alarma de disparo de subtensión
19	A50	Alarma de disparo de sobrecorriente instantánea Fase
20	A50 N	Alarma de disparo de sobrecorriente instantánea Neutro
21	A46	Alarma de disparo de sobrecorriente de secuencia negativa
22	A51	Alarma de disparo de sobrecorriente de tiempo inverso
23		Reservado
24	A81 O-1	1 ^{er} Alarma de disparo de sobrefrecuencia
25	A81 O-2	2 ^o Alarma de disparo de sobrefrecuencia
26	A81 O-3	3 ^{er} Alarma de disparo de sobrefrecuencia
27	A81 U-1	1 ^{er} Alarma de disparo de subfrecuencia
28	A81 U-2	2 ^o Alarma de disparo de subfrecuencia
29	A81 U-3	3 ^{er} Alarma de disparo de subfrecuencia
30	A32 R	Alarma de disparo de Potencia inversa
31	A32 F	Alarma de disparo de Potencia directa

4.2.4 Señales de estado de autodiagnóstico

Las salidas digitales de autodiagnóstico (Tabla 10) se activan cuando se presenta una falla de autodiagnóstico determinando exactamente dicha falla.

Tabla 10. Salidas digitales de autodiagnóstico

Número	SALIDA	ESPECIFICACIÓN
0	ADB	Alarma de interruptor maestro
1	DB	Salida de disparo de interruptor maestro
2	AEFR	Alarma de entrada analógica fuera de rango
3	AEEC	Alarma falla de EEPROM de configuración
4	AEER	Alarma falla de EEPROM de registro de eventos y señales.
5	AEPR	Alarma falla de EPROM de programa
6		Reservado
7		Reservado

4.2.5 Salidas digitales de operación

Son salidas digitales (Tabla 11) tipo TTL que al activarse permiten comandar acciones en el sistema.

Tabla 11. Salidas digitales de operación

Número	Salida	Especificación
0		Reservado
1	AGP1	Control de los amplificadores de ganancia programable
2	AGP2	
3	SDB	Disparo de interruptor (<i>"breaker"</i>) maestro
4	SAU	Salida Falla de autodiagnóstico
5		Disponible
6		Disponible
7		Disponible

4.3 INTERFAZ DEL USUARIO

La interfaz del usuario está integrada por una pantalla LCD de 4 filas por 120 pixeles (20 caracteres)¹², un teclado matricial de 16 teclas, un interruptor de petición de ajuste local y dos líneas de leds de 16 bits cada uno para la señalización de las alarmas y disparos de protecciones. Al iniciar la operación del prototipo de relé, o cuando se ejecute una petición de ajuste local, el sistema entra en el modo de ajuste desde el cual el operario puede configurar diferentes acciones en el relé, o dar un comando de inicio de operación, utilizando el teclado que sólo está habilitado en este modo. En el modo de operación normal, se muestran los valores de las magnitudes seleccionadas (**Figura 7**). En caso de falla se presenta una ventana con los valores de tensiones y corrientes del sistema alternadamente con otra ventana en la cual se indican las funciones de protección que se encuentran en estado de alarma y en estado de disparo (**Figura 8**).

Figura 7 Ventana de operación normal

```
OPERACION
Ia = 51.27 A
Va = 91.50 Vrms
f = 60.00 Hz      ↓
```

Figura 8. Ventanas presentadas en estado de falla

Falla	Falla	Alarma
Ia= 95.81 Va= 102.81	59P 59R	50 50N 51
Ib= 95.81 Vb= 115.65	81O 123	
Ic= 60.57 Vc= 90.72		32F 20:07:05

¹² Ver [POWERTIP TECH. CORP]

4.3.1 Operación en modo de ajuste

Cuando se activa el modo de ajuste, la interfaz del usuario despliega el menú principal, desde el cual, se seleccionan las opciones de configuración requeridas. Para navegar entre las distintas opciones permitidas se emplea el teclado matricial. Se han asignado las siguientes funciones a cada una de las teclas:

- (A) Ver parte alta de la ventana o incrementar.
- (B) Ver parte baja de la ventana o decrementar.
- (C) Retornar al menú principal.
- (D) Ir a menú anterior.
- (*) Validar.
- (1) → (9) Seleccionar opción.

Menú principal La **Figura 9** muestra un despliegue total del Menú Principal desde el cual el operario puede comandar la operación o configuración del relé, seleccionar las magnitudes que se mostrarán en tiempo de operación, realizar pruebas de algunos de los subsistemas, almacenar o cargar tablas de configuración o actualizar el reloj en tiempo real. Para escoger alguna de estas opciones debe pulsar una tecla según la opción deseada.

Figura 9 Menú principal



Submenú Operación. El submenú de operación permite utilizar valores reales (por defecto) o trabajar con valores simulados para ejecutar pruebas. Una vez seleccionado el tipo de operación el equipo abandona el modo de ajuste y entra al modo de operación, dedicándose a las tareas de medición y protección.

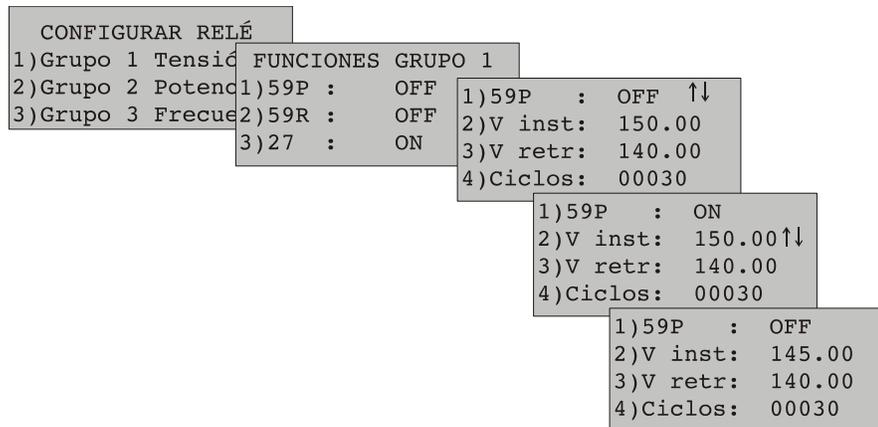
Submenú de Configuración. El submenú de configuración permite activar o desactivar las funciones de protección y realizar los ajustes necesarios a los parámetros de configuración de éstas. Si no se realiza ninguna configuración el sistema tomará los valores iniciales indicados en las tablas de configuración (**Tabla 3, Tabla 4, Tabla 5** y Tabla 6) almacenadas en la EPROM de programa.

Para facilitar la labor de configuración las funciones se han organizado en cuatro grupos según su afinidad (tensión, potencia, frecuencia y corriente). La **Figura 10** muestra la secuencia de despliegues de ventana que se presentan para un ejemplo de configuración de los parámetros de la función de sobretensión instantánea pico: Función 59 P.

Una vez seleccionada la opción "Configurar Relé" desde el "Menú Principal", la interfaz desplegará el submenú "Configurar relé". Si se selecciona la opción Grupo 1 pulsando la tecla (1) se desplegará la ventana "Funciones Grupo 1" que incluye dicha función. En ese momento debe pulsarse la tecla correspondiente a la función 59P (2). Esta acción desplegará la ventana de configuración de la función. Se permiten las siguientes opciones:

- 1) Activar o desactivar la función.
- 2) Programar un nivel de tensión pico para el disparo instantáneo.
- 3) Programar un nivel de tensión pico para el disparo retardado.
- 4) Determinar la duración del retardo de operación en ciclos.

Figura 10. Ejemplo de secuencia de ventanas del submenú de configuración



La opción deseada se selecciona pulsando la tecla que corresponda. Cuando se activa una opción aparecen los íconos ↑↓ indicando que se incrementa o decrementa el valor del parámetro. Finalmente debe pulsarse (*) para validar la selección. Del mismo modo se configura cualquier otro parámetro. Para este ejemplo, se modificaron la opción 1 y la opción 2. Para abandonar la ventana, se debe pulsar (D) si se desea ir al menú anterior o (C) para retornar al menú principal.

Submenú de medición. El submenú de medición que se muestra en la **Figura 11** activa la función de multímetro en tiempo de operación. Permite activar hasta tres magnitudes que se mostrarán en pantalla. Estas magnitudes se escogen desde las ventanas de opciones de multímetro: Tensión, corriente, potencia y frecuencia. Al seleccionar más de tres magnitudes simplemente se deseleccionan las primeras magnitudes previamente escogidas. Pueden seleccionarse las siguientes magnitudes:

Tensión. Magnitud rms de las tensiones de fase (componente de frecuencia fundamental).

- Magnitud del fasor de tensión de secuencia positiva (RMS).
- Máximo valor de tensión rms de fase, por ciclo.

- Mínimo Valor de tensión rms de fase, por ciclo.

Corriente. Magnitud rms de las corrientes de fase y neutro (componente de frecuencia fundamental).

- Magnitud rms de la corriente de secuencia positiva.
- Magnitud rms de la corriente de secuencia negativa.

Potencia. Potencia activa por cada fase y potencia activa trifásica (en k W).

- Potencia mínima por ciclo (en k W).

Frecuencia. Frecuencia del sistema.

Figura 11. Submenú Multímetro

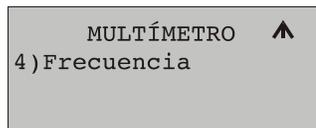
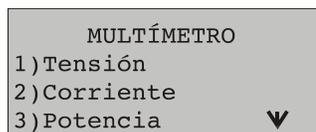
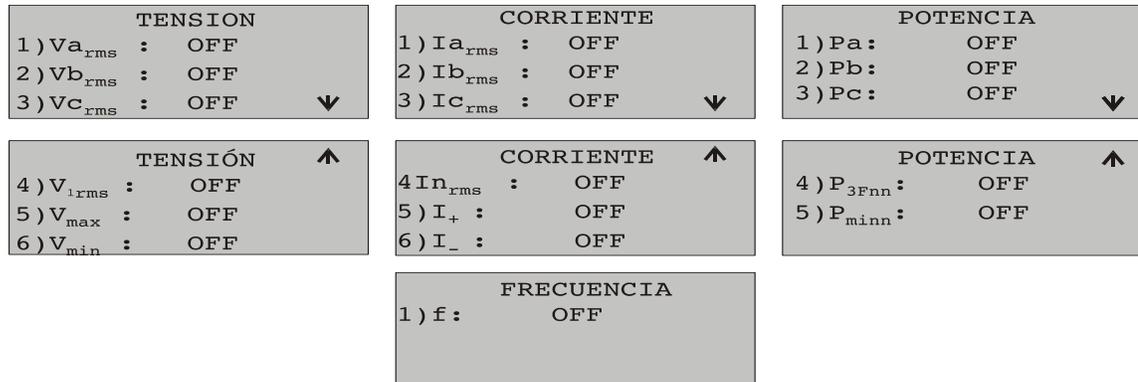


Figura 12. Ventanas de opciones del Submenú Multímetro: tensión, corriente, potencia y frecuencia.



Submenú archivo. El submenú de archivo permite almacenar la tabla de configuración actual en memoria no volátil, o cargar una tabla de configuración previamente almacenada, también permite configurar los parámetros de registro de datos y eventos.

Submenú de pruebas. El submenú de pruebas ejecuta pruebas básicas, y es recomendable y de considerable ayuda cuando se quiere efectuar mantenimiento del relé. Permite realizar pruebas a los siguientes subsistemas:

- Memoria: EPROM y EEPROM.
- Teclado.
- Salidas de estado y salidas digitales.
- Entradas digitales.

Figura 13. Opciones del submenú de Autopruebas.

```
AUTOPRUEBAS
1)Autosuma de EPROM
2)L/E de EEPROM
3)Teclado      ↓
```

```
AUTOPRUEBAS  ↑
4)Salidas de estado
5)Salidas digitales
6)Entradas digitales
```

Una vez seleccionada una prueba, el sistema ejecuta la rutina de prueba correspondiente, e indica los resultados por pantalla.

Submenú de Configuración del Reloj. Por medio de éste se actualizan fecha y hora del reloj en tiempo real.

4.4 RECONFIGURACIÓN Y AUTODIAGNÓSTICO PERIÓDICOS

El sistema se reconfigura periódicamente siempre que no esté en curso una protección temporizada. Durante el ciclo de reconfiguración se cargan con los valores iniciales (o por defecto) las variables ubicadas en RAM que así lo requieren, se refresca la programación de los registros de propósito general SFRs y las unidades encargadas de la conversión analógico digital, se realizan pruebas a las memorias EEPROM de almacenamiento de datos y registro de eventos y se ejecuta una verificación de datos válidos en tablas de configuración de parámetros localizadas en EEPROM. Si se detectan datos inválidos, se recuperan los valores de la tabla de configuración inicial almacenada en EPROM de programa.

La verificación de pérdida de alimentación, estado de interruptor maestro y muestreo fuera de rango se ejecuta en tiempo de operación normal, por medio de interrupciones externas generadas por las entradas digitales EPF, EEB, EMFR respectivamente. Cuando se presenta una falla por autodiagnóstico el sistema activa la salida digital correspondiente, y detiene la actuación de las protecciones hasta tanto se normalicen las condiciones de operación

4.5 REGISTRO DE EVENTOS

Cada vez que se presenta el disparo de una función de protección o una alarma por falla de autodiagnóstico, el sistema almacena el evento en un archivo circular ubicado en la EEPROM de registro. El sistema almacena hasta 20 eventos. Se registran los siguientes datos de la falla:

- El consecutivo de la falla (0-65536).
- El tipo de la falla.
- Fecha y hora.
- Magnitud de las tensiones de fase.
- Magnitud de las corrientes de fase y neutro.
- Corriente de secuencia negativa.
- Frecuencia del sistema.

5 DESCRIPCIÓN DEL HARDWARE DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL

En este capítulo se detallan todos los aspectos del diseño y construcción del prototipo de relé multifuncional basado en microcontrolador MCS-196 de Intel desarrollado como objeto del presente trabajo de investigación. Se ha empleado un diseño modular para facilitar las tareas de construcción, depuración y mantenimiento del *hardware*.

Las tareas principales que debe cumplir el sistema diseñado para actuar como relé son captar señales analógicas de las tensiones y corrientes del sistema eléctrico de potencia, señales digitales indicadoras de estado de "breaker" o falla de alimentación, las procesa y genera señales digitales de disparos y alarmas de protecciones y de control del sistema.

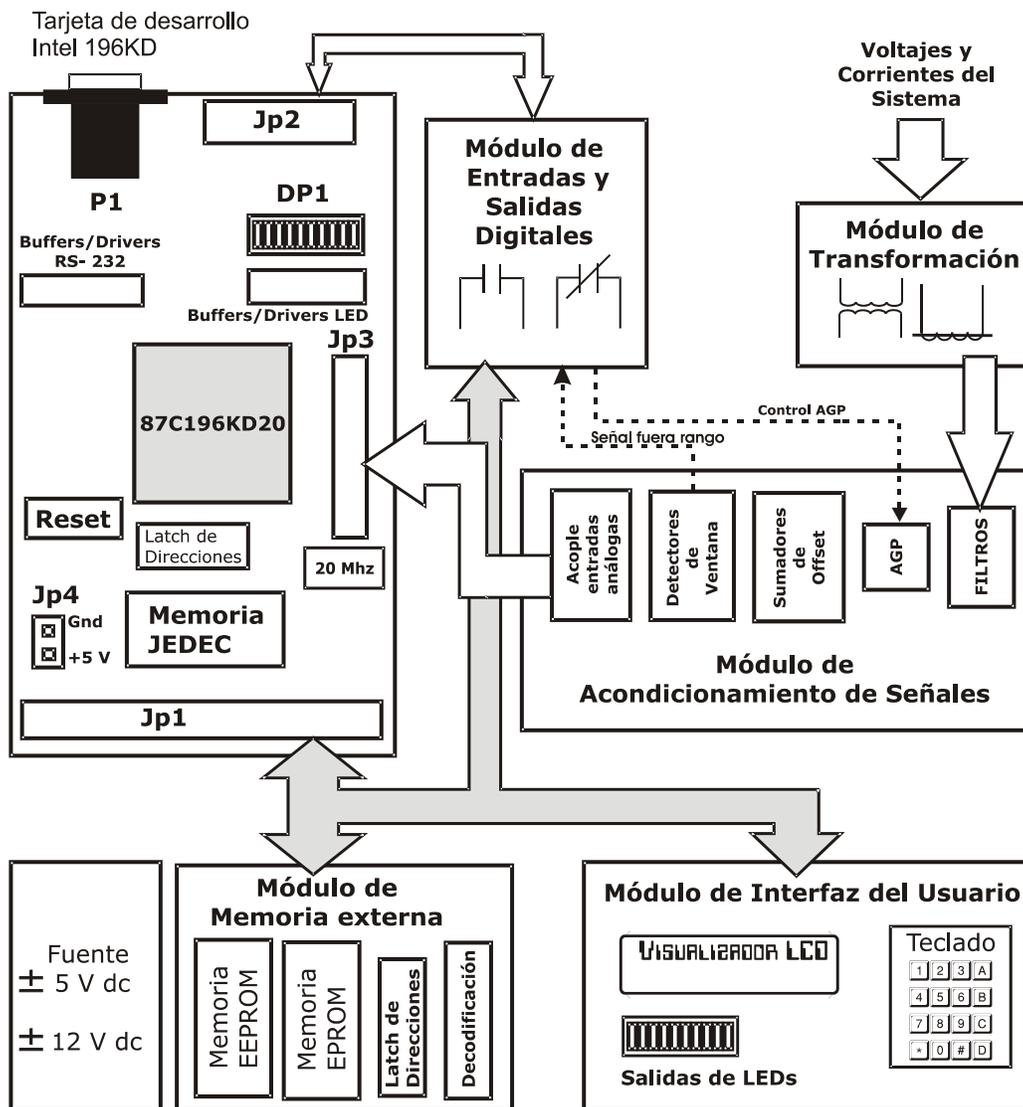
La **Figura 14** muestra un diagrama esquemático del *hardware* del prototipo. Como núcleo se utilizó una tarjeta de desarrollo 196KD-20 de Intel complementando el sistema con los módulos de: transformación de señales de tensión y corriente, acondicionamiento de señales analógicas, manejo de entradas y salidas digitales, control de memoria e interfaz del usuario. Además se incluye una fuente conmutada que proporciona los niveles de tensión de ± 5 V DC y ± 12 V DC requeridos.

El módulo de transformación proporciona aislamiento y reducción a las señales de tensión y corriente del sistema de potencia; a continuación el módulo acondicionador de señales analógicas se encarga de filtrar y adecuar las señales analógicas de tensión reducida para su introducción al conversor analógico digital del microcontrolador.

La interfaz del usuario está integrada por un visualizador LCD, un teclado, un reloj en tiempo real en circuito integrado, un interruptor de petición de ajuste y un banco de salidas de estados de disparos y alarmas.

El módulo de entradas y salidas digitales se encarga de suministrar el aislamiento requerido entre el microcontrolador y el medio externo en lo que se refiere a entradas y salidas digitales. Básicamente cumple dos tareas convertir las señales de entradas tipo contacto en entradas TTL estándar y transformar las señales de salida TTL en salidas tipo contacto.

Figura 14. Diagrama en bloques del *hardware* del prototipo de relé multifuncional



5.1 NÚCLEO DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL

5.1.1 Microcontrolador 87C196KD

Es un microcontrolador CMOS de 16 bits, diseñado para manejar cálculos y operaciones de entrada/salida de alta velocidad. Posee 1024 Bytes de RAM interna (incluyendo los registros de funciones especiales SFR's) y puede direccionar hasta 64 KB de memoria externa.

Posee cinco puertos. El puerto 0 es un puerto de entrada y también actúa como entrada analógica para el convertor analógico digital. El puerto 1 es quasibidireccional y multiplexa algunas líneas con señales del bus de control y dos salidas del modulador de ancho de pulso (PWM). El puerto 2 contiene líneas de los tres tipos: entrada, salida y quasibidireccional. Este puerto comparte algunas de sus líneas con otras funciones del microcontrolador. Los puertos 3 y 4 son puertos bidireccionales de colector abierto que comparten sus líneas con el bus de direcciones y datos.

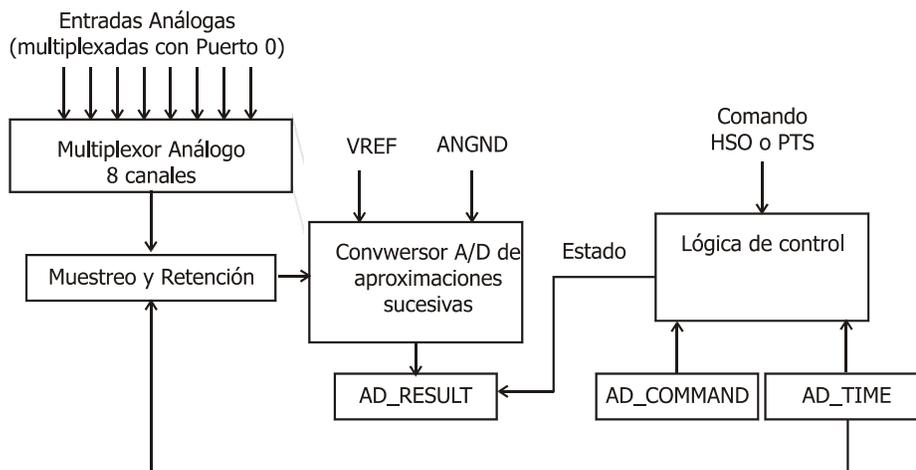
Además incluye sendas unidades de entradas y salidas rápidas (HSI/HSO), dos temporizadores (timer1 y timer2), un temporizador vigilante (*Watchdog timer*) y un servidor de transferencias periféricas (PTS).

Convertor A/D. En la **Figura 15** se indican los elementos principales del módulo del convertor A/D de un microcontrolador tipo 87C196KC/KD:

- 8 entradas analógicas del puerto 0.
- Un multiplexor de 8 canales para seleccionar una de las ocho entradas del puerto cero (P0).
- El circuito de muestreo y retención.

- El convertor de 10 bits de aproximaciones sucesivas.
- El registro AD_COMMAND, que controla la operación a través de lógica de control. Permite seleccionar entre conversión de 8 o 10 bits, el canal de entrada, y decide si la conversión arranca inmediatamente o espera una orden de la unidad HSO.
- El registro de dos bytes AD_RESULT que contiene los resultados de la conversión e información del estado.
- El registro AD_TIME, en el cual se programan los tiempos de muestreo y conversión.

Figura 15. Bloques del módulo de conversión analógico-digital del MCS-196



Los SFR's del microcontrolador pueden programarse para que una conversión analógico-digital se inicie inmediatamente, o espere un disparo por el módulo de salidas de alta velocidad HSO. Una vez termina la conversión, puede generar una petición de interrupción estándar o por la herramienta PTS. El servicio de la interrupción PTS es el más rápido y eficiente, pues permite realizar varios ciclos de conversiones A/D por diferentes canales y almacenar los resultados en una tabla de comandos y datos antes de llamar la rutina de final de conversión A/D. Debido a que en esta aplicación se requiere que para cada ciclo de

muestreo se realice la conversión A/D y el almacenamiento de los resultados para siete canales analógicos resulta muy eficiente emplear el modo AD SCAN de la herramienta PTS en el comando de la conversión A/D en combinación con la unidad HSO.

El control de las conversiones analógico-digitales se efectúa de la siguiente forma: se programa una entrada enclavada en la memoria de acceso por contenido (CAM) de la unidad HSO para que dispare en forma periódica la primera conversión de cada ciclo de muestreo (el primer canal) de manera que se logren ciclos de muestreo periódicos (1/960 segundos). El final de esta primera conversión activa el modo AD SCAN del PTS programado para iniciar conversiones inmediatas por los demás canales y almacenar todos los resultados en la tabla de comandos y datos. En la **Tabla 12** se muestra el bloque de control del PTS en modo AD_SCAN y en la Tabla 13 los comandos y datos correspondientes empleados en la presente aplicación.

Tabla 12. Bloque de control para el modo A/D SCAN de la herramienta PTS

Dirección #PTS_CON_BK+	Nombre de registro	Contenido	Descripción
07 H	Unused	00 H	
06 H	Unused	00 H	
05 H	PTSREG(HI)	00 H	
04 H	PTSREG(LO)	02 H	
03 H	PTS_S/D(HI)	#T_COM_INT1	Dirección de la tabla de comandos y datos. Debe estar localizada en RAM.
02 H	PTS_S/D(LO)		
01 H	PTS_CON	0CA H	Determina y configura el modo PTS
00 H	PTS_COUNT	07 H	Define el número de ciclos PTS que se ejecutarán consecutivamente sin intervención del <i>software</i> . Se decrementa al final de cada ciclo PTS, cuando llega a cero, el <i>hardware</i> limpia el bit PTSSSEL correspondiente y limpia el PTSSRV bit, lo cual requiere de una interrupción FIN_PTS.

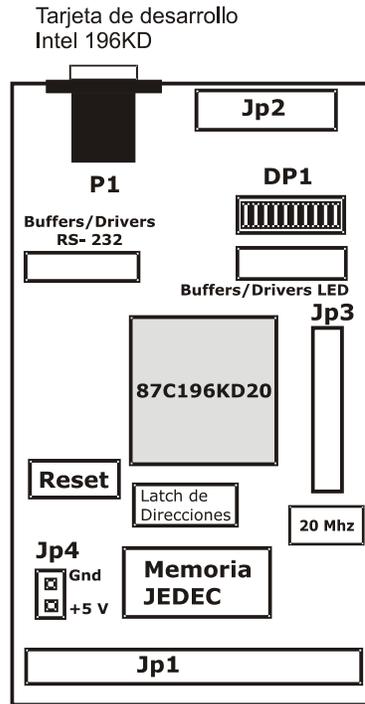
Tabla 13. Tabla de comenados y datos para la conversión AD usando la herramienta PTS

Dirección	Contenido	Valor	Observaciones
#T_COM_INT1+			
1AH	AD_RESULT para ACH6		
18H	0000 H (Dummy)	0000 H	
16H	AD_RESULT para ACH5		
14H	AD_COMMAND para ACH6	000E H	Conversión por canal 6 Inmediata.
12H	AD_RESULT para ACH4		
10H	AD_COMMAND para ACH5	000D H	Conversión por canal 5 Inmediata.
0EH	AD_RESULT para ACH3		
0CH	AD_COMMAND para ACH4	000C H	Conversión por canal 4 Inmediata.
0AH	AD_RESULT para ACH2		
08H	AD_COMMAND para ACH3	000B H	Conversión por canal 3 Inmediata.
06H	AD_RESULT para ACH1		
04H	AD_COMMAND para ACH2	000A H	Conversión por canal 2. Inmediata.
02H	AD_RESULT para ACH0		Resultado de la conversión A/D que inicia el ciclo.
00H	AD_COMMAND para ACH1	0009 H	Conversión por canal 1 Inmediata.

A continuación se describe un ciclo de muestreo de los siete canales programados. Previamente se ha configurado el AD_COMMAND y el AD_TIME para una conversión de 10 bits, simple y rápida, por el canal 0 y disparada por la unidad HSO. Cuando el Timer 2 alcanza el valor seleccionado, la unidad HSO dispara la primera conversión A/D del ciclo de muestreo, la cual una vez finalizada dispara el modo AD_SCAN de la herramienta PTS. El paso 1 del primer ciclo PTS carga una localidad temporal con el primer comando de la tabla (AD_COMMAND para canal 1) incrementando en dos unidades el registro PTS_S/D. El paso 2 almacena el resultado de la conversión por el canal 0 e incrementa en dos el registro PTS_S/D. El paso 3 carga el registro AD_COMMAND con el valor de la localidad temporal (de modo que se prepara la siguiente conversión inmediata, de 10 bits, por el canal 1). El paso 4 actualiza el registro PTS_S/D y el paso 5 decreuenta el registro PTS_COUNT a 6. El siguiente ciclo comienza almacenando el comando AD_COMMAND para el canal 2 en una localidad temporal. Durante los siete ciclos programados del PTS se almacenan los resultados de la conversión de los siete canales y al terminar el último ciclo se activa interrupción de fin de conversión atendida por la rutina FIN_AD.

5.1.2 Tarjeta de desarrollo 196 KD de Intel

Figura 16. Diagrama de bloques de la Tarjeta evaluadora EV 196KD-20 de Intel



Se utiliza módulo principal del prototipo de relé una tarjeta de desarrollo 196 KD de Intel como la mostrada en la **Figura 16**, la cual hace parte de la herramienta de desarrollo *Project Builder Kit* de Intel. Esta tarjeta incluye un microcontrolador 87C196KD de 20 MHz, un "socket" o base para diferentes tipos de memoria con un "latch" de direcciones, un controlador de puerto serie, un arreglo de leds con su controlador, un circuito de reloj de 20 MHz, un circuito de reset y pines de acceso a todas las patillas del microcontrolador a través de las regletas JP1, JP2 y JP3. Al emplear esta tarjeta, se aprovecha el *hardware* robusto y las facilidades ofrecidas por la herramienta *ApBuilder* para la realización de aplicaciones con microcontroladores de la familia 196 de Intel.

Memoria. La tarjeta 196KD-20 incluye un *socket* de memoria de 32 pines el cual acepta dispositivos de memorias de diversos tipos y medidas.

Interfaz del usuario de la tarjeta EV196 KD. Esta interfaz emplea el puerto serie del microcontrolador: P2.0 (TXD), P2.1 (RXD) y P2.5 (RUN). El puerto serie y su conector correspondiente (P1) tienen una interfaz RS 232.

Conectores. La mayoría de los pines del microcontrolador están disponibles para el usuario en los conectores JP1, JP2 y JP3. La **Tabla 14** describe la configuración de pines del conector JP1, la Tabla 15 el conector JP2 y la **Tabla 16** el conector JP3.

Tabla 14. Descripción de pines del conector JP1 de la Tarjeta EV196KD

Pin No.	Nombre	Pin en EV196	NOMBRE PIN en Módulo	Descripción
1	Vcc	PWR		
2	Vcc	PWR		
3	AD8	I/O	AD8	Pines del bus de direcciones/ datos
5	AD9	I/O	AD9	
7	AD10	I/O	AD10	
9	AD11	I/O	AD11	
11	AD12	I/O	AD12	
13	AD13	I/O	AD13	
15	AD14	I/O	AD14	
17	AD15	I/O	AD15	
4	AD0	I/O	AD0	
6	AD1	I/O	AD1	
8	AD2	I/O	AD2	
10	AD3	I/O	AD3	
12	AD4	I/O	AD4	
14	AD5	I/O	AD5	
16	AD6	I/O	AD6	
18	AD7	I/O	AD7	
19	GND	GND		
20	GND	GND		
21	GND	GND		
22	GND	GND		
23	P2.0/TXD	O	----	Reservado para futuras aplicaciones de comunicación serie
25	P2.1/RXD	I/O	----	Relevado para futuras aplicaciones de comunicación serie
27	P2.2/EXTINT	I	EPAL	Fuente de Petición de ajuste local.

Pin No.	Nombre	Pin en EV196	NOMBRE PIN en Módulo	Descripción
				Atendida por la Interrupción INT13
29	P2.3	I	EEB	Entrada de estado de "breaker" maestro
31	P2.4	I		---- Disponible
33	P2.5	O		---- Disponible
35	P2.6	QBD		---- Disponible
37	P2.7	QBD		---- Disponible
32	CLKOUT		-	-
34	WRH#/		-	-
28	WRL		WRL	Habilitación de escritura en localidades de memoria externa
30	RD		RD	Habilitación de lectura en localidades de memoria externa.
24	ALE		ALE	"Adress Latch Enable" Usada para demultiplexar las direcciones del bus de datos/direcciones.
26	INST		-	-
38	BUSWIDTH		-	-
36	READY		-	-
39	Vcc		Vcc	
40	Vcc		Vcc	

Tabla 15. Descripción de pines del conector JP2 de la Tarjeta EV196KD

Pin No.	Nombre	Pin en EV196	NOMBRE PIN En Módulo	Descripción
1	Vcc	PWR	Vcc	+ 5 DC
2	GND	GND	GND	0 V DC
3	P 1.4	QBD		Puerto QBD de 8 bits para comunicación con el PIC controlador de la interfaz de usuario.
4	P 1.0	QBD		
5	P 1.5	QBD		
6	P 1.1	QBD		
7	P 1.6	QBD		
8	P 1.2.	QBD		
9	P 1.7	QBD		
10	P 1.3	QBD		
11	HSI.0/EXTINT	I	EFA	Fuente de interrupción atendida por INT04
13	HSI.1	I		
15	HSI.2/ HSO.4	I/O	AGPA	Control de ganancia programable
17	HSI.3/ HSO.5	I/O	AGPB	Control de ganancia programable
12	HSO.0	O	EN_PSP	Habilitación de comunicación con PSP del PIC

Pin No.	Nombre	Pin en EV196	NOMBRE PIN En Módulo	Descripción
14	HSO.1	O	WR_PSP	Habilitación de escritura en PSP del PIC
16	HSO.2	O	RD_PSP	Habilitación de lectura de PSP del PIC
18	HSO.3	O	EN_HSO	Habilitación de escritura en palabra rápida controlada por PIC.
19	GND	GND	GND	0 V DC
20	VCC	VCC	VCC	+ 5 V DC

Tabla 16. Descripción de pines del conector analógico JP3 de la Tarjeta EV196KD

Pin No.	Nombre	Tipo de pin en EV196	NOMBRE PIN En Módulo	Descripción
1	ANGND	GND	GND	Referencia a tierra para el convertor A/D y la lógica del puerto 0.
5	ANGND	GND	GND	
7	ANGND	GND	GND	
11	ANGND	GND	GND	
13	ANGND	GND	GND	
17	ANGND	GND	GND	
19	ANGND	GND	GND	
23	ANGND	GND	GND	
26	ANGND	GND	GND	
3	V _{REF}	V _{REF}	V _{REF}	Tensión de referencia para el convertor A/D. V _{REF} es también la tensión de alimentación para la lógica del puerto 0.
4	V _{REF}	V _{REF}	V _{REF}	
9	V _{REF}	V _{REF}	V _{REF}	
10	V _{REF}	V _{REF}	V _{REF}	
15	V _{REF}	V _{REF}	V _{REF}	
16	V _{REF}	V _{REF}	V _{REF}	
21	V _{REF}	V _{REF}	V _{REF}	
22	V _{REF}	V _{REF}	V _{REF}	
25	V _{REF}	V _{REF}	V _{REF}	
2	ACH0	I analógica	ACHVa	Señales analógicas de tensión y corriente del sistema de potencia. Vienen del módulo de acondicionamiento de señales analógicas.
6	ACH1	I analógica	ACHVb	
8	ACH2	I analógica	ACHVc	
12	ACH3	I analógica	ACHIa	
14	ACH4	I analógica	ACHIb	
18	ACH5	I analógica	ACHIc	
20	ACH6	I analógica	ACHIn	
24	P0.7/EXTINT	I	EMFR	Fuente de interrupción por muestreo fuera de rango atendida por INT07

5.2 MÓDULO DE TRANSFORMACIÓN DE TENSIONES Y CORRIENTES DEL SISTEMA ELÉCTRICO DE POTENCIA

El objetivo de éste módulo es convertir las tensiones y corrientes suministradas por los transformadores de medida del sistema eléctrico de potencia en señales analógicas de tensión en el rango de $\pm 2,5$ V. Como se aprecia en la **Figura 17** se incluyen tres circuitos de transformación de tensión y cuatro circuitos de transformación de corriente.

5.2.1 Circuitos de tensión

Los circuitos de tensión constan de supresores de pico y transformadores de tensión de protección. Para la selección de los transformadores de tensión se toman los siguientes valores nominales:

Burden. Burden < 0,2 VA

Valores nominales de tensión primaria y secundaria. Para cumplir con las especificaciones definidas para el prototipo se toman los siguientes valores:

$$V_{\text{nominal primario}} = 120 \text{ V}_{\text{RMS}}$$

$$V_{\text{máximo primario}} = 150 \text{ V}_{\text{RMS}}$$

$$V_{\text{máximo secundario}} = 2,5 \text{ V AC pico}$$

Relación de transformación. La relación de transformación requerida se obtiene de la ecuación (111)

$$R_T = \frac{V_{\text{primario}}}{V_{\text{secundario}}} \quad (111)$$

Para la condición crítica se tiene:

$$R_T = \frac{V_{\text{máximo primario}}}{V_{\text{máximo secundario}}} = \frac{150\sqrt{2}}{2,5} = 84,5 \approx 85 \quad (112)$$

Supresores de pico. Se seleccionan supresores de pico que cumplan la relación:

$$V_{SP} = V_{\text{primario}} * FS = 120 \text{ Vrms} * 1,25 = 150 \text{ Vrms} \quad (113)$$

Definiendo FS como el factor de seguridad = 1, 25.

5.2.2 Circuitos de corriente

Cada circuito de corriente involucra un transformador de corriente y una resistencia de precisión. Se emplean los siguientes valores de diseño:

Corriente nominal. Para determinarla se toma el rango de la corriente de falla de la función de protección de corriente más crítica: la protección de sobrecorriente de tiempo inverso (Función 51).

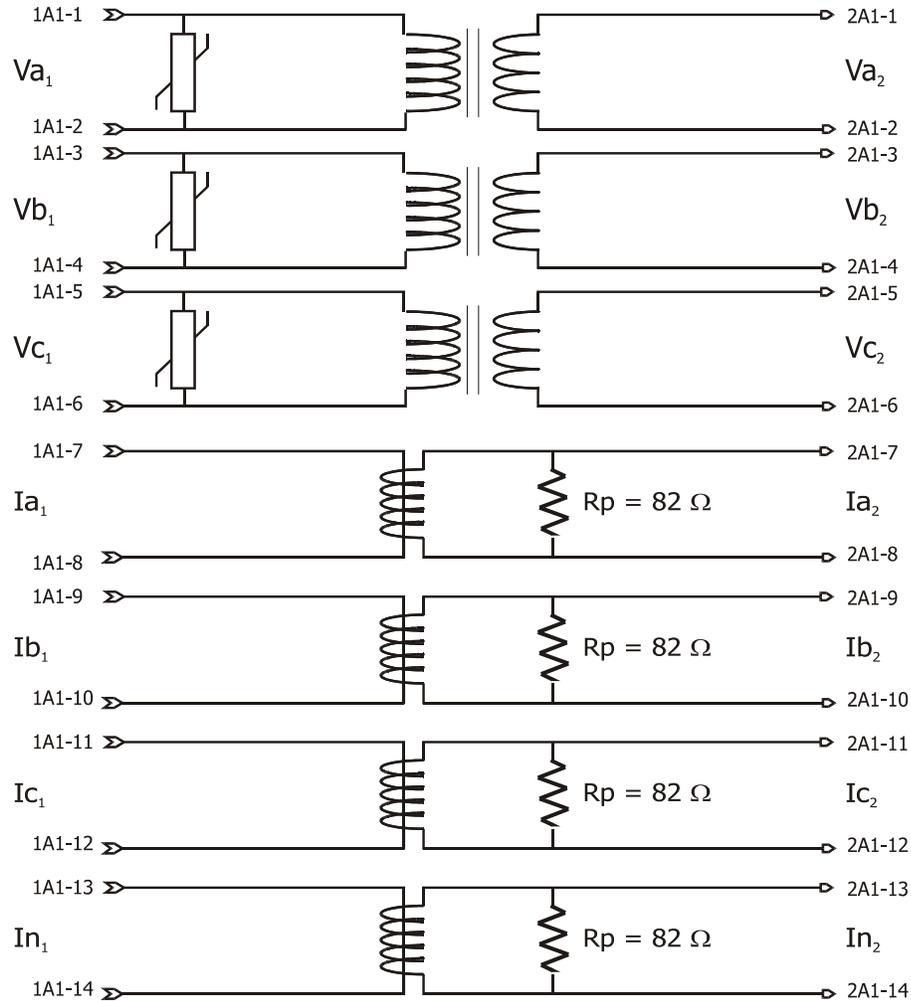
$$I_{\text{nominal primaria}} = 5 \text{ A}_{\text{RMS}}$$

$$I_{\text{máxima de falla}} = 20 (I_{\text{nominal}}) = 100 \text{ A}_{\text{RMS}}$$

Relación de transformación. Se seleccionan transformadores de corriente con relación de transformación de 5000 : 1. La máxima corriente secundaria I_S será:

$$I_{S \text{ máxima}} = \frac{I_P \text{ máxima}}{R_T} = \frac{100\sqrt{2}}{5000} = 28,2842 \text{ mA} \quad (114)$$

Figura 17. Módulo de transformadores de acople de tensiones y corrientes del sistema eléctrico de potencia.



Resistencia transductora de corriente a tensión. Para convertir la corriente determinada en la ecuación (114) en un tensión de 2,5 V AC pico se usa una resistencia de precisión calculada según la ecuación (115):

$$R_p = \frac{2,5 V}{28,2842 m A} = 88,388 \Omega \quad (115)$$

Este valor de resistencia no está normalizado; por tanto se toma la siguiente resistencia comercial disponible : 82 Ω.

Burden . El burden máximo para los CTs será de:

$$B_{m\acute{a}x} = R * I_{m\acute{a}x}^2 = 82 \Omega * (0,0282842)^2 = 0,07 \text{ V A} \quad (116)$$

Y el burden para operación nominal está dado por:

$$B_{no\ min\ al} = R * I_{no\ min\ al}^2 = R * \left(\frac{5\sqrt{2}}{5\ 000}\right)^2 = 82 \Omega * \left(\frac{5\sqrt{2}}{5\ 000}\right)^2 = 0,000164 \text{ V A} \quad (117)$$

5.3 MÓDULO DE ACONDICIONAMIENTO DE SEÑALES ANALÓGICAS

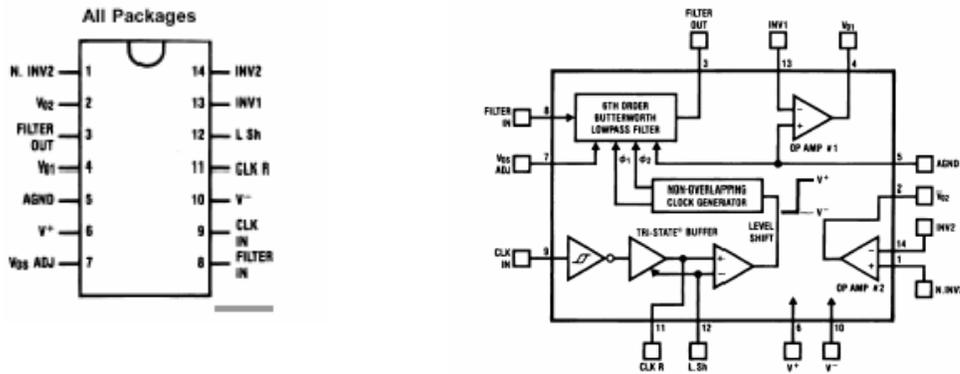
Este módulo prepara las señales provenientes del módulo de transformación para su introducción al convertor analógico digital del microcontrolador 87C196KD. Está compuesto por las siguientes etapas:

- Banco de filtros pasabajos (*antialiasing*).
- Amplificadores de ganancia programable para los circuitos de corriente (AGP).
- Sumadores de *offset*.
- Circuito de referencia de -2,5 V DC.
- Detectores de ventana.
- Circuitos de protección del puerto 0 .

5.3.1 Banco de filtros antialiasing (pasabajos)

Esta etapa se compone de 7 filtros activos pasabajos tipo *Butterworth* de sexto orden y alta precisión MF6CN-50 de *NATIONAL SEMICONDUCTOR*. La **Figura 18** muestra sus diagramas de pines y de conexión. Estos filtros están construidos con tecnología de condensador conmutado para reducir el número de componentes externos. Su frecuencia de corte sintonizada por frecuencia de reloj interna o externa puede ajustarse entre 0,1 Hz y 20 kHz con una precisión de 0,3%.¹³

Figura 18. Diagrama de pines y diagrama de bloques del filtro MF6CN-50



A continuación se resumen las características de diseño del filtro.

Impedancia de entrada. La entrada del filtro es la resistencia equivalente de un condensador conmutado y su impedancia efectiva es inversamente proporcional a la frecuencia del reloj. El circuito de entrada equivalente se muestra en la Figura 19. El condensador de entrada se carga al tensión de entrada durante medio periodo del reloj, y durante la segunda mitad la carga se transfiere al condensador de realimentación. La transferencia total de carga en un ciclo es por tanto:

¹³ Se sugiere revisar la referencia [National MF6CN 99].

$$Q = C_{in} * V_{in} \tag{118}$$

Siendo T el periodo de la señal de reloj, la corriente promedio de entrada será:

$$I_{IN} = \frac{Q}{T} = \frac{C_{in} * V_{in}}{T} = C_{in} * V_{in} f_{clk} \tag{119}$$

La resistencia de entrada equivalente R_{IN} se define como:

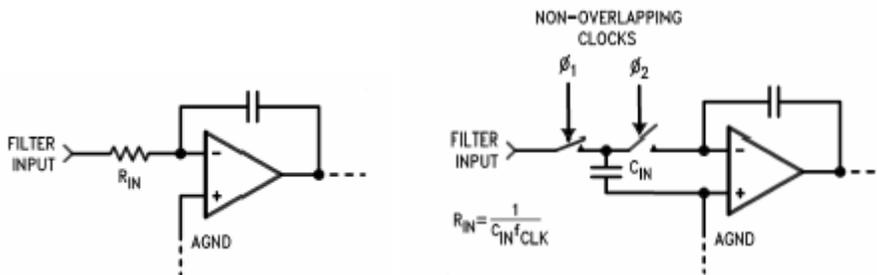
$$R_{IN} = \frac{V_{IN}}{I_{IN}} = \frac{1}{C_{in} * f_{clk}} \tag{120}$$

Para el MF6CN-50 el condensador de entrada es de 2 pF, entonces:

$$R_{IN} = \frac{5 * 10^{11}}{f_{clk}} = \frac{5 * 10^{11}}{f_c * 50} = \frac{10^{10}}{f_c} \tag{121}$$

Donde f_c es la frecuencia de corte del filtro.

Figura 19. Circuitos de entrada equivalente y real de entrada del filtro MF6CN-50

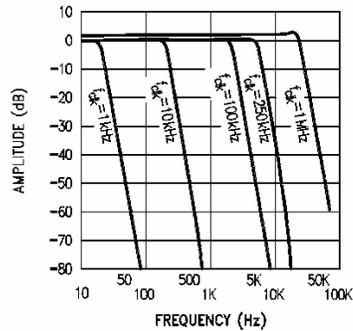


Rango de la frecuencia de corte. La respuesta en frecuencia del filtro para la alimentación seleccionada de la **Figura 20**¹⁴ es una aproximación de la característica ideal de un filtro *Butterworth*. La **Figura 21** muestra las especificaciones esperadas del filtro,

¹⁴ Tomada de la referencia [National 99]

donde A_{\min} es la mínima atenuación de la banda de parada (en dB) a la frecuencia f_s , y A_{\max} el rizado del pasabanda o atenuación (en dB) a la frecuencia f_b . La respuesta del diseño del filtro debe caer en el área sombreada de la especificación.

Figura 20. Respuesta de amplitud del filtro MF6CN-50 para alimentación de $\pm 5V$.



De la **Figura 20** y la **Figura 21** se determina que: $A_{\min} = 70$ dB, $f_s = 90$ Hz, $A_{\max} = 0,05$ dB y $f_b = 500$ Hz.

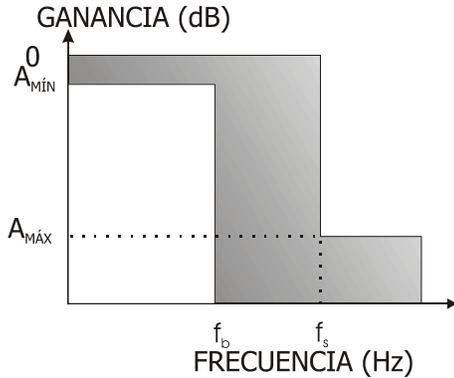
El orden n del filtro pasabajos se determina usando la ecuación (122):

$$n = \frac{\log \left(10^{0.1 A_{\min}} - 1 \right) - \log \left(10^{0.1 A_{\max}} - 1 \right)}{2 \log \left(\frac{f_s}{f_b} \right)} \quad (122)$$

La Atenuación ($Attn(f)$) a cualquier frecuencia f está dada por:

$$Attn(f) = 10 \log \left[1 + \left(10^{0.1 A_{\max}} - 1 \right) \left(\frac{f}{f_b} \right)^{2n} \right] dB \quad (123)$$

Figura 21. Ejemplo de diseño de la especificación de la respuesta en magnitud.



Donde f es cualquier frecuencia menor que f_s . La atenuación a la frecuencia de corte es de $-3,01$ dB, por tanto la frecuencia de corte se calcula según:

$$f = f_b \left[\frac{\left(10^{0,1 \cdot A_{\text{mín}}(f)} - 1\right)}{\left(10^{0,1 \cdot A_{\text{máx}}} - 1\right)} \right]^{\frac{1}{2n}} \quad (124)$$

Reemplazando se obtiene:

$$f = 500 \left[\frac{\left(10^{0,1 \cdot 3,01} - 1\right)}{\left(10^{0,1 \cdot 70} - 1\right)} \right]^{\frac{1}{12}} = 130,51 \text{ Hz} \quad (125)$$

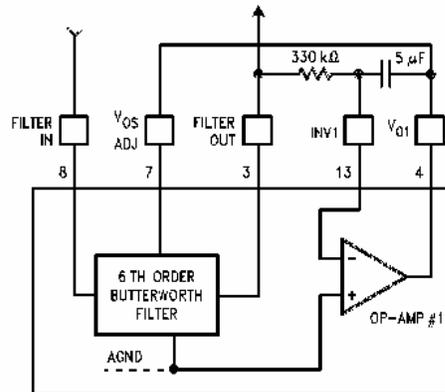
La frecuencia de reloj para el MF6CN-50 está dada por:

$$\frac{f_{\text{clk}}}{f_c} = 50 \Rightarrow f = 6,5024 \text{ KHz} \quad (126)$$

Generación de la frecuencia de reloj. El MF6CN-50 está provisto de un *buffer* inversor *Schmitt trigger* que se usa para construir un oscilador RC cuya frecuencia depende de los niveles de tensión del *buffer*, y los valores de la resistencia y el condensador conectados externamente. En la Figura 22 se muestra un esquema del circuito. Usando una tensión de alimentación $V_{\text{cc}} = V^+ - V^- = 10 \text{ V}$, una resistencia de $9,1 \text{ K}\Omega$ y un condensador de $0,01 \mu\text{F}$, la frecuencia del reloj f_{clk} se calcula como:

$$f_{clk} = \frac{1}{1,69RC} = \frac{1}{1,69 * 9,1 K \Omega * 0,01 \mu F} = 6,5024 K Hz \quad (127)$$

Figura 22. Esquema de conexiones para el filtro MF6-CN50



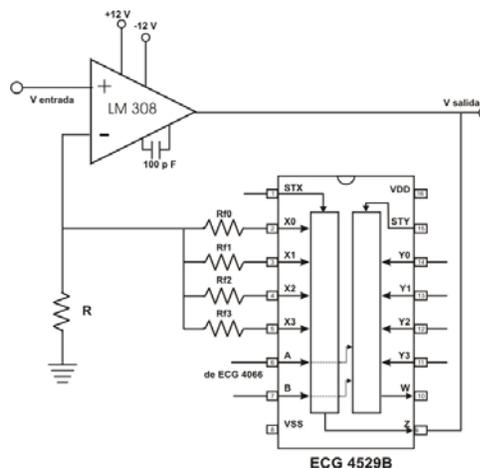
Ajuste de *offset*: Para ajustar los niveles de *offset* a la salida del filtro se usa el pin $V_{os}ADJ$. Si no se usa debe conectarse a tierra. La función de este pin es fijar la referencia cero para la señal de salida del filtro.

5.3.2 Amplificadores de ganancia programable (AGP)

Aunque la tensión de un sistema eléctrico de potencia permanece dentro de un pequeño rango de valores la corriente posee un mayor rango puesto que en falla los valores de corriente pueden superar en muchas veces la corriente nominal. Para determinar el rango de operación de los circuitos de corriente se usa el elemento más crítico: la protección de sobrecorriente, la cual debe actuar para valores de falla de hasta veinte veces la corriente nominal. Para mantener la precisión en la adquisición de las señales de corriente se utilizan amplificadores de ganancia programable. (AGP's) controlados por el microcontrolador. De este modo se manejan ganancias altas para valores de corriente cercanos a la nominal y ganancias menores según aumente la corriente para no sobrepasar la ventana de $\pm 2,5 V$ pico.

En la Figura 23 se muestra el circuito amplificador de ganancia programable empleado. La ganancia programable se logra usando un amplificador no inversor cuya resistencia de alimentación R_F se selecciona usando un multiplexor analógico (ECG 4529B). Las señales de control para el multiplexor analógico (A, B) son de lógica positiva/negativa (+5 VDC para alto y -5VDC para bajo) de modo que se usa el arreglo de la Figura 24 compuesto por un buffer no inversor ECG 4050B y un interruptor analógico bilateral SWI ECG 4066B para convertir a esta lógica las señales de control de AGP tipo TTL entregadas por el microcontrolador (A', B').

Figura 23. Circuito Amplificador de ganancia programable



La señal de tensión de salida de un paso del AGP's está dada por la ecuación:

$$V_O = \left(1 + \frac{R_F}{R} \right) V_{IN} \quad (128)$$

Donde V_{IN} es el valor de la tensión de entrada proveniente del filtro correspondiente, R_F la resistencia de realimentación del paso y V_O es la salida de tensión que entra a los detectores de ventana.

La ganancia de un paso se determina por:

$$A_V = \left(1 + \frac{R_F}{R} \right) \quad (129)$$

La tensión de entrada en el AGP se calcula como:

$$V_{IN} = \left(\frac{\sqrt{2}I}{R_T} \right) R_{IV} \quad (130)$$

Donde I es la corriente rms de entrada, R_T la relación de transformación de corriente (5000:1) y R_{IV} la resistencia de conversión de corriente a tensión (82 Ω). En la Tabla 17 se resumen los cálculos de diseño del circuito AGP, utilizando una resistencia $R = 2 \text{ K}\Omega$.

Figura 24. Generador de señales de control para los AGPs

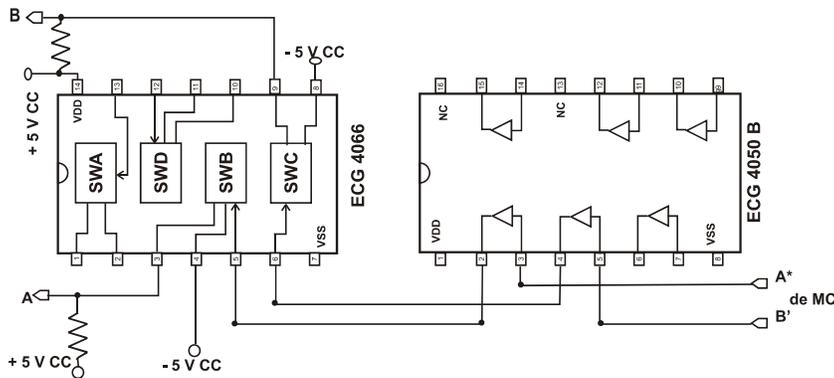


Tabla 17. Diseño del AGP

Corriente de entrada \pm (A)	Rango de la señal de entrada V_{IN} \pm (V)	R_F (K Ω)	Ganancia A_V	Rango de señal de salida V_O \pm (V)
10	0,23193	18,2	10,1	2,34250
25	0,57983	6,39	4,195	2,43238
50	1,15966	2	2	2,31931
100	2,31931	0,15	1,075	2,49326

Sumadores de *offset* de 2,5 V DC

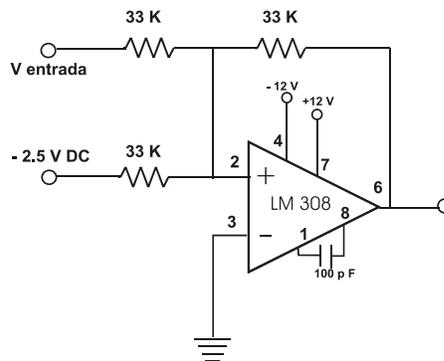
La función de esta etapa es agregar una componente de -2,5 V DC a las señales bipolares de 2,5 V AC entregadas por los filtros (para las señales de tensión) y los AGPs (para las señales de corriente), con el fin de obtener señales unipolares de 0 a +5 V DC. La Figura 25 muestra un circuito sumador de *offset* tipo. Su funcionamiento está determinado por las ecuaciones (131) y (132).

$$\frac{V_I}{R} + \frac{(-2.5 \text{ VDC})}{R} + \frac{V_{oi}}{R} = 0 \quad (131)$$

$$V_o = - V_I + 2.5 \text{ VDC} \quad (132)$$

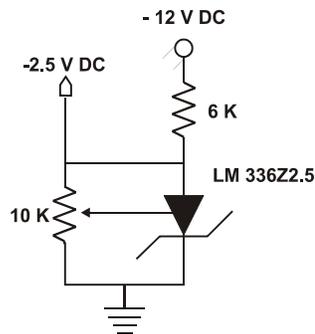
Un efecto no deseado del sumador de *offset* es la inversión de las señales sin embargo no representa inconveniente puesto que se presenta en todos los canales y se maneja por *software*.

Figura 25. Circuito sumador de *offset* de 2,5 V



Circuito de referencia de -2,5 V DC. La tensión de - 2,5 V DC requerida por los sumadores de *offset* se obtiene a partir del circuito de la Figura 26. El componente fundamental es un diodo regulador *shunt* de precisión de 2,5 V DC LM 336Z25 el cual puede usarse como regulador de tensión positivo o negativo.

Figura 26. Circuito de referencia de - 2,5 V DC

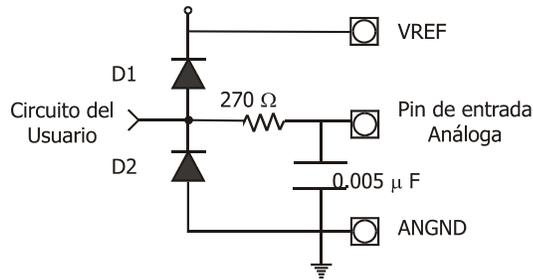


Circuitos detectores de ventana de amplitud pico. Estos circuitos protegen el convertor A/D del microcontrolador vigilando que los máximos valores de las señales de tensión y las señales de corriente convertidas a tensión no traspasen la ventana de 0 a + 5 V. El circuito se construye usando dos comparadores de tensión de alta velocidad (LM 311) conectados en salida común y entrada común. La salida estará en alto, cuando la entrada permanezca dentro de la ventana de tensión de 0 a + 5 V, de lo contrario se presentará un bajo. La salida de control del circuito detector de ventana activa un interruptor analógico SWI ECG 4066B aislando y protegiendo las entradas analógicas del microcontrolador de señales fuera de rango.

Todas las señales de control de los comparadores de ventana de las señales de tensión y tensión se conectan a una compuerta AND, cuya salida es la señal **EFR**, la cual es atendida por el microcontrolador a través de una interrupción que impide procesar datos erróneos.

Circuitos protectores del puerto 0. Para cada canal del convertor analógico digital se utiliza un circuito como el de la **Figura 27**, recomendado por el fabricante de los microcontroladores 8XC196KC/KD como protección de las entradas analógicas del puerto de conversión analógico-digital (puerto 0).

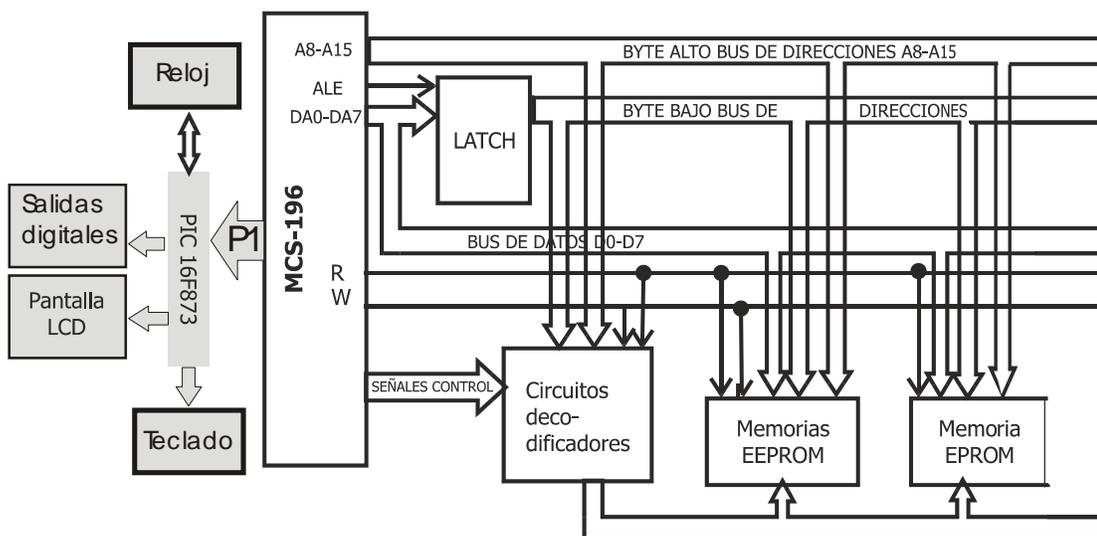
Figura 27. Circuito de protección para el puerto 0.



5.4 MÓDULO DE CONTROL DE MEMORIA E INTERFAZ DEL USUARIO

Se utiliza la arquitectura de bus con arbitraje centralizado de la Figura 28 en la cual las memorias se encuentran direccionadas según se indica en la Tabla 18. Se emplea un *latch* 74LS373 para multiplexar el bus inferior de direcciones/datos (A_0-A_7)/(D_0-D_7). Los circuitos decodificadores emplean el bus de direcciones (A_0-A_{15}) para generar señales de selección de chip junto con las señales de control correspondientes.

Figura 28. Estructura del módulo de memoria e interfaz del usuario.



La comunicación con el PIC 16f873 encargado de controlar la interfaz del usuario se efectúa por medio del Puerto 1 del microcontrolador 87C196KD, el cual es un puerto puerto quasibidireccional de 8 bits, como otro bus de datos, pero controlado por cuatro señales HSO del 87C196 KD.

5.4.1 Mapa de memoria del sistema

En modo de operación autónomo se utilizan 2 memorias EPROM 27C256B¹⁵ de 32 KB para el almacenamiento del programa principal y las tablas de operación y una memoria EEPROM 28C64¹⁶ de 8 KB, para el almacenamiento de las tablas de configuración de protecciones y el registro de eventos. En modo de operación controlado por la herramienta *Model Builder* se retira la EPROM de código y se instala una memoria RAM de 8 KBytes la cual se direcciona a partir de la dirección 0C000H. La Tabla 18 presenta el mapa de memoria correspondiente a esta configuración.

Tabla 18. Mapa de memoria y dispositivos de entrada /salida.

Dirección	Dispositivo	Descripción
2000H – 3FFFH	Memoria EPROM 27C256B 32 Kbytes	Memoria de programa en modo de operación autónomo
4000 H 9FFF H		No habilitada
A000H BFFFH	Memoria EPROM 27C256B 32 Kbytes	Memoria de datos y tablas.
C000H DFFFH	Memoria EEPROM 28C64 8Kbytes	Memoria de programa en modo de operación controlado por la herramienta <i>Model Builder</i>
D000 H FFFF H	Memoria EEPROM 28C64 8Kbytes	Memoria de datos de configuración y registro de eventos
FEB8 – FEBC	LCD	Visualizador LCD

En la Figura 29 y en la **Figura 30** se muestran los diagramas las memorias empleadas.

¹⁵ Consultar la referencia [SGS-Thompson 27C256B]

¹⁶Consultar la referencia [Microchip 28C64]

Figura 29. Diagramas de pines y lógico de una memoria 27C256B

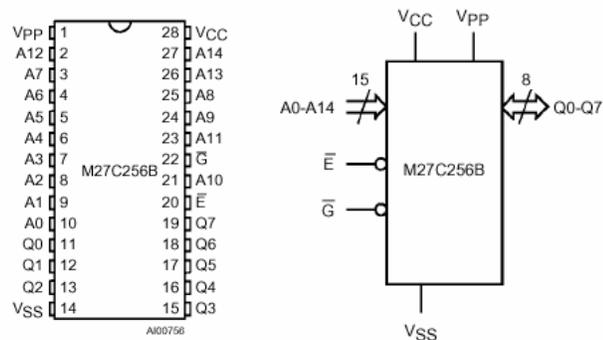
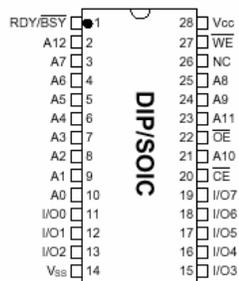


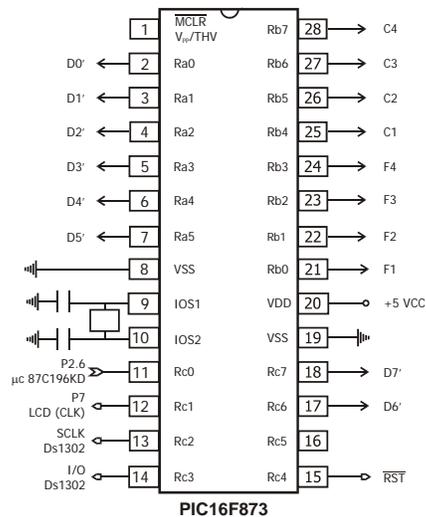
Figura 30. Diagrama de pines de la memoria 28C64



5.4.2 Submódulo de control de interfaz de usuario

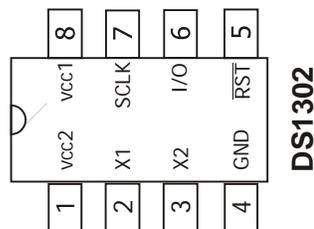
Para liberar al microcontrolador MCS-196 de las tareas de lectura del teclado, mando del dispositivo visualizador, comando del reloj en tiempo real y control de las salidas digitales se incorporó un microcontrolador PIC 18F873. Como se observa en el diagrama esquemático de la Figura 28 el PIC se comunica con el microcontrolador principal 87C196KD a través de su puerto 1. En la **Figura 31** se muestra el diagrama de pines del microcontrolador PIC empleado.

Figura 31. Diagrama de pines del microcontrolador PIC 16F873



Reloj en tiempo real DS1302. El DS1302¹⁷ contiene un reloj/calendario en tiempo real y 31 bytes de RAM. Cuenta segundos, minutos, horas, día, mes, día de la semana y año con compensación por años bisiestos válida hasta el 2100. Permite una interfaz con el microcontrolador de sólo tres hilos usando comunicación serie sincrónica. La Figura 32 presenta el diagrama de pines del reloj en tiempo real DS1302.

Figura 32. Diagrama de pines del reloj en tiempo real DS1302



¹⁷ Ver la referencia [DALLAS DS1302] para información detallada.

Visualizador LCD. Se utiliza un visualizador LCD PG12232AR de POWER TECH-CORP¹⁸ de 122 x 32 puntos, 20 pines de entrada. El diagrama lógico del dispositivo puede verse en la Figura 33 y la Tabla 19 indica la función de cada patilla.

Figura 33. Diagrama lógico del visualizador LCD PG12232AR.

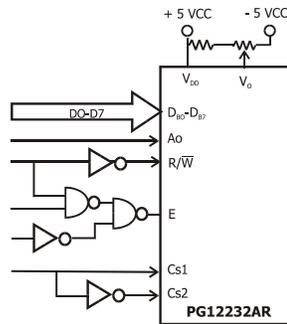


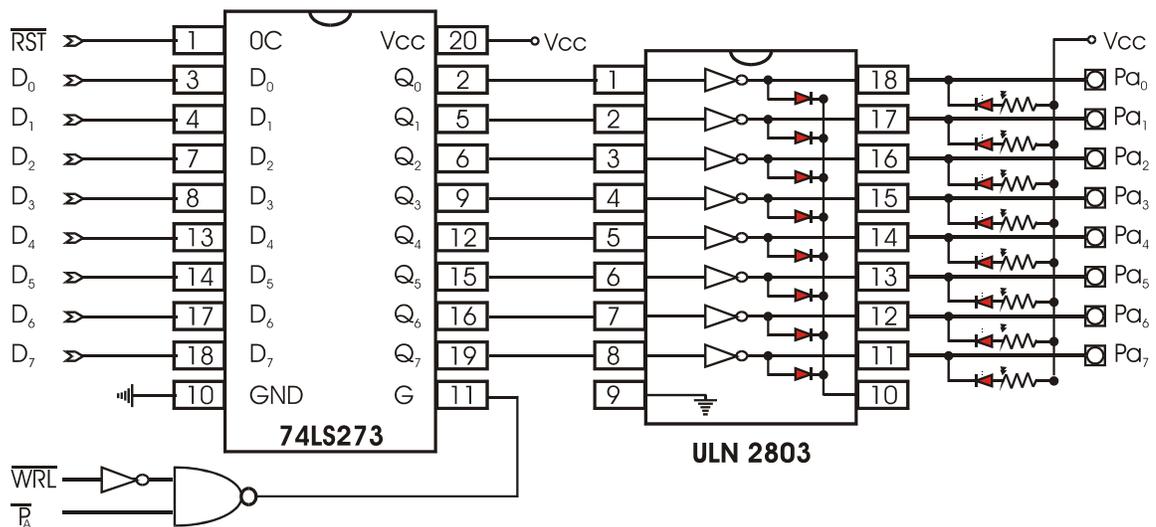
Tabla 19. Descripción de pines del PG12232AR

PIN	Nombre	Descripción
1	V _{SS}	Tierra de la señal = GND
2	V _{DD}	+ 5 V DC
3	V _O	Tensión para la regulación del contraste del LCD.
4	A0	Selección INSTRUCCIÓN/DATO
5	CS1	"0" Selecciona los segmentos de 0 a 61
6	CS2	"0" Selecciona los segmentos de 62 a 122
7	CL	Entrada de reloj de aproximadamente 2 kHz.
8	E	Señal habilitadora del módulo
9	R/W	Selección Lectura/Escritura
10-17	D0-D7	Bus de datos del sistema
18	RES	Señal de RESET
19	A	Niveles de AK LED posterior del dispositivo.
20	K	

¹⁸Consultar [POWER TECH LCD PG1223] para mayor información.

Salidas de estado de protecciones y de alarmas de autodiagnóstico. Se emplea una técnica de reconstrucción de puertos para obtener cinco puertos de salida de 8 bits controlados por el microcontrolador PIC. La Figura 34 muestra un diagrama esquemático de un puerto de salida de estado. Para cada puerto de 8 bits se utiliza un *latch* 74LS273 activado mediante la señal de escritura en el byte inferior WRL y la codificación de la dirección asignada al dispositivo. Para mejorar la capacidad de corriente de las salidas de estado se utiliza un arreglo de 8 unidades D'arlington ULN2803 el cual posee una corriente característica de 500 mA. Este arreglo D'arlington controla un banco de leds indicadores de estado, y las señales que controlan las salidas de contactos del sistema.

Figura 34. Diagrama esquemático de un circuito de puerto digital

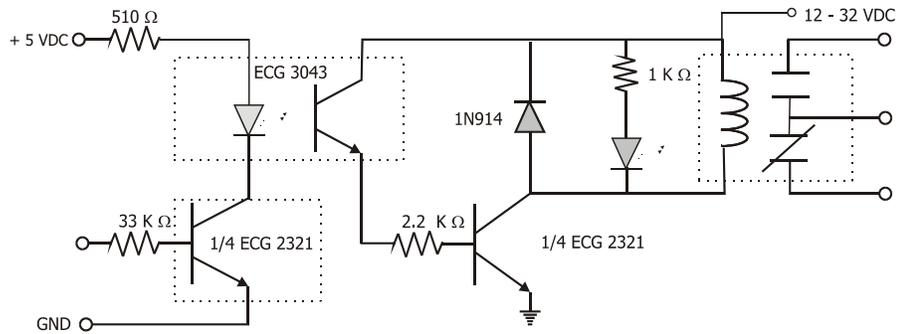


5.4.3 Módulo de entradas y salidas digitales

Las funciones principales de este módulo de entradas y salidas digitales son proporcionar aislamiento óptico entre el microcontrolador y el medio externo y adecuar los niveles de tensión y corriente de las señales digitales de entrada y salida. Para esto en este módulo se llevan a cabo las tareas de conversión de señales de salida tipo TTL del microcontrolador en señales tipo contacto e inversamente adaptación de señales de estado tipo contacto en señales TTL para su introducción al microcontrolador.

Conversión de salidas de estado en salidas tipo contacto Esta etapa toma señales de salida tipo TTL y las convierte en salidas tipo contacto seco suministrando aislamiento óptico. En la Figura 35 se muestra un circuito típico de esta etapa.

Figura 35. Circuito de conversión de salidas TTL en tipo contacto



6 SOFTWARE DEL PROTOTIPO DE RELÉ MULTIFUNCIONAL

En este capítulo se presenta en detalle el diseño de los algoritmos que hacen funcionar al relé diseñado.

6.1 GENERALIDADES DEL SOFTWARE

Para el funcionamiento del modelo de relé numérico multifuncional se deben programar las siguientes tareas: adquirir y procesar las señales de tensión y corriente del sistema, verificar las funciones de protección especificadas, generar las señales de alarmas y disparos correspondientes y establecer comunicación local con un operario a través de la interfaz de usuario. Se ha escogido como unidad de procesamiento del sistema un microcontrolador MCS 196 KC de Intel. El *software* del prototipo se desarrolló en forma modular empleando subrutinas y macros. Se utilizaron los programas ensambladores ASM-96 y CROSS-ASSEMBLER.

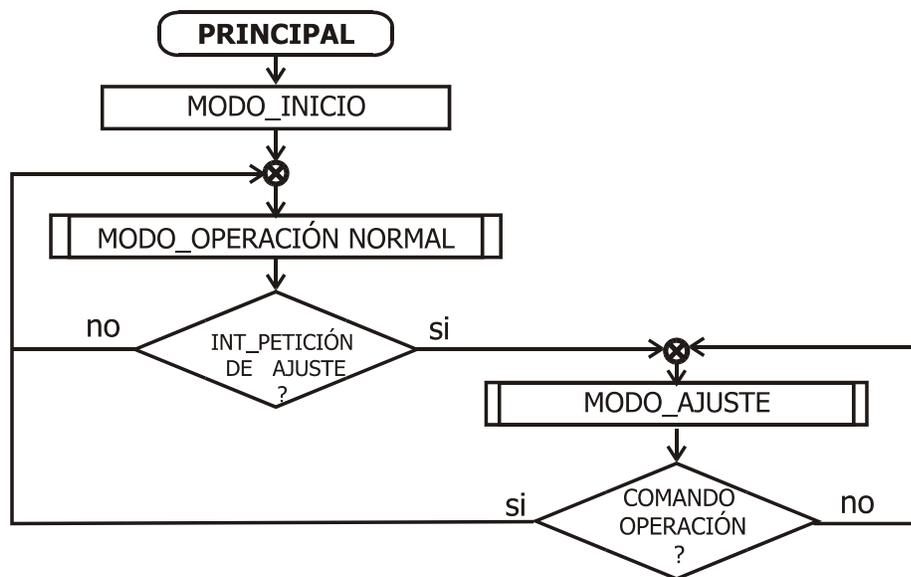
Para el análisis del *software* del proyecto se presentan la descripción funcional y diagramas de flujo de las rutinas y bloques de código principales y una descripción funcional de las subrutinas menos complejas. El apéndice A contiene todos los listados de código ensamblado debidamente documentados.

La Figura 36 es un esquema general del *software* del prototipo de relé multifuncional desarrollado. Se establecen en forma general tres módulos principales del *software*: MODO_INICIO, MODO_AJUSTE y MODO_OPERACIÓN_NORMAL relacionados con los diferentes tiempos de operación del sistema de protección.

En la Figura 37 se detallan las funciones de cada uno de los modos de operación y la relación entre éstos.

El MODO_INICIO se ejecuta en el encendido del equipo o después de un comando de *reset*, en el se configuran los registros de propósito general (SFRs) del microcontrolador, se inicializan las variables que lo requieran y los puertos de salida, se configura la pantalla LCD y se grafica el mensaje de inicio de operación. Además se accede a la rutina REINICIA_R. Una vez concluidas todas las labores de configuración inicial el sistema está listo para entrar al modo de OPERACIÓN.

Figura 36. Estructura modular del *software*

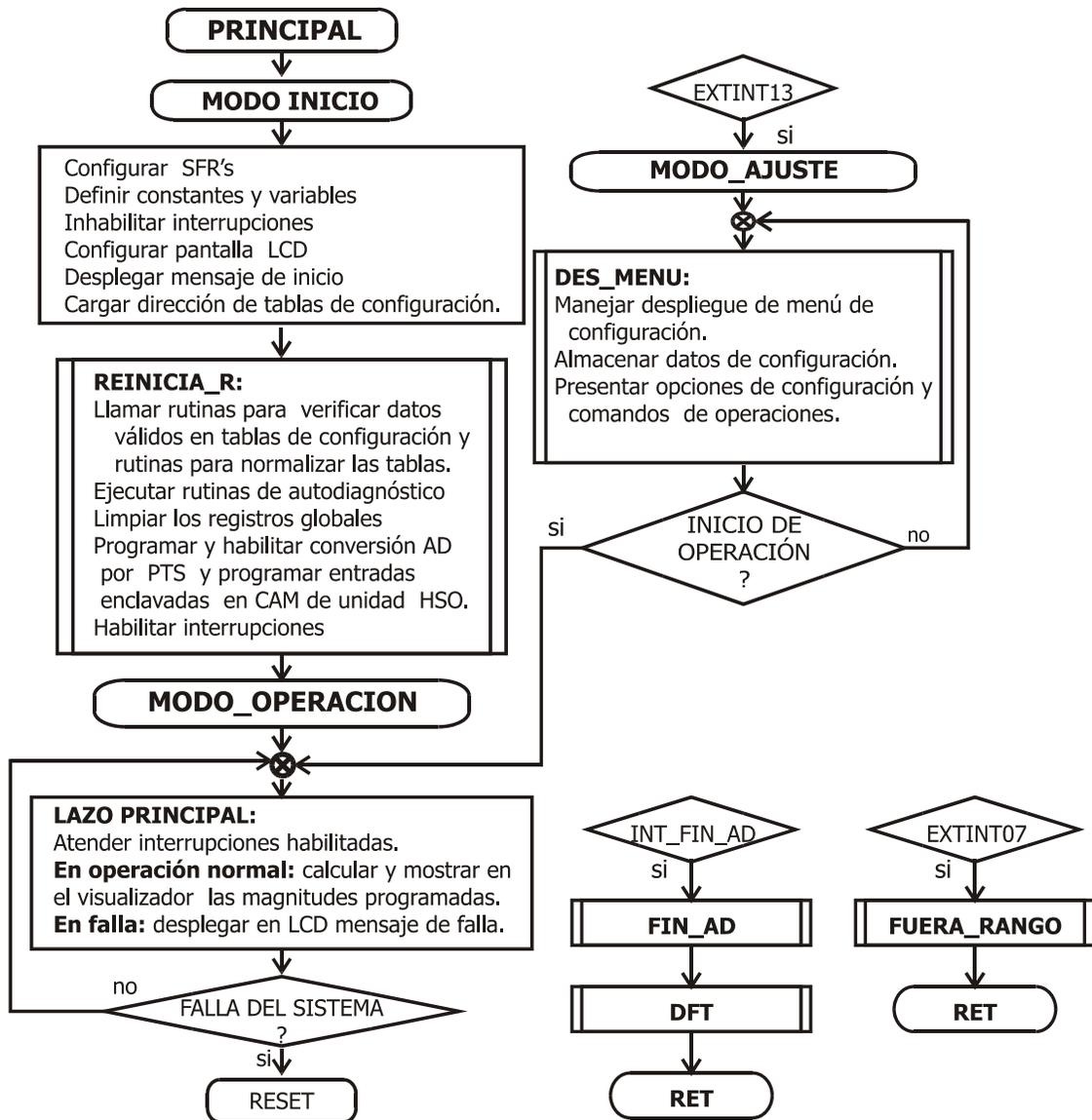


En el modo de operación se realiza la adquisición de las muestras de tensión y corriente, se ejecutan los cálculos necesarios para las funciones de protección, se evalúan dichas funciones, se verifican las entradas digitales, se comandan las salidas de estado de las funciones de protección y autodiagnóstico y se presentan en el visualizador LCD las magnitudes seleccionadas. Como se observa en la Figura 37 el lazo principal del modo de operación sólo se encarga de mantener la actualización del dispositivo LCD, pues todo el procesamiento de las señales analógicas y digitales se ejecuta a través de interrupciones estándar y por la herramienta PTS.

El prototipo permanecerá en este modo hasta cuando reciba un comando de *reset* maestro o se presente una petición de ajuste, en cuyo caso el sistema ingresará en el MODO DE

AJUSTE llamando la rutina DES_MENU. Esta rutina controla la comunicación con el operario a través del teclado y el visualizador de cristal líquido. Presenta al operario una serie de ventanas que le permiten realizar diversas labores de ajuste o arrancar la operación normal.

Figura 37. Relación entre los módulos del *software*



6.2 SOFTWARE PARA EL MODO DE OPERACIÓN NORMAL : MODO_OPERACIÓN

Este modo comprende todas las tareas de medición, protección y funciones adicionales que se llevan a cabo en el tiempo de operación normal del prototipo de relé multifuncional. A continuación se presenta una descripción detallada de los segmentos de código que componen este modo.

6.2.1 Rutinas de control de la conversión analógico digital

El microcontrolador se configura a través de los SFRs para que efectúe conversiones por los 7 canales analógicos durante cada ciclo de muestreo. El microcontrolador almacena temporalmente en los 10 bits más significativos del SFR¹⁹ de 2 bytes AD_RESULT el resultado de la conversión de la señal del primer canal (canal 0). Por medio del modo AD_SCAN de la herramienta PTS²⁰ la señal adquirida de $X_{M(CH0)}$ se almacena en la posición correspondiente de la tabla de comandos y datos del PTS y se inicia el ciclo para la siguiente conversión, repitiendo el proceso hasta que se completan todos los canales programados. En ese momento se activa la subrutina FIN_AD que se encarga de recuperar las muestras de la tabla de comandos y datos, acondicionarlas para la realización de los cálculos, almacenarlas en el vector de muestras y preparar los registros y unidades implicadas para el siguiente ciclo de conversiones.

Durante los siete ciclos programados del PTS se almacenan los resultados de la conversión de los siete canales y al terminar el último ciclo se activa interrupción de fin de conversión atendida por la rutina FIN_AD.

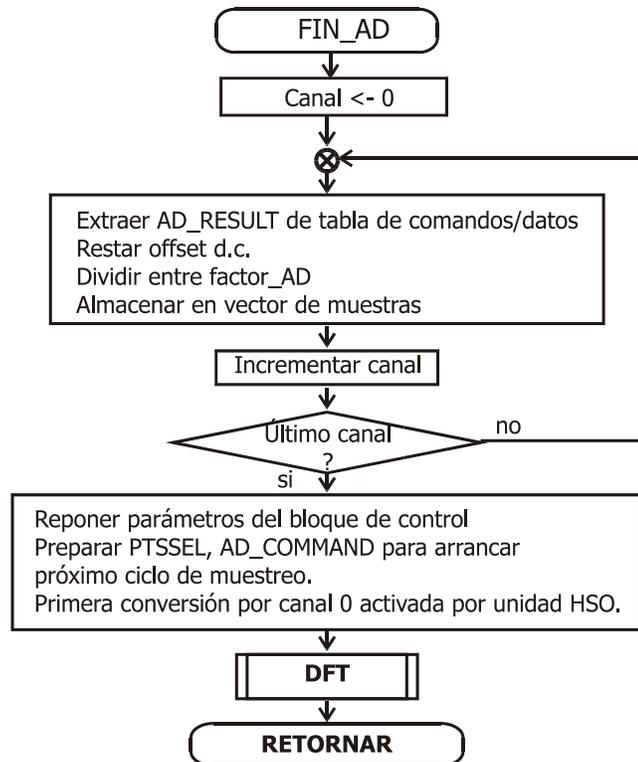
La Figura 38 presenta el diagrama de flujo de la rutina de servicio de fin de ciclo de conversión analógico-digital FIN_AD. Esta rutina extrae los resultados de las conversiones de

¹⁹ Registro de Funciones Especiales del microcontrolador 87C196KD

²⁰ Servidor de transferencias Periféricas

la tabla de comandos y datos T_COM_INT1, los almacena en el vector de muestras, repone los parámetros del bloque de control del AD_SCAN PTS, prepara el registro AD_COMMAND para el siguiente ciclo de muestreo y llama la rutina de tratamiento digital de señales DFT.

Figura 38. Diagrama de flujo rutina de servicio fin de conversión A/D FIN_AD



6.2.2 Rutina de tratamiento digital de señales: DFT

Las figuras Figura 39 y Figura 40 presentan el diagrama de flujo de esta rutina, la cual constituye el submódulo más importante durante la operación del sistema pues se encarga de:

- Extraer las muestras de tensión y corriente del vector de muestras actuales.
- Determinar los valores pico máximos de tensión y corriente por ciclo.

Figura 39. Rutina de Procesamiento Digital de Señales: DFT 1ª parte

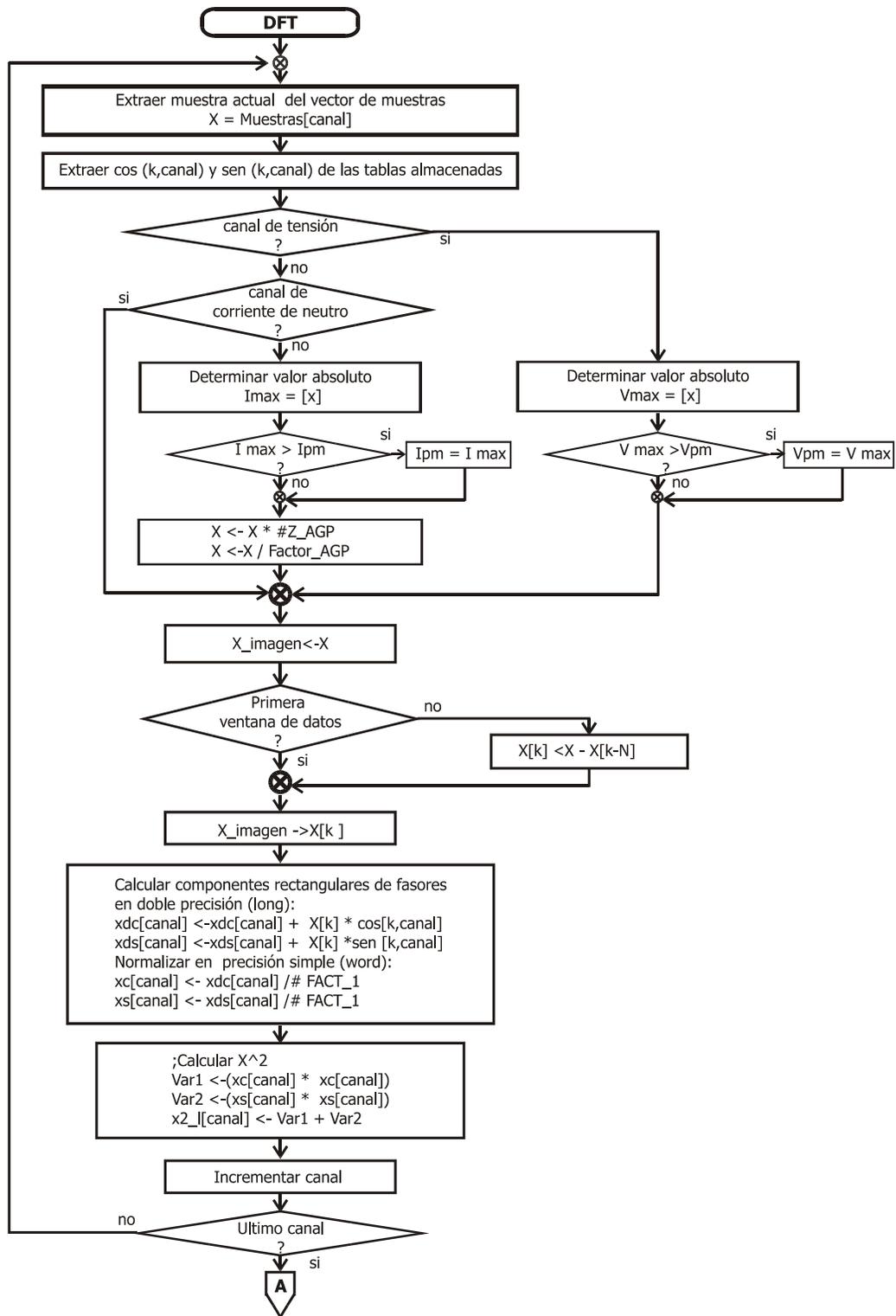
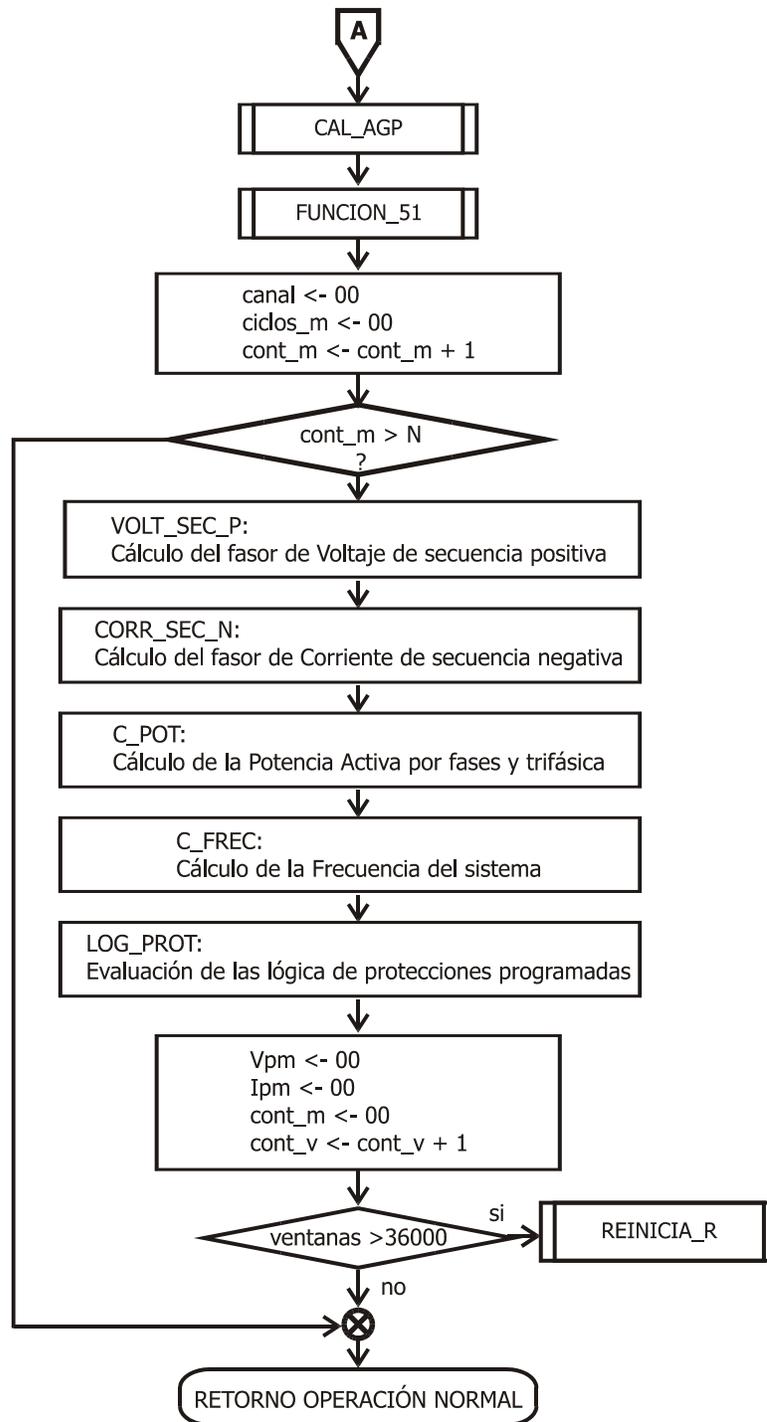


Figura 40. Rutina de Procesamiento Digital de Señales: DFT 2ª parte.



- Calcular y almacenar en los vectores correspondientes de las componentes rectangulares de los fasores de tensión y corriente por medio de la Transformada Discreta de Fourier en forma normal para la primera ventana de datos y en forma recursiva para las siguientes ventanas.
- Calcular y almacenar el cuadrado de la magnitud rms de cada fasor; el fasor de tensión de secuencia positiva, el fasor de corriente de secuencia negativa, la frecuencia y la potencia del sistema.
- Comandar los amplificadores de ganancia programables de las señales de corriente.
- Llamar las subrutinas y macros que efectúan la lógica de las protecciones.
- Comandar la reconfiguración y el autodiagnóstico periódicos del sistema, activando la subrutina de reinicio.

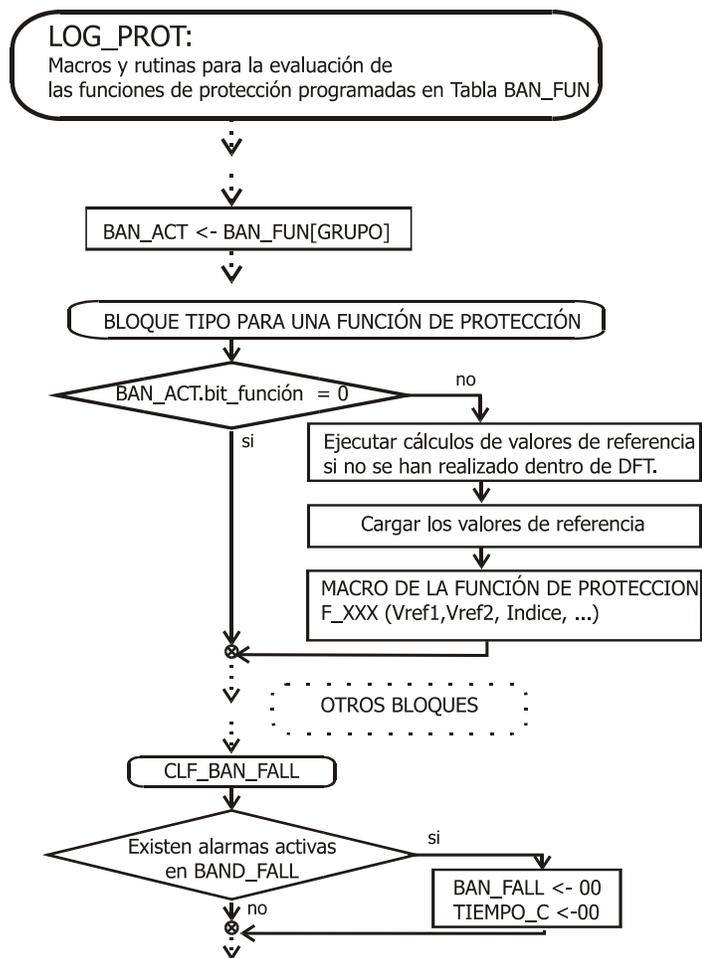
6.2.3 Software de verificación de la lógica de protecciones

La lógica general de las funciones de protección soportadas en este prototipo (a excepción de las funciones de corriente de tiempo inverso y las funciones de deslizamiento de frecuencia) consiste en contrastar la magnitud bajo control contra un valor crítico que exige disparo instantáneo de la protección, si no se ha violado este límite; verificar contra un segundo límite que permite una espera en el disparo, hasta que se supere el tiempo de retardo permitido. Debido a lo anterior los parámetros de configuración de las protecciones se almacenan en tres tablas: de valores de disparos, de valores de alarmas y de retardo en ciclos (T_DISPR, T_ALARM y T_RETRD) a las que se accede por medio del INDICE propio de cada función de protección.

En la Figura 41 se muestra un esquema de la estructura general del *software* de verificación de la lógica de protecciones. Como se ha indicado previamente, las funciones de protección están organizadas en cuatro grupos (tensión, potencia, frecuencia y potencia) para lo cual se manejan cuatro registros de banderas de funciones activas que se escriben bit a bit en tiempo de AJUSTE. Así el primer paso de cada bloque de protecciones es revisar el bit correspondiente a la actual función de protección dentro de la bandera de funciones activas

de su grupo. Si la función está inactiva el sistema continúa con el siguiente bloque de protección y en el caso contrario se realizan las operaciones pertinentes para obtener las magnitudes de referencia de la función. A continuación se establece la condición de disparo o alarma de la protección por medio de una macro.

Figura 41 Estructura general del bloque de Lógica de Protecciones



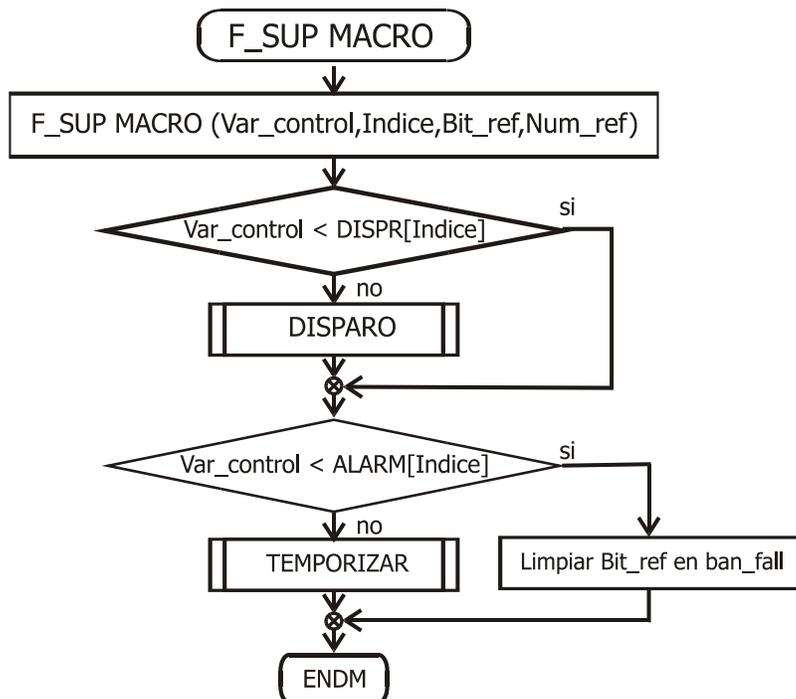
Finalmente, cuando se han evaluado todas las funciones de protección, se establece si el sistema ha disparado o no alguna alarma de protección. Si no lo ha hecho se borran el contador y la bandera de fallas, en caso contrario simplemente se continúa con el programa principal.

La verificación de las funciones de protección se programó empleando de macros y no subrutinas por ser la opción más eficiente en tiempo, factor determinante en esta aplicación.

A continuación se presenta una descripción de las macros empleadas en los bloques de lógica de protecciones.

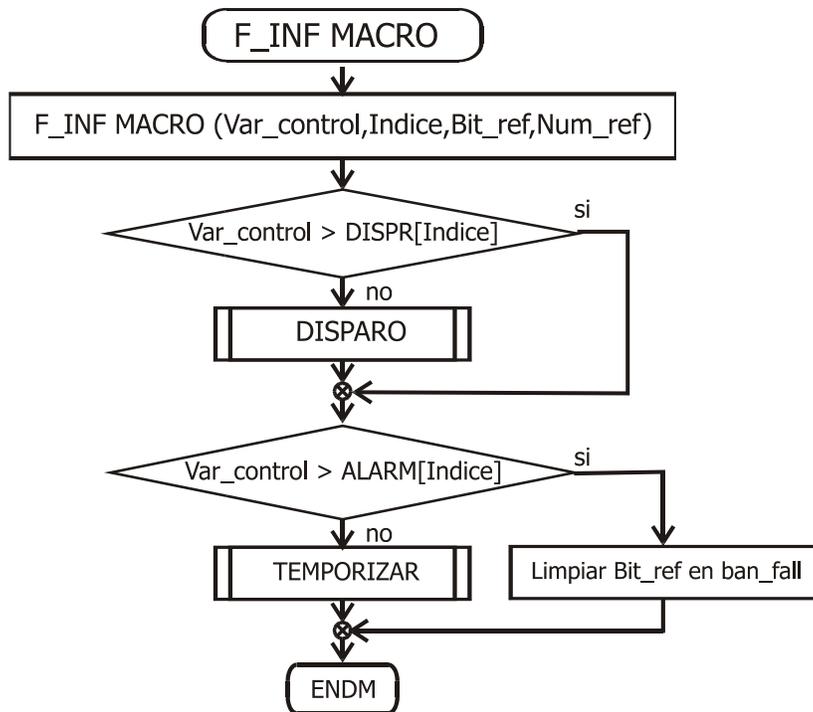
F_SUP_MACRO. Esta macro cuyo diagrama de flujo se presenta en la Figura 42 se utiliza para verificar las funciones de protección que contrastan sus magnitudes de entrada contra un límite superior: funciones de sobretensión pico, sobretensión rms, sobrecorriente instantánea de fase y neutro, potencia inversa y potencia trifásica directa (funciones ANSI 59P, 59R, 50,50N, 32R y 32F respectivamente).

Figura 42. Macro para protecciones que verifican un límite superior.



F_INF_MACRO. Esta macro se utiliza en la lógica de la función de subtensión rms (ANSI 27), la cual debe actuar cuando se traspasa un límite inferior. La Figura 43 muestra su diagrama de flujo.

Figura 43. Macro para protecciones que verifican un límite inferior.



F_81_O MACRO y F_81_U MACRO. Para cada uno de los pasos de las funciones de protección de sobre y sub frecuencia se utilizan las macros F_81_O y F_81_U cuyos diagramas se presentan en la Figura 44 y la

Figura 45 respectivamente. Estas funciones sólo admiten disparos retardados y se inactivan si la tensión del sistema es menor que el valor de restricción de tensión.

Figura 44. Macro para las funciones de sobrefrecuencia.

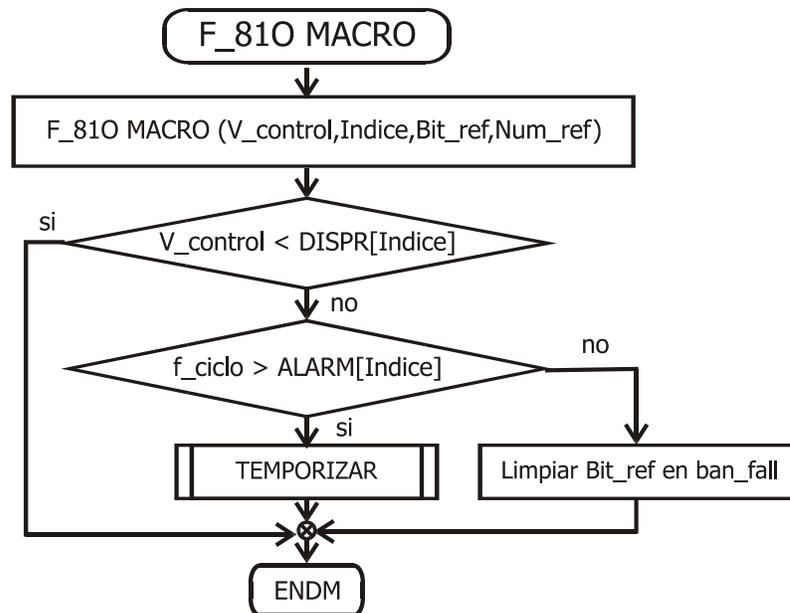
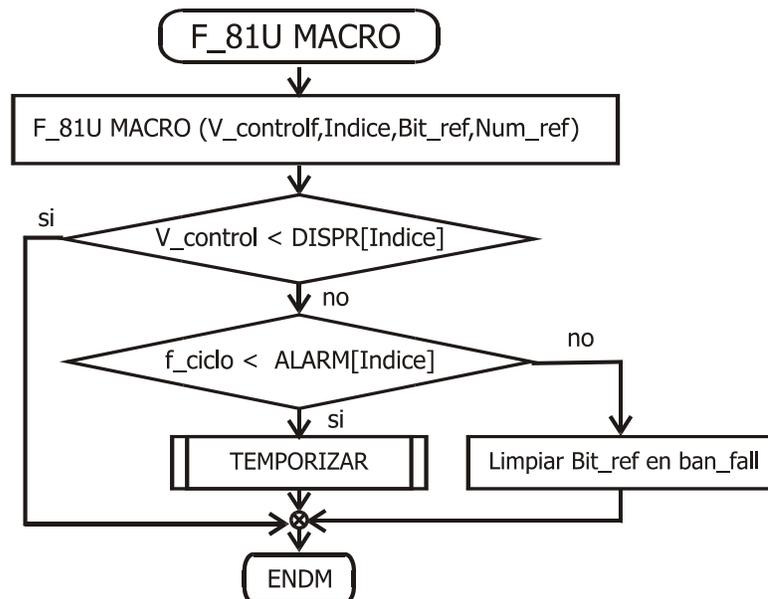


Figura 45. Macro para las funciones de subfrecuencia.



FUNCION_51 MACRO. Esta macro se usa para los cálculos y la verificación de la lógica correspondiente a la función de sobrecorriente de tiempo inverso (ANSI 51). Los parámetros de configuración de esta función son: curva de operación²¹, corriente de arranque o I_p y el dial de tiempo o TD. Estos parámetros se almacenan en tiempo de ajuste en las posiciones correspondientes de las tablas de disparos, alarmas y retardos.

Para la determinación del tiempo de retardo de disparo en esta macro la magnitud de la corriente bajo control debe contrastarse contra la curva de tiempo sobrecorriente seleccionada. La tabla que contiene los valores de esta curva se ha preparado previamente dentro de la rutina NORM_SET que se ejecuta al final del modo de ajuste. Dicha rutina contiene una función que se encarga de multiplicar por el factor TD cada una de las posiciones de la tabla de tiempo-sobrecorriente base seleccionada y almacenarla en la Tabla "CURVA_IT".

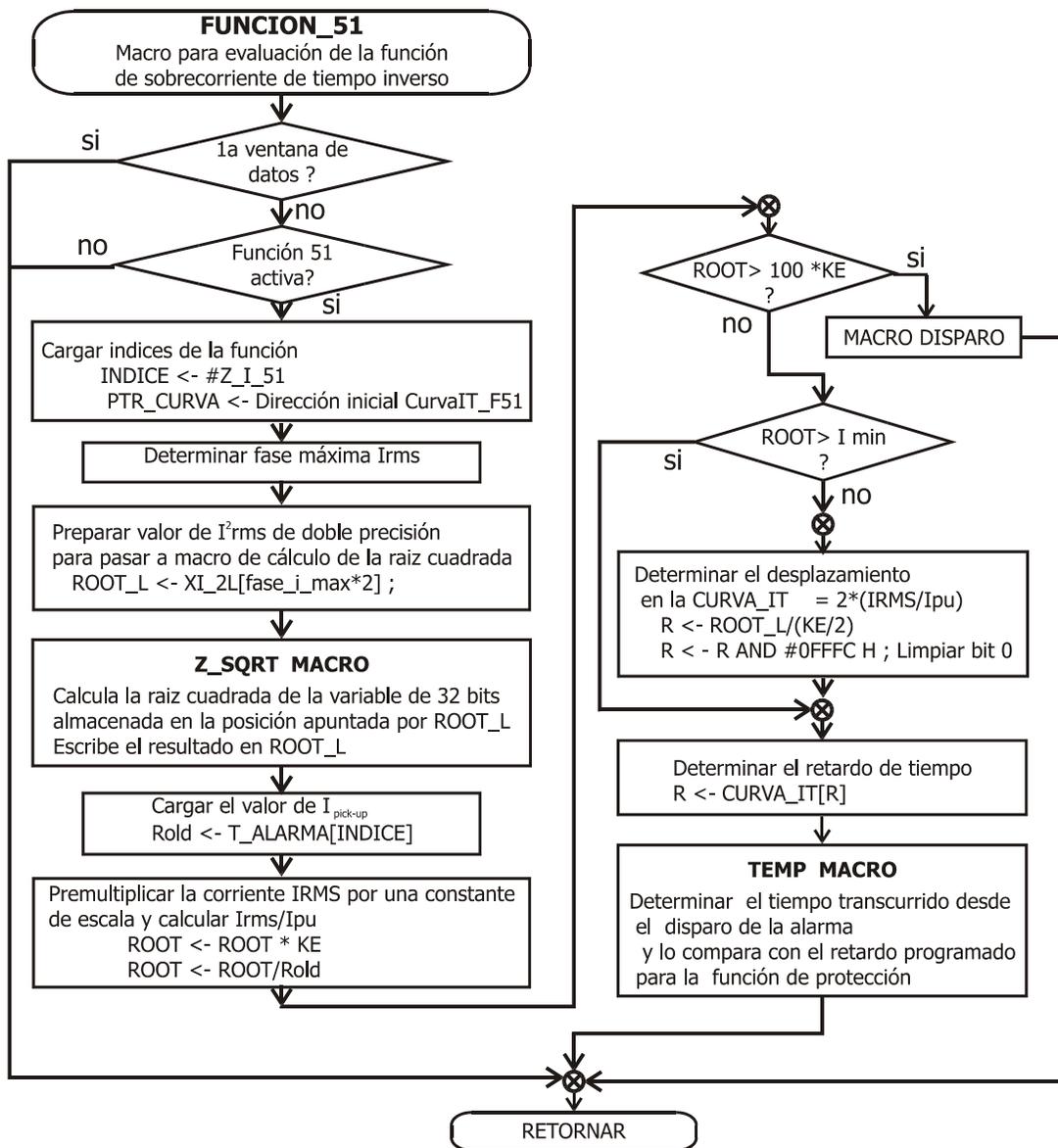
Las tareas principales de esta macro, cuyo diagrama de flujo se presenta en la Figura 46 son:

- Verificar que la opción de la función de protección de sobrecorriente de tiempo inverso este activa y que se haya superado la primera ventana de datos para entrar a la lógica de la protección.
- Recuperar el valor máximo de la magnitud al cuadrado del fasor de corriente de fase en doble precisión.
- Estimar Irms como la raíz cuadrada del valor anterior. Si Irms es menor que la corriente de arranque I_p , debe retornar al programa principal pues no se ha superado el límite.
- Calcular la relación Irms/ I_p , si esta es mayor que 100 la función no admite retardo y debe disparar inmediatamente. Si es menor que el mínimo valor almacenado en la tabla se tomará el primer retardo de la tabla.

²¹ Se selecciona de las curvas disponibles según la Tabla 1 ecuaciones de tiempo sobrecorriente..

- Si I_{rms}/I_p está en el rango de la tabla, usar su valor como índice en la Curva_IT para determinar la posición correspondiente del retardo.

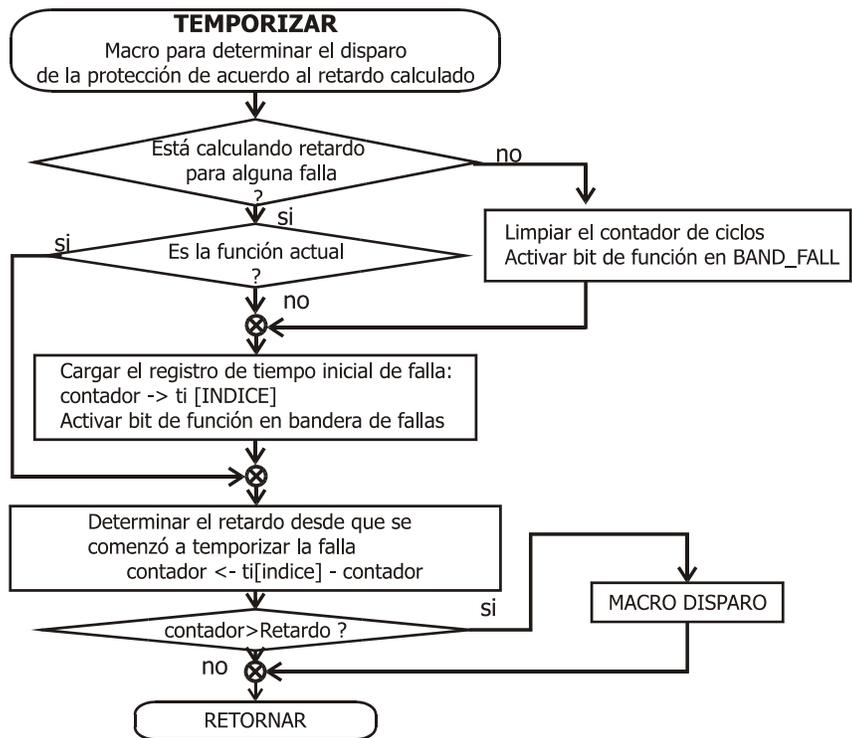
Figura 46. Diagrama de flujo para la macro FUNCION_51



TEMPORIZAR MACRO. Se activa desde los diferentes bloques de funciones de protección siempre que se viole el límite de alarma. Su función es verificar si también se ha traspasado el límite de ciclos de retardo.

Como se observa en la Figura 47, la primera acción de esta macro es revisar la bandera de fallas para determinar si existe alguna cuenta de tiempos previa. Si no está calculando un retardo en alguna de las funciones de protección procede a limpiar el contador de ciclos y actualizar la bandera de fallas. Si ya se está temporizando una función, y es la función actual, significa que ya se ha almacenado un tiempo inicial de referencia para ésta, pero si no lo es, debe almacenarse el valor actual del contador. Después de esto sólo queda verificar si se ha traspasado el límite de ciclos de retardo, en cuyo caso debe activarse la macro de disparo.

Figura 47. Diagrama de flujo para la macro TEMPORIZAR

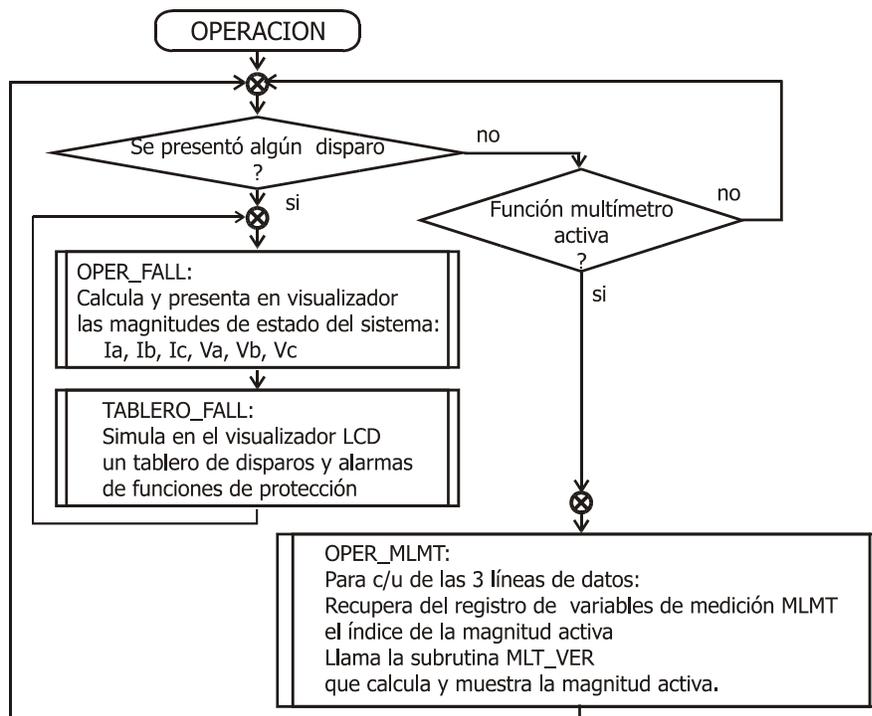


DISPARO MACRO. Esta macro se encarga de activar las salidas de estados de disparos, cargando el contenido de la bandera de disparos, y activar la salida de disparo de interruptor maestro (SDB)

6.2.4 Software del lazo principal del modo de operación

El programa principal del modo de operación se encarga de la actualización del visualizador LCD ya sea en el evento de falla o bajo operación normal del sistema. Como se observa en el diagrama de flujo de la Figura 48 el lazo principal se inicia verificando la presencia de fallas, para dado el caso presentar en el visualizador alternadamente dos ventanas de falla, la primera muestra los valores actuales de las magnitudes rms de las corrientes y tensiones del sistema y la segunda simula un tablero de alarmas y disparo de protecciones.

Figura 48. Diagrama de flujo del lazo principal del modo de operación



Si no existen fallas en el sistema y está activa la función de multímetro, el programa calcula y presenta en el visualizador las magnitudes que se han seleccionado desde el submenú de medición del modo de ajuste. Se incluyen las siguientes subrutinas:

TABLERO_FALL. Subrutina que muestra los códigos ANSI de las funciones en falla y en alarma de disparo. Si la función está en falla el código se presentará resaltado.

OPER_FALL. Subrutina que muestra los valores rms de las corrientes y tensiones de fase actuales del sistema.

MLT_VER. Esta subrutina se encarga del control de la función multímetro para una línea de datos. Utiliza el índice de la variable como desplazamiento en las tablas T_MLT_MENU, T_MLT, MLT_VAR, para obtener las direcciones de la rutina de multímetro que se debe ejecutar, la tabla en ASCII del nombre de la variable y la variable de entrada

6.2.5 Otras subrutinas del submenú operación

OPERACIÓN. Carga la variable de control con la constante adecuada para salir del bucle de despliegues de menú.

6.3 SOFTWARE PARA EL MODO DE INICIO

6.3.1 Rutinas de reconfiguración y autodiagnóstico REINICIA_R

El objetivo de esta rutina es mantener la confiabilidad del sistema. Se ejecuta periódicamente (aproximadamente cada 10 minutos) si no se está calculando el retardo de disparo de una protección. La Figura 49 presenta el diagrama de flujo de esta rutina.

Además llama las siguientes subrutinas:

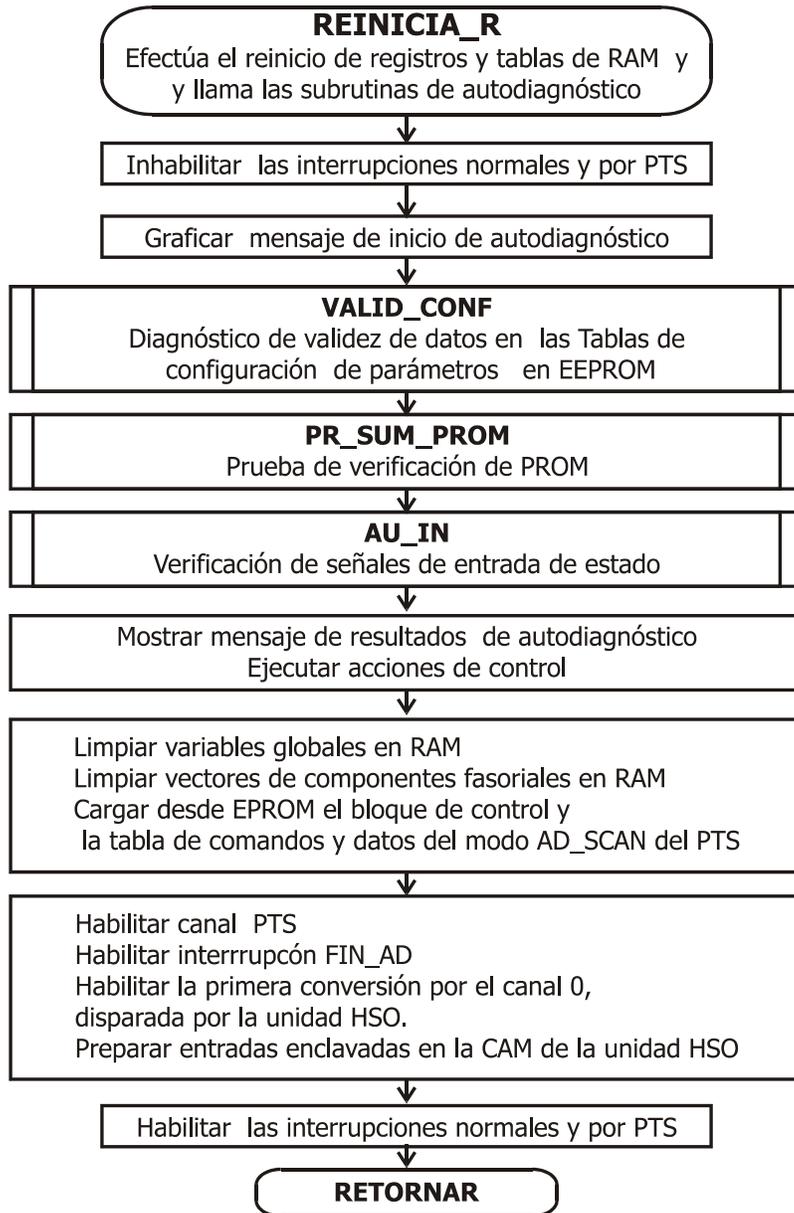
VALID_CONF. Subrutina de prueba de la validez de los datos de la tabla de configuración de parámetros actual. Se contrastan los valores de los parámetros almacenados en dos localidades de la memoria EEPROM de datos, si se presentan inconsistencias se genera la alarma de autodiagnóstico correspondiente y se carga la tabla de configuración de parámetros inicial almacenada en EPROM de programa.

AU_IN. Verifica las entradas de estado de interruptor maestro y pérdida de alimentación, si detecta un mal funcionamiento genera las alarmas de autopruueba y los mensajes correspondientes y detiene la ejecución del programa.

6.3.2 Subrutinas de normalización de tablas de configuración.

NORM_SET Se encarga de escalar y adecuar los parámetros introducidos durante el proceso de configuración para adaptarlos a los cálculos de las magnitudes de referencia de las protecciones, almacenar las tablas de configuración localizadas en la memoria EEPROM de datos y generar las tablas de tiempo sobrecorriente de las funciones 51 y 46 a partir de los parámetros de configuración del sistema. Antes de retornar al modo de operación normal llama la subrutina REINICIA_R.

Figura 49. Diagrama de flujo de la rutina REINICIA_R



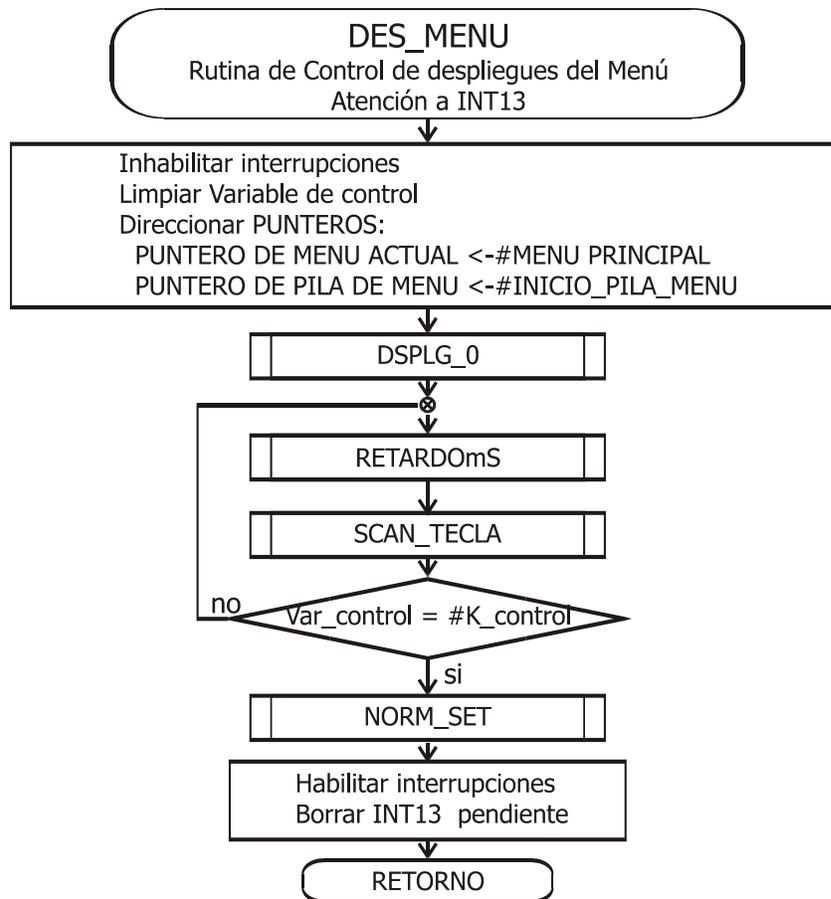
6.4 SOFTWARE PARA EL MODO DE CONFIGURACIÓN

6.4.1 Rutina de control de despliegues de menú DES_MENU

EL modo de ajuste se sustenta en la rutina DES_MENU llamada al final del modo de configuración inicial del sistema o como servicio a la interrupción INT13 generada por activación del interruptor de petición de ajuste local. El diagrama de flujo de esta rutina se presenta en la Figura 50. Como se observa, mientras esté activa se inhabilitan todas las interrupciones enmascarables. Seguidamente inicia los punteros con las direcciones del menú principal y llama la rutina DSPLG_0 para mostrar el primer despliegue de ventanas. A continuación entra en un bucle que incluye la rutinas T_SCAN_TECLA y RETARDOmS hasta que se verifica por medio de una palabra de control que se ha dado el comando de inicio de operación. La rutina T_SCAN_TECLA se encarga de captar la tecla pulsada y controlar las acciones correspondientes. Antes de retornar al flujo normal del programa llama a la subrutina de normalización de parámetros NORM_SET, y habilita las interrupciones.

Para navegar entre las diferentes opciones del menú se han diseñado tablas de configuración para cada menú desplegable. Los dos primeros bytes de la tabla contienen el número de opciones que presenta el menú y un número de nivel o jerarquía del menú, en seguida se almacena la dirección con la cual se cargará el puntero de menú siguiente por medio de la cual se prepara dicho puntero para entrar a alguna de las opciones del menú, la siguiente posición de la tabla apunta a la rutina que se ejecutará al finalizar el despliegue del menú actual, las siguientes N+1 posiciones de 2 bytes son las direcciones de los mensajes desplegables en el menú, y las últimas N+1 posiciones de 2 bytes apuntan a las direcciones de las Tablas de configuración de menú para cada una de las opciones aceptadas por el menú actual.

Figura 50. Diagrama de Flujo de la rutina de control de despliegues de menú DES_MENU

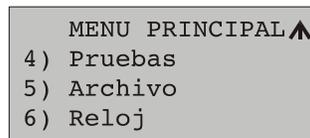
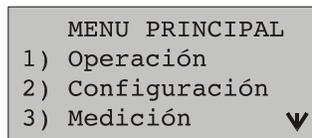


En la Figura 51 se muestra a modo de ejemplo la tabla de despliegue del menú principal. Para este caso se tiene: 6 opciones, nivel 0, el puntero de menú siguiente apunta a la dirección N_M_0. Cuando termine el despliegue de este menú (usando la rutina DSPLG_0) el sistema irá a la rutina DSPLG_FIN y estará listo para captar la siguiente tecla y ejecutar las subrutinas correspondientes al nivel 0, por medio de la rutina T_SCAN_TECLA.

Figura 51. Tabla de configuración y despliegue de ventanas para el Menú Principal

```

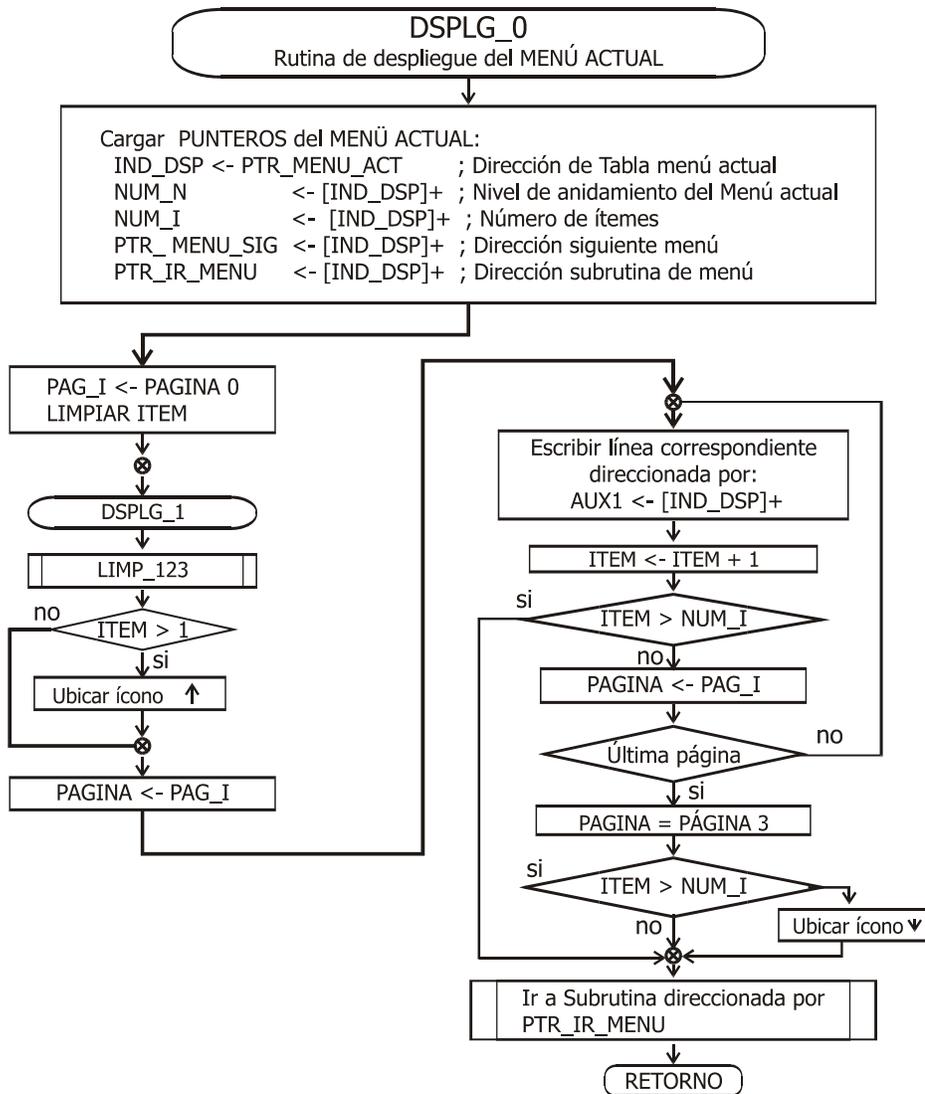
T_MENU_0:
    DCW 0600H ; # items, # de nivel
    DCW N_M_0 ; PTR_MENU_SIG
    DCW DSPLG_FIN ; PTR_MENU_ACT
    DCW MENU_0_0 ;Mensaje línea 0
    DCW MENU_0_1 ;Mensaje línea 1
    DCW MENU_0_2 ;Mensaje línea 2
    DCW MENU_0_3 ;Mensaje línea 3
    DCW MENU_0_4 ;Mensaje línea 4
    DCW MENU_0_5 ;Mensaje línea 5
N_M_0:
    DCW MENU_CLR ;Mensaje línea 6
    DCW T_MENU_1 ;Tabla de opciones del Menú_0
    DCW T_MENU_2
    DCW T_MENU_3
    DCW T_MENU_4
    DCW T_MENU_5
    DCW T_MENU_6
    
```



6.4.2 Rutina de control del despliegue de menú actual DSPLG_0

Esta rutina se encarga del control del despliegue del menú actual direccionado por el puntero de menú actual. El diagrama de flujo de la rutina se muestra en la Figura 52. Su primera acción consiste en cargar los punteros e indicadores con los valores de la tabla del menú actual, a continuación procede a graficar todo el despliegue de la ventanas del menú., finalmente va a cumplir con la subrutina indicada por el puntero IR_MENU.

Figura 52. Diagrama de flujo rutina de despliegue de menú actual DSPLG_0



6.4.3 Rutina de adquisición de valor de tecla pulsada y control de rutinas T_SCAN_TECLA

El diagrama de flujo de esta rutina se presenta en la Figura 53. Inicialmente capta datos de la dirección de teclado del puerto PSP y verifica que sean válidos, en cuyo caso utiliza este valor como desplazamiento en la tabla T_SCAN_TECLA, la cual contiene las direcciones de los vectores de rutinas, para adquirir la dirección del vector correspondiente a la opción pulsada.

Usando como desplazamiento en esta tabla el nivel o jerarquía del menú actual encuentra la dirección de la rutina que debe ejecutar y dirige el flujo del programa hacia esta.

La Figura 54 presenta la tabla T_SCAN_TECLA, los vectores de rutinas de teclas y un ejemplo de despliegue de las ventanas del menú principal en el cual se ha pulsado la tecla (2).

Como corresponde a una tecla de número la rutina SCAN_TECLA selecciona el vector T_NUMERO de la tabla de vectores T_SCAN. Puesto que el nivel del menú principal es cero (N=0), en la tabla T_SCAN se selecciona la subrutina NUM_N0. Esta subrutina direcciona el PTR_MENU_SIG hacia la tabla correspondiente, almacena el PTR_MENU_ACT en la pila de menú y llama la rutina de despliegue de menú actual DSPLG_0, de esta manera se muestra en el visualizador la ventana del submenú de configurar relé.

Figura 53. Diagrama de flujo de la rutina de SCAN_TECLA

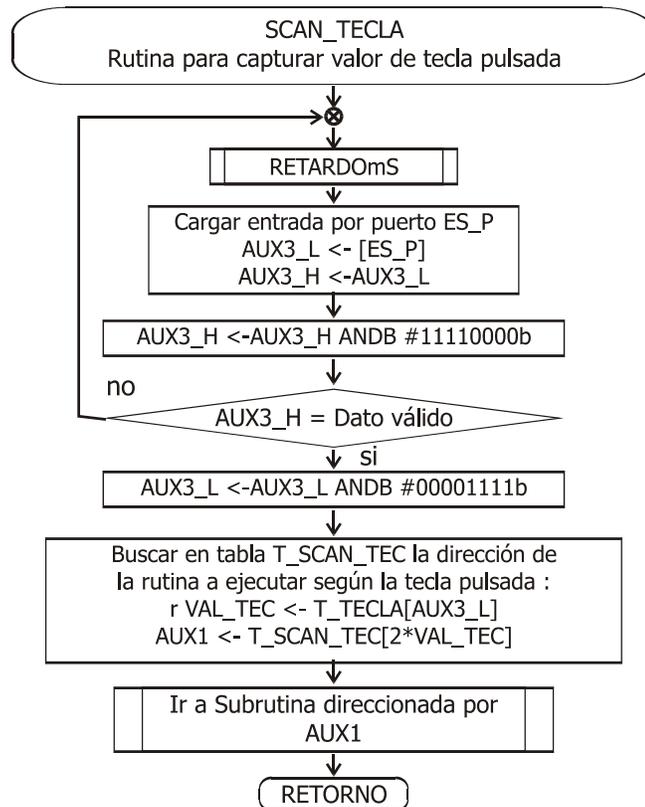
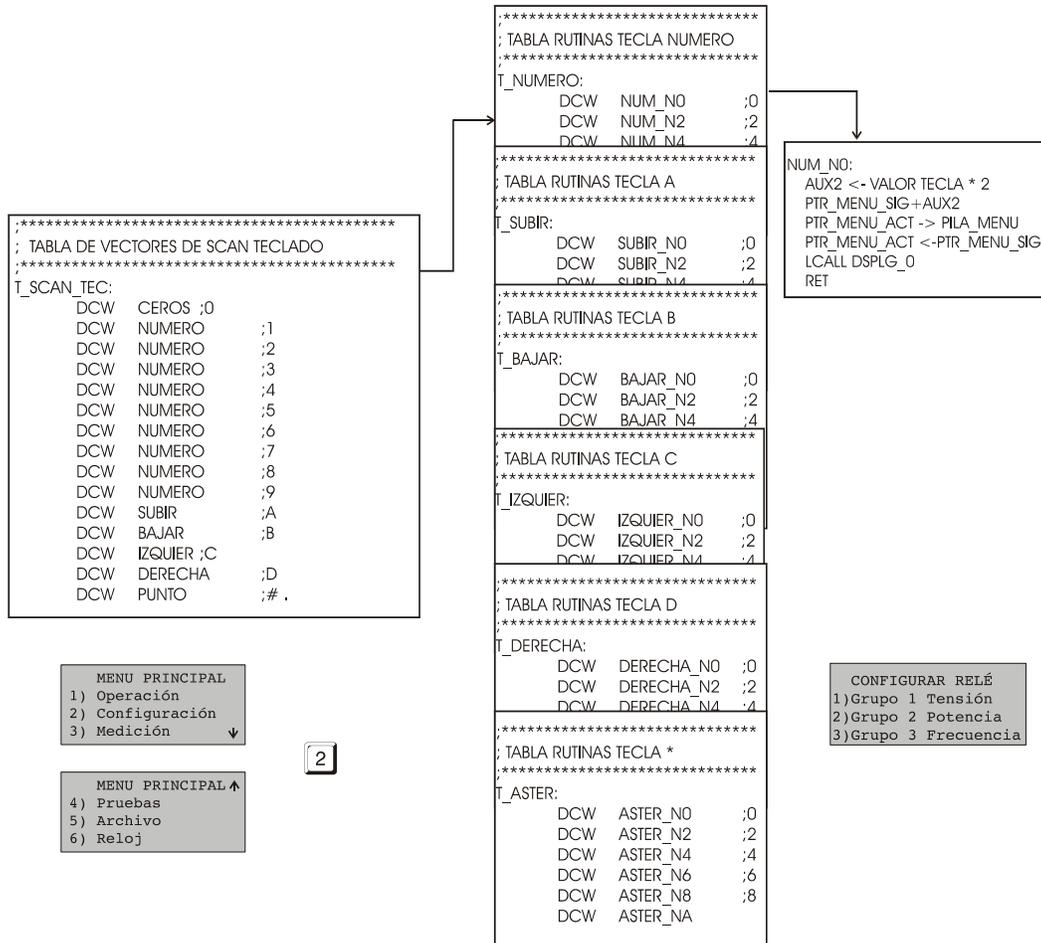


Figura 54. Ejemplo de selección de una subrutina usando la Tabla de vectores de SCAN_TECLA y los vectores de rutinas para las teclas



6.4.4 Subrutinas del submenú de configuración

VER_G. Muestra en el visualizador LCD los indicadores de ACTIVO/INATIVO (ON/OFF) para las funciones de protección del grupo actual.

SET_FG. Muestra en el visualizador LCD los valores de configuración de parámetros de la función de protección activa y cambia el nivel de jerarquía para la adquisición de estos parámetros.

DSPLG_FIN. Función nula. Retorna.

6.4.5 Subrutinas del submenú de medición

MLMT_ACT. Muestra en el visualizador LCD los indicadores de ACTIVO/INATIVO (ON/OFF) para las magnitudes de medición seleccionadas.

6.4.6 Subrutinas del submenú de archivo

SAVE_MEMO. Salva en la tabla de memoria seleccionada (MEMO 0/1/2) el contenido de la tabla de configuración de parámetros.

LOAD_MEMO. Carga el contenido de la tabla de memoria seleccionada (MEMO 0/1/2) en la tabla de configuración de parámetros.

Subrutinas del submenú de pruebas

PR_SUM_PROM. Ejecuta una prueba de verificación de la suma del contenido de un conjunto seleccionado de posiciones de la memoria EPROM. Si se detecta una falla se genera la alarma de autodiagnóstico correspondiente.

PR_EEPROM. Realiza una prueba de verificación de lectura y escritura en la memoria EEPROM seleccionada.

PR_TEC. Ejecuta pruebas de verificación de lectura del teclado.

PR_HSO. Efectúa pruebas del puerto de salida de estado seleccionado.

6.5 SOFTWARE PARA EL CONTROL DEL VISUALIZADOR LCD PG1223-2ARS

El dispositivo visualizador se controla por medio de comandos enviados a través del bus del puerto esclavo en combinación con las señales RD_PSP/ \overline{WR} _PSP y EN_PSP. El *software* para el manejo del visualizador LCD está compuesto por subrutinas cortas que realizan tareas específicas y pueden ser llamadas desde cualquier modo del programa principal (INICIO, AJUSTE, OPERACIÓN), por lo cual poseen su propio conjunto de variables. Como el visualizador es un dispositivo relativamente lento, no existe ningún conflicto en el tiempo por las sucesivas llamadas a subrutinas.

POSICION_LCD. Carga en el bus de datos del visualizador un par de instrucciones con los valores actuales de las variables PAGINA y COLUMNA. Así activa la posición indicada.

CONFIGURAR_LCD. Introduce en el bus de datos del visualizador la secuencia de instrucciones que permite configurar un lado del mismo.

CLR_123. Se encarga de limpiar las paginas del visualizador que están debajo de la página indicada en la variable PAG_I.

ESC_CAR. Grafica en el visualizador a partir de la columna, la página y el lado activos, seis columnas de un caracter, cuya dirección absoluta de inicio se ha almacenado previamente en la variable auxiliar AUX2. Actualiza la columna, la página y el lado del visualizador para permitir una escritura continua.

WR_MEN. Grafica, caracter a caracter, un mensaje a partir de la columna, página y lado activos hasta que se captura el caracter de fin de mensaje (@). La dirección inicial de la tabla de caracteres ASCII del mensaje debe almacenarse en la variable auxiliar AUX1.

ESC_NUM_LCD. Grafica en el visualizador a partir de la columna, página y lado activos un número de cinco dígitos en BCD. La variable auxiliar AUX1 debe contener la dirección de inicio del número en BCD.

HEX_BCD. Convierte un número tipo *“word”* positivo (con un valor entre 0 y 65 536) en un vector de cinco dígitos BCD. El número original debe almacenarse en la variable auxiliar V_HX_L.

HEX_BCD_SIGN. Convierte un número tipo *“word”* con signo (cuyo valor está entre -32768 y +32767) en un vector que contiene el signo (+/-) y sus cinco dígitos BCD. El número original debe almacenarse en la variable auxiliar V_HX_L.

RETARDOmS. Esta subrutina entra en un bucle que genera un retardo del orden de los milisegundos.

7 CONCLUSIONES Y RECOMENDACIONES

7.1 CONCLUSIONES

En este trabajo de investigación se ha desarrollado un modelo de relé numérico de funciones múltiples. Además de un interesante ejercicio académico, se ha pretendido realizar un avance en el campo de las protecciones y aprovechar las enormes posibilidades que brinda la aplicación de microcontroladores a este campo. Este modelo utiliza como CPU un microcontrolador 87C196KD de Intel. Incluye además del módulo principal en el cual se encuentra la CPU y la memoria, los módulos de: transformación de tensiones y corrientes secundarias del sistema eléctrico de potencia a señales de tensión análogas de 2.5 V pico, acondicionamiento de señales análogas a señales digitales TTL de 0 a 5 Voltios, entradas y salidas digitales y el módulo de interfaz local con el usuario (pantalla LCD y teclado).

El diseño modular del *hardware* ha facilitado tanto la construcción como el proceso de depuración del mismo, ha disminuido los costos de efectuar cambios y además al construir una unidad ensamblada, va a permitir una mejor distribución en un espacio.

En la etapa de diseño del proyecto se escogió un microcontrolador 87C196 KD de Intel por las atractivas características ofrecidas: es un procesador de 16 bits que maneja directamente hasta 64 Kbytes de memoria, posee 1 Kbyte de memoria RAM interna, un conversor análogo digital de 10 bits el cual cuenta con 8 entradas análogas multiplexables, tiene una gran cantidad de entradas digitales, algunas de las cuales manejan directamente interrupciones programables, y además de la herramienta Servidor de Transferencias Periféricas (PTS), cuyo uso en combinación con la unidad de memoria de acceso por contenido (CAM) permite programar el muestreo y la conversión de las señales análogas a digitales y disparar en forma automática las rutinas de tratamiento de señales.

Este modelo de relé multifuncional incluye once funciones de protección, las cuales se seleccionaron para una aplicación especial en cogeneración, además se han previsto algunas

prestaciones adicionales como aplicación de rutinas de auto prueba de RAM y ROM, uso de un temporizador vigilante (*watch-dog timer*), almacenamiento de eventos y fallas, comunicación local por medio de una interfaz gráfica y teclado, suministro de entradas digitales TTL y salidas digitales TTL de alta impedancia. Sin embargo es claro que pueden existir muchas aplicaciones de esquemas de protección las cuales requieran una combinación distinta de funciones de protección, o incluso un conjunto distinto de prestaciones adicionales, las cuales podrían ser modeladas empleando los principios básicos de tratamiento de señales.

El *software* del modelo de relé se desarrolló en lenguaje ensamblador, pues se necesitaba un gran control de los tiempos de ejecución y de la longitud del código, además las particularidades de los microcontroladores de la familia 196 de Intel obligan a configurar una serie de registros de funciones especiales (SFRs). Esto lo hace poco transportable directamente hacia otras tecnologías de procesadores que están surgiendo día a día y que ofrecen cada vez mejores prestaciones.

La aplicación de microprocesadores cada vez más avanzados y los desarrollos en técnicas digitales de tratamiento de señales, permiten modelar casi cualquier tipo de protección existente o diseñar nuevos esquemas de protección, además se aumentan las posibilidades de combinar diferentes funciones, servicios adicionales a un grado en el cual se tienen muchas variables jugando en el momento del diseño, por lo tanto un paso muy importante es determinar las especificaciones que en realidad se necesitan para cada aplicación.

Una de las dificultades encontradas fue la falta de experiencias previas y la falta de documentación en cuanto a desarrollos similares con el tipo de microcontrolador escogido y sus sistemas de desarrollo.

Se requiere efectuar un análisis muy cuidadoso al diseñar el *hardware* y *software* de una protección numérica, para adaptar estas particularidades a las necesidades de la protección para lograr el objetivo de que se ejecuten todas las acciones asignadas en el orden correcto, minimizando los problemas en el muestreo y los errores por el tratamiento de los datos y explotando en forma óptima las capacidades adicionales que ofrecen los sistemas numéricos.

Siendo la confiabilidad una característica crítica de un sistema de protección es imperativo someter dicho sistema a una gran cantidad de pruebas, antes de darlo al servicio. En el caso de las protecciones digitales, además de las pruebas típicas se pueden emplear técnicas de simulación digital que aprovechen datos históricos de fallas para evaluar el diseño de la lógica de protección.

7.2 RECOMENDACIONES

El continuo avance y la competencia entre los fabricantes de microcontroladores, los cuales ofrecen máquinas de mejores características y con sistemas de desarrollo más amigable cada vez obliga a revisar las tecnologías que se ofrecen en el mercado, así como las herramientas de desarrollo que estén disponibles antes de emprender una siguiente fase en esta línea de investigación. En este caso no debe ser un factor de poco peso la experiencia existente en el medio con relación al procesador seleccionado, pues esto determina en gran medida las posibilidades de éxito del proyecto.

Un posterior desarrollo también debería revisar el diseño del *hardware* de los diferentes módulos, para optimizar el número de componentes, los tiempos de retardo por *hardware*, el tamaño y la construcción de las tarjetas.

La aplicación de técnicas numéricas y digitales en el diseño y construcción de equipos de protección de sistemas eléctricos de potencia, es un campo de estudio muy interesante y que aún tiene muchas posibilidades de desarrollo y que podría explotarse dentro de la EEET. Se tienen muchos campos pendientes por explorar: estudiar aplicaciones de protección que incluyan la combinación de otros tipos de funciones, o aplicaciones a necesidades en usuarios concretos, en modelos estabilidad a interferencias EMI y al ambiente de trabajo en el cual debería ubicarse una protección comercial, implementación de comunicaciones usando por ejemplo un puerto serial.

El modelo construido usa como núcleo la tarjeta evaluadora 196KD de Intel, lo cual facilita el diseño y la depuración del software. Se recomienda que se siga empleando este modelo, junto con las interfaces diseñadas no solo para aplicaciones de protección, aunque las

mayores facilidades están dadas en este campo, sino para diferentes aplicaciones, pues se puede aprovechar el teclado, el display, y las diferentes salidas y entradas digitales.

BIBLIOGRAFIA

A

[Altuve 1993] H.J. ALTUVE FERRER. "Introducción a los relevadores y sistemas digitales de protección". Universidad Autónoma de Nuevo León. Monterrey, México 1993.

[ABB 1995] ABB. Distribution Protection Unit 2000. DPU 2000. Descriptive Bulletin 41-217M. January 1995.

B

[Beckwith 92] BECKWITH ELECTRIC CO. INC. Pride Multifunction Relay. M-0420 Bulletin 800-0420-SP-05. March 1992

[Blackburn 94] BLACKBURN J.L. "Introduccion and General Philosophies". Protective Relaying. Theory and Applications. Edited by Walter A. Elmore. ABB Power T&D company Inc. Relay Division. Coral Springs Florida.1994

C

[Cabeza 1994] CABEZA M.; González J; Martínez E. Introducción a los microcontroladores de 16 bits (Familia 96). Mc Graw Hill 1994.

[Cala 1998] CALA V. A.; Hernández M. A.; Barrios L.A.; Cabrera A. "Sistema de pruebas de relés digitales basado en computador". Memorias III Congreso de la Asociación Colombiana de Automática. Rionegro (Antioquia) Septiembre 24-27 de 1998.

[Carrillo 90] CARRILLO GILBERTO. "Fundamentos de protecciones" Universidad Industrial de Santander. Abril de 1990.

D

[DALLAS 1999] DALLAS SEMICONDUCTOR. DS1302. Trickle Charge Timekeeping Chip. July 1999

E

[Elmore 1994] ELMORE WALTER A. "Microprocesso Relaying Fundamentals. Protective Relaying. Theory and Applications" Edited by Elmore Walter. ABB Poer T&D Company INC. Relay Division. Coral Springs, Florida. USA 1994

G

[Girgis and Ham 1982] A.A GIRGIS AND HAM F. "A new FFT based digital frequency relay for load shedding". IEEE Transactions on Power Apparatus and Systems. Vol. PAS-101, No. 2, pp 433-439, February 1982.

[Girgis Hwang 1984] A.A GIRGIS AND T.L. DANIEL HWANG. "Optimal estimation of voltage phasors and frequency deviation using linear and non-linear Kalman Filtering: theory and limitations". IEEE Transactions on Power Apparatus and Systems. Vol. PAS-103, No. 10, pp 2943-2950, October 1984.

[Gómez] GÓMEZ G.; GALLASTEQUI J.M. CÁRDENAS J. Management experiences from digital relay information an its treatment in the protection analysis center.

[González, Cabeza, Martínez 94] GONZÁLEZ J.A., CABEZA M.L. Y MARTÍNEZ E.J. "Introducción a los microcontroladores de 16 bits. Familia-96". Mc Graw Hill. 1994

H

[Harlow 91] HARLOW J. Practical cogeneration for the 90's. IEEE 1991.

[Harlow 90] ----- . A multifunctional protective relay for the cogeneration. IEEE. 1990.

[Hernández 97] HERNÁNDEZ M. A.; JÁCOME L.; TORO O., CALA V. A. Relé Multifuncional trifásico basado en microcontroladores MCS-96". EEET. Universidad Industrial de Santander. Bucaramanga. 1997.

[Horowitz et al 1988] HOROWITZ S.H. ; PHADKE A.G.; THORP J.S. Adaptative Transmission Relaying IEEE Transactions on Power Delivery, Vol 3, No. 4. October 1988.

I

[Intel 1993] Intel 196 KD-20 Microcontroller Target Board User's manual and Project Builder Kit July 1993.

[Intel 1992] ----- 8XC196KC/8XC196KD. User´s Manual. 1992.

J

[Jaimes et al 95] Jaimes B. J.; Gaitan A.C.; Bernal M.A.; Cala V.A. Relé de tiempo-sobrecorriente, simulación del funcionamiento en PC y construcción de la tarjeta de E/S. UIS Bucaramanga 1995.

M

[Manrique] Manrique J. E., Mora J. J, Ordóñez G. Estimación de magnitudes eléctricas utilizando la transformada discreta de Fourier. Universidad Industrial de Santander. Bucaramanga 1996.

[Murty & Yalla 92] Murty V.; Yalla S. A digital multifunction protective relay. IEEE Transactions on Power Delivery. Vol 7 No. 1 Jun 1992.

N

[[National Semiconductor] NATIONAL SEMICONDUCTOR. MF6CN-50. User's Guide

O

[Ordóñez] Ordóñez P. G. Medición Digital de Magnitudes Eléctricas mediante transformada discreta de Fourier. Algoritmos de adaptación de la frecuencia de muestreo. Tesis Doctoral. Universidad Pontificia de Comillas. Escuela Técnica de Ingenieros Industriales. Madrid 1993

P

[Phadke, et al 1983] Phadke A.G; Thorp J.S; Adamiak. "A new measure technique for tracking voltage phasors, local system frequency, and rate of change of frequency". IEEE Transactions on Power apparatus and systems. Vol PAS No. 5, may 1983, pages 1025-1038.

[Phadke & Thorp 1988] Phadke A.G; Thorp J.S. Computer relaying for power systems. John Wiley and sons 1988.

[POWERTIP TECH. CORP.] POWERTIP TECH. CORP.LCD Module PG12232 ARS-ANN-A-3A

R

[Rojas - Cala 92] ROJAS E.; CALA V. A. Diseño y Desarrollo del *software* para Relé Universal Programable (RUP) basado en Z-80. Universidad Industrial de Santander. Bucaramanga 1992.

S

[Sachedv Giray 1982] M.S. SACHDEV, AND M.M. GIRAY .“A least error squares technique for determining power system frequency” IEEE Transactions. Vol PAS-104, No.2, pp, 437-444. February 1985.

[Sachedv Giray 1978] ----- “A digital frequency and rate of change of frequency relay” Transactions of the Engineering and Operating Division; Canadian Electrical Association, Vol 17, part3, paper No.78-sp-145 1978.

[Sachedv Shen 1989] M.S. SACHEDV AND JIANPING SHEN. “A new digital technique for measuring frequency at a power system bus”. Proceedings of the Fourth International Conference on Developments in Power System Protection, pp 102-106, April 1989.

[Schweitzer] SCHWEITZER ENGINEERING LABORATORIES INC. “Phase and Ground Distance Relay, Directional Overcurrent Relay. Fault Locator. Instruction Manual”. Dic 1, 1994.Pullman.

[Sgs-Thompson 1998] SGS-THOMPSON. M27c256b 256 Kbit (32kb X8) Uv Eprom and OTP EPROM. July 1998.

T

[Tao Morrison 1986] TAO MORRISON. The measurement of power system frequency using a microprocessor, Electric Power Systems Research, Vol 11, No. 21, pp. 103-108, October 1986.

[Sherman - Maurer 92] SHERMAN C.; MAURER R. Modeling overcurrent relay characteristics. IEEE 1992.

U

[Urbaez et al 1994] URBAEZ S.; VILLADIEGO J.; CALA V.A. Relé de tiempo-sobrecorriente, diseño basado en microprocesador. Bucaramanga. Universidad Industrial de Santander. EEET. 1994.

[Urbaz & Cala 1999] URBAEZ S.; CALA V.A. Protecciones digitales de los sistemas eléctricos. Estado actual y tendencias de desarrollo. Bucaramanga. Universidad Industrial de Santander. EEET. Maestría en Potencia Eléctrica. 1999.

W

[Wang, Ge et al 1993 WANG] A.D., GE Y.Z. LAI L.L. JOHNS, "A new digital algorithm for power system frequency measurements". IEE 2nd International Conference on Advances in Power System Control, Operation and management, December 1993, Hong Kong.

ANEXO A ALGORITMO WANG-GE-LAI-JOHNS PARA LA ESTIMACIÓN DE FRECUENCIA

Formulación del Problema:

Durante condiciones de estado estable es válido suponer la tensión del sistema de potencia como una senoidal:

$$v(t) = V_m \text{sen}(2\pi f t + \theta) \quad (7-1)$$

$\theta = \text{ángulo de fase}$

Si se toman muestras de la tensión a intervalos de T segundos las siguientes ecuaciones describen las muestras (k+1), (k+2), (k+3) y (k+4):

$$v_k = V_m \text{sen}(2\pi f t_k + \theta) \quad (7-2)$$

D.

$$v_{k+1} = V_m \text{sen}(2\pi f (t_k + T) + \theta) \quad (7-3)$$

$$v_{k+2} = V_m \text{sen}(2\pi f (t_k + 2T) + \theta) \quad (7-4)$$

$$v_{k+3} = V_m \text{sen}(2\pi f (t_k + 3T) + \theta) \quad (7-5)$$

$$v_{k+4} = V_m \text{sen}(2\pi f (t_k + 4T) + \theta) \quad (7-6)$$

Restando la ecuación (7-6) de la ecuación (7-2) y la ecuación (7-5) de la ecuación (7-3),

$$v_{k+4} - v_k = 2 \cos(2\pi f (t_k + 2T) + \theta) \text{sen}(4\pi f T) \quad (7-7)$$

$$v_{k+3} - v_{k+1} = 2 \cos(2\pi f (t_k + 2T) + \theta) \text{sen}(2\pi f T) \quad (7-8)$$

Dividiendo la ecuación (7-7) entre la ecuación (7-8) se tiene:

$$\frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} = 2 \cos(2\pi f T) \quad (7-9)$$

Esto es:

$$\cos(2\pi f T) = \frac{1}{2} \frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} \quad (7-10)$$

La anterior ecuación es válida para cada $k = 0, 1, \dots$, excepto cuando $\cos(2\pi f (t_k + 2T) + \theta) = 0$.

Usando la serie de Taylor de $\cos(2\pi f T)$ expandida en la vecindad de la frecuencia nominal f_0 , se tiene:

$$\begin{aligned} \cos(2\pi f T) = & \sum_{j=0}^{\infty} (-1)^j \frac{(2\pi T)^{2j}}{2j!} (f - f_0)^{2j} \cos(2\pi f_0 T) + \\ & \sum_{n=0}^{\infty} (-1)^{n+1} \frac{(2\pi T)^{2n+1}}{(2n+1)!} (f - f_0)^{2n+1} \sin(2\pi f_0 T) \end{aligned} \quad (7-11)$$

Debido a que T es constante y muy pequeño, la ecuación (7-11) puede aproximarse con sólo los dos primeros términos como en la siguiente ecuación :

$$\cos(2\pi f T) = \cos(2\pi f_0 T) - 2\pi T(f - f_0) \sin(2\pi f_0 T) \quad (7-12)$$

Sustituyendo la ecuación (7-12) en la (7-9) se obtiene:

$$\frac{1}{2} \frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} = \cos(2\pi f_0 T) - 2\pi T(f - f_0) \sin(2\pi f_0 T) \quad (7-13)$$

Siendo $v_k, v_{k+1}, v_{k+2}, v_{k+3}$ y v_{k+4} las muestras de la entrada de tensión, de donde f se escribe como:

$$f = f_0 + \frac{\left[2 \cos(2\pi f_0 T) - \frac{1}{2} \frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} \right]}{2\pi T \sin(2\pi f_0 T)} \quad (7-14)$$

Para minimizar los errores introducidos por el muestreo, se usan m valores calculados de $\cos(2\pi fT)$ en la obtención de un valor promedio para calcular la mejor estimación de la frecuencia:

$$\cos(2\pi f T) = \frac{1}{2} \sum_{k=1}^m \frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} / m \quad (7-15)$$

De este modo la frecuencia se obtiene como:

$$f_{out} = f_0 + \frac{\left[\cos(2\pi f_0 T) - \frac{1}{2m} \sum_{k=1}^m \frac{v_{k+4} - v_k}{v_{k+3} - v_{k+1}} \right]}{2\pi T \sin(2\pi f_0 T)} \quad (7-16)$$

El lado derecho de la ecuación (7-16) es función de f_0 . Inicialmente, f_0 se asume igual a la frecuencia nominal del sistema de potencia, Cuando se calcula f_{out} , reemplaza al valor de f_0 en la ecuación (7-16) y se itera hasta que el valor de f_{out} y f_0 difieran en una tolerancia. Por experiencia, se ha encontrado, que una iteración puede ser suficiente.

ANEXO B RESUMEN DE CARACTERÍSTICAS DEL MICROCONTROLADOR 8XC196KC/KD

A continuación se presenta un resumen de las características de los microcontroladores 8XC196KC/KD. Para una descripción más detallada se sugiere revisar las referencias [González,Cabeza y Martínez 94], [Intel 8XC196KC/KD User's Manual] e [Intel 196KD-20].

Los microcontroladores 8XC196KC/KD de Intel son microcontroladores de 16 bits, diseñados para manejar cálculos de alta velocidad y operaciones de E/S rápidas. Comparten una arquitectura común y un conjunto de instrucciones con otros miembros de la familia MCS-196. Las aplicaciones típicas de los productos MCS-96 incluyen control de lazo cerrado y procesamiento digital de señales.

La figura B-1 es el diagrama de bloques de un microcontrolador 8XC196KC/KD. Cada dispositivo tiene una unidad central de proceso (CPU) de 16 bits conectada con un controlador de interrupciones y un controlador de memoria a través de un bus de CPU de 16 bits. Una extensión de este bus conecta la CPU a los módulos de periféricos internos. Además, un bus de CPU de 8 bits transfiere bytes de instrucción del controlador de memoria al registro de instrucción en la Unidad Aritmético-Lógica de Registros (RALU).

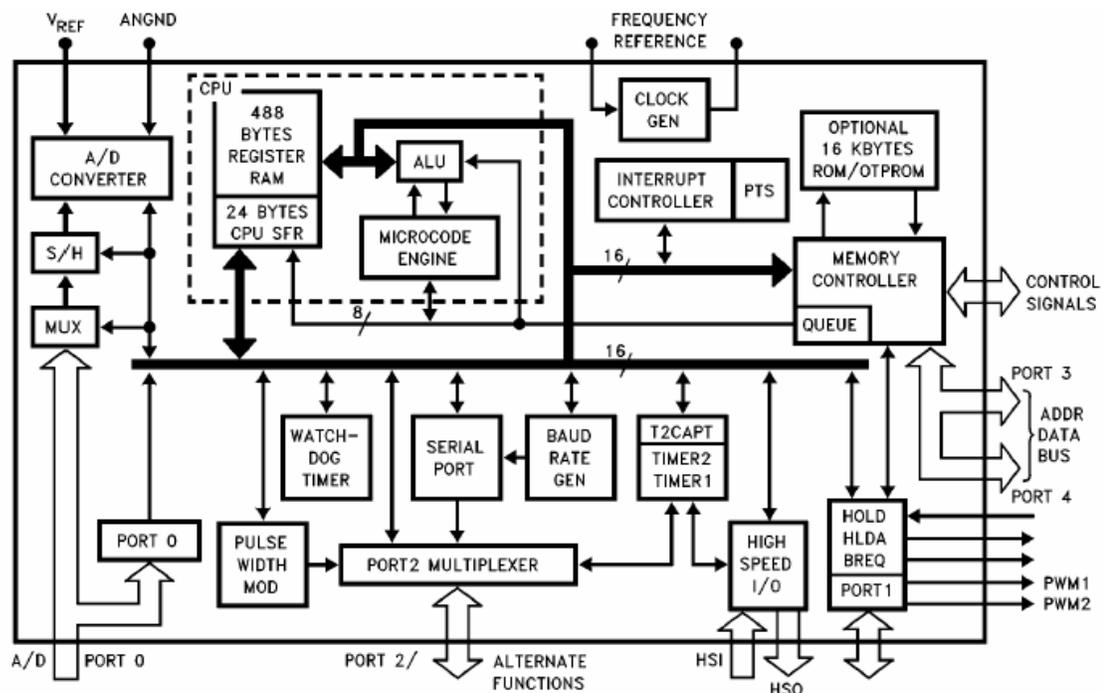


Figura 55. Diagrama en bloques del 8XC196KC/KD

B.1 NÚCLEO DEL 8XC196KC/KD

El núcleo del 8XC196KC/KD consiste de una unidad Central de proceso /CPU), un controlador de memoria, y un controlador de interrupciones. La CPU contiene una unidad Aritmético/Lógica de Registros (RALU) y un Fichero de Registros.

La CPU se controla por el motor de microcódigo, el cual comanda la RALU para realizar operaciones usando operandos tipo *byte*, *word* o *double* de cualquiera de los 256 bytes inferiores del Fichero de Registros o a través de una ventana que accese directamente a la parte superior del Fichero de Registros. Las instrucciones de la CPU se mueven de la cola de instrucciones de cuatro bytes en el controlador de memoria al registro de instrucción en la RALU.

El Fichero de Registros se divide en fichero superior e inferior. La parte inferior contiene 24 bytes de registros de funciones especiales (SFR) y un espacio 232 bytes de RAM de registros de propósito general, la cual se accesa por bytes, *“word”*s o doubles-*“word”*s. La RALU accede en forma diferente al Fichero de Registros superior o inferior. El archivo Fichero de Registros inferior se direcciona directamente usando el modo de direccionamiento a registros, mientras que para la parte superior sólo puede usarse este modo cuando se han habilitado las ventanas verticales. Esta técnica mapea bloques de memoria del fichero superior de registros en una ventana localizada en el Fichero de Registros inferior.

B.1.1 Unidad aritmético/lógica de registros (RALU)

La RALU contiene: una unidad aritmético/Lógica (ALU) de 17 bits, el registro de estado del programa (PSW), el contador maestro del programa (PC), el registro de instrucciones, el motor de microcódigo, un registro de constantes, un selector de registros de 3 bits, un contador de lazo, y tres registros temporales (la palabra superior, la palabra inferior y un segundo registro). Todos los registros, excepto los registros seleccionados por los tres bits son de 16 o 17 bits (16 bits más una extensión de signo). Algunos de estos pueden reducir la carga de trabajo de la ALU realizando operaciones simples.

El PSW contiene un bit (PSW.1) para habilitar o deshabilitar globalmente el servicio de todas las interrupciones enmascarables, un bit (PSW.2) para habilitar o deshabilitar globalmente el Servidor de Transferencias Periféricas (PTS) y seis banderas booleanas que reflejan el estado del programa de usuario.

El PC contiene la dirección de la siguiente instrucción y carga automáticamente la dirección de la siguiente instrucción secuencial.

Los registros de palabra inferior y superior se usan en conjunto para las instrucciones de 32 bits y como registros temporales para muchas instrucciones. Como tienen su propia lógica de desplazamiento, la RALU los usa para operaciones que requieren desplazamientos lógicos. El registro inferior de palabra se usa solo en desplazamientos de cantidades tipo *double-*

"word", El registro superior de palabra se usa siempre que se lleve a cabo un desplazamiento. El contador de 6 bits se usa para contar los saltos repetitivos.

El registro de segundo operando almacena el segundo operando cuando el motor de microcódigo ejecuta instrucciones de dos operandos.

La RALU ejecuta muchos cálculos sin usar un acumulador. En lugar de eso, opera directamente en el Fichero de Registros inferior, el cual esencialmente provee 256 acumuladores. Debido a que los datos no fluyen a través de un solo acumulador el código se ejecuta más rápido y eficientemente.

B.1.2 Controlador de memoria

La RALU se comunica con toda la memoria, excepto el Fichero de Registros, usando el controlador de memoria. El controlador de memoria contiene registros de direcciones y de datos, una cola de instrucciones de 4 bytes, un contador de programa esclavo y un controlador de bus. El controlador de bus maneja el bus de memoria el cual consiste del bus OTP ROM interno, el bus RAM interno, y el bus de datos / direcciones externo.

B.1.3 El controlador de interrupciones

El controlador de interrupciones programable tiene un esquema de prioridad de *hardware* que puede modificarse por *software*. Estas interrupciones son atendidas por rutinas de servicio escritas por el usuario. Además el 8XC196KC/KD provee un procesador de interrupciones microcodificado por *hardware*, el Servidor de Transferencias Periféricas (PTS). El PTS responde a las interrupciones con un conjunto de acciones fijas, tales como transferencia de datos, inicio de conversión A/D, lectura de la FIFO del módulo de Entradas de Alta Velocidad (HSI) y carga de eventos en el módulo de Salidas de Alta Velocidad (HSO). El PTS completa estas tareas mucho más rápido de lo que puede hacerlo el *software* de servicio de interrupciones estándar. Puede atender todas las interrupciones excepto las de NMI, TRAP y código no implementado. Los ciclos del PTS tienen una mayor prioridad que las

interrupciones estándar y pueden suspender temporalmente las rutinas de servicio de interrupción.

B.2 PERIFÉRICOS INTERNOS

El 8XC196KC/KD tiene módulos periféricos internos que suministran funciones especiales para una variedad de aplicaciones.

B.2.1 Puertos de E/S estándar

El 8XC196KC/KD tiene cinco puertos de E/S de 8 bits. El puerto 0 es un puerto de entrada y también la entrada analógica para el conversor A/D. El puerto 1 es quasi-bidireccional, sus pines se multiplexan con señales del bus de control y dos salidas del Modulador de Ancho de Pulso (PWM). El puerto 2 contiene tres tipos de líneas: quasi-bidireccionales, de entrada y de salida; y comparte sus líneas con otras funciones del microcontrolador. Los puertos 3 y 4 son puertos bidireccionales de colector abierto y comparten sus pines con el bus de direcciones/datos.

B.2.2 Puerto E/S serie

El puerto de E/S serie es un puerto asíncrono/síncrono que incluye un Receptor y Transmisor Asíncrono Universal (UART). El UART tiene un modo asíncrono (Modo 0) y tres modos asíncronos (Modos 1, 2 y 3). Los modos asíncronos son *full-duplex*. El receptor en el 8XC196KC/KD tiene doble *buffer*, de modo que puede empezar la recepción de un segundo byte antes de que sea leído el primero. La transmisión también tiene doble *buffer* y puede generar transmisiones continuas.

B.2.3 La unidad de entradas/salidas de alta velocidad (HSI/HSO)

Las unidad HSI/HSO contiene cuatro módulos periféricos individuales: Timer1, Timer2, Entrada de Alta Velocidad (HSI) y Salida de Alta Velocidad (HSO). Estos módulos forman un sistema flexible de entradas y salidas basado en contadores.

Timer 1 y 2

El Timer 1 es un temporizador que corre libremente y se incrementado cada 8 estados de tiempo. Es la base de tiempo para el módulo de entradas de alta velocidad (HSI) y opcionalmente para el módulo de salidas de alta velocidad (HSO).

El Timer 2 cuenta tanto transiciones positivas como negativas. Puede usarse como base de tiempo para el módulo de Salidas de Alta Velocidad, como un contador ascendente/descendente o como un temporizador extra.

Unidad de entradas de alta velocidad (HSI)

El módulo HSI puede grabar tiempos de eventos externos con una resolución de 8 estados de tiempo. Puede monitorear cuatro entradas independientemente configurables y capturar el valor del Timer 1 cuando se produce un evento. Los cuatro tipos de eventos que pueden disparar las capturas son: flancos de subida, flancos de bajada, flancos de subida o bajada, o cada 8 flancos de subida. El módulo HSI puede almacenar hasta 8 entradas (valores del Timer 1), siete en la FIFO de siete niveles y uno en el registro de mantenimiento del HSI.

Unidad de salidas de alta velocidad (HSO)

El módulo HSO puede disparar eventos en tiempos específicos basado en Timer 1 o Timer 2. Estos eventos programables incluyen inicio de conversión A/D, limpieza (reset) del Timer 2, generación de hasta cuatro Timer por *software* y puesta a 1 (*set*) o a 0 (*clear*) de una o mas de las seis líneas del HSO. El módulo HSO almacena los eventos pendientes en un archivo de

memoria de acceso por contenido (CAM). Esta memoria almacena hasta 8 comandos. Cada comando especifica un tiempo de acción, la naturaleza de la acción, si ocurrirá una interrupción, y si se usó el Timer 1 o el Timer 2 como referencia de tiempo.

B.2.4 Conversor analógico-digital

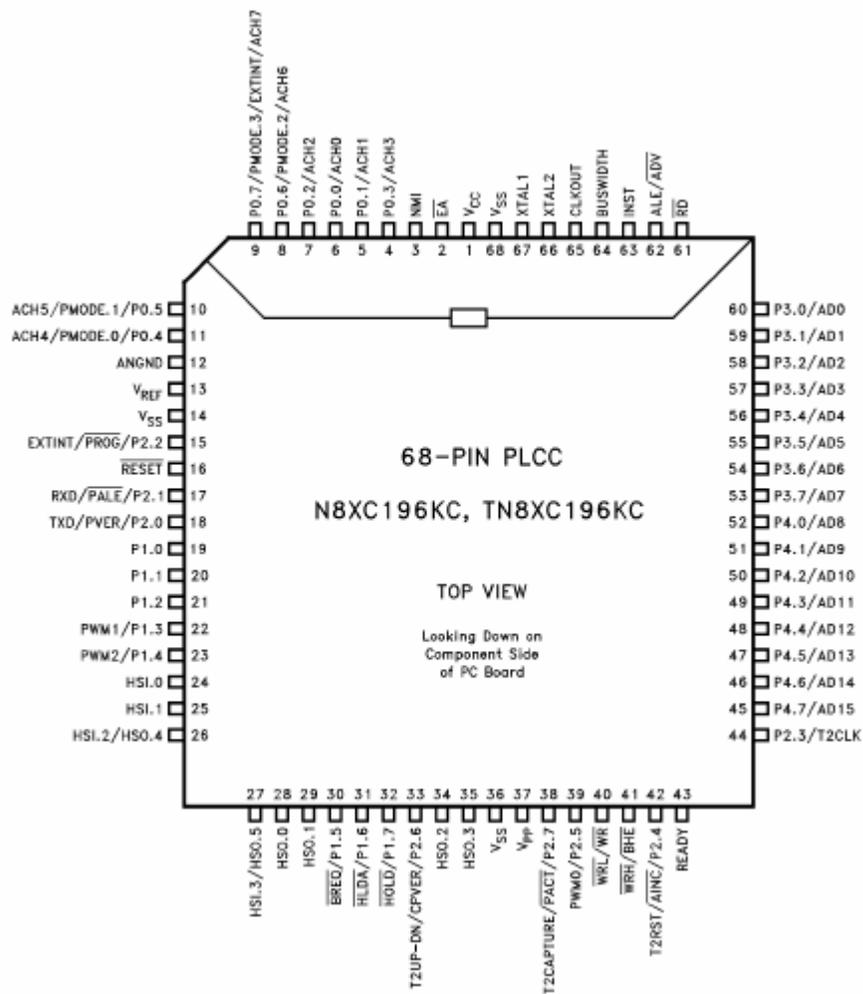
El conversor A/D transforma una entrada de tensión en su equivalente digital. La resolución es de 8 o 10 bits; los tiempos de muestreo y conversión son programables. El modo SCAN A/D del PTS facilita la automatización de la conversión A/D y el almacenamiento de los resultados. Los principales componentes del Conversor A/D son el circuito de muestreo y retención, un multiplexor de 8 canales, y un conversor analógico/digital de aproximaciones sucesivas de 8-10 bits.

B.2.5 Modulador de ancho de pulso (PWM)

El PWM tiene tres módulos. La forma de onda de cada salida es un pulso de ciclo de trabajo variable, el cual ocurre cada 256 o 512 estados de tiempo según se haya programado. Cuando se filtra el PWM puede producir un nivel de DC que cambia en 256 pasos variando el ciclo de trabajo.

B.2.6 Watchdog-timer (temporizador perro-guardián)

El *Watchdog Timer* es un temporizador interno que lleva a *reset* el dispositivo si el *software* deja de operar apropiadamente.



Numero	Nombre	Descripción
1	Vcc	Alimentación principal positiva de + 5 V
2	EA	(<i>External Acces</i>) Cuando está en alto TTL el acceso se dirige a la memoria integrada en el propio chip y cuando es bajo se dirige a las direcciones de memoria externa.
3	NMI	(<i>Non Maskable Interrupt</i>)
4-11	P0.0-P0.7 CHO-CH7	Puerto de 8 bits de alta impedancia de entrada. Pueden usarse como entradas digitales o como entradas del convertor A/D integrado en el microcontrolador.
12	ANGND	Referencia de tierra del convertidor A/D. Normalmente conectada a la patilla VSS.
13	VREF	Tensión de referencia para el convertor A/D y para el puerto 0.
14,36, 68	VSS	Potencial más bajo del circuito
15	EXTINT/P2.2	Fuente de interrupción externa o bit 2 del puerto 2 según configuración del registro IOC1.
16	RESET	Entrada de señal de reiniciación del Microcontrolador.

17	RXD/P2.1	Entrada de datos serie RXD o pin 1 del puerto 2.
18	TXD/P2.0	Salida de datos serie RXD o pin 0 del puerto 2.
19,20,21	P1.0-3	Pines cuasibidireccionales del puerto 1.
22	PWM1/P1.3	
23	PWM2/P1.4	
24,25	HSI0 y HSI1	Líneas de entrada de alta velocidad (<i>High Speed Input o HSI</i>)
26	HSI2/HSO4	Completan las cuatro entradas HSI y presentan cuatro de las seis líneas de salida de alta velocidad (High SpeedOutput HSO)
27	HSI3/HSO5	
28 y29	HSO6 y HSO6	
30,31,32	BREQ/P1.5 HLDA/P1.6 HOLD/P1.7	P1.5, P1.6 y P1.7 forman parte del puerto E/S cuasibidireccional. Las señales BREQ, HLDA y HOLD corresponden al protocolo de intercambio entre buses cuya finalidad es permitir a otros dispositivos el control del bus. BREQ salida de aviso de retención del bus que se activa cuando el microcontrolador tiene pendiente un ciclo de acceso a la memoria externa. HLDA salida de reconocimiento de petición y liberación del bus. HOLD entrada de petición de control del bus.
33	P2.6 /T2UP-DN	Puede configurarse como entrada de pulsos del Timer2 para el recuento ascendente /descendente de pulsos o como el puerto P2.6
34,35	HSO2 y HSO3	Completan las salidas de alta velocidad HSO.
37	VPP	Conexión para el modo de bajo consumo (<i>Powerdown</i>). También es la patilla de entrada de los pulsos de programación de la EPROM integrada al microcontrolador. Si no se utiliza ninguna de estas funciones, deberá conectarse a VCC.
38	P2.7/ T2CAPTURE	Bit cuasibidireccional del puerto P2, además permite capturar el valor del registro TIMER2 en el registro T ² CAPTURE en el instante en que se produce una pantalla.
39	PWM0/P2.5	Bit de salida exclusiva del puerto P2 o señal de salida de la señal PWM0.
40	WRL/WR	Señal de salida que se activa en bajo sólo en las operaciones de escritura en memoria externa.
41	BHE/WRH	Señal de salida válida sólo durante el ciclo de escritura externa con bus de datos 16 bits.
42	T2RST/P2.4	Como T2RST puede reiniciar el TIMER2 externamente.
43	READY	Alarga los ciclos de lectura o escritura en memoria con el fin de poder acceder a memorias lentas, dinámicas o para compartir el bus.
44	T2CLK/P2.3	Puede estar compartida con la entrada de alta velocidad HSI.1, la entrada digital o la entrada del generador de baudios para las comunicaciones.
45 – 60	Puertos 4 y 3 AD15 – AD0	Algunas veces pueden ser puertos bidireccionales con salidas a drenador abierto y otras forman el bus del sistema unido al controlador de memoria para acceder a la memoria externa.
61	RD	Salida activa para la lectura en memoria externa solamente.
62	ALE/ADV	Selección de autorización de dirección válida según dos opciones configuradas por CCR.3: permiso para bloquear la dirección en el latch ALE (<i>Adress Latch Enable</i>) o habilitar la Dirección de Salida Válida ADV (<i>Adress Valid Enable</i>).
63	INST	Señal de salida que se sitúa en alto en los ciclos de búsqueda de instrucción durante los accesos a la memoria externa y en bajo cuando efectúa lectura o escritura de un dato. Sólo se activa en accesos a memoria externa.

64	BUSWIDTH	Entrada para selección de ancho del bus (8/16 bits).
65	CLKOUT	Salida del generador delbreloj interno. La frecuencia de CLKOUT es ½ de la frecuencia del oscilador interno.
66	XTAL2	Salida del oscilador inversor.
67	XTAL1	Entrada al oscilador inversor.

B.3 INTRODUCCIÓN AL SOFTWARE DEL 8XC196KC/KD

B.3.1 Operandos

La muestra Tabla 20 el conjunto de datos que opera en el microcontrolador.

Tanto en los operandos BYTE como *“WORD”* las operaciones lógicas se realizan bit a bit. El octeto menos significativo de los operandos tipo *“WORD”* e INTEGER está situado en dirección par, y los operandos DOUBLE-*“WORD”* e INTEGER deben estar alineados en una direcciones divisibles por 4.

Tabla 20. Tipos de operandos

Tipo	Bits	Rango	Operaciones	Comentario
BYTE	8	0 → 256	Arit/Lógica	El resultado se interpreta en módulo 256
<i>“WORD”</i>	16	0 → 65 536	Arit/Lógica	El resultado se interpreta en módulo 65 536
SHORT-INTEGER	8	-128 → +127	Aritméticas	Resultados fuera de rango, activan elindicador de desbordamiento.
INTEGER	16	-32 768 → + 32767	Aritméticas	
BIT	1	Valores booleanos	Verificar	El sistema no admite direccionamiento directo de bits.
DOUBLE- <i>“WORD”</i>	32	0 → 4 294 967 295	Normalización Multiplicación División Comparaciones	Deben formar parte del Fichero de registros y estar alineados en una dirección divisible por cuatro.
LONG-INTEGER	32	- 2 147 483 648 → + 2 147 483 647	Normalización Multiplicación División Comparaciones	Deben formar parte del Fichero de registros y estar alineados en una dirección divisible por cuatro.

B.3.2 Modos de direccionamiento

Tabla 21. Modos de direccionamiento

Tipo	Formato	Comentario
Directo	ADD R1, R2,R3	Permite acceder a los 256 bytes de los registros internos. El registro utilizado se selecciona a través de un campo de 8 bits, localizado dentro de la instrucción
Inmediato	ADD R1, #340 H	Permite tomar un operando directamente del campo de la instrucción.
Indirecto	ADDB R1L,R1H,[R2] LD R1, [R2]	Utilizada para acceder a un operando, cuya dirección es un variable "WORD" definida dentro del Fichero de Registros.
Indirecto con auto-incremento	ADDB R1L,R1H,[R2]+ LD R1, [R2]+	Excepto al indirecto, excepto que el registro "WORD" que contiene la dirección indirecta se incrementa después utilizada para direccionar el operando.
Indexado corto / largo	ADDB R1L,R1H[R2]	Se utiliza cuando parte de una dirección se conoce en tiempo de compilación y parte en tiempo de ejecución. Para el direccionamiento indexado corto se especifica una expresión de 8 bits como desplazamiento mientras que para el largo el desplazamiento es de 16 bits.
De registro cero	ADD R1, 1234[0]	
De registro a puntero de fila	PUSH [SP] LD R1, 2[SP]	

B.3.3 Conjunto de instrucciones

Las instrucciones de MCS-96 incluyen un conjunto completo de operaciones aritméticas y lógicas para datos de 8 y 32 bits (*BYTE* y "WORD"). Soporta datos de 32 bits (*DOUBLE-WORD* o *LONG-INTEGER*) sólo como operandos en operaciones de desplazamiento, como dividendos en operaciones de división de 32 por 16 bits y como productos en operaciones de multiplicación de 16 por 16 bits. Las demás operaciones en 32 bits pueden programarse combinando operaciones de 16 bits. El conjunto de instrucciones también permite conversiones entre tipos de datos.

A continuación se presenta un resumen del conjunto de instrucciones, clasificandolas según la función que realizan. En la Tabla 22 se muestran los acrónimos que se usan para definir el formato de las instrucciones.

Tabla 22. Acrónimos

	Descripción
breg	Registro tipo BYTE del Fichero de Registros (8 bits)
wreg	Registro tipo "WORD" del Fichero de Registros (16 bits)
lreg	Registro de 32 bits del Fichero de Registros (32 bits)
baop	Operando tipo BYTE referenciado por uno de los modos de direccionamiento
waop	Operando tipo "WORD" referenciado por uno de los modos de direccionamiento
cadd	Dirección de código del programa
bitno	Campo de tres bits dentro del código de operación que selecciona uno de los 8 bits de un byte

Tabla 23. Instrucciones de transferencia de datos

Formato	Operación
LD wreg,waop	Wreg \leftarrow (waop)
LDB breg,baop	Breg \leftarrow baop)
ST wreg,waop	(wreg) \rightarrow waop
STB breg,baop	(breg) \rightarrow baop
XCH wreg,waop	(wreg) \leftrightarrow (waop)
XCHB	(breg) \leftrightarrow (baop)
PUSH waop	SP \leftarrow SP-2 (SP) \leftarrow (waop)
PUSHA	SP \leftarrow SP-2 ; (SP) \leftarrow PSW/INT_MASK ; PSW/INT_MASK \leftarrow 0; SP \leftarrow SP-2 ; (SP) \leftarrow INT_MASK_1/WSR ; INT_MASK_1 \leftarrow 0;
PUSHF	SP \leftarrow SP-2 ; (SP) \leftarrow PSW; PSW \leftarrow 0;
POP waop	(waop) \rightarrow SP; SP \leftarrow SP+2
POPA	INT_MASK1_/WSR \leftarrow SP; SP \leftarrow SP+2 ; PSW/INT_MASK \leftarrow SP; SP \leftarrow SP+2 ;
POPF	PSW/INT_MASK \leftarrow SP; SP \leftarrow SP+2 ;
EXTB wreg	SI ((byte_bajo wreg) \leftarrow 80H) ENTONCES byte_alto_wreg \leftarrow 0 SINO byte_alto_wreg \leftarrow 0FFH
EXT lreg	SI (("word" _bajo lreg) \leftarrow 8000H) ENTONCES "word" _alto_lreg \leftarrow 0 SINO "word" _alto_lreg \leftarrow 0FFFFH
LDBSE wreg,baop	byte_bajo wreg) \leftarrow baop SI ((baop) \leftarrow 80H) ENTONCES byte_alto_wreg \leftarrow 0

Formato	Operación
	SINO byte_alto wreg \leftarrow 0FFH
LDBZE wreg,baop	byte_bajo wreg \leftarrow baop byte_alto_wreg \leftarrow 0

Tabla 24. Instrucciones aritméticas

Formato	Operación
ADD wreg, waop wreg1, wreg2, waop	wreg \leftarrow (wreg) + (waop) wreg1 \leftarrow (wreg2) + (waop)
ADDB breg, baop breg1, breg2, baop	breg \leftarrow (breg) + (baop) breg1 \leftarrow (breg2) + (baop)
ADDC wreg, waop	Wreg \leftarrow (wreg) + (waop) + C
ADDCB breg, baop	breg \leftarrow (breg) + (baop) + C
SUB wreg, waop wreg1, wreg2, waop	wreg \leftarrow (wreg) - (waop) wreg1 \leftarrow (wreg2) - (waop)
SUBB breg, baop breg1, breg2, baop	breg \leftarrow (breg) - (baop) breg1 \leftarrow (breg2) - (baop)
SUBC wreg, waop	Wreg \leftarrow (wreg) - (waop) - (1- C)
SUBCB breg, baop	breg \leftarrow (breg) - (baop) - (1- C)
INC wreg	Wreg \leftarrow wreg + 1
INCB breg	Breg \leftarrow breg + 1
DEC wreg	Wreg \leftarrow wreg - 1
DECB breg	Breg \leftarrow breg - 1
NEG wreg	Wreg \leftarrow (wreg) * -1
NEGB breg	Breg \leftarrow (breg) * -1
MUL lreg, waop lreg, wreg, waop	lreg \leftarrow (lreg) * (waop) lreg \leftarrow (wreg) * (waop)
MULU lreg, waop lreg, wreg, waop	lreg \leftarrow (lreg) * (waop) lreg \leftarrow (wreg) * (waop)
MULB wreg, baop wreg, breg, baop	wreg \leftarrow (wreg) * (waop) wreg \leftarrow (breg) * (waop)
MULUB wreg, baop wreg, breg, baop	wreg \leftarrow (wreg) * (waop) wreg \leftarrow (breg) * (waop)
DIV lreg, waop	lreg_L \leftarrow (lreg) / (waop) lreg_H \leftarrow (lreg) MOD (waop)
DIVU lreg, waop	lreg_L \leftarrow (lreg) / (waop) lreg_H \leftarrow (lreg) MOD (waop)
DIUVB wreg, baop	wreg_L \leftarrow (wreg) / (waop) wreg_H \leftarrow (wreg) MOD (waop)
CMP wreg,waop	(wreg) - (waop)
CMPB breg,baop	(breg) - (baop)
CMPBL lreg1, lreg2	(lreg1) - (lreg2)

Tabla 25. Instrucciones lógicas

Formato	Operación
AND wreg, waop wreg1, wreg2, waop	wreg \leftarrow (wreg) AND (waop) wreg1 \leftarrow (wreg2) AND (waop)
ANDB breg, baop breg1, breg2, baop	breg \leftarrow (breg) AND (baop) breg1 \leftarrow (breg2) AND (baop)
OR wreg, waop wreg1, wreg2, waop	wreg \leftarrow (wreg) OR (waop) wreg1 \leftarrow (wreg2) OR (waop)
ORB breg, baop breg1, breg2, baop	breg \leftarrow (breg) OR (baop) breg1 \leftarrow (breg2) OR (baop)
XOR wreg, waop wreg1, wreg2, waop	wreg \leftarrow (wreg) XOR (waop) wreg1 \leftarrow (wreg2) XOR (waop)
XORB breg, baop breg1, breg2, baop	breg \leftarrow (breg) XOR (baop) breg1 \leftarrow (breg2) XOR (baop)
NOT wreg	Wreg \leftarrow NOT(wreg)
NOTB breg	Breg \leftarrow NOT(breg)

Tabla 26. Instrucciones de desplazamiento y puesta a cero

Formato	Operación
SHL wreg, #count wreg, breg	Temp \leftarrow (count/breg) MIENTRAS (Temp < > 0) C \leftarrow bit más significativo (wreg) wreg \leftarrow (wreg) *2 Temp \leftarrow Temp -1 FIN-MIENTRAS
SHLB breg, #count breg, breg	Igual que el anterior con operandos de 8 bits
SHLL lreg, #count lreg, breg	Igual que los anteriores con operandos de 32 bits
SHR wreg, wreg, #count wreg, breg	Temp \leftarrow (count/breg) MIENTRAS (Temp < > 0) C \leftarrow bit menos significativo (wreg) wreg \leftarrow (wreg) /2 Temp \leftarrow Temp -1 FIN-MIENTRAS
SHRB breg, #count breg, breg	Igual que el anterior con operandos de 8 bits
SHRL lreg, #count lreg, breg	Igual que el anterior con operandos de 32 bits
SHRA wreg, #count wreg, breg	Temp \leftarrow (count/breg) MIENTRAS (Temp < > 0)

Formato	Operación
	$C \leftarrow \text{bit menos significativo (wreg)}$ $wreg \leftarrow (wreg) / 2^{22}$ $Temp \leftarrow Temp - 1$ FIN-MIENTRAS
SHRAB breg, #count breg, breg	Igual que el anterior con operandos de 8 bits
SHRAL lreg, #count lreg, breg	Igual que el anterior con operandos de 32 bits
NORML lreg, breg	$Count \leftarrow 0$ MIENTRAS ((bit mas significativo lreg = 0) AND (count <> 31)) $C \leftarrow \text{bit menos significativo (wreg)}$ $lreg \leftarrow (lreg) * 2$ $count \leftarrow count + 1$ FIN-MIENTRAS
SHL wreg	$wreg \leftarrow 0000H$
CLRB breg	$breg \leftarrow 00 H$

Tabla 27. Instrucciones de movimiento de bloques

Formato	Operación
BMOV lreg, wreg,	$count \leftarrow wreg$ $FUENTE \leftarrow lreg_L$ $DESTINO \leftarrow lreg_H$ MIENTRAS (count < > 0) $[DESTINO] + \leftarrow [FUENTE] +$ $count \leftarrow count - 1$ FIN-MIENTRAS
BMOV lreg, wreg,	Igual que BMOV excepto que es interrumpible

Tabla 28. Instrucciones de salto incondicional

Formato	Operación
SJMP cadd	$PC \leftarrow (PC) + desp (11 \text{ bits})$
LJMP cadd	$PC \leftarrow (PC) + desp (16 \text{ bits})$
BR cadd ; Directo	$PC \leftarrow (PC) + desp (11 \text{ o } 16 \text{ bits})$

²² División sin signo

Formato	Operación
BR [wreg] ;Indirecto	PC ← (wreg)
TIJMP wreg, [wreg],#byte T_BASE,INDEX,INDEX_MASK	[INDEX] AND [INDEX_MASK] = OFFSET (2*OFFSET) + [T_BASE] = DEST PC ← DEST
SCALL cadd	SP ← (SP) – 2 (SP) ← PC PC ← (PC) + desp (11 bits)
LCALL cadd	Igual a SCALL con desplazamiento de 16 bits
RET	PC ← (SP) SP ← (SP) + 2

Tabla 29. Instrucciones de salto condicional con CMP

	Formato	Operación	Formato	Operación
Igual	JE cadd	SI Z = 1 , ENTONCES PC ← (PC) + desp	JE cadd	SI Z = 1 , ENTONCES PC <- (PC) + desp
distinto	JNE cadd	SI Z = 0 , ENTONCES PC ← (PC) + desp	JNE cadd	SI Z = 0 , ENTONCES PC <- (PC) + desp
menor	JLT cadd	SI N = 1 , ENTONCES PC ← (PC) + desp	JNC cadd	SI C = 0 , ENTONCES PC <- (PC) + desp
menor o igual	JLE cadd	SI ((N = 1) OR (Z = 1)) , ENTONCES PC ← (PC) + desp	JNH cadd	SI ((C = 0) OR (Z = 1)), ENTONCES PC <- (PC) + desp
mayor o igual	JGE cadd	SI N = 0 , ENTONCES PC ← (PC) + desp	JC cadd	SI C = 1 , ENTONCES PC <- (PC) + desp
mayor	JGT cadd	SI ((N = 0) AND (Z = 0)) , ENTONCES PC ← (PC) + desp	JH cadd	SI ((C = 1) AND (Z= 0)), ENTONCES PC <- (PC) + desp

Tabla 30. Instrucciones de salto condicional según los indicadores

Formato	Operación
JE cadd	SI Z = 1 , ENTONCES PC ← (PC) + desp
JNE cadd	SI Z = 0 , ENTONCES PC ← (PC) + desp
JC cadd	SI C = 1 , ENTONCES PC ← (PC) + desp
JNC cadd	SI C = 0 , ENTONCES PC ← (PC) + desp
JV Vadd	SI V = 1 , ENTONCES PC ← (PC) + desp
JNV cadd	SI V = 0 , ENTONCES PC ← (PC) + desp
JST cadd	SI ST = 1 , ENTONCES PC ← (PC) + desp
JNST cadd	SI ST = 0 , ENTONCES PC ← (PC) + desp
JVT cadd	SI VT = 1 , ENTONCES PC ← (PC) + desp
JNVT cadd	SI VT = 0 , ENTONCES PC ← (PC) + desp

Tabla 31. Instrucciones de salto condicional según bit

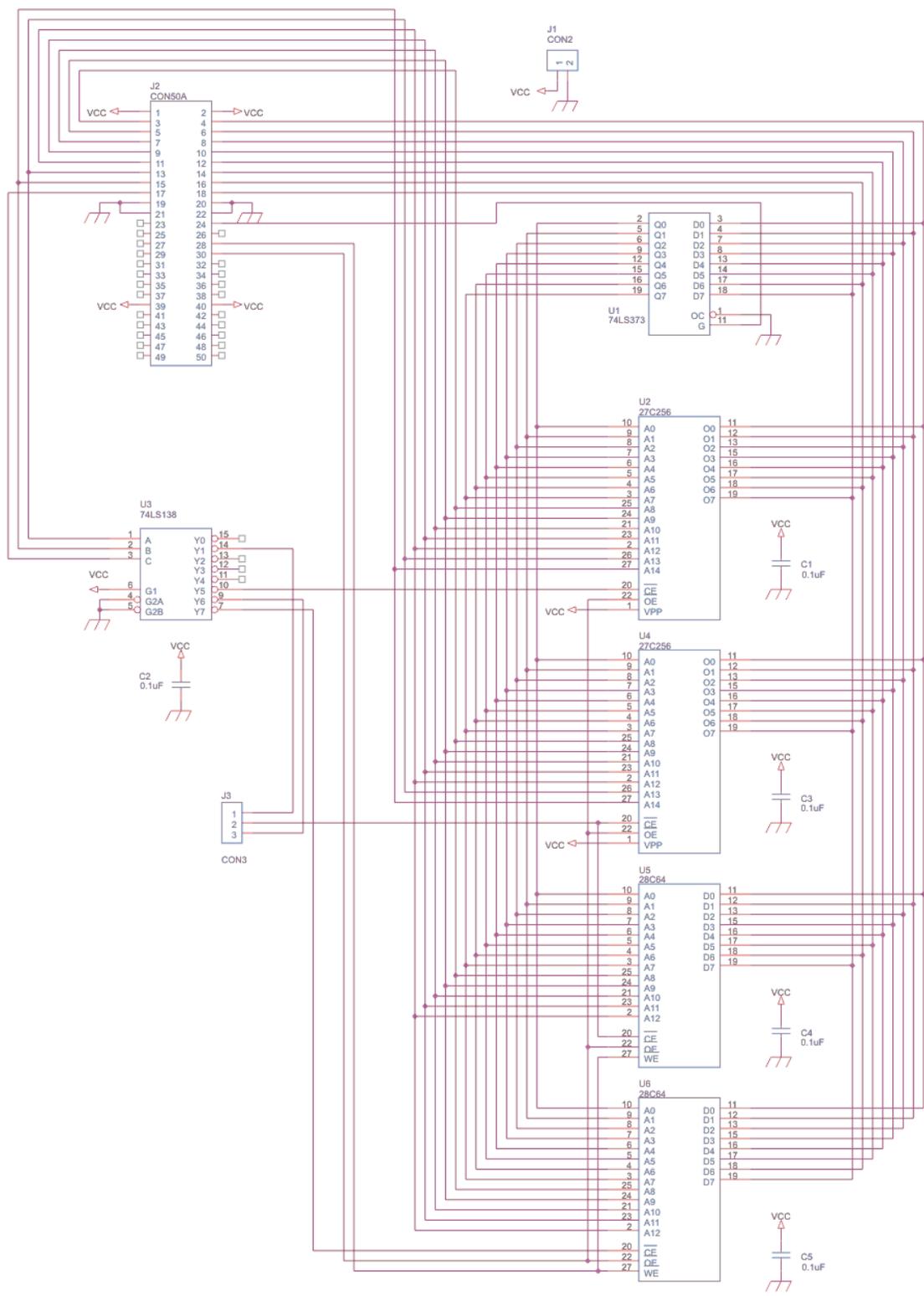
Formato	Operación
JBS breg,bitno,cadd	SI bitno = 1 , ENTONCES $PC \leftarrow (PC) + desp$
JBC breg,bitno,cadd	SI bitno = 0 , ENTONCES $PC \leftarrow (PC) + desp$

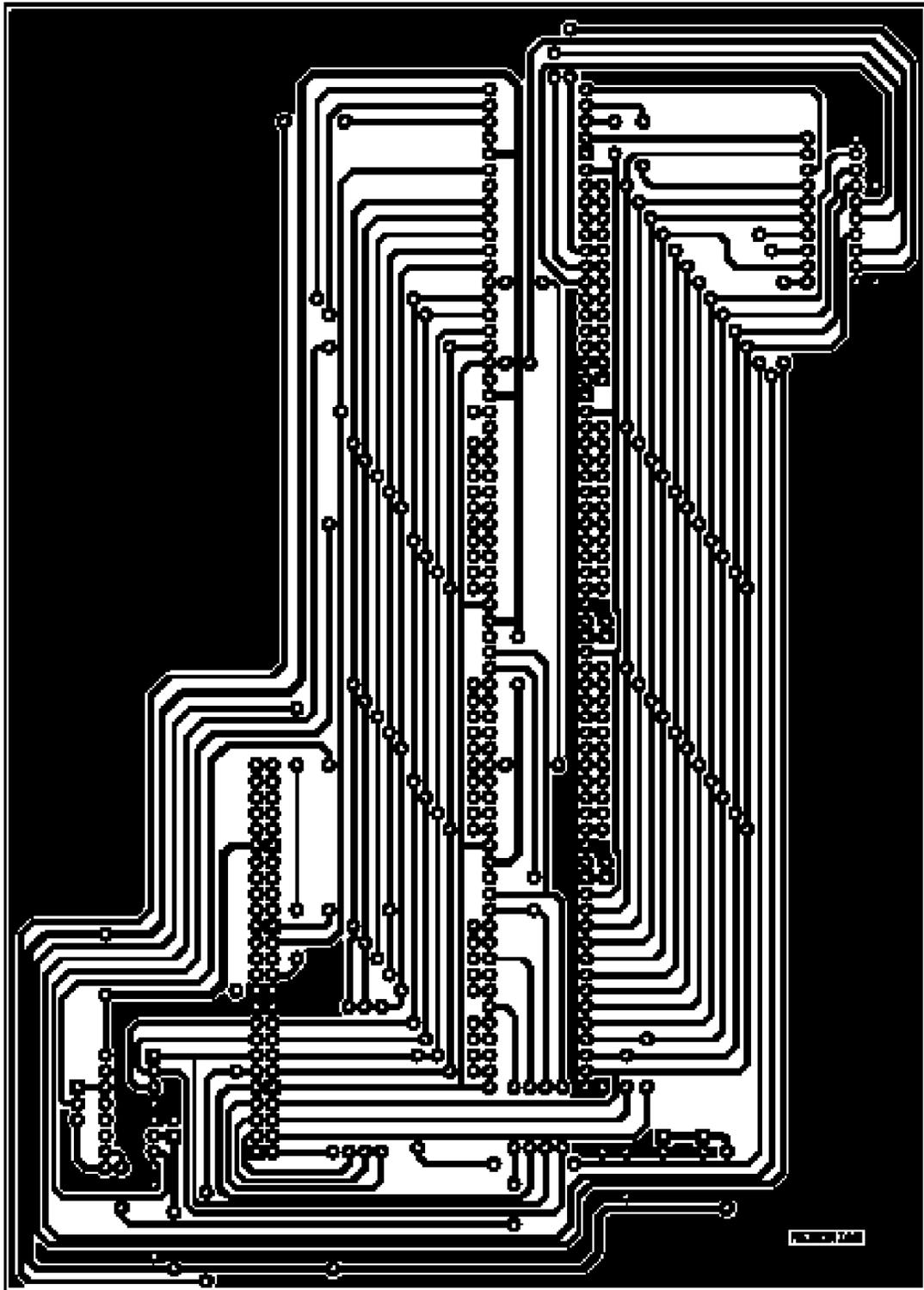
Tabla 32. Instrucciones de salto condicional (bucles)

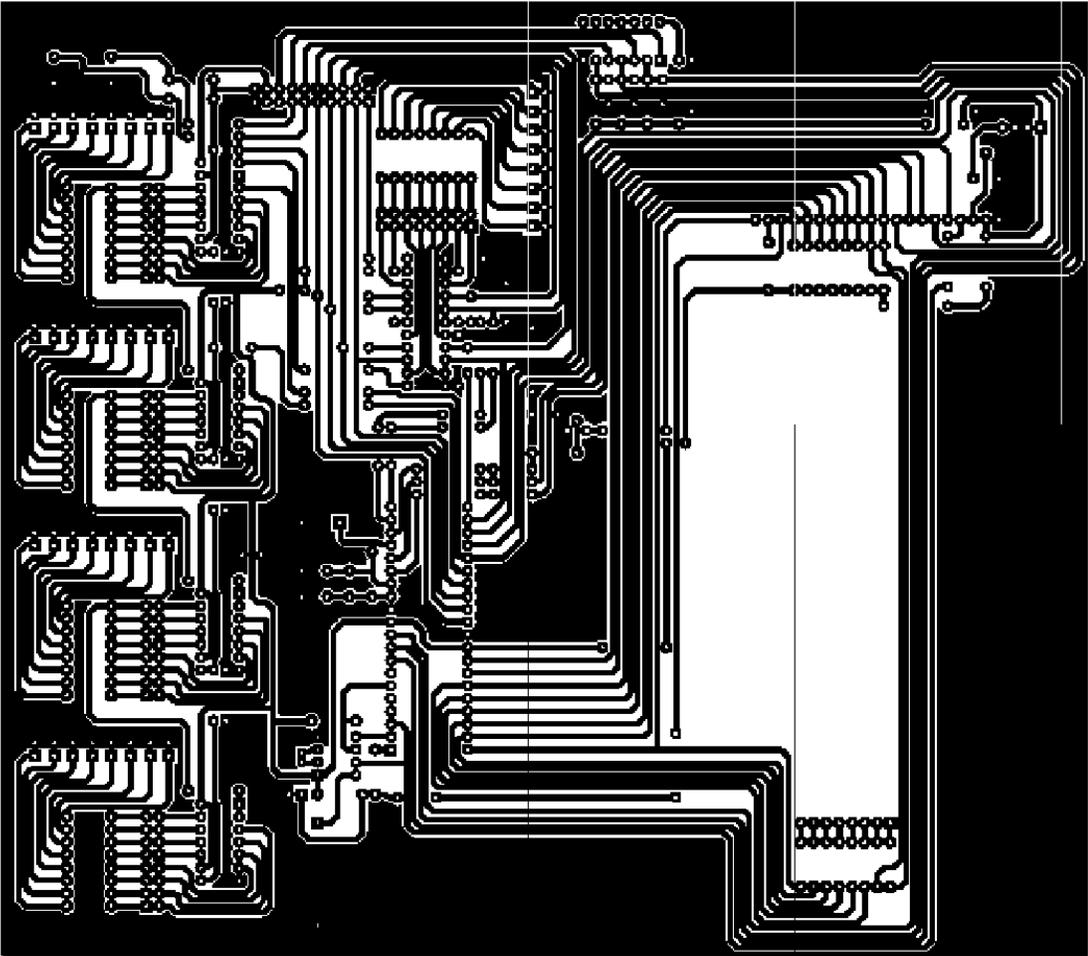
Formato	Operación
DJNZ breg, cadd	SI $breg \leftarrow (breg) - 1$ SI $breg \neq 0$, ENTONCES $PC \leftarrow (PC) + desp$
DJNZW wreg, cadd	SI $wreg \leftarrow (wreg) - 1$ SI $wreg \neq 0$, ENTONCES $PC \leftarrow (PC) + desp$

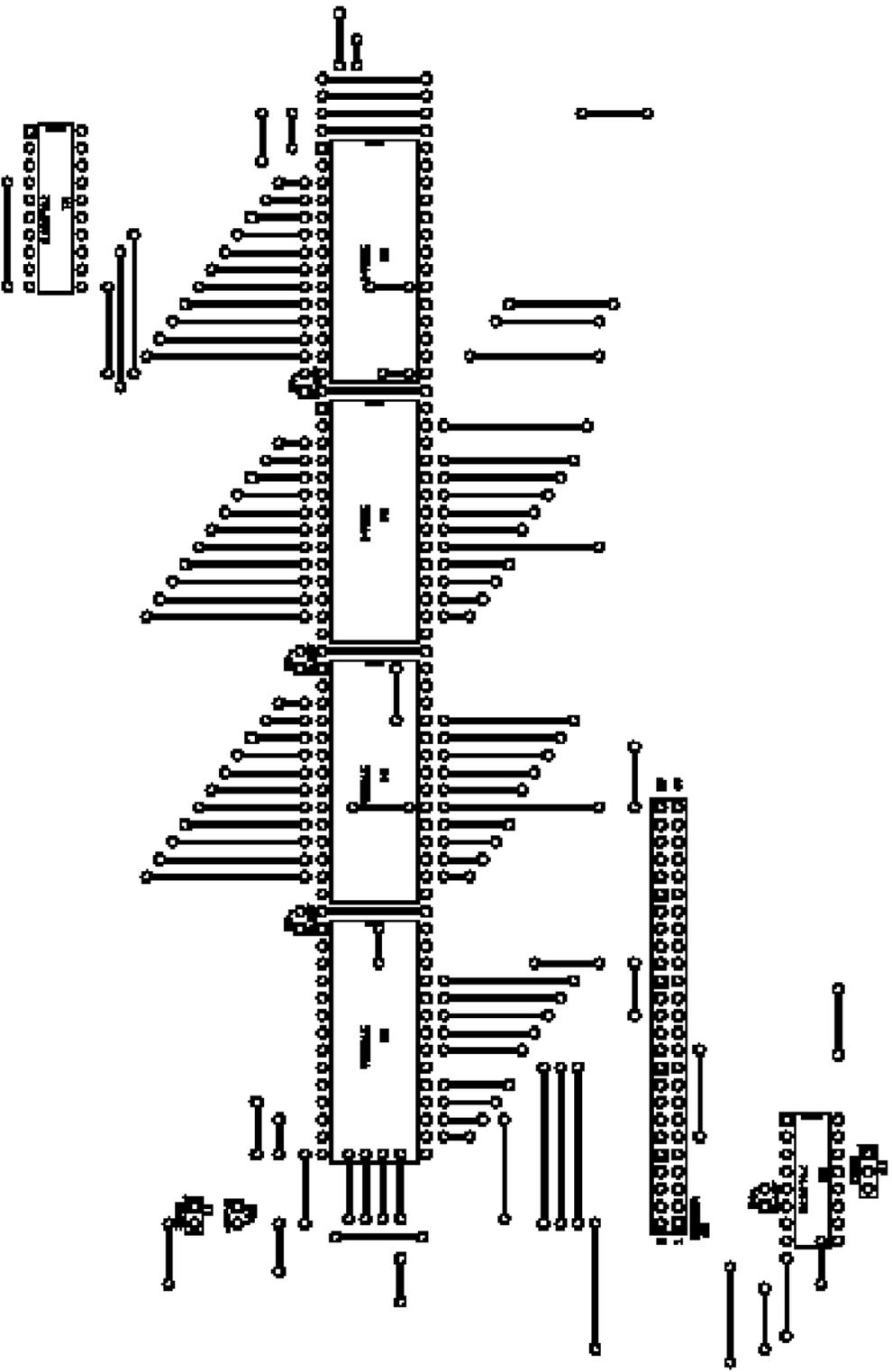
Tabla 33. Instrucciones de control

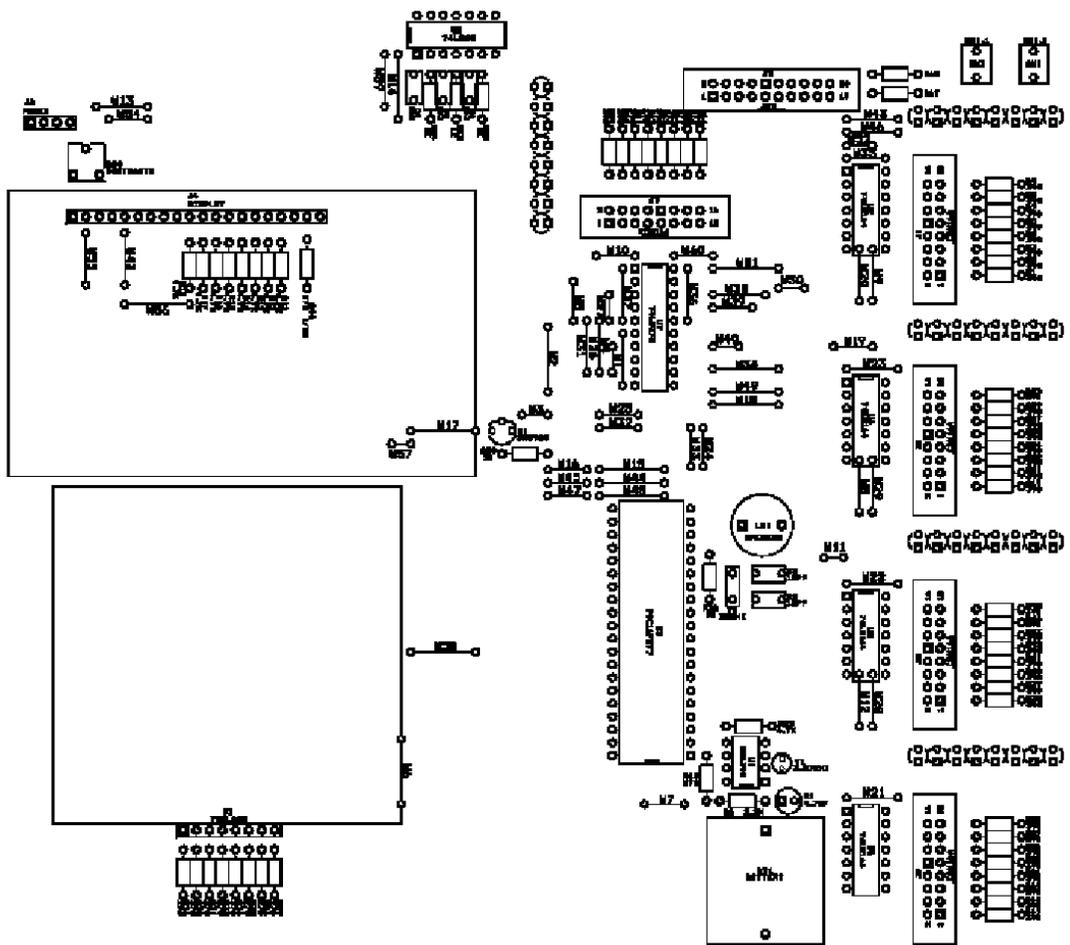
Formato	Operación	
EI	$PSW.9 \leftarrow 1$	Habilita interrupciones
DI	$PSW.9 \leftarrow 0$	Inhabilita interrupciones
CLRVT	$VT \leftarrow 0$	
SETC	$C \leftarrow 1$	
CLRC	$C \leftarrow 0$	
EPTS	$PSW.10 \leftarrow 1$	Habilita el servidor de transferencias periféricas
DPTS	$PSW.10 \leftarrow 0$	Inhabilita el servidor de transferencias periféricas
IDPL #key	(key = 1) \rightarrow modo Idle (key = 2) \rightarrow <i>Powerdown</i> (key = 2) \rightarrow reset	
RST	$PSW \leftarrow 0$; $PC \leftarrow 2080 H$	Pone a 0 el PSW, se inicializa el PC en la posición 2080H y todos los registros toman sus valores iniciales
NOP	NOP	No realiza ninguna instrucción y el control del sistema pasa a la siguiente instrucción en secuencia.
SKIP breg	SKIP	Igual a NOP de dos bytes, donde el segundo byte puede ser cualquier valor.
TRAP	$SP \leftarrow (SP) - 2$ $(SP) \leftarrow (PC)$ $PC \leftarrow (2010) H$	Genera una llamada a la interrupcion vectorizada a través de la posición 2010H. No está disponible cuando se emplean tarjetas de desarrollo.











ANEXO D LISTADOS DE CODIGO

D.1 . CÓDIGO MÓDULO PRINCIPAL

```
*****
;
; MODULO PRINCIPAL
; * INTERRUPTACION EXTERNA INT013 USANDO
; P2.2 *
; * para peticion de ajuste local
; *
; * no INCLUYE FUNCIONES G1- G2 - G3 - G4
; *
; * REINICIA_r : Verfica validez tablas,
; *
; * inicia registros y
; *
; * arranca operación
; *
; * CONFIGURACION DE PARAMETROS EN EEPROM
; *
; * direccionada EN 0E000H --> 0BFFFH
; *
*****
Titl "PRINCIPAL.ASM"
CPU "C:\CROSS\80961.TBL"
HOF "INT8" ; HEX FORMAT
CASE "OFF"

DCW: ALIAS "DWL"
DCB: ALIAS "DFB"

*****
; * REGISTROS ESPECIALES EN LA HVENTANA0
; *
;-----
zero_reg: equ 00h
ad_command: equ 02h ;hw0 (w) hw15(r)
ad_result: equ 02h ;hw0 (r) hw15(w)
ad_resultl: equ 02h ;hw0 (r) hw15(w)
ad_resulth: equ 03h ;hw0 (r) hw15(w)
ad_time: equ 03h ;hw1 (w) hw1(r)
hsi_mode: equ 03h ;hw0 (w) hw15(r)
hso_time: equ 04h ;hw0 (w) hw15(r)
hsi_time: equ 04h
hso_command: equ 06h ;w0 (w) hw15(r)
hsi_status: equ 06h
sbuf: equ 07h
int_mask: equ 08h
int_pend: equ 09h
int_pending: equ 09h
watchdog: equ 0ah ;hw0 (r/w)
timer1: equ 0ah ;hw0 (w) hw15(r)
ioc2: equ 0bh ;hw0 (w) hw15(r)
ioc3: equ 0ch ;hw1 (w) hw1(r)
t2capture: equ 0ch
timer2: equ 0ch
baud_rate: equ 0eh ;hw0 (w) hw15(r)
ioport0: equ 0eh
ioport1: equ 0fh

ioport2: equ 10h
sp_con: equ 11h ;hw0 (w) hw15(r)
sp_stat: equ 11h
int_pendl: equ 12h
ipendl: equ 12h
int_mask1: equ 13h
imask1: equ 13h
wsr: equ 14h ;hw0 (r/w)

ioc0: equ 15h ;hw0 (w) hw15(r)
ios0: equ 15h ;hw0 (r) hw15(w)
ioc1: equ 16h ;hw0 (w) hw15(r)
ios1: equ 16h
ios2: equ 17h
pwm_control: equ 17h
pwm0_control: equ 17h
pwm1_control: equ 16h
pwm2_control: equ 16h
sp: equ 18h
ptssrv: equ 06h ;hw1 (r/w)
ptssel: equ 04h ;hw1 (r/w)
;*****
; *
; * DECLARACION DE VARIABLES
; *
; *
;*****
ORG 1AH
;-----
; VARIABLES GLOBALES
;-----
mues_tem: DFS 14
cont_m: dfs 2 ;g* contador muestra
cont_v: dfs 2 ;g* ventanas de datos
canal: dfs 2 ;g* contador de canal
canal_l: equ canal
canal_h: equ canal+1
Nivel_agp: dfs 2
xc: dfs 14 ;g*
vac: equ xc
vbc: equ xc+2
vcc: equ xc+4
iac: equ xc+6
ibc: equ xc+8
icc: equ xc+0ah
innc: equ xc+0ch
xs: dfs 14 ;g*
vas: equ xs
vbs: equ xs+2
vcs: equ xs+4
ias: equ xs+6
ibs: equ xs+8
ics: equ xs+0ah
inns: equ xs+0ch
p_min: dfs 2
vlr: dfs 2 ;g* Re[fasor de voltaje de sec
+]
vli: dfs 2 ;g* Im[fasor de voltaje de sec
+]
vlr_old: dfs 2 ;g*Re[fasor de V sec ++] k-16
vli_old: dfs 2 ;g*Im[fasor de V sec ++] k-16
f_ciclo: dfs 2 ;g* Frecuencia calculada ciclo a
ciclo
;-----
; PARA OPERACIONES INTERNAS DE PROTECCION
;-----
band_fall: dfs 2 ;Bandera de fallas
band_fall_l: equ band_fall
band_fall_h: equ band_fall+1
ban_disp: dfs 2 ;Bandera disparos
ban_disp_l: equ ban_disp
ban_disp_h: equ ban_disp+1
```

```

ban_autd: dfs      1 ;Bandera autodiagnóstico
BAN_OPE: DFS      1
BAN_ACT:  dfs      1
ban_cm:   dfs      1
f_max_i:  dfs      2
Ipm:      dfs      2
Vpm:      dfs      2
v_max:    dfs      2
v_min:    dfs      2
t_actual: dfs      2
t_delay:  dfs      2
ciclos_m: dfs      2
indice:   dfs      2
CONTA:    DFS      2
CONTA_X:  DFS      2
;-----
;VARIABLES USADAS EN CALCULO DE RAIZ CUADRADA
;-----
Rold:     dfs      2
ROOT:     dfs      4
ROOT_L:   EQU      ROOT
ROOT_H:   EQU      ROOT+2
Z2:       dfs      4
Z2_L:     equ       Z2
Z2_L0:    EQU      Z2_L
Z2_L1:    EQU      Z2_L+1
Z2_h:     equ       Z2+2
;-----
; VARIABLES INTERMEDIAS EN Rutina DFT
;-----
R1:       dfs      4
R1_L:     equ       R1
R1_L0:    EQU      R1
R1_L1:    EQU      R1+1
R1_h:     equ       R1+2
R1_H0:    EQU      R1_H
R1_H1:    EQU      R1_H+1
R2:       dfs      4;
R2_L:     equ       R2
R2_L0:    EQU      R2_L
R2_L1:    EQU      R2_L+1
R2_h:     equ       R2+2
R2_H0:    EQU      R2_H
R2_H1:    EQU      R2_H+1
R3:       dfs      4;
R3_L:     equ       R3
R3_L0:    EQU      R3_L
R3_L1:    EQU      R3_L+1
R3_h:     equ       R3+2
R3_H0:    EQU      R3_H
R3_H1:    EQU      R3_H+1
R4:       dfs      4
R4_L:     equ       R4 ;
R4_L0:    equ       R4_L ;
R4_L1:    equ       R4_L +1;
R4_h:     equ       R4+2;
R4_h0:    equ       R4_h ;
R4_h1:    equ       R4_h +1;
R5:       dfs      4 ;
R5_L:     equ       R5
R5_L0:    equ       R5_L ;
R5_L1:    equ       R5_L +1;
R5_h:     equ       R5+2
R5_h0:    equ       R5_h ;
R5_h1:    equ       R5_h +1;
;-----
; VARIABLES INTERMEDIAS EN Rutinas DE LCD
;-----
AUX0:     DFS      2
AUX0_L:   EQU      AUX0
AUX0_H:   EQU      AUX0+1
AUX1:     DFS      2
AUX1_L:   EQU      AUX1
AUX1_H:   EQU      AUX1+1
AUX2:     DFS      2
AUX2_L:   EQU      AUX2
AUX2_H:   EQU      AUX2+1
AUX3:     DFS      2
AUX3_L:   EQU      AUX3
AUX3_H:   EQU      aux3+1
;-----
;VARIABLES USADAS PARA MANEJO DE LCD
;-----
V_HX:     dfs      4
V_HX_L:   EQU      V_HX
V_HX_L_L: EQU      V_HX_L
V_HX_L_H: EQU      V_HX_L+1
V_HX_H:   EQU      V_HX_L +2
V_HX_H_L: EQU      V_HX_H
V_HX_H_H: EQU      V_HX_H+1
PAG_COL:  DFS      2

```

```

PAGINA:   EQU      PAG_COL
COLUMNA:  EQU      PAG_COL+1
TEMP:     DFS      1 ;Datos LCD
ESTADO_PSP: DFS     1
;-----
; Registro 3 funciones de medida activas
;-----
MLMT:     dfs      4
MLMT_0:   EQU      MLMT
MLMT_1:   EQU      MLMT+1
MLMT_2:   EQU      MLMT+2
MLMT_3:   EQU      MLMT+3
;-----
; VARIABLES PARA DESPLIEGUE DE MENU
;-----
PTR_MENU: DFS      4
PTR_MENU_ACT: EQU PTR_MENU
PTR_MENU_SIG: EQU PTR_MENU +2
PTR_IR:    DFS      4
PTR_IR_MENU: EQU PTR_IR
PTR_PILA_MENU: EQU PTR_IR+2
MAX:       DFS      2
MIN:       DFS      2
MIN_L:     EQU      MIN
MIN_H:     EQU      MIN+1
NUM_P_I:   DFS      2
NUM_P:     EQU      NUM_P_I
NUM_I:     EQU      NUM_P_I+1
IND_DSP:   DFS      2
ITEM:      DFS      1 ;
ITEM_I:    DFS      1 ;
VAR:       DFS      2 ;
MX:        DFS      2
VAL_TEC:   DFS 1 ;Valor Tecla adquirida
;-----
; IMAGEN DE PUERTOS
;-----
I1_IM:    DFS      1 ;Imagen puerto1
I_IM:     DFS      1 ;Imagen puerto2
IOS0_IM:  DFS      1 ;Imagen HSI
;-----
; VARIABLES EN RAM SUPERIOR
;-----
T_COM_INT1: EQU      0DCH
xdc:      equ       T_COM_INT1+28d
xds:      equ       xdc+28
X2_L:     EQU      xds+28d
;Vector de valores rms^2
;0 Varms^2 ;tipo long
;4 Vbrms^2
;8 Vcrms^2
;12 Iarms^2
;16 Ibrms^2
;20 Icrms^2
;24 Inrms^2
XV12_L:   equ       X2_L + 28d ;28 V+rms^2
XI12_L:   EQU      X2_L + 32d ;32 I+rms^2
XI22_L:   EQU      X2_L + 36d ;36 I-rms^2
pot:      equ       X2_L + 40d
;pot_a DSW
;pot_b DSW
;pot_c DSW
;pot_3f DSW
ti:       equ       pot+8d ;Indice
;cuanta_59_pico 0
;cuanta_59_RMS 2
;cuanta_27 4
;cuanta_32R 6
;cuanta_32F 8
;cuanta_8101 10
;cuanta_8102 12
;cuanta_8103 14
;cuanta_81U1 16
;cuanta_81U2 18
;cuanta_81U3 20
;cuanta_50 22
;cuanta_50N 24
;cuanta_51 26
;cuanta_51N 28
;cuanta_46 30
BCD_V:    EQU      ti +2*NUM_PRT
muestras: equ       BCD_V+12d
x_2:      EQU      MUESTRAS + 32D*7D+2D
v2a:      equ       x_2
v2b:      equ       x_2+2
v2c:      equ       x_2+4
i2a:      equ       x_2+6
i2b:      equ       x_2+8
i2c:      equ       x_2+0ah
i2n:      equ       x_2+0ch

```

```

;Vectores de muestras
XL_Ipki equ i2n + 2D
;0
;4
;8
;A
;-----
;Banderas de funciones de proteccion activas
;-----
BAN_FUN: EQU i2n + 12d

T_SALIDAS: EQU BAN_FUN + 16D

PTS_CON_BK_I1: EQU 0368H
;INT1_PTSCOUNT
;INT1_PTSCON

INT1_PTS_SD: EQU 036AH
;INT1_REG_SD

;-----
; DIRECCION DE TABLAS EN EEPROM 0A000H-0BFFFH
;-----
ORG 0E000H
INI_EE:
FIN_EE: EQU INI_EE + 20D
W_CONF: EQU 0A100H
T_CONF: EQU W_CONF + 2D
T_BAN_FUN: EQU T_CONF
;Banderas de funciones
activas
T_BAN_FUN_1: EQU T_BAN_FUN+1 ;Grupo 1
T_BAN_FUN_2: EQU T_BAN_FUN+2 ;Grupo 2
T_BAN_FUN_3: EQU T_BAN_FUN+3 ;Grupo 3

T_BAN_FUN_4: EQU T_BAN_FUN+4 ;Grupo 4

T_MLMT: EQU T_CONF + 16d
T_DISPR: EQU T_CONF + 10D
T_ALARM: EQU T_DISPR + 2*NUM_PRT
T_RETRD: EQU T_ALARM + 2*NUM_PRT
N_DISPR: EQU T_RETRD + 2*NUM_PRT
N_ALARM: EQU N_DISPR + 2*NUM_PRT

TVAL_1: EQU T_CONF + 00h
TVAL_2: EQU TVAL_1 + 00H

MEMO1: EQU TVAL_2 + 0B0H
MEMO2: EQU MEMO1 + 6*NUM_PRT + 12D
MEMO3: EQU MEMO2 + 6*NUM_PRT + 12D
MM_FIN: EQU MEMO3 + 6*NUM_PRT + 12D

CurvaIT51: EQU MM_FIN + 10D
CurvaIT46: EQU CurvaIT51 + 0202D
z_curvaIT46: equ CurvaIT46 + 0202d

;-----
; DIRECCIONES DISPOSITIVOS EXTERNOS
;-----
;Direcciones PSP
;-----
DIR_PSP_ESTADO: EQU 80H
DIR_PSP_DIA: EQU 81H
DIR_PSP_MES: EQU 82H
DIR_PSP_Ano: EQU 83H
DIR_PSP_HORA: EQU 84H
DIR_PSP_MINUTOS: EQU 85H
DIR_PSP_SEGUNDOS: EQU 86H
DIR_PSP_TECLA: EQU 87H
DIR_PSP_SALIDA_1: EQU 88H
DIR_PSP_SALIDA_2: EQU 89H
DIR_PSP_SALIDA_3: EQU 8AH
DIR_PSP_SALIDA_4: EQU 8BH
DIR_PSP_SALIDA_5: EQU 8CH
DIR_PSP_SALIDA_6: EQU 8DH
DIR_PSP_SALIDA_7: EQU 8EH
DIR_PSP_SALIDA_8: EQU 8FH
DIR_PSP_PAGINABLANK EQU 90H
DIR_PSP_COLUMNABLANK EQU 91H
DIR_PSP_PAGINA EQU 92H
DIR_PSP_COLUMNA EQU 93H
DIR_PSP_DATO EQU 94H

;*****
;
* CONSTANTES

```

```

;*****
div_P: equ 20000d
z_AGP: equ 1024d
F_SIST: equ 0ea60h ;#0e4ch - 59.980 Hz
;#0ea60 para 60.000 Hz
N: equ 16d ;# muestras por ciclo
NUM_PRT: EQU 16D ;# de protecciones
NUM_CAN: EQU 06 ;# de canales de A/D
ND_CAN: EQU 12D;Offset de canales
12(In)
Z_FIN_M: EQU MUES_TEM + 2*NUM_CAN
N_F_V: EQU 10D
N_F_IN: EQU 8D
N_FAC_46: EQU N_F_V - N_F_IN
X_MAX_AGP: EQU 6300D
X_MIN_AGP: EQU 3200D
;-----
PTSCOUNT_CON EQU 0CA07H ;Constante de
AD_PTS_COM_BK
;-----
;
;NUMEROS DE PROTECCION (2^BIT)
;-----
Z_N_59P EQU 01D
Z_N_59R: EQU 02D
Z_N_27: EQU 04D
Z_N_50: EQU 08D
Z_N_50N: EQU 16D
Z_N_46: EQU 32D
Z_N_51: EQU 64D
Z_N_51N: EQU 128D
Z_N_8101: EQU 256D
Z_N_8102: EQU 0512D
Z_N_8103: EQU 1024D
Z_N_81U1: EQU 2048D
Z_N_81U2: EQU 4096D
Z_N_81U3: EQU 8192D

Z_N_32R: EQU 16384D
Z_N_32F: EQU 32768D
;-----
;NUMEROS BIT DE PROTECCION
;-----
Z_B_59P: EQU 00D
Z_B_59R: EQU 01D
Z_B_27: EQU 02D
Z_B_50: EQU 03D
Z_B_50N: EQU 04D
Z_B_46: EQU 05D
Z_B_51: EQU 06D
Z_B_51N: EQU 07D
Z_B_8101: EQU 08D
Z_B_8102: EQU 09D
Z_B_8103: EQU 10D
Z_B_81U1: EQU 11D
Z_B_81U2: EQU 12D
Z_B_81U3: EQU 13D
Z_B_32R: EQU 14D
Z_B_32F: EQU 15D
;-----
;NUMEROS INDICE
;-----
Z_I_59P: EQU 00D
Z_I_59R: EQU 02D
Z_I_27: EQU 04D
Z_I_32R: EQU 06D
Z_I_32F: EQU 08D
Z_I_8101: EQU 10D
Z_I_8102: EQU 12D
Z_I_8103: EQU 14D
Z_I_81U1: EQU 016D
Z_I_81U2: EQU 018D
Z_I_81U3: EQU 020D
Z_I_50: EQU 22D
Z_I_50N: EQU 24D
Z_I_51: EQU 26D
Z_I_51N: EQU 28D
Z_I_46: EQU 30D

;*****
;
; MEMORIA ASIGNADA PARA TABLAS
;*****
TABLA_M:
;
ORG 0A000H
;
LIST "OFF"
;-----
;
; TABLAS USADAS POR RUTINAS DE TRATAMIENTO DE
SEÑALES
;-----
INCL: INCL "C:\aco\cosem.TXT"

```

```

INC2:      INCL "C:\ACO\canaln33.TXT"
;*****
; ** TABLAS USADAS POR EL MODO DE CONFIGURACION **
;-----
;TABLAS DE CONFIGURACION DE ALARMAS Y DISPAROS
;-----
;- Valores max-min de referencia
;-----
T_MX:
      DCW      T_D_MX_MN
      DCW      T_A_MX_MN
      DCW      M_CICLOS
T_D_MX_MN:
      DCW      24000D, 10000D ;59 pico
      DCW      20000d, 10000D ;59 rms
      DCW      15000D, 6000D ;27
      DCW      1000D, 10D ;32R
      DCW      10000D, 100D ;32F
      DCW      20000D, 7000D ;FVC8101
      DCW      20000D, 7000D ;FVC8102
      DCW      20000D, 7000D ;FVC8103
      DCW      20000D, 7000D ;FVC81U1
      DCW      20000D, 7000D ;FVC81U2
      DCW      20000D, 7000D ;FVC81U3
      DCW      10000D, 100D ;Ipico max 50
      DCW      10000D, 100D ;Ipico max
50N
      DCW      8D, 0D ;51
Offset_Curva
      DCW      8D, 0D ;51N
Offset_Curva
      DCW      8D, 0D ;46
Offset_Curva;46
T_A_MX_MN:
      DCW      24000D, 10000D ;59 pico
      DCW      19000d, 9000D ;59 rms
      DCW      15000D, 7000D ;27
      DCW      1000D, 10D ;32R
      DCW      10000D, 100D ;32F
      DCW      6500D, 6000D ;0F81_1
      DCW      6500D, 6000D ;0F81_2
      DCW      6500D, 6000D ;0F81_3
      DCW      6000D, 5500D ;UF81_1
      DCW      6000D, 5500D ;UF81_2
      DCW      6000D, 5500D ;UF81_3
      DCW      10000D, 100D ;50 Ipico max
max
      DCW      1200D, 100d ;51 Ipick-up
      DCW      1200D, 100d ;51N Ipick-up
      DCW      1000D, 10d ;46 Ipick-up
M_CICLOS:
      DCW      4000D, 0D ;59 pico
      DCW      4000D, 0D ;59 rms
      DCW      4000D, 0D ;27
      DCW      4000D, 0D ;32R
      DCW      4000D, 0D ;32F
      DCW      4000D, 0D ;OFVC
      DCW      4000D, 0D ;UFVC
      DCW      4000D, 0D ;50
      DCW      4000D, 0D ;50N
      DCW      150d, 5d ;51 TD
      DCW      150d, 5d ;51N TD
      DCW      150d, 5d ;46 TD
;-----
;- Valores inciales de parámetros
;-----
WX_CONF:
      DCW      01974H
TX_CONF:
TX_BAN_FUN:
      dcb      00H
      dcb      00h
      dcb      00h
      dcb      00h
      dcb      00h
      dcb      00h
      dcb      00h
TX_MLMT:
      DCW      0100H
      DCW      0302H
;-----
TX_DISPR:
;-----

```

```

;Proteccion      59P      59R      27      32R
      32F
;Magnitud Vp      V^rms      V^2rms      Pmin
      Pmax
      DCW      15000D, 12000d, 6000D
      DCW
      200D, 8000D
;-----
;Proteccion      8101      8102      8103
;      81U1      81U2      81U3
;Magnitud Vmin      Vmin      Vmin
      DCW      8000D, 8000d, 8000D
      DCW      8000D, 8000D, 8000D
;-----
;Proteccion      50      50N      51      51N
      46
;Magnitud I      I      Curva-I_N(Irms^2)
      DCW      6000D, 2000D, 3D, 3D,
      3D
;*****
;-----
TX_ALARM:
;Proteccion      59P      59R      27      32R
      32F
;Magnitud V      V      P      P
      DCW      13000D, 10000d, 8000D
      DCW
      100D, 6000D
;-----
;Proteccion      8101      8102      8103
;Proteccion      81U1      81U2      81U3
;Magnitud f_ciclo
      DCW      6100D, 6200D, 6300D
      DCW      5900D, 5800D, 5700D
;-----
;Proteccion      50      50N      51      51N
      46
;Magnitud I      I      Ipup-I_N(Irms^2)
      DCW      4000D, 1000D, 500d,
      100d, 100D
;-----
;*****
;-----
TX_RETRD:
;Indice
      DCW      2d, 3d, 4d ;0
      2 4 DCW      5d, 6d ;6
      8 DCW      7d, 8d, 9d ;10
      12 14 DCW      10d, 11d, 12d ;16
      18 20 DCW      13d, 10D ;22
      24 DCW      10D, 10D, 10D ;26
      28 30 (TD)
NX_DISPR:
;-----
;Proteccion      59P      59R      27      32R
      32F
;Magnitud V      V      P      P
      DCW      5776D, 17595d, 4398D
      DCW
      200D, 6000D
;-----
;Proteccion      8101      8102      8103
;      81U1      81U2      81U3
;Magnitud Vmin      Vmin      Vmin
      DCW      7820D, 7820d, 7820D
      DCW      7820D, 7820D, 7820D
;-----
;Proteccion      50      50N      51      51N
      46
;Magnitud I      I      Curva-I_N(Irms^2)
      DCW      6000D, 2000D, 3D, 3D,
      3D
;*****
;-----
NX_ALARM:
;Proteccion      59P      59R      27      32R
      32F
;Magnitud V      V      P      P
      DCW      5006D, 12218d, 7820D
      DCW
      100D, 6000D
;-----
;Proteccion      8101      8102      8103
;Proteccion      81U1      81U2      81U3
;Magnitud f_ciclo
      DCW      0EE48H, 0F230H, 0F618H
      DCW      0E678H, 0E290H, 0DEA8H
;-----

```

```

;Proteccion          50      50N      51      51N
46
;Magnitud I          I          Ipus-I_N(Irms^2)
DCW          4000D,      1000D,      500d,
100d,      100D
;-----
; TABLAS PARA LAS FUNCIONES DE PROTECCION DE
; TIEMPO- SOBRECORRIENTE
;-----
SET_CURVA:
DCW          CurvaU1
DCW          CurvaU2
DCW          CurvaU3
DCW          CurvaU4
DCW          CurvaC1
DCW          CurvaC2
DCW          CurvaC3
DCW          CurvaC4

INC3:        INCL "c:\aco\curvaU.txt"
INC4:        INCL "c:\aco\curvaC.txt"
INC5:        INCL "c:\INTEL\AVANCES\T_MENU.INC"
;-----
;TABLAS EN EEPROM SUPERIOR PARA MANEJO DE LCD
;-----
ORG          03000H
;*****
; Direccion memorias de carga-almacenamiento
;-----
T_MEMO:
DCW          MEMO1
DCW          MEMO2
DCW          MEMO3
;-----
; Respaldo del Bloque de control del
; modo AD_SCAN del PTS
;-----
X_CON_BK_I1:
DCW          PTSCOUNT_CON          ;0CA07H

          ;INT1_PTSCOUNT

DCW          T_COM_INT1          ;INT1_PTS_SD
DCW          0002H          ;INT1_REG_SD
DCW          0000H          ;UNUSED
;-----
; Respaldo de la tabla de comandos y datos del
; modo AD_SCAN del PTS
;-----
TX_AD_PTS:
DCW          0009H          ;AD_COMMAND_1          0
DCW          0000H          ;AD_RESULT_0          2
DCW          000AH          ;AD_COMMAND2          4
DCW          0000H          ;AD_RESULT_1          6
DCW          000BH          ;AD_COMMAND3          8
DCW          0000H          ;AD_RESULT_2          A
DCW          000CH          ;AD_COMMAND4          C
DCW          0000H          ;AD_RESULT_3          E

DCW          000DH          ;AD_COMMAND5          10
DCW          0000H          ;AD_RESULT_4          12
DCW          000EH          ;AD_COMMAND6          14
DCW          0000H          ;AD_RESULT_5          16
DCW          0000H          ;DUMMY          18
DCW          0000H          ;AD_RESULT_6          1A

FIN_AD:
LD          CANAL,#02D
LD          R1_L,#MUES_TEM
CMPB       BAN_OPE,#16D
JNE        FIN_AD_2

FIN_AD_1:
LD          R4_L,[MX]+          ;Para simular
entradas
;
LD          R4_L,T_COM_INT1[CANAL]
AND        R4_L,#1111111111000000B
SHR        R4_L,#02D
SUB        R4_L,#08184d
ST         R4_L,[R1_L]+
ADD        CANAL,#04D
CMP        CANAL,#01AH          ;7 canales**
JLE        FIN_AD_1
;-----
S JMP      FIN_AD_3

FIN_AD_2:
; LD          R4_L,[MX]+          ;Para
entradas reales

```

```

LD          R4_L,T_COM_INT1[CANAL]
AND        R4_L,#1111111111000000B
SHR        R4_L,#02D
SUB        R4_L,#8184D
ST         R4_L,[R1_L]+
ADD        CANAL,#04D
CMP        CANAL,#01AH          ;7 canales**
JLE        FIN_AD_1

FIN_AD_3:
;Reponer parametros del bloque de control

LD          R1_L,#PTS_CON_BK_I1
LD          R1_H,#PTSCOUNT_CON
ST         R1_H,[R1_L]+
LD          R1_H,#T_COM_INT1
ST         R1_H,[R1_L]
;-----
LDB        wsr, #1          ;Preparar
PTSSEL     OR          PTSSEL,#0002H          ;y ad_command
para
CLR        WSR          ;arrancar
proximo
CLR        CANAL          ;ciclo de
muestreo  A/D
LDB        AD_COMMAND,#00H          ;por canal 0
disparado
LCALL     DFT          ;por HSO
RET

INC6:      INCL "c:\INTEL\AVANCES\TAB_MLMT.INC"
INC7:      INCL "c:\INTEL\avances\mens_1.asm"
INC9:      INCL "c:\INTEL\avances\PSP.INC"
;*****
;-----
;DEFINICION DE MACROS USADAS POR EL MODULO
;-----
DISPARO    MACRO        valor
;-----
or         ban_disp,valor
ENDM
;-----
;MACRO PARA ENCONTRAR VOLTAJE MAXIMO Y MINIMO
;-----
MAX_MIN    MACRO        V1r,
f_max,f_min,vr_max,vr_min
ld         R3_L,#V1r
ld         R1_L,[R3_L]+
ld         R1_h,[R3_L]+
ld         R2_L,[R3_L]+

cmp        R1_L, R1_H
jle        max_min_1
ld         f_min, #02
clr        f_max
s jmp     max_min_2

max_min_1:
ld         f_max, #02
clr        f_min

max_min_2:
cmp        R2_L, R1_L[f_min]
jlt        max_min_3          ;vc < Vmin <
Vmax
;vc
> Vmin Vmax >Vmin
cmp        R2_L, R1_L[f_max]
jle        max_min_4          ;Vmax > Vmin
ld         f_max, #04          ;vc > Vmax >
Vmin
s jmp     max_min_4

max_min_3:
ld         f_min, #04

max_min_4:
ld         vr_max, R1_L[f_max]; valores RMS
maximo y minimo
ld         vr_min, R1_L[f_min]
ENDM
;-----
; MACROS PARA SUMAR Y RESTAR NUMEROS DE 32 BITS
;-----

```

```

SUMA_32      MACRO  num1_l, num1_h, num2_l,
num2_h
    add      num1_l, num2_l
    addc     num1_h, num2_h
    ENDM

RESTA_32     MACRO  num1_l, num1_h, num2_l,
num2_h
    sub      num1_l, num2_l
    subc     num1_h, num2_h
    ENDM

;-----
; PROTECCION ACTUA SI VALOR_REF > VALOR_AJUSTE
; 59P, 59R, 50,50N, 32R, 32F
;-----
F_SUP        MACRO  Valor_ref, Ind_ref, Bit_ref,
Num_ref
    local    sup_1, sup_2, sup_3
    cmp      Valor_ref, N_DISPR[IND_REF]
    jlt      sup_1
; VALOR< disparo_instantaeno          ; =>

Temporizar
    or       ban_disp, NUM_REF
sup_1:
    cmp      Valor_ref, N_ALARM[Ind_ref]
    jlt      sup_2          ; VALOR <
alarma
;                                     ; => salir

    LCALL   TEMPORIZAR
    SJMP    sup_3
sup_2:
    NOT     NUM_REF
    and     band_fall, NUM_REF
sup_3:
    ENDM
;-----
; PROTECCION ACTUA SI VALOR_REF < VALOR_AJUSTE
; F_27,
;-----
F_INF        MACRO
Valor_ref, Ind_ref, Bit_ref, Num_ref
;
    local    inf_1, inf_2, inf_3
    cmp      Valor_ref, N_DISPR[IND_REF]
    JGT     inf_1
    or       ban_disp, NUM_REF
inf_1:
    CMP     Valor_ref, N_ALARM[IND_REF]
    JGT     inf_2
    LCALL   TEMPORIZAR
    SJMP    inf_3
inf_2:
    NOT     NUM_REF
    and     band_fall, NUM_REF
inf_3:
    ENDM
;-----
; PROTECCION SOBREFRECUENCIA
; F_8101/F_8102/F_8103
;-----
F_810        MACRO  v_ref, f_ref, Ind_ref, Bit_ref,
Num_ref
    local    f_o_1, f_o_2, f_o_3          ;Cumple

restriccion ..
tension?    CMP      V_ref, N_DISPR[Ind_ref] ; ..de
            JLT      f_o_2          ;No-> no
actuar
f_o_1:      CMP      f_ciclo, N_ALARM[Ind_ref]
            JNH      f_o_2          ;Si no es
mayor no actuar
            LCALL   TEMPORIZAR
            sjmp    f_o_3
f_o_2:      NOT     R2_L
            and     band_fall, Num_ref
f_o_3:      ENDM
;-----
; PROTECCION SUBFRECUENCIA
; F_81U1/F_81U2/F_81U3
;-----
F_81U        MACRO  v_ref, f_ref, Ind_ref, Bit_ref,
Num_ref
    local    z_f_u_1, z_f_u_2, z_f_u_3
            ;Cumple restriccion
..
            CMP     V_ref, N_DISPR[Ind_ref] ; ..de
tension?

```

```

actuar      JLT      z_f_u_2          ;No-> no
z_f_u_1:    CMP      f_ref, N_ALARM[Ind_ref]
            JH       z_f_u_2          ;Si es mayor
no actuar
            LCALL   TEMPORIZAR
            sjmp    z_f_u_3
z_f_u_2:    NOT     Num_ref
            and     band_fall, Num_ref
z_f_u_3:    ENDM
;-----
;
; FASOR DE SECUENCIA
;-----
FASOR_SEC:  MACRO
            xac, xbc, xcc, xas, xbs, xcs, Yx_l, Yx_h, Yy_l, Yy_
h, Yt_l, Yt_h
            clr     Yx_h
            mul     Yx_l, xac, #341
            add     Yt_l, xbc, xcc          ; (xbc+xcc)
            clr     Yt_h
            mul     Yt_l, #171 ; (xbc+xcc)*171
            RESTA_32 Yx_l, Yx_h, Yt_l, Yt_h
            ; xac*341-
            (xbc+xcc)*171
            sub     Yt_l, xcs, xbs          ; (xcs-xbs)
            clr     Yt_h
            mul     Yt_l, #296          ; (xcs-
            xbs)*296
            SUMA_32 Yx_l, Yx_h, Yt_l, Yt_h
            ; xac*341-(xbc+xcc)*171+(xcs-
            xbs)*296
; Xi=
            xac*341-(xbc+xcc)*171+( xcs- xbs)*296
            clr     Yy_h
            mul     Yy_l, xas, #341
            sub     Yt_l, xbc, xcc          ; (xbc-xcc)
            clr     Yt_h
            mul     Yt_l, #296          ; (xbc-
            xcc)*296
            SUMA_32 Yy_l, Yy_h, Yt_l, Yt_h
            ; xas*341+(xbc-xcc)*296
            add     Yt_l, xcs, xbs          ; (xcs+xbs)
            clr     Yt_h
            mul     Yt_l, #171d          ; (xcs-
            xbs)*171
            RESTA_32 Yy_l, Yy_h, Yt_l, Yt_h
; Xj
            = xas*341+(xbc-vcc)*296-( xcs+ xbs)*171
            ENDM
;*****
; VECTORIZACION INTERRUPCIONES
*
;*****
            ORG     02002H ;INT0
            DCW     FIN_AD ;Rutina fin_conversion
            ORG     0200EH ;INT07
            DCW     DES_MENU ;Rutina interrupcion
externa
;*****
; CONFIGURAR CCR *
;*****
            ORG     2018H
            DCB     00H
            DCB     20H
            DCB     0FFH
            DCB     20H
;*****
; INTERRUPCION POR PTS
;*****
            ORG     02042H
            DCW     PTS_CON_BK_I1 ;Vector PTS
            ;conversion
A/D

```

```

ORG      02012H
DCW      REINICIA_R

;*****
; INICIO
;*****
ORG      2080H
MODO_INICIO:
;*****

ld      sp,      #3ffh ; Stack at top
of ram
di
LDB     wsr, #1
LDB     ioc3, #03H      ;p1.3/4
pines   QBD
;Desactiva
CLKOUT/T2CLK
CLRB    WSR
LDB     IOC2,      #080H ;Borrar entradas
en la CAM
LDB     IOC2,      #01010100B
;****
STB     ios0,      IOS0_IM ;
LDB     wsr,      #15
LDB     AUX0,      ioc1
orb     AUX0,      #0101001B
andb    AUX0,      #1111110B
Output  #01000000b      ;+Enable HSO.5 Pin as
Output  #00010000b      ;+Enable HSO.4 Pin as
Output  #00000010b      ; EXTINT por P0.7
(INT07) #00000000b      ; No +PWM0 output pin
CLRB    wsr
STB     AUX0, ioc1 ;
LDB     I1_IM, #00000000B ;E/S ioport1
STB     I1_IM, IOPORT1 ;
CLRB    INT_MASK ;Enmascara todas
CLRB    INT_MASK1 ;las interrupciones
NOP

;-----
;Configurar y limpiar LCD
;-----
;ESCRIBIR MENSAJE DE INICIO
LDB     ESTADO_PSP,#00000001b
LCALL   CLR_LCD
LCALL   RETARD0mS

CLRB    COLUMNA
LDB     PAGINA,#01H
LD      AUX1,#MENSAJE_INICIO
LCALL   POSICION_LCD
LCALL   WR_MEN
LCALL   RETARDO

;-----
; Verificar validez de la tabla de parametros
;-----
LD      R1_L,#WX_CONF
LD      R3_L,[R1_L] ;Cargar
palabra CONF ;y preparar
siguiente ;direccion
Fuente
LD      R1_H,#W_CONF
LD      R3_H,[R1_H] ;Cargar
palabra CONF ;y preparar
siguiente ;direccion
Destino
CMP     R3_L,R3_H
JE      NO_L_CONF

;-----
; Cargar toda la tabla de configuración en EEPROM
; por bytes
;-----
LD      R1_L,#TX_CONF
LD      R1_H,#T_CONF
LD      R2_L,#106D ;# bytes
CLR     R5_L
LCALL   LLENAR_EEPROM
ORB     I1_IM, #10000000B
STB     I1_IM, IOPORT1 ;* PROV
NO_L_CONF:

```

```

NOP
;-----
;Cargar en RAM:
; Banderas de funciones de protección activas y
; Registros de 3 funciones de medición activas
;-----
LD      R1_L,#T_MLMT
LD      R1_H,#MLMT
LD      R2_L,#05D
BMOVI   R1,R2_L

;-----
; VARIABLES DE PROTECCION
; Solo se configuran al inicio del programa
;-----
clr     band_fall
clr     ban_disp
clrb    ban_cm
clrb    ban_autd
LD      R1_L,#T_SALIDAS
ST      ban_disp,[R1_L]+ ;disparos
ST      band_fall,[R1_L]+ ;alarmas
STB     ban_disp,[R1_L]
;autodiagnostico
LCALL   WR_OUT

;-----
;Limpiar contadores de retardos
;-----
LD      R2_L,#ti
LD      R2_H,#17
borra_ti:
ST      ZERO_REG,[R2_L]+
DJNZ    R2_H,borra_ti

;-----
;Preparar para entrar a modo operacion
;-----
LCALL   NORM_SET
LCALL   REINICIA_R
;*****
MODO_OPERACION:
;*****
;-----
--
LAZO:
STAND_BY:
LCALL   RETARD0mS
LCALL   READ_TEC
CMPB    VAL_TEC,#14D
JNE     STAND_BY
CLRB    ESTADO_PSP

;-----
; Preparar y arrancar despliegue de MENU
LCALL   DES_MENU

;-----
LDB     PAGINA,#00H ;ventana
ldb     COLUMNA,#12d ;
LCALL   POSICION_LCD ;
LD      V_HX_L, cont_v
LCALL   HEX_BCD
LD      AUX1,#BCD_V
LCALL   ESC_NUM_LCD
LJMP    LAZO
LCALL   RETARD0mS
NOP
NOP
SJMPL   LAZO
;*****
; FIN MODO OPERACION_NORMAL
;*****
;-----
; BLOQUE DE NORMALIZACION
;*****
; RUTINA DE NORMALIZACION DE AJUSTES
;*****
NORM_SET:
CLRB    INT_MASK
LD      INDICE,#Z_I_59P
LD      R1_L,#T_DISPR ;Vpp(F_59P)D
LD      R2_L,#N_DISPR
LCALL   NORM_VPP
LD      INDICE,#Z_I_59R ;Vrms(F_59R)D
LCALL   NORM_VRMS
LD      INDICE,#Z_I_27
LCALL   NORM_VRMS ;Vrms(F_27R)D
LD      INDICE,#Z_I_8101 ;Vrms(F_8101)D
LCALL   NORM_VRMS
LD      INDICE,#Z_I_8102 ;Vrms(F_8102)D
LCALL   NORM_VRMS

```

```

LD      INDICE,#Z_I_8103 ;Vrms(F_8103)D
LCALL  NORM_VRMS
LD      INDICE,#Z_I_81U1 ;Vrms(F_81U1)D
LCALL  NORM_VRMS
LD      INDICE,#Z_I_81U2 ;Vrms(F_81U2)D
LCALL  NORM_VRMS
LD      INDICE,#Z_I_81U3 ;Vrms(F_81U3)D
LCALL  NORM_VRMS

LD      INDICE,#Z_I_32R ;P(F_32R)D
LCALL  NORM_P
LD      INDICE,#Z_I_32F ;P(F_32F)D
LCALL  NORM_P
LD      INDICE,#Z_I_50 ;Ipico(F_50)D
LCALL  NORM_I
LD      INDICE,#Z_I_50N
;IpicoN(F_50N)D
LCALL  NORM_I
LD      INDICE,#Z_I_51 ;Curva(F_51)D
LCALL  NORM_VR
LD      INDICE,#Z_I_46 ;Curva(F_46)D
LCALL  NORM_VR

LD      R1_L,#T_ALARM
LD      R2_L,#N_ALARM
LD      INDICE,#Z_I_59P ;Vpp(F_59P)A
LCALL  NORM_VPP
LD      INDICE,#Z_I_59R
LCALL  NORM_VRMS ;Vrms(F_59R)A
LD      INDICE,#Z_I_27
LCALL  NORM_VRMS ;Vrms(F_27R)A
LD      INDICE,#Z_I_32R ;P(F_32R)A
LCALL  NORM_P
LD      INDICE,#Z_I_32F ;P(F_32F)A
LCALL  NORM_P
LD      INDICE,#Z_I_50 ;Ipico(F_50)A
LCALL  NORM_I
LD      INDICE,#Z_I_50N
;Ipico(F_50N)A
LCALL  NORM_I

ADD     Z2_L,R1_L,#Z_I_46 ;(F_46)Ipu
LD      Z2_L,[Z2_L]
SHL    Z2_L,#N_FAC_46
ADD     Z2_H,R2_L,#Z_I_46
ST      Z2_L,[Z2_H]

NORM_F:
ADD     R1_H,R1_L,#Z_I_8101 ;810A
ADD     R2_H,R2_L,#Z_I_8101 ;810A
LDB     R3_L,#06D

NORM_F1:
CLR     Z2_H
LD      Z2_L,[R1_H]+
MULU   Z2,#10D
LCALL  WR_2B_EE
NOP
DJNZ   R3_L,NORM_F1

;*****
; ESCRITURA DE TABLAS DE SOBRECORRIENTE
;*****
LD      INDICE,#Z_I_51 ;Apuntar a
proteccion 51
LD      R2_H,#CurvaIT51 ;Direccion
inicial absoluta
;Curva
calculada F_51
LCALL  TAB_TI
LD      INDICE,#Z_I_46 ;Apuntar a
proteccion 46
LD      R2_H,#CurvaIT46 ;Direccion
inicial absoluta
;Curva
calculada F_46
;LCALL  TAB_TI

;-----
; FIN NORMALIZACION DE TABLAS DE SOBRECORRIENTE
;*****
;
; Almacenar banderas de funciones activas
;-----
LD      R1_L,#BAN_FUN ;Fuente
LD      R1_H,#T_BAN_FUN ;Destino
LD      R2_L,#05D
LCALL  LLENAR_EEPROM

;-----
; Cargar palabra de validación de configuración
;-----
LD      R1_L,#WX_CONF ;fuente
LD      R1_H,#W_CONF ;destino
LD      R2_L,#2D

```

```

LCALL  LLENAR_EEPROM
NOP
;-----
; Cargar tablas de validación de configuración
;-----
LD      R1_L,#T_CONF ;fuente
LD      R1_H,#TVAL_1 ;destino1
SUB     R1_L,#02d
SUB     R1_H,#02d
LD      R2_L,#108D ;# bytes
LCALL  LLENAR_EEPROM
NOP
LD      R1_L,#T_CONF ;fuente
LD      R1_H,#TVAL_2 ;destino
LD      R2_L,#106D ;# bytes
LCALL  LLENAR_EEPROM
NOP

;-----
ORB     I1_IM, #00000001B
STB     I1_IM, IOPORT1 ;*PROV
RET

;*****
;*      FIN RUTINA DE NORMALIZACION
;*****
;-----
; SUBROUTINA PARA ESCALAR VALORES PICO DE TENSION
;-----
NORM_VPP:
ADD     R1_H,R1_L,INDICE
ADD     R2_H,R2_L,INDICE
CLR     Z2_H
LD      Z2_L,[R1_H]
MUL     Z2,#16384D
DIVU    Z2,#042542D
LCALL  WR_2B_EE
RET

;-----
; SUBROUTINA PARA ESCALAR VALORES RMS DE TENSION
;-----
NORM_VRMS:
ADD     R1_H,R1_L,INDICE
ADD     R2_H,R2_L,INDICE
CLR     Z2_H
LD      Z2_L,[R1_H]
MUL     Z2,Z2_L
DIV     Z2,#8184D
LCALL  WR_2B_EE
NOP
RET

;-----
; RUTINA PARA ESCALAR VALORES RMS DE CORRIENTE
;-----
NORM_IRMS:
ADD     R1_H,R1_L,INDICE
ADD     R2_H,R2_L,INDICE
CLR     Z2_H
LD      Z2_L,[R1_H]
MUL     Z2,Z2_L
DIV     Z2,#8184D
LCALL  WR_2B_EE
RET

;-----
; SUBROUTINA PARA ESCALAR VALORES DE POTENCIA,
; CORRIENTE Y ORDINALES
;-----
NORM_P: ;Valores de potencia
NORM_I: ;Valores de corriente
NORM_VR: ;Numerales
ADD     R1_H,R1_L,INDICE
ADD     R2_H,R2_L,INDICE
LD      Z2_L,[R1_H]
LCALL  WR_2B_EE
RET

;-----
; RUTINA PARA ESCRIBIR 2 Bytes en EEPROM
; Z2_L <- palabra de 2 B - Fuente
; R2_H <- Direccion inicial Destino
;-----
WR_2B_EE:
STB     Z2_L0,[R2_H]+
NOP
NOP
NOP
NOP
LCALL  RETARDO_MEM
NOP
STB     Z2_L1,[R2_H]+
NOP
NOP
NOP

```

```

LCALL    RETARDO_MEM
NOP
RET
;-----
; SUBROUTINA PARA CALCULAR Y ESCRIBIR CURVAS DE
; TIEMPO-SOBRECORRIENTE F_51 / F_46
;-----
TAB_TI:
;-----
;R1_L <- Direccion inicial absoluta curva TD=1
;-----
LD      R1_L,#T_DISPR    ;Ubicar numero
de curva
ADD     R1_L,INDICE      ;R1_L <-
T_DISPR[INDICE]
LD      R1_L, [R1_L]      ;(1 - 8)
ADD     R1_L,R1_L ;R1_L*2
;
ADD     R1_L,#SET_CURVA
LD      R1_L,SET_CURVA[R1_L]
;-----
;R3_L <- Valor de TD seleccionado
;-----
LD      R3_L,#T_RETRD    ;Ubicar valor
de TD en tabla
ADD     R3_L,INDICE      ;de
parámetros
LD      R3_L,[R3_L]      ;R3_L <-
T_RETRD[INDICE]
;-----
;R2_H <- Direccion inicial absoluta curva IT
;R2_L <- Direccion final absoluta curva IT
;-----
LD      R2_L,#202D      ;Direccion
ultima palabra curva
TAB_TI_1:
CLR     Z2_H
LD      Z2_L,[R1_L]+
MUL     Z2_L,R3_L
DIVU    Z2,#010D
JNV     TAB_TI_2 ;Si no existe
desbordamiento
LD      Z2_L,#65535D      ;Valor maximo
permitido
TAB_TI_2:
LCALL   WR_2B_EE
DJNZW   R2_L,TAB_TI_1
RET
;-----
;
; FIN BLOQUE DE NORMALIZACIÓN
;*****
; BLOQUE DE REINICIO DE OPERACION
;-----
REINICIA_R:
DI
DPTS
LD      AUX1,#M_INICIO
CLRB   COLUMNNA
LDB    PAGINA,#00H
LCALL  POSICION_LCD
LCALL  WR_MEN
LCALL  RETARDomS
;-----
;Verificar datos validos en EEPROM configuración
;-----
LCALL  VAL_CONF
;-----
; Dar valores iniciales a variables
;-----
CLR    T_ACTUAL
clr    ciclos_m
clr    cont_m
clr    cont_v
ld     mx,#canal_V1 ;* simular
ventana #1
CLR    MIN
CLR    MAX
clr    Vpm
clr    Ipm
CLR    Nivel_AGP
LDB    IOS0_IM,IOS0
ORB    IOS0_IM,#00110000B
STB    IOS0_IM,IOS0 ;AGP mínimo
ld     R1_l,#xdc
ld     R1_h,#xds
ld     R2_L,#X2_L
borra:
st     zero_reg, [R1_l]+
st     zero_reg, [R1_h]+
st     zero_reg, [R2_l]+

```

```

cmp     R1_l,#xds
jlt     borra
;-----
;;Cargar en RAM:
; banderas de funciones de protección activas y
; registros de 3 funciones de medicion activas
;-----
LD      R1_L,#T_MLMT
LD      R1_H,#MLMT
LD      R2_L,#05D
BMOVI   R1,R2_L
;-----
;Preparar bloque de control AD_SAN_PTS
;-----
LD      R1_L,#X_CON_BK_I1
LD      R1_H,#PTS_CON_BK_I1
LD      R2_L,#04D
BMOVI   R1,R2_L
;-----
;Preparar tabla de comandos AD_SCAN_PTS
;-----
LD      R1_L,#TX_AD_PTS ;Fuente
LD      R1_H,#T_COM_INT1 ;Destino
LD      R2_L,#012D      ;#words
BMOVI   R1,R2_L
;-----
; Limpiar pantalla
;-----
LCALL   CLR_LCD
;-----
;Habilitar canal PTS
;-----
LDB     WSR,#01H
LD      PTSSEL,#0002H
CLRB   WSR
EPTS
;-----
;Habilitar interrupcion Fin conversion A/D
; y habilitar primera conversion
;ADC de 10 bits por ch_0 arrancada por HSO
;-----
CLRB   WSR
di
ldb    int_mask, #0000010b
ei
ldb    ad_command, #0000000b
;-----
; PREPARAR ENTRADAS ENCLAVADAS EN LA CAM
; DE LA UNIDAD HSO
;-----
CLRB   WSR
LDB    IOC2, #080H ;Borrar
entradas en la CAM
LDB    IOC2, #01010100B ;****
entradas:
jbs    ios0, 6, entradas
nop
;-----
ldb    hso_command, #11001111B ;
arranque conversion
ld     hso_time, #0000H ; A/D cuando
timer2
nop ;
pasa por #0000
;-----
ld     hso_command, #11001110B ;
reinicializa timer2
ld     hso_time, #1302d ; cada 1302
estados
;-----
CLRB   WSR
orb    int_mask, #10000000b
;Habilita INT07
;-----
;Interrupcion externa
ANDB   int_pend,#07FH ;Borrar INT07
pendiente
NOP
RET ;FIN REINICIA
;***-----
; FIN RUTINA DE REINICIO
;***-----
; Subrutinas para verificar datos validos
; en EEPROM de configuración
;-----
VAL_CONF:
LD      R3_L,#032D
LD      R4_H,#TVAL_1 ;
LCALL   VAL_TAB

```

```

JBC      ban_autd,5,VAL_CONF_OK      ;Si
no hay falla
parametros
LD      R3_L,#032D
LD      R4_H,#TVAL_2      ;
LCALL   VAL_TAB
JBC      ban_autd,5,VAL_CONF_OK      ;Si
no hay falla
parametros
LD      AUX1,#M_FALLA
SJMP    VAL_CONF_FIN
VAL_CONF_OK:
LD      AUX1,#M_OK
VAL_CONF_FIN:
CLR     COLUMNNA
LDB     PAGINA,#01H
LCALL   POSICION_LCD
LCALL   WR_MEN
NOP
RET
;-----
VAL_TAB:
LD      R4_L,#T_CONF      ;Fuente
LD      R5_H,#53D ;#WORDS
VAL_TAB_1:
LD      R1_L,[R4_L]+
LD      R1_H,[R4_H]+
CMP     R1_L,R1_H
JNE     VAL_TAB_FAL
DJNZW   R5_H,VAL_TAB_1
NOT     R3_L
ANDB   BAN_AUTD,R3_L0
;provisional**
ANDB   I1_IM,R3_L0
SJMP    VAL_TAB_FIN
VAL_TAB_FAL:
ORB     BAN_AUTD,R3_L0
ORB     I1_IM,R3_L0
;provisional**
VAL_TAB_FIN:
NOP
RET
;-----
; FIN BLOQUE DE REINICIO
;*****
;*****
; _ _ _ _ _ || _ _
; / \ / * _|||_|_|_|_|
; / \ \ / *
; / \ \ / *
;*****
;*****
;-----
; DFT
;-----
;Calcula continuamente los fasores de voltaje
; y corriente
;Usa algoritmo de DFT normal para la primera
; ventana de datos y
;DFT recursiva para las siguientes ventanas.
;-----
DFT:
mulb   R5_1,canal_1,#N      ;Ubicar
puntero de
add    R5_1,cont_m      ;vectores muestra,
;tab_cos
y tab_sen
ld     R1_l, tab_cos[R5_1] ;prepara
valores de
ld     R1_h, tab_sen[R5_1] ;cos/sen
muestra
ld     R4_l, mues_tem[canal] ;muestra
X[k]
CMPB   CANAL_L,#12D      ;Si es I
neutro no está...
JE     Z_ETQ_DFT_1
;..amplificada (AGP)

```

```

;-----
; VALOR ABSOLUTO DE LA MUESTRA
;-----
LD      R2_L,R4_L ; Guardar valor muestra
CMP     R2_L,#00
JGE     Z_ETQ_ABS
NEG     R2_L
Z_ETQ_ABS:
; R2_l <-
valor absoluto
;-----
cmpb   canal_1,#06h      ;es
muestra de corriente?
jlt    z_etq_dft_V      ;No-> de
tension
;-----
; MUESTRAS DE CORRIENTE DE FASE
;-----
CMP     R2_L,Ipm ;Absoluto mayor que el
record?
JLE     Z_ETQ_I_PM      ;No->Seguir
LD      Ipm,R2_L ;Guardar en Ipm
Z_ETQ_I_PM:
mul     R4, R4_l, #z_AGP
;preescalar muestra de
;corriente para mantener
ld     R2_H,TAB_AGP[Nivel_AGP]
;precision al...
div     R4,R2_H ;...dividir
entre AGP
st     R4_l, mues_tem[canal]
SJMP    z_etq_dft_1
;-----
; MUESTRAS DE TENSION
;-----
z_etq_dft_V:
CMP     R2_L,Vpm ;Absoluto mayor que el
record?
JLE     Z_ETQ_DFT_1      ;No->Seguir
LD      Vpm,R2_L ;Guardar en Vpm
;-----
; DFT DE LAS MUESTRAS
;-----
z_etq_dft_1:
ld     R4_h,R4_l ;muestra X[k]
cmp    cont_v, #00      ;la ventana
de datos?
je     z_etq_dft_2
ld     R5_h,muestras[R5_1] ;muestras
X[k-N]
sub    R4_l, R5_h
; X[k]-X[k-N]
z_etq_dft_2:
st     R4_h, muestras[R5_1]
mul    R2, R4_l,R1_l
mul    R3, R4_l,R1_h
;-----
;~Vectores de Componentes rectangulares de
;~fasores de tensión y corriente tipo long
;-----
mulb   R5_1, canal_1,#02      ;~
Aumenta
add    R5_h, R5_l,#02
;~ resolucio
SUMA_32 R2_l, R2_h, xdc[R5_1],xdc[R5_h]
;~ en fasores
SUMA_32 R3_l, R3_h, xds[R5_1],xds[R5_h]
st     R2_l, xdc[R5_1]
st     R2_h, xdc[R5_h]
st     R3_l, xds[R5_1]
st     R3_h, xds[R5_h]
;-----
;~Vectores de Componentes rectangulares de fasores
;~de tensión y corriente escalados a word
(xc, xs)

```

```

;-----
WORD      shral    R2,#14d    ;;/16384 ; Escala a
WORD      shral    R3,#14d    ;;/16384 ; Escala a
WORD      st       R2_L, xc[canal] ; guarda el
valor real xc
WORD      st       R3_L, xs[canal] ; guarda el
valor imaginario xs
;-----
;~Vector de Magnitudes de Fasores tipo long en
vector (X2_L)...
;~...y escalados a word en vector (X_2)
;-----
clr       R2_h
clr       R3_h
mul       R2, R2_L ; Suma del
cuadrado de las..
mul       R3, R3_L ; componentes
rectangulares:
SUMA_32  R2_L,R2_h,R3_L,R3_h ; |X|^2 =
Xc^2 + Xs^2
ST       R2_L, X2_L[R5_L] ; Almacena
|X|^2 en X2_L
ST       R2_h, X2_L[R5_h]
cmpb     canal_1,#06
jlt      Z_ETQ_DFT_21
SHRL     R2,#012D ; ; Escala a
word |I|^2
SJMPL   Z_ETQ_DFT_22
Z_ETQ_DFT_21:
shrl     R2,#014d ; ; Escala a
word |V|^2
Z_ETQ_DFT_22:
st       R2_L, x_2[canal] ; Almacena en
vector x_2
;-----
; PREPARAR PARA SIGUIENTE CANAL
;-----
addb     canal_1,#02 ;
cmpb     canal_1,#ND_CANAL ;
Ultimo canal?
jgt      z_etq_dft_3
ljmp     DFT
;No-> retornar
;-----
; Ultimo canal -> FIN de CICLO de MUESTREO
;-----
z_etq_dft_3:
;-----
; Calculos ejecutados en cada ciclo de muestreo
;-----
; Determinar fase de Magnitud |I|^2 MAXIMA
;-----
LD       R1_L,#i2a
LD       R2_L,[R1_L]+
CLR      f_max_i
Z_ETQ_DFT_3_0:
LD       R3_L,[R1_L]+
CMP      R3_L,R2_L
JNH     Z_ETQ_DFT_3_1
LD       R2_L,R3_L
ADD     f_MAX_I,#02D
Z_ETQ_DFT_3_1:
CMP     R1_L,#i2c
JLE     Z_ETQ_DFT_3_0
;*****
**
; FUNCION DE SOBRECORRIENTE DE TIEMPO INVERSO (F51)
; EVALUADA CADA MUESTRA
;-----
;-----
; FIN FUNCION DE SOBRECORRIENTE DE TIEMPO INVERSO
(F51)
;*****
**
;-----

```

```

clr      canal_1
inc      ciclos_m
;-----
cmp      mx,#ultima_x ;* ultimo vector
de muestras
jle     z_etq_dft_4 ;*.para....
ld      mx,#canales ;*.simular
;-----
; Calcular AGP cada semiperiodo
;-----
z_etq_dft_4:
and     R2_L,cont_m,#000000000001110B
;k=14 y k=30
cmpb    R2_L,#00001110B ;Cada
semiperiodo
jne     z_etq_dft_41
LCALL   CALC_AGP
z_etq_dft_41:
;-----
add     cont_m, #02 ; contador
muestra..
cmp     cont_m, #30d ; Ultima
muestra (N)?
jgt     z_etq_dft_6 ; si termino
ventana
;-----
; Si no termino la ventana -> Preparar siguiente
muestra
;-----
RET ; Fin muestra
;*****
***
; Calculos que solo se realizan cada ciclo.
;-----
z_etq_dft_6:
;-----
;FASOR DE VOLTAJE DE SEC. ++
;-----
ld      vlr_old,vlr ;
ld      vli_old,vli
FASOR_SEC
vac,vbc,vcc,vas,vbs,vcs,R1_L,R1_h,R5_L,R5_h,R2_L,R2_h
SHRAL   R1, #N_F_V ;;/1024; parte real de
; voltaje de
secuencia positiva
SHRAL   R5, #N_F_V ; parte imaginaria de
; voltaje de
secuencia positiva
ld      vlr,R1_L
ld      vli,R5_L
mul     R1_L,R1_L
mul     R5_L,R5_L
SUMA_32 R1_L, R1_h, R5_L, R5_h
LD      R5_L,#XV12_L
ST      R1_L,[R5_L]+
ST      R1_H,[R5_L]
;-----
;FASOR DE CORRIENTE DE SEC. --
;-----
FASOR_SEC
iac,icc,ibc,ias,ics,ibs,R1_L,R1_h,R5_L,R5_h,R2_L,R2_h
shral   R1, #N_F_IN ; parte real
shral   R5, #N_F_IN ; parte imaginaria
;
ld      I2r,R1_L
ld      I2i,R5_L
mul     R1_L,R1_L
mul     R5_L,R5_L
SUMA_32 R1_L, R1_h, R5_L, R5_h
SHRL   R1,#04D ;*11
LD      R5_L,#XI22_L
ST      R1_L,[R5_L]+
ST      R1_H,[R5_L]
;-----
; POTENCIA ACTIVA POR FASES
;-----
C_POT:
NOP

```

```

ld      R5_l,#pot
mul     R1, vac, iac
mul     R2, vas, ias
SUMA_32
div     R1, #div_P
st      R1_l,[R5_l]+

mul     R2, vbc, ibc
mul     R3, vbs, ibs
SUMA_32
div     R2, #div_P
st      R2_l,[R5_l]+
add     R1_h,R1_l,R2_l

mul     R3, vcc, icc
mul     R4, vcs, ics
SUMA_32
div     R3, #div_P
st      R3_l,[R5_l]+
add     R1_h,R3_l
st      R1_h,[R5_l]

;Determinar la minima potencia del sistema
ld      p_min,R1_l ;--Puede
cmp     p_min,R2_l ;--realizarse
jle     z_p_min_0 ;--al llamar
ld      p_min,R2_l ;--la
subrutina
z_p_min_0:
cmp     p_min,R3_l ;--
jle     z_p_min_1 ;--
ld      p_min,R3_l ;--
z_p_min_1:
NOP

;*****
**
;CALCULO DE LA FRECUENCIA DEL SISTEMA
;*****
***
clr     R2_h ;cargar
frecuencia
ld      R2_l,#F_SIST ;#0ea4cH-
59.980 Hz,
;#0ea60 para
60.000 Hz
;***** Para que no exceda los 16 bits
shra   vlr_old,#01
shra   vli_old,#01
LD     R1_l,vlr
SHRA   R1_l,#01
LD     R1_h,vli
SHRA   R1_h,#01
;***** Para que no exceda los 16 bits
sub    R3_l,R1_l,vlr_old ;a
sub    R3_h,R1_h,vli_old ;b
add    R4_h,R1_h,vli_old ;d
add    R4_l,R1_l,vlr_old ;c
mul    R5,R3_l,R4_h
;a*d
mul    R1,R4_l,R3_h
;b*c
cmp    R3_l,#00 ;[a]
jge    Z_F_1
neg    R3_l
Z_F_1:
cmp    R3_h,#00 ;[b]
jge    Z_F_2
neg    R3_h
Z_F_2:
add    R3_l,R3_h ;[a]+[b]
cmp    R4_l,#00 ;[c]
jge    Z_F_3
neg    R4_l
Z_F_3:
cmp    R4_h,#00 ;[d]
jge    Z_F_4
neg    R4_h
Z_F_4:
add    R4_l,R4_h ;[c]+[d]
mul    R3,R3_l,#1000
div    R3,R4_l
;1000*([a]+[b])/([c]+[d])
cmp    R3_l,#53 ;Si tan(phi/2)*1000
< #53,
; => tan(phi/2) =
phi/2
jle    Z_F_5
mul    R4,R3_l,R3_l
div    R4,#3000
mul    R4,R4_l,R3_l
div    R4,#1000
sub    R3_l,R4_l
Z_F_5:
mul    R3,#1909 ; ~(59.98/pi)*100
div    R3,#100 ;

```

```

clr     R3_h
cmpl   R5,R1 ; a*d > b*c -
-> df es <0
jlt    Z_F_6 ;-> calcular
frecuencia real
mul    R3, R3_l,#-01 ; cambia
signo de df
Z_F_6:
SUMA_32
ld      R3_l,R3_h,R2_l,R2_h
ld      f_ciclo,R3_l ;Frecuencia
escalada x 1000
;*****
; BLOQUE DE PROTECCIONES EVALUADAS CADA CICLO
;*****
MAX_MIN_X_2,R4_L,R4_H,v_max,v_min
; FIN BLOQUE DE PROTECCIONES EVALUADAS CADA CICLO
;*****
clrb   cont_m ; restablece contador
inc    cont_v ;
INC    T_ACTUAL ;iiiiiii
CLR    Vpm ;Borra indicador
Vpm/ciclo
NOP
;-----
CMP    CONT_V,#3600D ;mas de 10'
JNH    FIN_DFT
; Si van mas de 36000 ventanas (10 minutos)
;-----
LD     R4_L,BAND_FALL
ORB    R4_L0,BAN_CM
XOR    R4_L,BAN_DISP
AND    R4_L,BAND_FALL
ANDB   R4_l,#0111111b
CMP    R4_L,#00H
JNE    FIN_DFT
;-----
; Si no está contando tiempo de falla
LJMP   REINICIA_R
;-----
; FIN DFT
;-----
FIN_DFT:
RET
;*****
;OTRAS SUBROUTINAS DE TRATAMIENTO DE SEÑALES
;-----
; "CALC_AGP"
; PROGRAMA LA GANANCIA PARA LAS SEÑALES DE CORRIENTE
; ENVIA UN DATO DE 2 BITS PARA FIJAR LA GANANCIA DE LA
; SIGUIENTE MUESTRA PARA TODOS LOS CANALES
; DE CORRIENTE
;-----
CALC_AGP:
;A partir "Ipm"= valor maximo absoluto del vector
de..
;..muestras de corrientes de fase amplificadas
;Determina el offset en la TABLA_AGP y envía el
control
;digital correspondiente por los bit 1/2 del puerto
1
;-----
Z_fac_1:
cmp    Ipm,#X_MAX_AGP ;Si Ipm >
Maximo
jgt    z_fac_2 ;Ir a
disminuir AGP
Minimo
cmp    Ipm,#X_MIN_AGP ;Si Ipm >
jge    z_fac_3 ;Mantener AGP
ld     Nivel_AGP,T_MIN_AGP[Nivel_AGP]
;No->Aumentar
AGP
sjmp   z_fac_3
z_fac_2:
ld     Nivel_AGP,T_MAX_AGP[Nivel_AGP]
z_fac_3:
clr    wsr
ldb    R5_h0,ioport1
ldb    R5_l0,Nivel_AGP
ORB    R5_h0,R5_l0 ;capturar 1's
ORB    R5_L0,#11111001B;

```

```

        ANDB     R5_h0,R5_L0      ;capturar 0's
        stb     R5_h0,ioport1

Z_FAC_4:
        clr     Ipm
        RET

;-----
;CALCULO DE LA RAZA CUADRADA DE UN ENTERO POSITIVO
TIPO LONG
;-----
Z_SQRT:
        LD      Z2_l, [Rold]+
        LD      Z2_h, [Rold]
        SHRAL   Z2,#01D      ;/2 para calculos rms
        CMP     Z2_H,#00
        JE      Z_SQRT_1
        LD      Rold,#07FFFH
        sjmp    Z_SQRT_2

Z_SQRT_1:
        LD      Rold,#07FH

Z_SQRT_2:
        LD      ROOT_l,Z2_l
        LD      ROOT_h,Z2_h
        divu    ROOT,Rold
        clr     ROOT_h
        ADD     ROOT_l,Rold
        ADDC    ROOT_h,#00H
        SHRL   ROOT,#1
        CMP     ROOT_l,Rold
        je      Z_SQRT_3
        LD      Rold,ROOT_l
        sjmp    Z_SQRT_2

Z_SQRT_3:
        nop
        RET

;-----
; RUTINA DE CALCULOS DE RETARDO DE PROTECCION
;-----
TEMPORIZAR:
;band_fall:bandera de falla del grupo
;R1_L= numero de bit_fall del grupo
;R1_H= Offset band_fall
;R2_L= numero band_fall/disparo (word)
        clr     R1_H
        cmp     R1_L,#07d
        jle    tempo_0
        inc     R1_H
        SUBB   R1_L,#08D

tempo_0:
        ; Ya está
temporizando
        jbs    band_fall_1,7,tempo_1 ; alguna
falla?
        clr     t_actual      ; No-> limpiar
tiempo
        orb    band_fall,#10000000b ; activar
bandera
        sjmp   tempo_2
tempo_1:
        ldb    R5_L0,band_fall[R1_H]
;
Verificar si ..
        shrb   R5_L0,R1_L      ; ..esta
temporizando..
        jbs    R5_L0,0,tempo_3 ;
..falla actual?
tempo_2:
        ;No->
        st     t_actual,ti[indice] ; Almacenar
tiempo.
        ;.. en
t_falla_actual
        or     band_fall,R2_L ;
Activar bit falla
tempo_3:
        ld     t_delay,t_actual ; Calcular
t_retardo..
        sub    t_delay,ti[indice] ;
..falla_actual
        ADD    R5_L,INDICE,#T_RETRD

        cmp    t_delay,[R5_L]
        jnh    tempo_4 ;
Verificar..
        ; tiempo
de disparo
        DISPARO R2_L
tempo_4:
        RET

```

```

INC8:    INCL "c:\INTEL\avances\MENU.INC"

;-----
;RUTINAS PARA GENERAR RETARDOS
;-----
RETARDOMs:
        LD      aux3,#10d
ETQ_RETARDOMs1:
        LD      CONTA,#02fh
ETQ_RETARDOMs:
        DEC     CONTA
        CMP     CONTA,#00
        JNE    ETQ_RETARDOMs
        DEC     aux3
        CMP     aux3,#00
        JNE    ETQ_RETARDOMs1
        RET

;-----
RETARDO:
        LD      aux3,#00010h
ETQ_RETARDO1:
        LD      CONTA,#01f0h
ETQ_RETARDO:
        DEC     CONTA
        CMP     CONTA,#00
        JNE    ETQ_RETARDO
        DEC     aux3
        CMP     aux3,#00
        JNE    ETQ_RETARDO1
        RET
RETARDO_MEM:
        LD      CONTA_X,#02H
RET_1:
        LCALL   RETARDOMs
        DJNZ   CONTA_X,RET_1

;-----
RETARDOLargo:
        LDB    VAR,#5
RETARDOLar_1:
        LCALL   RETARDOMs
        LCALL   RETARDOMs
        DJNZ   VAR,RETARDOLar_1
        NOP
        RET

;-----
;RUTINA PARA ESCRIBIR VALORES NUMERICOS EN ASCII EN
LCD
;-----
;Parametros:
        COLUMNA / PAGINA
;
        AUX1<- Direccion del vector
NUMERO
        AUX3_L      ;posicion del
punto decimal
;
        AUX2      Almacena siguiente
caracter
ESC_NUM_LCD:
        CLR     AUX2
        LDB    AUX2_L,[AUX1]+
        ;Siguiente caracter
;
+      o dígito BCD
;
3d (-5) 00 01 .. 09
        CMPB   AUX2_L,#09H
        JGT   ESC_NUM_FIN
ESC_NUM_LCD_1:
        ADD    AUX2,#48D
        LCALL   ESC_CAR
        DJNZ   AUX3_L,ESC_NUM_LCD
        LD     AUX2,#-2D
        SJMP   ESC_NUM_LCD_1
ESC_NUM_FIN:
        RET

;-----
;
;      CONVERSION DE CODIGOS
;
;-----
;CONVERSION DE HEXADECIMAL TIPO WORD
;
;      A BCD EN CINCO
DIGITOS
;-----
HEX_BCD_SING:
        CMP     V_HX_L,#00

```

```

                JGE     HEX_BCD
                NEG     V_HX_L
                LDB     AUX0,#-3D          ;(SIGNO
NEGATIVO)
                SJMP    HEX_BCD_0
;-----
;CONVERSION DE HEXADECIMAL TIPO WORD POSITIVO
(Unsigned)
;
; A BCD EN CINCO
DIGITOS
;-----
HEX_BCD:
                LDB     AUX0,#-16D        ;(SIGNO->
POSITIVO)
HEX_BCD_0:
                STB     AUX0,BCD_V[zero_reg]
                LD      AUX1,#06D ;# de bits
                LD      AUX0,#40H
                STB     AUX0,BCD_V[AUX1]
                LD      AUX0,#10d
HEX_BCD_1:
                DEC     AUX1
                CLR     V_HX_H
                CMP     V_HX_L,#2550D
                JNH     HEX_BCD_2
                DIVU   V_HX,AUX0
                STB     V_HX_H_L, BCD_V[AUX1]
                SJMP    HEX_BCD_1
HEX_BCD_2:
                CMP     V_HX_L,#9D
                JNH     HEX_BCD_3
                DIVUB  V_HX_L,AUX0
                STB     V_HX_L_H,BCD_V[AUX1]
                DEC     AUX1
                CLRB   V_HX_L_H
                SJMP    HEX_BCD_2
HEX_BCD_3:
                STB     V_HX_L_L,BCD_V[AUX1]
                CMP     AUX1,#01
                JLE     HEX_BCD_4
                DEC     AUX1
                LDB     V_HX_L_L,#00D
                SJMP    HEX_BCD_3
HEX_BCD_4:
                RET
;*****
;*****
;          FUNCION MULTIMETRO
;
; -----
;   Va = 120.00 Vrms
;   Ib = 2.00 Arms
;   P3f = 4.8 kW
;*****
;*****
MLT_VER:
                LD      AUX1,#T_MLT
                ADD     AUX1,CONTA_X
                LD      AUX2,[AUX1]
                CLRB   COLUMNA
                LCALL  POSICION_LCD
                LCALL  WR_MEN

                LD      PTR_MENU_ACT, MLT_menu[CONTA_X]
                br     [PTR_MENU_ACT]
                RET
;-----
MLT_UNID:
                LDB     COLUMNA, #42D
                LD      AUX1,#T_MLT_UN
                ADD     AUX1,CONTA_X
                LD      AUX1,[AUX1]
                LCALL  POSICION_LCD
                LCALL  WR_MEN
                RET
;-----
MLT_RMS_IP:
;-----
;FASOR DE CORRIENTE DE SEC. ++
;-----
                FASOR_SEC
                iac,ibc,icc,ias,ibs,ics,PTR_MENU_ACT,PTR_M
ENU_SIG,PTR_IR_MENU,PTR_PILA_MENU,V_HX_1,V_HX_h
                shral PTR_MENU, #10d      ; parte real
de
;
; corriente de
secuencia positiva

```

```

                shral PTR_IR, #10d      ; parte
imaginaria de
;
; corriente de
secuencia positiva
                mul     PTR_MENU_ACT,PTR_MENU_ACT
                mul     PTR_IR_MENU,PTR_IR_MENU
                SUMA_32 PTR_MENU_ACT, PTR_MENU_SIG,
PTR_IR_MENU, PTR_PILA_MENU
                LD      PTR_IR_MENU,#XI12_L
                ST      PTR_MENU_ACT,[PTR_IR_MENU]+
                ST      PTR_MENU_SIG,[PTR_IR_MENU]
                SUB     PTR_IR_MENU,#02D
                LJMP   MLT_RMS_2
                RET
;-----
MLT_RMS_I2:
MLT_RMS:
                LD      PTR_IR_MENU,#MLT_VAR
                ADD     PTR_IR_MENU,CONTA_X
                LD      PTR_IR_MENU,[PTR_IR_MENU]
MLT_RMS_2:
                LCALL  OP_SQRT
                LCALL  HEX_BCD
                LD      AUX1,#BCD_V
                LDB     AUX3_L,[NUM_P]
                ADDB   COLUMNA,#4D
                LCALL  POSICION_LCD
                LCALL  ESC_NUM_LCD
                NOP
                RET
;-----
MLT_F:
MLT_VLR:
                LD      PTR_IR_MENU,#MLT_VAR
                ADD     PTR_IR_MENU,CONTA_X
                LD      PTR_IR_MENU,[PTR_IR_MENU]
                LD      V_HX_L,[PTR_IR_MENU]
                LCALL  HEX_BCD
                LD      AUX1,#BCD_V
                LDB     AUX3_L,[NUM_P_I]
                LCALL  ESC_NUM_LCD
                NOP
                NOP
                RET
;-----
;CALCULO DE LA RAIZ CUADRADA DE UN ENTERO POSITIVO
TIPO LONG
;-----
OP_SQRT:
                LD      PTR_MENU_ACT, [PTR_IR_MENU]+
                LD      PTR_MENU_SIG, [PTR_IR_MENU]
OP_SQRT_0:
                SHRAL  PTR_MENU,#01D      ;/2 para
calculos rms
                CMP     PTR_MENU_SIG,#00
                JE      OP_SQRT_1
                LD      PTR_IR_MENU,#07FFFH
                sjmp    OP_SQRT_2
OP_SQRT_1:
                LD      PTR_IR_MENU,#07FH
OP_SQRT_2:
                LD      V_HX_1,PTR_MENU_ACT
                LD      V_HX_h,PTR_MENU_SIG
                divu   V_HX,PTR_IR_MENU
                clr    V_HX_h
                ADD     V_HX_1,PTR_IR_MENU
                ADDC   V_HX_h,#00H
                SHRL   V_HX,#1
                CMP     V_HX_1,PTR_IR_MENU
                je      OP_SQRT_3
                LD      PTR_IR_MENU,V_HX_1
                sjmp    OP_SQRT_2
OP_SQRT_3:
                nop
                RET
;-----
;          FIN MULTIMETRO
;*****

```

```
-----  
LLENAR_EEPROM:  
;R1_L Fuente  
;R1_H Destino  
;R2_L #bytes  
;R5_L Temporal  
;aux0 Provisional  
LLENAR_EE_1:  
    LDB      R5_L,[R1_L]+  
    NOP  
    NOP  
    NOP  
    STB      R5_L,[R1_H]+  
    NOP  
    NOP  
    NOP  
    NOP  
    LCALL    RETARDO_MEM  
    NOP  
    DJNZW    R2_L,LLENAR_EE_1  
    NOP  
    RET  
-----  
FIN:      nop  
          end
```

