

**ADQUISICIÓN DE FORMAS DE ONDA DE TENSIÓN Y DE CORRIENTE PARA UN
PROTOTIPO DE CONTADOR DIGITAL TRIFÁSICO**

EDGAR FERNANDO HERNÁNDEZ BUSTOS

WILSON YESID RODRÍGUEZ PEDRAZA

UNIVERSIDAD INDUSTRIAL DE SANTANDER

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES

BUCARAMANGA

2009

**ADQUISICIÓN DE FORMAS DE ONDA DE TENSIÓN Y DE CORRIENTE PARA UN
PROTOTIPO DE CONTADOR DIGITAL TRIFÁSICO**

Autores

EDGAR FERNANDO HERNÁNDEZ BUSTOS

WILSON YESID RODRÍGUEZ PEDRAZA

Tesis de grado para optar por el título de

Ingeniero Electrónico

Director

MSc JAIME GUILLERMO BARRERO PEREZ

Codirector

GABRIEL GONZÁLEZ SUA

UNIVERSIDAD INDUSTRIAL DE SANTANDER

ESCUELA DE INGENIERÍAS ELÉCTRICA ELECTRÓNICA Y TELECOMUNICACIONES

BUCARAMANGA

2009

RESUMEN

TÍTULO.

ADQUISICIÓN DE FORMAS DE ONDA DE TENSIÓN Y DE CORRIENTE PARA UN PROTOTIPO DE CONTADOR DIGITAL TRIFÁSICO¹.

AUTORES²: WILSON YESID RODRÍGUEZ PEDRAZA.
EDGAR FERNANDO HERNANDEZ BUSTOS.

PALABRAS CLAVES: *Hall, ADC, sobremuestreo, filtro antialiasing, arquitectura Sigma-Delta, SPI, RS-232, DSP, Labview.*

DESCRIPCIÓN:

Este trabajo aborda la construcción de una tarjeta de adquisición, la cual debe adquirir y digitalizar cuatro señales de corriente y tres señales de tensión. Este bloque es la etapa de adquisición de un prototipo de contador digital trifásico propuesto por un estudiante de maestría.

Inicialmente se adquieren diferentes sensores de tensión y corriente, para seleccionar el que mejor se adapte a la aplicación, en base principalmente a su característica de linealidad. Al mismo tiempo se realiza un estudio de diferentes arquitecturas utilizadas en la implementación de convertidores analógicos-digitales (ADC) de alta velocidad y se realiza una recopilación de algunas de las principales características de este tipo de dispositivos.

En base a los requerimientos propios del diseño se selecciono un sensor de efecto *hall* para el sensado de corriente, un transformador de voltaje para el sensado de tensión y un ADC de tecnología *Sigma-Delta* para la conversión de las señales analógicas a formato digital.

La tarjeta implementada posee cuatro modos de operación las cuales brindan diferentes características de ruido, frecuencia de muestreo y consumo de potencia lo que permite optimizar la tarjeta según la necesidad del usuario. La comunicación con la etapa de procesamiento se realiza a través de protocolo *SPI* de tres hilos y se envían los datos empezando por el canal uno y terminando con el canal siete.

Para visualizar los datos captados se diseño una interfaz en *Labview* donde se puede apreciar la forma de onda de las señales captadas por los sensores. Para llevar los datos de la tarjeta diseñada al computador se convirtió de protocolo *SPI* a *RS232* por intermedio de una tarjeta de desarrollo que tiene como núcleo el DSP MC56F8345.

¹ Proyecto de Grado.

² Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones.
Director MSc. Jaime Barrero.

SUMMARIZE

TÍTULO.

ADQUISITION OF TENSION AND CURRENT WAVEFORMS FOR A THREE-PHASE DIGITAL METER PROTOTYPE³.

AUTHORS⁴: WILSON YESID RODRÍGUEZ PEDRAZA.
EDGAR FERNANDO HERNANDEZ BUSTOS.

KEY WORDS: Hall, ADC, oversampling, anti-aliasing filter, *Sigma-Delta* architecture, *SPI*, *RS-232*, *DSP*.

DESCRIPTION:

This work deals with the construction of an acquisition card, which must acquire and digitize four current signals and three tension signals. This block works like the acquisition stage into a three-phase digital meter prototype proposed by a master's student.

Initially, different voltage and current sensors had been acquired to select the best suited to the application, based mainly on their linearity behavior. At the same time, a study of different architectures used to implement high speed analog to digital converters (ADC) was carried out and a recompilation of some of the main features of these device was made.

Based on the requirements of the design was selected a Hall Effect sensor close loop type to sense current, a Tension transformer to acquire tension and an ADC with sigma-delta architecture which makes the analog to digital conversion.

The implemented board has four operating modes which provide different characteristics of noise, sampling frequency and power consumption allowing the user to select the optimal mode for his application. Communication with the processing stage is performed through three-wire SPI protocol and the data are sent starting with the channel one and ending with the channel seven.

In order to illustrate the capture data a Labview interface was design. In this interface the user can watch the waveform of the signals captured by the sensors. To communicate the design card with a computer was necessary change from protocol SPI to protocol RS232. That was made using a developing card with has the DSP MC56F4385 like core.

³ Degree project

⁴ Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director MSc. Jaime Barrero.

Contenido

1. Introducción.	16
1.1. Concepto de armónico.	16
1.2 Contador de inducción.	17
1.3 Contador electromecánico.	18
1.4 El medidor digital de energía eléctrica.	18
1.4.1 Etapa de adquisición y adecuación de Datos.	19
1.4.2 Etapa de Procesamiento de Datos.	20
1.5 Sistema de adquisición de datos (DAQ).	20
1.6 Ventaja de los medidores digitales.	21
1.7 Trabajos sobre medidores digitales en la EEET.	22
1.8 Ensayos para medidores de energía.	23
1.8.1 Ensayos tipo.	23
1.8.2 Ensayos de aceptación.	23
1.8.3 Ensayos de rutina.	23
1.10 Motivación.	24
1.11 Organización del documento.	24
2. Características de los dispositivos de medición.	25
2.1. Linealidad.	25
2.1.1. Curva de entrada vs salida y análisis estadístico.	26
2.1.2. Análisis de la calidad de los armónicos.	27
2.1.3 Análisis de la función de transferencia.	28
2.2. Repetitividad.	29
2.3. Ancho de banda.	30
3. Selección de los sensores de corriente y tensión.	31
3.1. Preselección.	31
3.2 Pruebas de linealidad y de repetitividad.	33
3.3. Metodología acordada para las pruebas de los sensores.	35

3.4. Resultados de las pruebas de linealidad y repetitividad para los sensores de tensión preseleccionados.....	35
3.4.1. Divisor de tensión resistivo.....	35
3.4.2. Transformador de tensión 115V/6V BV020-5411.0.....	37
3.4.3. Transformador de tensión 230V/24 BV020-5428.0.....	38
3.5. Pruebas de linealidad y repetitividad para los sensores de corriente preseleccionados.....	38
3.5.1. Sensor de efecto Hall ACS712.....	39
3.5.2. Transformador de corriente CST-1005.....	40
3.5.3. Resistencia <i>shunt</i> 15FR050 50mΩ – 5W.....	41
3.5.4. Sensor de efecto hall S22P006S05.....	43
3.6. Sensores seleccionados.....	45
3.7. Prueba de ancho de banda.....	45

4. Principio de funcionamiento y características conversores

Analógicos-Digitales.....47

4.1. Muestreo, Cuantización y Codificación.....	47
4.1.1. Muestreo.....	47
4.1.2. Cuantización.....	50
4.1.3. Codificación.....	50
4.2. Circuito <i>Sampled and Hold</i> (SHA).....	51
4.3. Características de los ADCs.....	52
4.3.1. Función de transferencia y resolución del ADC.....	52
4.3.2. Errores DC.....	53
4.3.3. Parámetros Dinámicos del ADC.....	55
4.4. Selección Conversor Analógico-Digital.....	58
4.4.1. Requerimientos del ADC en el Medidor Digital.....	58
4.4.2. Selección arquitectura del ADC.....	59
4.4.3. Conversor ADS 1278.....	61

5. Implementación tarjeta de adquisición.....65

5.1. Sensado señales de corriente y tensión.....	65
5.1.1. Sensado señal de corriente.....	65
5.1.2. Sensado señal tensión.....	66

5.2. Adecuación de las señales de tensión y corriente.	66
5.2.1. Adecuación señal de Corriente.	66
5.2.2. Adecuación Señal de Tensión.....	68
5.3. Configuración del ADS1278.....	70
5.3.1. Habilitación Entradas Analógicas.	70
5.3.2. Referencia del ADS1278.....	70
5.3.3. Reloj CLK.....	71
5.3.4. Modo de operación (MODE[1:0]) y CLKDIV.	71
5.3.5. Sincronización.	72
5.3.6. Pines TEST[1:0] y DIN.	72
5.4. Comunicación con la etapa de procesamiento.	73
5.5. Verificación del funcionamiento del ADS1278.....	75
5.6. Diseño definitivo de la tarjeta de adquisición.....	76
6. Pruebas a la tarjeta de adquisición.	77
6.1. Recepción de Datos Tarjeta de Procesamiento.	77
6.1.1. Configuración Modulo SPI del DSP.....	77
5.1.2 Programación Comunicación SPI.....	78
6.2. Envío de Datos hacia el PC.	79
6.2.1 Configuración Modulo de Comunicación Serial.....	79
6.2.2 Programación modulo de comunicación serial.....	80
6.3. Interfaz <i>Labview</i>	81
6.4. Pruebas efectuadas con generador de señales.....	82
6.5. Pruebas en laboratorio de máquinas.....	85
6.6. Especificaciones.	90
6.7. Recomendaciones.	91
6.8. Conclusiones y observaciones.....	92
REFERENCIAS	94
ANEXO A.....	97

Índice de figuras

1.1. Diagrama General de un Medidor de Estado Sólido	19
1.2. Esquema general del <i>Hardware</i> de adquisición de datos	21
2.1. Saturación e histéresis	26
2.2. Ejemplo de los armónicos de una señal de 60 Hz	27
2.3. Linealidad por puntos extremos, linealidad por linealización de las muestras	28
2.4. Error de repetitividad	29
2.5 Entrada y salida de dos sistemas de diferente orden alimentados por un escalón	30
3.1. Entrada vs salida del transformador de tensión <i>Tamura</i>	32
3.2. Sensores adquiridos para realizar las pruebas	33
3.3. Caracterización entrada vs salida que requiere un polinomio de orden mayor	33
3.4. Caracterización entrada contra salida del divisor de tensión implementado para pruebas	36
3.5. Caracterización entrada contra salida del transformador de tensión de 115V	37
3.6. Caracterización entrada contra salida del transformador de tensión de 230V	38
3.7. Caracterización entrada contra salida sensor de efecto Hall	39
3.8. Caracterización entrada contra salida del transformador de corriente	40
3.9. Caracterización del transformador de corriente con corrientes de entrada pequeñas	40
3.10. Caracterización entrada contra salida de la resistencia <i>shunt</i>	41
3.11. Caracterización de la resistencia <i>shunt</i> con corrientes de entrada pequeñas	42
3.12. Errores de repetitividad y pendiente de la resistencia <i>shunt</i>	43
3.13. Caracterización entrada contra salida del sensor de efecto Hall	43
3.14. Caracterización del sensor de efecto Hall con corrientes de entrada pequeñas	44
3.15. Sensor de tensión seleccionado y sensor de corriente seleccionado	45
3.16. Diferentes barridos en frecuencia para estimar el ancho de banda experimentalmente	46
4.1. Muestreo de una señal analógica $X_a(t)$	48
4.2. Respuestas en frecuencia de las señales muestreadas y originales	49
4.3. <i>Filtros antialiasing</i>	50
4.4. Circuito <i>simple and hold</i> requerido para digitalizar ciertas señales AC	51
4.5. Función de transferencia ideal para un ADC de 3-bits	52
	12

4.6. Función de transferencia con error de <i>offset</i> y con error de ganancia	53
4.7. Métodos de medición de linealidad en un conversor	54
4.8. Efectos de <i>missing code</i> y <i>non-monotonic</i> en la función de transferencia de un ADC	55
4.9. Posible Comportamiento del <i>ENOB</i> dentro de la banda pasante	58
4.10. Diagrama general de Bloques ADS1278	61
4.11. Respuesta en frecuencia general, de transición, y hasta F_{MOD} .	63
5.1. Sensor efecto <i>Hall S22P06S05</i>	65
5.2. Diagrama de pines Transformador de tensión	66
5.3. Atenuación filtros de diferentes ordenes, respuesta en frecuencia filtro RC	67
5.4. Esquema de adecuación de un canal de corriente	68
5.5. Amplificador Diferencial-Diferencial (<i>fully differential</i>)	69
5.6. Diagrama de adecuación de una fase de tensión	69
5.7. Voltaje de referencia del ADS1278	70
5.8. Sincronización ADS1278	72
5.9. Protocolo de comunicación <i>SPI</i> serial del ADS1278	73
5.10. Protocolo de transmisión de datos de la tarjeta de Adquisición	74
5.11. Configuración puerto de comunicación etapas de adquisición y procesamiento	74
5.12 Esquema general de la conexión del ADS1278	75
5.13. Tarjeta de pruebas para el ADS1278	76
5.14. Tarjeta de adquisición de datos	76
6.1. Configuración modulo <i>SPI</i> (SS1)	78
6.2. Programación modulo <i>SPI</i>	78
6.3. Organización de los datos a en el <i>DSP</i>	79
6.4. Configuración del módulo de comunicación serial asíncrona	79
6.5. Conexión del DS485	80
6.6. Programación del envío de datos	80
6.7. Conversor RS-485-RS-232 y conversor RS-232-USB	81
6.8. Panel Frontal Interfaz <i>Labview</i>	81
6.9. Señal senoidal de tensión, con su visualización en <i>Labview</i>	82

6.10. Señal triangular de tensión, con su en visualización <i>Labview</i>	83
6.11. Señal cuadrada de tensión, con visualización en <i>Labview</i>	83
6.12. Visualización de los armónicos de la señal cuadrada	83
6.13. Señal senoidal de tensión, con su visualización en <i>Labview</i>	84
6.14. Señal de tensión distorsionada a la entrada, con su visualización en <i>Labview</i>	84
6.15. Señal distorsionada en el osciloscopio de 55.5Hz	85
6.16. Montaje utilizado en el laboratorio de máquinas	86
6.17. Barrido de los canales de tensión en las pruebas del laboratorio de máquinas	86
6.18. Barridos en AC por los distintos canales de corriente de la tarjeta de adquisición	87
6.19. Pruebas de rectificación de media onda de corriente	88
6.20. Señal muestreada a 4.88KHz, equivalente a 80 muestras por ciclo a una onda de 60Hz	89
6.21. Señales de entrada y su procesamiento en Matlab	89

Índice de tablas

1.1. Armónicos Generados por cargas típicas	17
1.2. Características Contadores Desarrollados en la EEET	22
3.1. Características básicas de los elementos preseleccionados	32
4.1. Definición <i>SINAD</i> según los estándares IEEE 1241 e IEC62008	56
4.2. Definición <i>ENOB</i> según los estándares IEEE 1241 e IEC 62008	57
4.3. Principales características de convertidores de alta velocidad	59
4.4. Características generales de los modos de operación del ADS1278	62
4.5. Características generales ADS1278	63
5.1. Modos de operación ADS1278. Relación entre F_{CLK} con F_{MOD} y F_{DATA}	71
6.1. Datos obtenidos en los barridos de los canales de tensión	87
6.2. Datos obtenidos en los barridos de los canales de corriente	88
6.3. Especificaciones de la tarjeta	90

Capítulo 1.

Introducción.

En los últimos años, especialmente durante la última década, Colombia ha entrado en un acelerado proceso de industrialización, debido a la apertura de mercados, al fenómeno de la globalización, y al crecimiento en sí mismo de la economía del país. Esto se ha visto reflejado en el aumento de dispositivos de conmutación de estado sólido conectados a la red, lo que ha generado que en el sistema eléctrico, las formas de onda de tensión y corriente, se encuentren drásticamente distorsionadas.

Las cargas eléctricas se pueden clasificar en lineales y no lineales. Una carga lineal tomará una corriente proporcional a la tensión de alimentación, mientras que las cargas no lineales distorsionan la corriente consumida, causando caídas de tensión armónicas.

Los armónicos son generados tanto por cargas industriales, residenciales y comerciales con características no lineales, como por la magnetización de los materiales ferromagnéticos de los transformadores. En general, la incidencia de los armónicos está determinada por la susceptibilidad que la carga o fuente tenga a su presencia. Ciertas cargas toleran mejor la presencia de armónicos de tensión y corriente que otras. Los equipos menos susceptibles son los que generan calor (calefacción, hornos, etc.) mientras que entre los más susceptibles se tienen los equipos de comunicación y procesamiento de datos [1].

El aumento de cargas no lineales ha traído consigo un aumento en los armónicos presentes en la red de distribución, de aquí surgió la necesidad de replantear las definiciones de potencia (activa, reactiva, etc.) que se venían utilizando hasta entonces, buscar nuevas alternativas de sensado, y cuestionar el desempeño de los contadores de inducción.

En la actualidad el medidor digital de energía ha surgido como una respuesta a estos cambios en la red eléctrica, ya que para la medición de las tensiones y las corrientes de la red dispone de sensores de estado sólido, los cuales poseen una buena característica de ancho de banda.

1.1. Concepto de armónico.

La Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones, no ha sido indiferente a las nuevas condiciones en el suministro de la energía. En la década de los noventa se realizaron numerosos aportes en lo concerniente al estudio de armónicos entre los que se destacan [2] y [3] en los cuales se presenta un análisis general de armónicos y sus efectos sobre diferentes dispositivos, del mismo modo se brindan definiciones de potencia tanto en el dominio del tiempo como de la frecuencia, y diversos análisis de circuitos típicos para ondas de tensión y corriente con contenido armónico. De [3] se rescata la siguiente definición:

- **Armónicos:** Son tensiones o corrientes senoidales que corresponden a múltiplos enteros de la frecuencia normal de trabajo (en Colombia 60 Hz), conocida como fundamental. Se pueden caracterizar por tres valores: la magnitud, el ángulo de fase y la frecuencia.

El contenido armónico presente en la red eléctrica, no es algo que permanezca constante, este varía a lo largo del día dependiendo principalmente de la demanda exigida -cargas conectadas al sistema en un instante dado de tiempo. En la tabla 1.1 se presentan algunos armónicos generados por cargas típicas.

Descripción carga	Orden Armónico							
	1	3	5	7	9	11	13	15
Rectificador 6-Pulso	100	-	17	11	-	5	3	-
Rectificador 12-Pulso	100	-	3	2	-	5	3	-
Rectificador 18-Pulso	100	-	3	2	-	1	0.5	-
Rectificador 24-Pulso	100	-	3	2	-	1	0.5	-
Electronic/computer	100	56	33	11	5	4	2	1
Oficinas con PCs	100	52	28	8	3	2	1	0.5
Fluorescente	100	18	15	9	6	4	2	2

Tabla 1.1. Armónicos Generados por cargas típicas. [4]

1.2 Contador de inducción.

El contador de inducción de energía activa, ha sido un instrumento vital para la industria eléctrica, a partir de su invención en 1890. Desde ese tiempo hasta nuestros días se le han efectuado numerosas adecuaciones, principalmente para asegurar su integridad como un dispositivo de control de la energía eléctrica consumida por los usuarios. Su popularidad se debe en gran medida a su bajo costo y su aceptable exactitud en las mediadas bajo ciertas condiciones de carga.

Sin embargo con el aumento de armónicos en la red se ha puesto en entre dicho la credibilidad de las mediciones realizadas por estos dispositivos, y más teniendo en cuenta que en última instancia estas representan cantidades monetarias, que inciden en la economía tanto del que vende energía como de quien compra. En [1] se encuentra un estudio detallado de la estructura y principio de funcionamiento de este tipo de medidores, además de los resultados a distintas pruebas hechas a tres contadores monofásicos tipo inducción de dos hilos, diseñados para medir energía activa. De [1] se destacan las siguientes conclusiones:

- Un medidor de inducción tiene una linealidad relativamente aceptable bajo condiciones ideales o baja presencia de armónicos, y una reducida característica de frecuencia, particularidades que limitan su confiabilidad a casos de mínima distorsión.

- Los contadores de inducción cuando son sometidos a formas de onda de corriente y tensión distorsionadas, presentan errores porcentuales en el registro de la energía mayores a la clase del medidor. Lo que evidencia un comportamiento errado del medidor bajo condiciones de armónicos.

Las características propias del contador de inducción conducen a concluir que cuando la distorsión de tensión y corriente produce flujos de potencia armónica total que solo se dirigen de la carga hacia la fuente, el medidor extrarregistra el flujo neto total de energía activa; cuando se presenta el caso contrario el instrumento subregistra [1]. En este sentido, se podría caer en el error de justificar la aplicabilidad de los medidores de inducción aún en la presencia de armónicos, no obstante el extrarregistro o el subregistro ocurre de manera aleatoria y no existe algún mecanismo para determinar dicho factor de ajuste.

1.3 Contador electromecánico.

El requerimiento de medidores más complejos especialmente en el sector industrial, impulso la aparición de los denominados contadores híbridos, primer paso hacia los contadores de estado sólido, cuyo funcionamiento está basado en los contadores de inducción o de disco, con funciones adicionales generadas por dispositivos electrónicos.

En este tipo de instrumento la adquisición de los datos se realiza de la misma forma que en los contadores de inducción, sumándole un conversor mecánico-electrónico a manera de *encoder*. Esta conversión se realiza por medio de un dispositivo de pulsos el cual emite un pulso por cada rotación del disco [5]. En este sentido este dispositivo actúa como un conversor analógico-digital entre la salida mecánica y la entrada digital a los circuitos electrónicos.

La adición de una parte digital al contador de inducción permite obtener funciones adicionales como:

- Registros multitarifa.
- Registro histórico de datos.
- Demanda máxima.
- Visualización de datos *Display*.

Sin embargo aunque el contador electromecánico sea más funcional que el de inducción, sigue presentando los mismos problemas de ancho de banda que este, debido a que sigue implementando el mismo sistema para adquirir las ondas de tensión y corriente. En últimas el contador electromecánico sigue siendo un contador analógico.

1.4 El medidor digital de energía eléctrica.

Con el incremento de la demanda energética, las empresas generadoras de energía han entrado en un ambiente de competencia, de ahí la necesidad de buscar caminos para un mejor nivel de

servicio con costos reducidos. Una forma de hacer esto es con la instalación de contadores de energía de estado sólido.

Aparte de los beneficios tangibles como mayor exactitud especialmente en presencia de ondas no senoidales [6], el medidor de estado sólido ofrece más que una simple medida de KWh. Entre las ventajas adicionales más llamativas e innovadoras, está la posibilidad de comunicarse con el contador de forma inalámbrica, agilizando así, la recolección de datos y la introducción del concepto de energía prepago.

Un medidor digital básicamente está conformado por tres etapas: Adquisición/adección de señales, procesamiento de datos y visualización/modulo inalámbrico (figura 1.1).

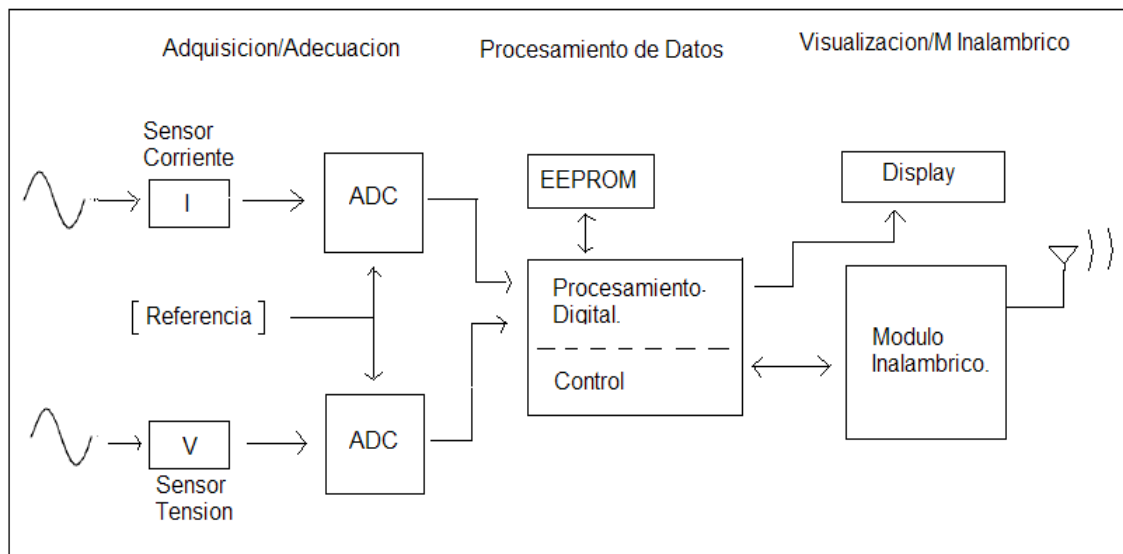


Figura 1.1. Diagrama General de un Medidor de Estado Sólido.

1.4.1 Etapa de adquisición y adecuación de Datos.

La adquisición y la adecuación de datos son la puerta de entrada del contador digital, siendo aquí donde realmente se logra un avance en comparación con los contadores electromecánicos y de inducción. En esta etapa se alojan los sensores que realizan la monitorización de las tensiones y corrientes del sistema trifásico. El ancho de banda de estos debe ser suficiente para cubrir el número de armónicos deseado y además deben verse beneficiados de una buena linealidad.

Luego de adquirida las señales analógicas por medio de los transductores, deberán ser filtradas para evitar que aparezcan muestras de la señal fuera del rango deseado. Del mismo modo se deben adecuar las señales de tal forma que se adapten a las entradas del convertor analógico-digital (ADC).

El último proceso correspondiente a la etapa de adquisición es la conversión analógica-digital. Aquí el ADC toma muestras de las señales provenientes de los sensores en instantes discretos de tiempo. Estas señales de tiempo discreto son convertidas por el ADC en unos valores numéricos - 0 y 1 s- para que puedan ser procesadas en la siguiente etapa. Dependiendo del convertor

seleccionado, es posible que se dé la necesidad de circuitería adicional para acoplar la señal de salida del sensor a la entrada del ADC la cual se debe tener en cuenta a la hora de medir costos.

1.4.2 Etapa de Procesamiento de Datos.

Una vez las señales de tensión y corriente han sido digitalizadas, son procesadas por un circuito digital con el fin de calcular la potencia activa, reactiva, aparente, etc. Hay diversos dispositivos que pueden realizar este procesamiento, siendo la solución más común el empleo de un *DSP*⁵ ya sea de propósito general o fijo.

En un *DSP* fijo el usuario no programa el dispositivo, el programa viene fijado internamente por el fabricante. Adicionalmente un medidor basado en *DSP* fijo requiere la implementación de una *MCU*⁶ para manejar algunas funciones externas, como el *display* y la comunicación. En el caso de un *DSP* programable el usuario tiene la ventaja de programar el *DSP* según sus necesidades. En este caso el *DSP* puede programarse de tal manera que controle todos los procesos llevados a cabo en el medidor⁷.

En [7] se plantea un debate sobre el uso de *DSPs* fijos y programables en medidores digitales de energía. Según [8] el uso de un *DSP* programable ofrece la ventaja de reconfiguración *post-diseño*, sin embargo la solución más exacta, simple y económica está basada en *DSPs* fijos.

En los últimos años se han establecido estándares, donde se brindan definiciones de potencia para ondas de corriente y tensión con contenido armónico como la IEEE 1459 [8], los cuales sirven de base para la programación de los *DSPs* para usuarios y fabricantes.

1.5 Sistema de adquisición de datos (DAQ).

La unión de las etapas de adquisición, procesamiento y visualización es lo que se conoce como un sistema de adquisición de datos (*DAQ*). La adquisición de datos es un proceso en el cual fenómenos físicos del mundo real son transformados en señales eléctricas las cuales son mediadas y transformadas a formato digital para su procesamiento, análisis y almacenamiento en un *host*⁸ [9].

Según [9], el *DAQ* se divide en dos partes inseparables las cuales son el *Hardware* de adquisición de datos (*Data Acquisition Hardware*) que comprende desde el sensado de las señales analógicas hasta su conversión en formato digital y la comunicación con el *host* y el *Software* de adquisición de datos (*Data Acquisition Software*) donde se realiza el almacenamiento y procesamiento de los datos.

En este proyecto se realizó un *Hardware* de adquisición de datos para un prototipo de contador digital trifásico, el cual cumple con los requerimientos de exactitud y ancho de banda exigidos en la norma NTC 4052[10]. En la figura 1.2, se expone en forma general lo que se implementó con

⁵ *DSP*: *Digital Signal Processor*.

⁶ *MCU*: *microcontroller unit*.

⁷ En este tipo de dispositivos generalmente se utiliza una *MCU* para quitarle peso computacional al *DSP*.

⁸ El *host* puede ser un microcontrolador, un *DSP*, un *PC*, etc.

esta etapa de adquisición, con el fin de darle una idea general al lector de lo realizado en este proyecto.

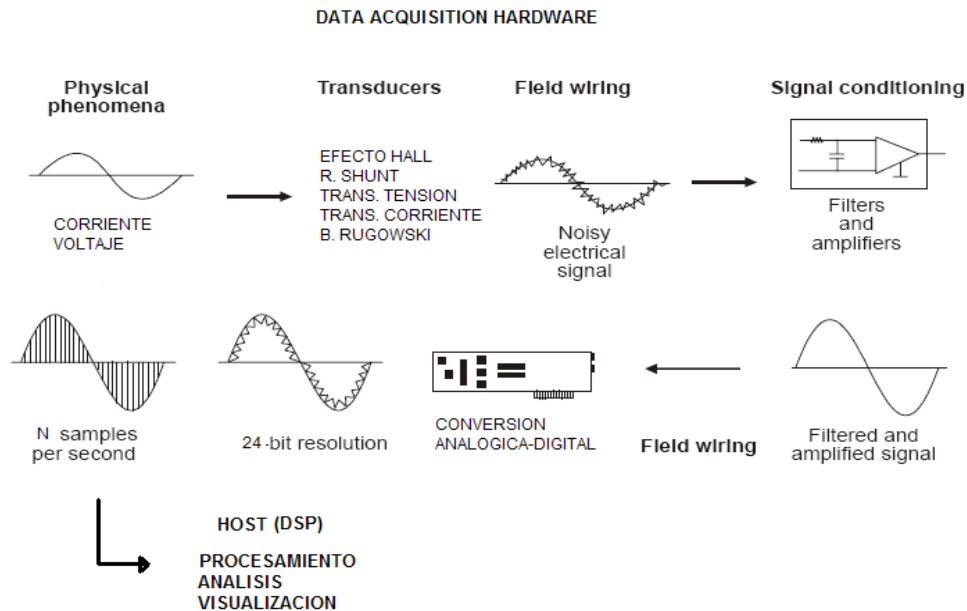


Figura 1.2. Esquema general del *Hardware* de adquisición de datos (adaptado de [9]).

1.6 Ventaja de los medidores digitales.

Entre las ventajas de los contadores digitales de energía se tiene:

- Alta exactitud y precisión en la medida en comparación con los de inducción y electromecánicos. Esto debido principalmente a dos factores; el primero el uso de sensores de estado sólido para captar las ondas de tensión y corriente –reemplazando las bobinas de corriente y tensión de los medidores de inducción y electromecánicos- y segundo al procesamiento de datos en el dominio digital.
- La calibración se realiza mediante *software*.
- Mayor control sobre el consumo de energía al disponer de mayor información tanto para el consumidor como para la empresa prestadora de servicio (potencia activa, reactiva, factor de potencia, etc.).
- Permite el almacenamiento de variables como KWh, KVAh, KVARh, eventos en tensión (huecos y elevaciones), lo cual permite realizar un mejor estudio de la calidad de energía que se está prestando.
- Le permite a la empresa el uso de esquemas tarifarios, que se adapten a la curva de demanda.
- Se pueden establecer planes de automatización de la lectura, evitando el error humano en la realización de la lectura de la medida.

- La posibilidad de implementar la “energía prepago” mediante tarjetas inteligentes (*smart cards*) lo cual permitirá tener un mejor control sobre la energía consumida beneficiando principalmente a los usuarios.

Los medidores electrónicos han superado en funcionamiento a los medidores electromecánicos en términos de funcionalidad y utilidad [7]. Tal vez la única desventaja que presenta este medidor respecto a su contraparte (inducción) es su elevado costo. Sin embargo a medida que se masifique el uso de este tipo de dispositivos seguramente su costo tenderá a descender.

1.7 Trabajos sobre medidores digitales en la EEET.

En la EEET se han realizado números aportes en el campo de los contadores digitales de energía [11],[12],[13],[14]. Estos trabajos tienen en común que todos se centran en la etapa de procesamiento de datos y visualización dejando a un lado la etapa de adquisición y lo referente a comunicación inalámbrica.

La tabla 1.2 muestra las principales características de los contadores realizados en [12],[13],[14]. En [11] y [12] la implementación se realizó con *DSPs* de propósito fijo de la familia ADE77XX de *Analog Devices*, mientras que [13] implementó el *DSP* de propósito general MC56F8345 de *Freescale*⁹.

Autor	FEDRICO F. MAYRA S.	ROMERO ADRIAN. HERNANDEZ IVAN.	PÉREZ W. QUIROGA J. ROMERO O.
Referencia	[12]	[13]	[14]
Año	2005	2006	2006
DSP	ADE7756 (fijo)	ADE7758(fijo)	56F8345(programable)
Arquitectura Conversor A/D	Sigma-Delta 2 orden.	Sigma-Delta 2 orden.	Sigma-Delta 2 orden.
Sensado Corriente	Efecto Hall Ref. CS25NPA.	Efecto Hall Ref. CS25NPA.	Resistencia <i>Shunt</i> . 50 mΩ
Sensado Tensión.	Divisor Resistivo.	Divisor Resistivo.	Divisor Resistivo.
Fs [KSPS]	3.5	3.3	2.4
Bits de resolución	20	24	12

⁹ el cual es el mismo que se implementará en el contador para el cual se está diseñando la etapa de adquisición. En [13] el autor utiliza los *ADCs* internos del *DSP* limitando la resolución a 12 bits teóricos.

(teórica)			
BWM [KHz]	10	10	1.2
Alimentación.	+/-12V – 5V	+/-12V – 5V	5V-3.3V
Aplicación Especifica	Medidor energía Monofásico sistema de calentamiento.	Medidor de energía Trifásico para Motores de Inducción	Medidor de energía Trifásico.

Tabla 1.2. Características Contadores Desarrollados en la EEET.

Estos trabajos cumplieron con los objetivos propuestos, con lo que se asume un buen funcionamiento de los sensores seleccionados, sin embargo no se hizo una caracterización específica de estos, por lo que no se puede entrar a comparar estos sensores dentro de un proceso de selección. Para la conversión analógica-digital se hizo uso de los conversores *Sigma-Delta* internos de los respectivos *DSPs*, por lo que no se realizó un estudio de este tipo de dispositivos.

En el presente trabajo de grado se realizó la caracterización de un grupo de transductores y un estudio sobre *ADCs*, enfocándose en lo que había pasado por alto en otros proyectos sirviendo como base en adquisición de datos para futuros desarrollos.

1.8 Ensayos para medidores de energía.

Según la norma ICONTEC NTC 4856 [15] hay tres tipos de ensayos para probar el funcionamiento de uno o varios medidores:

1.8.1 Ensayos tipo.

Procedimiento en el cual se efectúa una serie de ensayos sobre un medidor o un pequeño número de medidores del mismo tipo con características idénticas, para verificar que el medidor cumple con todos los requerimientos de la norma técnica aplicable para la clase de este. De esta hacen parte las normas NTC 2147[16], NTC 4052[10] y NTC 4569[17].

1.8.2 Ensayos de aceptación.

Procedimiento de acuerdo con el cual se efectúa una serie de ensayos sobre un lote de medidores, para la aceptación de los estos por parte del comprador. La norma NTC 4597 [18] indica los ensayos que se deben realizar y como se deben llevar a cabo.

1.8.3 Ensayos de rutina.

Procedimiento en el cual se efectúa una serie de ensayos sobre un medidor para propósitos de verificación inicial¹⁰ o verificación posterior¹¹. Los ensayos de rutina son: el ensayo de propiedades

¹⁰ verificación que se realiza a un medidor antes de ser instalado en una red eléctrica.

dieléctricas, el ensayo de funcionamiento sin carga, el ensayo de arranque, el ensayo de exactitud y el ensayo de verificación de la constante [15].

En términos generales los experimentos propuestos en los ensayos de rutina y de aceptación están contenidos en los de tipo, sin embargo en los primeros se permiten límites de error más amplios debido a que las condiciones de referencia exigidas son menos rigurosas.

1.10 Motivación.

Durante este capítulo se busco exponer la problemática de la medición actual de la energía eléctrica. El aumento de armónicos en la red y el pobre desempeño de los contadores de inducción y electromecánicos en presencia de ondas de tensión y corrientes distorsionadas, son el principal motivo para el diseño e implementación de una etapa de adquisición que tenga en cuenta el presente del sistema de distribución eléctrica.

Sumado a lo anterior se resalta el hecho que los trabajos realizados en la EEET en lo que refiere a medición de energía eléctrica, se han centrado en el estudio de nuevos algoritmos de medición y en entender el funcionamiento del *DSP* particular que manejaron, dejando en segundo plano el estudio de las características de los sensores y conversores analógicos-digitales.

La importancia de este proyecto radica en que esta etapa de adquisición definirá las características de ancho de banda y resolución del contador que se está realizando en el trabajo de maestría *“Diseño e Implementación de un Prototipo de Contador Electrónico Digital Trifásico de Energía Eléctrica para Control y Monitorización Remota”* el cual debe cumplir con las exigencias de exactitud para un medidor clase 1.

1.11 Organización del documento.

Este proyecto de grado aborda el diseño y la implementación de una tarjeta de adquisición para un medidor digital de energía trifásico. Los capítulos 2 y 3, presentan un estudio de las principales características que definen el comportamiento de los sensores en general, así como la caracterización de los sensores de corriente y tensión adquiridos. La parte central de la tarjeta de adquisición de datos es el conversor analógico-digital, un análisis de las diferentes características y de las diferentes tecnologías de este tipo de dispositivos es el tema central del capítulo 4. En este capítulo se hace la presentación de las principales características del ADS1278 conversor seleccionado para la aplicación. Más adelante se observará la estructura de la tarjeta de adquisición de datos, y durante todo el capítulo 5 se hablará de sus características principales, para luego concluir en el capítulo 6 con las pruebas de rigor que se le debieron hacer para demostrar su correcto funcionamiento.

¹¹ verificación que se realiza a un medidor retirado de su sitio de instalación para comprobar el estado en el cual venia funcionando.

Capítulo 2.

Características de los dispositivos de medición.

Un dispositivo de medición o sensor, es un dispositivo capaz de captar una magnitud física o química convirtiéndola en una tensión. Podría decirse que un sensor es también un sistema que tiene dos utilidades básicas, medir y controlar. Cuando un sensor es utilizado para medir este ofrece únicamente la información de la lectura de su variable, puede ser transducida por otros sistemas, tal como es el caso de un termómetro; y cuando el sensor es usado para controlar una variable, este se comporta como un sistema que genera una señal de salida, y por medio de un operador actuará sobre la variable a sensar buscando la estabilidad en el sistema de control general [19], en el punto donde el usuario desee, un ejemplo de esto es el sistema de aire acondicionado.

Existen multitud de características que poseen los sistemas, tales como la causalidad, la linealidad, la varianza en el tiempo, el ancho de banda, la estabilidad, en fin, multitud de características que hacen que los sistemas se diferencien unos de otros y a su vez permita establecer ciertos criterios para la selección entre una gran cantidad de dispositivos y sistemas que ofrece el mercado [20]. Esta sección se enfocará en su mayoría, a dos tipos de características, la linealidad y el ancho de banda, debido a que las demás características no solo hacen parte de la información que ofrecen los fabricantes de los dispositivos, sino también a que se necesitan mejores equipos e instalaciones para probar estas otras.

2.1. Linealidad.

Lo ideal de los instrumentos de medición es que sigan fielmente las variaciones de las cantidades físicas que están midiendo, sin que se pierda o se cambie la información que se está sensando, para esto se observa una propiedad que es la propiedad de linealidad de los sistemas, la cual teóricamente se define a partir del cumplimiento de 2 condiciones: primero que exista proporcionalidad entre la entrada y la salida del sistema, es decir, que a una entrada $2X$ haya una salida $2Y$, cuando la entrada y la salida son X y Y respectivamente; y que al haber dos entradas X_1 y X_2 con sus correspondientes salidas Y_1 y Y_2 , al introducir al sistema la suma de las entradas X_1+X_2 su salida sea Y_1+Y_2 [21]. No necesariamente la salida del sistema tiene que parecerse a la entrada para que el sistema sea lineal, es decir, a la entrada del sistema puede estar una temperatura y a la salida puede perfectamente estar viéndose una tensión o una corriente, como es el caso de los sensores de temperatura.

Se sabe que los dispositivos de medición no cumplen exactamente la propiedad de linealidad, debido a que la gran mayoría de efectos físicos en los que se basan los dispositivos no son lineales, y a esto hay que agregarle que la mayoría de los sistemas implementados con dispositivos semiconductores simplemente asemejan su exactitud los unos con los otros aún cuando sean de la misma fábrica o compañía, y esto debido a los procesos de fabricación que emplean para sus desarrollos; para esto existen diversos métodos que ayudan a analizar la linealidad de cualquier

dispositivo electrónico con el fin de dar un aporte en cuanto a su estimación, de esta forma, aunque la linealidad no se pueda medir, se puede obtener una apreciación del comportamiento de los dispositivos de medida, para nuestro caso, sensores de tensión y de corriente.

2.1.1. Curva de entrada vs salida y análisis estadístico.

La curva de entrada contra salida de un dispositivo, para nuestro caso el sensor, es la primera forma en que se puede tener una apreciación del comportamiento en cuanto a linealidad se refiere, ya que al observar esta relación se espera que la pendiente a la recta tangente a la curva sea una constante. En esta curva se pueden ver detalles como el punto de saturación, que es el momento cuando el sensor se deja de comportar de manera lineal; la histéresis, que es el momento en el que el dispositivo deja de ser lineal para mantener dos comportamientos diferentes dependiendo del sentido en el que opere (generalmente se da en los transformadores).

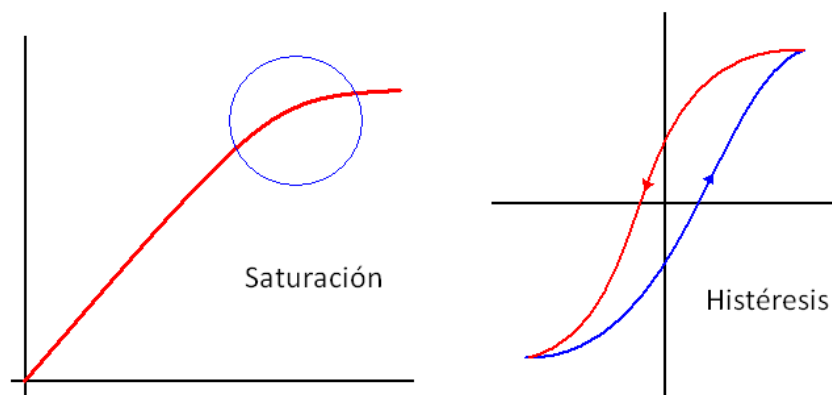


Figura 2.1. Saturación e histéresis

Únicamente haciendo una regresión lineal por mínimos cuadrados se puede llegar a saber que tanto depende la salida de la entrada, o si existen más variables independientes, se puede llegar a saber que tanto incide cada variable dependiente sobre la salida del sistema. Para esto se tiene un grupo de variables estadísticas que permiten analizar la respuesta del sistema al comportamiento que se describe con una regresión lineal.

Correlación: cuando dos tipos de fenómenos de cualquier tipo, crecen o decrecen de forma simultánea y proporcional debido a factores externos, se dice que los fenómenos están positivamente correlacionados. Si uno crece en la misma proporción que el otro decrece, los dos fenómenos están negativamente correlacionados. El grado de correlación se calcula aplicando un coeficiente de correlación a los datos de ambos fenómenos. Una correlación positiva perfecta tiene un coeficiente + 1, y para una correlación negativa perfecta es -1. La ausencia de correlación da como coeficiente 0.

El estadístico R-cuadrado: indica que el modelo matemático, sea una ecuación de una recta, o una de orden superior, puede definir el comportamiento o la variabilidad en la salida. Entre más alto sea este porcentaje más certeza ofrece el modelo matemático.

El estadístico R-cuadrado ajustado: es el más conveniente para comparar modelos con diferente número de variables independientes.

El error estándar de la estimación: muestra la desviación típica de los residuos. Los residuos son las distancias entre la medición y la recta que mejor se ajusta a la curva. El error estándar de la estimación puede usarse para construir los límites de predicción para las nuevas observaciones.

El error absoluto medio (MAE): es el valor medio de los residuos.

El estadístico Durbin-Watson (DW): examina los residuos para determinar si hay alguna correlación significativa basada en el orden en el que se han introducido los datos en el fichero. El estadístico de *Durbin-Watson* tiene un rango entre 0 y 4: un valor próximo a 2 indica escasa autocorrelación; un valor entre 2 y 0 indica una autocorrelación positiva mientras que un valor entre 2 y 4 indica una autocorrelación negativa.

Statgraphics plus 5.1 es una herramienta de *software* libre que ofrece todos estos análisis estadísticos, incluyendo una apreciación para el nivel de confianza en el experimento mediante el análisis de los coeficientes de la función que mejor modela los datos adquiridos en el experimento.

2.1.2. Análisis de la calidad de los armónicos.

Los armónicos de una señal son aquellos componentes de la señal que no son parte de la frecuencia fundamental, sino que portan una determinada potencia a frecuencias múltiplos escalares de esa frecuencia fundamental. Para muchas aplicaciones, excepto para unas pocas como la acústica donde pasa al contrario, los componentes armónicos de una señal van perdiendo amplitud o potencia a medida que van aumentando en frecuencia, haciendo que después del quinto armónico estos se desprecien, aunque las aplicaciones más rigurosas intentan tomar en cuenta la influencia de cada armónico y para esto evitan tener que despreciar sus aportes.

Para un análisis de calidad de armónicos es necesario poder generar una onda que esté compuesta por varias componentes armónicas, como por ejemplo una onda cuadrada, o una triangular o diente de sierra, las que se producen por la rectificación de media onda y de onda completa, en fin, una infinidad de señales periódicas que sirven para un análisis de armónicos. Con una señal como estás se puede hacer una comparación entre la entrada y la salida del sensor, dando un valor de tolerancia a la relación entrada vs salida por cada uno de los armónicos presentes en ambas señales, es decir, si se tiene una señal de 60Hz, con algunos aportes en el primer, tercer y quinto armónico como se muestra en la figura 2.2, con lo que se obtendría una visión acerca de la distorsión armónica que produce el sensor. La medida matemática de cómo se afecta la linealidad de la señal es la distorsión armónica total, TDH, que es la relación entre las potencias de los armónicos sobre la potencia total.

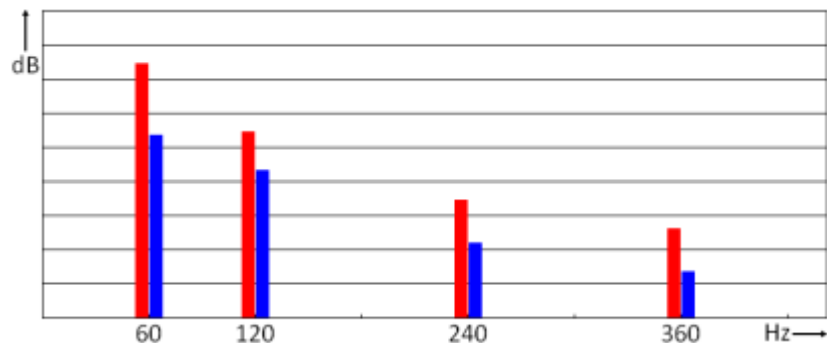


Figura 2.2. Ejemplo de los armónicos de una señal de 60 Hz.

$$TDH = \frac{\sum \text{Potencias de los armónicos}}{\text{Potencia total}} = \frac{P_1+P_2+P_3+P_4+\dots}{P_0+P_1+P_2+P_3+P_4+\dots} \quad (2.1)$$

Donde P_0 corresponde a la potencia de la componente en la frecuencia fundamental, P_1 a la potencia del primer armónico, P_2 a la potencia del segundo, etc.

2.1.3 Análisis de la función de transferencia.

La función de transferencia, S , es la relación que hay entre la entrada y la salida de un sistema físico, siendo esta un modelo matemático que da la respuesta del sistema a una determinada señal de entrada o de excitación, si esta respuesta es lineal, se asume que tendrá la siguiente forma

$$\frac{Y}{X} = S = K \quad (2.2)$$

Donde X es la excitación externa del sistema, y Y la respuesta del sistema ante determinada excitación, y K es una constante. Aunque dependiendo de un cierto nivel de offset muchos sistemas pueden tener el siguiente comportamiento

$$Y = KX + b \quad (2.3)$$

Aunque el comportamiento teórico podría indicar que K , es decir, la pendiente es constante, para el caso de un barrido de en la magnitud de la señal de entrada hecho experimentalmente se obtendrán múltiples pendientes, las cuales impedirán asegurar que K es una constante; para esto existen dos métodos implementados en el diseño de experimentos que permite medir la linealidad como un porcentaje de la señal de entrada. El método consiste en extraer todas las muestras de un barrido y compararlos con una recta obtenida por las mismas muestras. Esta recta será una unión de los puntos inicial y final de la muestra, o la recta producto de la linealización (el método más utilizado es el de los mínimos cuadrados) de las muestras tomadas experimentalmente, como se aprecia en las figuras 2.3.a y 2.3.b respectivamente.

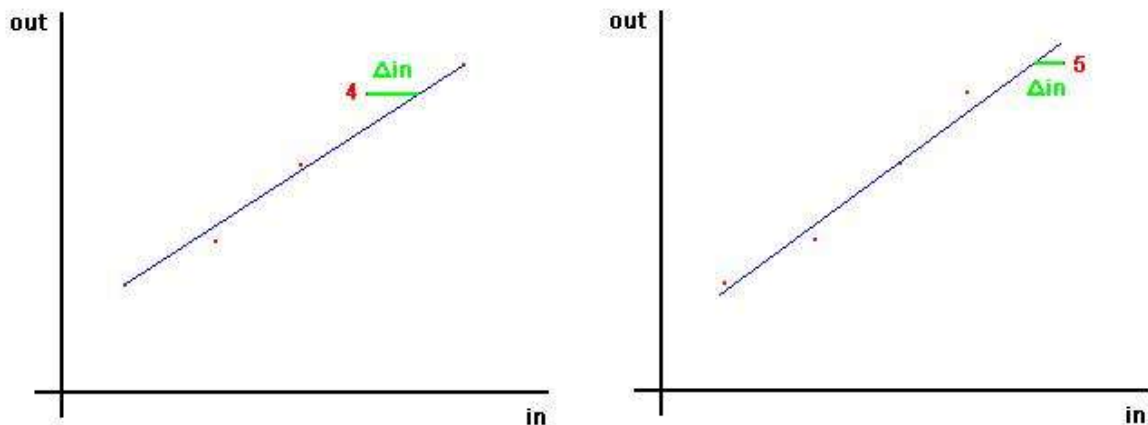


Figura 2.3. a) Linealidad por puntos extremos. b) Linealidad por linealización de las muestras

La distancia Δin es la mayor distancia horizontal hacia la recta, en otras palabras, representa la mayor desviación de las muestras al que debería ser el comportamiento lineal deseado, y expresa la no-linealidad del sistema. La no linealidad está dada en porcentajes de *full scale* (FS) o en términos de términos del valor medido. La distancia Δin va a ser más corta en la medición de no-

linealidad utilizando linealización, y es por esto que la mayoría de compañías fabricantes de dispositivos entregan este porcentaje como la magnitud de la no-linealidad que ofrecen sus productos.

$$\delta_{er} = \frac{\Delta}{FS} * 100\%$$

Las ventajas de seleccionar dispositivos lineales son muchas, pero entre las más importantes están: el uso de menos cálculos para la visualización, que se puede recuperar la señal en caso de que se haga una transducción, y que no se va a ver distorsionada la entrada de la salida. Válgase aclarar que los dispositivos no lineales son también útiles en aplicaciones en las que se requiere hacer énfasis en ciertas cantidades de señal de entrada, obteniendo una más clara visualización en la salida, dando un ejemplo en donde se usan los dispositivos con comportamientos exponenciales. Se sabe que el comportamiento de la mayoría de sensores es como el de la figura 2.1, aunque estos pueden mantener un comportamiento lineal si se operan por debajo de la región en donde el dispositivo se satura, por ende es necesario trabajar en las regiones lineales del dispositivo para no alterar la señal sobreestimando en ciertas ocasiones las cantidades de señal a medir. Esta sobreestimación puede ser la solución al problema de la linealidad, pero también puede disminuir la sensibilidad de todo el sistema, y esto debido a que ahora los rangos de medición son más amplios, aunque si se trata de sistemas transductores o sistemas de sensado esto no es muy problemático debido a que su sensibilidad se basa en sus principios físicos internos, claro está que no se debe sobreestimar demasiado para asegurar linealidad.

2.2. Repetitividad.

El error de repetitividad es causado por la inhabilidad del dispositivo a para presentar el mismo comportamiento bajo condiciones idénticas de medida. Es usualmente representado por un porcentaje de FS.

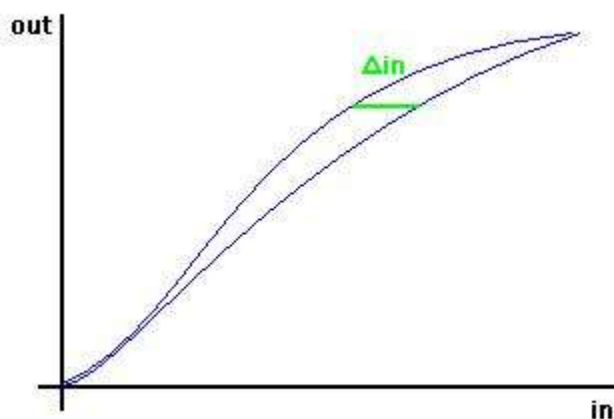


Figura 2.4. Error de repetitividad.

2.3. Ancho de banda.

El ancho de banda es una medida en Hz de la anchura en frecuencia, en donde se encuentra ubicada la mayor parte de la potencia de una señal u onda. Es en alto grado un reconocido término, ya que es usado con frecuencia entre los consumidores de servicios digitales, ya sea conexión de internet, o dispositivos móviles; pero estos son ejemplos de ancho de banda digital, más existe un desconocimiento de la gente en general acerca del ancho de banda analógico, el cual se tiene que tener en cuenta para los dispositivos primarios o sensores que se establecerán posteriormente a un proceso de selección con el transcurrir de este proyecto.

Existen varias alternativas para medir el ancho de banda en los dispositivos, pero una forma de visualizarlo es por medio de un osciloscopio como se muestra en el esquema de conexión de la figura 3, en donde se podría medir la amplitud de los distintos armónicos que se generan y cuando la diferencia entre los de la entrada y la salida varíen a una razón mayor de $\sqrt{2}$, hasta ahí se puede ver el ancho de banda; pero este procedimiento no entregaría los datos óptimos ya que se debería confiar en la precisión de los implementos de medición, y no se podría visualizar el ancho de banda de la medición en corriente debido a que las cargas que se pondrían no son lineales, y requeriría elevar el cálculo, haciendo engorroso e imprecisa la medición.

La mejor alternativa que se tiene para la medición del ancho de banda es analizando la respuesta del sistema a una entrada determinada, la más frecuente, el escalón. Por medio de una interrupción se da tanto la señal de entrada como la orden de medición, tal y como se muestra en la figura 2.5. En donde se podrá obtener la información del sistema, por medio del tiempo de establecimiento, sobrepico máximo, y valor de establecimiento. Se obtiene el orden del sistema y luego se encuentran sus respectivos polos y ceros, y la forma de la respuesta en frecuencia con más detalle que con una simple visualización de armónicos en un osciloscopio.

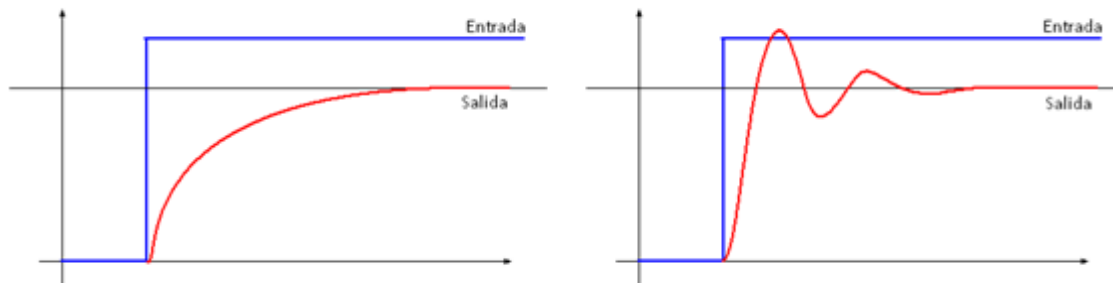


Figura 2.5 Entrada y salida de dos sistemas de diferente orden alimentados por un escalón.

Capítulo 3.

Selección de los sensores de corriente y tensión.

El proceso de selección de los implementos es algo por donde todo proyecto de *hardware* tiene que pasar, y es por medio de una buena selección que los objetivos iniciales junto con los cálculos se verán bien respaldados, también puede ser determinante el no hacer una buena selección de dispositivos en cuanto al tiempo del proyecto y resultados. También es muy conocido que dos o más soluciones teóricamente iguales, variarán de resultados si los dispositivos seleccionados no son los mismos, dejando como inquietud la necesidad de ponderar no solo el trabajo teórico sino también el proceso de selección, y las características que se utilizaron como prioridades para desarrollar este proceso.

3.1. Preselección.

Se realizó la selección de los dispositivos de medición teniendo en cuenta todas las características que deben poseer, y de acuerdo a una evaluación, no solo teórica sino experimental también de estas características, se logró determinar cuáles son los sensores que más se ajustan a la necesidad requerida a la tarjeta de adquisición. Las características que se tuvieron en cuenta para la selección fueron:

- En el caso de los sensores de corriente: ser capaz de medir corrientes en un rango desde los 50mA – 6A.
- En el caso de los sensores de tensión: ser capaz de medir tensiones en un rango desde los 10 – 140Vrms.
- Poseer un ancho de banda superior a los 3KHz, siendo capaces de adquirir hasta el 50º armónico.
- En lo posible que presenten aislamiento, de manera que no se comprometan la adecuación y la digitalización de los datos, por sobre-tensiones o sobre-corrientes en la red, y de paso ofrecerle mayor seguridad a las personas que manipulen la tarjeta.

Inicialmente se contaba con dos dispositivos para medir tensión y uno para medir corriente, el sensor de tensión de *efecto Hall*¹² LV 20-P de la marca *LEM*, el transformador de tensión SB3516-3006 marca *Tamura* y el sensor de corriente de *efecto Hall* LA 55-P marca *LEM*; con estos sensores se definieron las pruebas a realizarse en laboratorio y de inmediato fueron descartados los de la marca *LEM* por tener la necesidad de alimentarlos de forma dual con 12V positivos y negativos y a su elevado precio. Con el transformador de tensión *Tamura* se realizó el modelo de pruebas que fue utilizado para la selección de los dispositivos. A continuación se puede ver su curva de entrada contra salida.

¹² **Efecto hall:** consiste en la aparición de un campo eléctrico en un conductor cuando es atravesado por un campo magnético. Llamado efecto Hall en honor a su descubridor *Edwin Duntley Hall*.

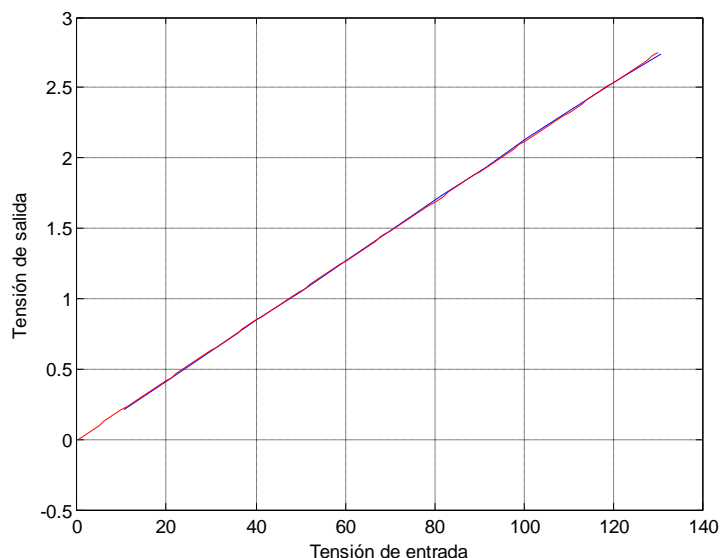


Figura 3.1. Entrada (V_{rms}) vs salida (V) del transformador de tensión *Tamura*.

Con esta característica entrada vs salida se pudo ver que la selección de un transformador de tensión era una muy buena opción para la tarjeta, pero no se podía utilizar este porque se subutilizaría debido a que este dispositivo está diseñado para suministrar una potencia elevada por el secundario, y no hace falta llevar 1A nominal a la parte de adecuación de la señal así como lo indica su hoja de datos.

Elementos seleccionados para realizar pruebas de laboratorio

	Tipo	Referencia	Marca	Entrada nominal	Salida nominal	Ancho de banda	Precio unidad
Tensión	Transformador de tensión	BV020-5411.0	Pulse	115V	6V/58mA	No dice	U\$3.24
		BV020-5428.0	Pulse	230V	24V/14mA	No dice	U\$3.24
	Divisor resistivo	Información: entrada 100K Ω – salida 1.2K Ω					
Corriente	Transformador de corriente	CST-1005	Triad	10A	10mA	No dice	U\$ 6.11
	Resistencia <i>Shunt</i>	15FR050	Ohmite	Información: 0.050 Ω – 5W			U\$ 1.92
	Efecto Hall	ACS712	Allegro	5A	1V	80KHz	U\$ 2.9
		S22P006S05	Tamura	6A	3.75V	200KHz	U\$15.18

Tabla 3.1. Características básicas de los elementos preseleccionados.



Figura 3.2. Sensores adquiridos para realizar las pruebas.

3.2 Pruebas de linealidad y de repetitividad.

El principio de esta prueba es tomar una muestra de cada uno de los sensores que fueron seleccionados, y hacer un barrido en AC a la entrada y obtener los datos de la salida, para así analizar su comportamiento, esta prueba nos permite verificar que en primera instancia que el dispositivo no va a distorsionar la señal original, permitiendo que se haga la medición de una manera exacta y sencilla, al no tener que utilizar ecuaciones de orden elevado para poder interpretarla, haciendo que el sistema de procesamiento requiera un menor número de instrucciones. La ventaja de tener un sistema que presente en la relación entrada vs salida una pendiente constante, es que el *DSP* encargado del procesamiento de la información solo estará programado con una ecuación de primer orden, y no con una de orden superior que dependería directamente del polinomio que mejor se ajuste a la curva de entrada vs salida.

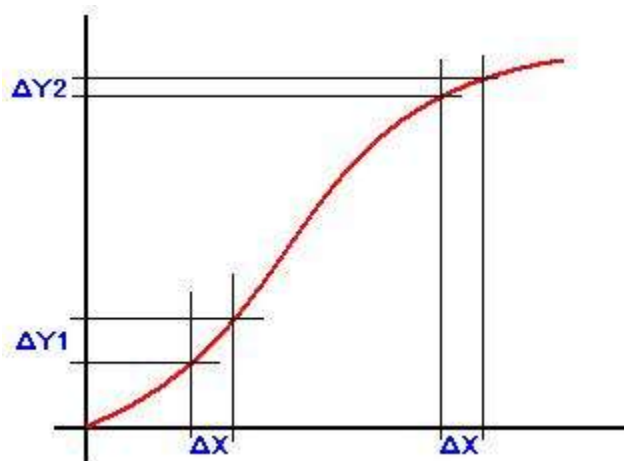


Figura 3.3. Caracterización entrada vs salida que requiere un polinomio de orden mayor a uno para su interpretación.

Para la prueba de linealidad se estableció el procedimiento de regresión lineal por mínimos cuadrados y posteriormente se examinará linealidad por linealización de las muestras, y se analizará la correlación de la variable de entrada a una ecuación de primer orden. El algoritmo que se planteó fue el siguiente.

```
function [M E]=linpro(a,b)

Ma=max(a);
p=polyfit(a,b,1);
pa=Ma/1000;
x=0:pa:Ma;

plot(a,b
grid on
hold on
y=p(1,1)*x+p(1,2);
plot(x,y,'r')

e=abs((b-p(1,2))/p(1,1)-a);
Me=max(e);
ma=min(a);
err=Me/(Ma-ma)*100
```

Para la prueba de repetitividad se estableció el análisis de dos curvas que caractericen el comportamiento de cada sensor, estas curvas son polinomios de cuarto orden con los que se analizan las diferencias en la salida y luego se obtiene el error en %FS. Para esto se estableció el siguiente algoritmo en Matlab.

```
function [M E]=reppro(a1,b1,a2,b2)

Ma(1,1)=max(a1);
Ma(2,1)=max(a2);
Mi=min(Ma);
p1=polyfit(a1,b1,4);
p2=polyfit(a2,b2,4);
pa=Mi/1000;
x=0:pa:Mi;

y1=p1(1,1)*x.^4+p1(1,2)*x.^3+p1(1,3)*x.^2+p1(1,4)*x+p1(1,5);
plot(x,y1)
hold on
grid on
y2=p2(1,1)*x.^4+p2(1,2)*x.^3+p2(1,3)*x.^2+p2(1,4)*x+p2(1,5);
plot(x,y2,'r')

e=abs(y1-y2);
Me=max(e);
Mb(1,1)=max(b1);
Mb(2,1)=max(b2);
mb(1,1)=min(b1);
```

$mb(2,1) = \min(b2)$;
 $err = Me / (\max(Mb) - \min(mb)) * 100$

3.3. Metodología acordada para las pruebas de los sensores.

En la preselección se escogieron los sensores que serían probados, debido a que cumplían con las características que requería el prototipo en su parte de adquisición. A continuación el proceso que se llevó a cabo para analizar los dispositivos preseleccionados [21].

- Se convino comprar de tres a cuatro muestras de cada sensor.
- Se escogieron dos muestras al azar por cada sensor para evaluarlos.
- A cada sensor escogido al azar se le realizaron dos barridos en su entrada, para visualizarlos en la salida; estos barridos se hicieron en días distintos, para cambiar las condiciones de funcionamiento. Se usaron los mismos instrumentos de medición para no inquirir en errores, buscando que con la prueba se hicieran mediciones confiables y así tener una comparación correcta entre los sensores.
- Luego cada gráfica de entrada contra salida se analizó por medio del programa que prueba la linealidad. El peor resultado por tipo de sensor es el que se denominará error máximo de linealidad.
- La gráfica que da el mayor error de linealidad en la primera muestra del sensor, junto con la que da el mayor error de linealidad en la segunda muestra del sensor, se analizaron en el programa que mide el error de repetitividad, su resultado es el error de repetitividad.
- La gráfica que dio el peor error de linealidad fue analizada en *Statgraphics plus 5.1*¹³, con el fin de obtener un análisis de las variables estadísticas producto del experimento.
- Para extraer la ecuación lineal característica por sensor se seleccionó la gráfica que estuviera más cerca del error de linealidad promedio, este error es la suma de todos los errores de linealidad por sensor dividido en el número de experimentos, y se extrajo el polinomio por medio de una regresión lineal por mínimos cuadrados. Esto se acordó que sería válido si el error de repetitividad es menor al 5%, debido a que no vale la pena extraer esta ecuación para un producto muy posiblemente defectuoso o de mala calidad.
- Basados en los resultados se procedió a seleccionar el mejor sensor de tensión y el mejor sensor de corriente, valiéndose también de otras características tales como aislamiento y comportamiento a amplitudes bajas de la señal de entrada.
- Se comprobó que el ancho de banda de los sensores fuera suficiente para señales de hasta 3KHz de frecuencia.

3.4. Resultados de las pruebas de linealidad y repetitividad para los sensores de tensión preseleccionados.

3.4.1. Divisor de tensión resistivo.

El divisor resistivo implementado fue de con valores de resistencias de 100K Ω y 1.2K Ω , los resultados fueron los que se muestran a continuación.

¹³ Statgraphics plus 5.1 es una versión libre en internet

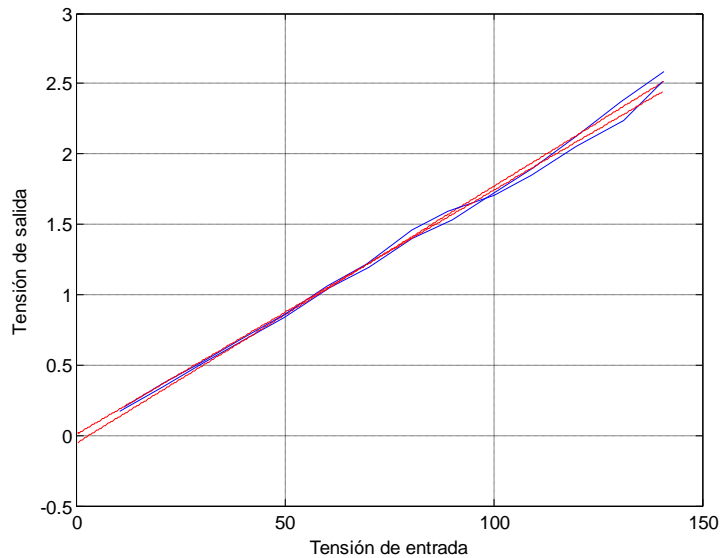


Figura 3.4. Caracterización entrada (Vrms) contra salida (Vrms) del divisor de tensión implementado para pruebas.

El máximo error de linealidad que se presenta es de 3.2678%

Presenta un error de repetitividad del 5.2628%

R-cuadrado = 99,7609 porcentaje

R-cuadrado (ajustado para g.l.) = 99,741 porcentaje

Error estándar de est. = 0,388776

Error absoluto medio = 0,28279

Estadístico de Durbin-Watson = 0,536018 (P=0,0001)

Autocorrelación residual en Lag 1 = 0,527291

La ecuación del modelo ajustado es: $V_{out1} = -0,0549462 + 0,0182329 \cdot V_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

El uso de un divisor de tensión como herramienta para sensar, es decir reduciendo la tensión desde los 120V nominales hasta dejarla de tamaño en que los demás dispositivos se adapten a ella sin que la recorten perdiendo información, es una idea buena inicialmente, pero se vio la necesidad de ofrecerle aislamiento al circuito de manera que no se vea expuesta la adquisición de datos como consecuencia de un fallo en la red eléctrica.

3.4.2. Transformador de tensión 115V/6V BV020-5411.0.

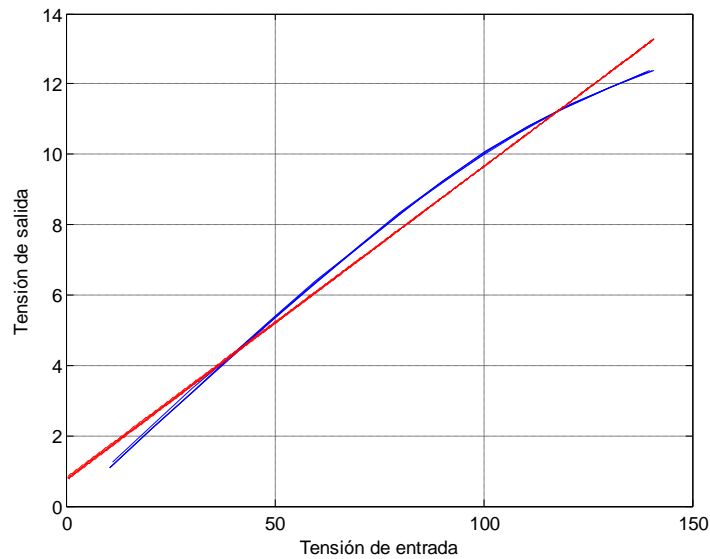


Figura 3.5. Caracterización entrada (Vrms) contra salida (Vrms) del transformador de tensión de 115V.

El error de linealidad que presenta es de 7.3313%

Presenta un error máximo de repetitividad del 0.2775%

R-cuadrado = 98,6832 porcentaje

R-cuadrado (ajustado para g.l.) = 98,5735 porcentaje

Error estándar de est. = 0,447654

Error absoluto medio = 0,357255

Estadístico de Durbin-Watson = 0,253512 (P=0,0000)

Autocorrelación residual en Lag 1 = 0,65165

La ecuación del modelo ajustado es: $V_{out1} = 0,782088 + 0,088541 * V_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

Debido a su alto error en linealidad se tendría que establecer un polinomio de orden superior al de la ecuación del modelo ajustado uno, lo que implicaría un tiempo de procesamiento más lento para obtener los valores exactos de tensión en cada fase.

3.4.3. Transformador de tensión 230V/24 BV020-5428.0.

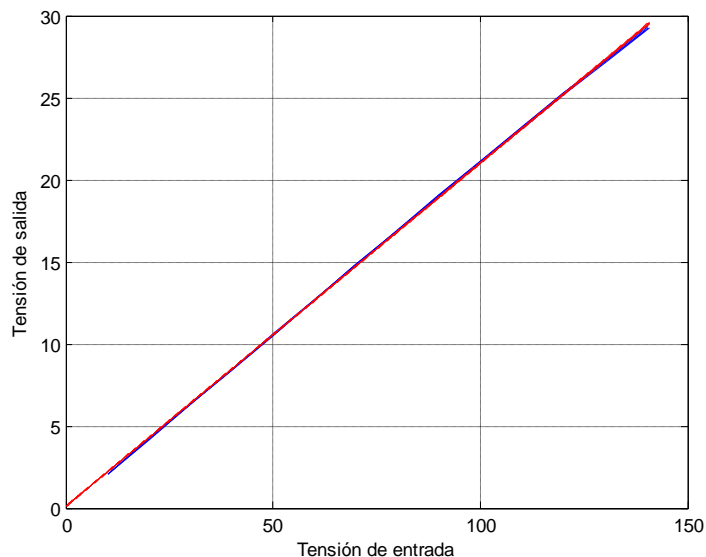


Figura 3.6. Caracterización entrada (Vrms) contra salida (V) del transformador de tensión de 230V.

El máximo error de linealidad que presenta es de 0.9061%

Presenta un error máximo de repetitividad del 0.4308%

R-cuadrado = 99,9837 porcentaje

R-cuadrado (ajustado para g.l.) = 99,9824 porcentaje

Error estándar de est. = 0,115374

Error absoluto medio = 0,0895509

Estadístico de Durbin-Watson = 0,311159 (P=0,0000)

Autocorrelación residual en Lag 1 = 0,603293

La ecuación del modelo ajustado es: $V_{out1} = 0,0839261 + 0,209021 * V_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

Este sensor posee errores de linealidad y repetitividad inferiores al 1%. Brinda protección y aislamiento al sistema en caso de ser utilizado como sensor.

3.5. Pruebas de linealidad y repetitividad para los sensores de corriente preseleccionados.

3.5.1. Sensor de efecto Hall ACS712.

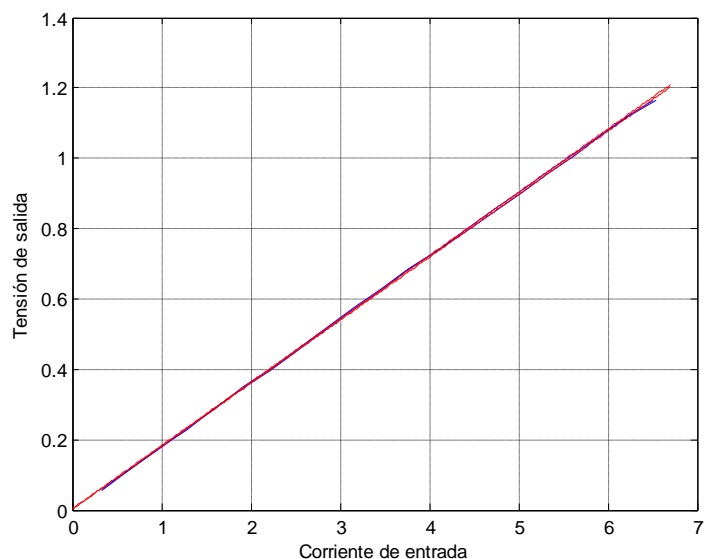


Figura 3.7. Caracterización entrada (Arms) contra salida (V) sensor de efecto Hall.

El máximo error de linealidad que se presenta es de 0.8912%

Presenta un error de repetitividad del 0.6062%

R-cuadrado = 99,9903 porcentaje

R-cuadrado (ajustado para g.l.) = 99,9897 porcentaje

Error estándar de est. = 0,00350298

Error absoluto medio = 0,00232856

Estadístico de Durbin-Watson = 0,629803 (P=0,0000)

Autocorrelación residual en Lag 1 = 0,462455

La ecuación del modelo ajustado es: $V_{out1} = 0,00247933 + 0,180043 \cdot I_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

Aunque presenta errores inferiores al 1%, este dispositivo fue descartado por su incapacidad de captar corrientes menores a 300mA, debido a que los instrumentos de medición variaban demasiado en su lectura. Como punto favorable tiene su reducido tamaño y precio, entonces se hace mucho más conveniente en proyectos que no necesiten tanta precisión. Se probó cambiando el filtro que tiene este dispositivo a su entrada pero los cambios no llegaron a ser los esperados.

3.5.2. Transformador de corriente CST-1005.

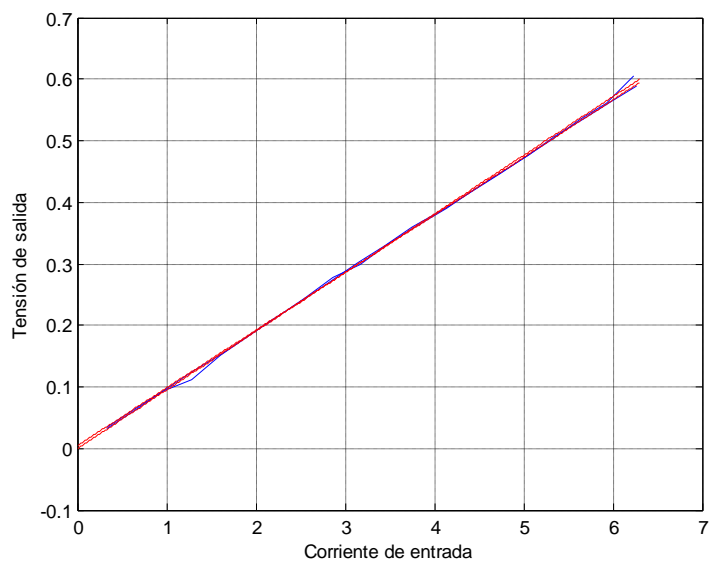


Figura 3.8. Caracterización entrada (Arms) contra salida (V) del transformador de corriente.

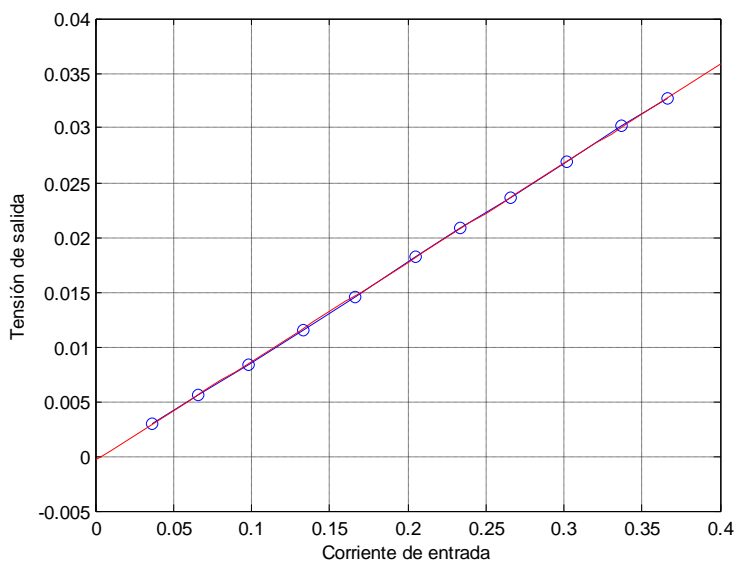


Figura 3.9. Caracterización entrada (Arms) contra salida (V) del transformador de corriente utilizando corrientes de entrada pequeñas.

El máximo error de linealidad que se presenta es de 1.9161%

Presenta un error de repetitividad del 2.6140%

R-cuadrado = 99,9466 porcentaje

R-cuadrado (ajustado para g.l.) = 99,9435 porcentaje

Error estándar de est. = 0,00418916

Error absoluto medio = 0,00291256

Estadístico de Durbin-Watson = 1,50617 (P=0,0820)

Autocorrelación residual en Lag 1 = 0,0407034

La ecuación del modelo ajustado es: $V_{out1} = -0,000698064 + 0,095336 \cdot I_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

Este sensor presenta buenas características, no necesita fuente de alimentación externa y no sensa corrientes continuas.

3.5.3. Resistencia *shunt* 15FR050 50mΩ – 5W.

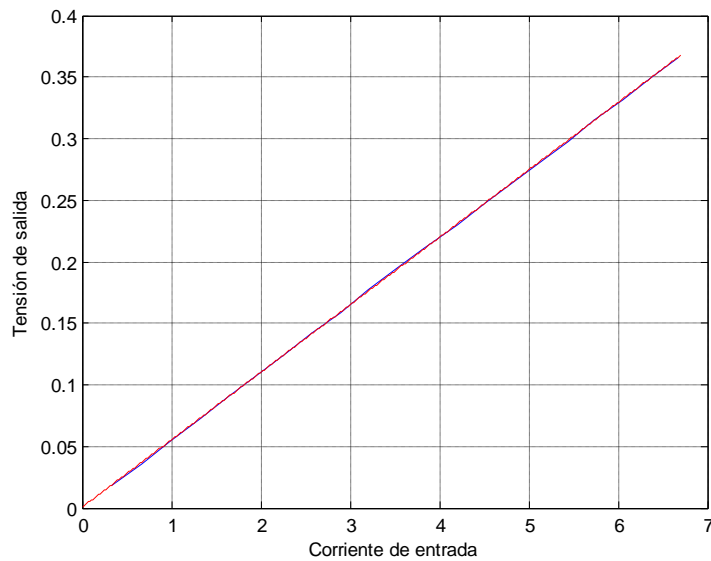


Figura 3.10. Caracterización entrada (Arms) contra salida (Vrms) de la resistencia *shunt*.

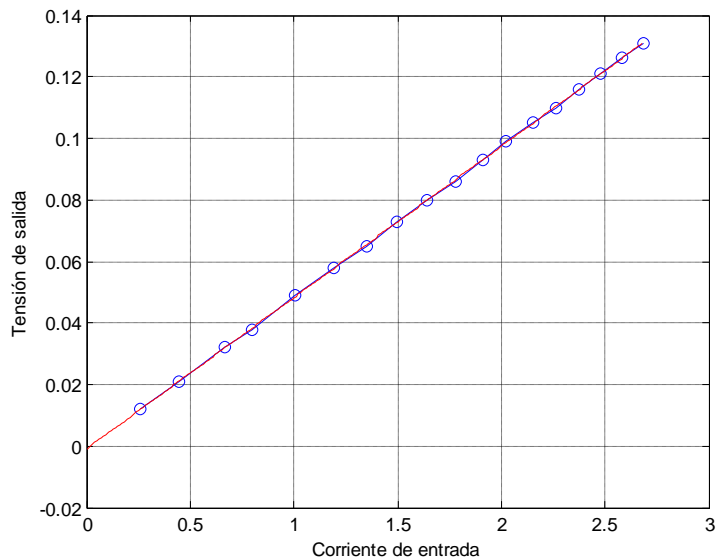


Figura 3.11. Caracterización entrada (Arms) contra salida (Vrms) de la resistencia *shunt* con corrientes de entrada pequeñas.

El máximo error de linealidad que se presenta es de 0.4887%

Presenta un error de repetitividad del 8.5044%

R-cuadrado = 99,9964 porcentaje

R-cuadrado (ajustado para g.l.) = 99,9962 porcentaje

Error estándar de est. = 0,0067392

Error absoluto medio = 0,00496328

Estadístico de Durbin-Watson = 0,719119 (P=0,0002)

Autocorrelación residual en Lag 1 = 0,622541

La ecuación del modelo ajustado es: $V_{out2} = 0,028265 + 0,0548298 \cdot I_{in2}$ (para una sola curva)

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

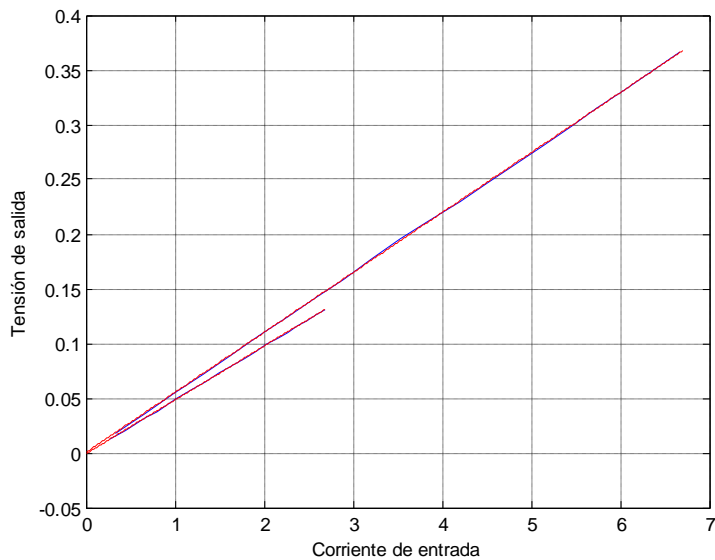


Figura 3.12. Errores de repetitividad y pendiente de la resistencia *shunt* luego de ser reemplazada por una de su mismo tipo.

Aunque este sensor se ofrece a un buen precio, no se seleccionó por múltiples razones, primero que todo no ofrece aislamiento al sistema, lo cual lo hace vulnerable a cualquier sobrecorriente por la línea, aparte que su calidad quedó en entredicho por su elevado error de repetitividad en todas las pruebas, esto se observa en la figura anterior, porque se ve que la característica cambia de pendiente en dos muestras diferentes, y esta se pudo ver al sacar las ecuaciones de las rectas y al compararlas gráficamente.

3.5.4. Sensor de efecto hall S22P006S05.

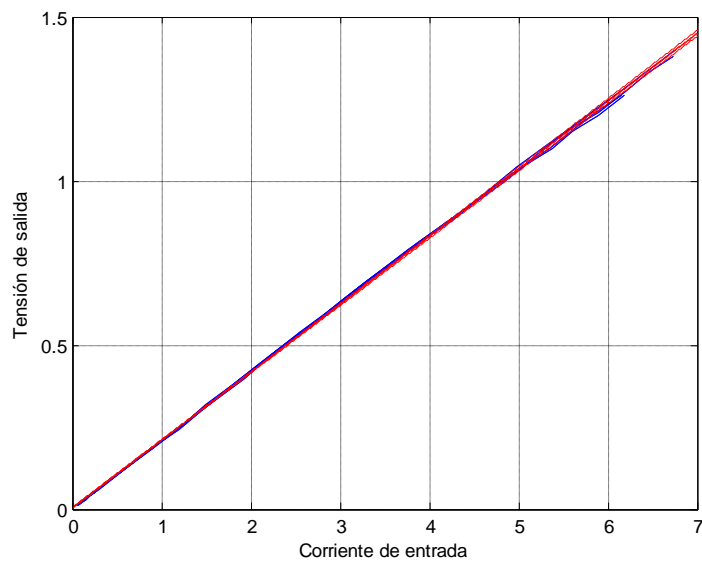


Figura 3.13. Caracterización entrada (Arms) contra salida (Vrms) del sensor de efecto Hall.

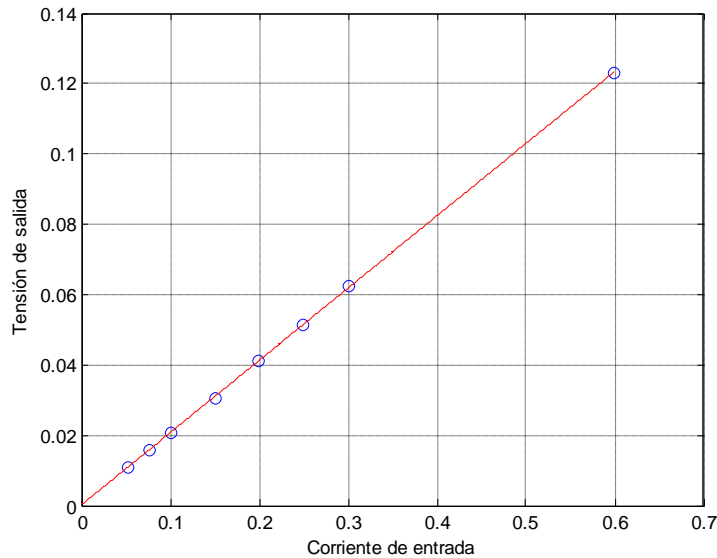


Figura 3.14. Caracterización entrada (Vrms) contra salida (Vrms) del sensor de efecto Hall con corrientes de entrada pequeñas.

El máximo error de linealidad que se presenta es de 1.2037%

Presenta un error máximo de repetitividad del 1.0162%

R-cuadrado = 99,9801 porcentaje

R-cuadrado (ajustado para g.l.) = 99,9793 porcentaje

Error estándar de est. = 0,00618375

Error absoluto medio = 0,00493857

Estadístico de Durbin-Watson = 0,327523 (P=0,0000)

Autocorrelación residual en Lag 1 = 0,709344

La ecuación del modelo ajustado es: $V_{out1} = 0,00416482 + 0,206147 \cdot I_{in1}$

Dado que el p-valor en la tabla ANOVA es inferior a 0.01, existe relación estadísticamente significativa entre las variables para un nivel de confianza del 99%.

Los motivos de la selección de este sensor son, su capacidad de sensar corrientes inferiores a los 50mA, que es el 1% de la corriente nominal del prototipo completo; ofrece aislamiento de la red eléctrica, protegiendo el circuito de adquisición, y capacidad de medir corrientes continuas. Los errores de linealidad y de repetitividad están un poco por encima del 1%.

3.6. Sensores seleccionados.

Para sensar tensión se seleccionó el transformador de tensión de 230/24 de referencia BV020-5428.0 de la marca Pulse, debido a que su comportamiento es muy aceptable en cuanto a linealidad y repetitividad, y permite hacer un dispositivo de adquisición con la mayor precisión posible. Otra de sus ventajas es que la potencia capaz de entregar a la salida es una de las menores que ofrece el mercado para este tipo de transformación, lo cual garantiza que protegerá el resto de la etapa de adquisición, no solo por la potencia a la salida, sino también por su capacidad de aislar la etapa de adquisición de la red eléctrica.

El sensor de corriente que se seleccionó fue el sensor de *efecto hall de lazo cerrado*¹⁴ S22P006S05 de la marca *Tamura*, debido a que su comportamiento es muy lineal, y que no presenta un error de repetitividad alto, puede sensar corrientes menores a los 50mA, mide corriente continua, y aparte ofrece aislamiento eléctrico al resto del sistema de adquisición separándolo de la red eléctrica.



Figura 3.15. Sensor de tensión seleccionado y sensor de corriente seleccionado

3.7. Prueba de ancho de banda.

Debido a la falta de información en la hoja de datos del transformador de tensión seleccionado, se procedió a realizar tres barridos en frecuencia, con los cuales se obtuvieron los resultados vistos en figura 3.16.

¹⁴ El sensor de efecto Hall puede ser de lazo cerrado y también de lazo abierto, funcionan bajo los mismos principios, pero el de lazo cerrado ofrece más precisión en su medida.

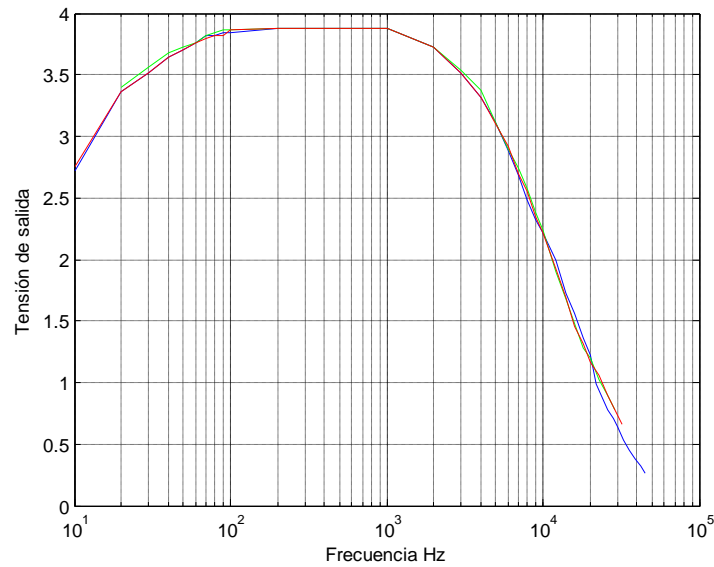


Figura 3.16. Diferentes barridos en frecuencia para estimar el ancho de banda experimentalmente.

Su ancho de banda es de 6KHz experimental, lo que quiere decir que el dispositivo cumple satisfactoriamente con lo que se espera, es decir, ser capaz de medir tensiones hasta de 3KHz o hasta el 50 armónico.

En cuanto al sensor de corriente de *efecto Hall* se vio que la característica de ancho de banda que ofrece el fabricante es de 200KHz, que supera ampliamente el ancho de banda que se requiere en esta aplicación.

Capitulo 4.

Principio de funcionamiento y características conversores Analógicos-Digitales.

Muchos de los dispositivos que se conocen en la actualidad como digitales, reciben o captan primero las señales de forma analógica para convertirlas después en señales digitales. Ese es el caso, por ejemplo, de los dispositivos que captan la voz, como el micrófono de un computador o los teléfonos inalámbricos y celulares, las cámaras fotográficas y de vídeo digitales, los medidores digitales de energía, de presión, de aceleración etc.

El proceso de convertir una señal analógica en digital recibe el nombre de conversión analógica-digital. En general, esta conversión se lleva a cabo a través de tres etapas conocidas como muestreo, cuantización y codificación.

4.1. Muestreo, Cuantización y Codificación.

Para realizar la transformación de una señal analógica a digital se utiliza como elemento intermedio un dispositivo denominado conversor analógico-digital o *ADC*. Este elemento recibe las señales analógicas provenientes de los transductores y a continuación las convierte en señales digitales, codificadas en valores numéricos binarios, "ceros" y "unos".

4.1.1. Muestreo.

El método típico para obtener una representación en tiempo discreto de una señal continua, es tomar muestras de esta en intervalos periódicos de tiempo. Una señal discreta en el tiempo se representa matemáticamente como una serie de números, en la cual el N vo número en la secuencia se denota como $X[n]$, y es formalmente escrito como:

$$X = \{X[n]\}, \quad -\infty < n < \infty \quad (4.1)$$

Donde n es un entero. En el caso práctico de tomar muestras periódicas a una señal analógica el valor numérico del N vo número en la secuencia es igual al valor de la señal analógica, $X_a(t)$, en el tiempo nT ;

$$X[n] = X_a(nT), \quad -\infty < n < \infty \quad (4.2)$$

La cantidad T se conoce como el periodo de muestreo, y su recíproco es la frecuencia de muestreo f_s [23]. El muestreo se puede entender como un proceso de apertura y cierre de un *switch* a una frecuencia f_s , como se muestra en la figura 4.1

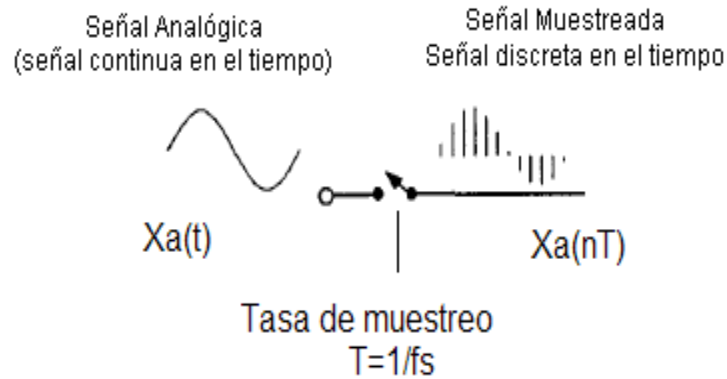


Figura 4.1. Muestreo de una señal analógica $X_a(t)$.

En general, una señal discreta en el tiempo $X[n]$, puede ser expresada en términos de una señal analógica $X(t)$ como [23]:

$$X[n] = \sum_{n=-\infty}^{\infty} X(t)\delta(t - nT) \quad (4.3)$$

Donde $\delta(t)=1$ en $t=0$,

0, para otro valor de t .

$$T = 1/f_s$$

En (4.3) se establece la relación entre la señal discreta $X[n]$ y la señal analógica $X(t)$.

4.1.1.1. Criterio de Nyquist.

Cuando se pretenda muestrear una señal analógica, la frecuencia de muestreo f_s , debe ser escogida de una manera muy cuidadosa para asegurar obtener una representación lo más aproximada posible a la señal original. Es claro, que entre más muestras se tomen más información se obtiene de la señal muestreada. Por otro lado, si se toman pocas muestras podría perderse una cantidad considerable de información que haría imposible reconstruir la señal original.

Las bases matemáticas del muestreo fueron dadas por *Harry Nyquist* en 1928 [23]. De manera simple, el criterio de *Nyquist* requiere que la frecuencia de muestreo debe ser como mínimo el doble de la mayor frecuencia contenida en la señal analógica a muestrear, o de lo contrario, se presentará el fenómeno conocido como *aliasing*¹⁵ haciendo imposible la reconstrucción de la señal original. Para hacer claridad, la frecuencia de *Nyquist* denotada como f_n es la frecuencia más alta contenida en la señal a muestrear y la frecuencia $2f_n$ es lo que se conoce como la *rata de Nyquist*¹⁶[24].

4.1.1.1.1. Fenomeno de aliasing.

Desde que $\delta(t - nT)$ en la expresión (4.3) sea una señal periódica con periodo T , puede ser representada con una serie de *Fourier* dada por:

¹⁵ El fenómeno de *aliasing* se analiza en la sección 4.1.1.1.1.

¹⁶ Se siguió la nomenclatura utilizada en [25].

$$\sum_{k=-\infty}^{\infty} X(t)\delta(t - nT) = \frac{1}{T} \sum_{n=-\infty}^{\infty} X(t)e^{(j2n\pi t)/T} \quad (4.4)$$

En términos de la frecuencia de muestreo:

$$X[n] = \frac{1}{T} \sum_{n=-\infty}^{\infty} X(t)e^{(j2n\pi t)/T} = \frac{1}{T} \sum_{n=-\infty}^{\infty} X(t)e^{(j2\pi.n.fs.t)} \quad (4.5)$$

De (4.5) sobresale el hecho de que el acto de muestrear es equivalente a modular la señal de entrada, arrastrando la señal a frecuencias múltiplos fs . En otras palabras la señal muestreada puede expresarse en el dominio de la frecuencia como una sumatoria de la componente de la señal original y las señales de frecuencia modulada en múltiplos enteros de la frecuencia de muestreo (figura 4.2).

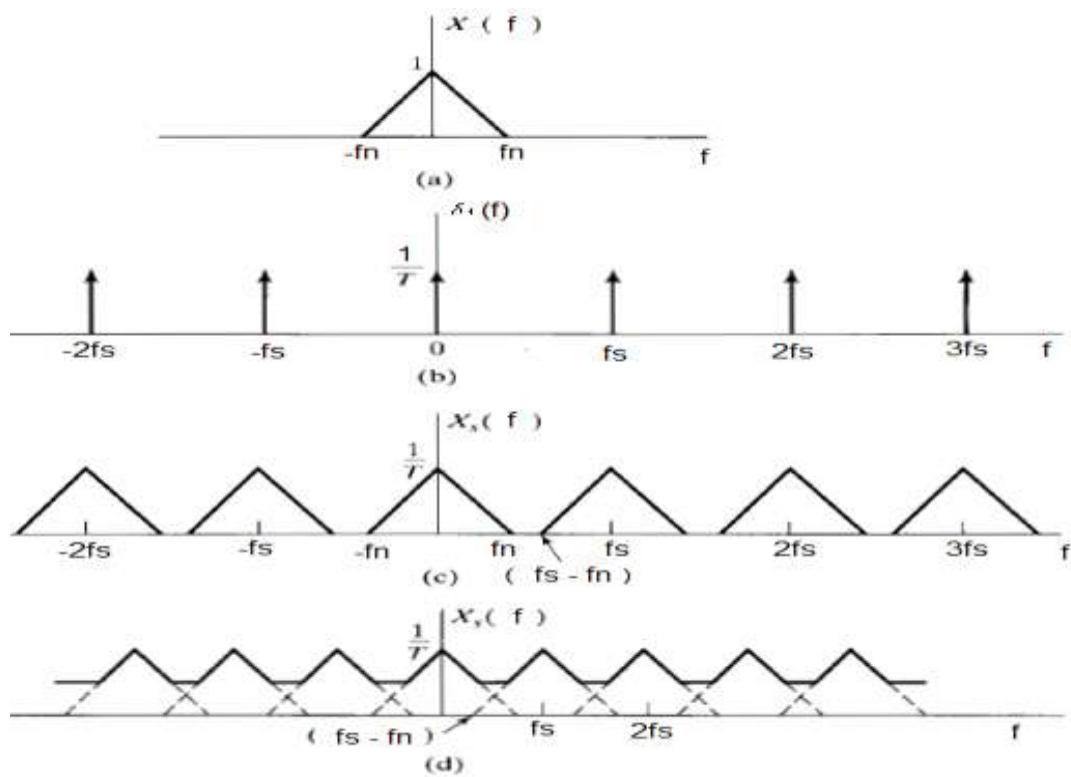


Figura 4.2. a) Respuesta en frecuencia señal original. b) Respuesta en frecuencia $\delta(t - nT)$. c) Respuesta en frecuencia señal muestreada a $fs > 2fn$. d) Respuesta en frecuencia señal muestreada a $fs < 2fn$. (Adaptado de [23])

De la figura 4.2.d) es evidente que para frecuencias de muestreo menores a dos veces la frecuencia de Nyquist fn , se presentará una sobreposición de la señal original y las moduladas dando lugar al fenómeno no-lineal conocido como *aliasing*. En teoría, para evitar esta sobreposición se debe utilizar un filtro pasabajas ideal con frecuencia de corte igual a fn ¹⁷ y asegurarse que la frecuencia de muestreo sea como mínimo $2fn$ [23].

¹⁷ A este tipo de filtros se les conoce como filtros *anti-aliasing*.

4.1.1.1.2. Filtro *anti-aliasing* y frecuencia de muestreo.

Un filtro *anti-aliasing* es usado en prácticamente todos los ADCs para limitar el proceso de muestreo a la banda de interés, por lo que es importante tener en cuenta las características del filtro y la relación de este con la frecuencia de muestreo f_s .

Asumiendo que la mayor frecuencia de interés es f_a y que se desea medir la componente de continua, el filtro *anti-aliasing* debe dejar pasar las señales comprendidas entre 0 y f_a mientras atenúa las señales por encima de esta banda (figura 4.3).

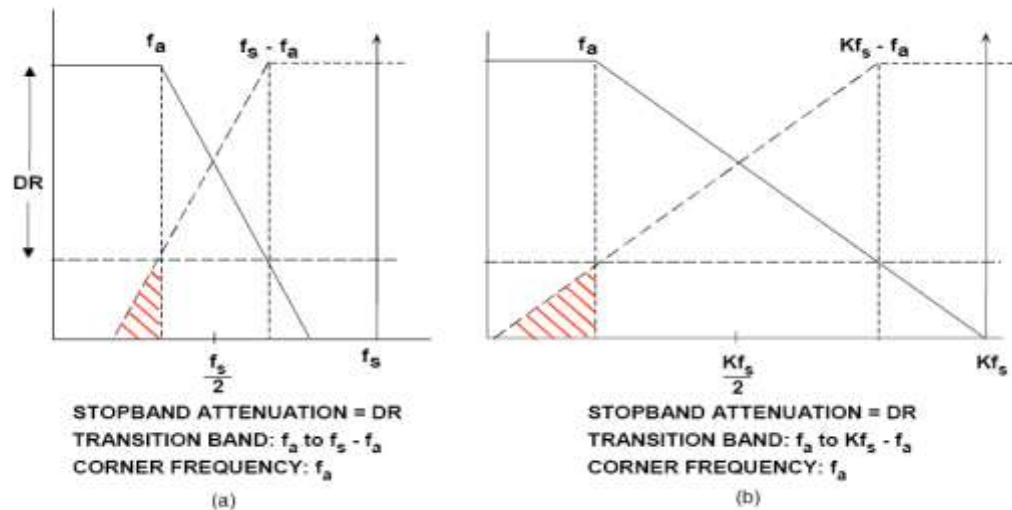


Figura 4.3. a) Filtro *anti-aliasing* con frecuencia de muestreo f_s . b) Filtro *anti-aliasing* con frecuencia de muestreo k veces f_s . [26].

En la figura 4.3 se aprecia que al incrementar k veces la frecuencia de muestreo, asumiendo que no hay variación en la frecuencia de entrada, se obtiene una banda de transición más amplia ayudando a que el filtro *anti-aliasing* a implementar sea menos complejo¹⁸.

4.1.2. Cuantización.

Para esta parte del proceso los valores continuos de la señal muestreada se convierten en series de valores numéricos decimales discretos, correspondientes a los diferentes niveles o variaciones de amplitud que contiene la señal analógica original, por lo que se puede argumentar que el muestreo representa el tiempo de captura de una señal y la cuantización es el componente amplitud del muestreo.

4.1.3. Codificación.

La codificación es la representación numérica de la cuantización utilizando sistemas numéricos binarios ya establecidos. En un sistema numérico binario la representación de los números se hace utilizando solamente los dígitos 0 y 1, y en el lenguaje de maquina estos representan niveles de

¹⁸ Se debe tener en cuenta que una mayor frecuencia de muestreo implica mayor velocidad de procesamiento y consumo de potencia.

tensión. Por ejemplo en tecnología *TTL*¹⁹, un valor *verdadero* o “1” corresponde a un nivel de salida mínimo de +2.4V y un valor *falso* o “0” corresponde a un nivel máximo de salida de +0.8V²⁰.

4.2. Circuito *Sampled and Hold* (SHA).

En los pasos generales para la conversión analógica-digital descritos anteriormente, no se tuvieron en cuenta las consecuencias que podrían presentarse al muestrear señales con una frecuencia elevada en comparación con la velocidad del *ADC*. Si la señal de entrada a un conversor cambia en más de 1 *LSB*²¹ durante el tiempo de conversión, los datos de salida podrían presentar errores considerables.

Para procesar señales alternas, en muchas ocasiones es necesario agregar un circuito *sampled and hold* *SHA*. El *SHA* ideal es simplemente un *switch* conduciendo a un capacitor de retención seguido de un *buffer* con alta impedancia de entrada (figura 4.5). La impedancia de entrada del *buffer* debe ser lo suficientemente alta de tal forma que la descarga del capacitor sea menor que 1 *LSB* durante el tiempo de retención. El *SHA* toma muestras de la señal en el modo de muestreo y mantiene la señal constante durante el modo retención. La mayoría de *ADCs* modernos poseen un circuito *SHA*, lo cual los habilita para procesar señales alternas de altas frecuencias. En últimas lo que se busca con el circuito *SHA*, es retener un valor o muestra de la señal analógica particular el tiempo suficiente para que esta información pueda ser procesada en el *ADC*.

La implementación más sencilla de un circuito *SHA* en tecnología *CMOS*²² consiste en implementar el *switch* con un transistor *NMOS* operando en la región de triodo como interruptor [27]. En este caso el reloj de muestreo (*sampling clock*) controlaría la compuerta del transistor.

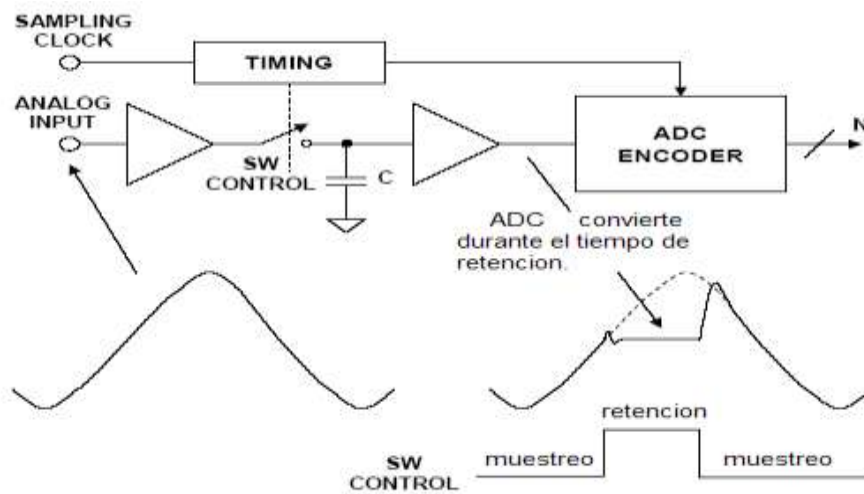


Figura 4.4. Circuito *simple and hold* requerido para digitalizar ciertas señales AC. [4]

¹⁹ *TTL*: transistor-transistor logic.

²⁰ En la actualidad la tecnología *CMOS* es una de la más utilizada en la construcción de circuitos integrados, sin embargo sus niveles de tensión logicos son compatibles con los *TTL* [26].

²¹ *LSB*: less significant bit. bit menos significativo

²² *CMOS*: Complementary Metal Oxide Semiconductor.

4.3. Características de los ADCs.

La comparación de hoja de datos es importante a la hora de comparar dos dispositivos. En el caso de los ADCs, aunque existen algunos estándares como el IEEE 1241 [28], donde se establecen definiciones y métodos de prueba para la caracterización de conversores, estos no son de uso obligatorio creando en algunas oportunidades confusión en los usuarios, debido a que los diferentes fabricantes tienen sus propias terminologías. A la hora de comparar dos hojas de datos es importante saber a que hace referencia cada *ítem*, por lo que este capítulo presenta la definición de alguna de las características más importantes de este tipo de dispositivos.

4.3.1. Función de transferencia y resolución del ADC.

Lo más importante a tener en cuenta acerca de un ADC, es que la salida digital es cuantizada, esto quiere decir que una palabra de N-bits representa únicamente 2^N posibles estados, o expresado de otra forma, que un ADC de N-bits puede tener únicamente 2^N posibles salidas digitales. Por esta razón la resolución del conversor suele darse por el número de bits que maneja, aunque algunos fabricantes lo expresan en términos del peso del bit menos significativo para un rango de entrada dado.

Para un ADC la *full*-escala digital corresponde a 1 *LSB* por debajo de la *full*-escala analógica (FS). En la figura 4.6 se ilustra la función de transferencia ideal para un ADC de tres bits. Como se observa, un cambio en la salida digital toma parte $\frac{1}{2}$ *LSB* por encima de cero, después cada *LSB*, hasta $1\frac{1}{2}$ *LSB* por debajo de la FS. Idealmente, La diferencia entre la señal analógica de entrada y la salida digital puede ser de hasta $\frac{1}{2}$ *LSB*, lo que es conocido como error de cuantización.

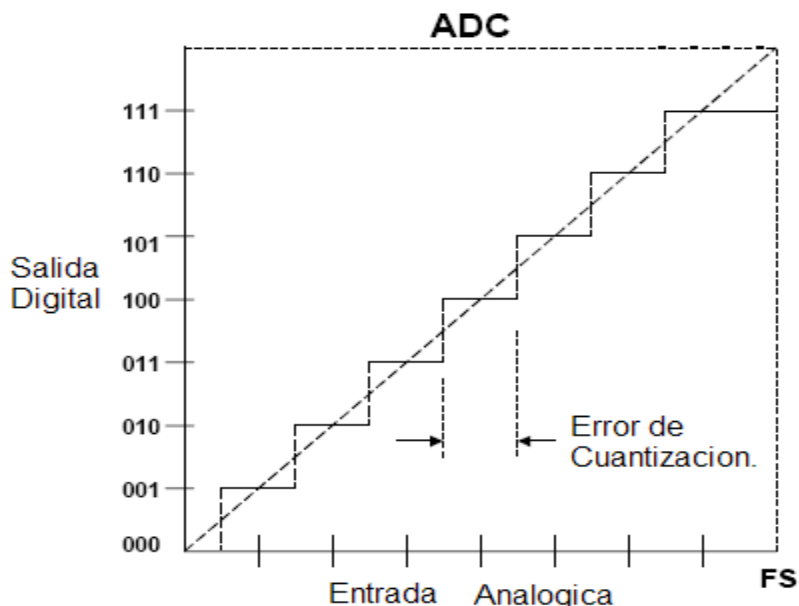


Figura 4.5. Función de transferencia ideal para un ADC de 3-bits.(adaptada de [28])

La función de transferencia en un ADC consiste en un número dado de escalones, donde cada escalón representa un valor de la señal analógica, e idealmente tienen un ancho de 1 *LSB*. Cuando

se habla de *offset*, ganancia y linealidad del ADC se habla de errores DC, y se cuantifican considerando la línea que une los puntos medios de estos escalones²³.

4.3.2. Errores DC.

4.3.2.1. Error de Ganancia y *Offset*.

La característica de transferencia de un ADC puede ser expresada como una línea recta dada por $D = K + GA$, donde D es un código digital, A es la señal analógica y K y G son constantes. En un conversor unipolar el valor ideal de K es cero, mientras que en uno bipolar es $-1MSB$ ²⁴. El error de *offset* es la cantidad por la cual el valor actual de K difiere de su valor ideal y se especifica usualmente en volts, y en algunos casos como porcentaje de *full* escala.

El error de ganancia es la cantidad por la cual la pendiente G de la línea recta a través de la función de transferencia se desvía del valor ideal y es usualmente especificado como porcentaje de *full* escala.

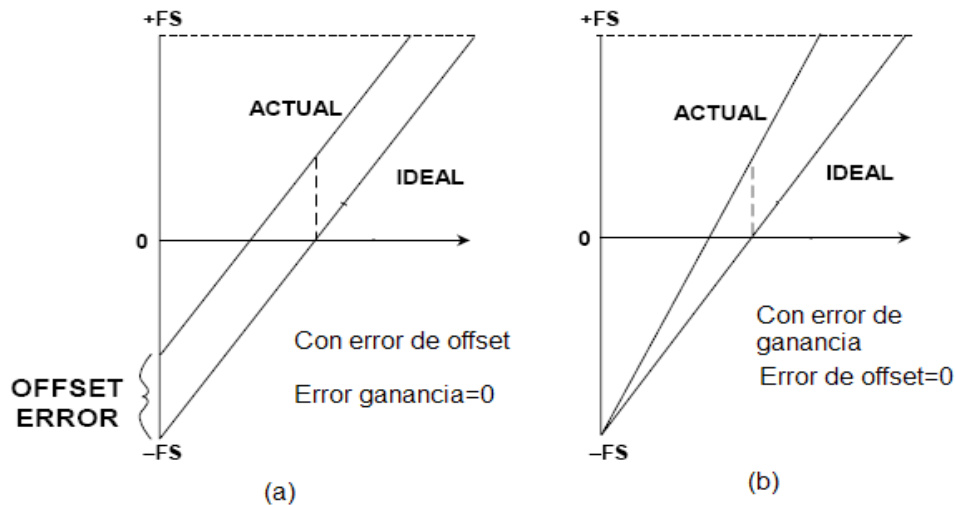


Figura 4.6. a) Función de transferencia con error de *offset*. b) Función de transferencia con error de ganancia. (Adaptada de [26])

4.3.2.2. *Offset Drift* y *Gain Drift*.

Los errores de ganancia y *offset* son usualmente ajustables a cero con métodos de calibración, sin embargo esta calibración solo es válida para la temperatura en la cual fue realizada. Cambios en la temperatura resultan en errores de *offset* y ganancia diferentes de cero, conocidos como *offset drift* y *Gain drift*. Estos valores especificados en ppm^{25}/C° , representan la sensibilidad del ADC a los cambios de temperatura.

²³ A estos puntos medios se les llama *code centers*.

²⁴ MSB: Most Significant Bit. Bit más significativo.

²⁵ ppm: *Parts per million*. Partes por Millón.

4.3.2.3. Error Integral de Linealidad (INL).

El error integral de linealidad en un conversor es definido como la máxima desviación de la función de transferencia actual del ADC a una línea recta ideal de referencia. Dos formas comunes de medir la linealidad, son las denominadas *end point* y *best straight line* que se ilustran en la figura 4.7.

En el método de *end point* la desviación es medida de la línea de referencia dibujada entre el primer y último código de transición después de ajustar el error de *offset*. Esta convención es la adoptada por *Analog Device, inc.* [26].

En la técnica de *best straight line* la línea de referencia se dibuja a través de la característica de transferencia utilizando técnicas de regresión lineal. En general, el error de linealidad medido con este procedimiento es aproximadamente el 50% del valor medido por el método *end point* [29].

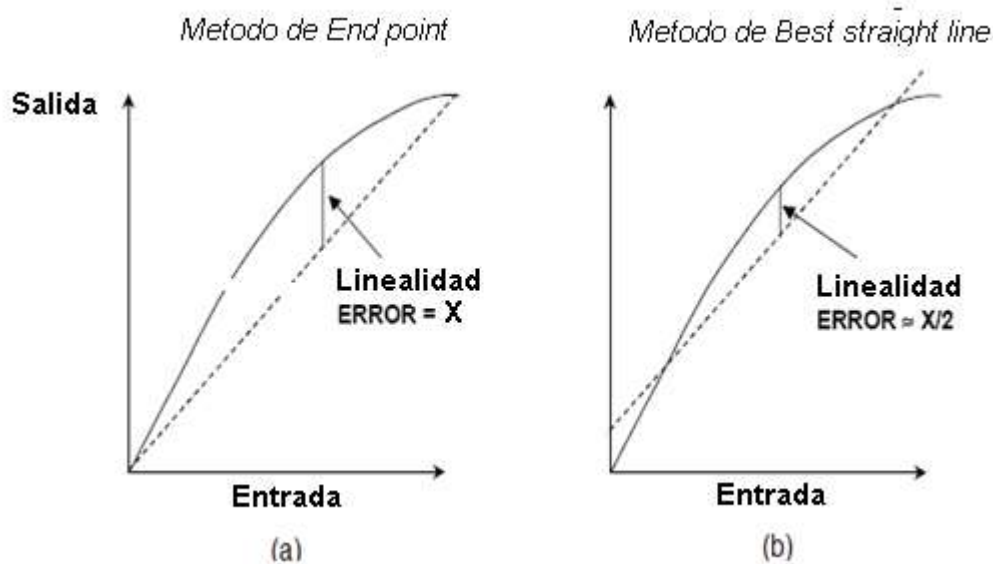


Figura 4.7. Métodos para medir error integral de linealidad. a) Método de *end point*. b) Método de *best straight line*. (adaptada de [26])

4.3.2.4. Error Diferencial de Linealidad (DNL).

En el caso ideal, un cambio de 1 *LSB* en el código digital corresponde exactamente a un cambio de 1 *LSB* de la señal analógica. El error diferencial de linealidad se define como la máxima desviación de cualquier cantidad en la función de transferencia de su tamaño ideal de 1 *LSB*.

Un Error de *DNL* en exceso puede causar la aparición del fenómeno de *missing code* en el cual para un cambio de 1 *LSB* de la señal de entrada no hay cambio en la señal de salida, e incluso puede causar la llamada *non-monotonic* efecto en el cual para un cambio en 1 *LSB* en sentido ascendente de la señal de entrada se presenta un retroceso en el código de salida.

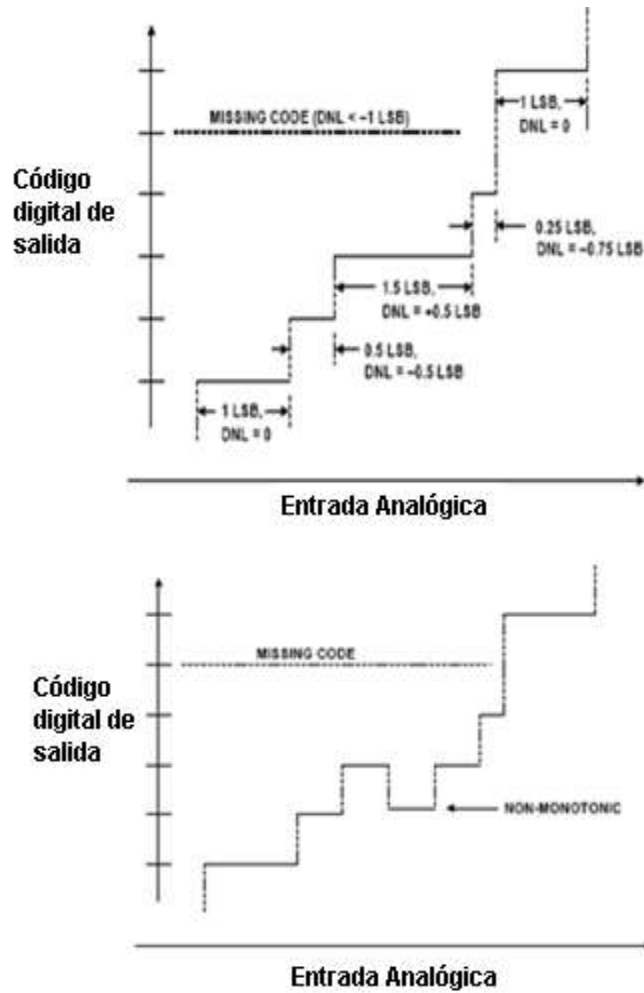


Figura 4.8. Efectos de *missing code* y *non-monotonic* en la función de transferencia de un ADC (adecuado de [26]).

4.3.3. Parámetros Dinámicos del ADC.

4.3.3.1. Distorsión Armónica Total (THD).

Según el estándar IEEE 1241, la distorsión armónica total en un ADC se define como la raíz cuadrada de la sumatoria del cuadrado de los armónicos²⁶ y se estima utilizando la ecuación (3.6)

$$THD = \frac{\sqrt{\sum_h X_{avm}(f_h)^2}}{M} \quad (4.6)$$

Donde $X_{avm}(f_h)$ es la magnitud del Nvo componente armónico de la DFT²⁷ de la salida del ADC y M el número de muestras contenida en el señal. También suele expresarse en db ²⁸ como en (4.7)

²⁶ Generalmente se computan los primeros nueve armónicos [28]

²⁷ DFT: *discrete Fourier transform*. Transformada discreta de *Fourier*.

²⁸ db: *decibelio*.

$$THD_{db} = 20 \log_{10} \left(\frac{THD}{Arms} \right) \quad (4.7)$$

Donde $Arms$ es la amplitud rms^{29} de la componente fundamental de la salida. Generalmente el THD en un ADC es especificado utilizando una señal de entrada cercana a *full-escala*³⁰, aunque puede ser especificado a cualquier nivel

4.3.3.2. Relación señal a ruido y distorsión (*SINAD*).

SINAD es la relación entre la amplitud rms de la componente fundamental con el valor rms del ruido, incluyendo la distorsión armónica. EL valor de *SINAD* es una buena indicación del comportamiento dinámico general de un ADC como función de la frecuencia de entrada por que incluye todos los componentes que generan ruido³¹ y distorsión.

IEEE <i>std</i> 1241 [28]	$SINAD = \frac{rms\ signal}{rms\ noise}$
IEC <i>Std Draft</i> 62008. [30]	$SINAD = 20 \log_{10} \left(\frac{rms\ value\ of\ output\ signal}{rms\ value\ of\ noise} \right)$

Tabla 4.1. Definición *SINAD* según los estándares IEEE 1241 e IEC62008.

4.3.3.3. Relación Señal a Ruido (*SNR*).

El *SNR* se calcula de la misma forma que el *SINAD* excepto que los armónicos de la señal son excluidos del cálculo. Al excluir los armónicos, se puede argumentar que el ruido es el debido al funcionamiento del propio conversor y que su efecto se apreciara en el error de cuantización [9]. Para un ADC el *SNR* se define como:

$$SNR = 20 \log_{10} \frac{valor\ rms\ señal\ de\ entrada.}{valor\ rms\ ruido\ de\ cuantizacion.} \quad (4.8)$$

Asumiendo una entrada senoidal a *full-escala* y el valor rms del ruido de cuantización dado en [26, Eq (2.10)]:

$$Entrada\ senoidal\ FS = \frac{q2^N}{2} \sin(2\pi ft).$$

$$Valor\ rms\ entrada\ FS = \frac{q2^N}{2\sqrt{2}}. \quad (4.9)$$

$$Valor\ rms\ ruido\ de\ cuantización = q/\sqrt{12} \quad (4.10)$$

Y reemplazando (4.9) y (4.10) en (4.8) se obtiene:

$$SNR = 20 \log_{10} \frac{q2^N/2\sqrt{2}}{q/\sqrt{12}}$$

²⁹ *rms*: root mean square. Valor Cuadrático medio.

³⁰ generalmente 0,5 a 1 db por debajo de FS [29].

³¹ Incluyendo ruido termico [26].

Donde q representa el ancho del escalón en la función de transferencia. Asumiendo una función de transferencia ideal ($q = 1 \text{ LSB}$) se llega a la relación entre el SNR y el número de bits de resolución dada en (4.11).

$$SNR = 6.02N + 1.76 \text{ db} \quad (4.11)$$

Hay que tener en cuantas que (4.11) es definido para un ADC ideal. El DNL (sección 4.3.2.4) en un conversor real altera el error de cuantización y por lo tanto influye directamente en la medida del SNR ³².

4.3.3.4. Numero de Bits Efectivos ($ENOB$).

La medida del SNR y el modelo ideal del ruido de cuantización son utilizados para calcular una figura de merito conocida como numero de bits efectivos. Despejando N de (4.11) :

$$\text{Bits efectivos} = \frac{SNR - 1.76}{6.02} \quad (4.12)$$

Esta figura de merito es más útil cuando es medida sobre todo el ancho de banda del ADC , por este motivo algunos estándares utilizan el $SINAD$ en vez de SNR en (4.12).

IEEE stad 1241 [28]	$ENOB = N - \log_2\left(\frac{\text{rms noise}}{\text{ideal rms quantization error}}\right) = \log_2\left(\frac{\text{full scale range}}{\text{rms noise} \cdot \sqrt{12}}\right)$
IEC std draft [30] 62008	$ENOB = ((SINAD - 1,76) / 6,02)$

Tabla 4.2. Definición $ENOB$ según los estándares IEEE 1241 e IEC 62008.

Las medidas de SNR , $SINAD$, THD y $ENOB$ dependen de la amplitud y frecuencia de la señal de entrada, por lo que es importante que el fabricante especifique las condiciones bajo las cuales se encontraron estos valores, así como el número de armónicos que se tuvieron en cuenta para el cálculo [28].

4.3.3.5. Ancho de Banda Analógico.

El ancho de banda analógico de un ADC es la frecuencia a la cual el espectro de salida de la señal fundamental de entrada es reducido en 3 db . Como en un amplificador, la especificación de ancho de banda no implica que el conversor mantenga un buen desempeño hasta la frecuencia de 3 db . De hecho, el $SINAD$ o el $ENOB$ de gran parte de los $ADCs$ comienza a degradarse considerablemente antes que la frecuencia de entrada se aproxime al valor de frecuencia de 3 db [26], como se representa en la grafica 4.9 para un $FPBW$ ³³ de 1 MHz .

³² . En [29] se presenta un análisis del efecto de un código 50% más largo del valor ideal, $DNL = +0.5 \text{ LSB}$, sobre el SNR . Del mismo modo para un código 50% más corto del valor ideal, $DNL = -0.5 \text{ LSB}$.

³³ $FPBW$: Full Power Bandwidth.

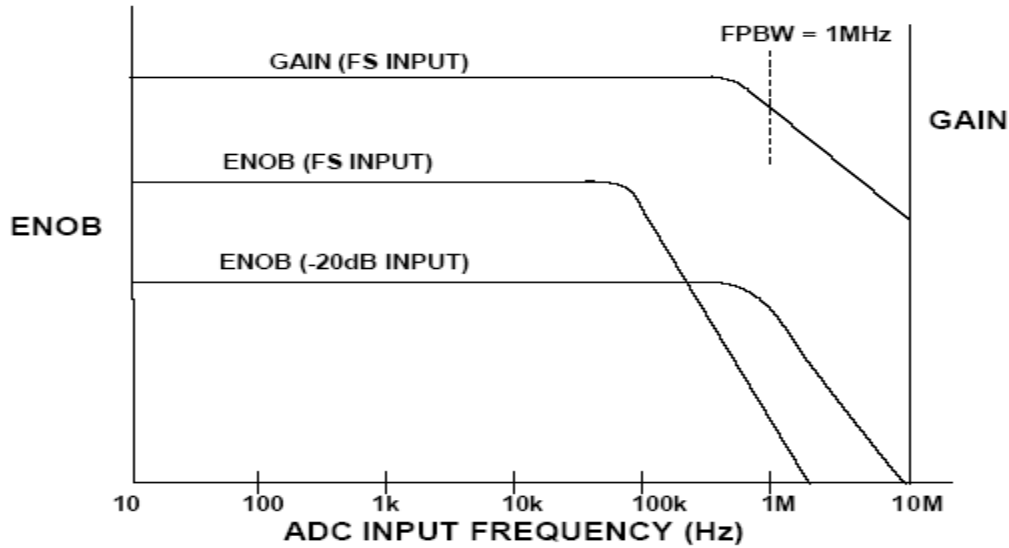


Figura 4.9. Posible Comportamiento del *ENOB* dentro de la banda pasante.[26].

Aparte de las especificaciones mencionadas anteriormente, se deben tener en cuenta las características propias de todo circuito integrado, como lo son el voltaje y la corriente de alimentación requeridos, la impedancia y capacitancia de entrada, corriente máxima capaz de entregar el dispositivo entre otros.

4.4. Selección Conversor Analógico-Digital.

No hay un *ADC* universal que se ajuste perfectamente a todas las aplicaciones, sin embargo en el mercado se encuentra una amplia gama de conversores analógicos-digitales con diferentes características y principios de funcionamiento de forma que el usuario puede seleccionar el que mejor se ajuste a su aplicación.

4.4.1. Requerimientos del *ADC* en el Medidor Digital.

- Debido a los requerimientos de rango dinámico y precisión de la aplicación³⁴, la resolución del *ADC* debe ser alta. En esta aplicación uno de los objetivos es trabajar con 24 bits teóricos de resolución.
- Con el prototipo de medidor digital se desea medir hasta el 50 armónico. Con una frecuencia fundamental de 60Hz la frecuencia de interés más alta será de 3KHz. Siguiendo el criterio de *Nyquist*, el conversor deberá alcanzar una tasa de muestreo *6KSPS*³⁵.

³⁴ La precisión depende de la clase del medidor, por ejemplo para medidores de clase uno se habla de errores del orden del 1% para ensayos tipo y del 1,5% para ensayos de rutina.

³⁵ SPS: *samples per second*. Muestras por Segundo.

- La solución debe ser una de bajo costo ya que la aplicación es particularmente sensible al precio especialmente en aplicaciones de medidores residenciales donde hay una competencia directa, el medidor de inducción. La elección del ADC debe tener en cuenta tanto el precio del dispositivo en sí mismo como los componentes externos requeridos por él.
- El ADC no debe consumir una potencia excesiva. Hay que tener en cuenta que un medidor digital es un dispositivo electrónico que se diferencia de otros aparatos en el sentido que debe estar teóricamente encendido todo el tiempo durante su periodo de vida (15-20 años) [31].
- En [12] se observó que un pequeño desfase puede llevar a errores de medida de energía significativos, especialmente para un bajo factor de potencia, por lo que se recomienda evitar el uso de multiplexores en las entradas analógicas.

4.4.2. Selección arquitectura del ADC.

En busca del ADC que mejor se ajusta a la aplicación, se realizó un estudio de diferentes arquitecturas de convertidores de alta velocidad los cuales están capacitados para procesar señales de AC. El principio de funcionamiento de las arquitecturas más comunes utilizadas en la implementación de ADCs de este tipo se recopila en el anexo A.

En la tabla 4.3 se presenta un resumen con las principales características de las arquitecturas estudiadas.

ADC Arquitectura.	Ventajas	Desventajas
Flash ADC	<ul style="list-style-type: none"> • Velocidades de Conversión extremadamente altas. (del orden de 1 GHz [32]) 	<ul style="list-style-type: none"> • Baja resolución (comúnmente 10 bits [32]). • Alto consumo de potencia. • Relativamente costoso.
SAR ADC	<ul style="list-style-type: none"> • Alta velocidad de Conversión. (alrededor de 3 MSPS [10]). • Relativamente bajo consumo de potencia en comparación con otras arquitecturas. • Relativamente Bajo costo, cuando la resolución requerida es baja (menor a 12 bits [32]). 	<ul style="list-style-type: none"> • Comienza a ser costoso cuando la resolución requerida es alta (>14 bits [32]) • Salida de los transductores generalmente requiere un condicionamiento sustancial de la señal. Dependiendo de la aplicación puede sumar costos significativos [32].
Pipelined	<ul style="list-style-type: none"> • Velocidades altas de conversión. (cercasas a 210 MSPS [26]) 	<ul style="list-style-type: none"> • Baja resolución. • alto consumo de potencia.
Subranging	<ul style="list-style-type: none"> • Velocidades de conversión altas. (del 	<ul style="list-style-type: none"> • Baja resolución. (del orden de 12 bits [26])

	orden de 50 MSPS [26])	<ul style="list-style-type: none"> Relativamente alto consumo de potencia.
<i>Sigma-Delta</i>	<ul style="list-style-type: none"> Alta Resolución (24 bits [31]) Gracias a la técnica de sobremuestreo implementada, sencillez en el diseño del filtro <i>antialiasing</i> (en muchas aplicaciones con un filtro pasabajas RC es suficiente [32]). Fácil fabricación en tecnología <i>CMOS</i>. [31] 	<ul style="list-style-type: none"> Relativamente alto consumo de potencia comparado con la arquitectura <i>SAR</i>. Procesamiento de señales de baja frecuencia (hasta $\approx 20\text{KHz}$ [32]), comparada con otras tecnologías.

Tabla 4.3. Principales características de algunas arquitecturas de conversores de alta velocidad.

Las arquitecturas *flash*, *pipelined* y *subranging* son generalmente usadas en el campo de las comunicaciones como parte fundamental de *transceivers*³⁶ donde se deben muestrear señales de radio-frecuencia, y no se requieren altas resoluciones [27].

En vista que la resolución requerida es alta, que la tasa de muestreo es del orden de las unidades de KSPS y que el consumo de potencia no debe ser excesivo, las configuraciones *Sigma-Delta* y *SAR* se transforman en las opciones más llamativas para la aplicación. El *SAR* posee la ventaja de un menor consumo de potencia, mientras que el *Sigma-Delta* brinda la mayor resolución.

Teniendo en mente que para la aplicación se requiere convertir a formato digital siete señales analógicas, la configuración *SAR* presenta el inconveniente de que por su complejidad, generalmente solo se incluye un registro *SAR* por *chip* [26] con lo cual se hace necesario el uso de multiplexación en las entradas analógica resultando en una tasa de muestreo por canal igual a la especificada por el *datasheet* dividido en el número de entradas, lo que resulta en filtros *antialiasing* más complejos. Además, en el proceso de selección se encontró que para un conversor *SAR* de ocho entradas, se manejan resoluciones del orden de 16 bits teóricos [33],[34].

Los conversores sigma-Delta alcanzan fácilmente resoluciones del orden de los 24 bits y sus velocidades de muestreo no se ven afectadas por el número de señales analógicas a muestrear, gracias que simplicidad de los modulares Sigma-Delta, permite implementar varios circuitos de este tipo en un solo *chip* [26]. Por otro lado, debido a los procesos de sobremuestreo y diezmado propio de esta tecnología, se reduce la exigencia en la implementación de los filtros *antialiasing*.

Para esta aplicación se siguió la tendencia del uso de *ADCs Sigma-Delta* en la medición de energía, debido a las ventajas que ofrecen sobre los conversores *SAR*.

³⁶ Término en inglés para denominar un sistema transmisor-receptor.

4.4.3. Conversor ADS 1278.

El ADS1278 de *Texas Instruments* es un conversor A/D³⁷ de 24 bits, basado en tecnología *Sigma-Delta* que se selecciona gracias a su resolución, tasa de muestreo, precio, lo sencillo de su configuración y el número de entradas diferenciales disponibles.

Cada canal del ADS1278 posee su propio modulador $\Sigma - \Delta$ ³⁸ de sexto orden con su respectivo filtro digital de fase lineal *FIR*³⁹ (figura 4.10), con lo que se pueden digitalizar 8 señales analógicas de forma simultáneas evitando así el uso de multiplexores. Una característica importante es que todos los moduladores y filtros funcionan basados en un mismo reloj, denominado CLK, y el conversor está diseñado para controlar que todos empiecen a funcionar en el mismo ciclo de reloj, resultando en un excelente ajuste de fase entre canales [35].

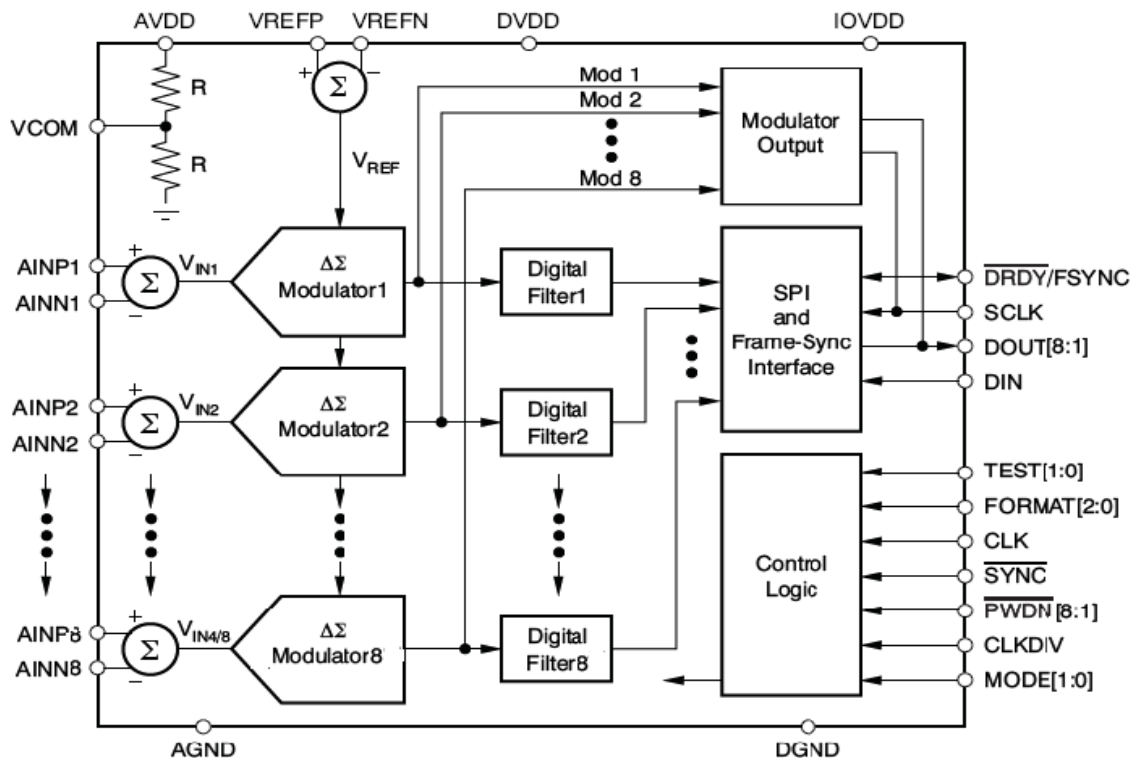


Figura 4.10. Diagrama general de Bloques ADS1278. [Adecuado de 35]

Los moduladores miden la señal de entrada diferencial, $V_{in}=(A_{INP}-A_{INN})$, contra la referencia diferencial, $V_{ref} = (V_{refp}-V_{refn})$. Los filtros digitales reciben la salida de su respectivo modulador ofreciendo una señal digital de bajo ruido, la cual es transmitida fuera del ADS1278 en complemento a dos en forma serial o paralela.

³⁷ A/D notación para analógico-digital.

³⁸ $\Sigma - \Delta$: *Sigma-Delta*.

³⁹ FIR: *finite impulse response*. Respuesta finita al impulso.

El ADS1278 posee cuatro modos de operación los cuales ofrecen al usuario la oportunidad de escoger entre diversas características de funcionamiento, brindando optimización de velocidad, ruido y consumo de potencia para adaptarse a diferentes aplicaciones (tabla 4.4).

MODE	MAX DATA RATE (SPS)	PASSBAND (kHz)	SNR (dB)	NOISE (μV_{RMS})	POWER/CHANNEL (mW)
High-Speed	128,000	57,984	106	8.5	70
High-Resolution	52,734	23,889	110	5.5	64
Low-Power	52,734	23,889	106	8.5	31
Low-Speed	10,547	4,798	107	8.0	7

Tabla 4.4. Características generales de los modos de operación del ADS1278. [35]

Como se observa en la tabla 4.4, la máxima tasa de muestreo alcanzada por el convertor es de 128KSPS limitada al modo *high-speed (HS)*. El menor consumo de potencia se logra en modo *low-speed(LS)* con un consumo de potencia aproximado de solo 7mW por canal. Por su parte, el modo *high-resolution(HR)* presenta el *SNR* más alto, con lo cual se puede alcanzar en teoría el máximo número de bits efectivos $ENOB^{40}$.

4.4.3.1. Respuesta en Frecuencia ADS1278.

La respuesta en frecuencia del ADS1278 está determinada por el filtro digital multietapa *FIR*. La razón de sobremuestreo del filtro digital, es decir la relación entre la frecuencia de procesamiento del modulador (F_{MOD}) y la tasa de salida de datos (F_{DATA}^{41}), es de 128 en modo *high-resolution* y de 64 en el resto de modos de funcionamiento.

La banda plana del filtro digital es de aproximadamente $0.47F_{DATA}$ (figura 4.11 a)), por lo que si se quiere medir hasta el 50 armónico con una atenuación prácticamente nula se debe muestrear a razón de 6,38kSPS. La imagen del filtro se repetirá cada 128 veces F_{DATA} para el modo *high-resolution* y 64 veces F_{DATA} para los otros modos (figura 4.11c)), apreciándose las ventajas del sobremuestreo en el diseño del filtro *antialiasing*.

En el modo *high-resolution* se sobremuestra dos veces más rápido que en las otras opciones, obteniendo una distribución de ruido, esparcido sobre una banda de transición más amplia y por esto es el modo con la mejor característica de ruido (tabla 4.5).

⁴⁰ Esto debido a que en todos los modos de operación se tiene un factor de sobremuestreo k igual a 64 mientras que en el modo *high resolution* K es de 128.

⁴¹ F_{DATA} es equivalente a la frecuencia de muestreo, la cual se denominó anteriormente f_s

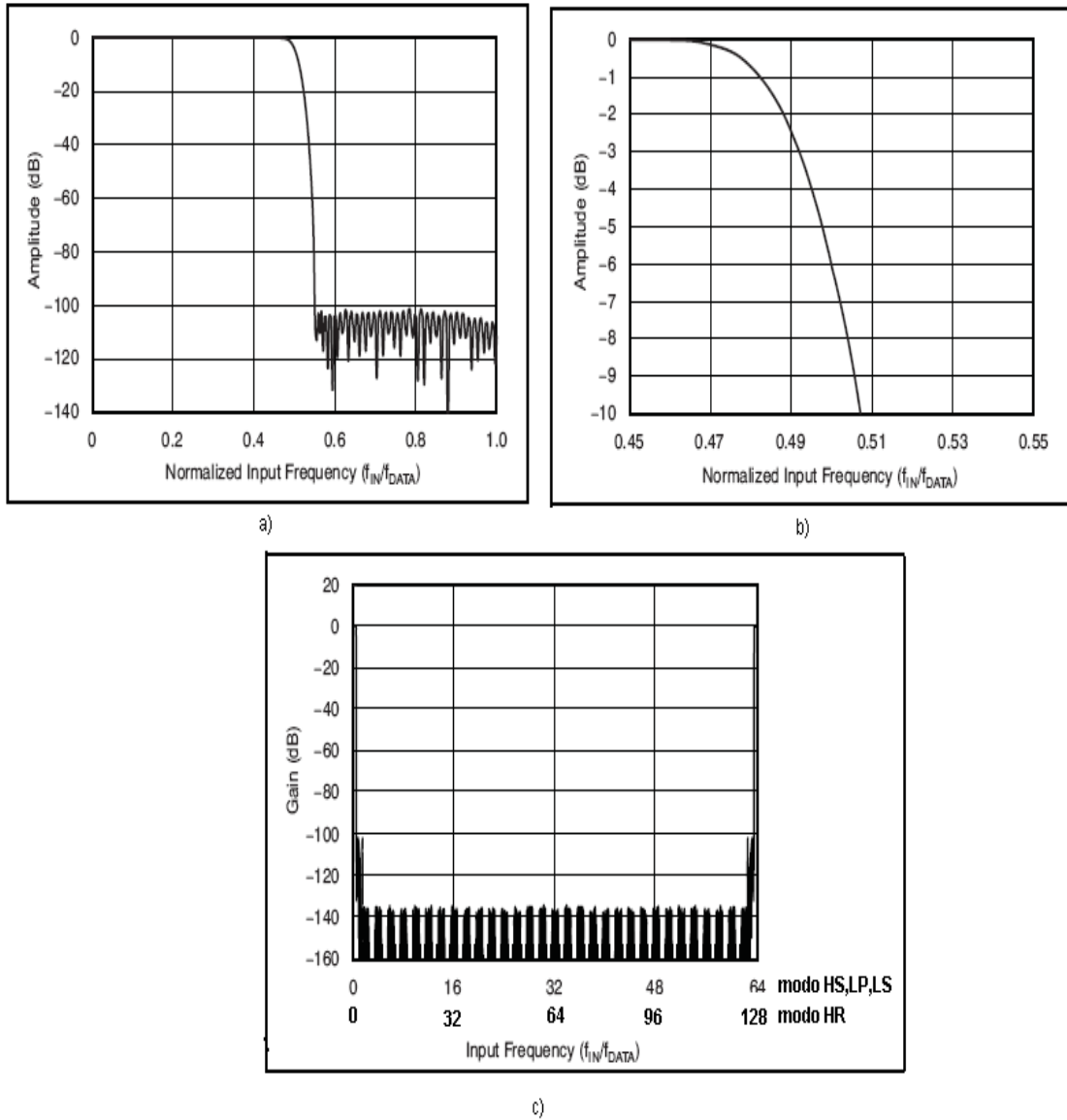


Figura 4.11. a) Respuesta en frecuencia general. b) Respuesta banda de transición. c) Respuesta en frecuencia hasta F_{MOD} . (Adecuado de [32])

4.4.3.2. Especificaciones del ADS1278.

PARAMETROS		CONDICION TEST	ADS1278			UNIDAD
			MI N	TYP	MAX	
Impedancia de entrada diferencial	High-speed			14		$K\Omega$
	High-resolu			14		$K\Omega$
	Low-power			28		$K\Omega$
	Low-speed			140		$K\Omega$
Error de <i>offset</i>				0,25	2	mV

<i>Offset drift</i>			0,8		$\mu\text{V}/^{\circ}\text{C}$	
Error de ganancia			0,1	0,5	%FSR	
<i>Ganancia drift</i>			1,3		ppm/ $^{\circ}\text{C}$	
Rechazo en modo comun	$F_{cm}=60\text{Hz}$	90	108		dB	
Distorsión armónica total (THD)	$V_{in} = 1\text{KHz}$		-108	-96	dB	
<i>Integral nonlinearity (INL)</i> ⁽¹⁾	Entrada diferencial, $V_{cm}=2,5\text{V}$		+/-0,0003	+/-0,0012	%FSR ⁽²⁾	
SNR	High-speed		101	106	db	
	High-resolu	$V_{ref}=2.5\text{V}$	103	110	db	
	Low-power		101	106	db	
	Low-speed		101	107	db	
Alimentación						
AVDD			4,75	5	5,25	V
DVDD			1,65	1,8	1,95	V
IODD			1,65	3,3	3,6	V
Consumo potencia	High-speed			530	785	mW
	High-resolu			515	765	mW
	Low-power			245	355	mW
	Low-speed			50	80	mW

(1) *Best fit method (best straight line* sección 4.3.2.3).

(2) FSR: *full-scale range* = 2VREF.

Tabla 4.5. Características generales ADS1278 (adaptada de [14])

Reemplazando los valores de *SNR* típicos dados por el fabricante (tabla 4.5) en (4.12) se obtiene una medida del número de bits efectivos que se puede alcanzar con este convertor. El modo *high resolution* presenta el mejor valor de *SNR* el cual es del orden de los 110db con lo que se podría alcanzar alrededor de 18 bits efectivos, mientras que en los otros modos se estaría cerca de los 17 bits efectivos.

En el capítulo 5 se hará una descripción de la tarjeta implementada donde se revisara en detalle la configuración del ADS1278 y su interfaz de transmisión de datos.

Capítulo 5.

Implementación tarjeta de adquisición.

En este capítulo se presenta la descripción de la tarjeta de adquisición realizada, haciendo una presentación de los módulos implementados, la configuración del ADS1278, así como de la comunicación con la etapa de procesamiento de forma detallada.

5.1. Sensado señales de corriente y tensión.

5.1.1. Sensado señal de corriente.

El sensado de las tres corrientes de fase (5 Arms nominal) y la corriente de neutro se realiza a través del sensor de efecto *Hall* de lazo cerrado S22P06S05 de marca TAMURA. Este sensor es referenciado para una corriente nominal de 6A (I_F), con capacidad para medir una corriente máxima de 18A y con la posibilidad de configurar su rango de medición (figura 5.1). En la tarjeta diseñada se dejó la opción de seleccionar por medio de *jumpers* entre los rangos de medición de 0-9A y 0-18A.

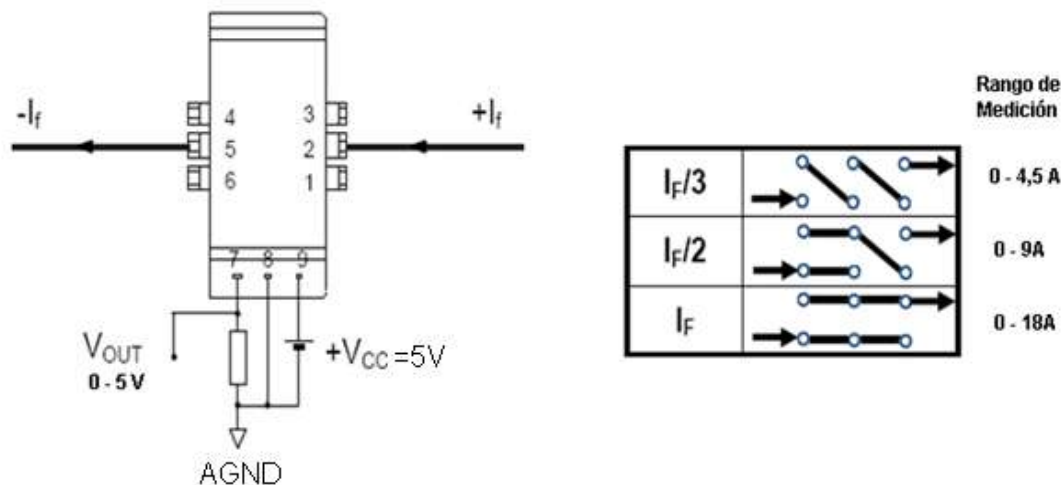


Figura 5.1. Sensor efecto *Hall* S22P06S05 (adaptado de [36])

Este sensor requiere para su funcionamiento una alimentación de 5V y a su salida entrega un voltaje proporcional a la corriente de entrada en un rango de 0 a 5V referenciados a tierra analógica del sistema (nominalmente 2.5V a una corriente de 0A). Este rango de voltaje se ajusta

perfectamente al rango dinámico de las entradas analógicas del ADS1278, por lo que el adecuamiento de la señal resulta bastante simple.

5.1.2. Sensado señal tensión.

El sensado de las tres tensiones de fase se llevo a cabo por medio del transformador de tensión *EE20/6.1-0.35VA* de *PULSE*. Este transformador tiene como especificaciones una tensión en el secundario de 24V para 230V a la entrada, manejando una potencia de 0.354 VA nominal.

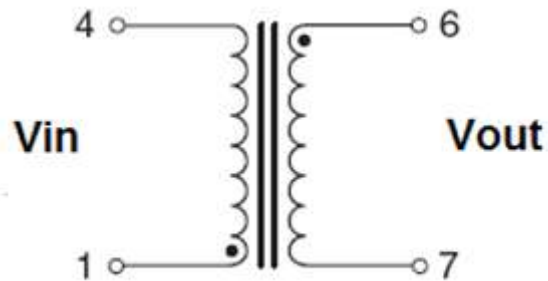


Figura 5.2. Diagrama de pines Transformador de tensión.

5.2. Adecuación de las señales de tensión y corriente.

Con el acondicionamiento de las señales se busca que la salida de los sensores de tensión y corriente se adapten a el rango dinámico de las entradas analógicas del ADS1278 (0-5 V). Otro aspecto que incluye la etapa de adecuación es el filtrado de la señal (filtro *antialiasing*) para evitar el llamado solapamiento (*aliasing*) efecto al que están expuestos todos los sistemas de muestreo.

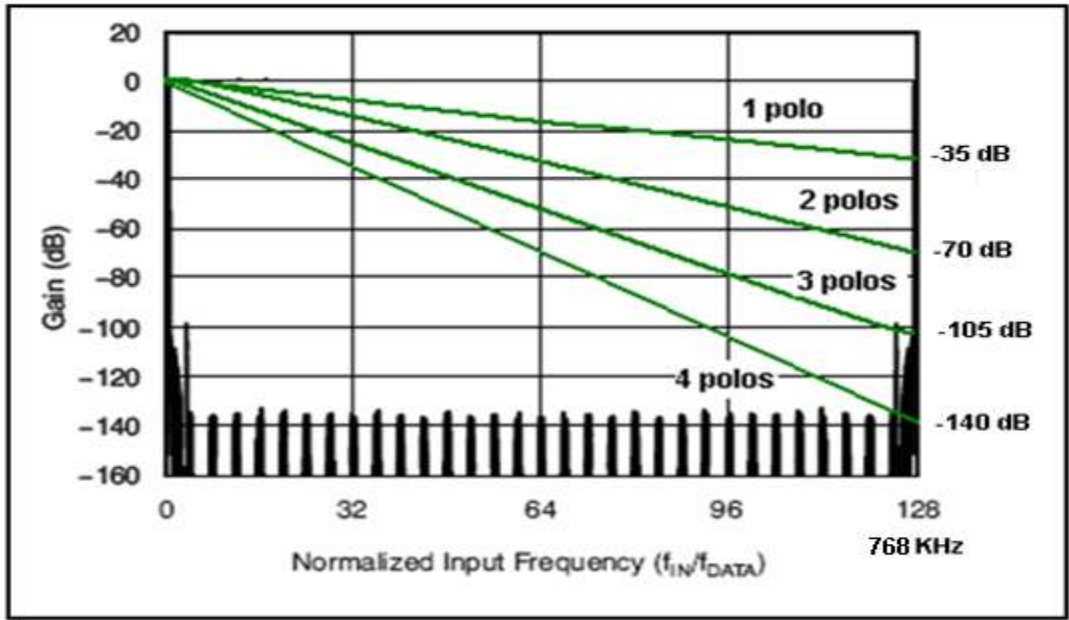
5.2.1. Adecuación señal de Corriente.

El sensor *S22P06S05* entrega un voltaje proporcional a la corriente medida el cual se adapta a la entrada del ADS1278, reduciendo así el proceso de adecuación a un filtro *antialiasing*. Para esta aplicación se tiene una frecuencia de interés máxima de 3KHz (50 armónico), por lo que se debe buscar que la banda pasante del filtro permanezca aproximadamente plana en esa región.

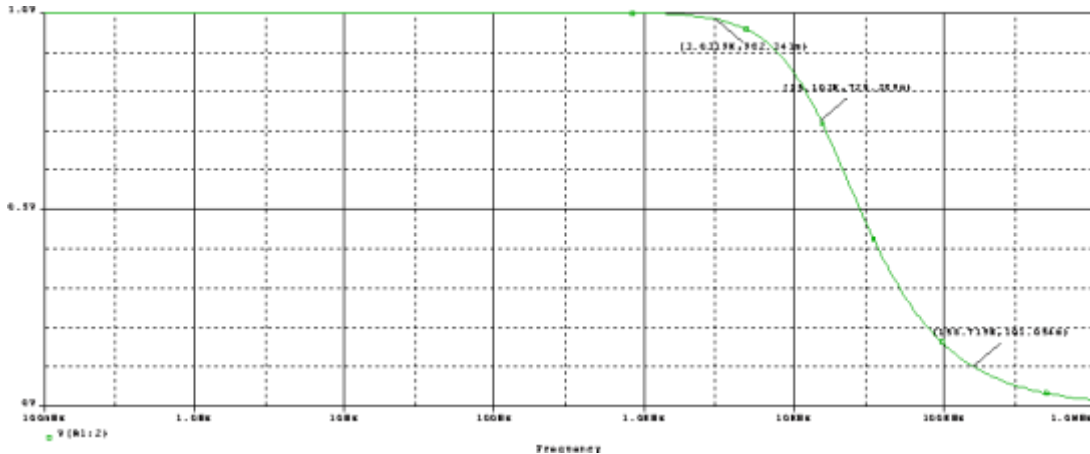
Gracias al proceso de sobremuestreo realizado en el ADS1278, el proceso de filtrado se puede implementar con un filtro pasa-bajas RC. En [32] se recomienda que la frecuencia de -3db sea 5 veces mayor que la frecuencia máxima de interés para que la banda pasante de este tipo de filtros caiga solo un 2% dentro de esta franja. Siguiendo esta recomendación se implementó el filtro con un valor de resistencia de 1K Ω y una capacitancia de 10nF, con lo que se tiene una frecuencia de esquina de 15KHz.

Un filtro de mayor orden a pesar de ser más selectivo requiere el uso de uno o más amplificadores aumentando el área de la tarjeta y el costo de la aplicación. Para una frecuencia de muestreo de

6KSPS y un factor de sobremuestreo de 128^{42} se obtendrá una imagen de la señal muestreada a 768KHz donde la presencia de componentes armónicos de la señal de entrada se puede considerar como nula, por lo que no se justificaría un filtro de mayor orden.



a)



b)

Figura 5.3. a) Atenuación aproximada a una frecuencia de 128 veces 6kSPS para filtros de diferentes ordenes ($F_{3dB} \approx 15\text{KHz}$). b) Simulación de la respuesta en frecuencia filtro RC.

Las señales provenientes de los S22P06S05 se conectaron a sus respectivas entradas analógicas positivas (AINP). Ya que estas señales tienen un valor de 2,5V para corrientes de 0A se implanto un

⁴² Modo *high-resolution*.

nivel de tensión de 2.5V⁴³ en sus entradas negativas (AINN) permitiendo de esta manera operación bipolar aprovechando todo el rango de conversión del ADS1278 (figura 5.4).

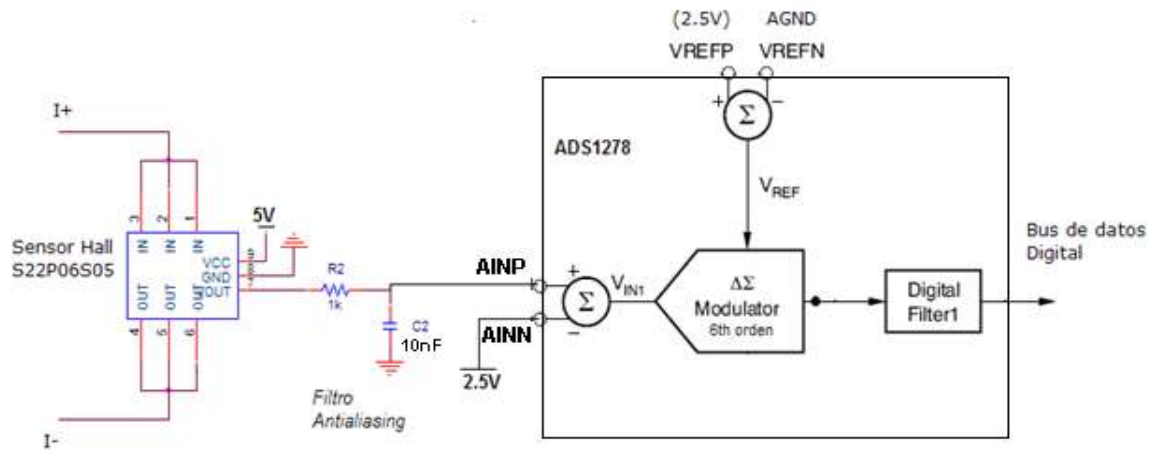


Figura 5.4. Esquema de adecuación de un canal de corriente.

5.2.2. Adecuación Señal de Tensión.

La conexión entre los canales de entrada analógicos del ADS1278 y los transformadores de tensión resulto un poco más compleja que en el caso de corriente. Gracias al aislamiento brindado por el transformador, se puede realizar una medición *single-ended* o diferencial. Debido a las ventajas que posee esta ultima (mayor CMRR [4]) y que las entradas analógicas del ADS1278 son diferenciales se opto por hacer una medición de este tipo.

El primer paso es reducir la tensión en el secundario del transformador por medio de un divisor resistivo a valores que se ajusten a las entradas del conversor⁴⁴. Teniendo en cuenta la función de transferencia del transformador seleccionado (sección 3.4.3), se seleccionaron valores de 10KΩ y 1KΩ.

Hasta este momento se tiene una señal diferencial con valor de voltaje pico-pico adecuado pero sin referencia a la tierra analógica por lo que es necesario referenciar estas señales y darles un *offset* de 2.5V. Esto se realizó utilizando el amplificador diferencial-diferencial THS4504 de Texas Instruments.

Aparte de ofrecer una entrada y una salida diferencial el THS4504 posee un pin independiente denominado Vocm por donde se puede introducir un nivel de *offset* deseado (figura 5.5) y una ganancia ajustable igual a R_i/R_g . Se utilizaron resistencias de 499ohm recomendadas en la hoja de datos del ths4505[37] para una ganancia unitaria.

⁴³ Este nivel de 2.5V se obtuvo de la fuente ADR421 utilizada para la referencia del conversor (sección 5.3.2).

⁴⁴ Se realizó para obtener 2Vpp para una medición de 130Vrms.

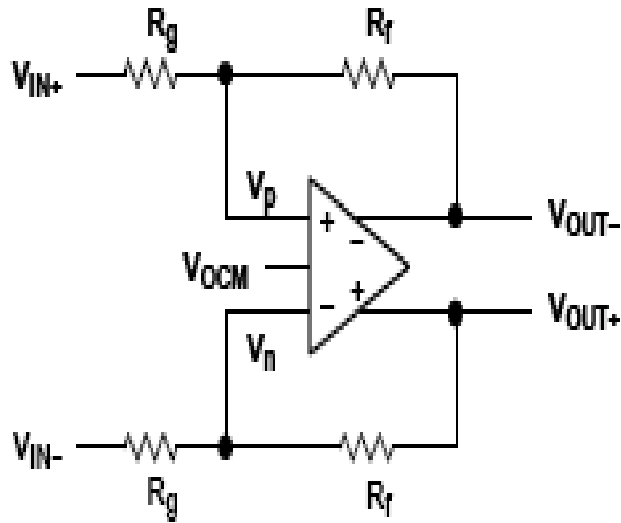


Figura 5.5. Amplificador Diferencial-Diferencial (*fully differential*)[37]

Otra ventaja de los amplificadores diferenciales es su fácil aplicación en el diseño de filtros *antialiasing*. Un filtro pasa-bajos de un polo se puede realizar añadiendo un condensador (C_f) en cada etapa de realimentación en paralelo con R_f ⁴⁵, esto evita el uso de filtros a la salida del amplificador donde se comportarían como carga. Siguiendo el mismo criterio que en el filtro de corriente se selecciono una capacitancia de 20nF.

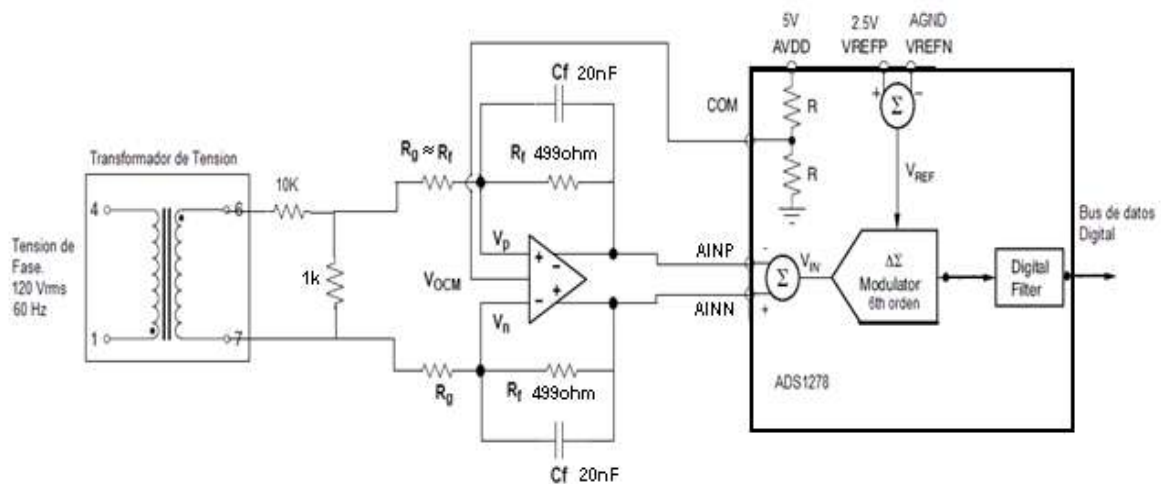


Figura 5.6. Diagrama de adecuación de una fase de tensión.

⁴⁵ En [38] se ilustra como implementar un filtro de hasta 3 polos con un solo amplificador diferencial.

5.3. Configuración del ADS1278.

El ADS1278 no posee registros por lo que su configuración se limita a establecer niveles de tensión digitales en pines predeterminados haciendo que la configuración del conversor resulte realmente sencilla.

5.3.1. Habilitación Entradas Analógicas.

El ADS1278 permite deshabilitar los canales que no se necesitan para así reducir el consumo de potencia del dispositivo. Los pines denominados $\overline{PWDN}[8:1]$ son entradas digitales las cuales permiten habilitar (alto) o deshabilitar (bajo) las respectivas entradas analógicas. En esta aplicación fue necesario el uso de siete entradas analógicas por lo que se habilitaron los siete primeros canales⁴⁶ y se deshabilitó el octavo canal.

5.3.2. Referencia del ADS1278.

El voltaje de referencia del ADS1278 es el voltaje diferencial entre VREFP y VREFN ($V_{REF} = VREFP - VREFN$). VREFN puede variar entre $0.1 < AGND < 0.1$, mientras que VREFP lo puede hacer entre $VERN + 0.5 < VERP < AVDD + 0.1$, para ajustarse a diferentes rangos dinámicos de entrada⁴⁷. Ya que la alimentación analógica se estableció en 5V se fijó VREFN a tierra analógica (AGND) y VREFP a 2.5V con el fin de aprovechar todo el rango disponible.

Es claro que la referencia debe ser lo más precisa posible ya que cualquier variación de esta se verá reflejada como un error de offset a la salida. Por esto se optó por el circuito integrado ADR421 de Analog Devices el cual es un circuito de ultra-precisión y bajo ruido, el cual produce una salida de 2.5V \pm 3mV para un rango de entrada entre 4,5 -18V [39].

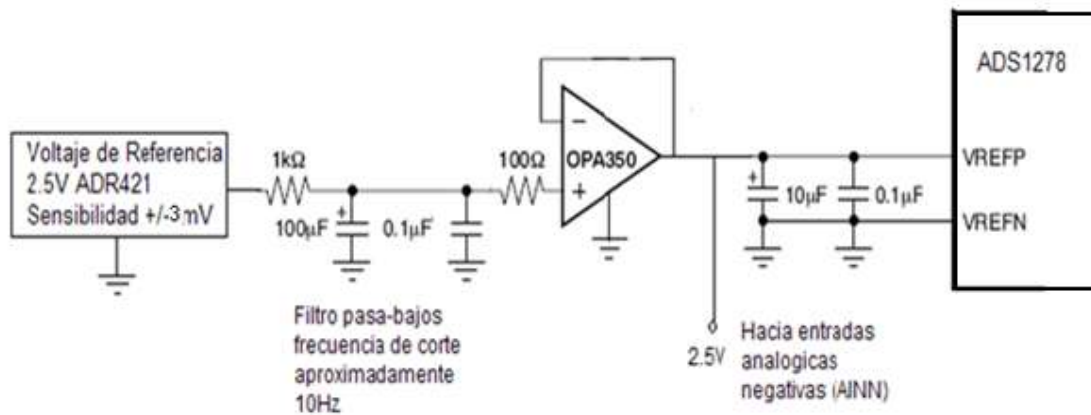


Figura 5.7. Voltaje de referencia del ADS1278.

⁴⁶ Canales 1-4 corrientes y canales 5-7 tensiones.

⁴⁷ El rango dinámico de entrada es igual a dos veces el voltaje de referencia (2VREF).

5.3.3. Reloj CLK.

El reloj CLK determina la velocidad de funcionamiento de los moduladores $\Sigma - \Delta$ y por tanto establece el funcionamiento del ADS1278. Este reloj puede variar entre 100KHz y 32MHz, sin afectar la resolución del conversor.

Seleccionando la frecuencia de CLK y el modo de operación se establece la frecuencia de los moduladores F_{MOD} y la razón de salida de datos F_{DATA} (tabla 5.1). Este reloj deberá ser aplicado externamente a través del puerto de comunicación.

5.3.4. Modo de operación (MODE[1:0]) y CLKDIV.

Por intermedio de las entradas lógicas MODE[1:0] se selecciona el modo de operación del ADS1278⁴⁸. Para la aplicación se requiere muestrear a 6KSPS por lo que el conversor podría funcionar en cualquier modo.

MODE [1:0]	MODO OPERACION	CLKDIV	F_{CLK}/F_{MOD}	F_{CLK}/F_{DATA}	MAX F_{CLK} (MHz)	RATA DATOS MAX (KSPS)
00	HIGH-SPEED	1	4	256	32,768	128
01	HIGH-RESOLU	1	4	512	27	52,734
10	LOW-POWER	1	8	512	27	52,734
		0	4	256	13.5	
11	LOW-SPEED	1	40	2560	27	10.547
		0	8	512	5.4	

Tabla 5.1. Modos de operación ADS1278. Relación entre F_{CLK} con F_{MOD} y F_{DATA} ([adaptada de [7]])

Como se observa en la tabla 5.1, en modos *high speed* y *high resolution* el pin CLKDIV se debe establecer en alto. En los otros dos modos, este pin sirva para seleccionar diferentes rangos de CLK. En este orden de ideas una frecuencia de muestreo deseada se establece escogiendo un modo de operación e ingresando CLK (tabla 5.1). Por ejemplo para obtener una frecuencia de muestreo de 6KSPS en modo *high-resolution* la frecuencia de CLK debe ser igual a 3.072MHz (equivalente a 6KSPSx512).

Los niveles de lógicos de MODE[1:0] y CLKDIV son introducidos externamente por el usuario de acuerdo al modo de operación que considere el más adecuado. Por la naturaleza de la aplicación se recomienda el uso del modo *high-resolution* que posee el mayor factor de sobremuestreo y la menor especificación de ruido⁴⁹ (tabla 4.4).

⁴⁸ Después de un cambio de modo se debe esperar un mínimo de 130 conversiones para obtener un dato válido.

⁴⁹ El modo *low-speed* presenta el menor consumo de potencia por lo que podría ser una buena opción.

5.3.5. Sincronización.

El ADS1278 puede ser sincronizado estableciendo en bajo el pin \overline{SYNC} ⁵⁰ y retornándolo de nuevo a alto⁵¹. Cuando este pin se pone en bajo, el proceso de conversión se detiene, y se hace un *reset* en los contadores del filtro digital. Cuando el pin vuelve a alto se reinicia de nuevo el proceso de conversión.

La sincronización permite que la conversión se adapte a eventos externos, como un cambio en la frecuencia de CLK, por tal motivo se conecto con la etapa de procesamiento. En la etapa de procesamiento se cuenta con dos *resets*, uno general (GRESET) y otro específico (ERESET) los cuales tienen el mismo principio de funcionamiento que el \overline{SYNC} . Se busco que el ADS1278 se sincronizara al activarse cualquiera de estos *resets*⁵². En la figura 5.9 se muestra el circuito implementado.

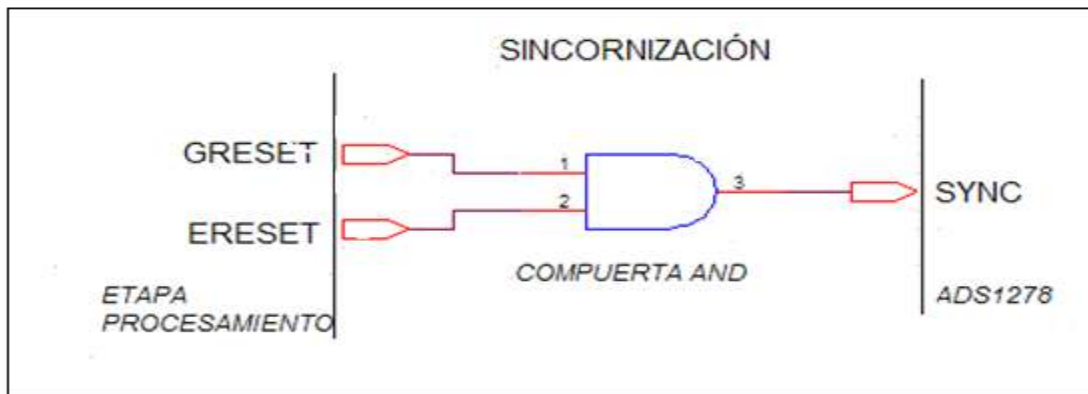


Figura 5.8. Sincronización ADS1278.

5.3.6. Pines TEST[1:0] y DIN.

Los pines TEST[1:0] se utilizan para comprobar el funcionamiento del ADS1278. Cuando TEST[1:0] = 11, el convertor se pone en modo prueba e internamente se establecen conexiones en pares lógicos en los pines digitales como se muestra en [7, pp36, tabla 15] y en general este modo de funcionamiento lo utiliza el fabricante para detectar fallas en el dispositivo. En TEST[1:0] = 00 el ADS1278 trabaja en forma normal (los modos 10 y 01 no se usan). En esta aplicación se fijaron los pines a tierra digital (DGND).

El pin DIN se utiliza para sincronizar varios convertidores de la familia ADS12xx en caso que se necesite un mayor número de entradas digitales. En este caso solo fue necesario el uso de un solo ADS1278 por lo que este pin se conecto a DGND.

⁵⁰ Después de de retornar el pin SYNC a alto se debe esperar un mínimo de 130 conversiones para obtener un dato valido.

⁵¹ En operación normal este pin se debe mantener en alto.

⁵² Esto como petición del diseñador de la etapa de procesamiento.

5.4. Comunicación con la etapa de procesamiento.

El ADS1278 puede entregar los datos en forma paralela, donde cada canal de entrada AIN[8:1] se entrega por su respectivo canal de salida DOUT[8:1], o en forma serial en el cual todos los datos se entregan por la salida digital DOUT[1], en ambos con protocolo *SPI*⁵³.

Para la aplicación se optó por un tipo de comunicación serial, primero porque requiere menos canales para la comunicación y segundo porque gran parte de los microcontroladores y *DSPs* están equipados con módulos *SPIs* con un solo pin para la lectura de datos, lo que habilita a la tarjeta de adquisición para comunicarse fácilmente con cualquier dispositivo de procesamiento.

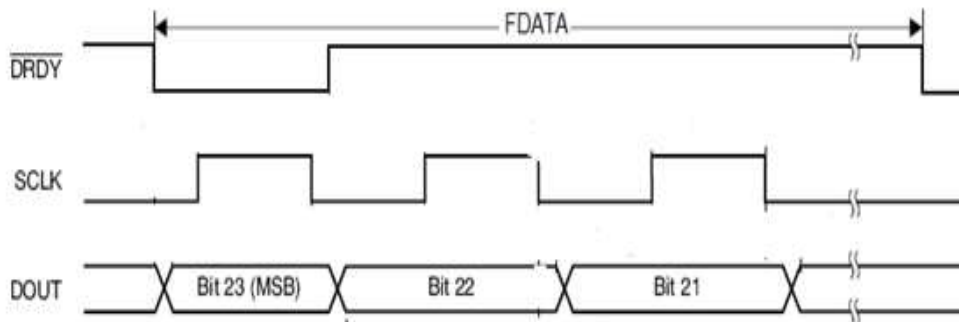


Figura 5.9. Protocolo de comunicación *SPI* serial del ADS1278 [35].

La transmisión de los datos se realiza a través de tres líneas, una por la cual se indica el comienzo de la transmisión de un dato válido (\overline{DRDY}), un reloj al que van sujetos los bits de datos (SCLK) y por el último el canal de datos (DOUT) (figura 5.9).

El reloj SCLK puede alcanzar una frecuencia máxima igual a la del reloj CLK. En orden de entregar los bits de datos de una muestra dada en el menor tiempo posible, se configuró la tarjeta para trabajar a un $SCLK=CLK$ brindando así el mayor tiempo posible para el procesamiento antes de recibir el siguiente muestra.

La señal \overline{DRDY} es una salida de la tarjeta de adquisición la cual se pone en bajo cada vez que una muestra está lista para ser entregada, por lo que su frecuencia es igual a la frecuencia de muestreo F_{DATA} . La tarjeta de adquisición entrega los datos empezando por el bit más significativo del canal 1 y terminando con el bit menos significativo del canal 7, con lo que se entregan 168 bits correspondientes a los 24 bits de cada canal, entre muestras (figura 5.10).

⁵³ *SPI: Serial Peripheral Interface.*

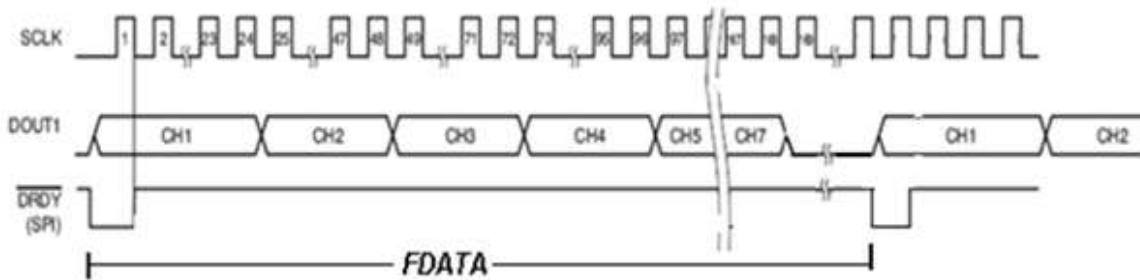


Figura 5.10. Protocolo de transmisión de datos de la tarjeta de Adquisición.

Si por ejemplo se toma una f_{DATA} de 6KSPS se estarían entregando muestras cada $166,66\mu s$ ($1/f_{DATA}$), asumiendo que se está trabajando en modo *high-resolution*, se tiene una frecuencia de $SCLK=CLK$ de 3,072MHz por lo que se entregaría un bit cada $0,325\mu s$ ($1/SCLK$), necesitando un tiempo de $54,68\mu s$ para entregar los 168 bits, entonces bajo esta suposición el dispositivo que realiza el procesamiento tendrá aproximadamente $111,9\mu s$ para procesar los datos o de lo contrario pierde la siguiente muestra.

El convertor entrega los datos en los flancos de bajada del SCLK por lo que se recomienda al usuario recibirlos en los flancos de subida. La señal \overline{DRDY} es sincronizada con el SCLK por el ADS1278 por lo que el reloj entregado por el usuario no requiere sincronizarse con ninguna señal.

De esta manera queda definida la configuración de la tarjeta de adquisición y su protocolo de comunicación. Para el correcto funcionamiento de la tarjeta se debe ingresar un nivel de tensión de 5Vdc que corresponde a la alimentación analógica y una tensión de 3.3Vdc para la parte digital.

***Puerto de Comunicación
Etapas Adquisición-Procesamiento***

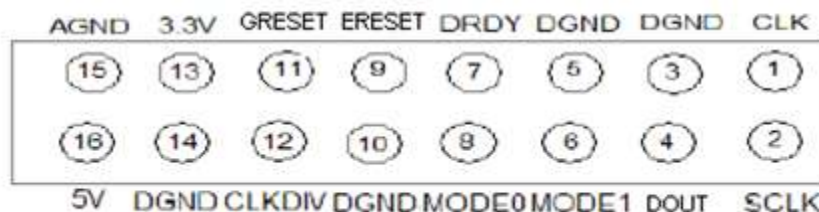


Figura 5.11. Configuración puerto de comunicación etapas de adquisición y procesamiento.

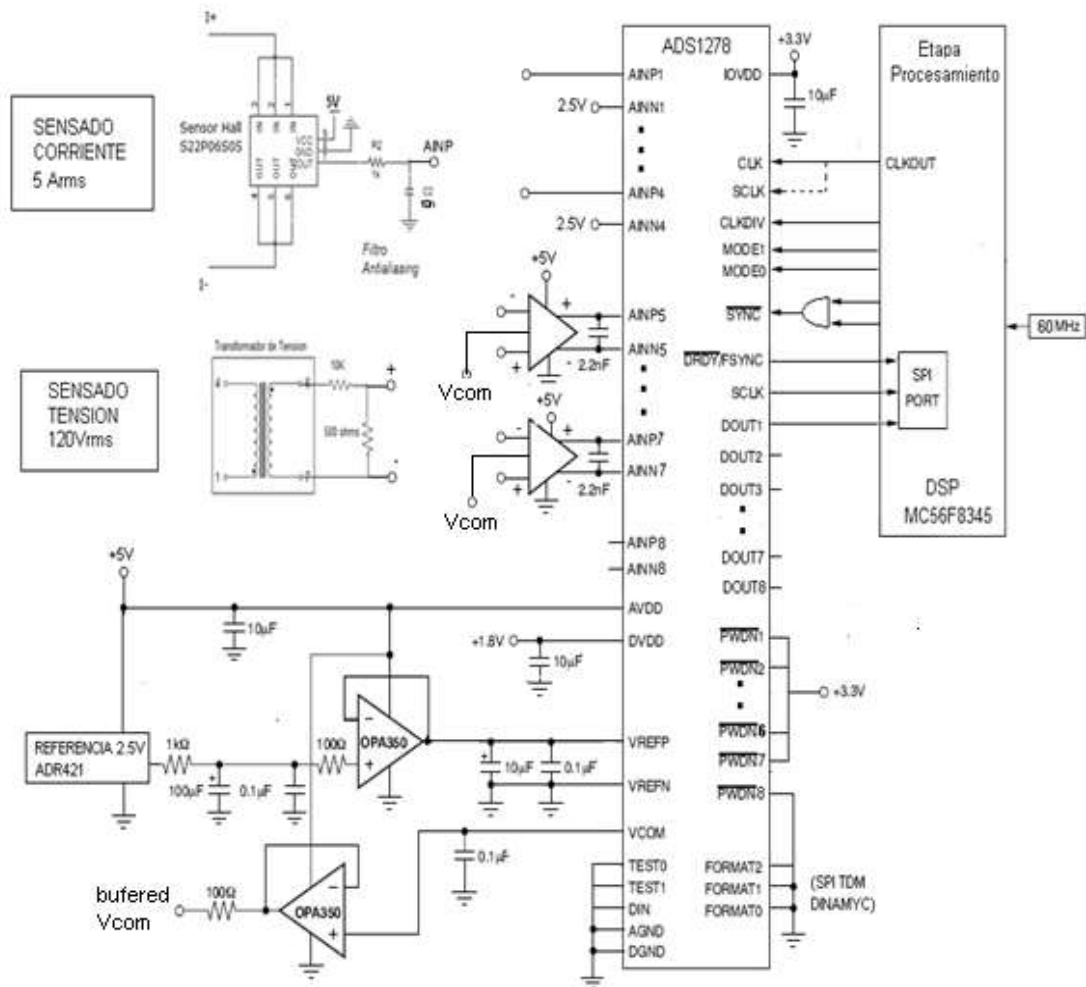


Figura 5.12 Esquema general de la conexión del ADS1278

5.5. Verificación del funcionamiento del ADS1278.

Para probar el funcionamiento del ADS1278 se realizó una tarjeta de prueba en la cual se habilitaron únicamente los canales de entrada uno, los cuales se conectaron directamente sin ningún tipo de filtro a una tensión DC (figura 5.13).

Con esta tarjeta se probó el ADS1278 a diferentes modos de operación y diferentes frecuencias de CLK y SCLK, las cuales se introdujeron con el generador de señales *Hung Chang 9250c*. Se corroboró con el osciloscopio *Tecktronix TDS210*⁵⁴ que la frecuencia de \overline{DRDY} efectivamente corresponde con F_{DATA} en las relaciones que marca la tabla 5.1 y que la trama de tiempo ocupado por los datos equivalía a los 48 bits de los dos canales.

⁵⁴ El generador de señales *Hung Chang 9250c*, el osciloscopio *Tecktronix TDS210* son propiedad de la escuela de ingeniería Eléctrica, Electrónica y Telecomunicaciones.

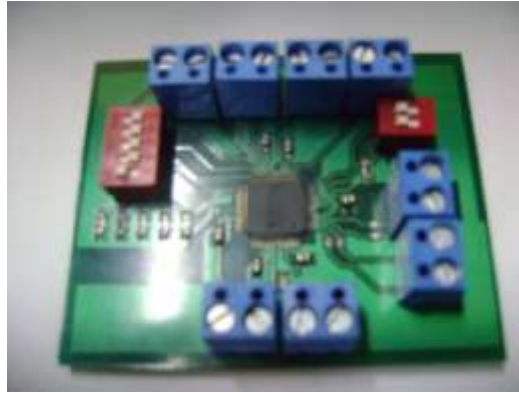


Figura 5.13. Tarjeta de pruebas para el ADS1278.

5.6. Diseño definitivo de la tarjeta de adquisición.

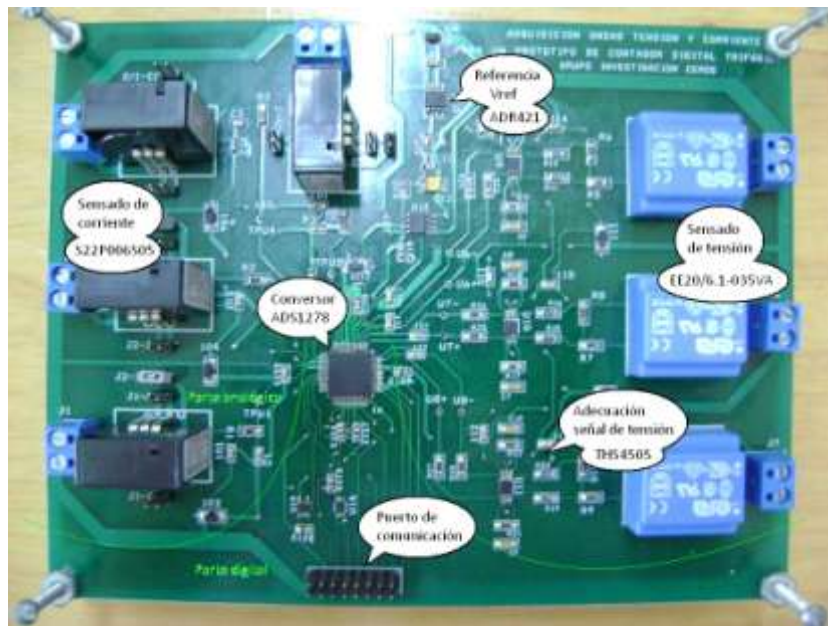


Figura 5.14. Tarjeta de adquisición de datos.

Como se puede apreciar en la figura 5.14, la tarjeta de adquisición de datos está habilitada para adquirir 7 señales de corriente y tensión; los canales del 1 al 4 del convertidor están dispuestos para adquirir señales de corriente, y los que van del 5 al 7 adquieren señales de tensión. Debido a que los sensores de tensión son capaces de sensar hasta 230V no se interconectaron entre sí, para dar la opción de hacer una conexión en delta, pero se debe tener en cuenta que el diseño es para una tensión nominal a la entrada de 120V, por lo que el circuito de adecuación saturará la entrada del convertidor si los sensores llegan a medir una tensión de 220V.

Capítulo 6.

Pruebas a la tarjeta de adquisición.

Como parte del proceso de desarrollo es la etapa de la formulación y un compendio de pruebas que certifiquen tanto el funcionamiento como el alcance de los objetivos planteados inicialmente en el proyecto. Con este capítulo se demuestra el correcto funcionamiento de la tarjeta de adquisición de datos de corriente y de tensión, y a su vez se propone un panorama parecido al que tendrá, como utilidad que brindará a un prototipo de contador digital trifásico, por medio de una visualización que tiene en cuenta las ecuaciones que se obtuvieron en la etapa de los sensores y del resultado de la etapa de adecuación de la señal, junto con una sintonización empírica con el que se planea tener algo parecido a un osciloscopio para señales menores a los 3KHz.

En este capítulo se describen las pruebas realizadas a la tarjeta de adquisición y sus respectivos resultados. Las pruebas realizadas se basan en el proyecto de grado [40], y en las pruebas de exactitud propuestas en las norma ICONTEC NTC 4052[10]. En principio se tenía planeado realizar las pruebas de rutina expuestas en la norma colombiana NTC4856[15] al medidor trifásico completo y comparar con los porcentajes de error allí descritos, pero al final se optó por realizar un programa con el *software Labview*⁵⁵ el cual permitiera la visualización de los datos y de este modo probar la tarjeta de adquisición diseñada.

Como la tarjeta de adquisición envía los datos en protocolo *SPI* no es posible conectarla directamente a un PC, siendo necesario convertir los datos de protocolo *SPI* a protocolo *RS232* o *USB* manejados por el computador. Se decidió utilizar una tarjeta de desarrollo basada en el *DSP MC56F8345*⁵⁶ la cual dentro de su estructura posee dos módulos *SPI* los cuales pueden ser programados para trabajar como maestro o esclavo, para organizar los datos y enviarlos por medio del protocolo *RS485* al computador; esto debido a que se tenía fácil acceso a esta tarjeta. La programación del *DSP* se hizo con la herramienta de *procesor expert* de *code warrior*⁵⁷.

6.1. Recepción de Datos Tarjeta de Procesamiento.

6.1.1. Configuración Modulo SPI del DSP.

Para la recepción de los datos solo fue necesario configurar uno de los dos puertos *SPI* (en este caso el *SPI0*) del *DSP*, el cual se llamo *SS1*.

En la figura 6.1, se muestra la configuración de este puerto a través de *Code Warrior*. Ya que la tarjeta de adquisición está configurada como maestra se habilito al puerto *SPI* para trabajar como esclavo. En vista de que se van a recibir y no a leer datos, se habilito el pin de entrada y se

⁵⁵ *Labview Student Edition, software libre para estudiantes.*

⁵⁶ A partir de acá cuando se refiera al *DSP* se estará haciendo mención a esta referencia.

⁵⁷ Codewarrior de Metrowerks, versión gratuita para estudiantes.

deshabilito el de salida. Este pin de entrada es el encargado de recibir los datos por lo cual se conecta al *DOUT* por el puerto a la tarjeta de adquisición.

El puerto *SPI* recibe un bit en cada ciclo de reloj de *SCLK*, por lo cual se configuro el puerto para recibir el dato en el flanco de subida del pulso del reloj (*rising edge*). Del mismo modo, se le establece al puerto que el primer *bit* a recibir es el más significativo para establecer concordancia con el formato de envío de datos de la tarjeta de adquisición.

✓	Bean name	SS1	
✓	Channel	SPI0	▼ SPI0
+	Interrupt service/ever	Enabled	🔄
[-]	Settings		
✓	Width	16 bits	▼
[-]	Input pin	Enabled	🔄
✓	Pin	GPIOE5_MOSIO	▼ GPIOE5_MOSIO
✓	Pin signal		
[-]	Output pin	Disabled	🔄
✓	Pin	GPIOE6_MIS00	GPIOE6_MIS00
✓	Pin signal		
[-]	Clock pin		
✓	Pin	GPIOE4_SCLK0	▼ GPIOE4_SCLK0
✓	Pin signal		
+	Slave select pin	Enabled	🔄
✓	Clock edge	rising or falling edge	▼ rising edge
✓	Empty character	0	
✓	Ignore empty char.	no	🔄
✓	Send MSB first	yes	🔄
✓	Wired-OR mode	Disabled	🔄
✓	Shift clock idle polarity	Low	▼
✓	Fault mode	Disabled	🔄
+	Initialization		

Figura 6.1. Configuración modulo SPI (SS1).

5.1.2 Programación Comunicación SPI.

Como se observa en la figura 6.1, en modo esclavo no hay un pin asignado a *DRDY*, siendo necesario designar un pin de entrada y salida general del DSP a trabajar como *DRDY* de recepción. En la figura 6.2 se muestra en forma general la programación del modulo SPI. A grandes rasgos, se espera a que el *DRDY* se ponga en bajo (indicando el inicio de la transmisión de una nueva trama de dato), una vez se detecta este suceso se habilita el modulo SPI para recibir datos.

```

SS1_ClearRxBuf(); //Limpia el Buffer
//ADQUISICIÓN DE LAS SEÑALES
while(DRDY_GetVal()) asm(nop); //No hace nada mientras que DRDY este en alto
error=SS1_Enable(); //Habilita el SPI
while (SS1_GetCharsInRxBuf()<12) asm(nop); //Esperar a que reciba los datos en el buffer.
error=SS1_RecvBlock((unsigned int *)&Rec[0],12,&Recibido); // Lee el buffer de entrada
error=SS1_Disable(); //Se deshabilita el SPI

```

Figura 6.2. Programación modulo SPI.

Como se observa en la figura 1, el módulo SPI está configurado para recibir palabras de 16 bits (limitante del DSP). Una vez se tengan 12 palabras de 16 bits (las cuales equivalen a 8 palabras de 24 bits *) en el buffer de entrada, se leen estas palabras y se guardan en el vector **Rec[]**, de 16 bits, quedando los datos organizados como se muestra en la figura 6.3.

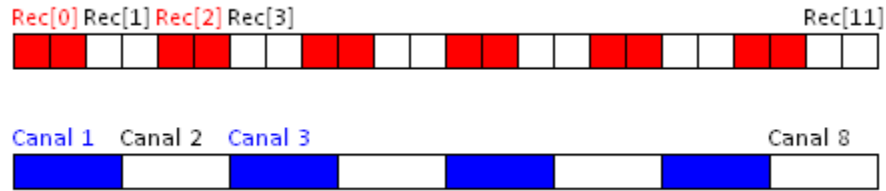


Figura 6.3. Organización de los datos a en el DSP.

6.2. Envío de Datos hacia el PC.

6.2.1 Configuración Modulo de Comunicación Serial.

Como el objetivo es visualizar los datos para así poder verificar el correcto funcionamiento de la tarjeta de adquisición, no se realiza ningún procesamiento a los datos recibidos, por el contrario, se envían estos directamente al PC.

El DSP posee dentro de su estructura un modulo de comunicación serial asíncrona, el cual corresponde a un protocolo ya establecido internacionalmente y se configuro como se ilustra en la figura 6.4. Como se observa, se habilito tanto la recepción como la transmisión de datos los cuales se transmiten y/o reciben en paquetes de 8 bits con un bit de parada y sin bit de paridad.

✓	Bean name	AS1	
✓	Channel	SCIO	▼ SCIO
+	Interrupt service/ever	Enabled	⊗
+	Settings		
✓	Parity	none	▼ none
✓	Width	8 bits	▼ 8 bits
✓	Stop bit	1	▼ 1
+	SCI output mode	Normal	▼
+	Receiver	Enabled	⊗
✓	RxD	GPIOE1_RxD0	▼ GPIOE1_RxD0
✓	RxD pin signal		
+	Transmitter	Enabled	⊗
✓	TxD	GPIOE0_TxD0	▼ GPIOE0_TxD0
✓	TxD pin signal		
✓	Baud rate	115200 baud	... 113636.364 baud
✓	Break signal	Disabled	⊗
✓	Wakeup condition	Idle line wakeup	▼
✓	Transmitter output	Not inverted	▼
✓	Stop in wait mode	no	⊗
+	Initialization		

Figura 6.4. Configuración del módulo de comunicación serial asíncrona.

Aunque el *DSP* posee la capacidad de transmitir a velocidades del orden de las unidades de Mbaudios, la velocidad de transmisión de datos se estableció en aproximadamente 113,636 Kbaudios, ya que se utiliza protocolo RS-232, el cual está limitado a una velocidad máxima de 128 Kbaudios.

6.2.2 Programación modulo de comunicación serial.

Para establecer la comunicación entre la tarjeta de procesamiento y el PC, hay que tener en cuenta que los datos salen del *DSP* con lógica *TTL*, y son convertidos a formato RS-485 por el circuito integrado DS485. En la figura 6.5 se muestra el diagrama de conexión de este circuito.

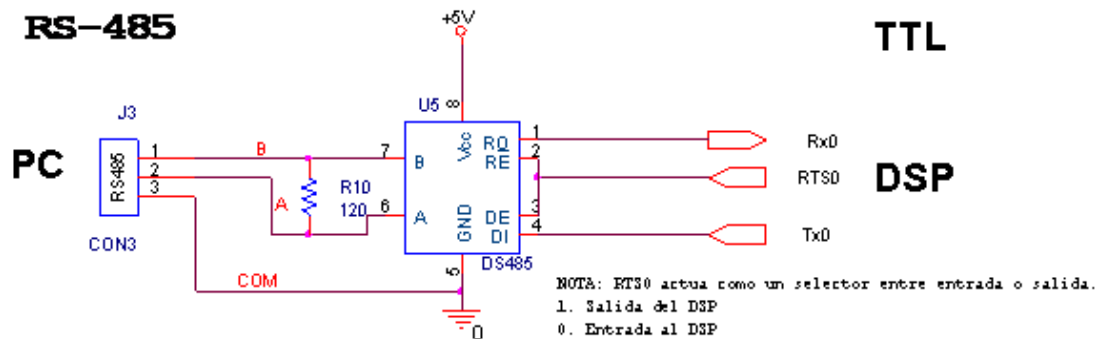


Figura 6.5. Conexión del DS485.

De este diagrama de conexión sobresale el hecho que el pin denominado *RTS0* del DS485 hace las veces de selector entre escritura o lectura, más exactamente si se va a leer un dato este pin debe ponerse en bajo, mientras que si se desea escribir un dato se debe establecer un alto en este pin.

Para programar el envío de datos lo primero es establecer en alto el pin *RTS0* para habilitar la transmisión, acto seguido se seleccionan los bytes que se desean enviar en el orden deseado, y por último se da la orden al *DSP* de enviar los datos. En la figura 6.6 por ejemplo se muestra la programación para el envío de los 24 bits del canal 5, los cuales corresponden a *Rec[6]* y a la parte alta de *Rec[7]* (figura 6.3). Como la velocidad de transmisión es significativamente baja en comparación con la velocidad interna del *DSP* es necesario agregar un retardo para evitar sobrescritura de los datos.

```
RTS0_SetVal(); //habilita la transmision de datos
chdato.ch5dato1 = (Rec[6] & 0xFF00) >> 8; //primer dato a enviar
chdato.ch5dato2 = (Rec[6] & 0xFF); //segundo dato a enviar
chdato.ch5dato3 = (Rec[7] & 0xFF00) >> 8; //tercer dato a enviar
error=AS1_SendBlock((byte *)&chdato, sizeof(chdato), &sent_); //envio datos
RETARDO(600);
AS1_ClearTxBuf();
```

Figura 6.6. Programación del envío de datos.

La etapa de procesamiento entrega los datos en protocolo RS-485, por lo que fue necesario utilizar un convertor RS-485 a RS-232, el cual es el protocolo de comunicación serial que maneja los niveles de tensión adecuados para interactuar con el PC. Adicionalmente, se adquirió un convertor RS-232 a USB, para facilitar la realización de las pruebas al poder hacer uso de un computador portatil.



Figura 6.7. a) Conversor RS-485-RS-232. b) Conversor RS-232-USB.

6.3. Interfaz Labview.

Para la visualización de los datos se decidió utilizar el *software Labview (Laboratory Virtual Instrument Engineering Workbench)* de la empresa *National Instrument* el cual es un software que maneja una programación en lenguaje G u orientado a gráficos.

El objetivo de la interfaz realizada es la visualización de las ondas captadas por la tarjeta de adquisición, y de esta forma comprobar el adecuado funcionamiento de esta tarjeta. En la figura 6.8, se muestra la interfaz realizada en la cual se puede configurar la comunicación serial donde es importante que coincida con la configuración del *DSP* o de lo contrario no habrá sincronización entre las partes.

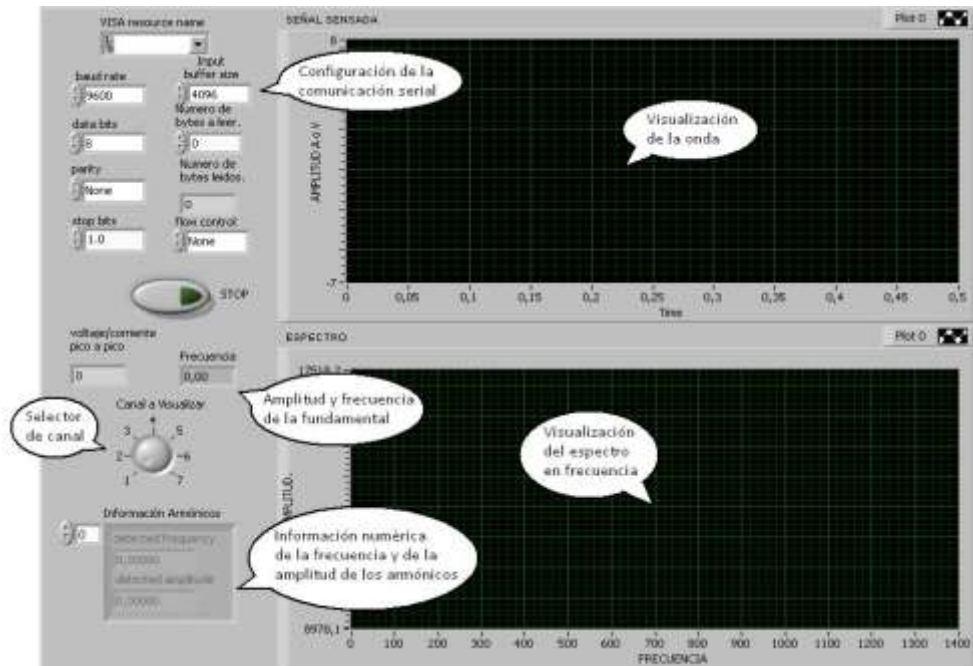


Figura 6.8. Panel Frontal Interfaz Labview.

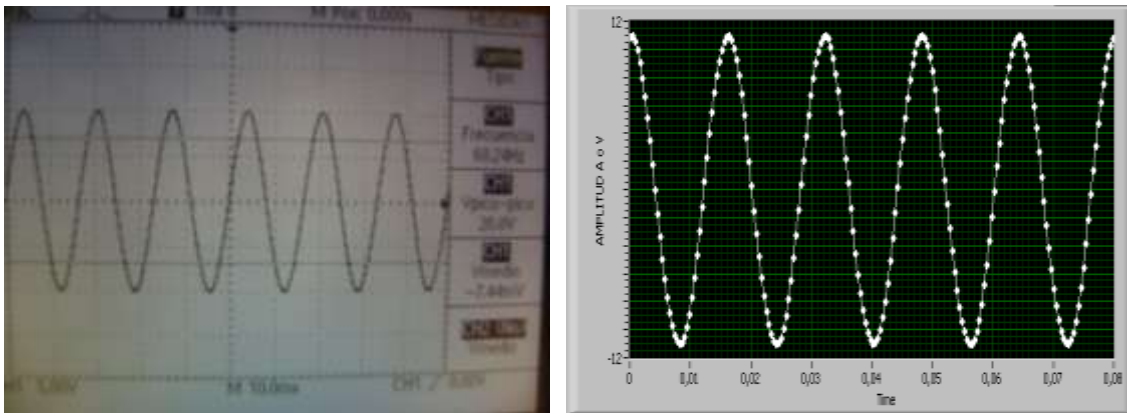
Con la perilla de selección de canal, se habilita el canal que se desea visualizar, indicándose la amplitud en volts pico a pico y la frecuencia de la componente fundamental así como la amplitud en volts pico y las respectivas frecuencias de las componentes armónicas en los indicadores como se ilustra en la figura 6.8.

La forma de la onda es visualizada en la pantalla superior donde se configuro los ejes tanto en amplitud como en tiempo para autoajustarse a la señal de entrada, mientras que en la pantalla inferior se aprecian los componentes armónicos de la señal (con la amplitud dada en $(V_{rms})^2$ o $(Arms)^2$).

6.4. Pruebas efectuadas con generador de señales.

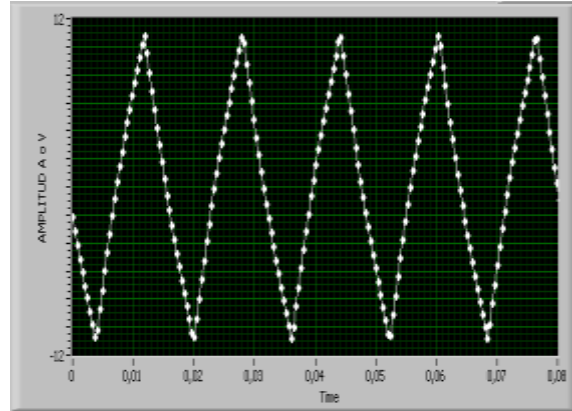
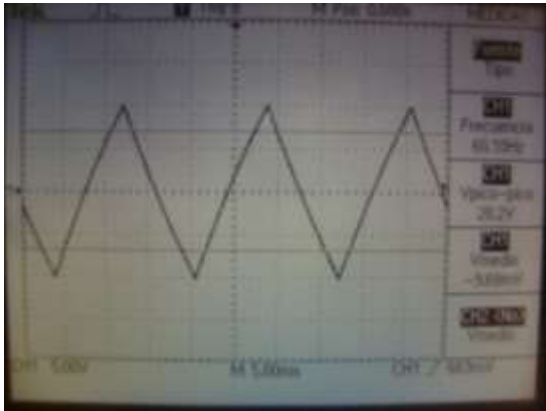
Debido a la necesidad de implementar las primeras pruebas del software de visualización en labview se iniciaron las pruebas en laboratorio por medio de un generador de señales de la universidad que inyectaba la señal de entrada, este experimento sirvió para obtener datos y resultados en la visualización. Las pruebas se hicieron con distintas señales, senoidales, triangulares y cuadradas, con el fin de analizar también por visualización qué sucedía con señales de distintos contenidos de armónicos, y cómo reaccionaba el sistema el sistema de adquisición completo ante estos tipos de señales.

La primera señal a la entrada es una señal senoidal de 20V y 60.24Hz, con lo cual se obtuvo una señal de salida de la misma forma.

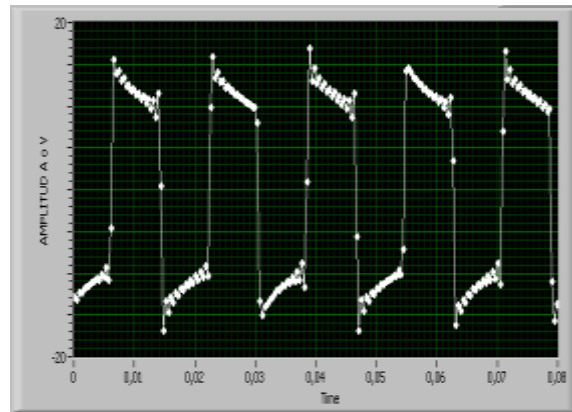
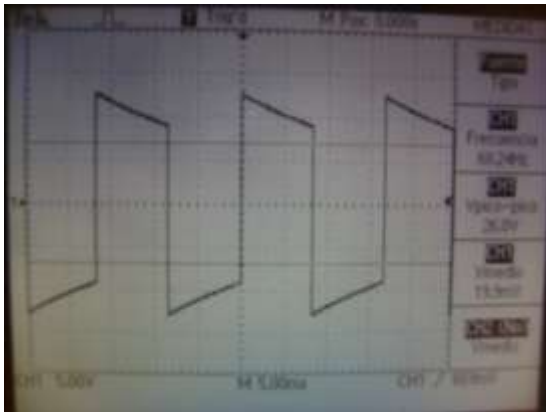


Figuras 6.9. Señal senoidal de tensión a la entrada visualizada por medio de osciloscopio, con su respectiva salida en la visualización en *Labview*.

Las señales triangulares y cuadradas no eran precisamente lo que deberían ser (debido a posibles fallas del generador), pero la visualización cumple su propósito al mostrar señales acordes con la entrada; en la triangular se puede apreciar una pequeña curva en los flancos de subida y de bajada de la señal, y en la cuadrada se ve que no mantiene constante un nivel de tensión en la mitad de su periodo.



Figuras 6.10. Señal triangular de tensión a la entrada visualizada por medio de osciloscopio, con su respectiva salida en la visualización en *Labview*.



Figuras 6.11. Señal cuadrada de tensión a la entrada visualizada por medio de osciloscopio, con su respectiva salida en la visualización en *Labview*.

Estas señales también fueron analizadas en el dominio de la frecuencia por medio de *Labview*, por ejemplo, par esta señal cuadrada se obtuvo la siguiente visualización de armónicos.

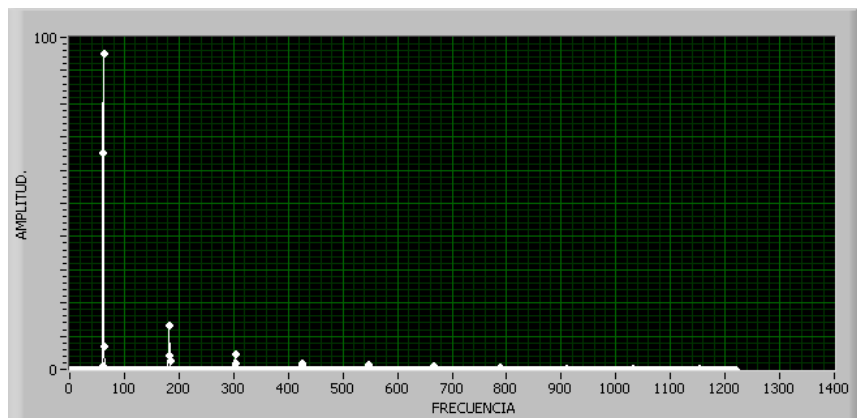
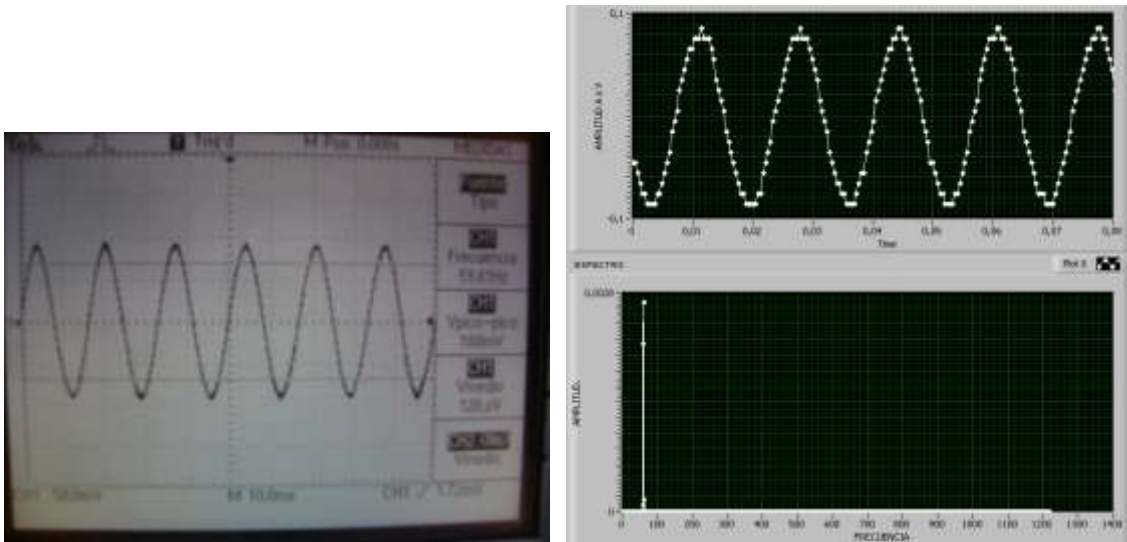


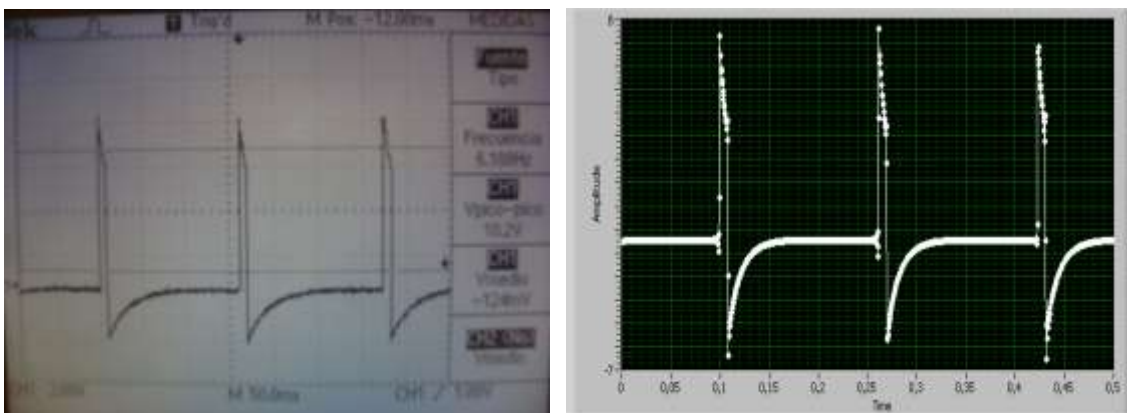
Figura 6.12. Visualización de los armónicos de la señal cuadrada.

Se realizó una prueba con una señal de tensión muy pequeña para probar la efectividad del sistema de adquisición para este tipo de señales y los resultados fueron satisfactorios en la visualización, para esto se bajó hasta el mínimo en la amplitud de la señal de salida del generador de señales. Esta prueba se aleja un poco de lo que se pretende con el prototipo de contador digital trifásico, pero con esto se garantiza que el sistema responde a señales de tensión menores al 0.06% del valor nominal de tensión del diseño, es decir 120V. Esto es un factor que puede servir como utilidad a futuros proyectos que tenga que ver con adquisición de datos de tensión.



Figuras 6.13. Señal senoidal de tensión de 188mV pico a pico a la entrada visualizada por medio de osciloscopio, con su respectiva salida en la visualización en *Labview*.

Se probó también con señales de tensión distorsionadas con frecuencias iguales al 10% de la nominal para probar el funcionamiento de la visualización de *Labview*, y el desempeño de los dispositivos que hacen parte del sistema de adquisición. En las siguientes figuras se muestran varios experimentos hechos con las características mencionadas y su visualización en *Labview*, nótese una pequeña distorsión en las señales a la salida del sistema, para las cuales se pueden remitir al capítulo de pruebas de sensores en donde se ve la respuesta en frecuencia de los sensores de tensión.



Figuras 6.14. Señal de tensión distorsionada a la entrada visualizada por medio de osciloscopio, con su respectiva salida en la visualización en *Labview*.

Se realizaron pruebas con señales distorsionadas de frecuencia cercanas a 60Hz con el fin de dar certeza del funcionamiento de la visualización. Una de estas señales fue la siguiente

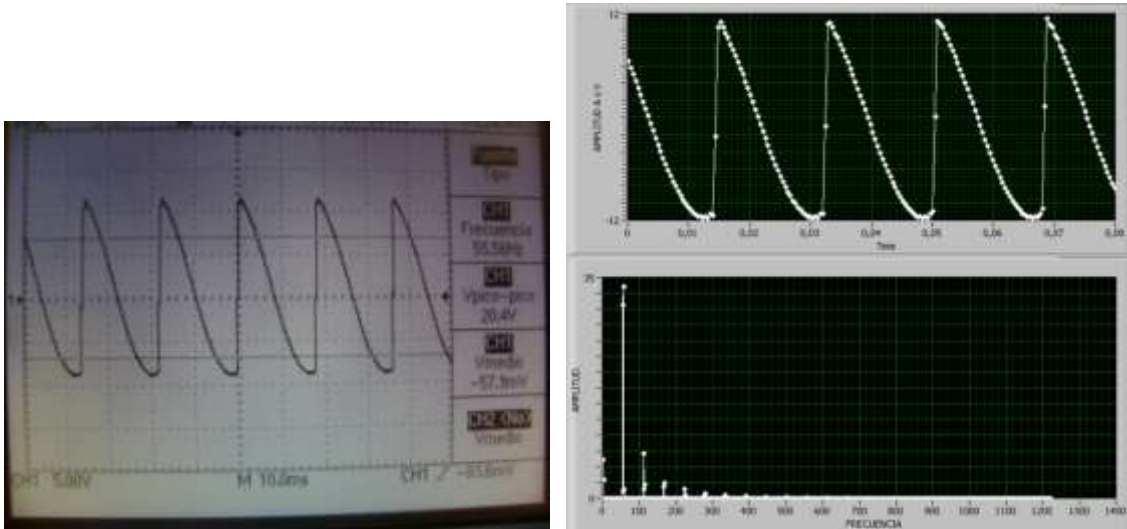
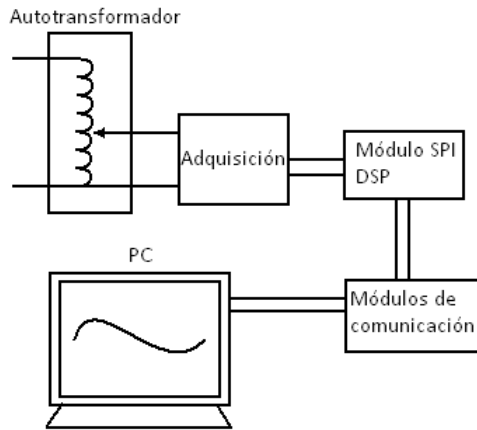


Figura 6.15. Señal distorsionada en el osciloscopio de 55.5Hz.

Los resultados que se obtuvieron por medio de los experimentos con generador de señales fueron satisfactorios porque permitieron dejar en claro que el proceso que se estableció para visualizar los datos en tiempo real es el adecuado para hacerle las pruebas a la tarjeta canal por canal. La diferencia con el canal de corriente es la implementación de otras ecuaciones para la recuperación de la señal en *Labview*, estas ecuaciones están presentes en la respuesta a la entrada de los sensores descritas en el capítulo de pruebas de sensores.

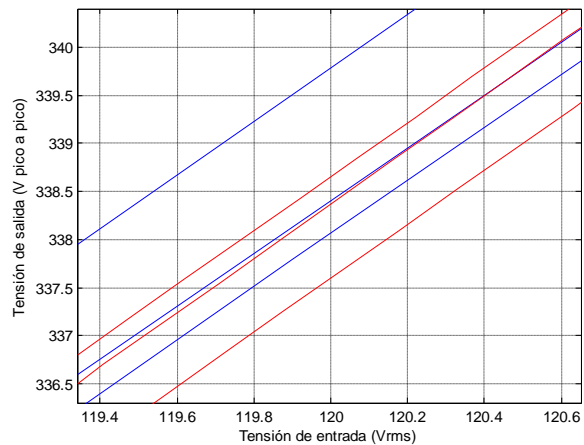
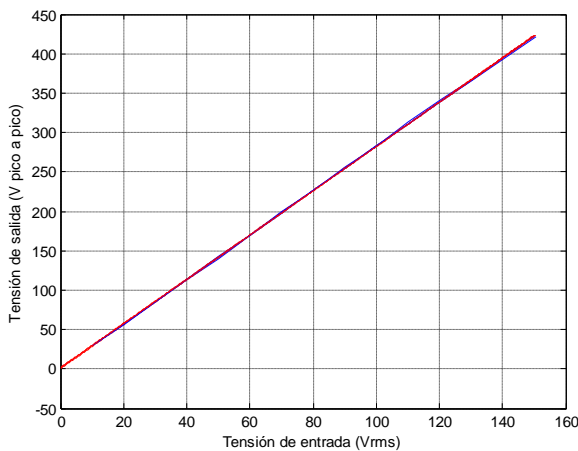
6.5. Pruebas en laboratorio de máquinas.

Las pruebas al dispositivo de adquisición requerían poner a funcionar la tarjeta bajo las condiciones normales o nominales para las cuales está diseñada, por tanto en el laboratorio de máquinas se realizaron barridos de tensión y de corriente en AC con el fin de analizar el comportamiento de la tarjeta ante diferentes valores de tensión y de corriente entre los que se encuentran los nominales. El montaje utilizado para la prueba de tensión fue el que se muestra a continuación, y el de corriente fue el circuito de sensado de corriente con una carga resistiva, un banco de bombillos.



Figuras 6.16. Montaje utilizado en el laboratorio de máquinas con el que se probaron los canales de tensión de la tarjeta

El resultado promedio de los barridos por canal fue el que se muestra en la figura 6.17, esta es una gráfica donde se muestran las relaciones entrada-salida de los canales de tensión. La señal de entrada fue sensada por medio de un multímetro *DMM252*, y la salida en la visualización de *Labview*.



Figuras 6.17. Barrido de los canales de tensión en las pruebas del laboratorio de máquinas. Las líneas azules son las gráficas obtenidas experimentalmente en el laboratorio y las rojas son las rectas que mejor se ajustan a cada curva⁵⁸.

La tabla a continuación muestra los datos obtenidos en el laboratorio con los cuales se extrajeron características de linealidad y repetitividad del sistema.

⁵⁸ Esta nomenclatura de colores se maneja en todos los barridos de tensión y de corriente

Canal 5		Canal 6		Canal 7	
Entrada Vrms	Salida Vpp	Entrada Vrms	Salida Vpp	Entrada Vrms	Salida Vpp
10.1	29.3	10.1	29.2	10.1	29.3
19.8	56.5	19.9	55.3	20.0	56.6
30.3	86.0	29.8	83.1	29.8	83.9
40.6	115.4	40.1	112.6	40.5	114.0
50.4	143.0	49.8	140.0	50.5	142.6
60.1	170.0	60.1	169.6	60.5	172.0
69.8	199.0	70.1	197.9	70.2	199.3
79.7	225.0	80.3	226.4	80.3	226.5
90.3	255.7	90.1	254.3	89.8	253.8
100.1	283.2	99.9	282.5	100.1	283.2
110.2	312.6	110.0	311.0	110.1	310.5
120.8	342.0	120.4	339.5	119.9	337.8
130.2	367.2	130.6	368.0	130.2	366.0
140.4	395.0	140.4	395.5	139.9	392.3
149.9	421.0	150.2	423.0	150.6	421.7

Tabla 6.1. Datos obtenidos en los barridos de los canales de tensión.

El mayor error de linealidad en los canales de tensión es de 0.4333%, y este se presenta en el canal 5. El mayor error de repetitividad entre la etapa de adquisición de tensiones es de 0.3911%.

Para las pruebas de corriente se realizaron barridos en corriente alterna por los distintos canales de corriente de la tarjeta, esos barridos se muestran en la siguiente figura, en donde se inyectó 7Arms con el fin de superar en un 40% la corriente nominal que va a manejar el dispositivo completo de medición.

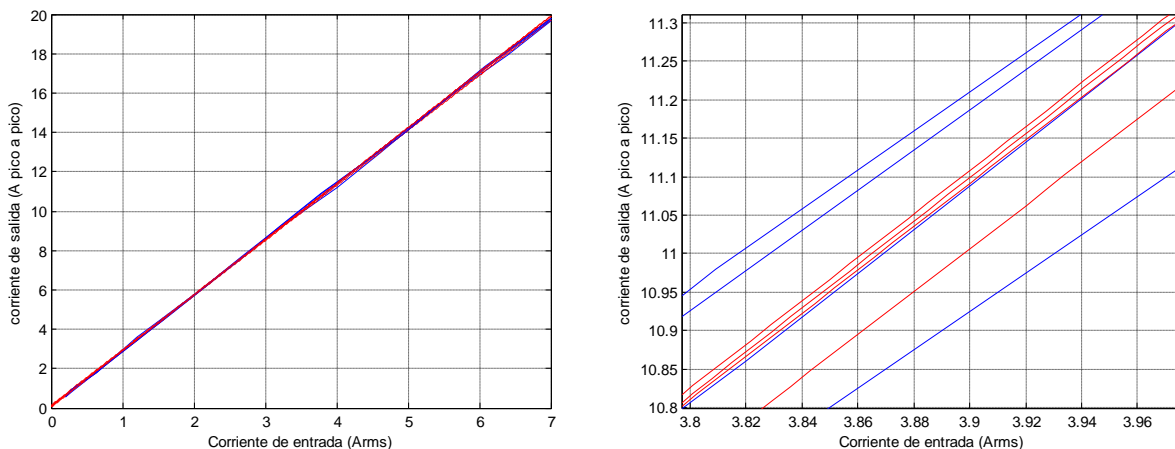


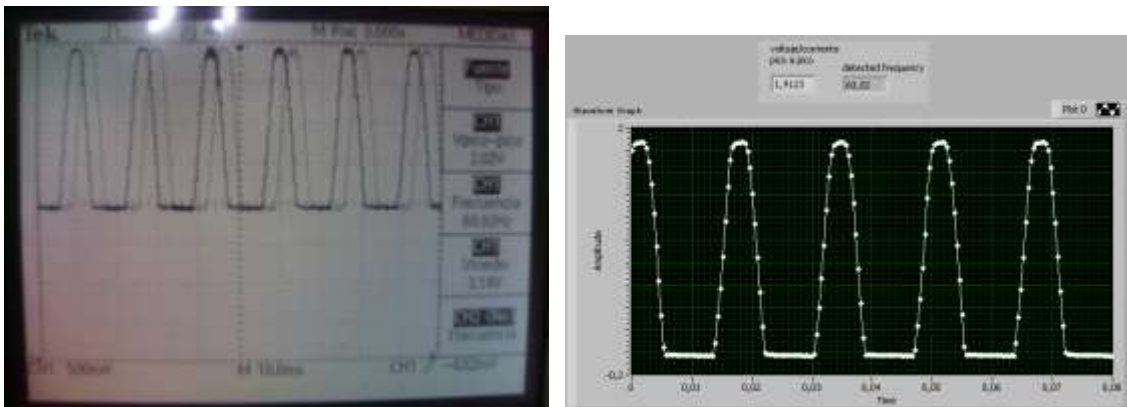
Figura 6.18. Barridos de corriente alterna por los distintos canales de corriente de la tarjeta de adquisición.

Canal 1		Canal 2		Canal 3		Canal 4	
Entrada Arms	Salida App	Entrada Arms	Salida App	Entrada Arms	Salida App	Entrada Arms	Salida App
0.199	0.59	0.201	0.57	0.204	0.59	0.202	0.57
0.301	0.99	0.302	0.86	0.303	0.99	0.303	0.99
0.634	1.79	0.608	1.73	0.613	1.79	0.610	1.73
0.944	2.79	0.905	2.58	0.913	2.69	0.909	2.62
1.249	3.59	1.198	3.42	1.208	3.59	1.201	3.42
1.558	4.39	1.492	4.26	1.506	4.39	1.497	4.28
2.164	6.18	2.076	5.94	2.089	5.99	2.080	5.95
2.767	7.93	2.652	7.60	2.671	7.68	2.648	7.60
3.360	9.58	3.214	9.23	3.260	9.37	3.220	9.25
4.010	11.20	3.820	10.86	3.809	10.98	3.790	10.90
4.590	12.90	4.400	12.51	4.440	12.58	4.410	12.52
5.160	14.57	4.920	14.00	4.950	13.97	4.920	13.99
5.800	16.40	5.500	15.64	5.540	15.70	5.500	15.64
6.400	17.90	6.080	17.36	6.130	17.37	6.070	17.30
7.000	19.70	7.000	19.80	6.990	19.70	7.000	19.80

Tabla 6.2. Datos obtenidos de los barridos de tensión AC a la entrada de los canales de adquisición de corriente.

El mayor error de linealidad, en cuanto a los canales de corriente, es de 0.7571% y este se presenta en la prueba hecha en el canal 3. El máximo error de repetitividad entre los canales de adquisición de corriente es de 0.5595%.

Como parte de la prueba de laboratorio de máquinas se realizó una prueba con una señal de corriente distorsionada por una rectificación de media onda y los resultados se pueden ver en la visualización de labview.



Figuras 6.19. Pruebas de rectificación de media onda de corriente

Como se puede apreciar, en las pruebas hechas en el laboratorio de máquinas la tarjeta de adquisición de datos cumplió con las expectativas con las cuales se inicio el desarrollo del *software* de prueba en la herramienta *labview*, más aún faltan pruebas que son de mucha más rigurosidad, pero estas solo se pueden hacer cuando el prototipo de contador esté terminado, estas pruebas si se deben hacer bajo las normas técnicas que se establecieron para asegurar la calidad en la medición de energía eléctrica.

Todas las pruebas anteriores fueron hechas en tiempo real a una frecuencia de muestreo de 2.44KHz, por esto se alcanzaron a ver únicamente 40 muestras por ciclo. Por encima de esta frecuencia el sistema incurre en pérdida de datos, debido a la limitante de velocidad de transmisión del RS-232, por lo que si se quiere recibir en la visualización, un mayor número de muestras, es necesario almacenar los datos en un registro del *DSP* (figura 6.20).

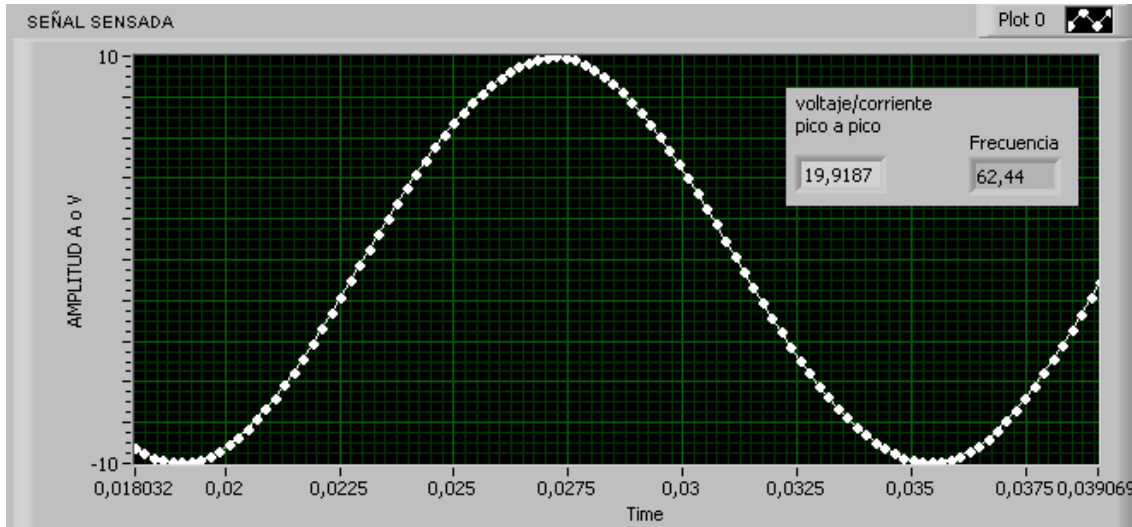
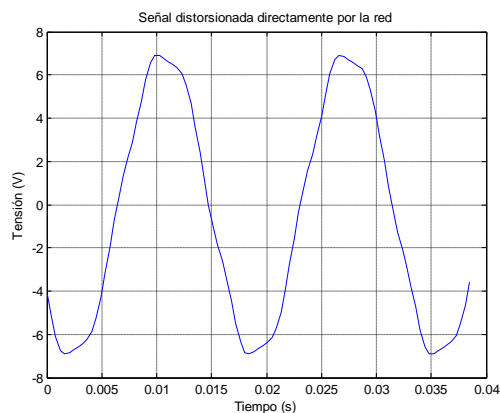
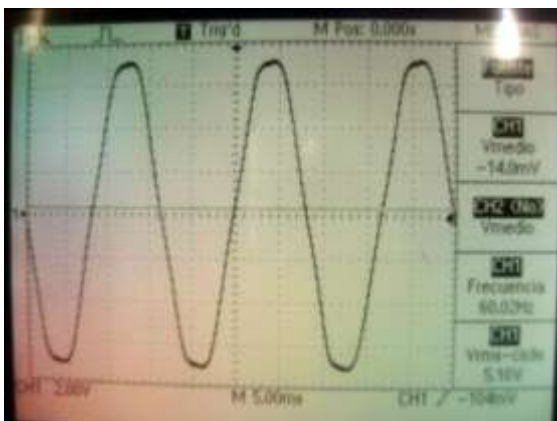


Figura 6.20. Señal muestreada a 4.88KHz, equivalente a 80 muestras por ciclo a una onda de 60Hz.

Como última prueba, se quiso comprobar que el contenido armónico de la señal captada correspondiera realmente al contenido armónico de la señal de entrada, para esto se utilizó el osciloscopio Tektronix TDS210, que cuenta con un módulo para analizar espectros por medio de la transformada rápida de Fourier. La señal de salida corresponde a los datos captados por Labview, los cuales se exportaron a un archivo de texto y se procesaron por medio de Matlab. Una vez se procesó la información en Matlab se graficaron las componentes en frecuencia de la señal más significativas, y se comparó la diferencia en decibeles de los armónicos. Como se puede apreciar en la figura 6.21 las componentes, fundamental, quinto y séptimo armónico, dan amplitudes que coinciden con el espectro de Fourier de la señal de entrada visto en el osciloscopio.



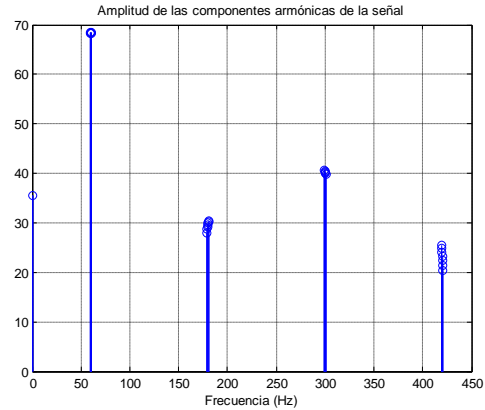
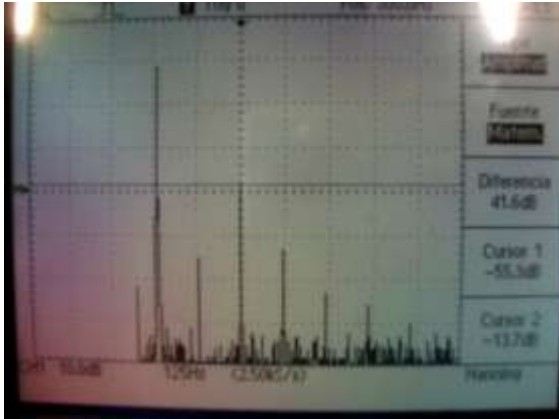


Figura 6.21. Señales de entrada y su procesamiento en Matlab.

La prueba anterior se realizó basándose en la norma NTC 4052 para evaluar medidores de energía. Se debe considerar la utilización de equipos certificados para hacer este análisis, y se habla de un error de distorsión menor a 0.8% en el quinto armónico, teniendo este como magnitud el 40% de la componente fundamental.

6.6. Especificaciones.

Especificaciones				
Rango de entrada **		Mínimo	Nominal	Máximo
	Tensión	10Vrms	120Vrms	150Vrms
	Corriente	250mArms	5Arms	7Arms
Ancho de banda	6KHz			
Frecuencia de muestreo máxima	High speed	128Ksps		
	High resolution	57Ksps		
	Low power	57Ksps		
	Low speed	10Ksps		
Número de canales	Tensión	3		
	Corriente	4		
Alimentación	Analógica	5Vdc		
	Digital	3.3Vdc		
Reloj de funcionamiento	Mínimo	Máximo		
	100KHz	32MHz		
Consumo de potencia	650mW : Modo High Resolution a 2.44KHz en DRDY			
Medición de corriente DC	Sí			
Medición de tensión DC	No			

** Estos rangos corresponden a los probados en el laboratorio.

Tabla 6.3. Especificaciones de la tarjeta.

6.7. Recomendaciones.

- Teniendo presente los porcentajes de error exigidos por la norma NTC 4052 para medidores de energía eléctrica clase 1, se recomienda el uso de un conversor que maneje un número de bits acorde con la aplicación. En el ensayo de exactitud en presencia de armónicos la norma exige una medición con una componente de quinto armónico en corriente de magnitud igual al 40% de la fundamental, equivalente a 2A, para la cual se exige un error máximo de 0,8%. Estos dos amperios equivalen a una tensión en la entrada del conversor de 832,92 +/-6,66mV. Tomando el valor de 6,66mV (el cual es el 0,8% de 832,92mV) como la resolución mínima que debe manejar el conversor, se argumenta que 10 bits son suficientes para cumplir este requisito de la norma. La prueba de exactitud más exigente de la norma es la referente a la medición bajo una corriente igual al 5% de la nominal (250mA) con un error máximo de 1,5%. Un análisis similar al realizado anteriormente bajo estas condiciones muestra que 11bits son necesarios para cumplir este requerimiento.
- El sensor de corriente de efecto Hall de lazo cerrado seleccionado, es capaz de medir hasta una corriente máxima de 18Arms, pero no se probó la tarjeta hasta ese nivel de corriente debido a que su aplicación es para ser la parte de adquisición de un contador de 120Vrms y 5A nominales. Esta tarjeta admite corrientes de 7Arms sin llegar a saturar la entrada del conversor analógico-digital. Se recomienda manejar la tarjeta a los niveles nominales, o cambiar su arquitectura para la adquisición de corrientes más altas, ya que los *jumpers* por los que pasa la corriente de entrada se pueden ver afectados por el calor.
- Existen muchas características del conversor ADS1278 que no fueron explotadas en este proyecto, como por ejemplo, que los niveles de tensión lógicos dependan de la alimentación digital (Vdd), la cual se puede variar entre 1,75V y 3.6V permitiendo a la tarjeta de adquisición adaptarse a diferentes tecnologías; por esto se exhorta a que se siga utilizando en proyectos afines y que se explore completamente toda su versatilidad.
- El sensor de corriente seleccionado es un sensor de efecto Hall que permite captar corrientes continuas, pero toda la caracterización fue hecha basándose en que su aplicación en esta tarjeta es para sensor AC, por tanto se sugiere caracterizar el sensor con corrientes continuas si se desea utilizar para este propósito.
- Al utilizar el ADS1278 como maestro este genera la señal DRDY que facilita la lectura de los datos porque prácticamente da la orden y sincronización a la etapa de procesamiento, por lo que es preferible que al adquirir o diseñar una tarjeta de desarrollo, esta tenga la opción de trabajar como maestro y como esclavo, en todos sus módulos de comunicación.
- Todas las mediciones que se realicen deben ser basadas en un dispositivo referencia, es decir, que no se cometan errores por un cambio de medidor, y tratar de evitar los cambios de escala en estos, debido a que de alguna manera pueden afectar la medición.
- Para facilitar futuras pruebas a dispositivos electrónicos que utilicen protocolo SPI se recomienda a la E3T la adquisición de la tarjeta NIUSB-8451 de National Instruments, la cual

permite realizar una conversión SPI a USB, con velocidades de transmisión hasta de 12MB/s, e incluye un driver para configurar dicho puerto en Labview.

- Existe la necesidad de implementar más pruebas para analizar la distorsión armónica de todo el sistema utilizando equipos que estén certificados para este trabajo, y de este modo constatar que la tarjeta no produce distorsión al adquirir la señal.

6.8. Conclusiones y observaciones.

- Se Diseñó una tarjeta capaz de adquirir y digitalizar cuatro señales de corriente y tres señales de tensión de forma simultánea, entregando los datos en paquetes de 24 bits por canal, donde se observó que el número de bits efectivos en los canales de tensión fue de 15 bits, mientras que en los canales de corriente se alcanzaron 13 bits efectivos. Su transmisión se hace en formato complemento a dos y en protocolo *SPI*, con la opción de ser ajustada por el usuario para trabajar en cualquiera de los cuatro modos de operación descritos en el capítulo 4.
- La diferencia de bits efectivos entre los canales de tensión y los canales de corriente, se debe en parte a que el sensado de la tensión se realizó en forma diferencial anulando el nivel de DC (el transformador de tensión anula los niveles de DC), mientras que el sensado de corriente fue *single*, permitiendo mediciones de valores DC (en corriente no se optó por medida diferencial ya que en este tipo de medición se atenúan las componentes armónicas pares, lo cual afectaría el resultado de una medición correcta de energía). Al cortocircuitar las entradas del convertidor se observaron 17bits efectivos.
- La tarjeta de adquisición está en la capacidad de adquirir y digitalizar tensiones desde 10Vrms hasta 150Vrms y corrientes desde 200mA rms hasta 7Arms, los cuales se ajustan a los niveles de tensión y corriente máxima exigidos por las normas ICONTEC para medidores trifásicos de energía eléctrica de 120Vrms y 5A nominales. Cabe destacar que el sensor de corriente seleccionado se puede configurar para alcanzar mediciones de hasta 18Arms.
- Aunque en las normas ICONTEC no se exige la medición de corrientes continuas para medidores de energía eléctrica, esta tarjeta está diseñada para captar señales de corriente continua, lo cual le da mayor rango de trabajo en cuanto a medición se refiere.
- El convertidor analógico-digital ADS1278 permite digitalizar señales analógicas simultáneas, gracias a que posee dentro de su estructura ocho moduladores sigma-delta de sexto orden y ocho filtros FIR independientes, evitando el uso de multiplexores en las entradas analógicas los cuales podrían ocasionar desfases considerables.
- Gracias al proceso de diezmado realizado por los filtros digitales FIR y a la alta frecuencia de funcionamiento de los moduladores sigma-delta, se logró, como se verificó en las pruebas, evitar el efecto de *aliasing* utilizando filtros analógicos de un solo polo. Filtros de mayor orden implican el uso de más elementos, por lo cual más área ocupada y mayor costo, sin embargo dependiendo de la precisión y de la selección de estos elementos se podría llegar a incrementar el número de bits efectivos de la tarjeta.

- El ADS1278 no posee registros, por lo que su configuración se realiza estableciendo niveles de tensión lógicos en pines específicos. Esto hace que la configuración del ADS1278 sea realmente sencilla.
- La tarjeta de adquisición entrega los datos en protocolo *SPI*, facilitando enormemente la comunicación con la etapa de procesamiento, ya que el *DSP* utilizado en dicha etapa posee dentro de su estructura módulos *SPI*. Para esta aplicación se acordó con el diseñador de la etapa de procesamiento configurar la tarjeta de adquisición como maestra por las ventajas en programación que esto aportaba.
- Con el objetivo de proporcionar a la etapa de procesamiento el mayor tiempo posible para el análisis de los datos entre muestras, se estableció el reloj de bus de datos *SCLK* igual al reloj de funcionamiento del ADS1278 *CLK*, con lo cual la tarjeta de adquisición alcanza la mayor tasa de transmisión de datos, minimizando de este modo el tiempo empleado en el envío de los bits.
- Para verificar el funcionamiento de la tarjeta de adquisición se programaron y configuraron los módulos *SPI* y de comunicación serial asíncrona del *DSP*, con la herramienta de *process expert* del software *Code warrior*. Del mismo modo se realizó una interfaz en *labview* en la cual se pueden visualizar los datos adquiridos en el dominio del tiempo y el espectro en frecuencia de los mismos, simulando el comportamiento de un osciloscopio.
- La comunicación serial tiene un límite de transmisión de 128000 baudios, la cual limitó el proceso de visualización en tiempo real sin pérdida de datos a una frecuencia de muestreo de 2,44KSPS y un ancho de banda de 1,2KHz en modo *high resolution* (la transmisión serial se hizo a 115200 baudios). Al aumentar la frecuencia de muestreo en tiempo real por encima de 2,9KHz, se observaron drásticas distorsiones en la forma de la onda debido a la pérdida de puntos por periodo.
- Hace falta en la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, un elemento que sirva como referencia eléctrica, y que cumpla con todos los estándares de precisión, con el cual los estudiantes que desarrollan proyectos de este tipo se beneficien al no tener que depender de empresas que tengan equipos certificados para este trabajo, y mucho menos tener que alquilar dispositivos y tiempo en una empresa para realizar pruebas de calidad.
- Para propósitos comerciales, se propone utilizar sensores resistivos con el fin de disminuir considerablemente los costos en la construcción de la tarjeta, cuyo precio es del orden de un dólar por sensor. Para un medidor trifásico se necesitan al menos tres sensores de corriente (en esta aplicación se implementó un cuarto para una medición directa de la corriente de neutro). Teniendo en mente que existe en el mercado un competidor directo, como el medidor inductivo, es importante que el precio del prototipo medidor no sea elevado. En este trabajo se implementaron los sensores de efecto hall de anillo cerrado S22P006S05 los cuales tienen un valor comercial de 16 dólares. Solamente en sensores de corriente se tiene una inversión de 64 dólares, la cual se puede reducir considerablemente con el uso de un tipo diferente de sensor.

REFERENCIAS

- [1] CARVAJAL W. & CASTILLO A. Comportamiento de los Contadores de Energía Activa Monofásicos Tipo Inducción en Presencia de Ondas de Tensión y Corriente con Componentes Armónicas. Universidad Industrial de Santander. Tesis de Grado. 1997.
- [2] PLATA J. G., ORDOÑES G. & CARRILLO G. Análisis General de Armónicos. Universidad Industrial de Santander. EEET. 1996.
- [3] PETIT J. & USTARIZ A. Análisis General de Armónicos: Revisión de las definiciones de Potencia. Universidad Industrial de Santander. Tesis de Grado. 1997.
- [4] AMARIS HORTENCIA. Calidad de la Energía. Simposio Internacional de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Bucaramanga. Abril 22-25 2008.
- [5] SCHWENDTNER M. Technological Developments in Electricity Metering and Associated Fields. Metering and Tariffs for Energy Supply. Conference Publication No 426, pp240. 3-5 July 1996.
- [6] G. Lester, F.M Gray GEC Meter, UK. The Effect of Distorted Waveforms on a Class 2 Sampling Polyphase Meter. IEE MATES Conference. UK 1999.
- [7] DAIGLE PAUL. La Tecnología Moderna se da Cita con los Medidores de Energía. Analog Dvice inc., Wilmington, Massachusetts. 4 Edition of Metering International. 1998.
- [8] IEEE std. 1459-2000: IEEE trial-use Standard Definition for the Measurement of Electric Power Quantities Under Sinusoidal, Non Sinusoidal, Balanced, or Unbalanced Conditions. January 2000.
- [9] PARK JOHN AND MACKAY STEVE. Practical Data Acquisition for Instrumentation and Control System. ELSEVIER. 2003.
- [10] Norma NTC 4052-2003. Equipos de Medición de Energía Eléctrica -C.A.-. Requisitos Particulares. Medidores Estáticos de Energía activa -clases 1 y 2-. Norma Técnica Colombiana. ICONTEC.2003.
- [11] QUINTERO O. & GAMEZ E. Contadores de Estado Solido y Digitales: Análisis de los Algoritmos de Medicion de Energia e Índices de Calidad de Onda que se Pueden Evaluar. Universidad Industrial de Sanatander. Tesis de Grado. 2004.
- [12] FERRADA FEDRICO. & SILVA MAYRA. Medicion Digital de Potencia Activa para un Sistema de Calentamiento Eléctrico Monofásico. Universidad Industrial de Santander. Tesis de Grado. 2005.
- [13] ROMERO ADRIAN. & HERNANDEZ IVAN. Prototipo de un Equipo de Intrumentación Electrónica para Motores de Inducción Trifásicos. Universidad Industrial de Santander. Tesis de Grado. 2006.

- [14] PÉREZ W, QUIROGA J, & ROMERO O. Diseño e Implementación de un Prototipo de Contador de Energía Trifásico Utilizando un Procesador de Señales Digitales (DSP). Universidad Industrial de Santander. Tesis de Grado. 2006.
- [15] NORMA NTC 4856-2006. Verificación inicial y posterior de medidores de energía eléctrica. Norma Técnica Colombiana. ICONTEC.2006.
- [16] NORMA NTC 2147-2003. Equipos de Medición de Energía Eléctrica -C.A.-. Requisitos Particulares. Medidores Estáticos de Energía activa -clases 0.2 y 0.5-. Norma Técnica Colombiana. ICONTEC.2003
- [17] NORMA NTC 4569-2003. Equipos de Medición de Energía Eléctrica -C.A.-. Requisitos Particulares. Medidores Estáticos de Energía reactiva -clases 2 y 3-. Norma Técnica Colombiana. ICONTEC.2003
- [18] Norma NTC 4597-2003. Control de Recepción para Medidores Estáticos de Energía Activa para Corriente Alterna de Conexión Directa -clases 1 y 2-. Norma Técnica Colombiana. ICONTEC.2005
- [19] KATSUHIKO OGATA. Ingeniería de control moderna. Segunda edición. Pearson. pp. 60. 1997.
- [20] SOLOMAN SABRIE. Sensors Handbook. McGraw-Hill Professional. 1 edition. 1998
- [21] DEAN ANGELA, VOSS DANIEL. Design and analysis of Experiments. Expringer. 1st edition. pp 33. 1999
- [24] REY S. CARLOS. Analisis y Diseno de Sistemas de Control en Tiempo Discreto. FEUNET. Primera edición. pp 74. 2006.
- [22] OPPENHEIM A, SCHAFFER R, & BUTH J. Discrete-Time Signal Processing. Second Edition. Prentice Hall. pp. 140. 1999.
- [23] NYQUIST HARRY. Certain Topics in Telegraph Transmission Theory . AIEE Trans. pp 617-644. 1928.
- [25] PARK SANGIL. Principles of Sigma-Delta Modulation for Analog to Digital Converters. Motorola Digital Signal Processors. 1992.
- [26] THE ENGINEERING STAFFS OF ANALOG DIVICES. Analog to Digital Conversion Handbook. inc. ISBN 0-916550-27-3. Analog Divices, inc. 2004.
- [27] CARVAJAL WILMAR. Diseño de un Conversor Analógico-Digital Configurable Integrado en Tecnología CMOS. Universidad Industrial de Santander. Tesis de Grado 2007.
- [28] IEEE Std 1241-2000. Standard for Terminology and Test Methods for Analog-to-Digital Converters.
- [29] DEMLER MICHAEL. High-Speed Analog-to-Digital Conversion. Academic Press, INC.

San Diego, California. 1991.

[30] IEC 62008. Draft Standard on Performance Characteristics and Calibration Methods for Digital Acquisition System and Relevant Software. 2005.

[31] COLLINS ANTHONY. Solid State Solutions for Electricity Metrology. Metering and Tariffs for Energy Supply. 25-28 may 1999. Conference Publication N° 462. IEE 1999.

[32] PARK JOHN AND MACKAY STEVE. Practical Data Acquisition for Instrumentation and Control System. ELSEVIER. 2003.

[33] www.digikey.com

[34] www.mouser.com

[35] DATA CONVERTER.TI.COM. Data Sheet ADS1241. Quad/Octal Simultaneous Sampling, 24-Bits Analog-to-Digital Converters. Texas Instruments. Junio 2007.

[36] DATA SHEET S22P06S05. Hall Effect Current Sensor S22P Series. TAMURA. Abril 2008.

[37] DATA SHEET THS4505/THS4504. Wideband, Low-Distortion, Fully Differential Amplifiers. Texas Instrument. Marzo 2004.

[38] Manual amplificadore diferenciales

[39] DATA SHEET ADR421. Ultraprecision, Low Noise, 2,5V. Analog Devices.

[40] CALA JAIRO, PEÑA OMAR. Diseño y construcción de un sistema de adquisición de datos microsísmicos. Universidad Industrial de Santander. Tesis de Grado. 2004.

N. Locci and C. Muscas, "Comparative analysis between active and passive current transducers in sinusoidal and distorted conditions," in *IEEE IMTC/99*, Venice, Italy, May 1999.

ANEXO A.

ARQUITECTURAS IMPLEMENTADAS EN ADCs DE ALTA VELOCIDAD.

En esta anexo se dará una descripción de algunas de las arquitecturas más usadas en la implementación de ADCs de alta velocidad, para entender los principios de funcionamiento de cada una de ellas.

A.1 ADC Flash.

El ADC *Flash*⁵⁹ es la opción más rápido para cuantizar una señal analógica. Un N-bit *flash* ADC consiste en 2^N resistores y $2^N - 1$ comparadores (figura A.1). Un comparador adicional es usualmente usado para indicar condiciones de *overflow*⁶⁰. Cada comparador posee un voltaje de referencia proveniente de la cadena de resistores el cual es 1 *LSB* más alto que el de debajo de la cadena.

Comparadores para los cuales el nivel de la entrada analógica sea mayor que su respectivo nivel de referencia tendrán un 1 lógico a su salida. Del mismo modo, para comparadores cuyo nivel de referencia sea menor que la entrada analógica tendrán un 0 lógico a su salida. Ya que $2^N - 1$ datos de salida no es realmente práctico, los datos son procesados para generar una única salida binaria de N-bits.

La velocidad del conversor *flash* está limitada por la velocidad del comparador y por los retrasos de propagación de los estados lógicos en el *encoder*, por lo cual la conversión es realmente rápida, actualmente alcanzando velocidades de 1GHZ [26]. Sin embargo como la arquitectura usa un gran número de resistores y comparadores, su uso está limitado a bajas resoluciones⁶¹ y al trabajar a altas velocidades y cada comparador deberá funcionar a niveles relativamente altos de potencia. Al usar un gran número de comparadores el tamaño del conversor es considerable y por tanto costoso.

⁵⁹ También conocido como ADC paralelo.

⁶⁰ El *overflow* se refiere a entrada analógica por encima de FS.

⁶¹ SE habla de un tope de 10bits de resolución [32].

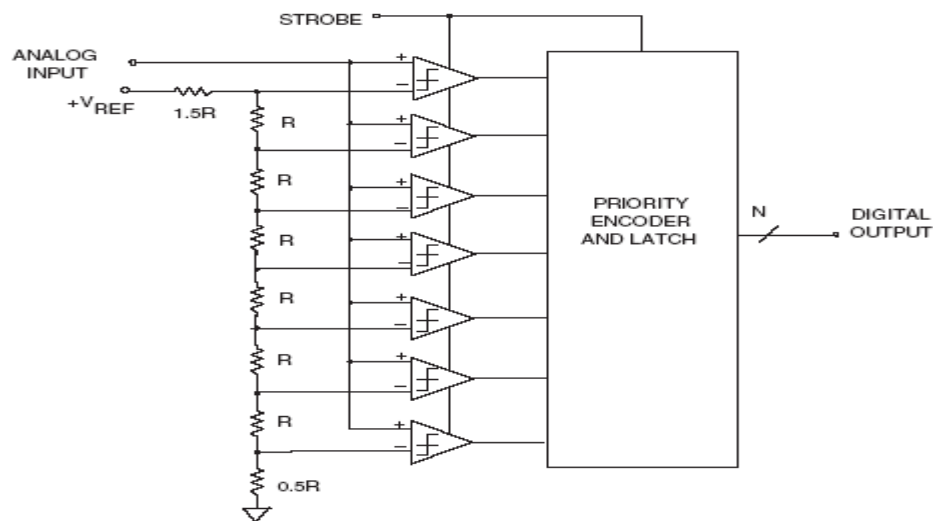


Figura A.1. 3-bit flash ADC. [26]

A.2 ADC de aproximaciones sucesivas.

La arquitectura de aproximaciones sucesivas ha sido la tecnología más utilizada para la implementación de ADCs. Dispositivos que utilizan esta arquitectura poseen un gran rango de velocidades de conversión así como bits de resolución. La familia de conversores SAR⁶² de *Analog Device Pulsar* usa internamente la técnica de capacitor *switchado* para extender la resolución de este tipo de convertor a 18 bits en procesos CMOS [26].

El ADC SAR básico se muestra en la figura A.2. Con el ingreso del comando *Convert Start* el SHA es puesto en modo retención, y todos los bits del registro SAR son puestos a "0" excepto el MSB, lo que garantiza que la primera aproximación se haga exactamente a mitad de escala del ADC descartando la mitad de las posibles soluciones.

Si el resultado del MSB test es tal que la salida del DAC⁶³ es menor que la entrada analógica, entonces el MSB se mantiene en alto y se continúa la búsqueda por encima de mitad de escala. Si la condición opuesta ocurre, el MSB bit es puesto en "0" y se continúa el proceso por debajo de mitad de escala. Esta acción se repite para cada bit, con el registro SAR habilitando un bit a la vez. Cuando todos los bits han sido probados el contenido del registro SAR corresponde al valor de la entrada analógica. El final de la conversión generalmente se indica por la señal *end-of-convert (EOC)*, *data ready (DRDY)* o *busy*. Las polaridades y nombres de esta señal dependen del ADC SAR utilizado pero el concepto es el mismo.

⁶² SAR: *successive approximation register*.

⁶³ DAC: *digital-to-analog converter*.

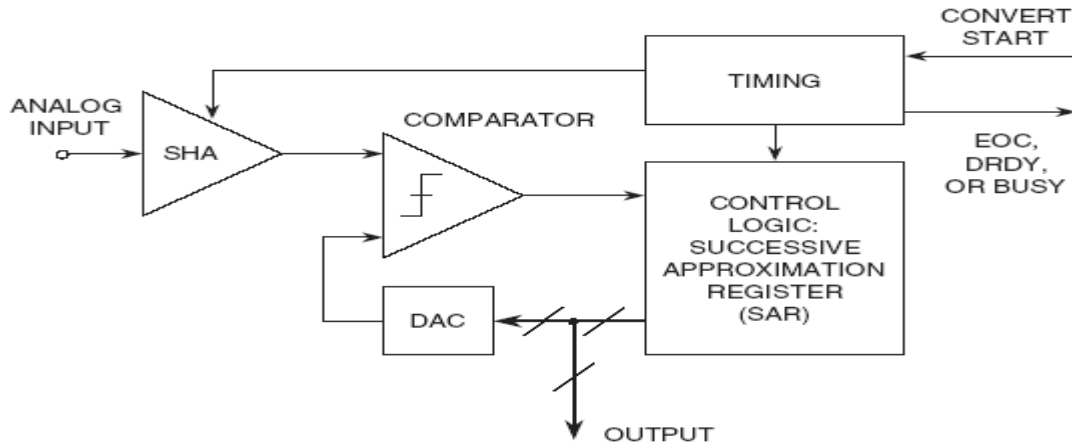


Figura A.2. ADC de aproximaciones sucesivas básico. [26].

La linealidad y exactitud del *SAR ADC* es determinada en gran parte por el desempeño del *DAC*. Ya que N ciclos son necesarios para determinar el resultado, el *SHA* es fundamental para mantener la señal de entrada estable dentro de la exactitud deseada mientras cada bit es evaluado.

La principal ventaja de esta arquitectura es su bajo consumo de potencia comparada con otras arquitecturas, y en la actualidad están alcanzando velocidades de hasta 3 MSPS [26].

A.3 Subranging ADCs.

Este *ADC* se basa en dos estados separados de conversión, una denominada “gruesa” de N_1 bits en el *MSB SADC*⁶⁴ seguido de una conversión denominada “fina” de N_2 bits en el *LSB SADC*. Los primeros *subranging ADCs* usaban conversores *flash* como bloques *SADC*, sin embargo actualmente se pueden encontrar otras arquitecturas de *ADC* en configuraciones *subranging* [32].

El proceso de conversión se inicia posicionando al *SHA* en modo retención seguido de una cuantización “gruesa” de los *MSBs*, digitalizando la señal de entrada a la resolución del primer *SADC* donde N_1 bits del resultado total son determinados. Los *MSBs* del *SADC* son inmediatamente reconvertidos a forma analógica en el *N1-bit SDAC*. Cuando la señal analógica del *SDAC* se le sustrae la señal analógica retenida en el *SHA*, la señal formada contendrá entonces el error de cuantización. La magnitud de este error es amplificada y aplicada al N_2 -bits *LSB SADC*. El amplificador debe proveer una ganancia G , suficiente que haga que la señal residuo encaje exactamente en el rango de entrada de N_2 *SADC* donde los restantes N_2 bits del resultado son determinados.

⁶⁴ *SADC*: *sub-analog to digital converter* o *sub-ADC*.

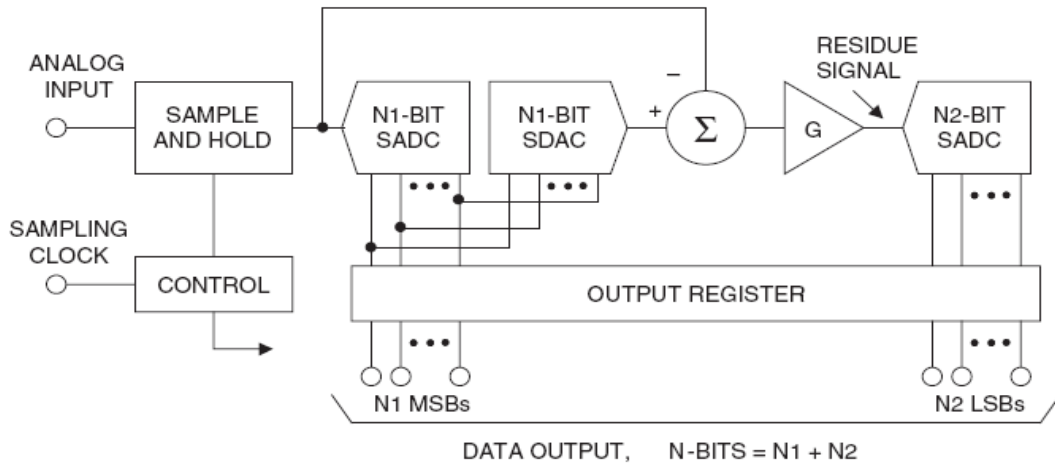


Figura A.3. N-bit Subranging ADC básico [26].

El *offset* y la ganancia de la señal de residuo se deben ajustar de tal forma que encaje perfectamente en el rango de entrada del N2 SADC, como muestra la figura A.4a. Si la señal de residuo varía más de 1 *LSB* del N2 SADC, se presentará el fenómeno de *missing code*. Se recomienda que los SADC sean idénticos para un mejor desempeño del convertor. En ese caso la resolución de cada SADC sería de $N/2$ ⁶⁵, y se deberá dar una ganancia a la señal residuo de $2^{N/2}$.

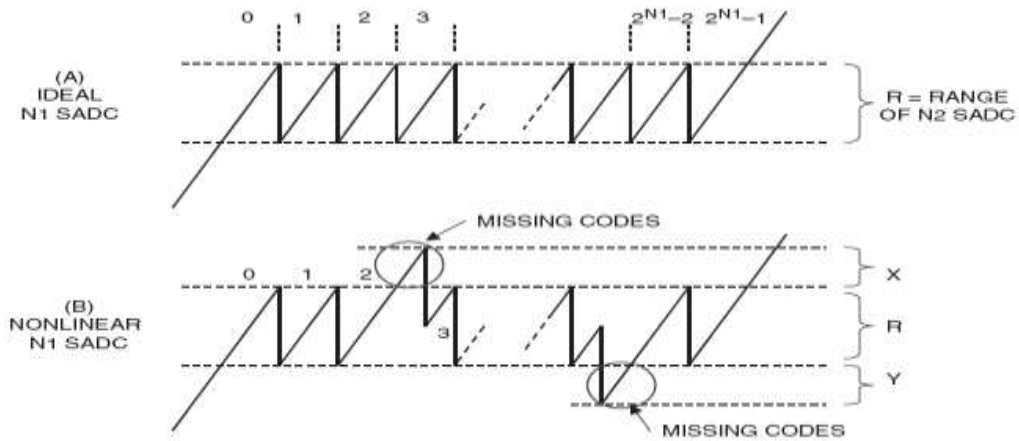


Figura A.4. Formas de onda de señales de residuo. a) señal de residuo ideal b) señal de residuo debido a problemas de no-linealidad en N1 SADC. [26]

Generalmente los SADCs son basados en tecnología *flash*, lo cual habilita altas velocidades de conversión⁶⁶ sin embargo, limita esta arquitectura a aplicaciones de baja resolución, y su consumo de potencia es relativamente alto. En la práctica, un 8-bits *subranging ADC* con $N1=4$ y $N2=4$ representa un límite realista [32].

⁶⁵ Donde N es la resolución total del ADC.

⁶⁶ El subranging ADC alcanza mayores velocidades que un SAR pero menores que un flash.

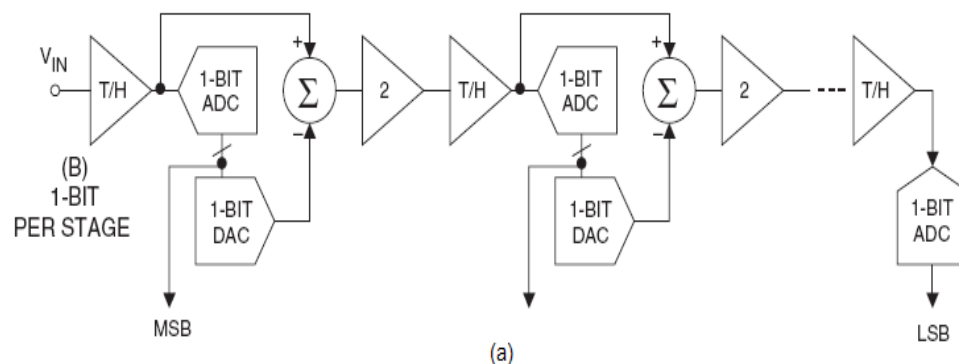
Con la idea de brindar al *subranging* ADC la capacidad de manejar resoluciones mayores a 8-bits, una técnica conocida como *digital corrected subranging* o *digital error correction* es utilizada. En un *subranging* ADC estándar la señal de residuo debe llenar exactamente el rango de entrada del N2 SADC. El problema de *missing code* se resuelve adicionando niveles extras de cuantización en las regiones de sobrepaso. Estos niveles adicionales requieren comparadores adicionales en el N2 *flash* SADC.

A.4 Pipelined ADCs.

La arquitectura *pipelined* representa el límite superior en velocidad de conversión para cualquier ADC que cuantiza un bit por ciclo y es una aproximación intermedia entre una arquitectura SAR y una *subranging*. En esta tecnología hay N etapas de conversión como en la de aproximaciones sucesivas, sin embargo, una vez la primera muestra es completamente cuantizada hay un retraso de únicamente un ciclo para adquirir el siguiente resultado. Este proceso resulta en una rata de conversión N veces más rápida que el equivalente SAR ADC.

El termino *pipelined* se refiere a la habilidad de una etapa de procesar datos provenientes de la etapa previa durante un ciclo de reloj dado. Al final de cada ciclo de reloj la salida de una etapa particular pasa a la siguiente usando funciones T/H. Esto significa que las salidas digitales de todas las etapas excepto la última deben ser guardadas apropiadamente en los registros de tal forma que los datos de salida correspondan a la misma muestra.

La grafica A.5b ilustra un diagrama de tiempos típico para un *pipelined* ADC de tres etapas. Nótese que las fases de los relojes en los T/Hs están alternadas de etapa a etapa de tal forma que cuando un T/H particular entra a modo retención o *hold*, mantiene la muestra del T/H anterior y este último retorna a modo *track*. La señal analógica retenida pasa a través de cada etapa hasta alcanzar la etapa final. Cuando se opere a velocidades de muestreo considerablemente altas, es crítico que el reloj de muestreo mantenga un ciclo útil del 50% para un comportamiento óptimo. Ciclos útiles diferentes de 50% pueden afectar a los T/Hs de la cadena y algunos podrían presentar tiempos en modo *track* o retención mayor o menor al óptimo [32].



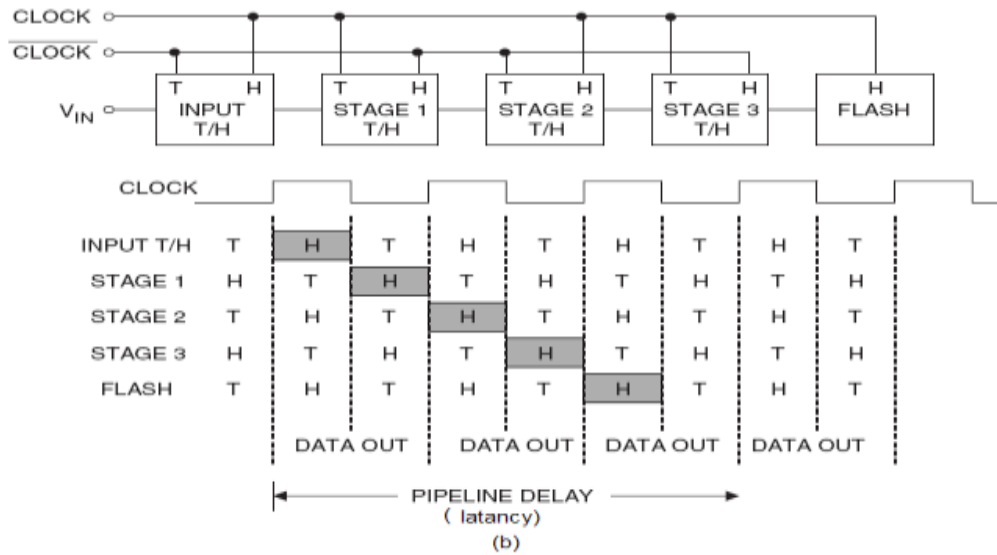


Figura A.5 a) *Pipelined ADC* básico con etapas idénticas de 1-bit cada etapa. b) Reloj en un *pipelined ADC* de tres etapas [26].

El retraso en la cadena *pipelined* conocido como *latency* es función del número de etapas en la arquitectura particular bajo consideración. En muchas aplicaciones el *latency* no es un problema, pero si el ADC está dentro de una rama de realimentación podría generar inestabilidad [26].

En conclusión el principal rasgo del *pipelined ADC* es que cada etapa implementa un nivel del algoritmo de la arquitectura de aproximaciones sucesivas. Mientras que el proceso para cada conversión toma N ciclos, los T/H y los comparadores permiten N conversiones simultáneamente resultando en una salida por cada ciclo de reloj. La principal limitación de esta arquitectura son los errores de ganancia y *offset* que son introducidos al procesar la señal en cada etapa y que se propagan por la cadena *pipeline*. Para reducir el número de etapas y por tanto las fuentes de error, se puede incrementar el número de *bits* resueltos en cada etapa. Una práctica común es utilizar etapas intermedias de 1-bit, mientras que la de entrada y la final son *multibit*. También se aplica la técnica de *digital error correction* mencionada en la arquitectura *subranging* para mejorar el desempeño de la arquitectura.

A.5 Sigma-Delta ADC.

Los conversores *sigma-delta* han incrementando su popularidad en los últimos años en aplicaciones que requieren bajo costo, procesamiento de señales dentro de la banda de audio y grandes resoluciones [36]. Para entender esta arquitectura es necesario conocer los conceptos de sobre-muestreo, ruido de cuantización moldeado o *shaping noise* y el concepto de decimación.

Un conversor de N bits ideal tiene un ruido *rms* de cuantización de $q/\sqrt{12}$ uniformemente distribuido dentro de la banda de *Nyquist* (figura A.6 a)). Si se escoge una tasa de muestreo K veces más grande, el valor *rms* del ruido de cuantización permanece en constante pero ahora el ruido es distribuido sobre una banda más ancha. El factor K es conocido como la razón de sobre-muestreo.

Si después se aplica un filtro pasa bajas digital a la salida, se podrá remover gran parte del ruido de cuantización sin alterar la señal de interés. Ya que el ancho de banda es reducido a la salida por el filtro digital, la tasa de salida de datos f_s es menor que la tasa de muestreo original Kf_s y continua satisfaciendo el criterio de *Nyquist*. Esto puede ser implementado pasando cada M resultados a la salida y descartando el resto, proceso conocido como decimación por un factor M . La decimación no causa pérdida de información siempre que la tasa de datos a la salida sea mayor que dos veces la banda de interés.

Si se pretende mejorar la resolución usando simplemente un sobremuestreo, se deberá muestrear a un factor de 2^{2N} para obtener un incremento de N -bits de resolución [32]. El convertor *sigma-delta* no necesita tasas de sobremuestreo tan altas ya que no solo limita la banda pasante de la señal, sino que también moldea el ruido de cuantización de tal forma que la mayoría de este cae por fuera de la banda pasante como muestra la figura A.6 c).

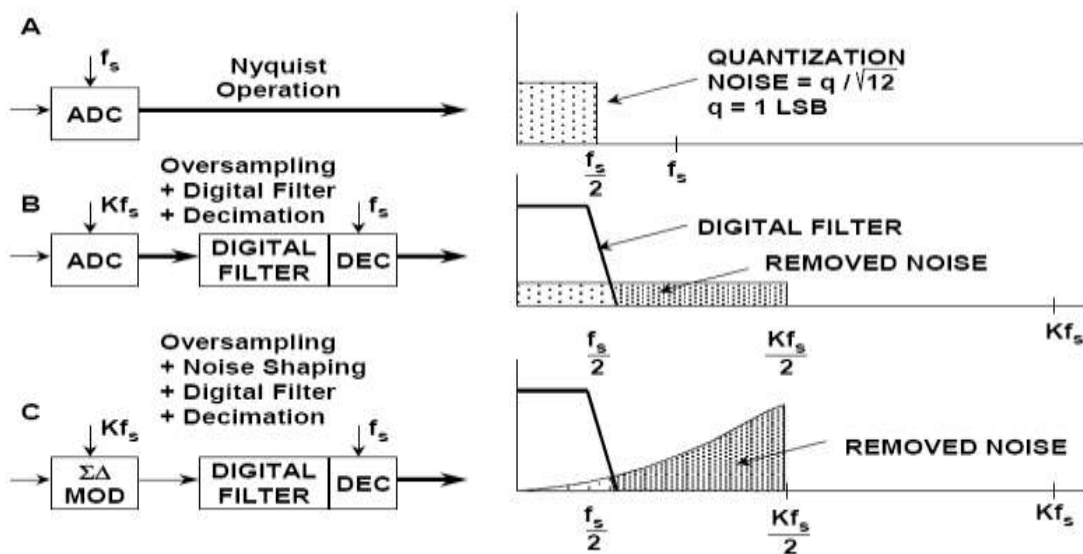


Figura A.6 a) conversión a la tasa de *Nyquist*. b) muestreo a K veces f_s . c) Acción del modulador *sigma-delta* sobre el ruido. [25]

Un modulador *sigma-delta* es una extensión del modulador *delta* que se muestra en la figura A.7a). La modulación *delta* se basa en cuantizar el cambio de la señal de una muestra a otra, $x(t) - \bar{x}(t)$, en vez del valor absoluto de la señal en cada muestra. Por las propiedades de linealidad, los integradores en la grafica A.7a) se pueden combinar para formar una estructura conocida como modulador *sigma-delta* (figura A.7.b)).

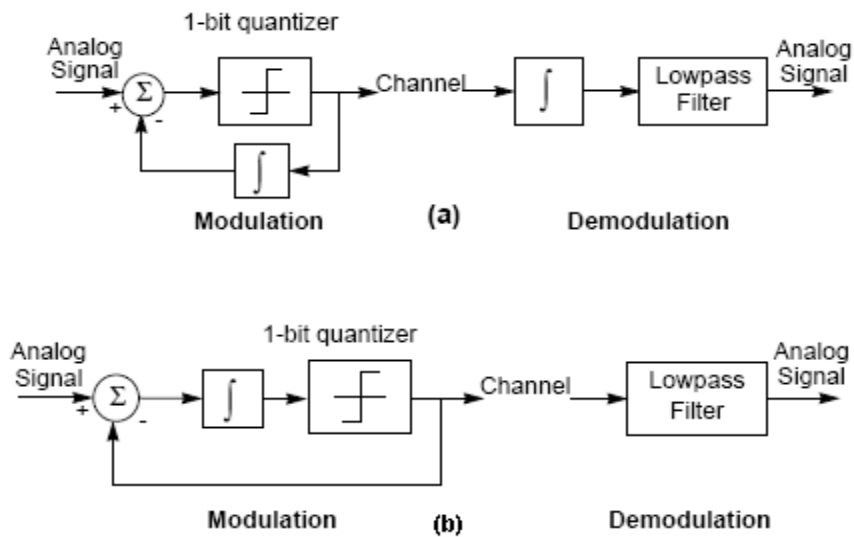


Figura A.7 a) Modulación *Delta*. b) Modulación *Sigma-Delta* [26].

Un conversor *Sigma-Delta* de primer orden está compuesto de un modulador *Sigma-Delta*, cuya salida es una señal digital de un bit de resolución a alta frecuencia, seguido de un filtro pasa bajos digital el cual decima la señal proveniente del modulador, para obtener una salida de N-bits más lenta, como se muestra en la figura A.8.

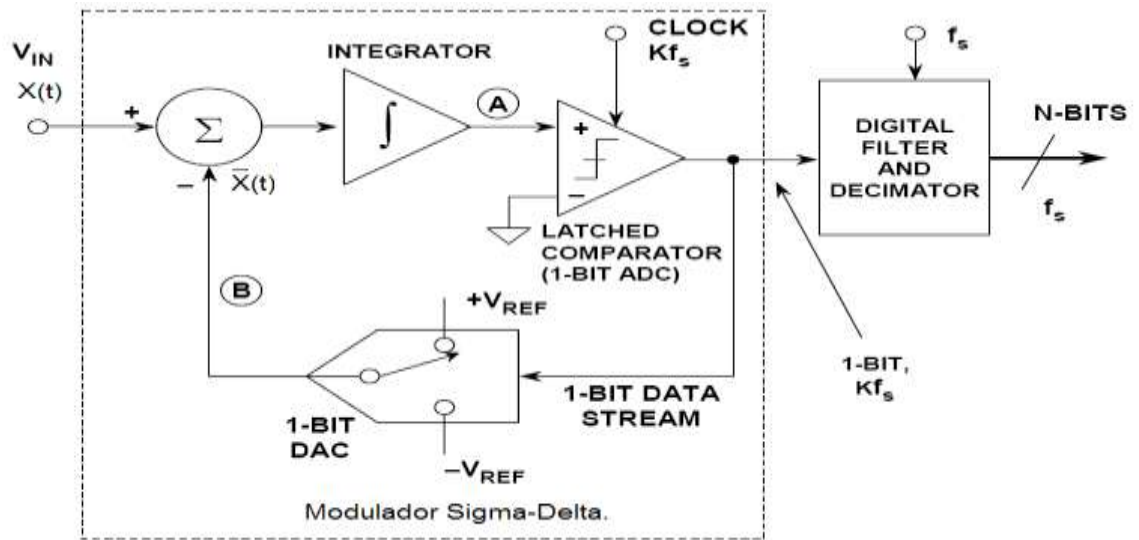


Figura A.8. Conversor *Sigma-Delta* de Primer Orden [26].

Explicar el comportamiento del conversor *Sigma-Delta* en el dominio del tiempo es algo complicado, por lo cual se planteará su funcionamiento en el dominio de la transformada de *Laplace*. La función de transferencia del integrador en el dominio de *S* se define como $1/S$, mientras que el comparador de 1-bit se modela como una fuente aditiva de ruido de cuantización (figura A.9).

Por superposición, asumiendo $N(s)=0$ se tiene:

$$Y(S) = (X(S) - Y(S))(1/S)$$

$$Y(S) + Y(S)/S = X(S)/S$$

$$\frac{Y(S)}{X(S)} = \frac{1}{1+S} \quad (A.1)$$

Teniendo en cuenta solo la componente de ruido. $X(S) = 0$:

$$Y(S) = -Y(S)/S + N(S)$$

$$Y(S) + Y(S)/S = N(S)$$

$$\frac{Y(S)}{N(S)} = \frac{S}{1+S} \quad (A.2)$$

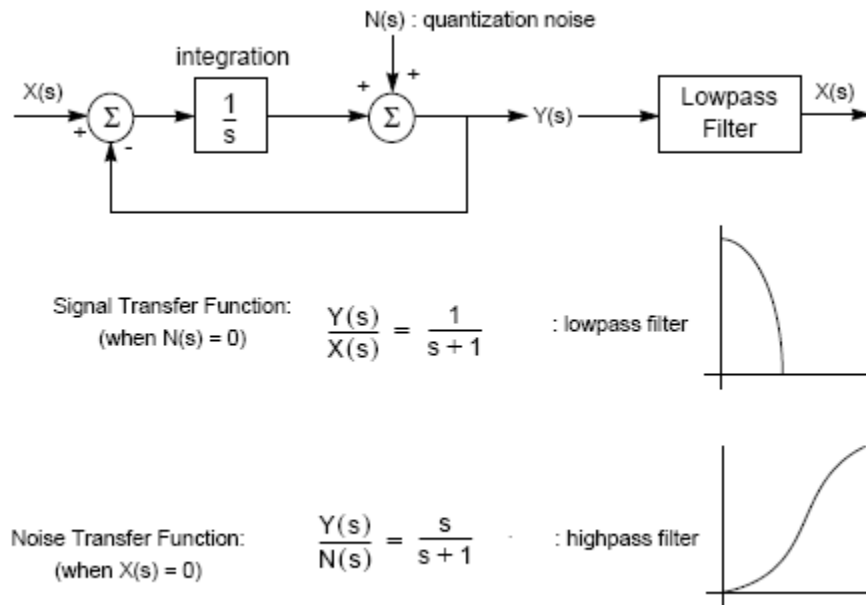


Figura A.9. Análisis en el Dominio de S de un conversor *Sigma-Delta* de Primer Orden.[26]

Sumando (A.1) y (A.2) se obtiene la salida del conversor:

$$Y(S) = \frac{1}{1+S} X(S) + \frac{S}{1+S} N(S) \quad (A.3)$$

Cuando la frecuencia tiende a cero la salida Y tiende a ser la entrada X sin componente de ruido mientras que para altas frecuencias la salida tiende a ser en su mayoría ruido. En esencia el modulador tiene un efecto pasabaja en la entrada y un efecto pasaalta sobre el ruido de cuantización conocido como *shaping noise*.

Usando más de un integrador y etapas de suma en el modulador, se pueden obtener mayores órdenes de ruido de cuantización moldeado y por ende mejor *ENOB* para una tasa de muestreo dada como muestra la figura A.10a) para un modulador *Sigma-Delta* de primer y

segundo orden. Tercer o mayor orden puede ser implementado para obtener mejores desempeños, sin embargo esto acarrea retos de diseño debido al comportamiento no lineal del comparador bajo estas condiciones [32].

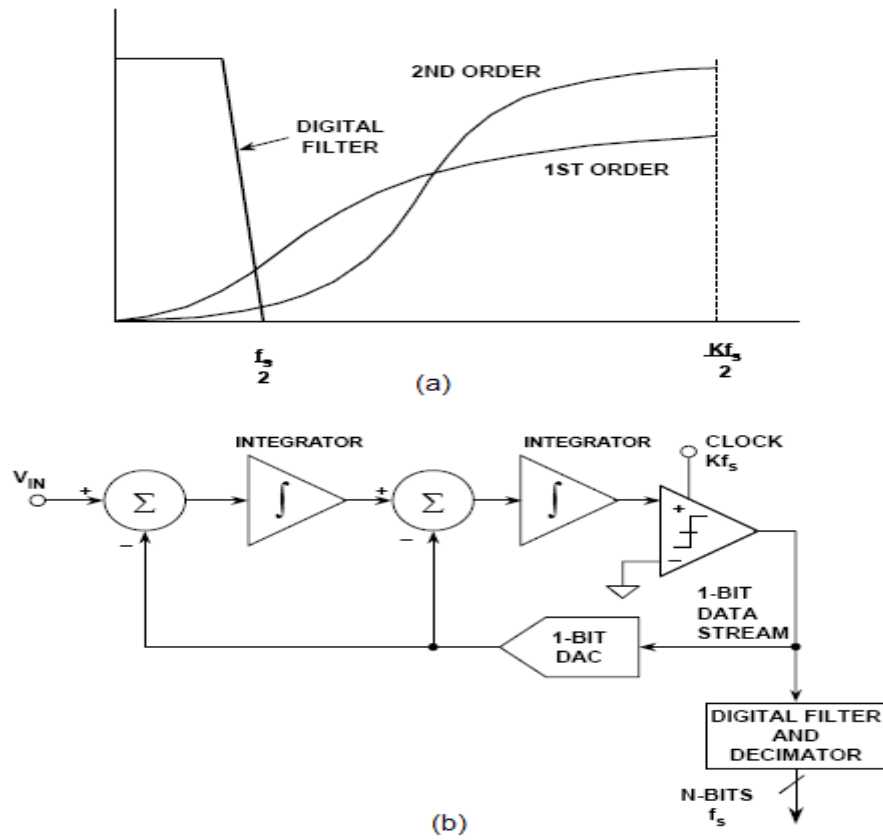


Figura A.10. a) Ruido de cuantización moldeado por un modulador *Sigma-Delta* de primer y segundo orden. b) Conversor *Sigma-Delta* de segundo orden [4].