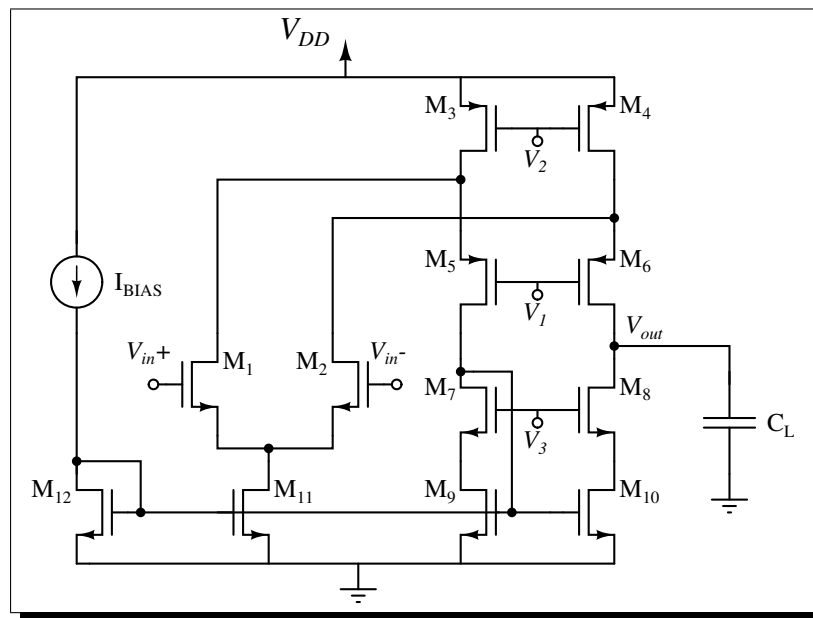


APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL  
DISEÑO DE AMPLIFICADORES OPERACIONALES INTEGRADOS  
EN TECNOLOGÍA CMOS.



Dwight José Cabrera Salas  
Jorge Armando Oliveros Hincapié

Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones  
Universidad Industrial de Santander  
Bucaramanga – 2006



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones  
Perfecta combinación entre Energía e Intelecto



# **APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL DISEÑO DE AMPLIFICADORES OPERACIONALES INTEGRADOS EN TECNOLOGÍA CMOS.**

Dwight José Cabrera Salas  
Jorge Armando Oliveros Hincapié

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director  
MSc. Elkim Felipe Roa Fuentes

Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones  
Universidad Industrial de Santander  
Bucaramanga–Octubre de 2006

*A mis padres Jorge y Consuelo, a mis hermanos Camilo y Paulita, y a mi novia Aurora, que siempre han sido mi apoyo y motivación para alcanzar todas mis metas.*

*Jorge*

*A mis amigos.*

*Dwight*

## AGRADECIMENTOS

Reflexionando sobre la formación académica y humana que hoy tengo, concluí que profundos agradecimientos debo a toda la comunidad universitaria, a los miembros del grupo CIDIC, al profesor Elkim Roa y a todos aquellos amigos que se han ido y que aun quedan.

Finalmente, agradezco a Dios y la iglesia, a mis padres y hermanos por todo el amor que me han dado.

*Dwight J. Cabrera Salas.*

Primero que todo, le agradezco a Dios por haber llenado mi vida de bendiciones. A mi familia por su apoyo durante este camino y a mi novia por su apoyo y paciencia durante el transcurso de este trabajo.

También agradezco a la Universidad Industrial de Santander por estos años de formación personal y profesional, especialmente al profesor Elkim Roa por dirigir mi trabajo y expandir mi visión sobre la ingeniería electrónica.

Por último agradezco a todos mis amigos del grupo CIDIC por su colaboración y soporte constante.

*Jorge A. Oliveros Hincapié*

## RESUMEN

### TÍTULO:

APLICACIÓN DE LA PROGRAMACIÓN GEOMÉTRICA EN EL DISEÑO DE AMPLIFICADORES OPERACIONALES INTEGRADOS EN TECNOLOGÍA CMOS<sup>1</sup>

### AUTORES:<sup>2</sup>

JORGE ARMANDO OLIVEROS HINCAPIÉ

DWIGHT JOSÉ CABRERA SALAS

**PALABRAS CLAVE:** Programación geométrica, amplificadores operacionales, metodologías de diseño, automatización y optimización de circuitos, CMOS.

### DESCRIPCIÓN:

En este proyecto se diseñan tres topologías de amplificadores operacionales, usando programación geométrica para automatizar el proceso de diseño y optimizar el desempeño de los circuitos.

La tendencia de la electrónica moderna es integrar en un mismo *chip* sistemas electrónicos completos, que incluyen simultáneamente circuitos digitales y analógicos. El diseño de la parte digital de estos sistemas está altamente automatizado por la existencia y el desarrollo de herramientas *CAD*, sin embargo la parte analógica del circuito representa el punto crítico en el proceso de diseño, pues la complejidad del problema de diseño analógico hacen de éste un proceso intuitivo y de mucha creatividad pero dispendioso en tiempo. La industria de los semiconductores demanda el desarrollo de metodologías de diseño que puedan ser aplicadas eficientemente en el diseño de complejos circuitos de señal mezclada.

Una alternativa de diseño de circuitos integrados analógicos, es representar el diseño como un problema de optimización matemática conocido como programación geométrica. Las ventajas de resolver un programa geométrico son la obtención del óptimo global, muy alta de velocidad de convergencia y la posibilidad de automatizar el diseño. El principal inconveniente de este enfoque, es que no todos los parámetros o ecuaciones que caracterizan un circuito son compatibles con la forma del problema de optimización; además, se requieren modelos especiales para el transistor que involucren error entre los resultados de optimización y el comportamiento mostrado por el circuito en simulación.

Este proyecto estudia y aplica todas las etapas del diseño analógico usando programación geométrica, además se proponen soluciones para las principales limitantes de diseño. Los resultados son verificados en tres configuraciones típicas de amplificadores operacionales, para las cuales se desarrolló una herramienta que permite realizar diseños automáticamente.

---

<sup>1</sup>Proyecto de Grado

<sup>2</sup>Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Elkim Felipe Roa Fuentes.

## SUMMARIZE

**TITLE:**

APPLICATION OF GEOMETRIC PROGRAMMING IN THE DESIGN OF INTEGRATED CMOS OPERATIONAL AMPLIFIERS<sup>3</sup>

**AUTHORS:**<sup>4</sup>

JORGE ARMANDO OLIVEROS HINCAPIÉ

DWIGHT JOSÉ CABRERA SALAS

**KEY WORDS:** Geometric programming, operational amplifiers , design methodologies, automated Design, optimization, CMOS.

**DESCRIPTION:**

In this project three op-amps topologies are designed using geometric programming in order to automate the design process and to optimize the circuit performance.

The tendency in electronic is to integrate in the same chip complete electronic systems, that include digital circuits and analogical simultaneously. The design of the digital part of these systems is highly automated by the existence and the development of CAD tools, nevertheless the analogic part of the system represents the bottleneck in the design process. The problem complexity of analog design makes this one a process intuitive, creative but time expensive. Semiconductor industry demands the development of design methodologies that can efficiently be applied in the design of complex mixed signal circuits.

An alternative to design analog integrated circuits correspond to represent the design as a mathematical optimization problem known as geometric programming. The advantages to solve a geometric program are: the global optimum is always achieved, very high convergence to obtain the solution, in addition it offers the possibility of automating the design. The main disadvantage of this approach, is that all the parameters or equations that characterize a circuit are not compatible with the form of this optimization problem; in addition, special transistor models are required. This models adds error to the design and discrepancy between the optimization problem solution and *Hspice* verification arise.

This project studies and applies all the stages of the analog design using geometric programming, in addition solutions for the main sources of error are proposed. The design results are verified in three typical op-amps configurations, for which a tool was developed that allows to make designs automatically.

---

<sup>3</sup>DEGREE PROJECT

<sup>4</sup>Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director MSc. Elkim Felipe Roa Fuentes.



# Contenido

<b>1. Introducción</b>	<b>1</b>
1.1. Motivación	2
1.2. Metodologías de diseño	4
1.3. Organización	6
<b>2. Programación Geométrica</b>	<b>7</b>
2.1. Monomios y posinomios	8
2.2. Forma estándar de un PG	9
2.3. Forma convexa de un PG	10
2.4. Solución del programa geométrico	11
2.5. Ejemplo de diseño: amplificador fuente común con carga activa	12
2.5.1. Parámetros de desempeño y restricciones del circuito	13
2.5.2. Variables de diseño	16
2.5.3. Formulación del programa geométrico	16
2.5.4. Resultados	18
<b>3. Modelos de transistor compatibles con programación geométrica</b>	<b>21</b>
3.1. Consideraciones generales	22
3.1.1. Manejo de datos	24
3.1.2. Ajuste lineal	25
3.2. Modelo de ajuste monomial	27
3.2.1. Formulación y solución del problema	27
3.2.2. Aplicabilidad del modelo	28
3.2.3. Ejemplos	28
3.3. Modelo de ajuste posinomial	31
3.3.1. Formulación y solución del problema	31
3.3.2. Aplicabilidad del modelo	33
3.3.3. Ejemplos	34
3.3.4. Diseño de un amplificador fuente común usando monomios y posinomios como modelos	36

3.4.	Aplicación de interpolación convexa: modelos- <i>pwl</i> . . . . .	43
3.4.1.	Funciones max-afin . . . . .	44
3.4.2.	Ajuste de una función max-afin a un conjunto de datos: descripción matemática del problema . . . . .	47
3.4.3.	Solución no-paramétrico . . . . .	48
3.4.4.	Solución paramétrica . . . . .	50
3.4.5.	Aplicabilidad del modelo . . . . .	51
3.4.6.	Ejemplo . . . . .	52
3.4.7.	Diseño de un amplificador fuente común con modelos- <i>pwl</i> . . . . .	54
<b>4.</b>	<b>Programación geométrica en el diseño de amplificadores operacionales</b>	<b>59</b>
4.1.	Problema típicos del diseño usando programación geométrica . . . . .	60
4.2.	Amplificador operacional de dos etapas. . . . .	63
4.2.1.	Parámetros de desempeño y formulación del circuito . . . . .	64
4.2.2.	Metodología de diseño usada . . . . .	68
4.2.3.	Aplicación de la herramienta de diseño automático . . . . .	72
4.3.	Amplificador operacional telescópico . . . . .	74
4.3.1.	Parámetros de desempeño y formulación del circuito. . . . .	74
4.3.2.	Metodología de diseño . . . . .	80
4.3.3.	Aplicación de la herramienta de diseño automático . . . . .	81
4.4.	Diseño de amplificador cascodo doblado . . . . .	82
4.4.1.	Parámetros de desempeño y formulación del circuito . . . . .	83
4.4.2.	Condiciones de operación, simetría y consideraciones geométricas . . . . .	88
4.4.3.	Metodología de diseño . . . . .	90
4.4.4.	Aplicación de la herramienta de diseño . . . . .	92
<b>5.</b>	<b>Análisis de resultados</b>	<b>95</b>
5.1.	Análisis del amplificador operacional de dos etapas . . . . .	96
5.2.	Observaciones y conclusiones . . . . .	103
5.3.	Contribuciones . . . . .	105
5.4.	Recomendaciones para trabajos futuros . . . . .	106

# Lista de figuras

1.1. Amplificador operacional de dos etapas. . . . .	2
1.2. Flujo de diseño clásico. Tomada de [3] . . . . .	5
2.1. Configuración fuente común con carga activa. . . . .	13
2.2. Comportamiento a gran señal del circuito fuente común. . . . .	14
3.1. Corriente de drenaje contra tensión drenaje-fuente para diferentes valores de ancho del transistor. . . . .	30
3.2. Configuración fuente común con carga activa. . . . .	37
3.3. Funciones <i>max-afin</i> pertenecientes a la familia $\mathcal{F}_{ma}^3$ . . . . .	44
3.4. Ajuste de una función convexa- <i>pwl</i> a datos provenientes de una función convexa. . . . .	49
3.5. Ajuste de una función convexa- <i>pwl</i> a datos provenientes de una función no convexa. (a) Términos de la función convexa- <i>pwl</i> . (b) Función convexa- <i>pwl</i> . . . . .	50
4.1. Divisor resistivo de tensión. . . . .	61
4.2. Curva de corriente de drenaje contra tensión puerta-fuente para un transistor NMOS $W = 10\mu m$ ; $L=1\mu m$ y $V_{DS} = 1,5V$ . . . . .	62
4.3. Amplificador operacional de dos etapas. . . . .	63
4.4. Amplificador operacional telescópico. . . . .	76
4.5. Esquemático de un amplificador cascode doblado. . . . .	84
5.1. Curvas de compromisos. . . . .	102



# Lista de tablas

2.1. Programa geométrico en forma estándar. . . . .	17
2.2. Especificaciones de diseño. . . . .	18
2.3. Parámetros del modelo. . . . .	18
2.4. Resultados. . . . .	19
2.5. Parámetros de desempeño . . . . .	20
3.1. Errores de aproximación, norma infinita. . . . .	30
3.2. Errores de aproximación, mínimos cuadrados. . . . .	31
3.3. Comparación de modelos para $g_m^{-1}$ . . . . .	35
3.4. Comparación de modelos para $g_{ds}$ . . . . .	36
3.5. Espacio de modelado. . . . .	38
3.6. Modelos requeridos para el diseño. . . . .	39
3.7. Errores de modelado. . . . .	40
3.8. Especificaciones. . . . .	41
3.9. Resultados. . . . .	41
3.10. Comparación de parámetros de circuito. . . . .	42
3.11. Comparación de parámetros de transistor. . . . .	42
3.12. Comparación de parámetros de circuito, una vez que $V_{OUT} = 1.5$ . . . . .	42
3.13. Comparación de parámetros de transistor, una vez que $V_{OUT} = 1.5$ . . . . .	42
3.14. Resultados del modelado de $g_{ds}$ . . . . .	52
3.15. Modelos <i>pwl-jin</i> . . . . .	53
3.16. Modelos <i>pwl-ale</i> . . . . .	54
3.17. Resultado óptimo con modelos <i>pwl-jin</i> . . . . .	55
3.18. Desempeño final del circuito utilizando modelos <i>pwl-jin</i> . . . . .	55
3.19. Parámetros del transistor utilizando modelos <i>pwl-jin</i> . . . . .	56
3.20. Resultado óptimo con modelos <i>pwl-ale</i> . . . . .	56
3.21. Desempeño final del circuito utilizando modelos <i>pwl-ale</i> . . . . .	56
3.22. Parámetros del transistor utilizando modelos <i>pwl-ale</i> . . . . .	57
4.1. Especificaciones de diseño. . . . .	73

---

4.2.	Diseño óptimo para el op-amp de dos etapas. . . . .	74
4.3.	Verificación del diseño en <i>Hspice</i> . . . . .	75
4.4.	Comparación de modelos. . . . .	75
4.5.	Comparación de parámetros de circuito. . . . .	82
4.6.	Diseño óptimo para el op-amp telescópico. . . . .	83
4.7.	Especificaciones de diseño y desempeño final del amplificador cascode doblado. . . . .	92
4.8.	Variables óptimas para el diseño del amplificador cascode doblado. . . . .	93
5.1.	Parámetros de desempeño del circuito. . . . .	96
5.2.	Diseño óptimo para el op-amp de dos etapas. . . . .	97
5.3.	Tabla de sensibilidad de parámetros. . . . .	99
5.4.	Potencia mínima alcanzada debido a variaciones en especificaciones. . . . .	99
5.5.	Especificaciones de diseño. . . . .	101
5.6.	Comparación de diseños entre [26] y este trabajo. . . . .	105
5.7.	Comparación de diseños entre [23] y este trabajo. . . . .	106

# Capítulo 1

## Introducción

El diseño de un circuito integrado analógico es un proceso complejo, donde el resultado final depende de la experiencia y la habilidad que posee el diseñador. Esta labor involucra pleno conocimiento del circuito a diseñar, pero la intuición y la simulación repetitiva terminan convirtiéndose en la principal herramienta para enfrentar este tipo de problema. Desafortunadamente, este hecho no beneficia a la industria y resulta oponiéndose a la tendencia de crecimiento de la tecnología. Llegar a un diseño satisfactorio puede ser tan complicado que muchas personas lo consideran un arte, en palabras del profesor Rincón Mora<sup>1</sup>: *“it is creative! There is no clear logical way of designing a circuit. It is like painting a picture or writing a poem except that we use electronic devices and circuits to create our art”*. El proceso es complicado, porque el diseñador se enfrenta a un problema  $n$ -dimensional requiriendo cumplir con  $m$ -restricciones comprometidas entre si por las  $n$  variables de diseño. Por ejemplo, el amplificador operacional de dos etapas de la figura 1.1 solo tiene 8 transistores, pero su diseño es un problema de 18 variables y 10 especificaciones de desempeño.

Los amplificadores operacionales (op-amps), son celdas analógicas básicas, usadas dentro de muchos circuitos analógicos y de señal mezclada. Los op-amps deben ajustarse a las especificaciones propias de cada circuito que los contiene, siendo así una tarea del diseñador la selección y adaptación de alguna topología de op-amp a las especificaciones de su diseño. Normalmente, esta es una tarea que requiere un estudio previo de las características de diferentes topologías y conocimiento sobre el diseño de las mismas, que solo se gana con la práctica y la experiencia propia.

El tiempo necesario para el diseño de los op-amps es considerable, probablemente días dependiendo de la cantidad de especificaciones y la complejidad de la topología. Sabiendo que éste circuito no es el objetivo principal del diseño ¿qué tan valiosa sería contar una herramienta que realizara este trabajo automáticamente? Aún más, ¿qué tan valiosa sería que una herramienta diseñara automáticamente complejos sistemas analógicos? Pues bien, estos son los cuestionamientos que sirven de inspiración a diferentes instituciones académicas y que

---

<sup>1</sup>Profesor asistente de la escuela de Ingeniería eléctrica y computacional del *Georgia Institute of Technology*.

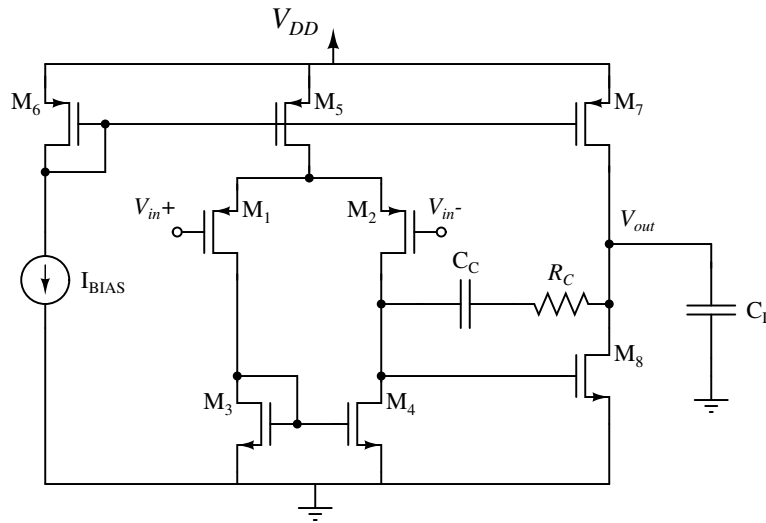


Figura 1.1: Amplificador operacional de dos etapas.

de alguna manera sugieren un cambio total en el enfoque y naturaleza del diseño analógico. Nuestro objetivo es hacer una aproximación a esta tendencia de diseño y un análisis de las ventajas y desventajas para un diseñador de circuitos integrados analógicos, que busque la aplicación de la programación geométrica como parte de su método.

Este trabajo es una adaptación de una metodología de diseño para automatización y optimización de circuitos, al diseño de tres configuraciones típicas de amplificadores operacionales en tecnología *CMOS 0.35 μm*. Para los autores, los resultados de esta metodología de diseño tienen gran valor desde el punto de vista de análisis de los circuitos, pues permiten conocer el comportamiento de los mismos a partir de resultados de optimización, e identificar relaciones entre parámetros y variables del circuito. De esta forma se pueden distinguir las características individuales de cada op-amp, y así definir criterios claros de selección para una aplicación determinada.

## 1.1. Motivación

La tendencia de la industria moderna, es integrar sobre una misma oblea de silicio circuitos digitales y analógicos<sup>2</sup> [1]; a este tipo de circuito integrado se le conoce como SOC (*system-on-chip*). En un SOC usualmente el área que ocupa la parte analógica es muy pequeña comparada con la que ocupa la parte digital, sin embargo el tiempo de diseño es considerablemente mayor para los circuitos analógicos.

En la actualidad, el diseño en CIs digitales se ha simplificado considerablemente gracias al desarrollo de herramientas CAD. Este tipo de herramientas han generado un notable cre-

<sup>2</sup>En la actualidad, aproximadamente el 75 % de los chips contienen alguna circuitería analógica y de modo mixto. Se espera que el mercado de la industria SOC aumente en un 40 % en los próximos 4 años.

cimiento y desarrollo en la industria de los semiconductores, permitiendo diseñar e integrar circuitos digitales con millones de transistores. Por otro lado, las herramientas CAD para CIs analógicos no han alcanzado niveles de desarrollo tan altos, o por lo menos no son de acceso público; por tal razón, el diseño de este tipo de circuitos se sigue realizando en esencia de la misma forma en la que se ha venido haciendo años atrás.

El diseño de un circuito integrado analógico se puede expresar en algunos casos como un problema de optimización matemática. Consecuentemente, algunas herramientas CAD aplican algoritmos de optimización para el diseño y se pueden clasificar de acuerdo al tipo de solución que proveen, ya sea óptimo global u óptimo local [2]. En [3] se propuso un método innovador, donde se expresa el problema de diseño de circuitos integrados analógicos, como un tipo especial de optimización matemática conocido como programación geométrica. Actualmente, existe gran variedad de publicaciones donde se ha formulado el diseño de CI's analógicos y digitales como un programa geométrico. Los resultados mostrados en dichos trabajos proponen esta metodología como una buena alternativa en el desarrollo de herramientas CAD para CI's analógicos.

La solución de un problema de programación geométrica reúne cualidades como la obtención del óptimo global, la capacidad de identificar problemas donde es imposible cumplir con todas las restricciones y la posibilidad de usar programas para optimización convexa de muy alta velocidad de convergencia, aún para problemas que involucran miles de restricciones y cientos de variables [4]. El éxito o fracaso de la aplicación de programación geométrica en el diseño de un CI, radica en que la formulación matemática del mismo sea compatible con todas las condiciones que impone un problema de optimización de esta clase. Como se mostrará a lo largo de este trabajo, la representación del diseño en un programa geométrico no es exacta, debido principalmente a que un programa geométrico es muy restrictivo en cuanto al tipo de funciones matemáticas que puede manejar.

Esta metodología de diseño se desarrolló a finales de los noventa, sin embargo su impacto se ha notado con fuerza en los últimos cuatro años. Algunas de las publicaciones más representativas son: extensión de ancho de banda en CMOS a partir de inductores optimizados [5], diseño de amplificadores de transconductancia [6], diseño de un conversor analógico-digital *pipeline* [7], diseño de amplificadores operacionales [8] y optimización del circuito de lazo de control de fase (PLL) [9]. También se encuentran aplicaciones de la programación geométrica en el diseño de circuitos integrados digitales [10, 11], y en otros campos de la electrónica como en control [12] y telecomunicaciones [13].

En el presente trabajo se presenta el diseño de un op-amp de dos etapas, un op-amp casado doblado y un amplificador operacional telescópico, optimizados en consumo de potencia usando programación geométrica; para esto se desarrolló un paquete de funciones que permiten un alto grado de automatización en el diseño de los circuitos. Este es un aporte para futuros proyectos en el área de la microelectrónica que requieran de la implementación de un op-amp, ya que podrán dedicar sus esfuerzos al diseño del sistema en general y no al diseño

de estas celdas básicas.

Este proyecto hace parte de la rama de investigación en metodologías de diseño de circuitos integrados, del grupo CIDIC. El objetivo estratégico de este trabajo para el grupo, es introducir a nivel local esta metodología para futuras implementaciones de la misma sobre otros circuitos integrados en tecnología CMOS; además de cubrir un desarrollo reciente en el campo de las metodologías de diseño de circuitos integrados.

## 1.2. Metodologías de diseño

Una metodología de diseño se puede definir como una serie de pasos, que se siguen con el fin de diseñar un circuito integrado. El diseño siempre parte de especificaciones a nivel de sistema, en esta etapa se selecciona la arquitectura del sistema y las topologías para cada bloque que la componen. Una vez hecha esta selección, se identifican las especificaciones individuales de cada subcircuito, como por ejemplo la eficiencia en una etapa de salida, o el ancho de banda de un filtro. Cada una de estas celdas analógicas debe cumplir simultáneamente con un número de especificaciones propias, que generalmente están comprometidas entre sí y que dependen de las variables de diseño de cada circuito. La tarea del diseñador es, primero seleccionar la topología del circuito y segundo, hallar el valor de las variables de diseño usando alguna metodología, para que se cumplan todas las especificaciones. En este trabajo nos enfocamos en la segunda etapa, es aquí donde se usa la programación geométrica.

En un circuito integrado las variables de diseño son principalmente las dimensiones geométricas del canal de los transistores, las corrientes, los voltajes de polarización y los valores de elementos pasivos como condensadores, resistencias e inductores integrados dentro del mismo chip; por esto se conoce como *dimensionamiento del circuito* a la tarea de encontrar el valor de las variables de diseño. En este trabajo siempre que hablemos de diseñar amplificadores operacionales se hace referencia al dimensionamiento.

Básicamente existen tres formas de dimensionar un circuito: la primera es el dimensionamiento basado en conocimiento, donde toda la experiencia de un experto se condensa en una estrategia de diseño. La segunda es el dimensionamiento basado en ecuaciones, donde se trata de obtener expresiones para todas las especificaciones del circuito; el dimensionamiento se hace usando métodos de optimización. Finalmente, la tercera forma de realizar esta tarea es conocida como dimensionamiento basado en simulaciones, aquí el comportamiento del circuito se obtiene a partir de simulaciones usando programas como *Hspice* usando a su vez técnicas de optimización local como herramienta de ayuda en el diseño.

El método al que llamamos clásico, es usado por la mayoría de diseñadores de circuitos integrados, y resulta de una combinación del dimensionamiento basado en conocimiento y en simulaciones. Al trabajar de esta forma se tiene la ventaja de poder usar modelos precisos para los transistores, además de trabajar con herramientas de simulación tan completas como *Hspice*, logrando así alta probabilidad de que el circuito diseñado se comporte de forma similar

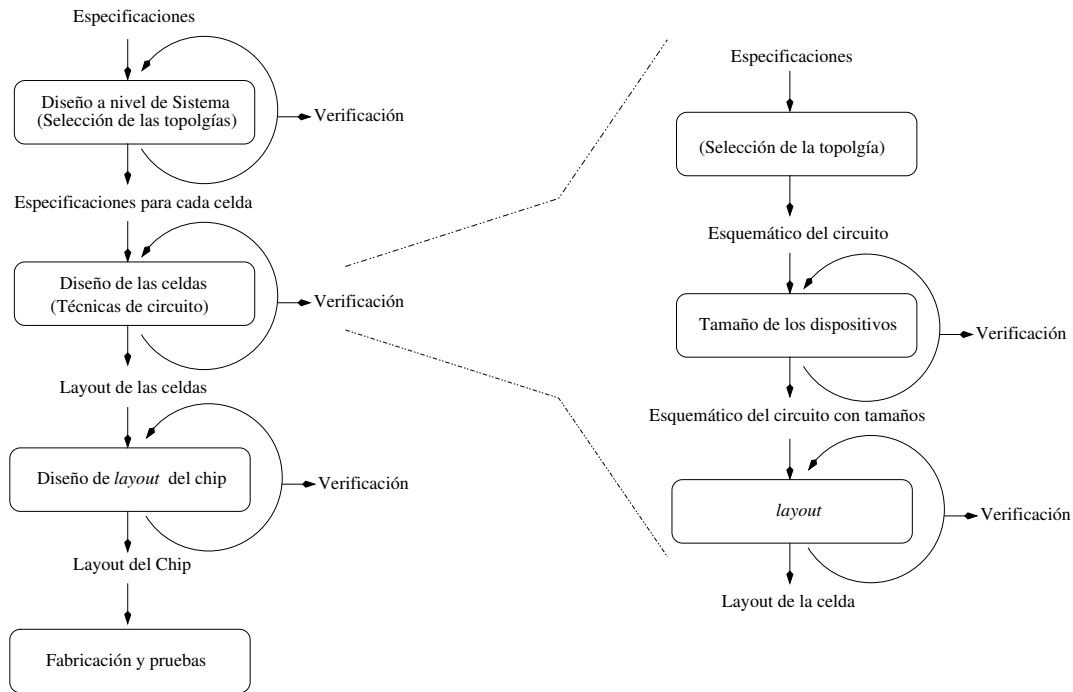


Figura 1.2: Flujo de diseño clásico. Tomada de [3]

después de ser fabricado. La gran desventaja que tiene este método es que se convierte en un proceso iterativo, sin una forma estandarizada de mover las  $n$ -variables de diseño, de manera que es difícil cumplir con todas las especificaciones simultáneamente, peor aún, es posible que el conjunto de especificaciones que se proponen inicialmente no puedan cumplirse, situación que no se podrá prever con facilidad. El tiempo que se requiere para obtener un diseño satisfactorio es extenso, porque el circuito debe simularse gran cantidad de veces, después de cada simulación se debe revisar individualmente el valor actual de cada parámetro de desempeño y retroalimentar. Además los algoritmos de optimización local aplicados son generalmente lentos. La figura 1.2 muestra un flujo de diseño típico para un circuito integrado analógico diseñado bajo esta metodología, en esta figura, adaptada de [3], se especifica el proceso de diseño de una celda.

Por otra parte, el diseño por programación geométrica tiene las características de una metodología de diseño basada en ecuaciones, pues la idea es representar en funciones matemáticas la totalidad del comportamiento del circuito, para luego resolver un problema de optimización. La gran desventaja de este enfoque, es que el programa geométrico estará lleno de aproximaciones para los parámetros, y de errores propios del tipo especial de modelo de transistor usado; esta situación lleva generalmente a que el diseño encontrado con el optimizador no se ajuste exactamente a la realidad.

### 1.3. Organización

La estructura de este libro recopila los aspectos relevantes de un diseño usando programación geométrica, esto con el fin de servir como referencia bibliográfica para futuros proyectos relacionados. De esta forma, el capítulo II presenta los conceptos básicos de la programación geométrica como método de optimización matemática, y hace una primera introducción al diseño con un circuito sencillo usando el modelo cuadrático para el transistor. Motivados por la necesidad de modelos compatibles con programación geométrica, el capítulo III muestra diferentes métodos de ajuste de datos usados en este trabajo, para obtener modelos que cumplan con los requerimientos de un programa geométrico y de nuevo muestra un ejemplo, pero esta vez, usando modelos *BSIM3v3* para verificar los resultados.

El capítulo IV contiene el diseño de los tres op-amps, haciendo énfasis en los principales problemas de la formulación de circuitos como programas geométricos. Para finalmente llegar al capítulo V que está dedicado al análisis del desempeño de los circuitos con base en los resultados de optimización; en este mismo se condensan las conclusiones y recomendaciones finales de este trabajo.

## Capítulo 2

# Programación Geométrica

La programación geométrica es un tipo de problema de optimización matemática [14], donde la función objetivo y las restricciones, pertenecen a un conjunto de funciones que tienen una forma especial, y por tanto cumplen con algunas condiciones específicas. La programación geométrica y sus principales características se definieron hace más de 30 años, sin embargo, la inexistencia de algoritmos eficientes, impedía su aplicación; aunque resultaba interesante el hecho de que gran cantidad de situaciones en el campo de la ingeniería podían ser formuladas como un programa geométrico.

Un programa geométrico (**PG**) es por sí mismo, un problema complejo de optimización no lineal. La cualidad que hace especial a la programación geométrica, es que un PG puede ser convertido a través de cambios de variables y transformaciones de las funciones involucradas, en un problema convexo, de esa forma se aprovechan todas las ventajas y propiedades de la optimización convexa.

La optimización convexa posee tres propiedades que la distinguen sobre los demás tipos de optimización matemática, estas son:

- Capacidad de encontrar el óptimo **global** de la función objetivo, siempre y cuando el problema sea factible.
- Muy alta velocidad de convergencia en la solución del problema, por medio de algoritmos de puntos interiores [14].
- Capacidad de distinguir sin posibilidad de error, si el problema no tiene solución factible.

Un problema de optimización convexa puede llegar a tener cientos de variables y miles de restricciones, y aún así sería fácilmente resuelto en cuestión de segundos, por algún algoritmo moderno de puntos interiores. De la misma manera, y recordando que un PG puede ser expresado como un problema convexo, los problemas formulados como programas geométricos también pueden resolverse eficientemente.

Finalmente cabe aclarar, que un programa geométrico no es un programa y no tiene relación con la geometría. El término *programación* es común en la descripción de problemas de optimización matemática, y el término *geométrico* introducido en 1967 [15], hace referencia al significado aritmético-geométrico de las desigualdades.

A pesar de los beneficios mencionados anteriormente, la programación geométrica es muy restrictiva en cuanto a su formulación. Sólo un conjunto particular de funciones matemáticas pueden hacer parte de un programa geométrico, además dichas funciones deben cumplir ciertas condiciones especiales. Este capítulo se dedica a exponer los fundamentos y conceptos necesarios para la formulación de programas geométricos y su posterior solución. Una presentación más extensa puede ser encontrada en [14] y [4].

## 2.1. Monomios y posinomios

Sean  $x_1, \dots, x_n$   $n$  variables reales y positivas, y sea  $x = (x_1, \dots, x_n)$  un vector con componentes  $x_i$ . Una función real  $g(x)$  de la forma:

$$g(x) = cx_1^{a_1} x_2^{a_2} \dots x_n^{a_n} \quad (2.1)$$

donde  $c \geq 0$  y  $a_i$  es cualquier número real, es llamada función monomio de las variables  $x_1, \dots, x_n$ . En el monomio,  $c$  es el coeficiente del monomio y los  $a_i$  se conocen como exponentes del monomio. Por ejemplo el monomio  $0.8x_1^{-0.24}x_2^3$  tiene como coeficiente 0.8, como variables  $x_1$  y  $x_2$ , y como exponentes -0.24 y 3.

Los monomios mantienen su forma bajo las operaciones de multiplicación y división entre monomios, además un monomio elevado a cualquier potencia sigue siendo un monomio. En realidad este concepto no difiere mucho de lo que se conoce por monomio en el álgebra, lo que cambia es que los  $a_i$  no están restringidos a ser enteros positivos y que  $c$  sólo puede tener valores positivos.

Una función conformada por la suma de varios monomios, se conoce como un posinomio de las variables del problema. Entonces un posinomio tiene la forma:

$$f(x) = \sum_{k=1}^K c_k x_1^{a_{1k}} x_2^{a_{2k}} \dots x_n^{a_{nk}} \quad (2.2)$$

donde  $c_k > 0$ . El término posinomio sugiere una combinación entre positivo y polinomio. Cualquier monomio es también un posinomio. Los posinomios mantienen su forma, bajo las operaciones de suma y multiplicación entre posinomios, también un posinomio multiplicado o dividido entre un monomio sigue siendo un posinomio. Un posinomio elevado a una potencia  $p$  entera-positiva mantiene la forma posinomial, lo anterior tiene sentido desde el punto de vista que es el resultado de la multiplicación de  $k$  posinomios. Es muy importante tener en cuenta que sólo las operaciones antes mencionadas mantienen la forma posinomial, pues la

programación geométrica es muy restrictiva en este sentido.

Una función donde se divide un monomio entre un posinomio, *i.e.* una función de la forma:

$$f_{inv}(x) = \frac{ax_1^{b_1}x_2^{b_2}\dots x_n^{b_n}}{\sum_{k=1}^K c_k x_1^{a_{1k}}x_2^{a_{2k}}\dots x_n^{a_{nk}}} \quad (2.3)$$

se conoce como posinomio inverso, este tipo de funciones no aplica directamente a la forma estándar de un PG, sin embargo en el diseño de CIs es común encontrarlos en algunas restricciones.

## 2.2. Forma estándar de un PG

Un programa geométrico es un problema de optimización de la forma:

$$\begin{aligned} &\text{minimizar} && f_0(x) \\ &\text{sujeto a} && f_i(x) \leq 1, \quad i = 1, \dots, m \\ &&& g_i(x) = 1, \quad i = 1, \dots, p \end{aligned} \quad (2.4)$$

Se le llama a  $f_0$  función objetivo,  $f_i$  función en la restricción tipo desigualdad y a  $g_i$  función en la restricción tipo igualdad.

En un programa geométrico de la forma (2.4), las funciones  $f_0, \dots, f_m$  son posinomios, las funciones  $g_1, \dots, g_p$  son monomios y  $x = (x_1, \dots, x_n)$  son las variables de optimización, con los  $x_i$  restringidos a ser variables reales y positivas, *i.e.*,  $x_i > 0$ , teniendo que el dominio del problema serán los reales positivos. En adelante nos referiremos al problema (2.4) como un PG en forma estándar.

Aunque los PGs parecen ser muy restrictivos en cuanto al tipo de funciones soportadas, existen algunas técnicas con el fin de tratar de formular problemas en la forma estándar. Si  $f(x)$  es un posinomio y  $g(x)$  es un monomio,  $f(x) \leq g(x)$  se puede escribir como  $f/g \leq 1$  incluido el caso en que  $g$  sea una constante positiva ( $f/g$  es un posinomio). De la misma forma si  $g_1(x)$  y  $g_2(x)$  son monomios, entonces  $g_1 = g_2$  se escribe como  $g_1/g_2 = 1$  ( $g_1/g_2$  es un monomio). Es posible escribir funciones de tipo posinomio inverso  $f_{inv}(x)$  como restricciones en un PG, siempre y cuando aparezcan en la restricción como mayores o iguales a un posinomio, por ejemplo  $g(x)/f(x) \geq a$  se puede escribir como  $a * f(x)/g(x) \leq 1$  ( $a * f/g$  es un posinomio).

También es posible resolver un PG donde se maximice una función, siempre y cuando ésta sea un monomio  $g(x)$  o un posinomio inverso  $f_{inv}(x)$ . Para esto se plantea un PG equivalente donde se minimice la función  $g_2(x) = 1/g(x)$  o  $f_2(x) = 1/f_{inv}(x)$ . Es importante recalcar que en un PG en forma estándar, las restricciones de tipo igualdad **sólo** pueden ser monomios, y las restricciones de tipo desigualdad pueden ser posinomios o monomios.

### 2.3. Forma convexa de un PG

Los PGs generalmente no son problemas de optimización convexa, pero pueden ser transformados a problemas convexos por medio de dos pasos: cambio de variables y transformaciones de la función objetivo y de las funciones en las restricciones.

En el primer paso se usa el cambio de variable  $y_i = \ln x_i$ , entonces  $x_i = e^{y_i}$ . Sea  $g(x)$  un monomio, es decir tiene la forma

$$g(x) = cx_1^{a_1} x_2^{a_2} \dots x_n^{a_n}$$

entonces después del cambio de variable:

$$\begin{aligned} g(x) &= g(e^{y_1}, \dots, e^{y_n}) \\ &= c[(e^{y_1})^{a_1} \dots (e^{y_n})^{a_n}] \\ &= e^{a^T y + b}, \end{aligned}$$

donde  $b = \ln c$  y  $a^T y$  implica el producto punto entre el vector de coeficientes  $a$  y el vector de variables  $y$ . Este cambio de variables convierte el monomio en una exponencial de una función afín<sup>1</sup>. Por otra parte, un posinomio bajo los mismos cambios de variable tendrá la forma:

$$f(x) = \sum_{k=1}^K e^{a_k^T y + b_k}, \quad (2.5)$$

que es una sumatoria de exponenciales de funciones afines.

El segundo paso, ahora que tenemos el problema en función de  $y_i$ , implica hacer la transformación de las funciones, esto se hace tomando el logaritmo natural de las funciones, como se muestra a continuación:

$$\begin{aligned} \text{minimizar} \quad & \hat{f}_0(y) = \ln \left( \sum_{k=1}^{K_0} e^{a_{0k}^T y + b_{0k}} \right) \\ \text{sujeto a} \quad & \hat{f}_i(y) = \ln \left( \sum_{k=1}^{K_1} e^{a_{ik}^T y + b_{ik}} \right) \leq 0, \quad i = 1, \dots, m \\ & \hat{g}_i(y) = a_i^T y + \ln c_i = 0, \quad i = 1, \dots, p \end{aligned} \quad (2.6)$$

Debido a que las nuevas función objetivo y funciones en las restricciones desigualdad son convexas, y a que las funciones en las restricciones igualdad son afines, se tiene un problema de optimización convexa *i.e.* un problema de la forma:

$$\begin{aligned} \text{minimizar} \quad & \hat{f}_0(x) \\ \text{sujeto a} \quad & \hat{f}_i(x) \leq 0, \quad i = 1, \dots, m \\ & \hat{g}_i(x) = 0, \quad i = 1, \dots, p \end{aligned} \quad (2.7)$$

<sup>1</sup>Una función afín puede entenderse informalmente como un plano en  $R^n$

que indirectamente usa como variables de optimización las variables iniciales. En este punto ya se nota porque es tan restrictiva la forma estándar de un PG, el lado derecho de la desigualdad debe ser uno porque en un problema convexo el lado derecho de la desigualdad es cero ( $\log 1=0$ ), además en las restricciones igualdad sólo pueden intervenir monomios, esto porque en un problema convexo las restricciones igualdad son funciones afines, por otra parte los coeficientes de los posinomios deben ser positivos ya que  $b = \ln c$ .

Por último cabe mencionar que un PG donde todas las funciones involucradas son monomios, se transforma en un programa lineal *i.e.*, un tipo de optimización donde todas las funciones son lineales.

## 2.4. Solución del programa geométrico

La solución de un PG se basa en algoritmos muy eficientes, diseñados para optimización convexa. En la actualidad existen diferentes empresas y centros de investigación y desarrollo, que ponen a disposición software que puede ser útil para resolver problemas de programación geométrica. De hecho, la programación geométrica alcanzado tal importancia (especialmente en el diseño de circuitos integrados), que ahora es normal encontrar en cualquier paquete de software comercial para optimización [17, 16] alguna herramienta para resolver específicamente programas geométricos. El proceso de transformación de un PG a un problema convexo puede parecer una tarea tediosa, sin embargo el software existente para programación geométrica realiza ese proceso internamente, de manera que la entrada de datos al optimizador se hace directamente desde el PG en forma estándar y no son necesarios los pasos de transformación de variables y funciones.

Para solucionar un PG, es importante identificar correctamente el formato en el que el algoritmo dispuesto para la solución recibe los datos, generalmente el PG se debe especificar en un archivo de texto con una estructura definida. Existe una gran diferencia entre el PG tal y como se plantea en el papel, y el formato que especifica el software. La etapa en la que se crea el archivo de entrada al optimizador es crítica y requiere cuidado. En casos donde el PG es considerablemente pequeño (unas 20 restricciones), los archivos de texto pueden alcanzar cientos de líneas, cualquier pequeño error es difícil de detectar y corregir.

Desafortunadamente, no existe un formato estándar para los archivos que utiliza cada programa de optimización, esto apresura la decisión de trabajar con un único optimizador, aunque a continuación daremos referencia de dos programas usados en alguna etapa durante el desarrollo de este trabajo.

Se puede encontrar software con diferentes características, desde software con valor comercial, hasta software gratuito para proyectos con fines no comerciales. También se puede encontrar software exclusivo para programación geométrica o algoritmos que hacen parte de paquetes de programas para optimización matemática. En este proyecto se usaron Mosek y COPL\_GP, la selección de estos optimizadores se hizo en base a referencias encontradas en

publicaciones sobre diseño de circuitos integrados con aplicación de programación geométrica [20].

### MOSEK:

Mosek es un paquete de software para optimización que incluye soporte para programación lineal y varios tipos de problemas de optimización convexa no lineal (incluyendo PG). La página web de MOSEK, para descargas, soporte e información es <http://www.mosek.com>. MOSEK contiene más funciones de las necesarias para resolver programas geométricos, sin embargo en el capítulo de modelado se aprovecharán algunas de estas aplicaciones. En este trabajo se utilizó una licencia completa del producto, esta fue otorgada gratuitamente por tiempo limitado tras previa solicitud directa a MOSEK.

Para resolver un PG, se usa el comando `mskexpopt`, este comando es llamado desde consola junto al nombre del archivo de texto con extensión `.eo` donde se ha especificado todo el PG según el formato propio de MOSEK. En [18] se explica el uso de esta función, y se muestran algunos ejemplos.

### COPL\_GP:

Este programa (*Computational Optimization Program Library: Geometric Programming*) [19] desarrollado en el laboratorio de optimización computacional del departamento de ciencias administrativas de la universidad de Iowa, está orientado sólo a trabajar con programación geométrica. Este programa puede ser descargado y usado gratuitamente para fines de investigación. COPL\_GP ocupa menos espacio en disco y su formato de resultados es más práctico en comparación con MOSEK.

Mas allá de las diferencias mencionadas, los programas para solución de PGs tienen en común la implementación de algoritmos de puntos interiores, esto hace que los PGs se resuelvan en corto tiempo; otra propiedad importante de este tipo de algoritmos, es que siempre encuentran el óptimo global independientemente del punto de arranque.

## 2.5. Ejemplo de diseño: amplificador fuente común con carga activa

Una de las etapas con mayor demanda de tiempo a la hora de diseñar una celda analógica en un CI es el dimensionamiento, en ésta se busca hallar las dimensiones de los elementos (pasivos o activos) para alcanzar determinado desempeño del circuito. En esta sección se muestra un ejemplo sencillo de la aplicación de la programación geométrica en el diseño de un circuito, para esto se diseña un amplificador fuente común con carga activa. En este ejemplo se considerarán como parámetros de desempeño del circuito el consumo de potencia, la ganancia y el ancho de banda. La figura 2.1 ilustra la configuración fuente común. A continuación se

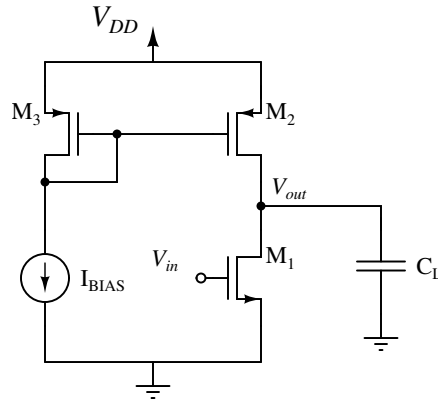


Figura 2.1: Configuración fuente común con carga activa.

mostrará cómo los parámetros de desempeño de este circuito pueden ser formulados como posinomios de las variables de diseño.

### 2.5.1. Parámetros de desempeño y restricciones del circuito

Los parámetros de desempeño son medidas características de cada circuito integrado. En un amplificador operacional, algunas de las más representativas son la ganancia, el ancho de banda, el consumo de potencia, el factor de rechazo de modo común, el rango dinámico, impedancia de salida, *slew rate*, linealidad y margen de fase entre otras. Fácilmente pueden ser más de 12 parámetros, sin embargo la jerarquía de las medidas de desempeño está dada por la aplicación específica del circuito. A continuación se describen las medidas de desempeño tenidas en cuenta en este ejemplo.

#### Potencia:

La potencia en estado estable que consume este circuito está dada por las corrientes  $I_{BIAS}$  e  $I_{M2}$ , se observa en (2.8) que la potencia es un posinomio en función de las variables de diseño  $I_{BIAS}$  e  $I_{M2}$ .

$$P = (I_{BIAS} + I_{M2})V_{DD} \quad (2.8)$$

Para este ejemplo usamos  $V_{DD} = 3 \text{ V}$ .

#### Ganancia:

La ganancia de este circuito está dada por el producto entre la transconductancia  $-g_{m1}$  y la resistencia de salida  $r_{o1} || r_{o2}$ . Después de un tratamiento algebraico se observa que la ganancia es un monomio en función de la tensión de *overdrive* del transistor  $M_1$ .

$$|A_v| = \frac{2}{(\lambda_1 + \lambda_2)} \frac{1}{V_{OV_1}} \quad (2.9)$$

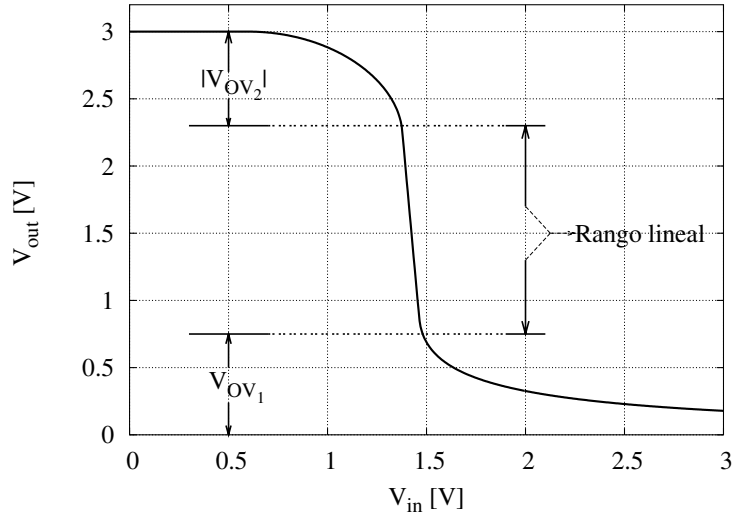


Figura 2.2: Comportamiento a gran señal del circuito fuente común.

donde  $\lambda_1$  y  $\lambda_2$  se asumen constantes y  $V_{OV_1} = V_{GS1} - V_T$ .

### Ancho de banda:

Asumiendo que se maneja una capacitancia de carga ( $C_L$ ) lo suficientemente grande, la respuesta en frecuencia de este circuito estará limitada por el polo en el nodo de salida.

$$W_1 \simeq \frac{1}{r_o C_L} = \frac{I_{M1}(\lambda_1 + \lambda_2)}{C_L} \quad (2.10)$$

Para este ejemplo se usará una capacitancia de 5pF.

Además de los anteriores parámetros, se deben tener en cuenta en la formulación otras condiciones del funcionamiento del circuito, como condiciones de polarización, relaciones entre transistores que cumplan con funciones especiales como espejos de corriente y límites en las variables de diseño.

### Condiciones de saturación para los transistores:

Para obtener altos valores de ganancia y evitar distorsión de la señal de salida, los transistores  $M_1$ ,  $M_2$  y  $M_3$  deben estar en saturación *i.e.*,  $V_{DS} \geq V_{GS} - V_T$ . Esto implica que dichos transistores deben cumplir con esta condición de polarización tanto en ausencia de señal de entrada como en presencia de ésta. La tensión  $V_{DS}$  del transistor  $M_3$  es igual a su tensión  $V_{GS}$ , por lo tanto siempre que este conduzca operará en saturación. Bajo presencia de señal de entrada, la saturación de los transistores  $M_1$  y  $M_2$  está determinada por el rango de excursión de salida como se muestra en la figura 2.2. De esta manera, al fijar los límites deseados para el rango de excursión, para  $M_1$  se tendría que  $V_{DS,min} = V_{out,min}$  teniendo que

$M_1$  estará saturado siempre que  $V_{out,min} \geq V_{OV_1}$ . De esta forma, la especificación de rango de excursión pone límites superiores a la magnitud de las tensiones de *overdrive*.

$$\begin{aligned} V_{OV_1} &\leq V_{out,min} \\ V_{out,max} &\leq V_{DD} - |V_{OV_2}| \end{aligned} \quad (2.11)$$

### Consideraciones eléctricas:

Las expresiones obtenidas en esta sección brindan relaciones entre las variables de diseño, dichas relaciones surgen de la naturaleza misma del circuito e incorporan el funcionamiento eléctrico de éste al programa geométrico. Las siguientes son expresiones de la corriente por cada transistor, de acuerdo al modelo cuadrático:

$$I_{M1} = \frac{1}{2} K_n \left( \frac{W}{L} \right)_1 (V_{OV_1})^2 \quad (2.12)$$

$$I_{M2} = \frac{1}{2} K_p \left( \frac{W}{L} \right)_2 (V_{OV_2})^2 \quad (2.13)$$

$$I_{BIAS} = \frac{1}{2} K_p \left( \frac{W}{L} \right)_3 (V_{OV_3})^2 \quad (2.14)$$

De la Figura 2.1 se puede expresar que:

$$V_{OV_2} = V_{OV_3} \quad (2.15)$$

$$I_{M1} = I_{M2} \quad (2.16)$$

$$\frac{I_{BIAS}}{\left( \frac{W}{L} \right)_3} = \frac{I_{M2}}{\left( \frac{W}{L} \right)_2} \quad (2.17)$$

### Consideraciones geométricas:

De acuerdo a la tecnología de fabricación se tendrán las dimensiones mínimas de los transistores. Por ejemplo, para la tecnología AMS  $0.35\mu\text{m}$ . se tiene<sup>2</sup>

$$W_{1,2,3} \geq 0.6\mu\text{m} \quad L_{1,2,3} \geq 0.3\mu\text{m}$$

Además se impondrán límites superiores en las dimensiones geométricas de los transistores, esto simulando una restricción en el área dentro del chip.

$$W_{1,2,3} \leq 500\mu\text{m} \quad L_{1,2,3} \leq 10\mu\text{m}$$

<sup>2</sup>Es necesario resaltar que la continuidad de las variables  $L$  y  $W$  está comprometida por la tecnología de fabricación, en el caso de AMS  $0.35\mu\text{m}$  se tendrá una grilla mínima en las dimensiones de los elementos de  $0.05\mu\text{m}$ .

Finalmente, la expresión 2.18 es una consideración a tener en cuenta a la hora de realizar el *layout*, dicha restricción mejora el desempeño del espejo de corriente ante *mismatch* [21].

$$L_2 = L_3 \quad (2.18)$$

### 2.5.2. Variables de diseño

En las secciones anteriores se mostraron los parámetros de desempeño junto con las consideraciones eléctricas y geométricas del circuito, de acuerdo a las expresiones resultantes una elección de las variables de diseño para este circuito se presentan a continuación:

- Corrientes de polarización:  $I_{BIAS}$ ,  $I_{M1}$ .
- Ancho y longitud del canal para cada uno de los transistores:  $L_1$ ,  $W_1$ ,  $L_2$ ,  $W_2$ ,  $L_3$  y  $W_3$ .
- Tensión de *overdrive* para  $M_1$ ,  $M_2$ ,  $M_3$ :  $V_{OV_1}$ ,  $V_{OV_2}$ ,  $V_{OV_3}$ .

En la descripción matemática de un circuito es común encontrar igualdades entre las variables de diseño, dicha situación se observa en (2.15), (2.16) y (2.18). Al presentarse dicha situación se podría considerar que una de las variables de la igualdad no es variable de diseño, para ésto se elimina la igualdad y se reemplaza a la variable eliminada por la no-eliminada en todas las expresiones donde la primera aparezca. Ahora bien, en relación a (2.15), (2.16) y (2.18), por motivos de claridad y legibilidad del programa geométrico, se decidió considerar a las variables  $V_{OV_2}$ ,  $V_{OV_3}$ ,  $L_2$ ,  $L_3$  e  $I_{M1}$  como variables de diseño.

### 2.5.3. Formulación del programa geométrico

Teniendo todo el comportamiento del circuito modelado en expresiones que están en función de las variables de diseño, se puede diseñar buscando optimizar uno de los parámetros de desempeño mientras se pone un límite deseado a los demás parámetros, para esto se requiere llevar todas las funciones a la forma estándar de un programa geométrico. Debe recordarse que cada expresión con límite menor o igual a uno debe ser un posinomio de las variables de diseño y que las restricciones de tipo igualdad deben ser exclusivamente monomios iguales a uno. También debe tenerse en cuenta que la función a optimizar debe ser un posinomio y sólo puede ser minimizado. Si el objetivo es un monomio, se puede maximizar minimizando su inverso, pero es imposible maximizar una función de tipo posinomial porque su inverso no es un posinomio. Cualquier restricción que no pueda ser expresada como un posinomio debe aproximarse o eliminarse si es un parámetro de desempeño de poco peso para el diseñador.

Para el presente ejemplo se desea minimizar la potencia del circuito mientras se define un límite inferior en la ganancia y en el ancho de banda. La función objetivo es entonces el posinomio que representa la potencia del circuito (2.8) y las restricciones son todas las demás expresiones que modelan el desempeño del circuito junto con las consideraciones eléctricas

Minimizar	
Potencia:	$V_{DD}I_{M1} + V_{DD}I_{BIAS}$
Sujeto a:	
Ganancia mayor a $A_{min}$ :	$0.5A_{min}(\lambda_1 + \lambda_2)V_{OV_1} \leq 1$
Rango de excursión positivo:	$V_{OV_1}V_{out,min}^{-1} \leq 1$
Rango de excursión negativo:	$( V_{OV_2}  + V_{out,max})V_{DD}^{-1} \leq 1$
Polo dominante mayor a $W_{min}$ :	$W_{min}I_{M1}^{-1}(\lambda_1 + \lambda_2)^{-1}C_L \leq 1$
Corriente de transistor $M_3$ :	$0.5K_pI_{BIAS}^{-1}W_3L_3^{-1}V_{OV_3}^2 = 1$
Corriente de transistor $M_2$ :	$0.5K_pI_{M1}^{-1}W_2L_2^{-1}V_{OV_3}^2 = 1$
Corriente de transistor $M_1$ :	$0.5K_nI_{M1}^{-1}W_1L_1^{-1}V_{OV_1} = 1$
Dimensiones máximas de $W_{1,2,3}$ :	$W_{max}^{-1}W_{1,2,3} \leq 1$ ;
Dimensiones mínimas de $W_{1,2,3}$ :	$W_{min}W_{1,2,3}^{-1} \leq 1$
Dimensiones máximas de $L_{1,2}$ :	$L_{max}^{-1}L_{1,2} \leq 1$
Dimensiones mínimas de $L_{1,2}$ :	$L_{min}L_{1,2}^{-1} \leq 1$
Corriente mínima para $I_{BIAS}$ :	$I_{min}I_{BIAS}^{-1} \leq 1$
Tensión mínima para $V_{OV_{1,2}}$ :	$V_{OV,min}V_{OV_{1,2}}^{-1} \leq 1$
$L_2 = L_3$ :	$L_2L_3^{-1} = 1$
Espejo de corriente, $V_{OV_2} = V_{OV_3}$ :	$V_{OV_2}V_{OV_3}^{-1} = 1$

Tabla 2.1: Programa geométrico en forma estándar.

y geométricas. Con el fin de llevar todas estas restricciones a la forma estándar de un PG, se usan las técnicas presentadas en la sección 2.2. En la tabla 2.1 se ilustra el programa geométrico obtenido para el diseño del amplificador fuente común con carga activa.

El diseño propuesto resulta ser un problema de 11 variables de diseño y 27 restricciones que el optimizador (se usó **MOSEK**) resuelve en menos de un segundo. Adicionalmente el programa informa si el conjunto de restricciones es imposible de cumplir, lo cual puede suceder si las especificaciones de diseño son muy exigentes. El tiempo invertido en el diseño se distribuye entre la obtención de las expresiones que representan el funcionamiento del circuito y la construcción del archivo para entrada de datos al optimizador, así se evita la tarea clásica de iterar y simular para tratar de cumplir con las especificaciones. Futuros diseños de este circuito, podrán realizarse en un tiempo aún menor, porque solo requieren pequeñas modificaciones en el archivo de datos<sup>3</sup>. Debemos recordar que el resultado es óptimo global, esto quiere decir que bajo las mismas restricciones no es posible encontrar un mejor diseño. Este mismo circuito puede diseñarse para otro conjunto de especificaciones, o buscando optimizar otro parámetro de desempeño. Por ejemplo maximizar el ancho de banda, sólo se

<sup>3</sup>Siempre y cuando la formulación del diseño sea la misma.

Parámetro	Especificación
Ganancia [V/V]	$\geq 100$
Potencia [W]	<i>minimizar</i>
Polo dominante	$\geq 1.59$ [MHz]
Polarización	$M_1, M_2, M_3$ sat.
$W_{1,2,3}$	$\geq 1.1\mu\text{m}$
$L_{1,2,3}$	$\geq 0.4\mu\text{m}$
$W_{1,2,3}$	$\leq 500\mu\text{m}$
$L_{1,2,3}$	$\leq 10\mu\text{m}$
$I_{BIAS}$	$\geq 1\mu\text{A}$
$V_{out,min}$	0.5V
$V_{out,max}$	2.5V
$V_{OV_{1,2,3}}$	$\geq 100\text{mV}$
$C_L$	5pF

Tabla 2.2: Especificaciones de diseño.

Parámetro	n	p	unidades
$\lambda$	0.057	0.114	$\text{V}^{-1}$
$K$	194.37	64.79	$\mu\text{A}/\text{V}^2$
$L_{drawn,min}$	0.4	0.4	$\mu\text{m}$

Tabla 2.3: Parámetros del modelo.

requiere que el diseño deseado se pueda ajustar a la forma estándar de la programación geométrica.

#### 2.5.4. Resultados

En la tabla 2.2 se observan las especificaciones con las que se diseñó el circuito, se observa que dichas especificaciones tienen valores típicos que puede alcanzar un amplificador de configuración fuente común. Para disminuir el error entre los resultados de la solución del PG y la simulación, se incluyó el efecto de la modulación de canal en las ecuaciones de corriente (2.12, 2.14). Se seleccionó  $V_{DS} = 1.5\text{V}$  buscando tener máximo rango de excursión en la tensión de salida, además para este valor de tensión se garantiza que  $M_1$  y  $M_2$  estarán saturados en ausencia de señal de entrada. Con la inclusión del efecto de modulación de canal las ecuaciones de corriente toman la siguiente forma:

$$I_{M1} = \frac{1}{2}K_n \left(\frac{W}{L}\right)_1 (V_{OV1})^2(1 + 1.5\lambda)$$

Como se puede observar en la tabla 2.1, solo la especificación de ancho de banda tiene forma posinomial, el resto de las funciones involucradas en el programa geométrico son monomios, esto se debe a la simplicidad del modelo de transistor usado, los parámetros de dicho modelo se presentan en la tabla 2.3.

VARIABLES DE DISEÑO	PG
$I_{BIAS}[\mu A]$	1
$I_{M1}[\mu A]$	291.647
$V_{OV1}[\text{mV}]$	110.1462
$V_{OV2}[\text{mV}]$	195.3434
$V_{OV3}[\text{mV}]$	195.3434
$W_1[\mu m]$	160.675
$W_2[\mu m]$	409.417
$W_3[\mu m]$	1.404
$L_1[\mu m]$	0.703
$L_2[\mu m]$	2.032
$L_3[\mu m]$	2.032

Tabla 2.4: Resultados.

Los parámetros de la tabla 2.3, corresponden a parámetros típicos de proceso CMOS, con longitud de canal mínima de  $0.4\mu m$ . Debe tenerse en cuenta que  $\lambda$  es un parámetro inversamente proporcional a la longitud efectiva del canal, por lo tanto es variable; sin embargo, por simplicidad en las ecuaciones se tomó un valor constante para  $\lambda$ . La tabla 3.9 muestra valor de las variables de diseño encontradas por el optimizador, estos valores fueron simulados en *Hspice* usando un modelo de transistor de nivel 1. En la tabla 2.5 se muestra una comparación entre los resultados obtenidos por el programa geométrico y la simulación de estos con *Hspice*.

El comportamiento mostrado por los resultados de simulación difieren un poco de lo esperado por los resultados usando optimización, sin embargo el error es debido a las aproximaciones hechas en las restricciones. El efecto de la modulación de canal sobre el espejo de corriente fue ignorado y a su vez la diferencia de los resultados en el ancho de banda se debe a que no se tomó en cuenta el efecto de las capacitancias parásitas sobre la respuesta en frecuencia del circuito.

Finalmente se puede ver como se relacionan las variables de diseño con las especificaciones, y del resultado del programa geométrico se pueden extraer las siguientes conclusiones:

- Según las ecuaciones (2.8) y (2.10),  $I_{M1}$  causa un compromiso directo entre potencia y ancho de banda. Minimizar la potencia del circuito equivale a minimizar  $I_{M1}$  e  $I_{BIAS}$ ; al disminuir  $I_{M1}$  disminuye el ancho de banda, por esta razón  $I_{M1}$  se ajusta al valor mínimo necesario para cumplir con la especificación de ancho de banda. En la tabla 2.5 se observa que el ancho de banda se ajusta a su límite inferior, produciendo así la mínima corriente  $I_{M1}$ .
- $I_{BIAS}$  se ajusta a su mínimo permitido y la relación de corrientes entre  $I_{M1}$  e  $I_{BIAS}$ , es dada por la relación de tamaños entre  $W_2$  y  $W_3$ , tal y como se ve en (2.17). Si no existiera límite superior para  $W_2$  y límite inferior para la corriente  $I_{BIAS}$ , el programa geométrico no tendría solución, pues el optimizador trataría de llevar  $I_{BIAS}$  a su menor

Parámetro	Especificación	PG	Hspice (nivel 1)
Ganancia [V/V]	$\geq 100$	106.04	119.14
Potencia [W]	<i>Minimizar</i>	877.94 $\mu$	893.15 $\mu$
Polo dominante [MHz]	$\geq 1.59$	1.59	1.155
Polarización $M_1, M_2$ y $M_3$	<i>Saturados</i>	–	Saturados

Tabla 2.5: Parámetros de desempeño

valor posible y nunca encontraría un mínimo para la función objetivo. Este caso es común en la solución de PGs por lo que es siempre recomendable imponer límites a las variables de diseño.

- La ganancia establece el valor de  $V_{OV_1}$  y el ancho de banda el valor de  $(I_{M1})$ . La solución del PG simplemente busca un valor de  $W_1$  y  $L_1$  para cumplir la relación de corriente por  $M_1$  2.12. De lo anterior se concluye que es posible encontrar otros valores de  $W_1$  y  $L_1$  que también cumplan la relación 2.12, esto quiere decir que existen diferentes soluciones para el PG, pero todas llevan al mismo valor óptimo global.

En este capítulo se expusieron los conceptos básicos de la programación geométrica y se mostró por medio de un ejemplo, la aplicación de ésta en el diseño de circuitos integrados. Sin embargo, este circuito fue diseñado usando el modelo cuadrático para el transistor, que es un modelo inexacto y no ajustable para tecnologías de canal corto. Este proyecto busca diseñar op-amps en tecnología CMOS 0.35 $\mu$ m, donde el modelo de nivel 1 no se puede aplicar por el error que este involucraría; por esto se hace imperativo generar modelos compatibles con programación geométrica que se ajusten con muy alto grado de exactitud al comportamiento real de un transistor en alguna tecnología de canal corto.

## Capítulo 3

# Modelos de transistor compatibles con programación geométrica

La fiabilidad del diseño de un circuito integrado analógico, depende en gran parte de la calidad del modelo usado para describir el comportamiento físico de los dispositivos que hacen parte del circuito. Para cualquier persona que se enfrenta a un problema de diseño usando un método iterativo clásico, es importante contar con modelos matemáticos sencillos que permitan describir con buen grado de exactitud el comportamiento del sistema. Sin embargo, en los modelos asociados al diseño de CIs es común encontrar que la exactitud es una medida de la complejidad del modelo. Por otra parte, aplicar programación geométrica en el diseño de un CI implica el uso de modelos con alta precisión, de otra forma los resultados finales de la optimización no tendrían validez al ser verificados en un simulador como *Hspice*. En el diseño con programación geométrica, el tamaño y la complejidad de los modelos pierde importancia, a cambio de esto, se requieren modelos precisos que sean compatibles con la forma estándar de un PG.

El modelado de dispositivos activos integrados, es un campo importante de investigación necesario para el desarrollo de la industria de los semiconductores. En este campo se trabaja a nivel de la física de estado sólido y de la mecánica cuántica con el fin de involucrar en un modelo, todos los fenómenos físicos que ocurren dentro de un dispositivo semiconductor. Cada uno de estos fenómenos tiene impacto directo sobre el desempeño del circuito integrado. En la medida que la tecnología avanza y reduce cada vez más la longitud del canal de los transistores, los efectos de segundo orden<sup>1</sup> se hacen más significativos incrementando la complejidad de los modelos.

En la literatura se encuentran variedad de modelos, algunos muy simples usados sólo como aproximación, como el *modelo cuadrático* o *modelo de nivel 1*, o algunos más complejos y exactos, como el modelo *BSIM3v3 nivel 49*, usado en este proyecto como modelo de simu-

---

<sup>1</sup> Los comportamientos que van más allá del funcionamiento básico deseado del transistor, son conocidos como efectos de segundo orden.

lación para prototipaje final. El modelo *BSIM3v3* es tan complejo que sólo puede ser usado a través de simuladores robustos como *Hspice*. A diferencia del *BSIM3v3*, el modelo de nivel uno es tan simple, que describe parámetros del transistor con expresiones compactas que pueden ser fácilmente manipuladas, esta simplicidad se gana al no tener en cuenta efectos de segundo orden que son determinantes cuando se trabaja en tecnologías de canal corto, como consecuencia de desprestigiar estos efectos la exactitud del modelo se ve comprometida.

La formulación matemática del diseño vía programación geométrica, implica representar todo el funcionamiento de un circuito por medio de expresiones matemáticas simbólicas, dichas expresiones dependen de las funciones matemáticas o modelos usados para describir el comportamiento del transistor. Por esta razón, aplicar programación geométrica al diseño de CIs, requiere que los modelos del transistor usados conduzcan a expresiones matemáticas que puedan ser implementadas en un PG. Sin embargo, los modelos sofisticados como *BSIM3v3* están muy lejos de cumplir con esta característica. Por consiguiente, es necesario obtener de alguna forma modelos compatibles con un PG partiendo en lo posible de modelos con suficiente exactitud.

En este capítulo se exponen métodos para obtener modelos compatibles con programación geométrica, generando datos con los modelos de nivel 49 en *Hspice*, y luego aplicando técnicas de ajuste de datos para funciones  $n$ -dimensionales. En la sección 3.2 se ajustan datos con expresiones de forma monomio, en la sección 3.3 se muestra el ajuste de datos con funciones de tipo posinomial. Por último, se desarrollan modelos basados en técnicas de ajuste de funciones convexas-*pwl* (*piece-wise linear*). Cabe aclarar que este capítulo no abarca aspectos matemáticos demostrativos y se concentra en hacer una adaptación de los conceptos de mayor relevancia encontrados en las referencias bibliográficas, en caso de que se quiera hacer mayor profundidad en los aspectos matemáticos, revisar [14].

Como anotación final, este trabajo sólo requiere modelos para representar transistores operando en la región de saturación, sin embargo los mismos procedimientos se pueden aplicar para generar modelos para transistores que operen en la región de triodo, en caso de que estos sean necesarios.

### 3.1. Consideraciones generales

En el diseño de CIs aplicando programación geométrica se distinguen varias etapas, dos de estas son: la etapa de formulación y la etapa de modelado; considerando que la etapa de formulación precede a la etapa de modelado [23]. En la etapa de formulación se representa el comportamiento del circuito, esto es, parámetros de desempeño, polarización, etc., mediante expresiones que luego son llevadas a un PG. Generalmente, estas expresiones están en función de *parámetros característicos* de un transistor como  $g_m$ ,  $g_{ds}$ , etc., y estos últimos en función de las *variables de diseño*,  $W$ ,  $L$ ,  $I_{DS}$ , etc., de ese transistor. Ahora bien, la relación de lo que se ha llamado aquí parámetros característicos del transistor con las variables de diseño

no siempre conduce a expresiones que pueden ser implementadas en un PG.

Como ejemplo, la expresión (3.1) representa la ganancia del bien conocido amplificador fuente común del capítulo 2.5 se observa que este parámetro de desempeño depende de los parámetros  $g_{m_1}$ ,  $g_{ds_1}$  y  $g_{ds_2}$ . Adicionalmente, en (3.2) se ilustra la restricción equivalente para  $|A_v| \geq |A_{v,min}|$ . Para que (3.2) pueda ser implementada en un PG, los modelos que definen a  $g_{m_1}$ ,  $g_{ds_1}$  y  $g_{ds_2}$  deben conducir a restricciones posinomiales de las variables de diseño. Sin embargo, si las expresiones obtenidas para dichos parámetros a partir de modelos físicos no conduce a una representación de (3.2) como restricción(es) posinomial(es), es necesario generar modelos de estas variables, a partir de técnicas de ajuste numérico, que si lo permitan.

$$|A_v| = \frac{g_{m_1}}{g_{ds_1} + g_{ds_2}} \quad (3.1)$$

$$\frac{|A_{v,min}|(g_{ds_1} + g_{ds_2})}{g_{m_1}} \leq 1 \quad (3.2)$$

Como se mencionó previamente, la etapa de formulación precede a la etapa de modelado, ésto debido a que con la formulación se determinará que parámetros del transistor modelar. Por ejemplo de la expresión (3.2), se puede optar en modelar  $g_{m_1}$  o  $\frac{1}{g_{m_1}}$ , sin embargo no tendría sentido modelar  $r_{o_2}$  ni  $r_{o_1}$ .

La selección de los parámetros a modelar junto con la selección de las variables de las que dependerá el modelo constituyen el primer paso en la etapa de modelado. En el diseño de CIs se observa que los parámetros de desempeño de cualquier circuito, como la ganancia o el ancho de banda de un amplificador, son función de parámetros propios de cada transistor dentro del circuito. Algunos parámetros típicos son la resistencia de salida  $g_{ds}^{-1}$ , la transconductancia  $g_m$  o las capacitancias parásitas del transistor como  $C_{gs}$ . Cada uno de estos parámetros, en una tecnología dada, es función de dos grupos de variables básicas: las variables de polarización  $I_D$ ,  $V_{GS}$ ,  $V_{DS}$ ,  $V_{SB}$  y las dimensiones físicas del canal del transistor  $W$ ,  $L$ . Por supuesto que en un dispositivo físico tan complejo, como lo es un transistor integrado, existen más variables que afectan su comportamiento, sin embargo estas variables básicas son predominantes.

Una vez determinado los parámetros a modelar y en función de que variables de diseño estarán, es necesario definir el espacio sobre el que se modelará, a este espacio se le llamará *espacio de modelado*. El espacio de modelado no es más que límites en el rango de las variables de las que depende el modelo. Idealmente el espacio de modelado debe coincidir con el *espacio de diseño*<sup>2</sup>, pero esta consideración podría conducir a modelos de poca exactitud, esto debido a que en el modelado a partir de ajuste de datos, existe un compromiso entre la extensión del espacio de modelado y error del modelo, teniendo que a mayor extensión mayor error del modelo [23]. A partir de esto se deriva que el modelado podría llegar a ser particular para determinada topología de circuito e incluso para determinadas partes de circuito en una mis-

<sup>2</sup>El espacio de diseño consiste en todos los valores de las variables de diseño que satisfacen las especificaciones del circuito.

ma topología. De lo anterior se deduce que una adecuada selección del espacio de modelado requiere de un buen conocimiento de la topología de circuito a diseñar, esto para reconocer el espacio de diseño y poder establecer compromisos entre el espacio de modelado y el error del modelo.

Después de la selección del espacio de modelado, se seleccionan los puntos del espacio, sobre los cuales se ajustará el modelo, dichos puntos deben ser seleccionados de manera tal que abarquen las posibles regiones de interés de la variable a modelar. Finalmente, ya seleccionados los puntos se procede a realizar el ajuste del modelo. Es necesario resaltar que en el diseño a través de programación geométrica tanto la etapa de formulación como la etapa de modelado deben ser elaboradas después de un pleno conocimiento del circuito a diseñar, de lo contrario se tendrán modelos no adecuados y un diseño poco confiable.

### 3.1.1. Manejo de datos

En general, la aplicación de cualquier técnica de modelado descrita en este capítulo demanda el manejo de datos. A continuación se hace una descripción del procedimiento general que se sigue para la generación de modelos a partir de determinados puntos del espacio de modelado, en particular se define la matriz de datos  $A$  y el vector  $z$ .

1. La selección de los puntos para un espacio de modelado particular se lleva a cabo mediante la división del rango de cada variable en segmentos equidistantes, de dicha división se desprende una grilla como resultado de realizar todas las posibles combinaciones entre los puntos que determinan los segmentos en el rango de cada variable. Dicha grilla debería tener alrededor de 10000 puntos diferentes, esta cantidad de puntos se consideran más que suficiente [23], para abarcar minuciosamente el espacio de modelado. Todas las combinaciones de puntos se almacenan en una matriz  $A$ , donde cada fila es un punto que equivale a una única combinación de valores para las variables  $V_{GS}$ ,  $V_{DS}$ ,  $V_{SB}$ ,  $W$  y  $L$ . Teniendo en cuenta que se van a modelar transistores operando en saturación.
2. Reemplazar los valores de una fila de la matriz  $A$  en los valores de  $V_{GS}$ ,  $V_{DS}$ ,  $V_{SB}$ ,  $W$  y  $L$  de la configuración del transistor a modelar. La descripción del circuito se hace en un archivo de simulación de *Hspice*, se simula el circuito y se obtiene el dato deseado ( $g_m$ ,  $g_{ds}$ ,  $I_D$ , etc.) que posteriormente se almacena como un elemento del vector  $z$ . Este proceso se repite para todos los puntos que representan el espacio de modelado, es decir, hasta reemplazar todas las filas de la matriz  $A$  en el circuito a modelar. Finalmente se tendrá un vector  $z$  de longitud igual a la matriz  $A$ . Una forma efectiva de realizar estas simulaciones en *Hspice*, es usando la declaración “.DATA” que permite adquirir los datos de  $A$ , almacenados previamente en un archivo de texto, y realizar más de 10000 simulaciones DC. El proceso anterior tomó menos de 5 segundos en un computador de escritorio estándar, con procesador *Intel* x86-2GHz, 512MB RAM, operando bajo *Linux*.

3. Aplicar la técnica de ajuste seleccionada, para encontrar las incógnitas del modelo que produzca el mejor ajuste entre los datos de la matriz  $\mathbf{A}$  y los resultados del vector  $\mathbf{z}$ . Las técnicas de ajuste utilizadas en este proyecto requieren la solución de algún problema de optimización, entre los usados en este capítulo están: optimización lineal, optimización cuadrática y optimización no-lineal no-convexa.

### 3.1.2. Ajuste lineal

Uno de los modelos básicos de ajuste son las funciones lineales, éste tipo de modelo se puede obtener resolviendo un problema de minimización de la norma. El problema típico de aproximación de norma, es un problema sin restricciones de la forma:

$$\text{minimizar } \|Ax - b\|$$

donde los datos del problema son  $A \in \mathbf{R}^{m \times n}$  y  $b \in \mathbf{R}^m$ ;  $x \in \mathbf{R}^n$  es la variable, y  $\|\cdot\|$  es una norma en  $\mathbf{R}^m$ . Una solución del problema de aproximación de la norma es llamado en algunas ocasiones *solución aproximada de  $Ax \approx b$* . El vector  $r = Ax - b$  es llamado *residuo* del problema; sus componentes son residuos individuales asociados a la variable  $x$ .

Simultáneamente, existe una familia de normas parametrizadas por una constante  $p$  mayor o igual a 1. La norma- $\ell_p$  se define como:

$$\|Ax - b\|_p = (|r_1|^p + |r_2|^p + |r_3|^p + \cdots + |r_m|^p)^{1/p}$$

donde  $r_i$  para  $i = 1, \dots, m$  representan las componentes de  $r$ .

Es posible hacer el ajuste entre los datos de la matriz  $A$  y el vector  $b$  a través de una función lineal usando cualquier norma, sin embargo sólo se hace énfasis en dos casos particulares: el ajuste con norma- $\ell_2$  y el ajuste con norma- $\ell_\infty$ , esta selección se hizo considerando las características estadísticas que presentan estas normas, para mayor detalle se refiere al lector a [14].

#### Ajuste con norma- $\ell_2$ :

En este caso se minimiza el cuadrado de la norma- $\ell_2$ , con el fin de llevar el problema de ajuste de datos a un problema típico de aproximación de mínimos cuadrados, donde el objetivo es la suma del cuadrado de los residuos:

$$\text{minimizar } \|Ax - b\|_2^2 = |r_1|^2 + |r_2|^2 + |r_3|^2 + \cdots + |r_m|^2 \quad (3.3)$$

donde los datos del problema son  $A \in \mathbf{R}^{m \times n}$  y  $b \in \mathbf{R}^m$ ;  $x \in \mathbf{R}^n$  es la variable a optimizar. El problema (3.3) se puede solucionar analíticamente [14, §4.4], expresando la función objetivo

como:

$$f(x) = x^T A^T A x - 2b^T A x + b^T b \quad (3.4)$$

Teniendo en cuenta que  $A^T A$  es una matriz simétrica, un punto  $x$  minimiza la función (3.4) si y sólo si:

$$\nabla f(x) = 2A^T A x - 2b^T A x = 0 \quad (3.5)$$

Despejando  $x$  de (3.5) se tiene una única solución para el problema de ajuste (3.3), ésto siempre que el rango de  $A$  sea igual a  $n$ :

$$x = (A^T A)^{-1} A^T b$$

Cuando el rango de  $A$  es menor que  $n$  el  $x$  óptimo deja de ser único aunque el valor óptimo de (3.3) sea el mismo. Para este caso una solución para  $x$  está dada por:

$$x = A^T (A A^T)^{-1} b$$

El ajuste de norma- $\ell_2$  no implica la utilización de ningún método de optimización para hallar la solución del problema, pues ésta se obtiene analíticamente al realizar algunas operaciones entre el vector y la matriz que contienen los datos del problema.

### Ajuste con norma- $\ell_\infty$ :

El problema de minimizar la norma infinita es conocido como *problema de aproximación de Chebyshev*, en este tipo de problema se busca minimizar el máximo error. En otras palabras se busca el valor de  $x$  que minimice el máximo residuo o elemento del vector  $r = Ax - b$  (en valor absoluto):

$$\text{minimizar } \|Ax - b\|_\infty = \text{minimizar } \max\{|r_1|, |r_2|, \dots, |r_m|\} \quad (3.6)$$

Este problema de aproximación puede ser reformulado como un problema de optimización lineal:<sup>3</sup>

$$\begin{aligned} &\text{minimizar} && t \\ &\text{sujeto a} && -t\mathbf{1} \preceq Ax - b \preceq t\mathbf{1} \end{aligned} \quad (3.7)$$

con variables  $x \in \mathbf{R}^n$  y  $t \in \mathbf{R}$ . Este problema con  $2m$  restricciones lineales, puede ser resuelto usando cualquier paquete de software para solución de programas lineales, por ejemplo MOSEK cuenta con *solvers*<sup>4</sup> muy eficientes [17].

<sup>3</sup>Donde  $\mathbf{1}$  equivale al vector identidad de dimensión  $m$  y  $\preceq$  indica desigualdad entre vectores elemento a elemento.

<sup>4</sup>Algoritmos implementados que se encargan de la solución del problema de optimización.

## 3.2. Modelo de ajuste monomial

En la sección anterior se mostró la importancia, compromisos y requerimientos de la etapa de modelado, necesarios para el diseño de un circuito utilizando programación geométrica. Adicionalmente se hizo una introducción al problema de minimización de la norma, mostrando los problemas de optimización resultantes cuando se minimiza en particular la norma- $\ell_2$  y la norma- $\ell_\infty$ . A partir de esta sección se estudiarán cuatro técnicas de modelado diferentes, se comenzará con el ajuste monomial, la técnica básica y una de las más importantes en la generación de modelos compatibles con programación geométrica.

### 3.2.1. Formulación y solución del problema

La función básica compatible con un PG es el monomio, por tanto es lógico pensar en usar monomios para modelar parámetros del transistor. El problema de ajuste monomial se reduce a encontrar los exponentes y el coeficiente, de manera tal que al evaluar el monomio respecto a ciertas variables básicas, se obtenga un comportamiento aproximado al que determina el modelo *BSIM3v3*.

En (3.8) se muestra un ejemplo de modelo para el ajuste monomial, se observa que las variables que integran al monomio consisten en las variables de polarización,  $I_D$ ,  $V_{DS}$  y en las variables geométricas  $W$  y  $L$ . Las variables a ajustar del modelo corresponden a  $k$ ,  $a_1$ ,  $a_2$ ,  $a_3$  y  $a_4$ , en este ejemplo  $f$  podría ser el modelo para  $V_{GS}$ ,  $g_m$ ,  $g_{ds}$ , etc.

$$f = kI_D^{a_1}V_{DS}^{a_2}W^{a_3}L^{a_4} \quad (3.8)$$

Obtener modelos monomiales puede parecer una tarea compleja, porque implica el ajuste de una función no lineal; sin embargo este problema puede ser transformado en un problema de ajuste lineal, sobre el que se pueden aplicar las técnicas mencionadas en la sección 3.1.2. Tomando el logaritmo a ambos lados de (3.8) se obtiene:

$$\log f(I_D, V_{DS}, W, L) = \log k + a_1 \log I_D + a_2 \log V_{DS} + a_3 \log W + a_4 \log L \quad (3.9)$$

Definiendo  $a_0 = \log k$ , se puede escribir:

$$\log f(I_D, V_{DS}, W, L) = [1 \ \log I_D \ \log V_{DS} \ \log W \ \log L] \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix}$$

lo que resulta en una función lineal de los parámetros  $a_0, a_1, a_2, a_3, a_4$ . Nótese que en el modelo

de monomio (3.8) no se incluyó  $V_{SB}$  como variable, esto es común cuando no se tiene en cuenta o no existe efecto cuerpo. Si se tienen  $m$  muestras del espacio de modelado, que dieron origen en simulación al vector  $\mathbf{z}$  de longitud  $m$ , el problema consiste en encontrar los cinco elementos del vector  $a$ , tal que  $\log \mathbf{z} \approx \log f$ :

$$\begin{bmatrix} \log \mathbf{z}_1 \\ \vdots \\ \log \mathbf{z}_m \end{bmatrix} \approx \begin{bmatrix} \log f_1 \\ \vdots \\ \log f_m \end{bmatrix} = \begin{bmatrix} 1 & \log I_{D1} & \log V_{DS1} & \log W_1 & \log L_1 \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 1 & \log I_{Dm} & \log V_{DSm} & \log W_m & \log L_m \end{bmatrix} \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix} = Aa$$

Para encontrar el mejor valor de  $a$  se minimiza la norma- $\ell_p$  del error:

$$\text{minimizar } \|Aa - \log \mathbf{z}\|_p$$

donde  $A$  es la matriz que contiene el logaritmo de los puntos tomados para el modelado mas una columna de unos,  $a$  es el vector de incógnitas y  $\log \mathbf{z}$  es el vector de logaritmos de los datos obtenidos de simulaciones hechas usando el modelo *BSIM3v3*.

### 3.2.2. Aplicabilidad del modelo

El modelo monomial tiene varias ventajas significativas, entre otras están la facilidad y rapidez con que se obtiene el modelo y la garantía que se encuentra un óptimo global. Otra ventaja muy importante es que en un PG sólo los monomios pueden hacer parte de una restricción de tipo igualdad (muy comunes en el diseño de CI), por lo tanto siempre se harán necesarios los modelos de tipo monomio. Un resultado importante que se deriva de (3.9) es que en vez de ajustar un monomio a determinados datos, se ajusta una función lineal al logaritmo de los datos.

Por tanto, una forma de saber si utilizar un monomio como modelo de ciertos datos, es observar una gráfica de éstos sobre ejes logarítmicos, *i.e.*, una gráfica de  $\log z$  contra las columnas de  $A$  sin incluir la columna de unos, y a partir de dicha gráfica determinar si se tiene un comportamiento lineal. Si bien, esta técnica tiene sentido cuando  $A$  tiene máximo tres columnas, es decir, cuando se modela sobre dos variables, para  $A$  con más de tres columnas se puede graficar  $\log z$  contra combinaciones lineales de cualquiera dos columnas de  $A$ . Aunque de esta manera no se puede determinar con exactitud la linealidad de los datos, si se puede tener una idea.

### 3.2.3. Ejemplos

En la sección 3.2.1 se mostró que se puede generar un modelo de tipo monomio con facilidad, transformando el problema de ajuste con funciones tipo monomio, en un problema

de ajuste lineal sobre el logaritmo de los datos. Los métodos presentados (minimizar la norma- $\ell_\infty$  y la norma- $\ell_2$  al cuadrado) siempre encuentran la solución óptima global. El tiempo que toma encontrar la solución del problema es de tan sólo algunos segundos, usando alrededor de 10000 puntos como muestras del espacio a modelar. Esta sección presenta a manera de ejemplo el modelado de los parámetros: transconductancia  $g_m$ , transconductancia  $g_{ds}$  y la tensión  $V_{GS}$  para un transistor NMOS. El modelo a ajustar es el monomio de la expresión (3.8) y el espacio de modelado se define en la expresión (3.10) ( $V_{SB} = 0$ ):

$$\begin{aligned} 0.7V &\leq V_{GS} \leq 1.3V \\ V_{GS} - V_T &\leq V_{DS} \leq 1.5V \\ 1\mu m &\leq W \leq 20\mu m \\ 0.35\mu m &\leq L \leq 2\mu m \end{aligned} \quad (3.10)$$

Observando detenidamente el espacio de modelado (3.10) y la expresión del modelo monomial (3.8) se perciben dos posibles errores: se pretende modelar  $V_{GS}$  pero se define su rango en el espacio de modelado, además no se definieron rangos para  $I_D$  siendo ésta una variable del modelo. Si bien existe cierta anormalidad en el modelado de  $V_{GS}$  al definir sus rangos de variación en el espacio de modelado, no se está cometiendo un error, dado que con frecuencia en el diseño de circuitos analógicos se hace uso de tensiones de polarización aplicadas usualmente en la puerta de los transistores, por lo general dichas tensiones se especifican dentro de rangos, y demandan cierta precisión. Igualmente es común encontrar que en la conexión entre etapas de circuitos intervenga una tensión en la puerta de un transistor. Estas consideraciones muestran la importancia de modelar  $V_{GS}$  en rangos predefinidos con alta resolución y explican el por qué definir rangos de variación en el espacio de modelado. Por otro lado, es importante resaltar que no es posible polarizar un transistor imponiendo una corriente de dreno con ausencia de una tensión puerta-fuente, por ésto no tiene sentido proponer una simulación, para generar los datos de modelado, haciendo variar  $I_D$  para luego tomar datos de  $V_{GS}$  y de los demás parámetros a modelar. Ahora bien, cuando se expresan los modelos en función de  $I_D$  se busca tener coherencia con los tipos de variables encontradas en los modelos físicos de los parámetros del transistor.

Una vez seleccionado el espacio de modelado, se generaron 9600 puntos para las simulaciones en *Hspice*, el tiempo que toman las 9600 simulaciones está alrededor de los 4 segundos. Al resolver los problemas de optimización resultantes usando el ajuste de la norma- $\ell_\infty$  se obtienen los siguientes monomios:

$$\begin{aligned} V_{GS_{fit}} &= 5.0722I_D^{0.2177}V_{DS}^{-0.018}W^{-0.2171}L^{0.155} \\ g_{m_{fit}} &= 9.1048I_D^{0.3887}V_{DS}^{0.15}W^{0.622}L^{-0.5577} \\ g_{ds_{fit}} &= 3.5191I_D^{1.01}V_{DS}^{-1.7803}W^{0.0161}L^{-0.6769} \end{aligned} \quad (3.11)$$

La figura 3.1 muestra el comportamiento de  $I_D$ , predicho por el modelo de  $V_{GS}$  (3.11),

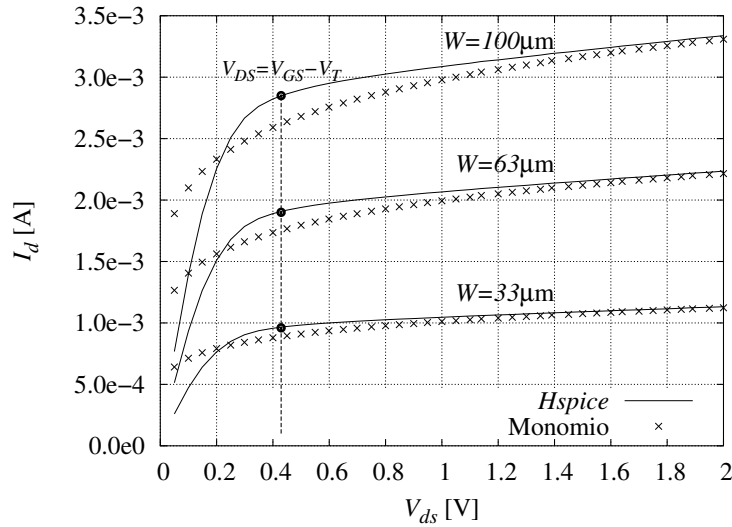


Figura 3.1: Corriente de drenaje contra tensión drenaje-fuente para diferentes valores de ancho del transistor.

Parámetro	Error promedio	Máximo error
$V_{GS}$	3.4 %	6.95 %
$g_m$	5.18 %	13.87 %
$g_{ds}$	77.84 %	222 %

Tabla 3.1: Errores de aproximación, norma infinita.

frente a variaciones de  $V_{DS}$  para  $L = 0.35\mu\text{m}$  y  $V_{GS} = 1\text{V}$ . Las curvas obtenidas se contrastan con los valores de corriente obtenidos mediante simulación. La mayor discrepancia entre el modelo encontrado y las simulaciones ocurre cuando  $V_{DS} = V_{GS} - V_T$ , el punto alrededor del cual el transistor pasa de triodo a saturación, no es fácil determinar con exactitud el valor de  $V_{DS}$  donde ocurre esta transición y de ahí la dificultad para modelar sobre esta región garantizando que el transistor esté saturado.

El error relativo del ajuste se halla evaluando cada punto en el monomio y comparándolo con el respectivo valor dado por la simulación.

$$\%e_i = 100 \times \frac{|f_{fit_i} - f_i|}{f_i}$$

donde  $f_{fit_i}$  es el resultado del monomio evaluado con los datos de la fila  $i$  de la matriz  $\mathbf{A}$ , y  $f_i$  es el dato  $i$  del vector  $\mathbf{z}$ . La tabla 3.1 muestra los errores de la aproximación obtenidos, el error en el modelado del parámetro  $g_{ds}$  hacen inaplicable éste modelo en un PG.

Con el propósito de percibir la incidencia de la norma utilizada en los errores del modelo, se replantea el ejemplo anterior utilizando la norma- $\ell_2$ . La expresión (3.12) y la tabla 3.2

Parámetro	Error promedio	Máximo error
$V_{GS}$	2.32 %	12.9 %
$g_m$	2.6 %	31.5 %
$g_{ds}$	28.13 %	160.9 %

Tabla 3.2: Errores de aproximación, mínimos cuadrados.

presentan los modelos y los errores obtenidos respectivamente.

$$\begin{aligned}
V_{GS,fit} &= 6.1006I_D^{0.2306}V_{DS}^{-0.0114}W^{-0.2304}L^{0.173} \\
g_{m,fit} &= 16.9827I_D^{0.4243}V_{DS}^{0.07459}W^{0.5843}L^{-0.5055} \\
g_{ds,fit} &= 0.3772I_D^{1.111}V_{DS}^{-2.1072}W^{-0.11587}L^{-0.7876}
\end{aligned} \tag{3.12}$$

De los resultados se observa que el ajuste por mínimos cuadrados ofrece un menor error promedio, pero el error máximo es generalmente mayor, al error máximo del ajuste con norma infinita. Esto se debe a que el ajuste por norma infinita pone más peso sobre los grandes errores, mientras que el método de mínimos cuadrados busca minimizar la sumatoria de errores dando menos importancia al error máximo [14]. Finalmente cabe mencionar que el error del modelo puede ser mayor cuando sea evaluado en algún punto que no fue usado como dato en la generación del modelo.

### 3.3. Modelo de ajuste posinomial

En la sección anterior se mostraron las funciones de tipo monomio como modelos de los parámetros del transistor. Los modelos de este tipo tienen ventajas importantes, sin embargo en un diseño vía programación geométrica, donde la veracidad de los resultados depende directamente de la exactitud de los modelos aplicados, el uso de modelos de tipo monomio se hace inaceptable cuando el error es considerable. Por supuesto en algunas ocasiones será imposible evitarlos (especialmente cuando hay restricciones igualdad), pero en lo posible se deben buscar alternativas que permitan mayor coherencia entre la optimización y el funcionamiento del circuito.

#### 3.3.1. Formulación y solución del problema

Otro grupo importante de funciones compatibles con PG son los posinomios, por tanto se cubre el ajuste de datos a funciones de este tipo. De nuevo a manera de presentación, se mostrará el planteamiento para un posinomio que depende de cuatro variables básicas  $I_D$ ,  $V_{DS}$ ,  $W$  y  $L$ ; el procedimiento sería el mismo si se quiere modelar un transistor considerando el efecto cuerpo.

Considerando el número de términos y variables en los modelos de gran exactitud como

*BSIM3v3*, pretender llegar a una exactitud comparable invita a pensar en posinomios con términos que incluyan todos los tipos de variables, polarización y tamaños, ésto buscando considerar todos los posibles efectos que puedan tener éstos en el parámetro a modelar. De esta manera, con el ajuste posinomial se busca ajustar a un conjunto de datos una ecuación de la forma:

$$f = \sum_{k=1}^K c_k I_D^{a_{1k}} V_{DS}^{a_{2k}} W^{a_{3k}} L^{a_{4k}} \quad (3.13)$$

donde  $K$  indica el número de monomios del posinomio, en adelante se le llamará *término* a cada monomio en (3.13). Es claro que este esquema de modelo no tiene significado físico en el parámetro a modelar, su selección se hace bajo la consideración que éste modelo pueda ser implementado en un PG.

Para realizar el ajuste de datos se minimiza la norma infinita del error entre el vector de datos obtenidos de simulación  $\mathbf{z}$ , y el vector  $f$  que resulta de evaluar los puntos en la función (3.13). Se selecciona la norma- $\ell_\infty$  ya que ésta da más relevancia a los errores máximos que la norma- $\ell_2$ . Ahora bien, minimizar el error máximo del modelo, tiene incidencia en el error máximo esperado en los resultados de la implementación de este modelo en el diseño de un circuito. De nuevo el problema de ajuste se basa en encontrar los coeficientes y los exponentes de cada uno de los monomios que forman a (3.13) de manera tal que se minimice el error máximo del modelo. Este problema no puede ser transformado en un problema de optimización convexa por tanto debe usarse programación no-lineal no-convexa para obtener modelos posinomiales [3]. El primer paso del ajuste, consiste en tomar el logaritmo natural y la exponencial a cada monomio, estas dos funciones al ser inversas se cancelan, pero permiten reescribir la función y garantizar que el coeficiente  $c_k$  de cada monomio será positivo:

$$f = \sum_{k=1}^K e^{(a_{1k} \log I_D + a_{2k} \log V_{DS} + a_{3k} \log W + a_{4k} \log L + b_k)} \quad (3.14)$$

donde  $b_k = \log c_k$ . Siguiendo el procedimiento se calcula el logaritmo a ambos lados de (3.14), de esta manera se obtiene una expresión para ajustar el logaritmo de la matriz de puntos que contiene las variaciones en las dimensiones básicas  $I_D$ ,  $V_{DS}$ ,  $V_{SB}$ ,  $W$  al logaritmo de los datos obtenidos en simulación (al igual que se hace en ajuste con monomios).

$$\log f = \log \sum_{k=1}^K e^{(a_{1k} \log I_D + a_{2k} \log V_{DS} + a_{3k} \log W + a_{4k} \log L + b_k)} \quad (3.15)$$

El modelo (3.15) ya no corresponde a una función posinomial, sino a la función *logaritmo de suma de exponenciales*, que es una función convexa [14] con dominio igual al logaritmo de las variables básicas. De hecho este tipo de función, equivale a la representación de un posinomio en un PG en su forma convexa §2.3.

Para minimizar la norma infinita del error en el ajuste de datos, se plantea el siguiente

problema de optimización no lineal:

$$\text{minimice } \max_{i=1,\dots,m} |\log(z_i) - \log(f_i)| \quad (3.16)$$

Si se tienen  $m$  muestras del espacio de modelado, que dieron origen en simulación al vector  $z$  de longitud  $m$ , y se está ajustando un posinomio de  $K$  monomios, el problema consiste en encontrar en (3.15) los  $4K$  elementos del vector  $a$  y los  $K$  elementos del vector  $b$ , tal que  $z \approx f$ .

El problema (3.16) se puede reescribir como:

$$\begin{aligned} &\text{minimizar} && u \\ &\text{sujeto a} && \log \mathbf{z}_i - \log \sum_{k=1}^K e^{(a_{1_k} \log I_{D_i} + a_{2_k} \log V_{DS_i} + a_{3_k} \log W_i + a_{4_k} \log L_i + b_k)} \leq u \quad i = 1, \dots, m \\ &&& \log \mathbf{z}_i - \log \sum_{k=1}^K e^{(a_{1_k} \log I_{D_i} + a_{2_k} \log V_{DS_i} + a_{3_k} \log W_i + a_{4_k} \log L_i + b_k)} \geq -u \quad i = 1, \dots, m \end{aligned} \quad (3.17)$$

donde  $u \in \mathbf{R}$ . A pesar que la función objetivo es una función lineal y las últimas  $m$  restricciones son compatibles con optimización convexa, el problema no es convexo porque las primeras  $m$  restricciones no son convexas [3]. De esta manera, la solución de (3.17) implica el uso de optimización no-lineal no-convexa y como se explicará en breve, esta es la gran desventaja del ajuste de datos a funciones de tipo posinomio. Los algoritmos para programación no lineal son más lentos que los usados en optimización convexa, además requieren de la especificación de funciones complejas como la matriz Jacobiana de todas las restricciones que deberá ser evaluada en cada iteración (normalmente esta matriz contiene mas de 300000 elementos para un posinomio de 4 términos). Debido a que el problema es no lineal, el óptimo local encontrado depende del punto de arranque. En (3.17) el problema tiene 21 incógnitas si  $K = 4$ , es decir, el punto de arranque es en realidad un vector de arranque de 21 elementos. No existe una forma clara de determinar un buen punto de arranque; lo mejor que se puede hacer, a pesar de la cantidad de tiempo que esto involucra, es optimizar con muchos vectores de arranque generados de forma aleatoria y seleccionar el mejor óptimo local alcanzado como solución del problema. Por supuesto puede darse que nunca se encuentre el óptimo global y si se encontrara nunca se sabría. Sin embargo bajo ciertas condiciones exploradas más adelante, siempre se encontrará un modelo con errores considerablemente menores a los errores alcanzados con funciones de tipo monomio.

### 3.3.2. Aplicabilidad del modelo

Los modelos posinomiales pueden modelar con alto grado de exactitud cualquier función cuya transformación logarítmica sea convexa [4]. Generalmente es complicado determinar cuando un conjunto de datos en función de diferentes variables tiene propiedades convexas, sin embargo existen técnicas útiles para confirmar o descartar convexidad [14]. Para el caso especial de una dimensión sólo es necesario graficar la función y comprobar que el trazo tenga

curvatura positiva; nótese que los datos en su transformación logarítmica deben ser convexos, no los datos originales. La metodología seguida en este trabajo no incluye hacer la prueba de convexidad, simplemente se ajustan los datos de los parámetros con modelos posinomiales y se analizan los resultados, en caso de que estos no sean satisfactorios se realiza un análisis de convexidad sólo para descartar error en la formulación del problema de optimización no lineal. En esta técnica de modelado la función que realmente se ajusta es la función convexa *logaritmo de suma de exponenciales* sobre el logaritmo de los datos. Siempre que los datos en su dominio logarítmico bosquejen funciones convexas, los resultados del modelo posinomial serán mejores a los resultados del modelo monomial. También es posible disminuir el error del modelo al aumentar el número de términos en el posinomio.

Mas allá de la necesidad de resolver un problema de programación no lineal, que en la práctica puede convertirse en un proceso tedioso, los modelos de este tipo son necesarios para representar mejor el comportamiento del transistor en el PG. Ya que los posinomios no pueden hacer parte de una restricción de tipo igualdad dentro de un PG, habrán casos donde no podrán aplicarse y se necesitarán los modelos monomiales, introduciendo errores considerables en el PG sin tener otra alternativa más que tolerarlos.

### 3.3.3. Ejemplos

Para los ejemplos de esta sección se modelan los parámetros  $g_m^{-1}$  y  $g_{ds}$  para un transistor PMOS, al igual que en la sección 3.2.3 se modelará sin tener en cuenta el efecto cuerpo, el espacio de modelado se describe en la expresión (3.18).

$$\begin{aligned}
 0.7V &\leq V_{GS} \leq 1.2V \\
 V_{GS} - V_T &\leq V_{DS} \leq 1.5V \\
 1\mu m &\leq W \leq 100\mu m \\
 0.35\mu m &\leq L \leq 2\mu m
 \end{aligned} \tag{3.18}$$

Con el propósito de simplificar la notación, en este trabajo los parámetros de los transistores PMOS están en magnitud (incluso  $V_T$ ), por tanto es indistinto escribir  $V_{GS}$  o  $V_{SG}$ .

Para el modelado de  $g_m^{-1}$  se utilizaron 6767 puntos, se usaron 25 vectores de arranque diferentes generados de manera aleatoria; los datos se ajustan con un posinomio de cuatro términos. El proceso de usar el software *TOMLAB* [16], para resolver el problema de optimización no lineal para 25 puntos de arranque diferentes, tomó cerca de una hora<sup>5</sup>; finalmente

---

<sup>5</sup>El tiempo depende de los puntos de arranque. Si el punto de arranque generado aleatoriamente no hace cumplir las restricciones, el software termina inmediatamente.

Modelo	Error máximo	Error promedio	Tiempo de cómputo
monomio	12 %	4.58 %	<5 segundos
posinomio	3 %	1.53 %	1 hora

Tabla 3.3: Comparación de modelos para  $g_m^{-1}$ .

se obtuvo el siguiente modelo:

$$\begin{aligned}
g_{m_{fit}}^{-1} = & 2.718281 I_D^{-0.88995} V_{DS}^{23.7262} W^{-0.033421} L^{-0.067904} + \\
& 403.428 I_D^{-0.80248} V_{DS}^{-0.18282} W^{-0.202156} L^{-0.332023} + \\
& 59874.142 I_D^{-0.255808} V_{DS}^{-0.32691} W^{-1.85696} L^{0.387456} + \\
& 8.866111 * 10^6 I_D^{-0.3060} V_{DS}^{0.26738} W^{-0.69339} L^{0.47024}
\end{aligned}$$

La tabla 3.3.3 presenta el error relativo obtenido del ajuste y una comparación con el ajuste monomial del mismo parámetro. El modelado de  $g_{ds}$  se hizo con los mismos 6767 puntos, para un posinomio de cuatro términos, sin embargo el error aún era muy alto, por lo que se decidió aumentar consecutivamente el número de términos en el modelo, teniendo en cuenta que con el uso de más de seis términos no se encontraba mejora del error, se decidió entonces utilizar un posinomio con seis términos. Como resultado del ajuste de datos se obtuvo el siguiente modelo:

$$\begin{aligned}
g_{ds_{fit}} = & 1.715264 * 10^{-17} I_D^{0.65131} V_{DS}^{0.19027} W^{0.358428} L^{-2.509187} + \\
& 1.006383 * 10^{-11} I_D^{2.347883} V_{DS}^{38.9953} W^{-1.293709} L^{1.07581} + \\
& 4.618535 * 10^{-1} I_D^{0.871431} V_{DS}^{0.807384} W^{0.7551467} L^{0.90259} + \\
& 5.723114 * 10^{-5} I_D^{1.175153} V_{DS}^{1.74506} W^{-0.18442} L^{-0.36315} + \\
& 2.294070 * 10^{-42} I_D^{2.416156} V_{DS}^{106.4034} W^{-1.438138} L^{1.0651} + \\
& \exp(69111.6) I_D^{-4552.7} V_{DS}^{0.704488} W^{13207.85} L^{0.206247}
\end{aligned}$$

En el posinomio que modela  $g_{ds}$ , el sexto término no puede ser implementado porque el valor  $\exp(69111.6)$  es incalculable, sin embargo un análisis del efecto de la exponencial que corresponde a este término sobre (3.15), muestra que el alto valor del exponente de  $W$  (13207.85) prácticamente anula este término. Así que simplemente se omite el sexto término y finalmente se tiene un modelo posinomial de 5 términos. La tabla 3.4 presenta los errores de modelado y la comparación con el correspondiente modelo monomial, además se muestra el error debido al modelo de cuatro términos para  $g_{ds}$ .

Con relación a los resultados presentados, es necesario hacer una consideración sobre el tiempo que toma encontrar el modelo posinomial. Como se ha mencionado, los puntos de arranque para el algoritmo que soluciona el programa no lineal son aleatorios, obviamente se

Modelo	Error máximo	Error promedio	Tiempo de cómputo
monomio	555 %	163 %	<5 segundos
posinomio 4 términos	24 %	12 %	1 hora
posinomio 5 términos	8.3 %	3.05 %	1.25 horas

Tabla 3.4: Comparación de modelos para  $g_{ds}$ .

busca que el punto de arranque esté dentro de rangos lógicos y no tome cualquier valor sin sentido. En [4] se da una recomendación sobre la selección de puntos de arranque. Al ser los puntos de arranque números aleatorios, podría ocurrir que con el primer punto de arranque, y en aproximadamente cinco minutos, se encontrará un modelo satisfactorio; los tiempos que se muestran en las tablas y son los tiempos utilizados en cada modelo, ejecutando el algoritmo con 25 puntos de arranque diferentes y tomando el mejor resultado.

En las secciones 3.2 y 3.3 se mostraron los modelos básicos para representar parámetros del transistor MOS en un PG. Se vio que mientras el logaritmo de los datos a modelar describa una función convexa, se podrán obtener modelos muy aproximados. Esto deja una incógnita final ¿Que sucede si se modela un parámetro cuya transformación logarítmica no cumple con las condiciones de convexidad? La respuesta desafortunadamente es que no se tendrá un buen modelo, y los resultados de la optimización podrían no tener validez, sin embargo este no es el caso predominante en el modelado de parámetros de transistor ( $V_{GS}$ ,  $g_{ds}$ ,  $g_m$ ) dentro del diseño de un CI.

### 3.3.4. Diseño de un amplificador fuente común usando monomios y posinomios como modelos

En esta sección se plantea a manera de ejemplo, el diseño del amplificador fuente común con carga activa de la figura 3.2 en tecnología AMS  $0.35\mu m$ . Se usarán funciones de tipo posinomial y monomial para modelar la tecnología. Este ejemplo aborda de manera muy detallada, con el fin de hacer claridad en varios aspectos prácticos del diseño vía programación geométrica.

Los parámetros de transistor que deben ser modelados están dados por los parámetros de desempeño del circuito. Se tendrán en cuenta la ganancia y el ancho de banda como restricciones, y se buscará minimizar la potencia de estado estable.

**Potencia (objetivo):**

$$P = V_{DD}I_{BIAS} + V_{DD}I_{M1}$$

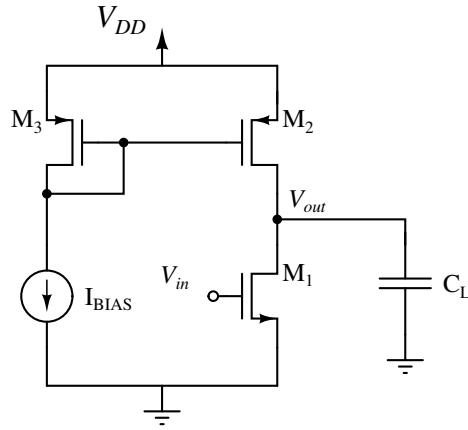


Figura 3.2: Configuración fuente común con carga activa.

**Ganancia:**

$$|Av| = g_{m1} \left( \frac{1}{g_{ds1} + g_{ds2}} \right) \quad (3.19)$$

$$Av_{min} * g_{m1}^{-1} (g_{ds1} + g_{ds2}) \leq 1 \quad (3.20)$$

**Ancho de banda:**

Se aproxima la respuesta en frecuencia del circuito, a un amplificador de un solo polo:

$$BW = \left( \frac{g_{ds1} + g_{ds2}}{C_L} \right) \quad (3.21)$$

Como se desea un ancho de banda mayor a un ancho de banda mínimo *i.e.*,  $BW \geq BW_{min}$ , esta restricción debería escribirse en un PG como:

$$BW_{min} * \left( \frac{C_L}{g_{ds1} + g_{ds2}} \right) \leq 1 \quad (3.22)$$

Sin embargo esta expresión no es un posinomio de las variables de diseño, de hecho es un posinomio inverso, que no es compatible como restricción en programación geométrica. El ancho de banda es uno de los parámetros de desempeño importantes en el diseño de un amplificador, desafortunadamente no puede representarse dentro del PG. Una alternativa es utilizar la frecuencia de ganancia unitaria como restricción del PG para la respuesta en frecuencia. La frecuencia de ganancia unitaria es igual al producto ganancia-ancho de banda, esto considerando que el circuito tiene un polo dominante y que a la frecuencia del segundo

Parámetro	Especificación
$W_{1,2,3}$	$\geq 0.6\mu\text{m}$
$L_{1,2,3}$	$\geq 0.35\mu\text{m}$
$W_{1,2,3}$	$\leq 100\mu\text{m}$
$L_{1,2,3}$	$\leq 2\mu\text{m}$
$I_{BIAS}$	$\geq 1\mu\text{A}$
$C_L$	10pF

Tabla 3.5: Espacio de modelado.

polo se tendrá una ganancia menor que uno.

$$\omega_0 = \left( \frac{g_{m1}}{C_L} \right) \quad (3.23)$$

De esta manera, se deriva la siguiente restricción para  $\omega_0 \leq \omega_{0min}$ ,

$$\omega_{0min} * g_{m1}^{-1} C_L \leq 1 \quad (3.24)$$

esta restricción tipo monomio sí puede ser implementada en un PG. Es necesario observar que al incluir una restricción para la frecuencia de ganancia unitaria, no se tiene control sobre el ancho de banda del circuito.

### Espejo de corriente

Los transistores  $M_3$  y  $M_2$  forman un espejo de corriente, que está dado por:

$$V_{GS2} = V_{GS3} \quad (3.25)$$

En la ecuación (3.25) existe una diferencia importante con respecto a la definición clásica de espejos de corriente que se hace con  $V_{OV2} = V_{OV3}$ . En un espejo de corriente los valores del voltaje de umbral  $V_T$  para cada transistor pueden variar, por tanto al incluir la relación  $V_{GS2} = V_{GS3}$  se tiene en cuenta posibles diferencias entre las tensiones de umbral. Por esta razón se modela  $V_{GS}$  y no  $V_{OV}$ . Otra consideración común entre transistores de un espejo de corriente, es tratar de disminuir efectos de *missmatch* propios de los procesos de fabricación, para esto se diseña de manera que las longitudes de canal de los transistores en el espejo de corriente sean iguales.

$$L_2 = L_3 \quad (3.26)$$

Parámetro	Modelos requeridos
Ganancia	$g_{m_1}^{-1}, g_{ds_1}, g_{ds_2}$
Frecuencia ganancia unitaria	$g_{m_1}^{-1}$
Espejo de corriente	$V_{GS_2}, V_{GS_3}$

Tabla 3.6: Modelos requeridos para el diseño.

### Rango de excursión:

En este circuito  $V_{DD} = 3V$ , por consiguiente para permitir máxima excursión de la señal de salida se diseña para que la tensión  $V_{out}$  en DC sea 1.5V. Con ésta consideración, se fija el valor de la variable de diseño  $V_{DS}$  en los transistores  $M_1, M_2$  a 1.5V y al no tener en cuenta variaciones del modelo en una dimensión, es posible incrementar la calidad del ajuste.

A partir de las expresiones que describen los parámetros de desempeño, se identifican los parámetros del transistor que deben ser modelados. Estos se resumen en la tabla 3.6.

### Modelos

A continuación se listan los modelos posinomiales<sup>6</sup> usados en el diseño, las regiones de modelado están determinadas por los límites en las variables de diseño presentados en la tabla 3.5. Las restricciones en los límites máximos en  $W_{1,2,3}$  y  $L_{1,2,3}$  están relacionadas básicamente con el área máxima proyectada para el circuito, ahora bien, es necesario resaltar que al poner éste tipo de restricciones se restringe considerablemente el espacio de diseño. Similarmente, las restricciones en las dimensiones mínimas del transistor, permitidas en la tecnología AMS 0.35 $\mu\text{m}$ , limitan los valores mínimos de  $W_{1,2,3}$  y  $L_{1,2,3}$ .

$$\begin{aligned}
 g_{m_1}^{-1} = & 2.242393 * 10^2 I_D^{0.087799} V_{DS}^{-0.15794} W^{-1.08683} L^{0.77708} + \\
 & 1.171832 * 10^2 I_D^{-0.556303} V_{DS}^{-0.56893} W^{-0.4439} L^{5.35535} + \\
 & 3.174929 * 10^{-6} I_D^{-0.15354} V_{DS}^{-0.8481} W^{-1.91274} L^{0.6289} + \\
 & 3.997718 * 10^{-2} I_D^{-0.92637} V_{DS}^{2.062481} W^{0.532770} L^{2.42991}
 \end{aligned}$$

$$\begin{aligned}
 g_{ds_1} = & 1.651779 * 10^2 I_D^{0.39439} V_{DS}^{-0.2892080} W^{0.61035} L^{0.739550} + \\
 & 1.435637 * 10^{-21} I_D^{0.56111} V_{DS}^{2.059085} W^{0.442267} L^{-3.1098} + \\
 & 2.696043 * 10^{-2} I_D^{-1.42036} V_{DS}^{0.411478} W^{0.573811} L^{4.48997} + \\
 & 2.275237 * 10^{-4} I_D^{1.100385} V_{DS}^{0.220415} W^{-0.1005} L^{-0.2185}
 \end{aligned}$$

<sup>6</sup>En los modelos se omiten los subíndices de las variables  $I_D, V_{DS}, W, L$ , sin embargo se aclara que los modelos del transistor  $n$  son función de  $I_{D_n}, V_{DS_n}, W_n, L_n$ .

Parámetro	Error promedio	Error máximo	Num. términos
$g_{m_1}^{-1}$	0.87 %	1.8 %	4
$g_{ds_1}$	2.18 %	5.2 %	4
$g_{ds_2}$	3.08 %	6.1 %	4
$V_{GS_1}$	1.78 %	3.6 %	1
$V_{GS_2}$	1.38 %	4.3 %	1
$V_{GS_3}$	1.21 %	3.6 %	1

Tabla 3.7: Errores de modelado.

$$\begin{aligned}
g_{ds_2} = & 1.667915 * 10^1 I_D^{1.29494} V_{DS}^{-29.8462} W^{-0.31095} L^{-0.37426} + \\
& 4.761059 * 10^{-19} I_D^{0.51719} V_{DS}^{-0.57569} W^{0.50039} L^{-2.8115} + \\
& 4.011141 * 10^{-30} I_D^{0.17275} V_{DS}^{-1.42495} W^{0.83393} L^{5.80731} + \\
& 2.225828 * 10^{12} I_D^{0.653504} V_{DS}^{11.58021} W^{1.149163} L^{2.48887}
\end{aligned}$$

Ya que la relación de espejos de corriente (3.25) implica una igualdad, los modelos para  $V_{GS_3}$  y  $V_{GS_2}$  deben ser monomios. El modelo del transistor  $M_3$  es especial, porque su tensión  $V_{GS} = V_{DS}$ , para obtenerlo se realizan las simulaciones utilizando un transistor conectado como diodo; en el modelo de este transistor desaparece la variable  $V_{DS}$ .

$$\begin{aligned}
V_{GS_2} &= 4.82626 I_D^{0.13766} V_{DS}^{0.63823} W^{-0.14622} L^{0.149312} \\
V_{GS_3} &= 5.01059 I_D^{0.136406} W^{-0.144963} L^{0.132853}
\end{aligned}$$

Finalmente se incluye el modelo de  $V_{GS_1}$ , de manera que en el PG exista una función que relacione la tensión  $V_{GS_1}$  con las demás variables de diseño del transistor 1.

$$V_{GS_1} = 3.87765 I_D^{0.1740} V_{DS}^{0.5495} W^{-0.1729} L^{0.14866}$$

La tabla 3.7 presenta los errores obtenidos en cada modelo.

El PG para este diseño tiene 11 variables (tabla 3.9), 17 restricciones de tipo desigualdad y 6 restricciones de tipo igualdad, se observa que las variables de diseño coinciden con la formulación hecha para este circuito en el capítulo 2. En los programas para programación geométrica es común que no se acepten restricciones de tipo igualdad dentro del formato del PG, por esto cada restricción igualdad se transforma en un par de restricciones desigualdad de la siguiente manera:  $a = b \Rightarrow a^{-1}b \leq 1, ab^{-1} \leq 1$ . En conclusión se tienen 29 restricciones de tipo desigualdad.

Después de haber identificado las variables y de tener las restricciones del diseño escritas como posinomios se construye el archivo de optimización en el formato determinado por MOSEK, este es un paso clave del diseño donde se maneja un archivo de texto con cientos de líneas de datos; un pequeño error en este archivo hace que todo el problema quede mal planteado. El

Parámetro	Especificación
Ganancia [V/V]	$\geq 100$
Potencia [W]	<i>Minimizar</i>
Frecuencia de ganancia unitaria [Mrad/s]	$\geq 100$
$V_{OUT}$ (DC) [V]	1.5

Tabla 3.8: Especificaciones.

Variables de diseño	PG
$I_{BIAS}$	$1\mu\text{A}$
$I_{M1}$	$102.44\mu\text{A}$
$V_{GS1}$	$750\text{mV}$
$V_{GS2}$	$956.68\text{mV}$
$V_{GS3}$	$956.68\text{mV}$
$W_1$	$17.042\mu\text{m}$
$W_2$	$100\mu\text{m}$
$W_3$	$1.236\mu\text{m}$
$L_1$	$0.471\mu\text{m}$
$L_2$	$2\mu\text{m}$
$L_3$	$2\mu\text{m}$

Tabla 3.9: Resultados.

archivo de optimización para este ejemplo contiene cerca de 450 líneas donde se incluyen el número de restricciones, el número de total de términos, el número de variables, los coeficientes de cada término y los exponentes de cada variable en cada término. En este diseño se tienen en total 65 términos y 230 exponentes. Nótese que la restricción (3.20) aporta 36 términos y 180 exponentes.

### Resultados:

Se plantea un diseño que cumpla con las especificaciones presentadas en la tabla 3.8. La solución del problema de diseño se resume en la tabla 3.9, las tablas 3.10 y 3.11 muestran la comparación entre los resultados de la simulación en *Hspice* (usando modelos de nivel 49) y los resultados del programa geométrico.

En la tabla 3.11 se observa un error considerable en  $g_{ds2}$ , causado por la sensibilidad de este parámetro a variaciones en la tensión  $V_{DS}$ . Debido a la alta ganancia y a imperfecciones en los modelos, la tensión  $V_{DS}$  no resulta igual a 1.5V en la verificación de los resultados del PG. Para disminuir el error del circuito en general, se debe modificar levemente la tensión de entrada hasta obtener 1.5V a la salida; este paso de ajuste posterior a la optimización

Parámetro del circuito	PG	<i>Hspice</i> (nivel 49)	Error
Ganancia [V/V]	100	89.547	10.5 %
Potencia [ $\mu$ W]	310.33	317.75	2.4 %
Frecuencia de ganancia unitaria [Mrad/s]	100	99.27	0.73 %
$V_{OUT}$ (DC) [V]	1.5	2.1614	44 %

Tabla 3.10: Comparación de parámetros de circuito.

Parámetro del transistor	PG	<i>Hspice</i> (nivel 49)	Error
$g_{m_1}^{-1}$ [V/A]	1000	976.18	2.4 %
$g_{ds_1}$ [ $\mu\Omega^{-1}$ ]	7.8845	8.1810	3.7 %
$g_{ds_2}$ [ $\mu\Omega^{-1}$ ]	2.1155	3.2487	54 %
$I_{M_1}$ [ $\mu$ A]	102.44	104.92	2.4 %

Tabla 3.11: Comparación de parámetros de transistor.

Parámetro del circuito	PG	<i>Hspice</i> (nivel 49)	Error
Ganancia [V/V]	100	96.18	3.8 %
Potencia [ $\mu$ W]	310.33	322.97	4.1 %
Frecuencia de ganancia unitaria [Mrad/s]	100	102.29	2.3 %
$V_{OUT}$ (DC) [V]	1.5	1.501	-

Tabla 3.12: Comparación de parámetros de circuito, una vez que  $V_{OUT} = 1.5$ .

Parámetro del transistor	PG	<i>Hspice</i> (nivel 49)	Error
$g_{m_1}^{-1}$ [V/A]	1000	977.6	2.3 %
$g_{ds_1}$ [ $\mu\Omega^{-1}$ ]	7.8845	8.4784	7 %
$g_{ds_2}$ [ $\mu\Omega^{-1}$ ]	2.1155	2.1568	1.9 %
$I_{M_1}$ [ $\mu$ A]	102.44	106.656	3.9 %

Tabla 3.13: Comparación de parámetros de transistor, una vez que  $V_{OUT} = 1.5$ .

siempre será necesario en diseños por programación geométrica. En este caso se cambió  $V_{GS_1}$  de 0.75V a 0.757V; aunque la variación es mínima, es suficiente para que  $V_{out}$  pase de 2.1614 a 1.5V. Después de esta corrección se obtienen los resultados finales del diseño, mostrados en las tablas 3.12 y 3.13.

Como se puede observar en las tablas de resultados, el diseño final no supera el 4.1 % de error en cualquiera de las especificaciones, este resultado demuestra la calidad del diseño alcanzado. A pesar del pequeño error global, la especificación de ganancia no se cumplió; respecto a esto se tienen dos alternativas: la primera es rediseñar poniendo en el PG un valor para la especificación de ganancia un poco mayor a 100; la segunda opción es aprovechar los resultados obtenidos del primer diseño para reducir considerablemente el espacio de modelado, en la medida que este espacio se reduzca serán más exactos los modelos para los parámetros de transistor.

Este ejemplo contempla toda la metodología de diseño de circuitos integrados usando programación geométrica. Se ha alcanzado un resultado bastante satisfactorio en el diseño del amplificador fuente común con carga activa, donde ninguno de los parámetros de circuito superó el 4.1 % de error entre el resultado de optimización y verificación en *Hspice*. Tomaría sólo algunos minutos realizar un nuevo diseño, con diferentes valores para las especificaciones tenidas en cuenta en este circuito, dado que sólo se requiere cambiar el valor de algunos coeficientes en el archivo de optimización que ya se construyó; esto representa una gran ventaja sobre el diseño clásico, sin embargo la ventaja más grande es que este diseño es el óptimo global, o en otras palabras el mejor diseño posible, por supuesto tolerando el margen de error inherente en los modelos.

### 3.4. Aplicación de interpolación convexa: modelos-*pwl*

En esta sección se presenta un resumen de las ideas y conceptos básicos necesarios para la generación de modelos-*pwl*<sup>7</sup>. En ningún momento se pretende dar una presentación formal de los temas, para mayor información consultar [14, 22, 23].

En la sección §3.2 se mostró que después de tomar el logaritmo de los datos, el ajuste monomial puede ser reemplazado por un ajuste lineal, ésto debido a que bajo la transformación logarítmica, un monomio es una función lineal. De esta forma si  $(x_i, w_i)$  son muestras del espacio de modelado, encontrando la mejor función lineal que se ajusta a  $(\log(x_i), \log(w_i))$  se obtiene el mejor monomio que se ajusta a  $(x_i, w_i)$ .

Se iniciará esta sección con la siguiente idea: el ajuste realizado por una función lineal puede ser mejorado, o igualado en el peor de los casos, con el ajuste de una función lineal por piezas. Para que esta idea pueda ser implementada es necesario responder los siguientes cuestionamientos:

- ¿Cuántos términos debe tener la función lineal por partes?
- ¿Cómo encontrar el mejor ajuste de una función lineal por partes a determinados datos?
- Encontrar la función lineal por partes que mejor se ajusta a  $(\log(x_i), \log(w_i))$ , es decir al logaritmo de las muestras del espacio de modelado, sugiere encontrar la función  $f$

<sup>7</sup>Por sus siglas en ingles *pwl*: *piece-wise linear*, en español *lineal por partes*.

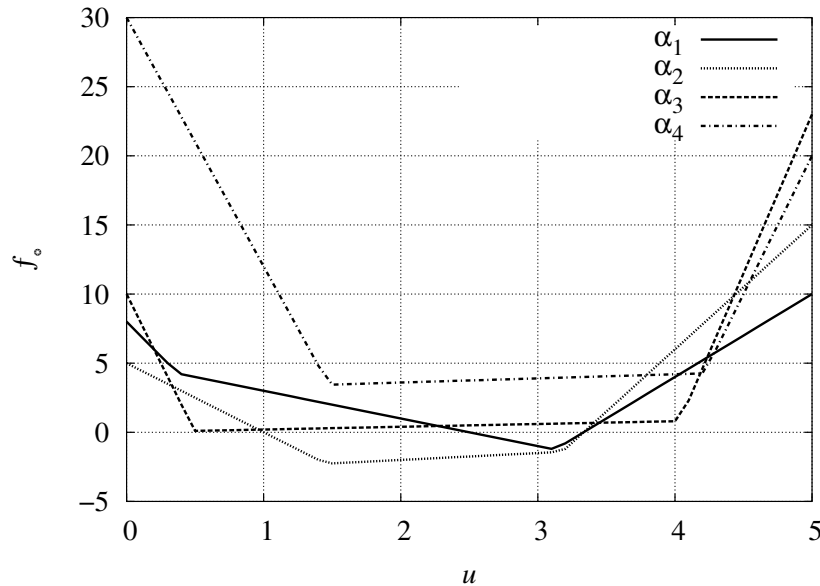


Figura 3.3: Funciones *max-afin* pertenecientes a la familia  $\mathcal{F}_{ma}^3$ .

que mejor se ajusta a  $(x_i, w_i)$ , pero ¿Qué forma tiene  $f$ ? ¿Cómo se puede obtener  $f$  a partir de la función lineal por partes encontrada inicialmente? ¿Se puede implementar  $f$  en un PG?

Este trabajo se centra en un tipo especial de funciones lineales por piezas conocidas como funciones *max-afin*, dichas funciones que tienen la especial característica de ser convexas, son la base con la cual se dará respuesta a los interrogantes antes planteados. A continuación se presenta la definición de funciones *max-afin* y con ésto la respuesta al tercer cuestionamiento planteado.

### 3.4.1. Funciones max-afin

Sea  $f : \mathbf{R}^n \rightarrow \mathbf{R}$  una función *max-afin*, entonces  $f$  puede ser representada como:

$$f(u) = \max \{g_1^T u + b_1, \dots, g_k^T u + b_k\} \quad (3.27)$$

donde  $u \in \mathbf{R}^n$ ,  $g_i \in \mathbf{R}^n$  y  $b_i \in \mathbf{R}$  para  $i = 1, \dots, k$ . En esta definición  $g_i$  es un vector de constantes y  $b_i$  es un escalar. Así mismo,  $f$  es función de la variable  $u$  y  $g_i^T u$  representa el producto punto entre el vector  $g_i$  y el vector  $u$ . Los términos de la forma  $g_i^T u + b_i$ , para  $i = 1, \dots, k$ , son funciones afines<sup>8</sup> de la variable  $u$ . Finalmente,  $k$  representa el número de términos de la función *max-afin*. Cualquier función convexa-*pwl* en  $\mathbf{R}^n$  puede ser expresada como una función *max-afin* para algún valor de  $k$ , de esta manera (3.27) es en un sentido una representación universal [22]. La representación de una función convexa-*pwl* como una

<sup>8</sup>Una función  $f : \mathbf{R}^n \rightarrow \mathbf{R}$  es afín si se compone de la suma de una función lineal y una constante [14].

función *max-afin* es conveniente a la hora de involucrar la función *pwl* en formulaciones o análisis matemáticos. Se define ahora a  $\mathcal{F}_{ma}^k$  como el conjunto de funciones *max-afin* en  $\mathbf{R}^n$  parametrizada por el vector de coeficientes:

$$\alpha = (g_1, \dots, g_k, b_1, \dots, b_k) \in \mathbf{R}^{k(n+1)} \quad (3.28)$$

En la figura 3.3 se observan cuatro funciones de la familia  $\mathcal{F}_{ma}^3$  en  $\mathbf{R}$ , cada función es el resultado de evaluar (3.27) con  $k = 3$  para cuatro vectores  $\alpha$  diferentes.

### Relación con programación geométrica

Con la definición de función *max-afin* dada en (3.27) se puede tener una idea de la representación matemática de los modelos que se obtendrán en esta sección. Para ilustrar esta idea se recuerda que con la transformación logarítmica un monomio es una función afin. Sea  $g : \mathbf{R}^n \rightarrow \mathbf{R}$  un monomio de la forma:

$$g(x) = cx_1^{\alpha_1} \cdots x_n^{\alpha_n} \quad (3.29)$$

La transformación logarítmica de  $g$  implica realizar los cambios de variables  $x_i = e^{u_i}$  para  $i = 1, \dots, n$  y  $c = e^b$ . Para seguidamente tomar el logaritmo de la función  $g$  en función de las nuevas variables. Después de un poco de álgebra se tiene:

$$cx_1^{\alpha_1} \cdots x_n^{\alpha_n} \xrightarrow[\text{Log}]{\text{Trans}} g^T u + b \quad (3.30)$$

donde  $g = (\alpha_1, \dots, \alpha_n)$ . A partir de la equivalencia que ilustra (3.30), es lógico pensar que una función *max-afin* debe ser el resultado de aplicar la transformación logarítmica a una función máximo de monomios, esto es una función *max-mon*. Esto hecho se demuestra a continuación: Sea  $z : \mathbf{R}^n \rightarrow \mathbf{R}$  una función *max-mon* de la forma:

$$z(x_1, \dots, x_n) = \max_{i=1, \dots, k} (c_i x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}}) \quad (3.31)$$

con la transformación logarítmica se tiene  $x_i = e^{u_i}$  para  $i = 1, \dots, n$  y  $c_i = e^{b_i}$  para  $i = 1, \dots, k$  y (3.31) se convierte en:

$$\begin{aligned} z(e^{u_1}, \dots, e^{u_n}) &= \max_{i=1, \dots, k} (e^{b_i} e^{u_1 \alpha_{1i}} \cdots e^{u_n \alpha_{ni}}) \\ &= \max_{i=1, \dots, k} (e^{(u_1 \alpha_{1i} + u_n \alpha_{ni} + b_i)}) \\ &= \max_{i=1, \dots, k} (e^{(g_i^T u + b_i)}) \end{aligned} \quad (3.32)$$

donde  $g_i = (\alpha_{1i}, \dots, \alpha_{ni})$  para  $i = 1, \dots, k$  son los exponentes de cada uno de los monomios en (3.31) y  $u = (u_1, \dots, u_n)$  las variables de éstos. Finalmente se toma el logaritmo teniendo

como resultado:

$$\begin{aligned} \log(z(e^{u_1}, \dots, e^{u_n})) &= \log\left(\max_{i=1, \dots, k} (e^{(g_i^T u + b_i)})\right) \\ &= \max_{i=1, \dots, k} (\log(e^{(g_i^T u + b_i)})) \\ &= \max_{i=1, \dots, k} (g_i^T u + b_i) \end{aligned} \quad (3.33)$$

Un análisis similar permite transformar la función *max-afin*  $f$  en una función *max-mon*  $z$ , para esto se utilizan cambios de variable inversos a los que se hacen en la transformación logarítmica. De esta manera se tiene  $u_i = \log(x_i)$  para  $i = 1, \dots, n$  y  $b_i = \log(c_i)$  para  $i = 1, \dots, k$  finalmente se toma la exponencial de la función resultante. Con esto queda demostrado que:

$$\max_{i=1, \dots, k} (c_i x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}}) \xrightarrow[\text{Log}]{\text{Trans}} \max_{i=1, \dots, k} (g_i^T u + b_i) \quad (3.34)$$

$$\max_{i=1, \dots, k} (g_i^T u + b_i) \xrightarrow[\text{Inv-Log}]{\text{Trans}} \max_{i=1, \dots, k} (c_i x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}}) \quad (3.35)$$

Ahora bien, al tener que una función *max-mon* es llevada a una función convexa con la transformación logarítmica, existe la posibilidad que una función *max-mon* pueda hacer parte de un PG<sup>9</sup>. Se tiene entonces que el problema consiste en representar una función *max-mon* a través de funciones posinomios o monomios. En efecto esto es posible aplicando un pequeño truco [4], [23]:

Se tiene la siguiente desigualdad:

$$f_1(x_1, \dots, x_n) \max_{i=1, \dots, k} (c_i x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}}) + f_2(x_1, \dots, x_n) \leq 1 \quad (3.36)$$

donde  $f_1$  y  $f_2$  son posinomios. La desigualdad (3.36) no es una desigualdad posinomio<sup>10</sup> e inicialmente no puede ser implementada en un PG. Para que pueda ser implementada se introduce la una nueva variable  $t$  y  $k$  nuevas desigualdades de la siguiente forma:

$$\begin{aligned} f_1(x_1, \dots, x_n)t + f_2(x_1, \dots, x_n) &\leq 1 \\ c_1 x_1^{\alpha_{11}} \cdots x_n^{\alpha_{n1}} &\leq t \\ &\vdots \\ c_k x_k^{\alpha_{1k}} \cdots x_n^{\alpha_{nk}} &\leq t \end{aligned} \quad (3.37)$$

Ahora bien, para ser implementada en un PG, una función *max-mon* debe cumplir las mismas reglas que debe cumplir un posinomio. Por consiguiente una función *max-mon* no puede estar

<sup>9</sup>En §2.3 se mostró que un PG puede ser transformado a un problema de optimización convexa porque bajo la transformación logarítmica un posinomio es una función convexa y un monomio es una función afín, que también es una función convexa [14].

<sup>10</sup>Al menos que en la función *max-mon* exista un monomio  $i$  tal que  $c_i x_1 \cdots x_n \geq c_j x_j \cdots x_n$  para  $j = 1, \dots, k$

en una restricción igualdad ni tampoco como denominador de un posinomio o monomio en una desigualdad. Los ejemplos a continuación ilustran dos ejemplos donde una función *max-mon* no puede ser implementada en un PG

$$\frac{f_1(x_1, \dots, x_n) + f_2(x_1, \dots, x_n)}{\max_{i=1, \dots, k} (x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}})} \leq 1$$

$$\max_{i=1, \dots, k} (x_1^{\alpha_{1i}} \cdots x_n^{\alpha_{ni}}) = 1 \quad (3.38)$$

Como conclusión de este apartado, se tienen tres aspectos importantes que permiten obtener modelos compatibles con programación geométrica a partir de funciones lineales por partes convexas:

- Una función convexa-*pwl* puede ser representada como una función max-afin.
- La transformación logarítmica de una función max-mon es una función max-afin.
- Una función max-mon puede ser implementada en un PG en su forma estándar.

### 3.4.2. Ajuste de una función max-afin a un conjunto de datos: descripción matemática del problema

El problema consiste en ajustar una función convexa-*pwl* a un conjunto de datos de la forma:

$$(\log(x_1), \log(w_1)), \dots, (\log(x_m), \log(w_m)) = (u_1, y_1), \dots, (u_m, y_m) \in \mathbf{R}^n \times \mathbf{R} \quad (3.39)$$

donde  $m$  es el número de puntos,  $x_i \in \mathbf{R}^n$ ,  $y_i \in \mathbf{R}$  para  $i = 1, \dots, m$  son muestras del espacio de modelado y  $(u_i, y_i)$  para  $i = 1, \dots, m$  corresponden al logaritmo de dichas muestras. Observe que  $x_i$  puede ser un vector con que contiene los valores  $I_D$ ,  $W$ ,  $L$ ,  $V_{DS}$  de un transistor y  $y_i$  el valor de transconductancia  $g_{ds}$  respectivo, en este caso se buscaría generar un modelo de  $g_{ds}$  en función de las variables  $I_D$ ,  $W$ ,  $L$ ,  $V_{DS}$ . La función convexa-*pwl*  $f : \mathbf{R}^n \rightarrow \mathbf{R}$  que se ajustará a (3.39) proviene de la familia de funciones  $\mathcal{F}$ , dicha familia corresponde a un conjunto de funciones convexas-*pwl*. Ahora bien, se seleccionará  $f$  de manera tal que minimice el error del ajuste de acuerdo a la norma-p. Lo anterior puede ser formulado como el siguiente problema de optimización:

$$\begin{aligned} &\text{minimizar} && \| f(u_i) - y_i \|_p, \quad i = 1, \dots, m \\ &\text{sujeto a} && f \in \mathcal{F} \end{aligned} \quad (3.40)$$

Seleccionando la norma-2 se tiene:

$$\begin{aligned} &\text{minimizar} && \sum_{i=1}^m (f(u_i) - y_i)^2 \\ &\text{sujeto a} && f \in \mathcal{F} \end{aligned} \quad (3.41)$$

con variable  $f$ . Con la solución de (3.41), se tendrá el mejor ajuste de una función convexa-*pwl*  $f$  al conjunto de datos (3.39), el número de partes de la función  $f$  estará determinado por la familia de funciones  $\mathcal{F}$ . Si la familia de funciones  $\mathcal{F}$  corresponde a todas las funciones afines, *i.e.*, lineales,  $g^T u + b$ , el problema (3.41) se reduce a un simple problema de mínimos cuadrados, teniendo una  $f$  óptima de la forma  $f(u) = g^T u + b$  que corresponde a una función convexa-*pwl* de una parte. Ahora bien, si el conjunto  $\mathcal{F}$  corresponde a todas las funciones convexas-*pwl* el problema se conoce como problema de ajuste convexo-*pwl* no-paramétrico. Un caso interesante se presenta cuando el conjunto de funciones  $\mathcal{F}$  corresponde al conjunto de funciones convexas max-afin (3.27) parametrizadas por  $\alpha$  (sección 3.4.4).

### 3.4.3. Solución no-paramétrico

El enfoque no-paramétrico del problema inicial (3.41) consiste en encontrar la función convexa-*pwl*  $f$  entre el conjunto de **todas** las funciones convexas-*pwl*  $\mathcal{F}$ . A partir de este enfoque se deriva el siguiente problema de optimización:

$$\begin{aligned} & \text{minimizar} && \sum_{i=1}^m (y_i - \hat{y}_i)^2 \\ & \text{sujeto a} && \hat{y}_j \geq \hat{y}_i + g_i^T (u_j - u_i), \quad i, j = 1, \dots, m \end{aligned} \quad (3.42)$$

donde  $\hat{y}_i \in \mathbf{R}$  y  $g_i^T \in \mathbf{R}^n$  para  $i = 1, \dots, m$ , corresponden a las variables de optimización. Tanto  $y_i \in \mathbf{R}$  como  $u_i \in \mathbf{R}^n$  para  $i = 1, \dots, m$ , hacen referencia al conjunto de datos en (3.39). Una presentación formal de (3.42) se encuentra en [14, §6.5.5],

El problema (3.42) básicamente busca encontrar el mejor ajuste de  $m$  términos de la forma  $\hat{y}_i + g_i^T (u - u_i)$  a los datos, nótese que dichos términos forman un plano en  $\mathbf{R}^n$ . Ahora bien, si los datos (3.39) provienen de una función convexa, el valor óptimo (o el error del ajuste) de (3.42) es cero, este resultado es de esperarse ya que se está buscando la mejor función convexa-*pwl* que se ajuste a los datos; cuando se presenta este caso se dice que los datos son interpolados por  $f$ . Si los datos en (3.39) no provienen de una función convexa (como es el caso de los datos obtenidos en este trabajo) el valor óptimo (o el error del ajuste) de (3.42) no será cero. En este caso el valor de las variables  $\hat{y}_i$  se ajustará de manera tal que se obtenga el menor error en el ajuste de acuerdo a la norma-2.

Como se mencionó en la sección (3.4.1) cualquier función convexa-*pwl* puede ser expresada como una función max-afin. De la solución de (3.42) se tendrá una función max-afin con  $m$  términos, entonces de acuerdo a (3.27) se tendrá  $k=m$ , sin embargo puede suceder que existan términos iguales. Se tiene entonces que el máximo número de términos de la función max-afin generada a partir de la solución de (3.42) es  $m$ .

La función max-afin obtenida a partir de la solución de (3.42) es

$$f(u) = \max \{ g_1^T u + \hat{y}_1 - g_1^T u_1, \dots, g_m^T u + \hat{y}_m - g_m^T u_m \} \quad (3.43)$$

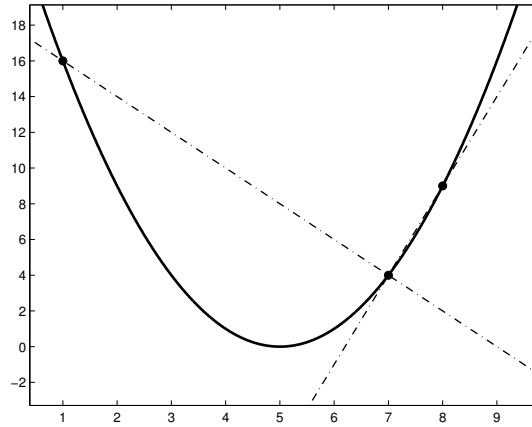


Figura 3.4: Ajuste de una función convexa-*pwl* a datos provenientes de una función convexa.

en relación a (3.27) se tiene que  $b_i = \hat{y}_i - g_i^T u_i$ .

La figura 3.4 muestra un ejemplo sencillo del ajuste de una función convexa-*pwl* a datos provenientes de una función convexa en  $\mathbf{R}$ , en este ejemplo los términos de la forma  $\hat{y} + g_i^T(u - u_i)$  forman líneas en  $\mathbf{R}$  que interpolan los puntos, *i.e.*, los interceptan. En este ejemplo el error del ajuste es cero y el número de términos diferentes de la función convexa-*pwl* es menor que el número de puntos. La figura 3.5 muestra el ejemplo del ajuste de una función convexa-*pwl* a datos provenientes de una función no convexa, se observa que los datos no son interpolados por la función, de esta manera el error del ajuste es mayor que cero.

El enfoque no-paramétrico del problema inicial (3.41) tiene dos desventajas potenciales. La primera es que el problema de optimización resultante (3.42) es bastante grande teniendo  $m^2 - m$  restricciones, de esta manera, este enfoque está limitado a modestos valores de  $m$  (de acuerdo a [22] y [23]  $m_{max} \simeq 1000$ ). La segunda desventaja es que la función  $f$  encontrada puede ser considerablemente compleja, con muchos términos (hasta  $m$ ). En [23] se propone un método para dar solución a las desventajas antes presentadas, dicho método plantea en esencia que no se necesita un término (o plano) en un punto cuando este es extrapolado por el término de un punto adyacente. La metodología propuesta en [23] comienza resolviendo el problema (3.42) para un subconjunto  $S_1$  de los datos iniciales (3.39), de esta manera se genera un modelo inicial  $f_1(u)$ . El modelo  $f_1$  es mejorado añadiendo al subconjunto  $S_1$  el punto que produce mayor error como resultado de la evaluación en  $f_1$  los datos iniciales (3.39). El proceso anterior se repite hasta encontrar un error aceptable. En este trabajo se le llama a esta técnica de modelado *pwl-jin* y los modelos generados a partir de esta se representan con el subíndice *pwl-jin*.

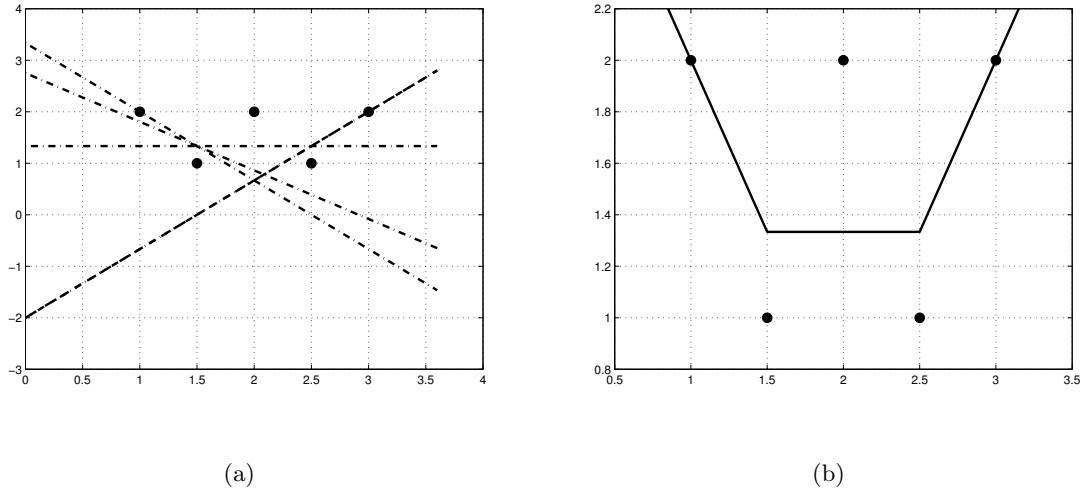


Figura 3.5: Ajuste de una función convexa-*pwl* a datos provenientes de una función no convexa. (a) Términos de la función convexa-*pwl*. (b) Función convexa-*pwl*.

### 3.4.4. Solución paramétrica

El enfoque paramétrico del problema (3.41) busca encontrar el mejor ajuste de una función convexa-*pwl*  $f$  a partir de la familia de funciones  $\mathcal{F}_{ma}^k$  definida en (3.28). A diferencia del enfoque no-paramétrico, el enfoque paramétrico de (3.41) permite una representación compacta de los datos, en el sentido de que el número de parámetros necesarios para describir  $f$  (*i.e.*,  $k(n+1)$ ) es considerablemente menor al número de datos (*i.e.*,  $m(n+1)$ ). El problema de optimización resultante cuando se tiene en cuenta  $\mathcal{F} = \mathcal{F}_{ma}^k$  en (3.41) es:

$$\text{minimizar } \sum_{i=1}^m \left( \max_{j=1, \dots, k} (g_j^T u_i + b_j) - y_i \right)^2 \quad (3.44)$$

con variables  $g_1, \dots, g_k \in \mathbf{R}^n$  y  $b_1, \dots, b_k \in \mathbf{R}$ . El problema (3.44) es un problema de optimización no-convexo. En [22] y [4] se presenta un algoritmo heurístico para resolver aproximadamente el problema (3.44). La idea de algoritmo consiste en realizar una partición de los datos y en cada parte hacer un ajuste de mínimos cuadrados de una función lineal de la forma  $g_i^T u + b_i$ , el máximo de estas funciones lineales determinarán el modelo. El número de partes de la partición determinará el valor máximo de  $k$  en (3.27), es decir determinará el número máximo de términos del modelo encontrado. El algoritmo propuesto comienza con una partición inicial de los datos y de esta partición se obtiene un modelo inicial, de acuerdo a dicho modelo se realiza una nueva partición de los datos. Es necesario tener en cuenta que la nueva partición de los datos en la siguiente iteración se hace a partir del modelo obtenido en la iteración pasada. La nueva partición se hace de la siguiente manera: con el modelo obtenido

de la iteración pasada se evalúan los datos iniciales (3.39). Con la evaluación de cada punto se tendrá un término del modelo activo, esto debido a que la imagen de cada dato estará dada por algún término del modelo. De esta manera, los puntos que activan a cada término del modelo constituirán a la nueva partición de los datos. Desde luego habrán términos que no serán activados por algún dato por consiguiente el número de partes del modelo puede disminuir por cada iteración. El algoritmo continuará su ejecución hasta que converge, dicha convergencia ocurrirá cuando una partición en una iteración es igual a la partición en la iteración anterior, o cuando el número máximo de iteraciones es alcanzada. El algoritmo puede ser descrito como [22]:

ALGORITMO LEAST-SQUARE PARTITION.

**dada** una partición  $P_1^{(0)}, \dots, P_k^{(0)}$  de  $\{1, \dots, m\}$  y un límite de iteraciones  $l_{max}$

**for**  $l = 0, \dots, l_{max}$

- » Calcular  $a_j^{(l+1)}$  y  $b_j^{(l+1)}$  .....Ajuste de mínimos-cuadrados.
- » Formar la partición  $P_1^{(l+1)}, \dots, P_k^{(l+1)}$  .....A partir de los términos activos.
- » Salir si  $P_j^{(l)} = P_j^{(l+1)}$  para  $j = 1, \dots, k$ .

En este trabajo se le llama a esta técnica de modelado *pwl-ale* y los modelos generados a partir de esta se representan con el subíndice *pwl\_ale*.

### 3.4.5. Aplicabilidad del modelo

Como se mencionó en la sección 3.4.3 y 3.4.4, la aplicación de las técnicas *pwl-jin* y *pwl-ale* involucran la implementación de un algoritmo particular. Ambos algoritmos tienen en común que en cada iteración se resuelve un problema de optimización. El tipo de problema de optimización varía de una técnica a otra. De esta manera el entorno de programación seleccionado para la implementación debe permitir la interacción con un optimizador. A continuación se resaltan algunos aspectos particulares que se obtuvieron como resultado de la implementación.

#### Modelo *pwl-jin*:

- No siempre con la siguiente iteración del algoritmo se tendrá un mejor ajuste de los datos, esto se debe a que la adición de un punto en la siguiente iteración garantiza el mejor ajuste a los datos en el subconjunto  $S_{l+1}$ , sin embargo el ajuste del resto de puntos puede verse degradado.
- Generalmente en cada iteración del algoritmo se mejora el error del ajuste, sin embargo dicha mejora del error en el dominio logarítmico necesariamente no se traduce en una

Modelo	Núm. términos	Err. máx.	Err. prom.	Puntos iniciales
<i>pwl-jin</i>	55	9.56 %	1.54 %	30
<i>pwl-ale</i>	8	13.26 %	0.96 %	8

Tabla 3.14: Resultados del modelado de *gds*.

mejora en el error del ajuste en el dominio real del problema. Esta es una consecuencia inherente al ajuste en el dominio logarítmico.

- Cuando se encuentra la función max-monomial equivalente a partir de la función max-afin (3.34) es posible tener valores de  $b_i/g_i$  que hacen que el valor de  $e^{b_i}$  o  $f_{lin}(x)$  sea no representable (*NaN*, *inf*, *sub-normal*<sup>11</sup>). Dos alternativas para superar estos inconvenientes son aplicar regularización<sup>12</sup> [14] o adicionar restricciones en los valores máximos y mínimos de las variables  $b_i/g_i$  en (3.42), la última alternativa aumentará la complejidad del problema (*i.e.*, número de restricciones).
- El algoritmo se implementó en *c++*, se utilizó MOSEK [17] como la herramienta de optimización para resolver los programas cuadráticos resultantes, *i.e.*, resolver (3.42) para un subconjunto de los datos.

### Modelo *pwl-ale*

- La implementación del algoritmo descrito en §3.4.4 para la solución de (3.44) se realizó en MATLAB.
- En cada iteración del algoritmo se resolverán  $k$  problemas de mínimos cuadrados, el valor de  $k$  dependerá del número de partes de la partición.
- Cada problema de mínimos cuadrados es solucionado utilizando MATLAB.

### 3.4.6. Ejemplo

Esta sección muestra la aplicación del ajuste de funciones convexas en el modelado de *gds* para un transistor PMOS saturado en el siguiente espacio de modelado:

$$\begin{aligned}
 0.75V &\leq V_{gs} \leq 1.15V \\
 1.5V &\leq V_{ds} \leq 1.5V \\
 1\mu m &\leq W \leq 100\mu m \\
 0.35\mu m &\leq L \leq 2\mu m
 \end{aligned} \tag{3.45}$$

<sup>11</sup>Valores tan pequeños que no pueden ser representado en un formato normalizado.

<sup>12</sup>Método común de escalarización.

Parámetro	Núm. términos	Err. máx.	Err. prom.	Puntos iniciales
$gds_1$	44	10.02 %	1.50 %	33
$gds_2$	55	9.56 %	1.54 %	30
$gm_1^{-1}$	155	2.56 %	0.43 %	30

Tabla 3.15: Modelos *pwl-jin*.

Se generaron 15 puntos para  $V_{gs}$ , 15 puntos para  $W$  y 40 puntos para  $L$ , finalmente se realizó una combinatoria de los puntos teniendo 9000 datos, es decir, se tienen 9000 diferentes valores de la variable independiente  $x$ . Para conocer el valor de transconductancia  $gds$  se realizan 9000 simulaciones de un transistor PMOS a partir de los datos generados (3.45); por cada simulación se debe garantizar que el transistor esté saturado. Después de tomar el logaritmo de los datos (3.45) y de los valores de  $gds$  medidos se generan los modelos a partir de la implementación de cada uno de los algoritmos. A continuación se hace una discusión sobre los modelos generados:

**Complejidad y precisión** Tanto para modelos *pwl-jin* como para modelos *pwl-ale* el número de términos será un factor decisivo en el compromiso complejidad-precisión, desde este punto el modelo *pwl-ale* ofrece una ventaja ya que a partir de un número de términos inicial el algoritmo tiende a reducir el número de términos. El modelo *pwl-jin* por el contrario para incrementar su precisión incrementa el número de términos, como consecuencia los modelos *pwl-jin* tendrán el mayor número de términos y por consiguiente mayor complejidad.

**Puntos de arranque** Los algoritmos descritos para las técnicas *pwl-jin* y *pwl-ale* encuentran óptimos locales<sup>13</sup>. Como se mencionó antes esta formulación tiene desventajas considerables, entre otras, la calidad de los modelos encontrados dependen del punto de arranque. En el caso del modelo *pwl-ale*, el punto de arranque está dado por la partición inicial, en la implementación del algoritmo dicha partición puede ser suministrada o permitir que sea seleccionada aleatoriamente. Cuando se selecciona la partición inicial aleatoriamente se realizan múltiples ejecuciones del algoritmo para luego escoger el mejor modelo. Para el caso de la técnica *pwl-jin* se observa que la selección del subconjunto inicial tiene incidencia en el número de términos del modelo para un error dado, de esta manera al igual que la técnica *pwl-ale*, es recomendable utilizar diferentes subconjuntos iniciales para luego escoger el mejor modelo. Es importante observar que en la técnica *pwl-jin* no importa cual se el conjunto inicial siempre se tendrá un comportamiento asintótico en el error, éste valor del error está dado por la solución de (3.42).

<sup>13</sup>Se puede obtener un modelo-*pwl* óptimo globalmente con la solución del problema (3.42)

Parámetro	Núm. términos	Err. máx.	Err. prom.	Puntos iniciales
$gds_1$	7	3.45 %	0.78 %	7
$gds_2$	8	13.26 %	0.96 %	8
$gm_1^{-1}$	2	4.22 %	0.69 %	5

Tabla 3.16: Modelos *pwl-ale*.

**Tiempo y precisión** Generalmente el tiempo utilizado por una iteración del algoritmo *pwl-ale* es considerablemente menor al tiempo utilizado en una iteración del algoritmo *pwl-jin*. Esto se debe al tipo de problema de optimización que se resuelve por iteración en cada algoritmo. Por esta razón, el algoritmo *pwl-jin* emplea mayor tiempo que el algoritmo *pwl-ale* en la generación de un modelo.

La tabla 3.14 muestra los resultados del modelado de  $gds$ . Para inicio del algoritmo *pwl-jin* se seleccionó un subconjunto inicial de 30 elementos, los elementos del subconjunto se seleccionaron aleatoriamente. De igual manera para el modelo *pwl-ale* se seleccionó una partición aleatoria de 8 partes. Como se esperaba el número de términos del modelo *pwl-jin* es mayor que el modelo *pwl-ale*, así mismo el tiempo utilizado. Se observa también en la tabla que el error promedio del modelo *pwl-ale* es menor y que el error máximo es mayor.

### 3.4.7. Diseño de un amplificador fuente común con modelos-*pwl*

El objetivo de esta sección es utilizar el diseño de un amplificador fuente común como validación de las técnicas de ajuste *pwl-jin* y *pwl-ale*. De esta manera se retoma el diseño del amplificador fuente común descrito en la sección §3.3.4 utilizando modelos convexos-*pwl* para los parámetros  $gds_1$ ,  $gds_2$  y  $gm_1$  modelados inicialmente con modelos posinomiales. La tabla 3.8 de la sección §3.3.4 resume las especificaciones de diseño.

#### Modelos:

Los modelos tipo monomio para  $Vgs_1$ ,  $Vgs_2$  y  $Vgs_3$  son los mismos utilizados en §3.3.4. Los parámetros  $gds_1$ ,  $gds_2$  y  $gm_1^{-1}$  modelados anteriormente como posinomios, se modelan utilizando tanto modelos *pwl-jin* como *pwl-ale*, el espacio de modelado es el mismo descrito en §3.3.4. Las tablas 3.15 y 3.16 resumen las características de los resultados obtenidos.

Aprovechando que el modelo *pwl-ale* de  $gm_1^{-1}$  solo tiene dos términos se muestra dicha función:

$$gm_{1,pwl-ale}^{-1} = \max\left\{ \begin{array}{l} 97.441920I^{-0.367899}W^{-0.633107}L^{0.551100}, \\ 152.767142I^{-0.435771}W^{-0.565160}L^{0.570329} \end{array} \right\} \quad (3.46)$$

VARIABLES DE DISEÑO	PG
$I_{BIAS}$	$1\mu A$
$I_{M1}$	$102.931\mu A$
$V_{gs1}$	$750mV$
$V_{gs2}$	$967.708mV$
$V_{gs3}$	$967.708mV$
$W_1$	$17.340\mu m$
$W_2$	$92.877\mu m$
$W_3$	$1.1420\mu m$
$L_1$	$0.478\mu m$
$L_2$	$2\mu m$
$L_3$	$2\mu m$
$V_{ds}$	$1.5V$

Tabla 3.17: Resultado óptimo con modelos *pwl-jin*.

## Resultados

Las tablas 3.17 y 3.20 muestran los valores de las variables de diseño obtenidas de la solución del programa geométrico utilizando modelos *pwl-jin* y *pwl-ale* respectivamente, se observa que exceptuando el valor de  $W_3$  los valores de las variables de diseño son similares; curiosamente el valor de  $L_2$  e  $I_{BIAS}$  para de ambas soluciones es el mismo. A partir del valor de  $I_{M1}$  se puede predecir que el diseño a partir de modelos *pwl-jin* tendrá menor consumo de potencia. Las tablas 3.18 y 3.21 resumen el desempeño de los diseños obtenidos, se observa bastante discrepancia entre el valor de  $V_{OUT}$  predicho por el PG ( $V_{out} = 1.5V$ ) y *Hspice* ( $V_{out} = 2.3206$ , *pwl-jin* y  $V_{out} = 2.2243$ , *pwl-ale*). Los valores predichos por el programa geométrico están sujetos a  $V_{out} = 1.5V$  de esta manera fue necesario ajustar el valor de  $V_{gs1}$  mostrado en las tablas 3.17 y 3.20 a  $V_{gs1} = 759.678mV$  para el diseño con modelos *pwl-jin* y  $V_{gs1} = 757.385mV$  para el diseño *pwl-ale*. Se observa que el valor óptimo de potencia, predicho por el PG y verificado por *Hspice*, es menor para el diseño a partir de modelos *pwl-jin* que para el diseño con modelos *pwl-ale*. Finalmente las tablas 3.19 y 3.22 muestran los valores de los parámetros del transistor predichos por el PG y los obtenidos con la verificación de *Hspice*.

Parámetro del circuito	Espec.	PG	Hspice (nivel 49)	Error
Potencia [ $\mu\text{W}$ ]	<i>Minimizar</i>	311.793	329.4354	5.36 %
Ganancia [V/V]	$\geq 100$	100	98.1685	1.87 %
Frec. de ganan. unit. [Mrad/s]	$\geq 100$	100	103.27	3.17 %
$V_{\text{OUT}}$ (DC) [V]	1.5	1.5	2.3206	35.4 %

Tabla 3.18: Desempeño final del circuito utilizando modelos *pwl-jin*.

Parámetro del transistor	PG	Hspice (nivel 49)	Error
$gm_1^{-1}$ [V/A]	1000	968.34	3.07 %
$gds_1$ [ $\mu\Omega^{-1}$ ]	7.9213	8.3010	4.57 %
$gds_2$ [ $\mu\Omega^{-1}$ ]	2.0786	2.2119	6.03 %
$I_{M1}$ [ $\mu\text{A}$ ]	102.93	108.8118	5.4 %

Tabla 3.19: Parámetros del transistor utilizando modelos *pwl-jin*

Variables de diseño	PG
$I_{BIAS}$	$1\mu\text{A}$
$I_{M1}$	$104.831\mu\text{A}$
$Vgs_1$	$750\text{mV}$
$Vgs_2$	$959.723\text{mV}$
$Vgs_3$	$959.723\text{mV}$
$W_1$	$17.846\mu\text{m}$
$W_2$	$100\mu\text{m}$
$W_3$	$1.209\mu\text{m}$
$L_1$	$0.484\mu\text{m}$
$L_2$	$2\mu\text{m}$
$L_3$	$2\mu\text{m}$
$Vds$	$1.5\text{V}$

Tabla 3.20: Resultado óptimo con modelos *pwl-ale*.

Parámetro del circuito	Espec.	PG	<i>Hspice</i> (nivel 49)	Error
Potencia [ $\mu\text{W}$ ]	<i>Minimizar</i>	317.4943	331.3908	4.19 %
Ganancia [V/V]	$\geq 100$	100	100.7525	0.75 %
Frec. ganan. unit. [Mrad/s]	$\geq 100$	104.47	104.47	4.28 %
$V_{\text{OUT}}$ (DC) [V]	1.5	1.5	2.2243	32.56 %

Tabla 3.21: Desempeño final del circuito utilizando modelos *pwl-ale*.

Parámetro del transistor	PG	<i>Hspice</i> (nivel 49)	Error
$gm_1^{-1}$ [V/A]	1000	957.21	4.47 %
$gds_1$ [ $\mu\Omega^{-1}$ ]	7.8892	8.1463	3.16 %
$gds_2$ [ $\mu\Omega^{-1}$ ]	2.1107	2.2158	2.14 %
$I_{M1}$ [ $\mu\text{A}$ ]	104.831	107.4585	2.44 %

Tabla 3.22: Parámetros del transistor utilizando modelos *pwl-ale*.



## Capítulo 4

# Programación geométrica en el diseño de amplificadores operacionales

En capítulos anteriores se mostró que bajo ciertas condiciones los parámetros de desempeño de un amplificador fuente común pueden ser compatibles con la forma estándar de un PG. En este capítulo se extiende ese argumento al diseño de amplificadores operacionales. Las topologías seleccionadas han sido estudiadas previamente por varios autores [24, 21], por lo que no se entra en detalle en aspectos a nivel de análisis de circuitos. Se considera que los op-amps diseñados en este trabajo sólo deben manejar cargas capacitivas *on-chip* de algunos picoFaradios, por lo que no requieren etapa de salida. Los diseños que se encuentran en este capítulo optimizan el consumo de potencia en estado estable, siguiendo así la tendencia de la industria por desarrollar circuitos integrados con bajos consumos de potencia, especialmente para aplicaciones portables.

Existen publicaciones como [8], [25], relacionadas con la aplicación de programación geométrica en el diseño de op-amps, donde el principal objetivo es mostrar que el diseño puede ser expresado como un PG para aprovechar las ventajas de la optimización convexa. Sin embargo, en estas publicaciones se ignoran algunas consideraciones, por las cuales no es posible obtener un diseño óptimo simplemente resolviendo un programa geométrico.

Los resultados presentados en este capítulo se alcanzaron usando una herramienta de diseño desarrollada como parte de este proyecto. Dicha herramienta consiste en un paquete de funciones hechas para Octave<sup>1</sup>, y requiere algunos comandos *UNIX* y llamadas desde línea de comandos a MOSEK para realizar las optimizaciones y a *Hspice* para simular y verificar los resultados del diseño. Ha sido probada en diferentes distribuciones *Linux* con la versión 2.1.69 de Octave.

Los contenidos del presente capítulo están organizados de la siguiente manera: la sección

---

<sup>1</sup>Octave es un software con licencia GNU de características similares a MATLAB

4.1 hace una breve descripción de los problemas más comunes que surgen en la aplicación de la programación geométrica en el diseño de CIs analógicos. La sección 4.2 muestra el diseño de un amplificador operacional de dos etapas. La sección 4.3 contiene los resultados del diseño del op-amp telescópico. Por último la sección 4.4 abarca el diseño de un op-amp en configuración cascode doblado.

## 4.1. Problema típicos del diseño usando programación geométrica

El diseño de un CI usando esta metodología, está condicionado a ser compatible con el formato estándar de un programa geométrico. Como se verá en esta sección, existen varias consideraciones que se deben tener en cuenta para aplicar programación geométrica en el diseño de un CI. Uno de los trabajos que tiene el diseñador que sigue este método es formular soluciones a los problemas que se plantean en esta sección. Las principales fuentes de error e incompatibilidades se mencionan a continuación.

### Leyes básicas de circuitos:

Debido a que no es posible poner restricciones de tipo posinomial en una igualdad dentro de un PG, no se puede hacer que las leyes básicas de circuitos hagan parte del programa geométrico. Por ejemplo de la figura 4.1, la ecuación (4.1), con variables  $V_{R_1}$  y  $V_{R_2}$ , no es una restricción posible en un PG.

$$V_{R_1} + V_{R_2} = V_{DD} \quad (4.1)$$

De igual manera  $V_{REF}$  tampoco podría ser expresado en el PG en función de las variables  $R_1$  y  $R_2$  como:

$$V_{REF} = V_{DD} \left( \frac{R_1}{R_1 + R_2} \right) \quad (4.2)$$

Éste es un problema de consideración, ya que el funcionamiento de un op-amp y en general de cualquier circuito, depende totalmente de sus tensiones de polarización. En la sección 4.2.2 se presenta la estrategia implementada para superar este problema.

### Condiciones de saturación:

Para garantizar que un transistor MOS opere en saturación, se debe cumplir:

$$|V_{DS}| \geq |V_{GS}| - |V_T|$$

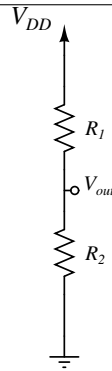


Figura 4.1: Divisor resistivo de tensión.

Llevando esta expresión a la forma **desigualdad** de un PG:

$$|V_{GS}| |V_{DS}^{-1}| - |V_T| |V_{DS}^{-1}| \leq 1$$

Esta expresión incluye un coeficiente negativo, por tanto no puede hacer parte de un PG.

### Modelos de tipo monomial:

Como se mostró en el capítulo III, en un PG sólo pueden aparecer monomios en una igualdad. Este tipo de ecuaciones es común en relaciones como las de un espejo de corriente, por esto se debe modelar con un monomio la tensión  $V_{GS}$  de cada uno de los transistores. Normalmente el error relativo máximo de este modelo es del 6 %, pero debido a la relación  $I_{DS}$  contra  $V_{GS}$  mostrada en la figura 4.2 para un transistor MOS, puede suceder que pequeñas variaciones de  $V_{GS}$  se vean reflejadas en errores de corriente altos. De esta manera, diferencias del 4 % entre el valor de  $V_{GS}$  dado por la solución de PG y la verificación en *Hspice*, pueden causar fácilmente diferencias de corriente del 40 % en la simulación. Este fenómeno es crítico teniendo en cuenta que el parámetro de optimización seleccionado fue la potencia consumida por el circuito, y por ende el consumo de corriente.

### Error de los modelos:

El diseño final de un circuito es propenso a los errores de los modelos, en algunos casos un error como el generado en los espejos de corriente puede variar las condiciones de operación del circuito por completo, incrementado el error en otros parámetros. Teniendo en cuenta que en el PG hay cerca de tres modelos diferentes por transistor con errores que oscilan entre 3 % y 10 %, es posible que el resultado final de la optimización esté lejos de los resultados de verificación.

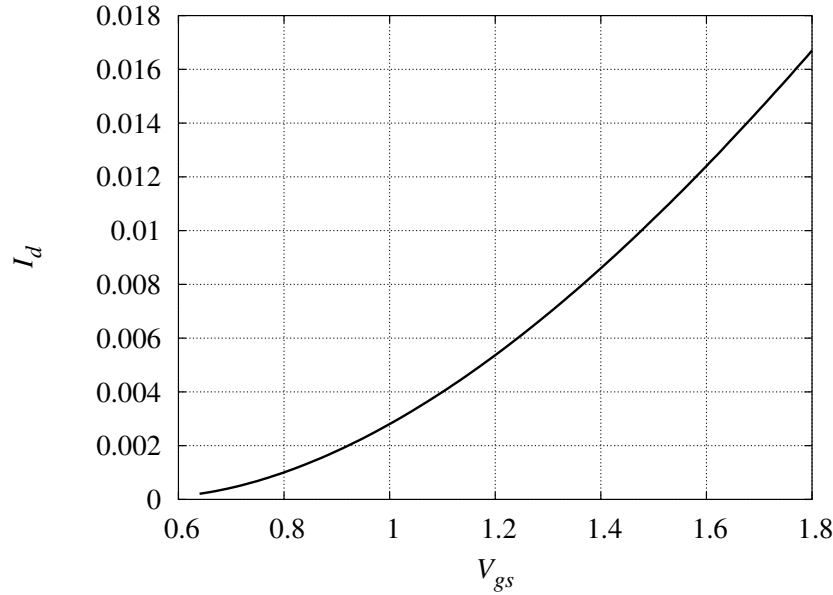


Figura 4.2: Curva de corriente de drenador contra tensión puerta-fuente para un transistor NMOS  $W = 10\mu m$ ,  $L=1\mu m$  y  $V_{DS} = 1,5V$ .

#### Parámetros de desempeño no compatibles:

Es posible encontrar parámetros que por simple forma no pueden hacer parte de un PG. Por ejemplo, en el amplificador operacional de dos etapas de la figura 4.3, el PSRR medido para fluctuaciones en la fuente de alimentación  $PSRR_+$  está dado por:

$$PSRR_{+min} = \frac{2g_{m2}g_{m4}g_{m8}}{(g_{ds2} + g_{ds4})(2g_{m4}g_{ds8} - g_{m8}g_{ds5})}$$

suponiendo que se desea superar un  $PSRR_-$  mínimo, la restricción como desigualdad sería:

$$PSRR_{+min} (2g_{m2}^{-1}g_{m4}^{-1}g_{m8}^{-1}g_{ds2} + 2g_{m2}^{-1}g_{m4}^{-1}g_{m8}^{-1}g_{ds4}) (2g_{m4}g_{ds8} - g_{m8}g_{ds5}) \leq 1 \quad (4.3)$$

los coeficientes negativos en (4.3) hacen que esta expresión no sea posinomial.

#### Parámetros de transistor con comportamiento no convexo:

Como se presentó en el capítulo II, la programación geométrica es un tipo de optimización no lineal que es transformado en un problema de optimización convexa a través de una transformación logarítmica de las expresiones matemáticas del PG. De esta manera, los modelos de transistor usados en el PG deben tener forma convexa después de dicha transformación. Nada garantiza que el logaritmo del parámetro que se quiere modelar tenga el comportamiento de una función convexa, por tanto no se puede esperar que un parámetro con estas características se ajuste con un error pequeño al modelo convexo deseado. Afortunadamente la mayoría

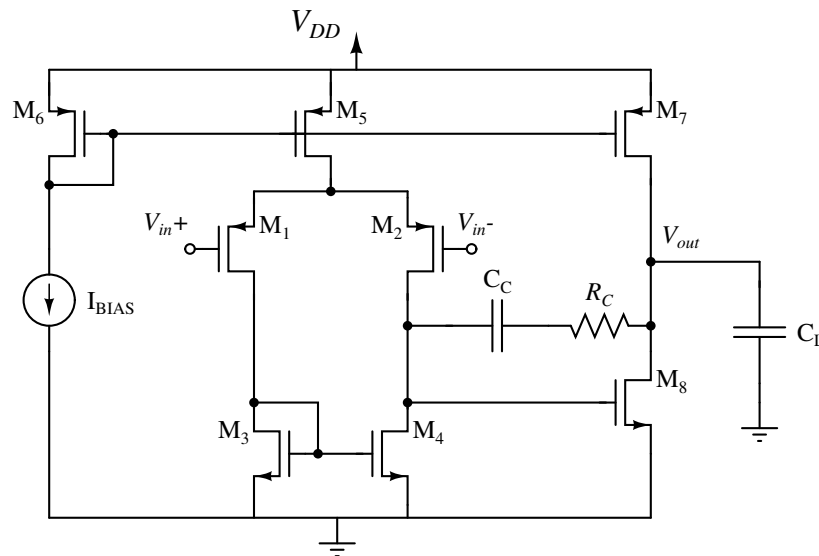


Figura 4.3: Amplificador operacional de dos etapas.

de parámetros de transistor usados en los diseños de este trabajo, mostraron ajustarse con errores relativos inferiores al 10 %, usando los modelos convexos.

La metodología de diseño usando programación geométrica, se puede resumir en 4 pasos. El primero implica la formulación matemática del circuito en la forma estándar de un PG. El segundo paso consiste en identificar y modelar los parámetros del transistor que sean necesarios. En el tercer paso se soluciona el PG, para finalmente verificar los resultados en un cuarto paso, usando algún simulador como *Hspice*. La metodología recién planteada requiere ciertas modificaciones, con el fin de vincular incompatibilidades en el PG y superar los problemas presentados en esta sección. En la siguiente sección se muestran las modificaciones hechas aplicadas al diseño de un op-amp de dos etapas.

## 4.2. Amplificador operacional de dos etapas.

El amplificador operacional básico de dos etapas se ilustra en la figura 4.3. Este circuito está formado un amplificador par diferencial en cascada con un amplificador fuente común. Su principal ventaja es la combinación de alta ganancia con amplio rango dinámico a la salida, además de necesitar baja tensión de alimentación. Sus desventajas mas notorias son un pobre ancho de banda y baja velocidad de respuesta.

El primer paso de la metodología es formular el funcionamiento del circuito en forma compatible con programación geométrica. A continuación se presentan los parámetros de desempeño tenidos en cuenta en este diseño.

### 4.2.1. Parámetros de desempeño y formulación del circuito

#### Ganancia

La ganancia de lazo abierto está dada por:

$$A_V = \left( \frac{g_{m2}}{g_{gd2} + g_{gds4}} \right) \left( \frac{g_{m8}}{g_{gd7} + g_{gds8}} \right)$$

para restringir la ganancia a un valor mínimo, este parámetro de desempeño tiene la forma:

$$A_{Vmin} g_{m8}^{-1} g_{m2}^{-1} g_{gd7} (g_{gd7} + g_{gds8}) (g_{gd2} + g_{gds4}) \leq 1 \quad (4.4)$$

Ya que en (4.4) aparecen  $g_{m8}^{-1}$  y  $g_{m2}^{-1}$ , se modela como posinomio el inverso de la transconductancia de los transistores  $M_2$  y  $M_8$ . Si se modelara directamente la transconductancia de los transistores usando posinomios, la expresión (4.4) no se podría implementar en un PG.

#### Frecuencia de ganancia unitaria

Suponiendo que el segundo y tercer polo del amplificador están por encima de la frecuencia de ganancia unitaria, se puede usar la siguiente aproximación:

$$\omega_o = \frac{g_{m2}}{C_c} \quad (4.5)$$

Donde  $C_c$  es el capacitor de compensación. Esta aproximación subestima el efecto de los polos superiores sobre  $\omega_o$ , por lo que el valor real será menor al especificado, sin embargo la aproximación es válida gracias a la restricción de margen de fase presentada a continuación.

#### Margen de fase

Éste es un parámetro muy importante en cuanto a la estabilidad del circuito cuando el op-amp se encuentra en un lazo con realimentación. El margen de fase se expresa como :

$$PM = \pi - \angle H(j\omega_0) = \pi - \sum_{i=1}^3 \arctan \left( \frac{\omega_o}{p_i} \right) \quad (4.6)$$

Donde  $p_i$  es el polo  $i$  del sistema.

Es claro que (4.6) no tiene forma posinomial, para poder expresar este parámetro de desempeño en el PG se usa la aproximación  $\arctan(x) = x$ , que se ajusta bien para ángulos menores a  $30^\circ$ . Suponiendo que se desea un margen de fase de  $60^\circ$ , la fase que aportan los polos de orden superior debe ser de  $30^\circ$ , cumpliendo así la aproximación mencionada.

Para hacer aún mas simple (4.6), se aprovecha que el primer polo aporta aproximadamente  $90^\circ$  de fase en la frecuencia de ganancia unitaria. Esto es cierto para amplificadores con ganancia de lazo abierto mayor a 20dB y cuyos polos de orden superior están por encima de

la frecuencia de ganancia unitaria. Finalmente se tiene la siguiente expresión para limitar el margen de fase.

$$\left(\frac{\omega_o}{p_2}\right) + \left(\frac{\omega_o}{p_3}\right) \leq \frac{\pi}{2} - PM_{min} \quad (4.7)$$

El lazo de realimentación creado por el capacitor de compensación  $C_c$ , produce un cero cuyo efecto debe ser cancelado para que (4.7) sea válido, con este propósito se usa la resistencia de compensación  $R_c$  cuyo valor estándar es  $gm_8^{-1}$  [24].

Los polos de este circuito están dados por:

- Polo dominante

$$p_1 = \frac{gm_1}{A_V C_c}$$

- Polo en el nodo de salida:

$$p_2 = \frac{gm_8 C_c}{C_1 C_c + C_1 C_{Ltot} + C_c C_{Ltot}}$$

- Polo en el espejo NMOS:

$$p_3 = \frac{gm_4}{C_2}$$

donde:

$$\begin{aligned} C_1 &= C_{gs8} + C_{db2} + C_{db4} + C_{gd2} + C_{gd4} \\ C_2 &= C_{gs3} + C_{gs4} + C_{db1} + C_{db3} + C_{gd1} \\ C_{Ltot} &= C_L + C_{db8} + C_{db7} + C_{gd8} + C_{gd7} \end{aligned}$$

## CMRR

La relación de rechazo de modo común está dada por:

$$CMRR = \frac{2g_{m2}g_{m4}}{(g_{gd2} + g_{gds4})g_{gds4}} \geq CMRR_{min} \quad (4.8)$$

## PSRR

Este parámetro mide el rechazo a fluctuaciones en la fuente de alimentación ( $PSRR_+$ ) y en la tierra del circuito ( $PSRR_-$ ), generadas principalmente por la carga y descarga de condensadores en la circuitería digital. Como se pudo observar al principio de este capítulo, el  $PSRR_+$  (4.3) no tiene forma posinomial y no puede ser parte del PG. Afortunadamente el  $PSRR_-$  es compatible y generalmente es menor que el  $PSRR_+$  en este circuito, por tanto restringiendo el  $PSRR_-$  a un valor mínimo se espera que también el  $PSRR_+$  esté por encima de tal límite. Esto debe ser comprobado en la verificación de resultados cuando el  $PSRR_+$  sea considerado un parámetro de mucha importancia.

Entonces el  $PSRR_-$  se expresa como:

$$PSRR_- = \frac{g_{m2}g_{m8}}{(g_{gd2} + g_{gds4})g_{gds8}} \geq PSRR_{min} \quad (4.9)$$

### ***Slew rate***

Esta medida de desempeño se puede expresar como:

$$SR = \min \left\{ \frac{2I_{M5}}{C_c}, \frac{I_{M7}}{(C_c + C_{Ltot})} \right\}$$

La medida de *slew rate* en el PG involucra las siguientes restricciones:

$$\frac{2I_{M5}}{C_c} \geq SR_{min} \quad \text{y} \quad \frac{I_{M7}}{(C_c + C_{Ltot})} \geq SR_{min} \quad (4.10)$$

### **Potencia en estado estable**

La potencia consumida por el circuito es el parámetro a optimizar, y está dado por:

$$P = V_{DD} (I_{M6} + I_{M5} + I_{M7}) \quad (4.11)$$

que claramente es un posinomio de tres variables en el PG.

### **Rango dinámico a la salida**

Para aprovechar el rango dinámico a la salida del circuito, se busca que en polarización  $V_{OUT} = V_{DD}/2$ . El máximo rango dinámico de salida está dado por:

$$V_{DD} - V_{OV7} - V_{OV8} = V_{out,max} - V_{out,min}$$

Para que este parámetro sea una restricción en el PG, simplemente se especifica un valor máximo de  $V_{OV7}$  y  $V_{OV8}$ .

Después de esta revisión de los parámetros de desempeño a tener en cuenta, se deben identificar todas las restricciones de polarización.

### Condiciones de saturación

Las siguientes restricciones deben ser cumplidas para que los transistores operen en la región de saturación<sup>2</sup>:

$$\begin{aligned} V_{DS_i} &\geq V_{GS_i} - V_{TP} & i = 1, 2, 5, 7 \\ V_{DS_i} &\geq V_{GS_i} - V_{TN} & i = 8 \end{aligned} \quad (4.12)$$

Los transistores  $M_6$  y  $M_3$  no requieren condición de polarización por estar conectados como diodo. Por otra parte,  $M_4$  no requiere restricción de polarización debido a la simetría con  $M_3$  en el par diferencial.

Aún cuando las relaciones en (4.12) no pueden hacer parte del PG, estas restricciones se pueden agregar indirectamente en función de otros parámetros. Por ejemplo para que  $M_5$  esté saturado se requiere que:

$$V_{DS_5} \geq V_{GS_5} - V_{TP} \quad (4.13)$$

por otra parte la tensión de modo común máxima a la entrada, impone la siguiente condición:

$$V_{DS_5,MIN} + V_{GS_2} \leq V_{DD} - V_{IN,MAX} \quad (4.14)$$

la tensión  $V_{DS_5,MIN}$  se da cuando (4.13) se cumple en igualdad, entonces (4.14) se puede reescribir como:

$$V_{GS_5} + V_{GS_2} \leq V_{DD} - V_{IN,MAX} + V_{TP} \quad (4.15)$$

Siempre y cuando  $V_{DD}$ ,  $V_{IN,MAX}$ , y  $V_{TP}$  sean valores constantes, la expresión (4.15) tiene forma posinomial, y puede usarse en el PG para garantizar que  $M_5$  opere en la región de saturación.

Usando análisis similares se tiene el siguiente conjunto de restricciones para la saturación de los transistores del circuito:

$$\begin{aligned} V_{GS_4} &\leq V_{IN,MIN} + V_{TP} \\ V_{GS_8} &\leq V_{out,min} + V_{TN} \\ V_{GS_7} &\leq V_{out,max} + V_{TP} \end{aligned} \quad (4.16)$$

donde  $V_{out,min}$  y  $V_{out,max}$  son los límites mínimo y máximo de la señal de salida respectivamente, y  $V_{IN,MIN}$  es la tensión mínima de modo común. Para que estas restricciones sean compatibles con el programa geométrico,  $V_{out,min}$ ,  $V_{out,max}$ ,  $V_{IN,MIN}$ ,  $V_{TN}$  y  $V_{TP}$  deben ser constantes.

<sup>2</sup>Cabe recalcar que la notación usada en este libro tiene en cuenta los parámetros de polarización en magnitud, sin importar si el transistor es de canal  $N$  o de canal  $P$ .

### Leyes de Kirchhoff

Las siguientes ecuaciones son propias del circuito:

$$V_{DS_4} + V_{DS_2} + V_{DS_5} = V_{DD} \quad (4.17)$$

$$V_{DD} - V_{DS_5} - V_{GS_2} = V_{IN} \quad (4.18)$$

Este par de expresiones son muy importantes, pero son posinomios tipo igualdad y no satisfacen los requerimientos de un PG.

Es importante hacer una anotación sobre la expresión de saturación de  $M_5$  mostrada anteriormente. Es cierto que (4.15) satisface las condiciones de saturación de este transistor, pero solo si de alguna manera el PG “conoce” la relación entre  $M_2$  y  $M_5$ , en otras palabras (4.15) es válida cuando se satisface (4.18).

### Espejos de corriente

La restricción de espejos de corriente implica:

$$V_{GS_6} = V_{GS_5} = V_{GS_7} \quad (4.19)$$

Por lo tanto los modelos de estas variables deben ser monomios.

### Otras relaciones

Partiendo de la simetría en las ramas del par diferencial, la corriente de cada rama será la mitad de la corriente por  $I_{M_5}$ .

$$I_{M_4} = \frac{I_{M_5}}{2} \quad (4.20)$$

Teniendo en cuenta que  $V_{DS_4} = V_{GS_4}$  se tiene:

$$V_{DS_4} = V_{GS_4} = V_{GS_8} \quad (4.21)$$

#### 4.2.2. Metodología de diseño usada

En la primera sección de este capítulo se hizo mención a los principales inconvenientes que surgen al formular un diseño como un PG. Hasta ahora el problema de los transistores en saturación ha sido solucionado parcialmente con (4.15) y (4.16), pero aún queda el problema con la suma de tensiones en (4.17) y (4.18).

Las posibles soluciones propuestas en anteriores publicaciones a este tipo de inconveniente son pocas o aplicables solo en casos particulares [23]. En la mayoría de ocasiones incluso se ignora la tensión  $V_{DS}$  del transistor como variable de diseño. Si se desprecia esta variable,

no se puede tener control sobre los requerimientos típicos en el diseño de op-amps, como la tensión de salida o la tensión de modo común del amplificador. Además en tecnologías de canal corto como CMOS  $0.35\mu m$ , el efecto de la tensión  $V_{DS}$  sobre parámetros como la resistencia de salida del transistor es muy notorio para ser ignorado en la formulación del PG.

La alternativa utilizada para incluir  $V_{DS}$  en los diseños de los op-amps, aprovecha que (4.17) y (4.18) se hacen compatibles con la forma estándar de un PG, cuando la tensión  $V_{DS}$  de cada transistor es una constante. Entonces la primera modificación que se hace sobre la metodología, consiste en seleccionar  $V_{DS_4}$ ,  $V_{DS_2}$  y  $V_{DS_5}$ , tales que la suma de estos tres valores sea igual a  $V_{DD}$ ; posteriormente se verifica que los valores seleccionados estén dentro de rangos establecidos y se resuelve el PG, con seguridad el resultado tendrá validez porque se están incluyendo todas las restricciones en el diseño. Este enfoque permite la solución del PG para un solo punto de polarización, por lo tanto es necesario explorar las posibles combinaciones de  $V_{DS_4}$ ,  $V_{DS_2}$  y  $V_{DS_5}$  que cumplan con (4.17) y resolver un PG para cada combinación; esto incrementa considerablemente el tiempo de cómputo, pero es una tarea que se puede programar fácilmente. Aún cuando los valores de  $V_{DS}$  están fijos en cada optimización. Se hace énfasis en que  $V_{DS}$  es una variable de diseño más, dentro del contexto general de la metodología.

Para el diseño de este op-amp se asume que  $V_{IN}$ ,  $V_{IN,MIN}$ ,  $V_{IN,MAX}$ ,  $V_{TN}$  y  $V_{TP}$  son parámetros constantes, esta consideración es necesaria para hacer compatibles las restricciones de polarización con la forma estándar de un PG. Los valores de  $V_{IN}$ ,  $V_{IN,MIN}$ ,  $V_{IN,MAX}$  son especificaciones del diseño a las que se le puede asignar un valor deseado. Se debe tener en cuenta que  $V_{TN}$  y  $V_{TP}$  son parámetros cuyos valores varían con la polarización y las dimensiones del transistor incluso cuando no existe efecto cuerpo. Los valores usados son  $V_{TN} = 0,54V$  y  $V_{TP} = 0,73V$ , estos se obtuvieron promediando datos de simulación. Con el fin de evitar un funcionamiento incorrecto del circuito debido a variaciones en los parámetros del proceso. Se utiliza  $V_{OV,MIN} = 0,1V$  en todos los transistores.

Con el fin de disminuir el tiempo de diseño, se deben identificar límites mínimos y máximos para  $V_{DS_4}$ ,  $V_{DS_2}$  y  $V_{DS_5}$ , presentados a continuación:

### Límites para $V_{DS_5}$

Para  $V_{DS_5}$  se puede encontrar un límite mínimo mayor a  $V_{OV,min}$ , para esto se reemplaza (4.18) en (4.15) y se obtiene:

$$V_{INMAX} - V_{IN} \leq V_{TP} + V_{DS_5} - V_{GS_5} \quad (4.22)$$

teniendo en cuenta que  $V_{OV_5} = V_{GS_5} - V_{TP}$ , se tiene:

$$V_{INMAX} - V_{IN} + V_{OV_5} \leq V_{DS_5} \quad (4.23)$$

tomando el caso límite donde  $V_{OV,MIN} = 0,1V$ , se obtiene el mínimo valor de  $V_{DS_5,MIN}$

$$V_{DS_5,MIN} = V_{IN,MAX} - V_{IN} + 0,1 \quad (4.24)$$

Por otra parte  $V_{DS_5,MAX}$  se da cuando  $V_{GS_2}$  alcanza su valor mínimo. Tomando  $V_{GS_2,MIN} = V_{OV,MIN} + V_{TP}$  y reemplazando en (4.18):

$$V_{DS_5,MAX} = V_{DD} - 0,83 - V_{IN} \quad (4.25)$$

### Límites para $V_{DS_2}$

Una vez se tiene seleccionado algún  $V_{DS_5}$ , el valor de  $V_{GS_2}$  es calculado usando (4.18). El límite inferior para  $V_{DS_2}$ , está dado por su restricción de saturación, es decir  $V_{DS_2,MIN} = V_{GS_2} - V_{TP}$ . El límite superior depende del mínimo  $V_{DS}$  del transistor  $M_4$ :

$$V_{DS_2,MAX} = V_{DD} - V_{DS_5} - V_{DS_4,MIN} \quad (4.26)$$

donde  $V_{DS_4,MIN} = V_{OV,MIN} + V_{TP} = 0,64V$ .

### Límites para $V_{DS_4}$

Teniendo en cuenta que  $V_{DS_4} = V_{GS_8}$ , y que  $V_{GS_8} \leq V_{out,min} + V_{TN}$ , el valor máximo de  $V_{DS_4}$  está dado por la mínima tensión de salida  $V_{out,min}$ .

$$V_{DS_4,MAX} = V_{out,min} + V_{TN} \quad (4.27)$$

Las expresiones que se han obtenido para los límites de todos los  $V_{DS}$ , sirven para plantear y programar el siguiente método iterativo:

### Iteraciones del punto de polarización

El primer paso del algoritmo, consiste en encontrar los límites para las tensiones  $V_{DS_4}$  y  $V_{DS_5}$ . Posteriormente se asigna  $V_{DS_5} = V_{DS_5,MIN}$  y con este valor se calculan  $V_{GS_2}$  y  $V_{DS_2,MAX}$  usando (4.18) y (4.26) respectivamente. A partir de  $V_{GS_2}$  se calcula  $V_{DS_2,MIN}$  y se hace  $V_{DS_2} = V_{DS_2,MIN}$ . Por último se calcula  $V_{DS_4}$  usando (4.17) y se verifica (4.27), si esta condición se cumple, se optimiza para ese punto.

Después de encontrar la solución del PG, se hace  $V_{DS_2} = V_{DS_2} + \Delta V_{DS_2}$  y se optimiza de nuevo hasta llegar a  $V_{DS_2} = V_{DS_2,MAX}$ ; alcanzado el valor máximo de  $V_{DS_2}$  se hace  $V_{DS_5} = V_{DS_5} + \Delta V_{DS_5}$ , se calcula de nuevo  $V_{GS_2}$ ,  $V_{DS_2,MAX}$ ,  $V_{DS_2,MIN}$  y se realiza todo el proceso de nuevo hasta llegar a  $V_{DS_5} = V_{DS_5,MAX}$ . Se toma el mejor óptimo alcanzado como la solución del problema de diseño.

Existe un compromiso entre la cantidad de puntos que se analizan buscando el óptimo y el tiempo de cómputo. Si bien los valores de  $\Delta V_{DS5}$  y  $\Delta V_{DS2}$  no pueden ser tan pequeños como para analizar todos los posibles casos, se sabe que el circuito tendrá tendencias marcadas en su comportamiento, y que la variación del consumo de potencia entre dos puntos consecutivos es mínima. No se puede garantizar que esta metodología encuentra el óptimo global del diseño, desde el sentido estricto de su definición matemática, pero si es seguro que por lo menos el resultado final está muy cerca de él.

Un factor importante que afecta los resultados de esta metodología de diseño, son los modelos usados para los parámetros de los transistores. Debido a que los resultados finales de las variables de diseño dependen de las especificaciones, es difícil prever posibles regiones de modelado. Por lo tanto, es necesario usar inicialmente modelos que cubran grandes regiones para las variables de diseño. La definición de *grandes regiones* es relativa a la experiencia previa que tiene el diseñador sobre el comportamiento del circuito. En el diseño de este op-amp por ejemplo, se puede considerar una región amplia de modelado la variación de corriente de  $1\mu A$  a  $2mA$ ; una corriente de  $2mA$  por una rama del op-amp implica un consumo de potencia en esa rama de  $6.6mW$  para una tensión de polarización de  $3.3V$ . Un diseñador podría considerar inaceptable que su circuito consuma mas de  $6mW$  cerrando así el espacio de modelado de corriente. De nuevo se recalca que esta selección de espacios depende del criterio personal del diseñador.

A medida que crece el espacio de modelado aumenta el error del modelo. El resultado del diseño usando modelos que cubren rangos amplios de valores para las variables, permitirá identificar la región donde está el óptimo. Para incrementar la exactitud del diseño se usan los primeros resultados para determinar regiones de modelado mas pequeñas, que permitan obtener modelos con menor error. Se diseña nuevamente con estos modelos y se verifican los resultados, al tener mejores modelos habrá menos error entre el diseño vía programación geométrica y los resultados del simulador. El proceso de modelado puede seguirse repitiendo hasta llegar a espacios donde los modelos tienen errores por debajo del 1%, el criterio de parada depende de la exactitud buscada por el diseñador.

En resumen los siguientes pasos son necesarios para obtener diseños óptimos, con bajos márgenes de error:

1. Formulación matemática del diseño.
2. Modelado.
3. Construcción del archivo de optimización teniendo como entradas los modelos y las especificaciones de diseño.
4. Selección de valores de  $V_{DS}$ , optimización y selección del mejor óptimo alcanzado como resultado de diseño.

5. Identificación de las nuevas regiones de modelado a partir de la solución del PG y retorno al punto 2.

En este proyecto se desarrolló una herramienta de automatización para los puntos 3 y 4, además de varias funciones que permiten realizar automáticamente los modelos a partir de la especificación de regiones de modelado. Solo por problemas de incompatibilidad entre plataformas, no fue posible unir las funciones de modelado con la herramienta de diseño.

### 4.2.3. Aplicación de la herramienta de diseño automático

Los resultados presentados en esta sección fueron alcanzados implementando la herramienta de diseño descrita anteriormente. Esta herramienta tiene como entradas los valores límites para los parámetros de desempeño de la sección 4.2.1 y los modelos para los parámetros de transistor. El resultado de usar la herramienta de diseño, es un archivo de texto con el valor de las variables de diseño que optimizan el desempeño del circuito, además de un archivo con los resultados de simulación de los respectivos resultados.

En esta sección se propone el diseño del amplificador operacional de la figura 4.3, con las especificaciones de la tabla 4.1.

Las variables de diseño son:

- Longitud y ancho de canal de todos los transistores del circuito.
- Corriente de polarización  $I_{BIAS}$ .
- Capacitor de compensación  $C_c$ .

En total se tienen 18 variables de diseño físicas. El valor de  $R_C$  está dado por  $1/g_{m8}$  [24].

En el presente diseño se usaron modelos posinomiales para los parámetros de transistor. Para disminuir el error entre los resultados del GP y la verificación de estos en *Hspice*, se hizo tres veces el proceso de modelado usando como referencia los resultados previos del GP, tal y como se describió en la sección anterior. Los modelos iniciales tenían errores que oscilaban entre el 5% y el 15%. Los últimos modelos que cubren un espacio de modelado mucho más reducido tienen errores inferiores al 1%.

El resultado final del diseño se presenta en la tabla 4.2<sup>3</sup>. La tabla 4.3 compara el desempeño esperado contra el desempeño en simulación usando modelos *BSIM3v3* de nivel 49.

En la tabla 4.3 se identifican dos parámetros con error notable: la frecuencia de ganancia unitaria ( $\omega_o$ ) y el margen de fase ( $PM$ ). Estos errores se deben a que en (4.5) se despreció el efecto de los polos superiores sobre  $\omega_o$ , sin embargo el error es muy bajo para ser considerado un defecto en el diseño.

La tensión de salida es un parámetro muy difícil de controlar en este circuito debido a la alta ganancia de la segunda etapa del op-amp. Una variación del orden de los milivoltios

<sup>3</sup>Los resultados de esta tabla no están ajustados a la grilla de la tecnología AMS C35B4, no obstante, un ajuste en pocos nanómetros no implica errores mayores al 0.5%.

Parámetro	Especificación
Ganancia [dB]	$\geq 80$
Potencia [W]	<i>Minimizar</i>
Frecuencia de ganancia unitaria [MHz]	$\geq 63.6$
CMRR [dB]	$\geq 80$
$PSRR_-$ [dB]	$\geq 80$
Margen de fase	$\geq 60^\circ$
<i>Slew Rate</i> [V/ $\mu$ s]	$\geq 50$
Rango dinámico a la salida [V]	$\geq 2.5$
Tensión DC de modo común a la entrada [V]	1.5
Máxima tensión de modo común a la entrada [V]	1.9
$V_{OUT}$ (DC) [V]	1.65

Tabla 4.1: Especificaciones de diseño.

en la tensión de puerta de  $M_8$ , se refleja en una variación de algunos cientos de milivoltios en la tensión de salida; por esta razón la tensión de salida está 250 milivoltios por encima del valor esperado. Este problema es común para cualquier metodología de diseño y sólo con modelos perfectos podría evitarse en un diseño con programación geométrica; la solución es hacer alguna modificación muy leve sobre el circuito o mover la tensión de salida con un offset a la entrada.

En el capítulo anterior se diseñó el amplificador fuente común usando modelos posinomiales y *pwl*, obteniendo diferencias despreciables entre los resultados de diseño. Con el fin de comparar los resultados de usar uno u otro tipo de modelo en un circuito mas complejo, se presentan en la tabla 4.4 los resultados para las variables y especificaciones de diseño usando en el programa geométrico sólo modelos *pwl*. De nuevo las diferencias entre los resultados usando cada tipo de modelo son despreciables, de manera que se concluye que solo se requiere utilizar un tipo de modelo, sin importar cual de los dos se escoja.

La herramienta de diseño desarrollada en este proyecto utiliza funciones *pwl*. La principal razón para escoger este tipo de modelado fue la disponibilidad del software. Mientras los modelos *pwl* pueden ser obtenidos en algunos programas típicos como *MATLAB* y *Octave*, los modelos posinomiales requieren el uso de algoritmos para programación no lineal (*PNL*) difíciles de conseguir. El *solver* utilizado para *PNL* se llama *CONOPT*, éste se usó a través del programa *TOMLAB* que hace una interfaz entre *MATLAB* y varios *solvers* especializados en algún tipo de optimización. Para el uso de *TOMLAB* se necesitaron varias licencias de prueba que sólo funcionaban durante 21 días.

VARIABLES DEL CIRCUITO	PG
$I_{BIAS}$ [ $\mu\text{A}$ ]	2.304
$I_{M5}$ [ $\mu\text{A}$ ]	134.48
$I_{M7}$ [ $\mu\text{A}$ ]	654.26
$V_{gs1,2}$ [mV]	900
$V_{gs3,4,8}$ [mV]	680
$V_{gs5,6,7}$ [V]	1.23
$W_{1,2}$ [ $\mu\text{m}$ ]	70
$W_{3,4}$ [ $\mu\text{m}$ ]	31.07
$W_5$ [ $\mu\text{m}$ ]	42.14
$W_6$ [ $\mu\text{m}$ ]	1
$W_7$ [ $\mu\text{m}$ ]	198.94
$W_8$ [ $\mu\text{m}$ ]	233.57
$L_{1,2}$ [ $\mu\text{m}$ ]	0.936
$L_{3,4}$ [ $\mu\text{m}$ ]	0.618
$L_{5,6,7}$ [ $\mu\text{m}$ ]	2
$L_8$ [ $\mu\text{m}$ ]	0.4694

Tabla 4.2: Diseño óptimo para el op-amp de dos etapas.

### 4.3. Amplificador operacional telescópico

En esta sección se presenta el diseño del amplificador operacional telescópico mostrado en la figura 4.4. Éste circuito es muy usado en aplicaciones con capacitores conmutados donde no se requieren rangos de excursión simétricos a la salida. Los op-amps telescópicos son tema clave del estudio de op-amps en muchos libros, por eso sólo presentamos a manera de descripción los parámetros de desempeño de este circuito.

Para el diseño de este amplificador se adapta la metodología planteada en la sección anterior, de esta forma se inicia con la formulación matemática del circuito.

#### 4.3.1. Parámetros de desempeño y formulación del circuito.

Para el diseño de este op-amp se tuvieron en cuenta los mismos parámetros de desempeño del op-amp de dos etapas. Las expresiones se presentan a continuación:

#### Ganancia

La ganancia de este circuito está dada por:

Parámetro del circuito	PG	Hspice (nivel 49)
Ganancia [dB]	80	79.5
Potencia [mW]	2.61	2.602
Frecuencia de ganancia unitaria [MHz]	63.6	57.2
CMRR [dB]	90.1	89.6
PSRR <sub>-</sub> [dB]	81.8	81.77
Margen de fase	60°	67°
Slew rate [V/μs]	89.68	89.6
Rango dinámico a la salida [V]	2.66	2.6573
V <sub>OUT</sub> (DC) [V]	1.65	1.9

Tabla 4.3: Verificación del diseño en Hspice.

Parámetro del circuito	Modelos Posinomiales	Modelos Pwl
Ganancia [dB]	79.5	80
Potencia [mW]	2.602	2.6
Frecuencia de ganancia unitaria [MHz]	57.3	57.2
CMRR [dB]	89.6	90.9
nPSRR [dB]	94.17	94.28
Margen de fase	67°	67°
Slew Rate [V/μs]	89.68	70
Rango dinámico a la salida [V]	2.657	2.6573
V <sub>OUT</sub> (DC) [V]	1.9	1.8

Tabla 4.4: Comparación de modelos.

$$A_V = \frac{g_{m1}g_{m3}g_{m5}}{g_{ds1}g_{ds3}g_{m5} + g_{ds7}g_{ds5}g_{m3}}$$

esta expresión puede ser formulada como restricción en un PG.

### Frecuencia de ganancia unitaria

De nuevo se supone que los polos de orden superior y los ceros del circuito están por encima de la frecuencia de ganancia unitaria, de esta forma  $\omega_o$  está dado sólo por el efecto del polo dominante:

$$\omega_o = \frac{g_{m1}}{C_{L,TOT}} \quad (4.28)$$

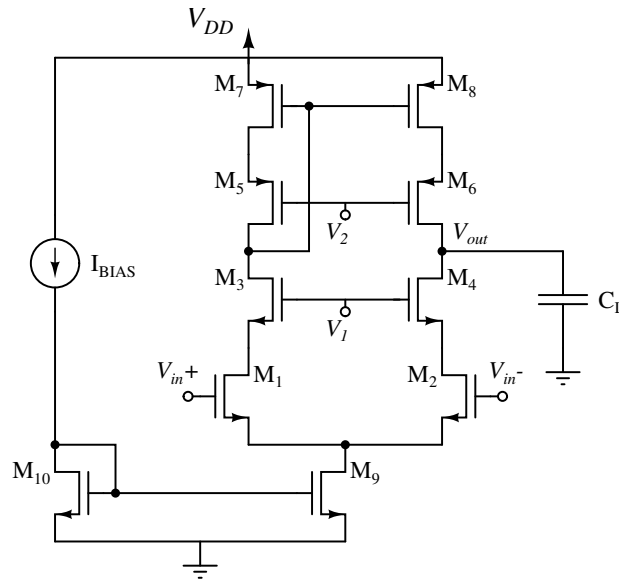


Figura 4.4: Amplificador operacional telescópico.

donde  $C_{L,TOT}$  es la capacitancia total en el nodo de salida. La suposición anterior tiene validez si se garantiza un margen de fase mínimo para el circuito.

### Margen de fase

La respuesta en frecuencia de este circuito está dado por la función de transferencia:

$$H(s) = A_V \frac{(1 + s/z_1)(1 + s/z_2)}{(1 + s/p_1)(1 + s/p_2)(1 + s/p_3)(1 + s/p_4)}$$

los polos están dados por:

- Polo dominante

$$p_1 = \frac{g_{m1}}{A_V C_{L,TOT}}$$

donde  $C_{Ltot} = C_L + C_{db6} + C_{db4} + C_{gd6} + C_{gd4}$

- Polo en el dreno de  $M_5$ :

$$p_2 = \frac{g_{m3}}{C_2}$$

donde  $C_2 = C_{gs3} + C_{db1} + C_{gd1} + C_{bs3}$

- Polo en el dreno de  $M_1$  :

$$p_3 = \frac{g_{m7}}{C_3}$$

donde  $C_3 = C_{gs7} + C_{gs8} + C_{gd7} + C_{gd8} + C_{db5} + C_{gd5} + C_{db3} + C_{gd3}$

- Polo en el drenó de  $M_1$  :

$$p_4 = \frac{g_{m5}}{C_4}$$

donde  $C_4 = C_{gs5} + C_{sb5} + C_{db7} + C_{gd7}$ .

En este circuito existen un par de ceros  $z_1$  y  $z_2$ , dados por:

$$z_1, z_2 = \frac{p_3 + p_4}{2} \pm \sqrt{\left(\frac{p_3 + p_4}{2}\right)^2 - 4\frac{p_3 p_4}{2}}$$

La especificación de margen de fase debe garantizar que  $p_2$ ,  $p_3$ ,  $p_4$ ,  $z_1$  y  $z_2$ , estén lo suficientemente lejos de  $\omega_o$  para que  $p_1$  domine la respuesta en frecuencia. La restricción de margen de fase se representa como:

$$\frac{\omega_o}{p_2} + \frac{2}{3} \left(\frac{\omega_o}{p_3}\right)^3 + \frac{2}{3} \left(\frac{\omega_o}{p_4}\right)^3 \leq \frac{\pi}{2} - PM_{min}$$

reemplazando (4.28) en (4.29) se tiene:

$$\frac{g_{m1}}{p_2 C_{L,TOT}} + \frac{2}{3} \left(\frac{g_{m1}}{p_3 C_{L,TOT}}\right)^3 + \frac{2}{3} \left(\frac{g_{m1}}{p_4 C_{L,TOT}}\right)^3 \leq \frac{\pi}{2} - PM_{min} \quad (4.29)$$

esta restricción no tiene forma posinomial, ya que  $C_{L,TOT}$  es un posinomio de algunas variables de diseño. Con el fin de que (4.29) sea parte de la formulación del programa geométrico, se utiliza la aproximación  $C_{L,TOT} \approx C_L$ . Finalmente se tiene como restricción de margen de fase en el PG:

$$\frac{g_{m1}}{p_2 C_L} + \frac{2}{3} \left(\frac{g_{m1}}{p_3 C_L}\right)^3 + \frac{2}{3} \left(\frac{g_{m1}}{p_4 C_L}\right)^3 \leq \frac{\pi}{2} - PM_{min} \quad (4.30)$$

La expresión 4.30 tiene en cuenta el efecto de los ceros, así que mientras se garantice esta restricción los ceros no tendrán efecto sobre  $\omega_o$ .

### CMRR

Este parámetro puede ser muy bien aproximado por:

$$CMRR = \frac{g_{ds9}}{2g_{m7}}$$

### PSRR

En este circuito el PSRR medido desde la fuente positiva de polarización es igual a la especificación de rechazo de modo común:

$$PSRR_- = CMRR$$

por otra parte el PSRR medido para fluctuaciones en la tierra del circuito es aproximadamente igual a la ganancia del circuito, para efectos de formulación en el PG se asumen iguales:

$$PSRR_+ = A_V$$

### *Slew rate*

La medida de *slew rate* en este circuito se define como:

$$SR = \frac{2I_1}{C_{L,TOT}}$$

### Potencia en estado estable

La potencia que consume este circuito en estado estable está dada por:

$$P = V_{DD}I_{M_{10}} + 2V_{DD}I_{M_7}$$

### Rango dinámico a la salida

Este parámetro es la desventaja más grande que tienen los op-amps de tipo telescópico. La topología de la figura 4.4 mejora en alguna medida el alcance máximo de la señal de salida, pero finalmente tiene un rango de variaciones totalmente asimétrico; esto quiere decir que la tensión DC a la salida está mucho más cerca del límite máximo de tensión, y no en la mitad de los límites como se esperaría para aprovechar al máximo la excursión de salida. Sin embargo esto no representa problema en aplicaciones de capacitor conmutado donde no se amplifican señales simétricas.

Para alcanzar la máxima tensión a la salida, este circuito se diseña buscando que los transistores  $M_5$  y  $M_7$  operen cerca de la región de triodo, en condiciones ideales la máxima tensión de salida es:

$$V_{out,max} = V_{DD} - V_{OV_7}$$

La tensión mínima de salida está dada por la fuente de polarización  $V_1$ :

$$V_{out,min} = V_1 + V_{TN}$$

### Condiciones de saturación

En este circuito se deben cumplir las siguientes restricciones para la correcta polarización del circuito:

Para  $M_5$ :

$$V_{DS_7} + V_{GS_5} \leq V_{DD} - V_{out,max} + V_{TP} \quad (4.31)$$

Para  $M_7$  :

$$V_{DS_7} \geq V_{DD} - V_{OUT} - V_{TP} \quad (4.32)$$

Para  $M_3$ :

$$V_{GS_3} \leq V_{out,min} - V_{DS_9} - V_{DS_1} + V_{TN} \quad (4.33)$$

Para  $M_1$ :

$$V_{DS_9} + V_{DS_1} \geq V_{IN} + V_{TN} \quad (4.34)$$

para  $M_9$ :

$$V_{GS_9} + V_{GS_1} \leq V_{IN,MIN} + V_{TN} \quad (4.35)$$

Las condiciones de saturación son compatibles con la forma estándar de un PG, siempre y cuando los parámetros  $V_{IN,MIN}$ ,  $V_{IN}$ ,  $V_{TN}$ ,  $V_{TP}$ ,  $V_{out,min}$ ,  $V_{out,max}$  y  $V_{DS_i}$  sean constantes. Al igual que en el diseño del op-amp de dos etapas, se supone que  $V_{IN,MIN}$ ,  $V_{IN}$ ,  $V_{out,min}$  y  $V_{out,max}$  son especificaciones de diseño.

### Leyes de Kirchhoff

$$V_{DS_9} + V_{GS_1} = V_{IN} \quad (4.36)$$

$$V_{DS_5} = V_{DD} - V_{DS_7} - V_{OUT} \quad (4.37)$$

$$V_{DD} - V_{OUT} = V_{GS_7} \quad (4.38)$$

$$V_{DS_9} + V_{DS_1} + V_{DS_3} = V_{OUT} \quad (4.39)$$

Para que en el PG se cumplan todas las ecuaciones relacionada con sumas de tensiones, los parámetros  $V_{OUT}$  y las tensiones *dren-source* deben ser constantes.

### Espejos de corriente

Los transistores  $M_9$  y  $M_{10}$  forman un espejo de corriente cuya expresión matemática es:

$$V_{GS_9} = V_{GS_{10}}$$

### Relación de corrientes

Bajo condiciones de simetría entre las dos ramas del par diferencial se tiene:

$$IM_9 = \frac{IM_1}{2}$$

Para el diseño de este op-amp se sigue una metodología muy similar a la usada en el op-amp de dos etapas, es decir, variaciones entre posibles valores de  $V_{DS}$  y selección del mejor óptimo alcanzado. Por supuesto se hace el proceso de cerrar el espacio de diseño y modelar de nuevo para incrementar la exactitud de los resultados. En la siguiente sección se muestra la adaptación de este op-amp a la metodología de diseño mencionada.

#### 4.3.2. Metodología de diseño

Los aspectos generales del método de diseño aplicado fueron expuestos en 4.2.2, allí se utilizó un método iterativo que solucionaba un PG para cada combinación posible de  $V_{DS_2}$ ,  $V_{DS_4}$  y  $V_{DS_5}$ , tales que se cumpliera con todas las restricciones de polarización del circuito.

En el diseño del op-amp telescópico se deben analizar las combinaciones posibles de  $V_{DS_1}$ ,  $V_{DS_3}$ ,  $V_{DS_5}$ ,  $V_{DS_7}$  y  $V_{DS_9}$ , aunque esto puede ser una limitante de diseño por la cantidad de variables que se deben explorar. Para evitar tener que hacer barridos en todas estas dimensiones, se pueden fijar las tensiones  $V_{DS_7}$  y  $V_{SD_5}$  aprovechando la naturaleza misma del circuito. Para ver esto se debe tener en cuenta que el propósito de esta topología de op-amp, es alcanzar tensiones de salida superiores a las del op-amp telescópico común. Para esto se intenta que los transistores  $M_7$  y  $M_5$  operen cerca del límite de la región de triodo. Retomando la restricción de saturación para el transistor  $M_7$  dada en (4.32), y escribiéndola en igualdad, se tiene el límite mínimo de la tensión  $V_{DS_7}$  para el cual el transistor opera en saturación.

$$V_{DS_7} = V_{DD} - V_{OUT} - V_{TP}$$

$$V_{DS_5} = V_{DD} - V_{DS_7} - V_{OUT}$$

y conociendo la tensión  $V_{DD}$  y la especificación de tensión de salida, es posible fijar para todo el diseño los valores de  $V_{DS_7}$  y  $V_{DS_5}$ . En la formulación expuesta se supone que la tensión de salida es una especificación de diseño, aunque esto no siempre es así; en casos donde  $V_{OUT}$  no tenga importancia, se deberá hacer un barrido por diferentes valores de  $V_{OUT}$  para encontrar el valor óptimo. Esta última consideración no representa mayor esfuerzo para el diseñador que utiliza la herramienta de diseño desarrollada en este trabajo.

Después de fijar los valores de  $V_{DS_7}$  y  $V_{DS_5}$ , se tienen los siguientes límites para las iteraciones:

**Límites para  $V_{DS_9}$** 

Para encontrar el valor mínimo que puede tomar  $V_{DS_9}$  dentro del circuito, se reemplaza el límite de saturación  $V_{DS_9} = V_{GS_9} - V_{TN}$  en la condición de saturación de  $M_9$ . Con esto se obtiene:

$$V_{DS_9,MIN} = V_{IN} - V_{IN,MIN}$$

Por otra parte  $V_{DS_9,MAX}$  se da cuando  $V_{GS_1}$  alcanza su valor mínimo, es decir  $V_{GS_1,MIN} = V_{OV,MIN} + V_{TN}$ . Al igual que en el op-amp de dos etapas se consideran los siguientes valores:  $V_{TN} = 0,54V$ ,  $V_{TP} = 0,73V$  y  $V_{OV,MIN} = 0,1V$ . Finalmente se tiene:

$$V_{DS_9,MAX} = V_{IN} - V_{GS_1,MIN}$$

**Límites para  $V_{DS_1}$** 

En cada iteración de la metodología existe un valor definido para  $V_{DS_9}$ , los límites para los demás  $V_{DS}$  dependen del valor actual de  $V_{DS_9}$ . Con un valor determinado de  $V_{DS_9}$  se puede calcular  $V_{GS_1}$  usando (). El límite inferior para  $V_{DS_1}$  está dado por la condición de saturación de  $M_1$ :

$$V_{DS_1,MIN} = V_{GS_1} - V_{TN}$$

El límite superior para  $V_{DS_1}$  se encuentra cuando  $V_{DS_3}$  es mínimo, suponiendo que  $V_{DS_3}$  puede llegar a ser igual a  $V_{OV,MIN}$  se tiene:

$$V_{DS_1,MAX} = V_{OUT} - V_{DS_9} - V_{OV,MIN}$$

En cada iteración  $V_{DS_3}$  está definido por:

$$V_{DS_3} = V_{OUT} - V_{DS_3} - V_{DS_1}$$

de manera que este parámetro no requiere un barrido entre dos valores límites. Finalmente, con todos límites definidos se realiza un proceso iterativo igual al descrito en 4.2.2.

En general los pasos necesarios para obtener diseños óptimos de este op-amp son iguales a los usados en el amplificador operacional de dos etapas. De la misma forma en que se hace con el op-amp de dos etapas, el proceso de diseño del op-amp telescópico ha sido automatizado en gran parte. En la siguiente sección se presenta un ejemplo de diseño.

**4.3.3. Aplicación de la herramienta de diseño automático**

En esta sección se presenta un ejemplo de diseño del op-amp telescópico de la figura 4.4. Las especificaciones de desempeño tenidas en cuenta son las mismas del op-amp de dos etapas.

Las variables de diseño de este circuito son:

- Longitud y ancho de canal de todos los transistores.
- Corriente de polarización  $I_{BIAS}$ .

En este diseño los valores de  $V_1$  y  $V_2$  no son variables de diseño, su valor se toma simplemente de hacer la relación en el circuito con las variables de diseño.

Los resultados para las variables que optimizan la potencia del circuito se muestran en la tabla 4.6. La tabla 4.5 presenta los resultados de diseño.

Parámetro del circuito	PG	HSPICE (nivel 49)
Ganancia [dB]	80	80.1
Potencia [mW]	0.87	0.867
Frecuencia de ganancia unitaria [MHz]	63.6	58.1
CMRR [dB]	111.37	111
PSRR- [dB]	111.37	110.2
PSRR+ [dB]	80	79.7
Margen de fase	60°	60°
Slew Rate [V/ $\mu$ s]	52	52
Rango dinámico a la salida [V]	1.12	1.12
$V_{OUT}$ (DC) [V]	2	2.1

Tabla 4.5: Comparación de parámetros de circuito.

#### 4.4. Diseño de amplificador cascode doblado

Esta sección presenta el diseño de un amplificador operacional cascode doblado a partir de la metodología general de diseño propuesta a lo largo de este capítulo. La configuración de circuito a diseñar se observa en la figura 4.5, en comparación con los anteriores op-amps diseñados, esta topología tiene dos ramas diferenciales conectadas entre si a través del drenaje de los transistores  $M_3$  y  $M_4$ . Adicionalmente, el circuito implementa un espejo de corriente cascode tipo *high-swing* y con esto maximiza el rango dinámico en la salida. En comparación al amplificador telescópico diseñado previamente, el amplificador cascode doblado permite un amplio rango de variación en la tensión de entrada de modo común y además rompe el vínculo entre esta última y la tensión de modo común de salida; todo esto a cambio de un incremento en el consumo de potencia.

A continuación se describen los parámetros de desempeño tenidos en cuenta en el diseño, en particular se resalta cómo pueden ser manejadas en un programa geométrico restricciones mínimas o máximas en estos parámetros.

VARIABLES DEL CIRCUITO	PG
$I_{BIAS}$	$1\mu A$
$I_{M7}$	$131.05\mu A$
$V_{gs_{1,2}}$	$630mV$
$V_{gs_{3,4}}$	$860mV$
$V_{gs_{5,6}}$	$960mV$
$V_{gs_{7,8}}$	$1.3V$
$V_{gs_{9,10}}$	$655V$
$W_{1,2}$	$227.55\mu m$
$W_{3,4}$	$43.57\mu m$
$W_{5,6}$	$97.59\mu m$
$W_{7,8}$	$29.67\mu m$
$W_9$	$338.25\mu m$
$W_{10}$	$1.1916\mu m$
$L_{1,2}$	$1.26\mu m$
$L_{3,4}$	$2\mu m$
$L_{5,6}$	$0.7688\mu m$
$L_{7,8}$	$2\mu m$
$L_{9,10}$	$1.61\mu m$

Tabla 4.6: Diseño óptimo para el op-amp telescópico.

#### 4.4.1. Parámetros de desempeño y formulación del circuito

##### Ganancia

Despreciando el efecto cuerpo, la ganancia de este circuito está dada por:

$$|A_V| = \frac{g_{m2}}{\frac{g_{ds5}(g_{ds2}+g_{ds3})}{g_{m5}} + \frac{g_{ds9}g_{ds7}}{g_{m7}}} \quad (4.40)$$

en esta expresión se asume que el factor  $\frac{g_{m5}}{g_{ds5}(g_{ds2}+g_{ds3})}$  y  $\frac{g_{m7}}{(g_{ds7}g_{ds9})}$  son predominantes en la resistencia vista por el dreno de  $M_{5,6}$  y el dreno de  $M_{7,8}$  respectivamente. Una restricción del tipo  $|A_V| \geq A_{V_{min}}$  puede ser implementada en un PG gracias a que (4.40) es un posinomio inverso. La restricción resultante tiene la siguiente forma:

$$|A_{V_{min}}|g_{m5}^{-1}g_{m2}^{-1}g_{ds5}g_{ds2} + |A_{V_{min}}|g_{m5}^{-1}g_{m2}^{-1}g_{ds5}g_{ds3} + |A_{V_{min}}|g_{m7}^{-1}g_{m2}^{-1}g_{ds9}g_{ds7} \leq 1 \quad (4.41)$$

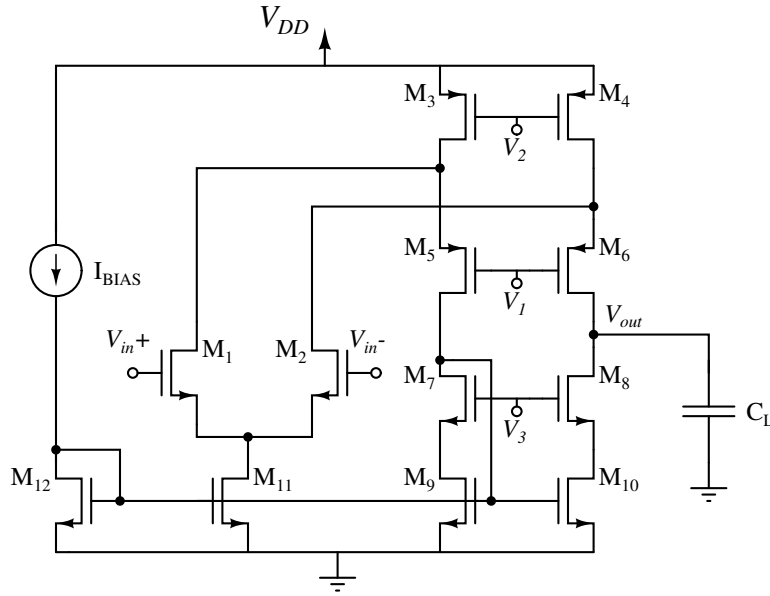


Figura 4.5: Esquemático de un amplificador cascado doblado.

## CMRR

La ganancia de modo común puede ser representada como:

$$A_{cm} = G[cm]R_o[cm] \quad (4.42)$$

donde el primer término representa la transconductancia de modo común y el segundo la resistencia de salida de modo común. Ahora bien, considerando que en el circuito a diseñar  $(\frac{1}{2 \cdot g_{m5}} \parallel \frac{r_{o5}}{2}) \ll \frac{r_{o3}}{2}$  y que  $\frac{1}{g_{m9}} \ll g_{m5} r_{o5} r_{o3}$  se tiene:

$$\begin{aligned} |A_{cm}| &\simeq \frac{g_{m2}}{1 + 2 \cdot g_{m2} r_{o11}} \cdot \frac{1}{g_{m9}} \\ &\simeq \frac{g_{ds11}}{2 \cdot g_{m9}} \end{aligned} \quad (4.43)$$

donde el factor  $1/g_{m9}$  es predominante en la resistencia de salida de modo común. De acuerdo a (4.40) se tiene una expresión para el CMRR:

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| \simeq \frac{2 \cdot g_{m2} g_{m9} g_{m5} g_{m7}}{g_{m7} g_{ds11} g_{ds5} (g_{ds2} + g_{ds3}) + g_{m5} g_{ds9} g_{ds7} g_{ds11}} \quad (4.44)$$

Al igual que (4.40) la expresión (4.44) es un posinomio inverso, de esta manera una restricción del tipo  $CMRR \geq CMRR_{min}$  puede ser implementada en un PG.

## PSRR (bajas frecuencias)

Teniendo en cuenta que la resistencia vista desde el drenaje de  $M_2$  es mayor que la resistencia vista desde la fuente de  $M_5$ , la transconductancia de salida debida a variaciones en  $V_{DD}$  es  $g_{m_3}$ . Seguidamente, se observa que la resistencia de salida de modo común es aproximadamente  $\frac{1}{g_{m_9}}$  y de esta manera:

$$\left| \frac{v_{out}}{v_{dd}} \right| = \frac{g_{m_3}}{g_{m_9}} \quad (4.45)$$

De acuerdo a (4.40) se tiene que el  $PSRR_+$  tiene la forma:

$$PSRR_+ = \left| \frac{A_{dm}}{\frac{v_{out}}{v_{dd}}} \right| = \frac{g_{m_2} g_{m_9} g_{m_5} g_{m_7}}{g_{m_7} g_{m_3} g_{ds_5} (g_{ds_2} + g_{ds_3}) + g_{m_5} g_{m_3} g_{ds_9} g_{ds_7}} \quad (4.46)$$

Se observa que (4.50) es un posinomio inverso y de esto se desprende que una restricción de la forma  $PSRR_+ \geq PSRR_{+min}$  puede ser implementada en un PG.

Para evaluar el  $PSRR_-$  se analizará por separado el efecto en la señal de salida debido a fluctuaciones de tensión en la tierra de la rama del par y en la tierra de la rama doblada. En el caso de la rama del par, fluctuaciones de tensión en la tierra pueden ser sustituidas por fluctuaciones en la tensión de modo común con signo contrario [21]. Llamando  $v_{ss}$  a las variaciones en la tensión de la tierra a partir de (4.44) se tiene:

$$\frac{v_{out}}{v_{ss1}} \simeq \frac{g_{ds11}}{2 \cdot g_{m_9}} \quad (4.47)$$

Por otro lado, variaciones en la tierra de la rama doblada se ven casi en su totalidad en la señal de salida, esto gracias a la conexión entre la puerta de  $M_9$  y el nodo de salida, de esta forma se tiene:

$$\frac{v_{out}}{v_{ss2}} \simeq 1 \quad (4.48)$$

Aplicando el principio de superposición se tiene:

$$\frac{v_{out}}{v_{ss}} = \frac{v_{out}}{v_{dd1}} + \frac{v_{out}}{v_{dd2}} \simeq 1 + \frac{g_{ds11}}{2 \cdot g_{m_9}} \quad (4.49)$$

De (4.49) y (4.40) se tiene:

$$PSRR_- = \left| \frac{A_{dm}}{\frac{v_{out}}{v_{ss}}} \right| = \frac{2 \cdot g_{m_2} g_{m_9} g_{m_5} g_{m_7}}{g_{m_7} g_{ds_5} (g_{ds_2} + g_{ds_3}) (2 \cdot g_{m_9} + g_{ds11}) + g_{m_5} g_{ds_9} g_{ds_7} (2 \cdot g_{m_9} + g_{ds11})} \quad (4.50)$$

Dado que (4.50) es posinomio inverso una restricción del tipo  $PSRR_- > PSRR_{-min}$  puede ser implementada en un PG.

### Función de transferencia

La función de transferencia de este circuito está dada por [3]:

$$H(s) = A_V \frac{(1 + s/z_1)(1 + s/z_2)}{(1 + s/p_1)(1 + s/p_2)(1 + s/p_3)(1 + s/p_4)} \quad (4.51)$$

teniendo que:

- El polo  $p_1$  está dado por:

$$p_1 = \frac{g_{m2}}{A_V C_{Ltotal}} \quad (4.52)$$

donde  $C_{Ltotal} = C_L + C_{db6} + C_{db8} + C_{gd6} + C_{gd8}$ .

- Para el segundo polo  $p_2$  se tiene:

$$p_2 = \frac{g_{m5}}{C_2} \quad (4.53)$$

donde  $C_2 = C_{db3} + C_{gd3} + C_{db1} + C_{gd1} + C_{gs5} + C_{bs5}$ .

- El polo  $p_3$  está dado por:

$$p_3 = \frac{g_{m9}}{C_3} \quad (4.54)$$

donde  $C_3 = C_{gs9} + C_{gs10} + C_{gd9} + C_{gd10} + C_{db5} + C_{gd5} + C_{db7} + C_{gd7}$ .

- El polo  $p_4$  está dado por:

$$p_4 = \frac{g_{m8}}{C_4} \quad (4.55)$$

donde  $C_{gs8} + C_{sb8} + C_{db10} + C_{gd10}$

- Finalmente los ceros  $z_1$  y  $z_2$  están dados por:

$$z_1, z_2 = \frac{p_3 + p_4}{2} \pm \sqrt{\left(\frac{p_3 + p_4}{2}\right)^2 - 4\frac{p_3 p_4}{2}} \quad (4.56)$$

### Frecuencia de ganancia unitaria

Si se habla de un amplificador con margen de fase mayor a  $45^\circ$  el segundo polo dominante debe estar ubicado a una frecuencia mayor que la frecuencia de ganancia unitaria  $\omega_o$ , y si el margen de fase de exactamente  $45^\circ$  la frecuencia de ganancia unitaria será igual a la frecuencia del segundo polo, esto asumiendo que se tiene separación entre polos mayor a una década y que en caso de haber ceros, estos se encuentran a frecuencias mayores a la frecuencia del segundo polo. En el diseño de amplificadores operacionales es común encontrar márgenes de fase alrededor de  $60^\circ$  y con esta consideración se garantiza que el op-amp se comporta como un circuito de un polo dominante. Desde esta perspectiva es válido una expresión para la

frecuencia de ganancia unitaria de la forma:

$$\omega_o = \frac{g_{m2}}{C_{Ltotal}} \quad (4.57)$$

donde  $C_{Ltotal}$  representa las capacitancias entre el nodo de salida y tierra. Debido a que  $C_{Ltotal}$  es función de los tamaños de los transistores, la expresión (4.57) es un posinomio inverso y por esta razón un límite mínimo para  $\omega_o$  puede ser manejado en un programa geométrico.

### Margen de fase

Una expresión aproximada propuesta en [3] para el margen de fase del circuito está dada por:

$$\frac{w_o}{p_2} + \frac{2}{3} \left( \frac{w_o}{p_3} \right)^3 + \frac{2}{3} \left( \frac{w_o}{p_4} \right)^3 \leq \frac{\pi}{2} - PM \quad (4.58)$$

Dado que  $p_2$ ,  $p_3$  y  $p_4$  son posinomios de las variables de diseño un margen de fase mínimo puede ser manejado en el diseño.

### Slew rate

El *slew rate* está dado por el siguiente posinomio inverso:

$$SR = \frac{I_{11}}{C_{LTOT}} \quad (4.59)$$

### Tensión y rango de entrada de modo común

En aplicaciones donde se requieren conexiones en cascada de amplificadores, es común que se especifique la tensión de entrada de modo común  $V_{IN}$  y su rango de variación. En el amplificador a diseñar, el rango de entrada de modo común está determinado por la tensión  $V_{DS}$  mínima en los transistores  $M_{11}$  y  $M_{3,4}$ , de esta manera se tiene que para una polarización dada el rango máximo de variación está dado por:

$$V_{DD} - V_{OV_3} - V_{OV_{11}} \quad (4.60)$$

Si se tiene como especificación de diseño un rango de modo común mínimo, se desprende la siguiente restricción:

$$V_{DD} - V_{OV_3} - V_{OV_{11}} \geq V_{IN_{max}} - V_{IN_{min}} \quad (4.61)$$

### Tensión DC y excursión de la señal de salida

Para una aplicación dada, es usual que sea una especificación de diseño la tensión DC de la señal de salida y la excursión máxima de ésta. La excursión de salida está definida como el rango en el que puede oscilar la señal de salida sin que ningún transistor salga de saturación.

En el amplificador cascode doblado el rango de excursión está determinado por las tensiones  $V_{DS}$  mínimas en los transistores  $M_{3,4}$ ,  $M_{5,6}$ ,  $M_{7,8}$  y  $M_{9,10}$ . Con una especificación de rango de excursión mínimo se tiene la siguiente restricción:

$$V_{DD} - V_{OV_{3,4}} - V_{OV_{5,6}} - V_{OV_{7,8}} - V_{OV_{9,10}} \geq V_{out_{max}} - V_{out_{min}} \quad (4.62)$$

#### 4.4.2. Condiciones de operación, simetría y consideraciones geométricas

Al igual que en el diseño de los op-amps anteriores, adicional a las restricciones mínimas o máximas en los parámetros de desempeño, se tienen restricciones originadas en la saturación y conducción de los transistores. A continuación se enumeran las restricciones originadas para cada transistor en particular:

- Debido a que la tensión de entrada de modo común  $V_{IN}$  puede variar de un  $V_{IN_{min}}$  hasta un  $V_{IN_{max}}$  se hace necesario garantizar que todos los transistores estén saturados. Para el caso particular de  $M_{11}$  el caso más restrictivo se presenta cuando  $V_{IN} = V_{IN_{min}}$ , de esta manera se tiene:

$$V_{IN_{min}} - V_{GS_{2,1}} \geq V_{GS_{11}} - V_{TN} \quad (4.63)$$

Adicionalmente, para que exista conducción se debe garantizar que:

$$V_{GS_{11}} \geq V_{OV_{min}} + V_{TN} \quad (4.64)$$

$$V_{GS_2} \geq V_{OV_{min}} + V_{TN} \quad (4.65)$$

donde  $V_{OV_{min}}$  es una constante que depende del criterio del diseñador.

- Para  $M_{1,2}$  se debe cumplir que:

$$V_{DS_{3,4}} \leq V_{DD} - V_{IN_{max}} + V_{TN} \quad (4.66)$$

Estas restricciones garantizan que en el peor de los casos, *i.e.* cuando  $V_{IN} = V_{IN_{max}}$ ,  $M_{1,2}$  estarán en saturación. Como aspecto curioso en (4.66), se observa que para tener a  $M_{1,2}$  saturados no es necesario restricciones en ninguna de sus variables de diseño.

- Para  $M_{3,4}$  se tiene:

$$V_{DS_{3,4}} \geq V_{GS_{3,4}} - V_{TP} \quad (4.67)$$

$$V_{GS_{3,4}} \geq V_{OV_{min}} + V_{TP} \quad (4.68)$$

- Para  $M_{5,6}$  se tiene:

$$V_{GS_{5,6}} \leq V_{DD} - V_{out_{max}} - V_{DS_{3,4}} + V_{TP} \quad (4.69)$$

$$V_{GS_{5,6}} \geq V_{OV_{min}} + V_{TP} \quad (4.70)$$

Para estos transistores se observa que la situación más restrictiva se presenta cuando la señal de salida llega a su máximo valor.

- Para  $M_{7,8}$  se tienen las siguientes restricciones:

$$V_{GS_{7,8}} \leq V_{out_{min}} + V_{TN} - V_{DS_{10,9}} \quad (4.71)$$

$$V_{GS_{7,8}} \geq V_{OV_{min}} + V_{TN} \quad (4.72)$$

Como se observa  $V_{out} = V_{out_{min}}$  es el caso más restrictivo en cuanto a la saturación de  $M_{7,8}$ .

- Finalmente para  $M_{9,10}$  se tiene:

$$V_{DS_{9,10}} \geq V_{GS_{9,10}} - V_{TN} \quad (4.73)$$

$$V_{GS_{9,10}} \geq V_{OV_{min}} + V_{TN} \quad (4.74)$$

Adicional a las consideraciones de saturación y conducción, a continuación se presentan las siguientes restricciones igualdad que deben cumplirse para garantizar la operación normal del circuito:

$$V_{DS_{11}} + V_{DS_2} + V_{DS_3} = V_{DD} \quad (4.75)$$

$$V_{GS_{9,10}} + V_{DS_{5,6}} + V_{DS_{3,4}} = V_{DD} \quad (4.76)$$

$$V_{DS_{9,10}} + V_{DS_{7,8}} = V_{GS_{9,10}} \quad (4.77)$$

$$I_{D_{11}} = 2 \cdot I_{D_2} \quad (4.78)$$

$$I_{D_3} = I_{D_5} + I_{D_2} \quad (4.79)$$

Para aprovechar al máximo la topología del circuito, se operará a los transistores  $M_{3,4}$  y  $M_{9,10}$  con tensiones  $V_{DS}$  muy cercanas a  $V_{OV}$ , con esto se garantiza tener el máximo rango de excursión posible. Con esta consideración las restricciones (4.67) y (4.73) se convierten en:

$$V_{DS_3} = V_{GS_3} - V_{TP} + \Delta V_{DS} \quad (4.80)$$

$$V_{DS_9} = V_{GS_9} - V_{TN} + \Delta V_{DS} \quad (4.81)$$

donde  $\Delta V_{DS}$  es un valor constante sumado para garantizar que no se opere en la región de triodo.

### Simetría

Como se va a diseñar un circuito diferencial simétrico se tendrá que los siguientes pares de transistores serán iguales:  $M_1-M_2$ ,  $M_3-M_4$ ,  $M_5-M_6$ ,  $M_7-M_8$ ,  $M_9-M_{10}$ . Cuando se habla de igualdad en estos transistores se hace referencia a que sus variables tanto eléctricas como geométricas serán iguales, por esta razón a lo largo de esta sección sólo se tendrán en cuenta las variables relacionadas a los transistores  $M_2$ ,  $M_3$ ,  $M_5$ ,  $M_7$  y  $M_9$ .

### Espejos de corriente

Los transistores  $M_{12}$  y  $M_{11}$  forman un espejo de corriente, de esta manera para mejorar la simetría de éste bajo posibles variaciones en el proceso de fabricación se tiene que:

$$L_{12} = L_{11} \quad (4.82)$$

### Consideraciones geométricas

Debido a que se está diseñando para la tecnología de fabricación AMS  $0.35\mu m$  se tienen las siguientes consideraciones para las dimensiones mínimas de todos los transistores:

$$W_i \geq 0,65\mu m \quad (4.83)$$

$$L_i \geq 0,35\mu m \quad (4.84)$$

Adicionalmente, para tener en cuenta el área máxima del circuito se introducen restricciones a las dimensiones máximas de los transistores:

$$W_i \leq W_{max} \quad (4.85)$$

$$L_i \leq L_{max} \quad (4.86)$$

#### 4.4.3. Metodología de diseño

La formulación matemática del problema de diseño se puede clasificar en dos partes: la descripción matemática de los parámetros de desempeño y de las consideraciones de operación, geométricas, etc. Generalmente los parámetros de desempeño están en función de parámetros del transistor, y las consideraciones de operación, geométricas, etc., en función de variables eléctricas o geométricas de los transistores, a partir de dichas variables se seleccionarán las variables de diseño del circuito. En el caso particular del circuito a diseñar, con la especificación de la tensión DC de salida se tiene que  $V_{GS_9} = V_{OUT}$  y de acuerdo a (4.81) se tiene que  $V_{DS}$  también se fija. Al ser fijadas directamente por una especificación de diseño no se tiene en cuenta a  $V_{GS_9}$  y a  $V_{DS_9}$  como variables de diseño. Las variables de diseño seleccionadas se listan a continuación:

- Transistor  $M_{12}$ :  $W_{12}$  y  $I_{BIAS}$ .
- Transistor  $M_{11}$ :  $V_{GS_{11}}$ ,  $V_{DS_{11}}$ ,  $W_{11}$  y  $L_{11}$ .
- Transistor  $M_2$  :  $V_{DS_2}$ ,  $W_2$ ,  $L_2$  e  $I_2$ .
- Transistor  $M_3$  :  $V_{GS_3}$ ,  $V_{DS_3}$ ,  $W_3$  y  $L_3$ .
- Transistor  $M_5$  :  $V_{GS_5}$ ,  $V_{DS_5}$ ,  $W_5$  y  $L_5$ .
- Transistor  $M_7$  :  $V_{GS_7}$ ,  $W_7$  y  $L_7$ .
- Transistor  $M_9$  :  $W_9$  y  $L_9$ .

Siguiendo la metodología de diseño planteada inicialmente, una vez definidas las variables de diseño, a partir de las expresiones obtenidas en la formulación matemática de los parámetros de desempeño se procede a generar los modelos de los parámetros del transistor necesitados. Con esto se completa la primera y segunda etapa del proceso diseño, la tercera etapa comprende implementación del programa geométrico sin embargo, una vez más se observa que algunas restricciones relacionadas con el análisis DC del circuito no pueden ser implementadas en un PG, esta situación se observa en las expresiones (4.75), (4.76) y (4.79). De esta situación se desprenden diferentes resultados importantes que merecen especial atención:

- Al no poder formular completamente el diseño del amplificador cascode doblado como un programa geométrico, no se garantiza alcanzar un diseño óptimo global.
- Es necesario generar buscar alternativas que permitan aproximar el comportamiento del circuito de manera tal que éste pueda ser manejado en un programa geométrico.

Una consecuencia adicional que surge al no poder manejar las expresiones (4.75), (4.76) y (4.79) en un PG es que las variables que intervienen en estas expresiones no pueden ser variables del programa geométrico. Lo anterior no significa que estas variables dejen de ser variables de diseño.

El enfoque seguido para dar solución a los inconvenientes antes mencionados, es en esencia el mismo que se siguió en los diseños anteriores, esta alternativa busca básicamente fijar el valor de las variables de diseño que no pueden ser manejadas en el PG, pero teniendo en cuenta que los valores seleccionados satisfagan las restricciones igualdad que no pueden ser manejadas por el PG. Las variables que se fijaron son:  $V_{DS_{11}}$  y  $V_{DS_3}$ , al fijar estas variables de diseño, las variables  $V_{GS_2}$  expresión (4.75),  $V_{GS_3}$  expresión (4.80) y  $V_{DS_5}$  expresión (4.76) pueden ser determinadas. Para manejar la ecuación (4.79) una alternativa puede ser fijar el valor de las variables  $I_{D_5}$  e  $I_{D_2}$  pero como se busca que el número de variables fijadas sea el menor posible, se asumió que  $I_{D_5}$  es  $a$  veces  $I_{D_2}$  con esto se introduce la nueva variable de diseño  $a$  y se reemplaza (4.79) por la siguiente ecuación:

$$I_{D_3} = (a + 1)I_2 \quad (4.87)$$

Parámetro	Especificación	PG	Hspice (Nivel 49)
Potencia [ $\mu\text{W}$ ]	<i>Minimizar</i>	930	829.596
Ganancia [dB]	$\geq 90$	92.3	97.30
Frecuencia de ganancia unitaria [MHz]	$\geq 40$	40	41
$V_{out_{max}} - V_{out_{min}}$ [V]	$\geq 2.9-0.4$	3.02-0.36	2.92-0.234
$V_{IN_{max}} - V_{IN_{min}}$ [V]	$\geq 1.6-1.3$	3.3-0.83	3.3-0.88

Tabla 4.7: Especificaciones de diseño y desempeño final del amplificador cascode doblado.

donde el valor de  $a$  también debe ser fijado para que esta igualdad pueda hacer parte de un PG.

Los valores a los que se fijarán las variables  $V_{DS_{11}}$ ,  $V_{DS_3}$  y  $a$  tratarán de cubrir todo el espacio de diseño, para esto se hace un barrido de los posibles valores que pueden tomar estas variables y para cada punto se plantea y soluciona el programa geométrico resultante. Finalmente se selecciona el mejor diseño, que para este caso corresponde al diseño con menor consumo de potencia. Los límites en los que pueden variar las tensiones  $V_{DS_{11}}$  y  $V_{DS_3}$  se presentan a continuación.

De (4.63) se deduce un límite mínimo para  $V_{DS_{11}}$  tiene que:

$$V_{DS_{11},min} = V_{OV_{min}} + V_{IN} - V_{IN_{min}} \quad (4.88)$$

Para garantizar que  $M_2$  conduzca para cualquier valor de  $V_{IN}$  se tiene un límite máximo para  $V_{DS_{11}}$ :

$$V_{DS_{11},max} = V_{IN_{min}} - V_{TN} \quad (4.89)$$

De la expresión (4.69) se tiene un límite máximo para la tensión  $V_{DS_3}$

$$V_{DS_3,max} = V_{DD} - V_{out_{max}} - V_{OV_{min}} \quad (4.90)$$

Finalmente el valor mínimo para  $V_{DS_3}$  está dado por:

$$V_{DS_{min}} = V_{OV_{min}} \quad (4.91)$$

#### 4.4.4. Aplicación de la herramienta de diseño

La metodología de diseño planteada en la sección anterior se logró automatizar, como resultado de esto se creó una herramienta de diseño la cual recibe unas especificaciones de entrada, modelos de los parámetros de transistor y a la salida se tiene el diseño alcanzado. Como ejemplo de la aplicación de la herramienta se planteó un ejemplo. Las especificaciones de diseño junto con los resultados alcanzados se resumen en la tabla 4.7, finalmente las variables óptimas se presentan en la tabla 4.8.

Variables de diseño	PG
$W_{12}$ [ $\mu\text{m}$ ]	0.83
$I_{BIAS}$ [ $\mu\text{A}$ ]	1
$V_{GS_{11}}$ [V]	0.65
$V_{DS_{11}}$ [V]	0.7
$W_{11}$ [ $\mu\text{m}$ ]	129.42
$L_{11}$ [ $\mu\text{m}$ ]	1.37
$V_{DS_2}$ [V]	2.29
$W_2$ [ $\mu\text{m}$ ]	8.27
$L_2$ [ $\mu\text{m}$ ]	0.35
$I_{D_2}$ [ $\mu\text{A}$ ]	79.15
$V_{GS_3}$ [V]	0.9
$V_{DS_3}$ [V]	0.29
$W_3$ [ $\mu\text{m}$ ]	229.77
$L_3$ [ $\mu\text{m}$ ]	1.73
$V_{GS_5}$ [V]	0.8
$V_{DS_5}$ [V]	2.4
$W_5$ [ $\mu\text{m}$ ]	270.59
$L_5$ [ $\mu\text{m}$ ]	1.97
$I_{D_5}$ [ $\mu\text{A}$ ]	79.15
$V_{GS_7}$ [V]	0.70
$W_7$ [ $\mu\text{m}$ ]	64.57
$L_7$ [ $\mu\text{m}$ ]	1.95
$W_9$ [ $\mu\text{m}$ ]	495.04
$L_9$ [ $\mu\text{m}$ ]	0.98

Tabla 4.8: Variables óptimas para el diseño del amplificador cascode doblado.



## Capítulo 5

# Análisis de resultados

En el capítulo anterior, se presentó la aplicación de la programación geométrica como metodología de diseño de op-amps. Los resultados alcanzados permitieron la automatización del diseño y la optimización del desempeño de los circuitos. En este capítulo final, se aprovecha la facilidad con la que se pueden diseñar los op-amps para realizar el análisis de circuitos a partir de la herramienta de diseño desarrollada.

Son indudables los beneficios que tiene para la industria las herramientas de automatización de diseño. Incluso los avances tecnológicos de la actualidad fueron impulsados por el desarrollo de herramientas CAD aplicadas al diseño de circuitos digitales. Sin embargo, la sola idea de lograr condensar en un programa las habilidades y el conocimiento de un experto diseñador, es un tema polémico y difícil de tratar. Ésta es una discusión que se está dando en la actualidad en todos los campos de las ciencias y la ingeniería donde la creatividad ha sido la base fundamental de su desarrollo.

La metodología de diseño usada nos permitió en cierta medida crear una “caja negra” a la que le entran límites para las especificaciones y le salen diseños; sin embargo, este alcance no es el propósito fundamental del trabajo. Lo que se busca realmente es analizar otra alternativa de diseño, identificando sus características y posibles ventajas.

Una de las características más interesantes del diseño formulado como un PG, es que brinda la posibilidad de conocer el circuito y ganar experiencia y dominio sobre el diseño del mismo. Como un ejemplo de este enfoque, la sección 5.1 utiliza los resultados de optimización para describir el comportamiento del amplificador operacional de dos etapas. Con el fin de discutir los resultados de este trabajo, en la sección 5.2 se presentan las conclusiones finales, en esta misma sección se plantean observaciones a modo de discusión sobre el diseño y la evolución de herramientas de automatización. La sección 5.3 presenta las contribuciones de este trabajo incluyendo una comparación con otros trabajos relacionados. Finalmente, se concluye con una cuarta sección donde se plantean algunas recomendaciones para trabajos futuros.

Parámetro del circuito	PG
Ganancia [dB]	80
Potencia [mW]	2.61
Frecuencia de ganancia unitaria [MHz]	63.6
CMRR [dB]	90.1
PSRR <sub>-</sub> [dB]	81.8
Margen de fase	60°
Slew Rate [V/μs]	89.68
Rango dinámico a la salida [V]	2.66
V <sub>OUT</sub> (DC) [V]	1.65

Tabla 5.1: Parámetros de desempeño del circuito.

## 5.1. Análisis del amplificador operacional de dos etapas

Identificar de manera general el comportamiento de las variables y de los parámetros del circuito es una tarea complicada, porque los resultados posibles dependen de las especificaciones de diseño. Sin embargo, se inicia esta sección con una descripción de algunos parámetros que generalmente mantienen cierto comportamiento común, mas allá de los valores límites en los demás parámetros. El análisis hecho en esta sección corresponde al op-amp diseñado en la sección 4.2, cuyos resultados se ilustran de nuevo en las tablas 5.1 y 5.2.

Entre las tres topologías de op-amp diseñadas, éste es el circuito que más potencia consume en estado estable para dar un ancho de banda determinado. De todos los parámetros tenidos en cuenta, el margen de fase y el *slew rate*, son los causantes del máximo consumo de potencia de este circuito, este hecho será tema central de análisis en esta sección. En caso que el circuito no estuviera compensado, la frecuencia de ganancia unitaria  $\omega_o$  sería el parámetro predominante en el consumo de potencia. A continuación se muestran las expresiones de los parámetros mencionados, aclarando que el diseño incluye compensación.

$$\omega_o = \frac{g_{m2}}{C_c} \quad (5.1)$$

$$\left(\frac{\omega_o}{p_2}\right) + \left(\frac{\omega_o}{p_3}\right) \leq \frac{\pi}{2} - PM_{min} \quad (5.2)$$

$$SR = \min \left\{ \frac{2I_{M5}}{C_c}, \frac{I_{M7}}{(C_c + C_{Ltot})} \right\} \quad (5.3)$$

Gracias al efecto de la compensación del circuito, la selección de un valor pequeño para el capacitor de compensación  $C_c$  en (5.1), permite alcanzar grandes valores de  $\omega_o$  sin necesidad de aumentar el consumo de corriente de la rama del par diferencial. Para satisfacer la res-

VARIABLES DEL CIRCUITO	PG
$I_{BIAS}$	$2.304\mu A$
$I_{M5}$	$134.48\mu A$
$I_{M7}$	$654.26\mu A$
$V_{gs1,2}$	$900mV$
$V_{gs3,4,8}$	$680mV$
$V_{gs5,6,7}$	$1.23V$
$W_{1,2}$	$70\mu m$
$W_{3,4}$	$31.07\mu m$
$W_5$	$42.14\mu m$
$W_6$	$1\mu m$
$W_7$	$198.94\mu m$
$W_8$	$233.57\mu m$
$L_{1,2}$	$0.936\mu m$
$L_{3,4}$	$0.618\mu m$
$L_{5,6,7}$	$2\mu m$
$L_8$	$0.4694\mu m$

Tabla 5.2: Diseño óptimo para el op-amp de dos etapas.

tricción de margen de fase mínima, es claro en (5.2) que la magnitud de los polos superiores debe ser mayor a  $\omega_o$ . El tercer polo corresponde al nodo al que se conecta la puerta de  $M_4$ ; normalmente este polo está muy por encima de  $\omega_o$  ya que la resistencia de salida vista por este nodo es muy baja. Por otra parte el polo dos que corresponde al nodo de salida, puede representar un problema por su cercanía a  $\omega_o$ . La función del capacitor de compensación es separar el primer y el segundo polo, aunque en (5.4) se puede ver que llegará un punto donde el efecto de aumentar  $C_C$  se hace insignificante sobre el segundo polo.

$$p_2 = \frac{g_{m_8}}{C_1 + C_1 C_{Ltot} C_c^{-1} + C_{Ltot}} \quad (5.4)$$

Teniendo en cuenta que  $C_C$  puede dejar de ser determinante en la magnitud de  $p_2$ , el único parámetro disponible para incrementar la magnitud del segundo polo es  $g_{m_8}$ . Para ver que efecto tiene aumentar  $g_{m_8}$  sobre el funcionamiento del circuito, se hace uso de las ecuaciones de nivel 1, para tener una mejor intuición que la dada por los complejos modelos posinomiales o *pwl*. De acuerdo al modelo de nivel 1 se tiene:

$$g_m = \frac{2I_D}{V_{OV}}$$

Entonces, para incrementar el valor de  $g_{m_8}$  es necesario un valor de corriente alto y una

tensión de *overdrive* pequeña. Estas dos condiciones se cumplen en los resultados de diseño, donde  $V_{OV8} = 0,15V$  e  $I_{M8} = 654,26\mu A$ . En conclusión la especificación de margen de fase es responsable de una gran parte del consumo de potencia del circuito, y por esto debe resultar en su límite inferior en la solución del PG.

A partir del requerimiento de margen de fase del circuito, se pueden seguir analizando los resultados de algunas variables. Por ejemplo, para identificar las dimensiones del canal de  $M_8$  nos apoyamos de nuevo en el modelo de nivel 1, donde se tiene:

$$V_{OV} = \sqrt{\frac{I_D \cdot L}{W \cdot k}} \quad (5.5)$$

en la anterior ecuación se observa que para mantener  $V_{OV8}$  pequeño cuando la corriente es grande, se requiere un valor elevado de  $W_8$  y un valor pequeño de  $L_8$ . Efectivamente este es el caso en la tabla 5.2.

La potencia consumida por el circuito está dada por la corriente que pasa por los transistores  $M_7$ ,  $M_5$  y  $M_6$ . En este circuito se tiene  $M_7 = M_8$ , así que ya se ha definido que  $I_{M_7}$  depende de las especificaciones de  $\omega_{o,min}$  y  $PM_{min}$ . Ya que  $I_{M_5} = 2I_{M_2}$  la corriente mínima por  $M_5$  puede estar limitada por la restricción de *slew rate* o por el valor de  $\omega_{o,min}$ . Siempre y cuando el *slew rate* no sea quien imponga el requerimiento de potencia mínima, se tendrá como solución del PG  $\omega_o = \omega_{o,min}$ . La razón para que  $\omega_o$  tome su valor límite, es que la corriente por  $I_{M_2}$  es minimizada al igual que el valor de  $g_{m2}$ . En este circuito la ganancia también resulta igual al valor mínimo especificado, esto ocurre porque la disminución de  $g_{m2}$  y  $g_{m4}$  produce una reducción de la ganancia en cada etapa.

Después de esta breve descripción del comportamiento de algunos parámetros, se continúa con el análisis de sensibilidad y el análisis de compromisos. Estos dos tipos de análisis permiten al diseñador conocer mejor el circuito y proponer modificaciones sobre los resultados obtenidos.

### Análisis de sensibilidad

El análisis de sensibilidad es un estudio de la variación del óptimo con respecto a pequeñas modificaciones en las restricciones. Los fundamentos teóricos de este análisis en la solución de un PG se encuentran en [3, 4], y no son repetidos aquí. Los datos para este análisis se obtienen directamente de los resultados del optimizador, así que no es necesario realizar ningún esfuerzo extra.

El análisis de sensibilidad tiene gran aplicación en la práctica, pues permite conocer cómo limitan las restricciones al parámetro de optimización. Con los datos de este análisis se identifica qué parámetros pueden ser cambiados sin modificar el valor óptimo, o cuáles restricciones deben ser menos estrictas para mejorar el diseño.

Retomando el amplificador de la sección 4.2, se obtienen del optimizador los datos de sensibilidad presentados en la tabla 5.3. De nuevo el parámetro a optimizar es la potencia en estado estable consumida por el circuito. Es importante aclarar que en esta tabla la ganancia

Parámetro	Especificación	GP	Sensibilidad
$\omega_{o,min}$	63.6MHz	63.6MHz	2.055
$A_{V,min}$	10 000	10 000	0.402
$PM_{min}$	60°	60°	1.75
$CMRR_{min}$	10 000	3.2*10 <sup>4</sup>	0

Tabla 5.3: Tabla de sensibilidad de parámetros.

Parámetro	Especificación	Potencia mínima	Variación de potencia
$\omega_{o,min}$	60.42MHz	2.341mW	269μW
$A_{V,min}$	9 500	2.56mW	50μW
$PM_{min}$	57°	2.39mW	220μW
$CMRR_{min}$	3.04*10 <sup>4</sup>	2.61mW	0

Tabla 5.4: Potencia mínima alcanzada debido a variaciones en especificaciones.

y el  $CMMR$  están dados en  $[V/V]$ .

Como es de esperarse, las restricciones con sensibilidad mayor a cero son aquellas cuyo valor de diseño se ha fijado al límite establecido en las especificaciones de diseño. Un dato de sensibilidad de valor  $\alpha$  predice que un cambio de  $\kappa\%$  en la especificación, llevará a un cambio en el óptimo de  $\kappa\alpha\%$ , siempre y cuando  $\kappa$  sea un valor cercano a cero. De acuerdo a la tabla 5.3 el parámetro con más sensibilidad es  $\omega_o$ ; su correspondiente valor de sensibilidad indica que un aumento del 5% en el límite mínimo de  $\omega_o$  se refleja aproximadamente en un incremento del 10% en el consumo de potencia. La tabla 5.4 muestra el resultado del óptimo para diferentes diseños, donde se ha disminuido individualmente cada especificación de la tabla 5.3 en un 5%.

Los datos de sensibilidad permiten hacer ajustes finales sobre el diseño; por ejemplo en la primera fila de la tabla 5.4, se ve que sacrificando un poco más de 3MHz en la frecuencia de ganancia unitaria, se pueden ahorrar 270μW en potencia consumida.

Se debe ser muy cuidadoso al usar los valores de sensibilidad para predecir el comportamiento del óptimo, ya que estos valores están definidos para valores muy pequeños alrededor de un solo punto de optimización. En otras palabras estos valores indican la pendiente en un punto de la curva del óptimo en función de una restricción, de manera que sólo cuando esta función sea lineal se podría calcular el cambio en el óptimo para cualquier cambio en la restricción. En la figura 5.1.(a) se muestra la variación del óptimo en función de la especificación de frecuencia de ganancia unitaria, esta gráfica muestra un comportamiento no lineal, por lo que la predicción hecha usando los datos de sensibilidad no son válidos para grandes variaciones en la especificación.

La figura 5.1.(a) se obtiene al aplicar la metodología de diseño para diferentes valores en la especificación de  $\omega_{o,min}$ , y graficar el óptimo alcanzado contra el valor de la restricción. Este tipo de curvas contienen información muy valiosa para el diseñador, por ejemplo en la figura 5.1.(a) se observa que cambiando la especificación de margen de fase de  $60^\circ$  a  $45^\circ$ , se puede disminuir el consumo de potencia del circuito aproximadamente en  $4mW$  cuando  $\omega_{o,min} = 100MHz$ . Éste es un ejemplo de análisis de compromisos o *trade-off*, a continuación se muestran diferentes curvas y análisis de este tipo.

### ***Trade-offs***

Los análisis de compromisos o *trade-off* sirven para identificar la relación entre el óptimo y la especificación de algún parámetro del circuito. La información que se obtiene de las curvas de compromisos sirve para tener una intuición sobre el comportamiento del circuito, por esto no es necesario conocer el valor óptimo exacto. Las curvas mostradas corresponden a datos obtenidos del PG que no han sido verificados en simulación, sin embargo, el posible error no es importante porque solo se busca mostrar la tendencia en el comportamiento del óptimo con respecto a los parámetros de desempeño analizados. A diferencia del análisis de sensibilidad aquí no se prevee el comportamiento del óptimo, por el contrario se hace una gran cantidad de diseños para conocer realmente el comportamiento del parámetro de optimización. La principal desventaja de este análisis es el tiempo de cómputo necesario para obtener los datos con los que se realiza cada curva.

Las curvas de compromisos se hacen teniendo en cuenta máximo tres dimensiones por gráfica, de esta forma estará en el eje  $y$  la potencia mínima y en el eje  $x$  el parámetro de variación principal. En la misma gráfica se tendrá una curva independiente por cada valor que toma la tercera dimensión. Cada vez que un parámetro no sea tenido en cuenta en una gráfica, tomará el valor de la tabla 5.5, es decir la especificación con la que se diseñó el op-amp de la sección 4.2.

En la figura 5.1 se presentan diferentes curvas de compromisos para este circuito. La subfigura 5.1.a muestra el compromiso entre la frecuencia de ganancia unitaria y la potencia; de esta curva se puede concluir que a medida que aumenta la especificación de ancho de banda, se hace más grande la potencia necesaria para garantizar un margen de fase determinado. Esto ocurre porque a medida que aumenta la corriente por  $I_{M_8}$ , aumenta en (5.5) el valor de  $W_8$  y  $W_7$  para mantener  $V_{OV_8}$  pequeño, y así tener el valor requerido de  $g_{m_8}$  con la mínima cantidad de corriente posible. Por efecto de las capacitancias intrínsecas del transistor, el incremento de las dimensiones de  $W_8$  y  $W_7$  conlleva a un aumento del valor de la capacitancia total en el nodo de salida, haciendo que en (5.4) el denominador crezca con el aumento de corriente, produciendo así el comportamiento no lineal mostrado en (a).

La curva de compromisos en (b), relaciona la potencia mínima con la especificación de ancho de banda, para diferentes especificaciones de ganancia. Un análisis de (b) muestra que entre más alta sea la especificación de  $\omega_{o,min}$ , mayor es el costo en potencia consumida para

Parámetro	Especificación
Ganancia [dB]	$\geq 80$
Potencia [W]	<i>Minimizar</i>
Frecuencia de ganancia unitaria [MHz]	$\geq 63.6$
CMRR [dB]	$\geq 80$
PSRR <sub>-</sub> [dB]	$\geq 80$
Margen de fase	$\geq 60^\circ$
<i>Slew Rate</i> [V/ $\mu$ s]	$\geq 50$
Excursión de señal de salida [V]	$\geq 2.5$
Tensión DC de modo común [V]	1.5
Máxima tensión de modo común [V]	1.9
Vout (DC) [V]	1.65

Tabla 5.5: Especificaciones de diseño.

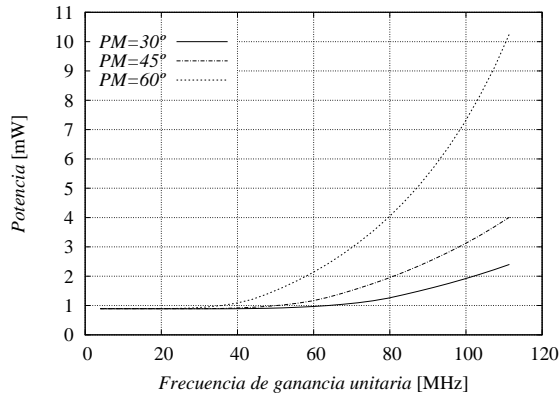
augmentar la ganancia. Por ejemplo a  $80\text{MHz}$  se requiere un aumento de potencia cercano al 150% para incrementar la especificación de ganancia de  $80\text{dB}$  a  $86\text{dB}$ ; linealmente este incremento corresponde a un aumento de ganancia de  $10\,000[V/V]$  a  $20\,000[V/V]$ .

En el proceso de construcción de las curvas de compromisos se pueden encontrar puntos límites, para los cuales es imposible satisfacer todas las especificaciones de diseño. Estos puntos han sido marcados en las curvas con la leyenda *Infeasible*<sup>1</sup>. Estos puntos le sirven al diseñador para saber qué especificaciones puede llegar a alcanzar con una topología de circuito. Por ejemplo aquí se puede afirmar que no es posible utilizar este circuito en una aplicación que demande una ganancia mayor  $86\text{dB}$  y que requiera  $\omega_o$  mayor o igual a  $100\text{MHz}$ . Por supuesto, este tipo de conclusiones también están sujetas al resto de especificaciones del circuito, y puede pasar que cambiando algún valor de la tabla 5.5 el problema de diseño pueda llegar a tener solución para las especificaciones de ganancia y  $\omega_o$  antes mencionadas.

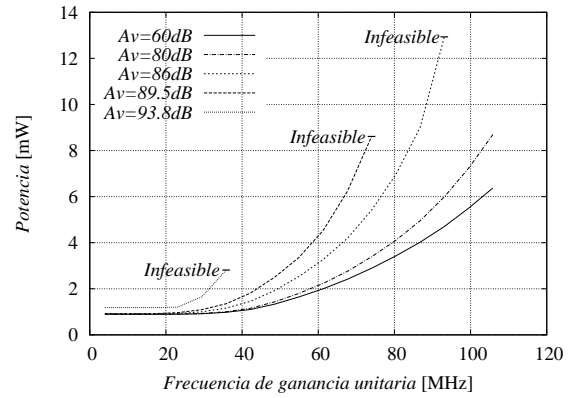
En las figuras 5.1.(c) y 5.1.(d), se ilustran las curvas para el compromiso entre el óptimo de potencia y la especificación de ganancia, sujetas a diferentes valores en la especificación de CMRR y PSRR.

Los análisis de compromisos permiten identificar un fenómeno muy interesante en los resultados de diseño. De acuerdo a la figura 5.1.(a), el aumento del margen de fase a una frecuencia dada se ve representado en un aumento considerable de la potencia consumida por el circuito. En los resultados presentados en la sección 4.2 usando *Hspice*, se encontró que el margen de fase es igual a  $67^\circ$  cuando el resultado del PG indica  $60^\circ$ . Al principio podría parecer que este error es insignificante, o que de hecho beneficia al diseño porque el margen de fase es mayor a  $60^\circ$ . Sin embargo las curvas de compromisos han mostrado el costo en potencia

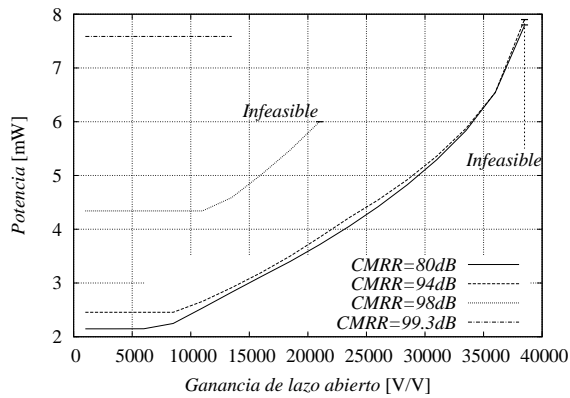
<sup>1</sup>Término en inglés el cual indica que un problema de optimización no cumple con todas las restricciones.



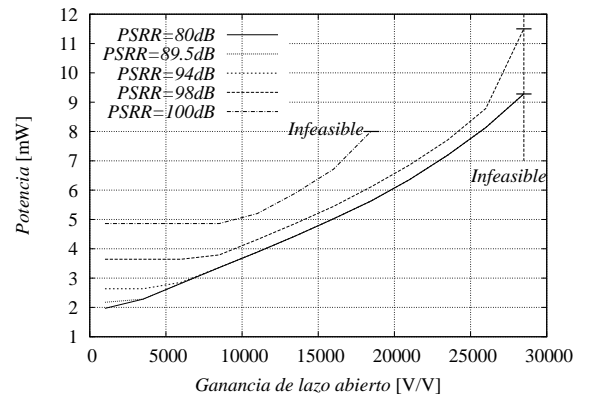
(a) Potencia Vs. frecuencia de ganancia unitaria, para diferentes especificaciones de margen de fase.



(b) Potencia Vs. frecuencia de ganancia unitaria, para diferentes especificaciones de ganancia.



(c) Potencia Vs. Ganancia de lazo abierto, para diferentes especificaciones de CMRR



(d) Potencia Vs. ganancia de lazo abierto para diferentes especificaciones de PSRR.

Figura 5.1: Curvas de compromisos.

que tiene aumentar el margen de fase en algunos grados. Esto quiere decir que si se logra disminuir el margen de fase en el circuito hasta alcanzar  $60^\circ$ , tal y como se tenía especificado, se obtendría una potencia menor a la del diseño ya hecho. Entonces si esto es así, ¿realmente se alcanzó el diseño óptimo global?. Pues bien, a nivel matemático probablemente sí, pero debe recordarse que en la especificaciones de margen de fase y de frecuencia de ganancia unitaria se hicieron algunas aproximaciones, cuyo supuesto pequeño error está costando en gran medida sobre el valor óptimo alcanzado.

## 5.2. Observaciones y conclusiones

En este trabajo se aplicó la programación geométrica en el diseño y optimización de tres configuraciones de amplificadores operacionales, diseñados para tecnología de fabricación CMOS AMS  $0.35\mu m$ . Para el diseño de los circuitos se presentó una metodología general, que se adaptó para cada amplificador. En esta labor, fue necesario reconocer el comportamiento de los circuitos desde las expresiones matemáticas que describen su desempeño, para finalmente expresar el diseño de éstos como un problema de optimización. Adicionalmente, gran parte de esta metodología de diseño se automatizó en una herramienta, que puede ser usada incluso por personas ajenas a los conceptos de programación geométrica.

En el diseño de cualquier circuito usando programación geométrica, es probable encontrar expresiones que no sean compatibles con la forma del problema de optimización. El caso más común es el de las leyes de Kirchhoff, que requieren satisfacer en igualdad una suma de variables. Para enfrentar este problema se propuso un método iterativo que optimiza y resuelve el problema de diseño para diferentes puntos de polarización del circuito, al tiempo que se garantiza el cumplimiento de las leyes de Kirchhoff. Desde esta perspectiva se toma el mejor óptimo alcanzado como resultado de diseño.

Los modelos de transistor son un punto clave en los resultados del diseño por programación geométrica. A pesar de los esfuerzos por generar modelos que se ajusten mejor al comportamiento del circuito, es complicado modelar sólo con cuatro variables el comportamiento del transistor que depende de una gran cantidad de fenómenos físicos. El problema del error de los modelos se enfrentó usando modelos posinomiales y *pwl*. El uso de este tipo de modelos no es suficiente para obtener un alto grado de concordancia entre los resultados de optimización y la verificación en simulación. Por esto se decidió diseñar inicialmente con modelos posinomiales o *pwl* que cubrieran regiones amplias de modelado, para posteriormente ir cerrando el espacio de modelado de acuerdo a los resultados de optimización. Este procedimiento permitió eliminar por completo el efecto del error de los modelos sobre los resultados de optimización. Los errores que se encuentran en los diseños finales se deben a las aproximaciones hechas en algunos parámetros de desempeño.

Una limitante importante en el diseño es la no posibilidad de implementar en el PG funciones que tengan coeficientes negativos. En el diseño de amplificadores operacionales solo se presentó este inconveniente en el op-amp de dos etapas con la especificación de  $PSRR_+$ , la solución fue ignorar este parámetro. Es probable que en el diseño de un circuito integrado analógico aparezca un parámetro crítico con estas características, en este caso la programación geométrica no podría ser una solución efectiva al problema de diseño.

En la actualidad el crecimiento y la tendencia por integrar en un mismo *chip* sistemas electrónicos complejos, incluyendo simultáneamente circuitos analógicos y digitales, han ocasionado un notable interés de la academia por el desarrollo de herramientas *EDA* (*Electronic Design Automation*), aplicadas al diseño de circuitos analógicos y de señal mezclada. La creación de este tipo de herramientas, parte de la necesidad de un cambio de paradigma para hacer más eficiente el proceso de diseño.

Una herramienta *EDA* para circuitos analógicos, busca capturar en un programa todo el conocimiento y la experiencia de un diseñador. Pero siendo la creatividad la base del paradigma del diseño analógico, se puede formular el siguiente cuestionamiento: ¿es posible programar un proceso creativo? Desde el contexto del diseño analógico se formula otra pregunta: ¿es posible reemplazar el trabajo de un diseñador con una herramienta de diseño automático? quizás sí, ¿pero hasta qué punto?

En el mundo existen dos tendencias con respecto a cómo se debe enfrentar el problema del diseño de un sistema complejo, ya sea en el campo del diseño de CIs o en cualquier otra área que involucre diseño. Por un lado está el diseño intuitivo y por otro la automatización, o en algunos contextos, *evolución* de los procesos de diseño. Cada uno de estos enfoques tiene sus ventajas y sus desventajas. Por un lado el diseño intuitivo le permite a cada diseñador aplicar su experiencia y conocimientos en la formulación de hipótesis y solución de problemas, además, el diseñador se enfrenta directamente con el problema real de diseño. Por otra parte, el enfoque evolutivo permite solucionar problemas de alta complejidad, con el uso de algoritmos eficientes, pudiendo así realizar diseños en cortos periodos de tiempo. La principal desventaja del enfoque evolutivo es que en muchos casos se trabaja con una adaptación del problema real, limitando la solución del problema a un conjunto de suposiciones. Los métodos de este tipo no permiten una fácil adaptación a otros problemas, por ejemplo si se hace un ligero cambio sobre la topología de uno de los op-amps diseñados, se debe hacer de nuevo todo el proceso de diseño, incluyendo una nueva formulación del problema.

Después de todas estas consideraciones es difícil determinar cual de los dos métodos es el apropiado. Desde los resultados alcanzados en este proyecto, sin duda se recomienda el uso de programación geométrica para el diseño de los op-amps, aunque no se garantiza que en otro tipo de circuitos se obtengan los mismos resultados.

Parámetro de desempeño	PG[26]	SPICE[26]	PG	SPICE
Potencia [ $mW$ ]	8	8.7	2.61	2.6
Ganancia DC [ $dB$ ]	70	74	80	80
Frecuencia de ganancia unitaria [ $MHz$ ]	47	46	63.6	57.2
Margen de fase [ $^\circ$ ]	63 $^\circ$	68 $^\circ$	60 $^\circ$	67 $^\circ$
<i>Slew rate</i> [ $V/\mu s$ ]	83	66	89.68	89.68

Tabla 5.6: Comparación de diseños entre [26] y este trabajo.

Las herramientas de automatización de diseño, pueden ser usadas para analizar el comportamiento de un circuito analógico. El estudio que se puede hacer a partir de los resultados de optimización, puede ser la mejor manera de entender el comportamiento del circuito. Los análisis de sensibilidad y *trade offs* contienen una cantidad de información valiosa, que puede llegar a usarse para determinar qué parámetros son responsables de limitar el desempeño óptimo del op-amp.

### 5.3. Contribuciones

La mejor forma de posicionar este trabajo es comparando los diseños hechos, con otros op-amps diseñados por programación geométrica. En la gran mayoría de trabajos publicados es normal encontrar que el op-amp de dos etapas sea usado para mostrar resultados, así que en esta sección se hace una comparación entre el op-amp de dos etapas diseñado en la sección 4.2 y el mismo op-amp presentado en otros trabajos.

El primer circuito de comparación se encuentra en [26] y corresponde a un op-amp de dos etapas diseñado para un proceso de fabricación CMOS  $0.35\mu m$ , con  $V_{DD} = 3.3V$  y  $C_L = 5pF$ . Las características de este op-amp son idénticas a las usadas en este proyecto<sup>2</sup> así que [26] es un buen punto de referencia. La tabla 5.6 presenta los dos diseños en mención, la columna marcada con PG[26] muestra el resultado del programa geométrico de [26], la columna SPICE[26] contiene los resultados de simulación en [26]. Las columnas GP y SPICE corresponden a los resultados de este trabajo.

Frente a esta primera comparación nuestro op-amp está bien posicionado. En todos los parámetros se alcanza un mejor desempeño. Sin embargo en [26] no se destacan los detalles de la implementación, así que no podemos saber la causa por la que el op-amp del presente proyecto tiene mejor desempeño.

El segundo circuito de comparación se encuentra en [23]. Este circuito fué diseñado en

<sup>2</sup>Aún cuando la tecnología de fabricación es la misma, es posible que entre diferentes procesos de fabricación las características del diseño cambien.

Parámetro de desempeño	PG[23]	SPICE[23]	PG	SPICE
Potencia [ $mW$ ]	0.2	0.2	2.61	2.6
Ganancia DC [ $dB$ ]	73.78	70.3	80	80
Frecuencia de ganancia unitaria [ $MHz$ ]	74	66.9	63.6	57.2
Margen de fase [ $^\circ$ ]	60 $^\circ$	66.48 $^\circ$	60 $^\circ$	67 $^\circ$

Tabla 5.7: Comparación de diseños entre [23] y este trabajo.

tecnología CMOS TSMC 0.18 $\mu m$ .

En el segundo caso de comparación se ve que el desempeño del op-amp en [23], es muy superior al desempeño del op-amp diseñado para el presente trabajo. Sin embargo, teniendo en cuenta la exactitud que se alcanza con la metodología seguida, no habría mas justificación para la diferencia de desempeños, que la diferencia entre tecnologías. Lo importante de esta comparación es notar que en términos del error del diseño final, el op-amp de este trabajo es comparable al de otras publicaciones.

Una contribución de este proyecto es la herramienta de diseño desarrollada, que beneficiará futuros proyectos de diseños de circuitos integrados que requieran la aplicación de op-amps. Los resultados de la herramienta de diseño han sido comparados con otros trabajos relacionados, encontrando que los diseños alcanzados se encuentran al nivel de publicaciones internacionales.

A nivel local se contribuye con la introducción de la metodología de diseño usando programación geométrica.

Por último, este documento abarca los aspectos mas importantes del diseño usando programación geométrica, incluyendo formulación, modelado, ejemplos representativos, técnicas para eliminar incompatibilidades en la formulación, optimizaón del diseño de op-amps y destacando los análisis posteriores.

## 5.4. Recomendaciones para trabajos futuros

La aplicación de la programación geométrica en el diseño de circuitos integrados analógicos, requiere la solución de diferentes tipos de optimización matemática, ya sea en la etapa de modelado o en la solución del PG. La selección de los *solvers* usados en el desarrollo de este trabajo, se hizo siguiendo recomendaciones encontradas en la literatura. A pesar de los buenos resultados obtenidos, el trabajo realizado estuvo sujeto a la utilización de licencias de prueba o licencias estudiantiles. Con el fin de superar este inconveniente en trabajos futuros, se recomienda utilizar software libre. Este proyecto dio un primer paso en este sentido al implementar las herramientas de diseño en *Octave*.

Comparando el modelado de funciones *pwl* contra el modelado de funciones posinomiales,

---

es recomendable el uso de modelos *pwl* porque los *solvers* para optimización cuadrática son mas fáciles de adquirir que los *solvers* para optimización no lineal no convexa.

A nivel de modelado de circuito se recomienda explorar la posibilidad de modelos para subcircuitos como espejos de corriente, y no solo para transistores individuales. Esto con el fin de reducir los errores introducidos en la metodología por la etapa de modelado.

Finalmente, se recomienda para trabajos futuros hacer los respectivos análisis de sensibilidad y *trade-off* del diseño de los op-amps, esto buscando la posibilidad de mejorar los diseños a través de pequeñas modificaciones en las restricciones.



# Bibliografía

- [1] IBS group. *Market research firm*. [Internet]. Visite: <http://www.ibsresearch.com>
- [2] MunEDA. *DFM/DFY Design for Manufacturability and Yield*. [Internet]. Visite: <http://www.muneda.com/content/products.htm>
- [3] M. Hershenson. *CMOS Analog circuit design via geometric programming*. A disertation for the degree of doctor of philosophy. Stanford University Nov. 1999
- [4] S. Boyd, S. Kim, L. Vandenberghe, A Hassibi. *A Tutorial on Geometric Programming*, Disponible en [www.stanford.edu/~boyd/](http://www.stanford.edu/~boyd/). 2005.
- [5] S. Mohan, M. Hershenson, S. Boyd and T. Lee. *Bandwidth extension in CMOS with optimized on-chip inductors*. *IEEE Journal of Solid State Circuit* March. 2000
- [6] J. Vanderhaegen and R. Brodersen. *Automated design of operational transconductance amplifiers using reverse geometric programming*. In *Proceedings of the 41st IEEE/ACM Design Automation Conference*, pages 133-138 San Diego, CA June 2004
- [7] M. Hershenson. *Design of a pipeline analog to digital convertes via geometric programming*. In *Proceedings of the IEEE/ACM International Conference on Computer Aided Design*, page 317-324, San Jose, CA, Jun. 2003
- [8] Maria del Mar Hershenson, Stephen P. Boyd, Fellow, IEEE, and Thomas H. Lee. *Optimal Design of a CMOS Op-Amp via Geometric Programming* In *IEEE transactions on computer-aided design of integrated circuits and systems*, vol. 20, NO. 1, january 2001
- [9] D. Colleran, C. Portmann, A. Hassibi, C. Crusius, C. Mohan, S. Boyd, T. Lee and M. Hershenson. *Optimization of phase-locked-loop circuit via geometric programming*. In *Proceedings of the Custom Integrated Circuit Conference (CICC)*, pages 326-328 Sept. 2003
- [10] C. Chu and D. Wong. *VLSI circit performance optimization by geometric programming*. *Annals of Operation Research*, 105:37-60, 2001
- [11] S.-J. Kim, S. Boyd, S. Yun, D. Patil and M. Horowitz. *A Heuristic for Optimizing stochastic activity networks with aplications to statical digital circuit sizing*, 2005. Manuscript available from [www.stanford.edu/~boyd/heur-san-opt.html](http://www.stanford.edu/~boyd/heur-san-opt.html).

- [12] D. Chandra, V. Singh, and H.Kar. *Improved Routh-padé approximants: A computer aided approach*. *IEEE Transactions on Automatic Control*, 49(2):292-296, february 2004.
- [13] M. Chiang. *Geometric Programming for Communication systems*, 2004. To appear in Trends and foundations in Communications and Information Theory.
- [14] S. Boyd, L. Vandenberghe. *Convex Optimization*. Libro disponible en [www.stanford.edu/boyd/](http://www.stanford.edu/boyd/). Published by the press syndicate of the university of Cambridge. 2004.
- [15] R. J. Duffin, E. L. Peterson and C. Zener. *Geometric Programming – Theory and Applications*, Wiley, 1967.
- [16] TOMLAB. *TOMLAB optimization environment for fast and robust large-scale optimization in MATLAB and LabVIEW*. [Internet]. Visite: <http://www.tomlab.biz>
- [17] MOSEK ApS. *Specialized solvers for linear programming, mixed integer programming and many types of nonlinear convex optimization problems*. [Internet]. Visite: <http://www.mosek.com>
- [18] MOSEK ApS. *The MOSEK optimization tools version 3.2, Users manual and reference*. Rev. 8, Denmark 2002.
- [19] Computational Optimization Laboratory. *Computational Optimization Program Library*. [Internet]. Visite: <http://dollar.biz.uiowa.edu/col/>
- [20] S. Boyd, S.-J. Kim, and S. Mohan. *Geometric Programming and its Applications to EDA Problems*, Tutorial presentation in *Design, Automation and Test in Europe*, Munich, Germany, March 2005.
- [21] P. R. Gray, P. J. Hurst, S. H. Lewis and R. G. Meyer, *Analysis and design of analog integrated circuits*, John wiley & Sons, New York, 4th. edition, 2001.
- [22] A. Magnani, S. Boyd. *Convex Piecewise-Linear fitting*, submitted to *SIAM*, April 2006
- [23] J. Kim, *Error Reduction Techniques in Geometric Programming based Mixed-Mode Circuit Design Optimization*, M.Sc. tesis, Universidad de California, Los Angeles, 2004
- [24] B. Razavi. *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [25] M. Hershenson, S. Boyd, and T. Lee. *GPCAD: A Tool for CMOS Op-Amp Synthesis*. In *IEEE International Conference on Computer Aided Design*, november 1998.
- [26] M. Hershenson, *CMOS analog circuit design via geometric programming*, In proceedings of American control conference, Boston, Massashusetts, June 2004