

**IMPLEMENTACIÓN DE UN INVERSOR DE TRES NIVELES CON CUATRO
RAMAS EN TOPOLOGÍA DE DIODOS ANCLADOS AL NEUTRO**

**INGRID JOHANNA MORENO CELIS
MANUEL SEBASTIÁN SUÁREZ ROJAS**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA**

2019

**IMPLEMENTACIÓN DE UN INVERSOR DE TRES NIVELES CON CUATRO
RAMAS EN TOPOLOGÍA DE DIODOS ANCLADOS AL NEUTRO**

**INGRID JOHANNA MORENO CELIS
MANUEL SEBASTIÁN SUÁREZ ROJAS**

Trabajo de grado para optar por el título de Ingeniero Electricista

**Director:
MARÍA ALEJANDRA MANTILLA VILLALOBOS
Doctora en Ingeniería Electrónica**

**Codirector:
FAUSTO OSORIO SILVA
Magíster En Ingeniería Electrónica**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA**

2019

DEDICATORIA

*A Dios por guiarme y acompañarme en cada etapa de mi vida,
A mis padres Ana Dilma y Jorge Eliecer por el apoyo incondicional, por formarme
como la persona que soy y por motivarme constantemente para alcanzar mis
metas.*

Ingrid Johanna Moreno Celis.

*Dedico este trabajo a mi amada madre Luz Amparo, quien me dio la educación y
fomentó con su ejemplo, los principios y valores que me rigen.*

Manuel Sebastián Suárez Rojas.

AGRADECIMIENTOS

A mis hermanos Yair, Elkin y especialmente a Danna por creer en mí y motivarme cada día a ser mejor.

A Sebastián, por ser un gran un amigo y compañero a lo largo de mi formación universitaria, por su apoyo y dedicación que hicieron posible alcanzar este logro.

A Hasbeidy, por ser mi amiga incondicional, mi compañera de locuras y mi confidente.

A David por su amor y apoyo incondicional.

Agradezco a la profesora María Alejandra, por su orientación y guía a lo largo de esta tesis.

A la Universidad Industrial de Santander – UIS y a la Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones – E3T.

Ingrid Johanna Moreno Celis.

*Agradezco primeramente a Dios por las oportunidades presentadas y la forma en
que me ilumina para aprovecharlas.*

*A mis hermanas Anggie y Carolina, que siempre me han demostrado todo su
apoyo y cariño*

*A mi abuelo Carlos por su apoyo incondicional, a mi tía Dora por la colaboración
prestada, y a toda mi familia, que de una y otra manera han impulsado y ayudado
a superarme.*

*Así mismo, doy gracias a Mi novia Nardy por el amor, paciencia y estímulo
emocional brindado.*

*A mi compañera y amiga Ingrid por el apoyo y acompañamiento brindado durante
mi formación, así como su esfuerzo y dedicación para la realización de este
trabajo.*

*Mi gratitud a María, quien dirigió y estuvo pendiente de la realización de este
trabajo.*

*A la universidad industrial de Santander por abrirme sus puertas, a los profesores
que dieron las herramientas necesarias para una buena formación profesional y a
toda la comunidad E3T – UIS por su acogida.*

Manuel Sebastián Suárez Rojas.

CONTENIDO

Pág.

INTRODUCCIÓN	18
1. OBJETIVOS.....	21
1.1 OBJETIVO GENERAL	21
1.2 OBJETIVOS ESPECÍFICOS.....	21
2. ESTADO DEL ARTE DE LOS INVERSORES MULTINIVEL	22
2.1 GENERALIDADES DE LOS INVERSORES MULTINIVEL	22
2.2 TOPOLOGÍAS DE INVERSORES MULTINIVEL	25
2.2.1 Convertidor con conexión en cascada de puentes monofásicos (CHB o Cascaded H-Bridge).	26
2.2.2 Convertidor con capacidades flotantes (FC o Flying Capacitor).	28
2.2.3 Inversor con diodos anclados al neutro de tres ramas (NPC, Neutral Point Converter).....	30
2.2.4 Inversor con diodos anclados al neutro de cuatro ramas (NPC, Neutral Point Converter).....	33
2.3 APLICACIÓN DE INVERSORES MULTINIVEL.....	34
2.3.1 Conexión a la red de fuentes de energía renovables.....	34
2.3.2 Sistemas flexibles de transmisión en alterna (Flexible AC Transmisión Systems – FACTS).	35
2.3.3 Accionamiento de motores de alterna.....	35
3. ESTRATEGIAS DE MODULACIÓN POR ANCHO DE PULSO (PWM) DEL INVERSOR MULTINIVEL	36
3.1 ESTRATEGIAS DE MODULACIÓN POR ANCHO DE PULSO PWM	37
3.1.1 Generalidades sobre las estrategias de modulación para inversores multinivel.....	38

3.1.2 Espectros de frecuencia para la tensión de salida.	41
3.2 MODULACIÓN SPWM	42
3.2.1 Modulación PWM basada en portadora modificada.....	44
4. DISEÑO DEL INVERSOR.....	53
4.1 RAMA DE CONMUTACIÓN DEL INVERSOR	53
4.1.1 Parámetros utilizados.	53
4.1.2 Dispositivos semiconductores.....	54
4.1.3 Drivers.....	56
4.1.4 Descripción del funcionamiento del circuito	60
4.2 PROGRAMACIÓN DE LA ESTRATEGIA DE MODULACIÓN	66
4.3 BUS DE TENSIÓN DE CORRIENTE CONTINUA	69
4.4 ETAPA DE POTENCIA.....	70
5. RESULTADOS Y PRUEBAS EXPERIMENTALES	74
5.1 SIMULACIÓN DEL ALGORITMO DE MODULACIÓN SPWM BASADO EN PORTADORAS EN FASE.....	74
5.2 SIMULACIONES DEL INVERSOR	76
5.2.1. Simulación para una rama.	76
5.2.2 Simulación del inversor trifásico – tres ramas.....	78
5.3 PRUEBAS EXPERIMENTALES	83
5.3.1 Verificación del algoritmo de modulación.....	84
5.3.2 Verificación del funcionamiento en una rama.	85
5.3.3 Verificación del funcionamiento del inversor.	86
6. CONCLUSIONES	91
BIBLIOGRAFÍA	93

LISTA DE TABLAS

	Pág.
Tabla 1. Nivel de tensión obtenido a la salida para cada conmutación.....	27
Tabla 2. Parámetros utilizados en el inversor.	53
Tabla 3. Características principales del módulo SEMiX155MLI07E4.	56
Tabla 4. Características principales del driver SKHI 22AR.	58

LISTA DE FIGURAS

	Pág.
Figura 1. Esquema y formas de onda de la tensión de salida del inversor para: a) dos niveles, b) tres niveles, c) nueve niveles.	24
Figura 2. Configuración de un puente H de tres niveles.	27
Figura 3. Topología del inversor multinivel FC de tres niveles.	29
Figura 4. Topología de tres niveles del inversor NPC.	31
Figura 5. Estados de conmutación para el inversor trifásico de tres niveles en topología NPC (a) V_{dc2} (b) cero y (c) $-V_{dc2}$	32
Figura 6. Esquema eléctrico para un inversor de cuatro ramas en topología NPC.	34
Figura 7. Principales estrategias de modulación de modulación para inversores multinivel.	37
Figura 8. Control para modulación por ancho de pulso (SPWM).	43
Figura 9. Esquema de modulación basado en portadora modificada APOD.	45
Figura 10. Forma de onda de la tensión de salida de fase y de línea, aplicando modulación APOD.	45
Figura 11. Esquema (a) Generación forma de onda y (b) Diagrama de control. ...	47
Figura 12. Formas de la señal portadora a) Triangular, b) Diente de sierra de pendiente negativa, c) Diente de sierra de pendiente positiva, d) Aleatoria.	48
Figura 13. Control del flanco respecto a la señal portadora a) Double edge PWM, b) Leading edge PWM, c) Trailing edge PWM.	49
Figura 14. Forma de onda de la tensión de salida de fase y de línea, aplicando modulación PD.	50
Figura 15. Formas de onda de referencia de la modulación PWM con inyección de tercer armónico.	52

Figura 16. Módulo SEMiX155MLI07E4 de SEMIKRON.....	55
Figura 17. Driver SKHI 22AR de SEMIKRON.....	57
Figura 18. Esquema de conexión interna y externa del driver SKHI 22AR.....	59
Figura 19. Diagrama esquemático de los elementos de conmutación.....	60
Figura 20. Esquema para protección en la compuerta de los IGBTs.....	62
Figura 21. Esquema de conexión del pin de 'error' del driver.....	63
Figura 22. Esquema de conexión del optoacoplador HCPL 3120.....	64
Figura 23. Imagen de los circuitos impresos para la adecuación de las señales de compuerta (a) Tarjeta superior disparo de S1 y S3 (b) Tarjeta inferior disparo de S2 y S4.	65
Figura 24. Fotografía de los circuitos impresos para la adecuación de las señales de compuerta.	66
Figura 25. Diagrama de generación de pulsos de conmutación a través de la tarjeta Texas LaunchPad TMS320F28379D.....	68
Figura 26. Esquema de generación de pulsos de conmutación del inversor.	69
Figura 27. Esquema de la etapa de alimentación implementada para el inversor.	71
Figura 28. Fotografía del prototipo experimental implementado del inversor trifásico de tres niveles con cuatro ramas en topología NPC.....	72
Figura 29. Esquemático de la modulación SPWM basado en portadoras en fase.....	75
Figura 30. Pulsos normalizados programados en Simulink para la conmutación de los interruptores de una rama.	75
Figura 31. Modelado de una rama del inversor en topología NPC en MATLAB/Simulink.	77
Figura 32. Formas de onda para (a) Tensión de fase (V_{an}), (b) Corriente en la carga (I_a).	77
Figura 33. Modelado del inversor en topología NPC con cuatro ramas en MATLAB/Simulink.	78
Figura 34. Formas de onda de tensiones de fase para el inversor (a) V_{an} , (b) V_{bn} , (c) V_{cn}	79
Figura 35. Corrientes a través de la carga (a) I_a , (b) I_b , (c) I_c	79

Figura 36. Formas de onda en tensión de salida de línea (a) V_{ab} , (b) V_{bc} , (c) V_{ca}	80
Figura 37. Gráfica de espectro en frecuencia FFT para la tensión de línea V_{ab} ...	81
Figura 38. Gráfica de espectro en frecuencia FFT para la corriente en la carga I_a	81
Figura 39. (a) Tensión, (b) Corriente en la resistencia de la fase A con un filtro de 30 [mHfase].	82
Figura 40. Gráfica de espectro en frecuencia con la FFT para la tensión en la resistencia de carga con un filtro de 30 [mH].	83
Figura 41. Montaje inicial del prototipo.	84
Figura 42. Pulsos para la conmutación de los interruptores de una rama.	85
Figura 43. Forma de onda de la tensión de fase V_{an} con carga resistiva en el prototipo.	85
Figura 44. Formas de onda de tensiones de fase (a) V_{an} , (b) V_{bn} , (c) V_{cn}	86
Figura 45. Formas de onda de tensión de línea (a) V_{ab} , (b) V_{bc} , (c) V_{ca}	87
Figura 46. Tensión de línea V_{ab} con carga resistiva.	88
Figura 47. Forma de la señal corriente sin filtro.	88
Figura 48. Tensión en la carga resistiva de la fase A con filtro de 30 [mH].	89
Figura 49. Forma de la señal de corriente I_a en el prototipo.	90

LISTA DE ANEXOS

(Ver Anexos adjuntos en el CD y pueden visualizarlos en la Base de Datos de la Biblioteca UIS)

ANEXO A. Hoja de datos de módulo IGBT SEMiX155MLI07E4.

ANEXO B. Hoja de datos de driver SKHI 22 AR.

ANEXO C. Hoja de datos de optoacoplador HCPL 3120.

ANEXO D. Hoja de datos de disipador de potencia P16 PM139.

ANEXO E. Hoja de datos de ventilador de SKF16A 230.

ANEXO F. Simulaciones.

ANEXO G. Diseño de la tarjeta PCB.

RESUMEN

TÍTULO: IMPLEMENTACIÓN DE UN INVERSOR DE TRES NIVELES CON CUATRO RAMAS EN TOPOLOGÍA DE DIODOS ANCLADOS AL NEUTRO*.

AUTORES: INGRID JOHANNA MORENO CELIS
MANUEL SEBASTIÁN SUÁREZ ROJAS.**

PALABRAS CLAVE: Inversor de tres niveles en topología de diodos anclados al neutro (NPC), estrategias de modulación, distorsión armónica, sistema trifásico de cuatro hilos.

DESCRIPCIÓN

En este trabajo se presenta el desarrollo del diseño y la implementación de un inversor trifásico de cuatro ramas con diodos anclados al neutro (NPC, *Neutral Point Clamped*), y la evaluación de su desempeño en cuanto a la forma de onda de las señales de tensión y corriente.

Inicialmente, se plantea un breve análisis sobre la estrategia de modulación a utilizar para obtener las señales de conmutación del inversor, seguidamente se realiza la simulación de este para distintos escenarios a través del entorno de programación MATLAB/Simulink. Así mismo, se diseñó el circuito encargado de la adecuación y aislamiento de las señales, las cuales son necesarias para el conexionado de los dispositivos semiconductores. Esta etapa fue posteriormente diseñada en placa de circuito impreso (PCB, *Printed Circuit Board*), para garantizar un funcionamiento más estable y proceder al ensamblado de los componentes que conforman este prototipo.

Esto brinda la oportunidad de realizar una pronta acción frente a un error, lo cual es algo importante, además que este prototipo estará a disposición de los estudiantes para fines investigativos, que facilitará percibir los errores en caso de ser ocasionados.

Finalmente, en la verificación del funcionamiento del prototipo se evidenció un comportamiento equivalente al obtenido mediante simulación, a partir del cual se confirmó que, con la modulación seleccionada, se obtienen 5 niveles en las tensiones de línea en la salida AC del inversor, y, además, con el uso de filtros inductivos se lograron reducir las componentes de alta frecuencia de la corriente en la carga, resultando en una onda cercana a la sinusoidal.

* Trabajo de grado

** Facultad de Ingenierías Físico Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: María Alejandra Mantilla Villalobos, Doctora en Ingeniería Electrónica. Codirector: Fausto Osorio Silva, Magíster en Ingeniería Electrónica

ABSTRACT

TITLE: IMPLEMENTATION OF A THREE-LEVEL INVERTER, WITH FOUR BRANCHES IN A TOPOLOGY OF NEUTRAL POINT CLAMPED DIODES*

AUTHORS: INGRID JOHANNA MORENO CELIS**
MANUEL SEBASTIÁN SUÁREZ ROJAS

KEY WORDS: Three-Phase Three-Level NPC Inverter, modulation strategies, harmonic distortion, three-phase four-wire.

DESCRIPTION

This paper deals with the design and the implementation of a three-phase inverter with four branches, each of the branches with NPC diodes (NPC, Neutral Point Clamped). The evaluation of the inverter performance according to the waveform and harmonic content of the voltage and current signals is also presented.

At first, a modulation strategy analysis is presented and used to acquire the inverter switching signals. For this purpose, the simulation of the inverter is carried out using software MATLAB / Simulink. Moreover, the circuit for the adaptation and isolation of the signals was designed, which are necessary for the connection of semiconductor devices. This circuit was designed on a Printed Circuit Board (PCB), to ensure more stable operation and proceed to assemble the prototype.

This provides the opportunity to take prompt action against an error, which is something important, and this prototype will be available to students for research purposes, which will make it easier to perceive errors if they are caused.

Finally, in order to validate prototype operation, it is observed a behavior equivalent to the obtained by simulation. Using the simulation, it is confirmed that with the modulation selected, five levels of line voltages at the AC output of the inverter can be obtained. In addition, the high-frequency components of the load current were reduced using the inductive filters, resulting in a wave more similar to the sine waveform.

* Degree work

** Faculty of Mechanical Engineering. School of Electrical, Electronic and Telecommunications Engineering. Director: María Alejandra Mantilla Villalobos, Doctor in Electronic Engineering. Co-director: Fausto Osorio Silva, Master in Electronic Engineering

INTRODUCCIÓN

El incremento del uso de energías renovables no convencionales es el producto de una serie de investigaciones y predicciones a mediano y largo plazo acerca del posible desabastecimiento energético a partir de las energías convencionales, en consecuencia del incremento constate en la demanda de energía eléctrica, así como factores ambientales y un posible agotamiento de los recursos en el planeta, motivo por el cual se están implementando estrategias que tengan como finalidad dar confiabilidad al sistema eléctrico y mantener un suministro estable de energía en los picos de la demanda. Una de las estrategias de mayor interés consiste en el aprovechamiento de la energía proveniente del sol, la cual se obtiene por medio de paneles solares que se encargan de captar parte de la energía emitida por la radiación solar y transformarla en energía eléctrica. Como dichos elementos no pueden conectarse directamente a la red, cobran importancia los inversores, pues de estos depende lo que realmente ingresa a la red, ya que estos elementos permiten transformar señales de DC en AC y adecuar la señal resultante según las características eléctricas deseadas. Gracias a esto, las aplicaciones de los inversores se han incrementado y por ello se hace necesario el estudio de diversas topologías para conocer las características particulares que puede brindar cada una de estas. Una aplicación de estas topologías son los inversores multiniveles, los cuales se han consolidado en los últimos años como una opción competitiva para la conversión de energía en el rango de media-alta potencia, desde el punto de vista técnico y económico.¹

La forma más general de entender el funcionamiento de un inversor multinivel es considerarlo como un sintetizador de tensión, donde la tensión alterna de salida se sintetiza a partir de diferentes niveles de tensión continua. Una de las características

¹ MOHAN, N.; UNDELAND, T. M.. Power electronics: converters, applications, and design. John wiley & sons. 2007

más representativas de esta tecnología consiste en que los dispositivos semiconductores no se someten directamente a la tensión de alimentación, si no que mantienen una relación inversamente proporcional respecto a la cantidad de niveles del inversor, lo cual brinda una serie de ventajas, como la posibilidad de trabajar con tensiones elevadas en la alimentación y por consiguiente, manejar mayor potencia empleando los mismos dispositivos semiconductores que en un convertidor convencional, pero con un mayor número de estos, además se logra reducir el contenido armónico en las señales de salida. Por otra parte, para el control de inversores es importante el tipo de modulación elegido dentro del amplio rango de estrategias existentes, dentro de las cuales se pueden encontrar la modulación SPWM (*Sine-wave pulse width modulation*)², la cual brinda la posibilidad de variar el ancho de cada pulso en proporción a la amplitud de la onda sinusoidal, mediante la comparación entre las amplitudes de una señal de alta frecuencia denominada portadora y una señal de baja frecuencia denominada referencia, siendo la señal de referencia una onda senoidal pura, mientras que para las portadoras se pueden utilizar distintas formas de la señal, como puede ser diente de sierra con pendiente positiva o negativa o señales triangulares.

Una de las topologías actualmente más utilizada corresponde al inversor con diodos anclados al neutro (NPC, *Neutral Point Clamped*)³ ya que se están utilizando inversores en sistemas eléctricos a tensiones cada vez más altas donde se manejen mayores potencias, Además esta topología brinda la posibilidad de inyectar componentes de secuencia positiva y negativa en cada fase, así como la inyección de componentes homopolares, a partir de las cuales se pueden obtener grandes beneficios como la compensación de componentes armónicas de origen homopolar y tener un mejor control sobre el neutro. Por consiguiente, se permite la inclusión de otras funcionalidades no utilizadas comúnmente en los sistemas fotovoltaicos, las

² CHUNG, D. W.; Kim, J. S.; SUL, S. K. Unified voltage modulation technique for real-time three-phase power conversion. IEEE TRANSACTIONS on Industry applications, 34(2). 1998

³ NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped PWM inverter. IEEE Transactions on industry applications, (5), 1981

cuales se enfocan en el mejoramiento continuo de la calidad de la energía en las redes de distribución. Por esto, es indispensable la investigación e implementación de diferentes modelos con sus respectivas estrategias de modulación y poder establecer ventajas y desventajas que brinden la posibilidad de elegir el modelo más adecuado según sean las necesidades.

En este trabajo se diseñó e implemento un prototipo de inversor considerando la topología NPC de tres niveles, del cual se verificó el funcionamiento mediante la comparación con los resultados obtenidos a partir de simulación y además se buscó establecer una base para trabajos futuros.

1. OBJETIVOS

1.1 OBJETIVO GENERAL

Implementar un inversor de potencia trifásico de cuatro ramas considerando la topología de tres niveles con diodos anclados al neutro (NPC, Neutral Point Clamped) controlado mediante una estrategia de modulación en lazo abierto.

1.2 OBJETIVOS ESPECÍFICOS

Para garantizar el cumplimiento del objetivo general se plantean los siguientes objetivos específicos:

- Simular un inversor trifásico tetrafilar en topología NPC de tres niveles controlado mediante una estrategia de modulación seleccionada.
- Diseñar la etapa de adecuación y aislamiento de las señales de control del inversor y el circuito impreso para su implementación.
- Realizar el ensamble de los elementos y dispositivos semiconductores necesarios para la construcción del inversor.
- Verificar el funcionamiento del inversor de potencia implementado.

2. ESTADO DEL ARTE DE LOS INVERSORES MULTINIVEL

En esta sección se presenta una visión general de los inversores multinivel y sus aplicaciones, así como la descripción de las principales topologías existentes, dentro de las cuales se encuentra el inversor multinivel con diodo anclado al neutro (NPC, *Neutral Point Clamped*), que es la topología utilizada para el desarrollo de esta tesis.

2.1 GENERALIDADES DE LOS INVERSORES MULTINIVEL

El inversor multinivel actual supone su punto de partida de investigación en 1980 por Nabae, Takahashi y Akagi⁴, con lo cual actualmente se posicionan como una opción bastante prometedora para la conversión de energía DC/AC en el rango de media y alta potencia. La consolidación de los inversores multinivel ha evolucionado en gran medida por el avance tecnológico de los dispositivos semiconductores. Estos elementos hacen viable el uso de esta tecnología tanto técnica como económicamente, puesto que representan una opción interesante en el campo de la potencia, así como la disminución de pérdidas y la mejora en la calidad de la energía.

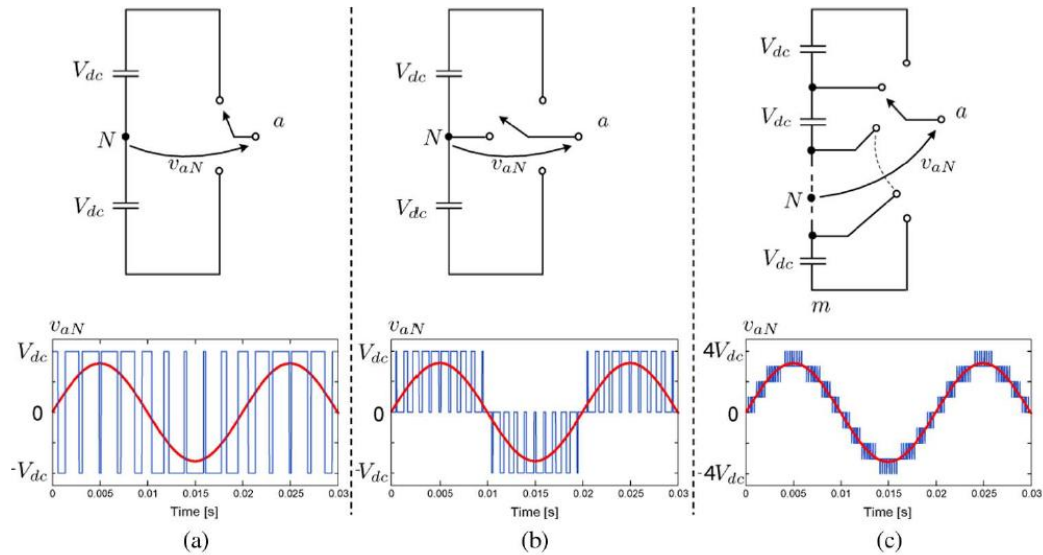
Básicamente el inversor multinivel consiste en la conexión en serie de componentes semiconductores para la conmutación de potencia, tales como, transistores bipolares de puerta aislada (IGBT, *Insulated Gate Bipolar Transistors*), tiristores desactivados por compuerta (GTO, *Gate - Turn - Off*) y tiristores controlados por puerta integrada (IGTC, *Integrated Gate Commutated Thyristor*); que desarrollan la

⁴ GÓMEZ, A. A.; TREJOS, L. A. Simulación de un inversor trifásico multinivel con fijación por diodos usando SIMULINK de MATLAB. *Scientia et technica*, 16(45). 2010

conversión de la energía eléctrica proporcionada por fuentes tensión de DC, logrando una forma de onda de salida de corriente alterna con bajo contenido armónico.

Normalmente se le considera inversor multinivel cuando el número de niveles obtenidos a la salida en la onda de tensión es mayor o igual a tres, a diferencia del inversor de dos niveles convencional. En la figura 1 se pueden observar diagramas esquemáticos de tres inversores diferentes y su respectiva forma de onda de tensión a la salida. En la parte (a) se muestra el esquema para obtener una forma de onda de la tensión a la salida en dos niveles, entre V_{dc} y $-V_{dc}$. En el ítem (b) se obtiene un nivel de tensión adicional 0 con respecto al mencionado anteriormente, puesto que se referencia la tensión a un punto neutro, y finalmente en el apartado (c) se observa la configuración para obtener nueve niveles de tensión a la salida.

Figura 1. Esquema y formas de onda de la tensión de salida del inversor para:
a) dos niveles, b) tres niveles, c) nueve niveles.



Fuente: RODRÍGUEZ, J.; et al. Multilevel Converters: An Enabling Technology for High-Power Applications. Proceedings of the IEEE, 97, 2009. p. 1786-1817.

A continuación, se presentan algunas de las ventajas más representativas que supone el uso de los inversores multinivel (Hidalgo y Ortiz, 2018):

- La tensión de salida presenta un contenido armónico bajo.
- Absorción de corrientes de entrada con menor distorsión.
- La posibilidad de emplear mayores tensiones permite el aumento de la potencia manejada por el inversor sin la necesidad de incrementar la corriente, motivo por el cual las pérdidas por conducción se mantienen y, por ende, se mejora el rendimiento del convertidor.
- La respuesta dinámica del inversor es más rápida, al presentar mayores niveles de tensión.
- Manejo de un rango amplio en las frecuencias de conmutación de los interruptores, según la aplicación del inversor.

- Baja tensión soportada por cada dispositivo de conmutación, esto proporciona la posibilidad de seleccionar interruptores con menor dimensionamiento en tensión nominal para mejorar características de frecuencia de conmutación, corriente y potencia máxima soportada por los dispositivos.

Por otra parte, en los inversores multinivel se pueden identificar una serie de desventajas, tales como (Hidalgo y Ortiz, 2018):

- Aumento significativo en la complejidad del control, puesto que se emplea un mayor número de dispositivos de conmutación.
- Altas pérdidas por conmutación.
- El conexionado en serie de los dispositivos de conmutación implican problemas de desbalance de tensión en el bus de continua.

En la actualidad existen tres tipos de inversores multinivel ampliamente conocidos y que se pueden denominar como “topologías de inversión clásicas”, los cuales se describen en la siguiente sección.

2.2 TOPOLOGÍAS DE INVERSORES MULTINIVEL

Las topologías que han tenido mayor aceptación en aplicaciones industriales corresponden con:

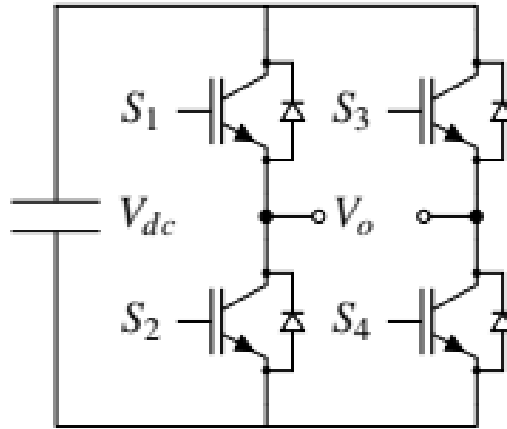
- Convertidor con conexión en cascada de puentes monofásicas (CHB o *Cascaded H-Bridge*)
- Convertidor con capacidades flotantes (FC o *Flying Capacitor*)
- Convertidor con fijación por diodos (NPC o *Neutral Point Clamped*)

A continuación, se discuten de manera general la operación y estructura de dichos inversores.

2.2.1 Convertidor con conexión en cascada de puentes monofásicos (CHB o Cascaded H-Bridge). El inversor multinivel de puentes H en cascada se encuentra conformado por la conexión de dos o más inversores monofásicos de puente completo, los cuales, se encuentran compuestos por dos ramas con dispositivos de conmutación, con el fin de evitar un cortocircuito en el bus de continua. Además, cada inversor monofásico en puente H genera tres niveles de tensión a su salida V_{dc} , 0 y $-V_{dc}$.

En la figura 2 se muestra el esquema de un inversor en cascada de tres niveles, el cual está formado por ramas de dos niveles y una sola fuente. El voltaje resultante de salida corresponde con: $+V_{dc}$, 0 y $-V_{dc}$. Para obtener $+V_{dc}$, se colocan en conducción los semiconductores $S1$ y $S4$; mientras que $S2$ y $S3$ se encuentran es estado de no conducción. Por lo contrario, cuando se encuentran conduciendo $S2$ y $S3$ y están apagados $S1$ y $S4$, se obtiene $-V_{dc}$. Por otra parte, para obtener el voltaje de salida de amplitud cero se realiza con las combinaciones de $S1$ y $S3$ ó $S2$ y $S4$ en estado de conducción. Las demás combinaciones no son permitidas, puesto que conllevan a provocar un cortocircuito en la fuente DC.

Figura 2. Configuración de un puente H de tres niveles.



Fuente: ALMEIDA. Caracterización de Inversores Multinivel tipo Puente-H en Cascada (tesis de maestría). Universidad Industrial de Santander, Bucaramanga, Colombia. 2018

El funcionamiento de este puente H, se puede resumir en la tabla 1, donde uno (1) representa el estado de conducción de los semiconductores, y cero (0) si se encuentran abiertos.

Tabla 1. Nivel de tensión obtenido a la salida para cada conmutación.

S_1	S_2	S_3	S_4	V_{ab}
1	0	0	1	$+V_{dc}$
1	1	0	0	0
0	0	1	1	0
0	1	1	0	$-V_{dc}$

De manera general, cuando se conectan dos o más puentes H en serie, se pueden formar distintos niveles de tensión en la forma de onda obtenida a la salida. Si conectan k puentes H en serie, se pueden obtener $n_f = 2k + 1$ niveles diferentes de tensión por fase, a través de la conexión de $\frac{1}{2}(n_f - 1)$ fuentes de DC a cada puente H. Cabe resaltar, que la forma de onda de tensión a la salida incrementa su

calidad, puesto que, con una topología trifásica en puente completo, es posible obtener $n_{II} = 2n_f - 1$ niveles en la tensión de línea V_{II} .⁵

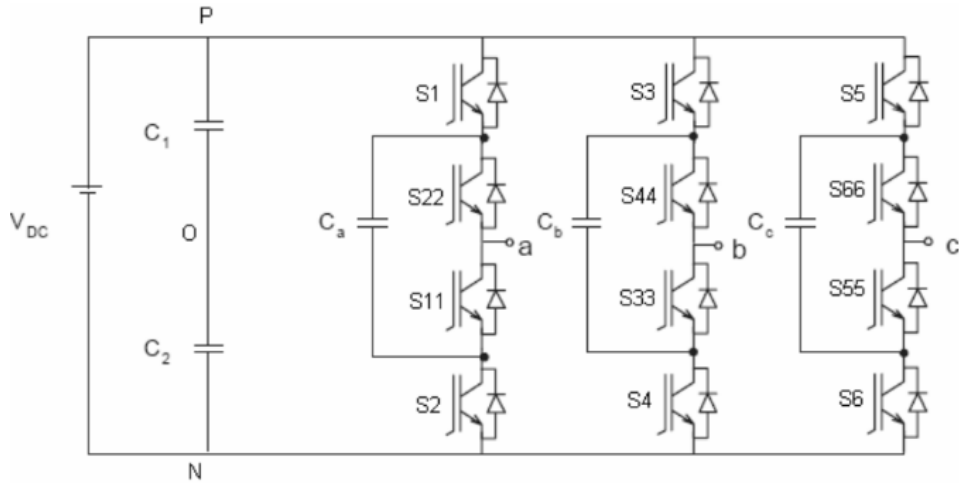
Una ventaja competitiva de esta topología consiste en que emplea un menor número de componentes para obtener un mayor número de niveles de tensión.

2.2.2 Convertidor con capacidades flotantes (FC o Flying Capacitor). Los capacitores flotantes fueron introducidos por primera vez por Meynard y Foch en (Meynard & Foch, June 1992, págs. 397-403).

Este inversor posee una topología similar a la de diodos anclados al neutro, puesto que los condensadores en serie actúan como fuentes DC, dividiendo la tensión de la fuente en partes iguales. Esta topología presenta una mayor flexibilidad en la formación de la onda de salida y en el balance de tensión de los condensadores. Este inversor bloquea la tensión de cada interruptor a través de capacitancias como se observa en la figura 3.

⁵ RODRIGUEZ, J.; FRANQUELO, L. G.; KOURO, S.; LEON, J. I.; PORTILLO, R. C.; PRATS, M. A. M.; PEREZ, M. A. Multilevel converters: An enabling technology for high-power applications. Proceedings of the IEEE, 97(11), 2009

Figura 3. Topología del inversor multinivel FC de tres niveles.



Fuente: GRISALES y GÓMEZ. Implementación de un inversor trifásico multinivel con fijación por diodos. Revista Lasallista de investigación, 10(1), 14. 2013

Además, esta topología requiere un gran número de condensadores para acoplar la tensión, es decir, siempre y cuando el rango de tensión sea el mismo para cada condensador, un inversor de m niveles requiere un total de condensadores de acople por fase de $\frac{1}{2}(m-1)(m-2)$, sin tener en cuenta los dos condensadores principales que se encuentran conectados al bus de continua (Rodríguez, Lai y Peng, 2002).

El uso de esta topología, anclada por condensador posee la cualidad de tener un control de potencia real y activa, así como una combinación extra de tensión para balancear los niveles de tensión. Un inconveniente de este inversor es el elevado uso de capacidades flotantes, así mismo deben estar en capacidad de soportar la corriente de carga, por lo tanto, deben ser elegidos cuidadosamente, para no

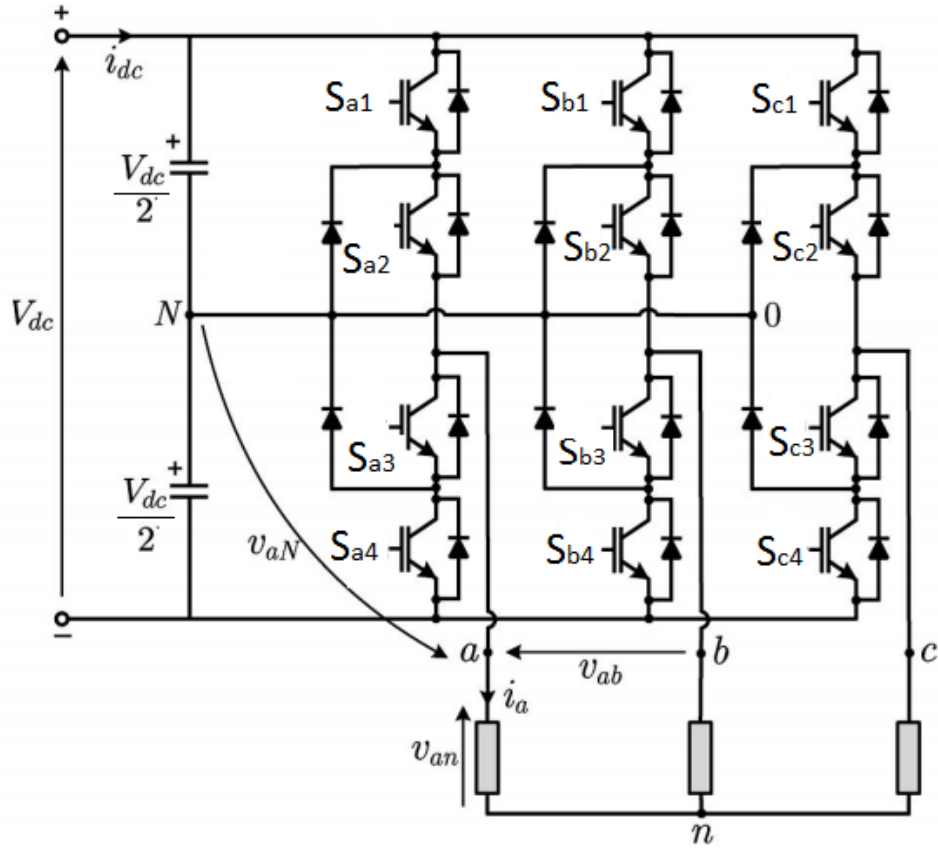
generar pérdidas innecesarias y a su vez, no condicionar la corriente máxima del convertidor.⁶

2.2.3 Inversor con diodos anclados al neutro de tres ramas (NPC, Neutral Point Converter). El inversor con diodos anclados al neutro es también conocido como *Neutral Point Clamped Converter* (NPC), la cual es la topología más común de los convertidores multinivel, propuesta por Nabae, Takahashi y Akagi (1999).

El inversor de tres niveles es particularmente interesante para la aplicación en sistemas de alta potencia. En la figura 4 se observa el circuito de un inversor de tres niveles en esta topología. El bus de continua se encuentra conformado por dos condensadores que están conectados en serie, en el cual el punto neutro (N) es la unión entre ambos condensadores, es decir el punto medio. Además, son los elementos encargados de referenciar el nivel de tensión de la tensión de salida de cada rama, es así que el nivel de tensión en la salida de cada fase (V_{an} , V_{bn} , V_{cn}) toma tres niveles diferentes: $\frac{V_{dc}}{2}$, 0 y $-\frac{V_{dc}}{2}$. Por lo tanto, para obtener un adecuado funcionamiento del inversor es necesario que el valor de tensión en cada condensador sea aproximadamente igual a la mitad del bus de continua y, además, se deben fijar las tensiones de bloqueo de los interruptores.

⁶ SHAKWEH, Y.; LEWIS, E. A. Assessment of medium voltage PWM VSI topologies for multi-megawatt variable speed drive applications. In 30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No. 99CH36321) Vol. 2. July 1999

Figura 4. Topología de tres niveles del inversor NPC.

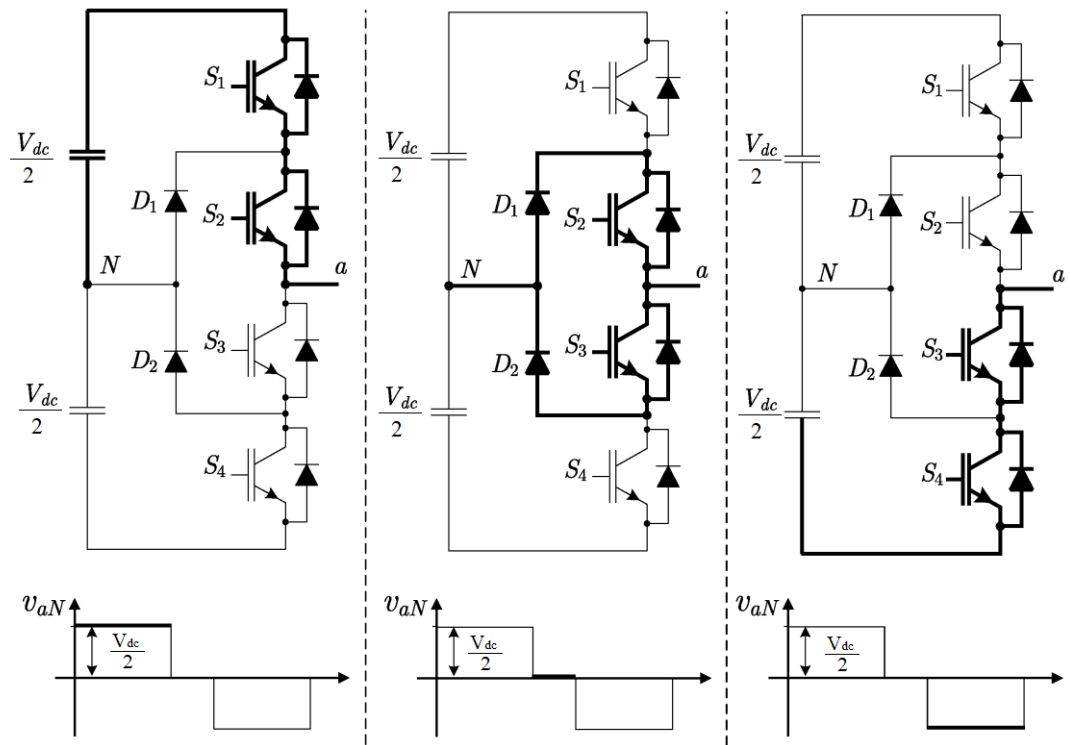


Fuente: RODRÍGUEZ, et al. Multilevel converters: An enabling technology for high-power applications. Proceedings of the IEEE, 97(11), 2009. p. 1786-1817.

El modo en que operan los interruptores para el inversor NPC de tres niveles puede representarse a partir de los semiconductores por cada rama, como se observa en la figura 5. Para obtener una tensión de $\frac{V_{dc}}{2}$ a la salida, los interruptores superiores (S_1 y S_2) están cerrados. De otro lado, se genera un voltaje $\frac{-V_{dc}}{2}$, cuando los dos interruptores inferiores conducen (S_3 y S_4) y por último cuando los interruptores del medio (S_2 y S_3) se encuentran cerrados, se obtiene un nivel de tensión igual a 0. Así mismo, si se desea obtener un número mayor de niveles de tensión a la salida del inversor, es evidente el incremento de interruptores, diodos y condensadores del bus de continua. Si consideramos n como el número de niveles, se tiene que el

número de condensadores necesarios corresponde con $(n - 1)$, y la tensión existente en los bornes de cada uno de ellos es $\frac{V_{dc}}{(n-1)}$. Por otra parte, el número de semiconductores correspondiente a cada rama es $2(n - 1)$ y, el de diodos anclados al neutro es $(n - 1)(n - 2)$.

Figura 5. Estados de conmutación para el inversor trifásico de tres niveles en topología NPC (a) $\frac{V_{dc}}{2}$ (b) cero y (c) $-\frac{V_{dc}}{2}$.



Fuente: RODRÍGUEZ, et al. Multilevel converters: An enabling technology for high-power applications. Proceedings of the IEEE, 97(11), 2009. p. 1786-1817.

Una ventaja sobresaliente de esta topología corresponde a que el número de capacitores requeridos es mucho menor respecto a otras topologías, lo cual es significativo puesto que el uso de estos elementos representa un costo mayor en el inversor. Sin embargo, se requiere que los diodos anclados al neutro sean de

recuperación rápida y capaces de conducir la corriente nominal del inversor. Además, se requieren mantener equilibradas las tensiones en cualquier punto de trabajo, lo cual representa una complejidad mayor en el control al aumentar el número de niveles, incluso puede ser imposible en algunas condiciones de operación⁷. Por último, se puede aclarar que comercialmente el número de niveles de esta topología se ha extendido como mucho hasta siete o nueve.

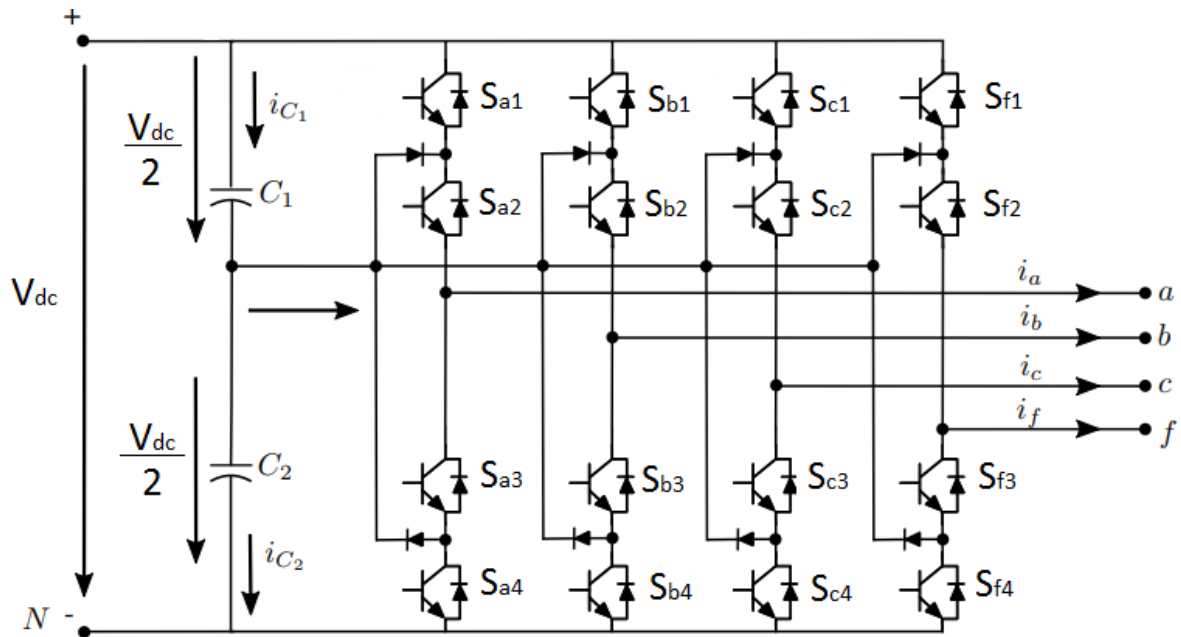
Se puede observar que el inversor NPC de tres niveles, reúne todas las ventajas y no presenta las desventajas mencionadas que aparecen al extender la topología a un mayor número de niveles y requiere un diseño mecánico simple, a diferencia de inversores de más niveles.

2.2.4 Inversor con diodos anclados al neutro de cuatro ramas (NPC, Neutral Point Converter). El inversor de tres niveles de cuatro ramas para esta topología ha sido discutido en la literatura (Chee, Ko, Kim, & Sul, 2015, págs. 4006-4016) (Chee, Sul, Roh, & Lee, 2014, págs. 324-329), puesto que han ganado interés como soluciones para aplicaciones en las que es necesaria la compensación de secuencia cero, así como también en sistemas de generación de energía distribuida aislados o conectados a la red, filtros activos para sistemas de distribución, compensaciones, entre otros, la cual se presenta en la figura 6.

El inversor NPC de cuatro ramas, al igual que para la topología NPC de tres ramas y tres niveles, se encuentra compuesto por dos condensadores y por cuatro dispositivos semiconductores (IGBTs) por rama, pero adicionalmente posee las ventajas anteriormente mencionadas, las cuales se realizan mediante la modulación mostrada en el capítulo tres dependiendo exclusivamente de la aplicación.

⁷ MARCHESONI, M.; TENCA, P. Theoretical and practical limits in multilevel NPC inverters with passive front ends. In Proc. EPE. August 2001

Figura 6. Esquema eléctrico para un inversor de cuatro ramas en topología NPC.



Fuente: ROJAS. A high-performance power supply based on a four-leg three-level NPC converter for non-linear and unbalanced systems (Doctoral dissertation, Technische Universität München). 2016

2.3 APLICACIÓN DE INVERSORES MULTINIVEL

A continuación, se mencionan algunas aplicaciones de los inversores multinivel, puesto que el campo de acción es bastante amplio.

2.3.1 Conexión a la red de fuentes de energía renovables. Representa una de las aplicaciones con más proyección de los inversores multinivel, especialmente para la conexión a la red de fuentes de energía renovable, por ello la motivación de investigar y desarrollar esta tecnología.⁸

⁸ CARRASCO, J. M.; GARCÍA FRANQUELO, L.; BIALASIEWICZ, J. T.; GALVÁN, E.; PORTILLO GUISADO, R. C.; MARTÍN PRATS, M. D. L. Á.; ... MORENO-ALFONSO, N. Power-electronic systems for

Un ejemplo, puede ser los sistemas de conversión de energía fotovoltaica (FV), que, aunque no se encuentren en el rango de alta potencia se espera que aumente con el desarrollo de esta tecnología y la disminución de costos. Los convertidores multinivel juegan un papel importante, puesto que las cadenas fotovoltaicas pueden ser fuentes de DC para estas topologías, sin la necesidad de incluir etapas de rectificación, esto a su vez, reduce considerablemente el circuito de alimentación y puede encargarse del control y seguimiento de potencia máxima en la entrada. Con los inversores en topología CHB se han realizado varios trabajos para la conversión de energía fotovoltaica conectada a la red.⁹

2.3.2 Sistemas flexibles de transmisión en alterna (Flexible AC Transmisión Systems – FACTS). El concepto de FACTS se basa en la idea de alimentación distribuida y se encargan de mejorar la capacidad de control y transferencia de potencia a la red. Para la aplicación de los inversores multinivel en las tecnologías cubiertas por FACTS, se pueden encontrar: restauradores de voltaje dinámico (DVR), desarrollo de filtros activos (AF), controladores de flujo de potencia unificados (UPFC), sistemas de bobinas superconductoras (SMES), compensadores estáticos (STATCOM), entre otros.¹⁰

2.3.3 Accionamiento de motores de alterna. Corresponde con una de las aplicaciones más comunes, donde usualmente se emplea el inversor en topología de diodos anclados al neutro con transistores IGBT. Se pueden encontrar en la industria del cemento (ventiladores de alta potencia), industria del metal, industria petroquímica (bombas y compresores) y la industria de la minería (molinos de cobre y transportadores para transporte de minerales), entre otros.

the grid integration of renewable energy sources: A survey. IEEE Transactions on Industrial Electronics, 53 (4). 2006

⁹ Ibid.

¹⁰ SOTO, D.; GREEN, T. C. A comparison of high-power converter topologies for the implementation of FACTS controllers. IEEE transactions on industrial electronics, 49(5). 2002

3. ESTRATEGIAS DE MODULACIÓN POR ANCHO DE PULSO (PWM) DEL INVERSOR MULTINIVEL

La estrategia de conmutación es la encargada de regular la amplitud, la frecuencia y minimizar el contenido armónico tanto de las tensiones como de las corrientes de salida del inversor. El desarrollo de estas estrategias de modulación sigue siendo uno de los campos más amplios de investigación en el área de electrónica de potencia.

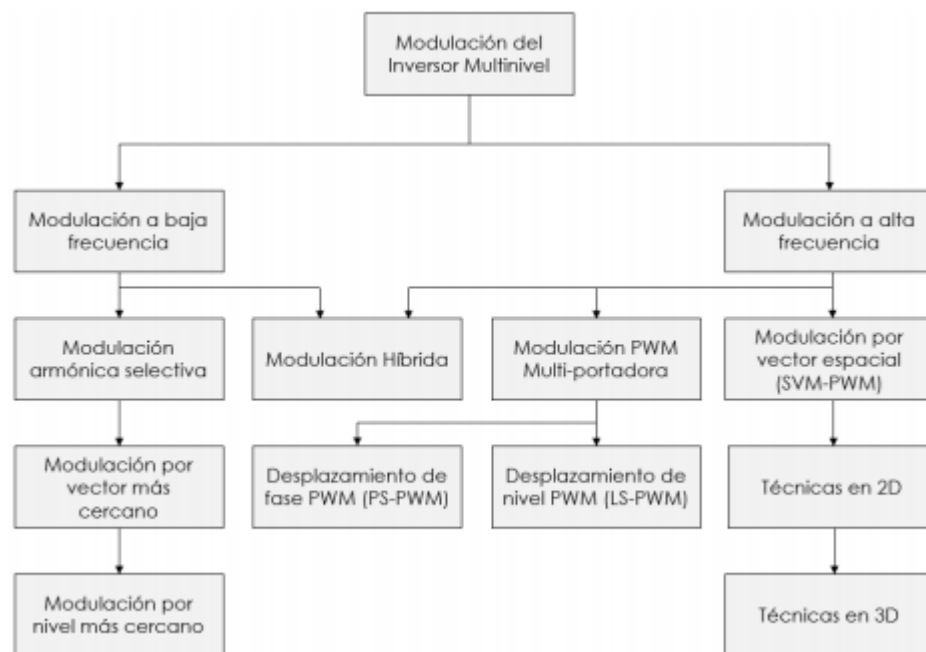
Los esquemas de modulación tienen como propósito crear trenes de conmutación, los cuales tienen en común la misma tensión promedio que una forma de onda de referencia, en cada periodo de conmutación¹¹. Cabe resaltar que se hace importante el cálculo de los estados de encendido y apagado de los dispositivos semiconductores en cualquier topología para minimizar las componentes armónicas que contienen los trenes de conmutación.

Por otra parte, el desarrollo de las estrategias de modulación va de la mano con el desarrollo de las topologías propuestas, dentro de ellas el inversor multinivel. Es por ello, que representa un reto las estrategias de modulación a la hora de extender las técnicas convencionales al caso multinivel, como consecuencia de esto se han ido desarrollando varios algoritmos, cada uno con sus características propias dependiendo de la aplicación. En la figura 7 se pueden observar los métodos de modulación comúnmente utilizados para los inversores multinivel, teniendo en cuenta que para aplicaciones industriales la frecuencia a la que operan es mayor a 1000 [Hz].

¹¹ HOLMES, D. G.; LIPO, T. A. Pulse width modulation for power converters: principles and practice. John Wiley & Sons. (Vol. 18). 2003a

Finalmente, para una comprensión adecuada de las estrategias de modulación posteriormente explicadas, se plantea describir algunas generalidades, así como los parámetros más representativos a la hora de realizar las estrategias de conmutación PWM.

Figura 7. Principales estrategias de modulación de modulación para inversores multinivel.



Fuente: RODRÍGUEZ, J., et al. Multilevel Converters: An Enabling Technology for High-Power Applications. Proceedings of the IEEE, 97, 2009 p. 1786-1817.

3.1 ESTRATEGIAS DE MODULACIÓN POR ANCHO DE PULSO PWM

En esta sección se presenta una breve descripción acerca de las generalidades de estrategias del inversor multinivel.

3.1.1 Generalidades sobre las estrategias de modulación para inversores multinivel. En electrónica de potencia usualmente se utiliza para el control de la tensión de salida del inversor la modulación PWM, puesto que con esta técnica se regula el ciclo de trabajo de los dispositivos semiconductores del inversor, con la finalidad de obtener formas de onda de tensión y corriente de salida a baja frecuencia, así como la reducción en la distorsión armónica.

En este sentido, las técnicas PWM tradicionales han logrado excelentes resultados en la aplicación de inversores multinivel. A pesar de la gran variedad de estrategias de modulación para determinar el estado de encendido de los dispositivos semiconductores, para este trabajo se utiliza la comparación de una señal de referencia o moduladora, respecto a una señal triangular o diente de sierra, la cual debe ser de alta frecuencia (Sourkounis y Al-Diab, 2008). Para describir de forma más precisa la modulación PWM por señal portadora, se pueden observar las definiciones que se presentan a continuación.¹²

- **Índice de modulación en amplitud (m_a):** Hace referencia a la relación entre las amplitudes de las señales de referencia y portadora:

$$m_a = \frac{A_{ref}}{A_{por}} = \frac{A_{referencia}}{A_{portadora}} \quad (3.1)$$

Para describir los rangos de operación del inversor, es decir si la salida puede ser lineal o no lineal, se encuentra definido por el parámetro denominado modulación en amplitud. Cuando este parámetro es mayor a uno, implica estar en la zona de sobremodulación, es decir, la zona de no linealidad. Generalmente, con las técnicas PWM basadas en una señal de referencia sinusoidal y una señal portadora triangular, se obtiene una amplitud de la tensión de salida que varía con este parámetro como se observa en la ecuación:

¹² HART, D. W. Power electronics. Tata McGraw-Hill Education. 2011

$$V_{aN} = m_a * V_{dc} / 2 \quad (3.2)$$

Siendo V_{aN} la tensión de salida del inversor en topología NPC y V_{dc} la tensión en el bus de continua. Siempre y cuando no exista sobremodulación, es decir $m_a \leq 1$, se cumple la ecuación 3.2, por lo cual, este factor se puede modificar para compensar las variaciones de la tensión de continua en la fuente.¹³

Para el caso de operación no lineal, es decir, cuando la amplitud de la señal de referencia supera el nivel de la señal portadora, sucede que las intersecciones entre moduladora y portadora para ese instante desaparecen, por lo tanto, los pulsos generados durante esta condición permanecen en un único nivel (durante el semiciclo positivo operaría con un ciclo útil del 100%). Además, cuando se encuentra en la zona de sobremodulación, es decir, cuando amplitud de la señal portadora es menor a la amplitud de la señal de referencia, se generan problemas como: relaciones no lineales entre las amplitudes y los ángulos de fase de la forma de onda de salida respecto a la señal de referencia.¹⁴

- **Índice de modulación en frecuencia (m_f):** El índice de modulación de frecuencia hace referencia a la relación entre la frecuencia de la señal portadora y de la señal de referencia, como se observa en la ecuación 3.3. Cabe resaltar que la serie de Fourier de la tensión de salida PWM y la señal sinusoidal de referencia poseen la misma frecuencia fundamental. Alrededor de la frecuencia de la señal portadora se presentan las frecuencias armónicas, es decir, a frecuencias altas, las cuales se pueden eliminar fácilmente con filtros pasa bajos.

$$m_f = \frac{f_{por}}{f_{ref}} = \frac{f_{portadora}}{f_{referencia}} \quad (3.3)$$

¹³ HART, D. W. Power electronics. Tata McGraw-Hill Education.

¹⁴ HAVA, A. M. Carrier based PWM-VSI drives in the overmodulation region. University of Wisconsin--Madison (Vol. 1). 1998

Una desventaja de utilizar frecuencias de conmutación muy elevadas es la pérdida por conmutación en los dispositivos semiconductores del inversor, sin embargo, se incrementan las frecuencias a las que se producen los armónicos en la tensión de salida. Por otra parte, dependiendo de la aplicación se selecciona el valor que puede tomar el índice de modulación de frecuencia (m_f):

- *Modulador síncrono*: Hace referencia cuando la relación m_f toma un valor entero, normalmente es utilizado para aplicaciones de baja frecuencia ($m_f < 21$).
 - *Modulador asíncrono*: Hace referencia cuando la relación m_f no toma un valor entero, este se caracteriza porque los pulsos que se generan no son periódicos normalmente, además se generan sub – armónicos que no son múltiplos enteros de la señal de referencia, los cuales se hacen despreciables para aplicaciones de alta frecuencia ($m_f > 21$).¹⁵
-
- **Interruptores**: Los dispositivos semiconductores deben estar en la capacidad de soportar las corrientes en cualquier dirección dependiendo de la conexión de distintas cargas (capacitiva e inductiva), por lo cual se utiliza generalmente diodos de realimentación. Además, es necesario considerar los tiempos de apertura y cierre en su operación física, ya que estos no son simultáneos.

¹⁵ SANNINO, A.; SVENSSON, J.; LARSSON, T. Power-electronic solutions to power quality problems. Electric Power Systems Research, 66(1), 2003

3.1.2 Espectros de frecuencia para la tensión de salida. Para este proyecto, se obtuvieron los espectros en frecuencia de las formas de onda de tensión a la salida a través de la transformada rápida de Fourier (FFT) con ayuda del entorno MATLAB y MATLAB/Simulink. Primero se realiza el montaje de los dispositivos de potencia y control de la topología NPC del inversor y la estrategia de conmutación seleccionada mediante MATLAB/Simulink y la toolbox *Simscape Power Systems* y luego, se compiló para obtener la forma de onda de salida en vectores de magnitud y tiempo. Posteriormente, esta señal es procesada mediante la toolbox *fftscope* de MATLAB, la cual requiere los siguientes parámetros de entrada para la implementación de la FFT:

- Vectores de tiempo y magnitud de la señal discreta X a ser evaluada por la herramienta.
- Número de ciclos a evaluar de la señal discreta X.
- Frecuencia fundamental de la señal discreta X a analizar.
- Valor máximo de la frecuencia a evaluar por la herramienta.

Los datos de salida de la herramienta corresponden a las magnitudes y fases de cada armónico de la señal X y la distorsión armónica total (THD), calculada mediante la siguiente ecuación:

$$THD = \sqrt{\left(\frac{V_0}{V_{1,rms}}\right)^2 + \sum_{n=2}^{\infty} \left(\frac{V_{n,rms}}{V_{1,rms}}\right)^2} \quad (3.4)$$

Donde $V_{1,rms}$ corresponde al valor eficaz de la componente fundamental de la señal y el valor eficaz de la tensión (V_{rms}) se puede representar como se observa en 3.5.

$$V_{rms} = V_{1,rms} \sqrt{1 + THD^2} \quad (3.5)$$

Por último, se hace necesario mencionar que para minimizar los posibles errores a la hora de realizar la FFT se tengan en cuenta los siguientes aspectos:

- La frecuencia de la señal de referencia (f_{ref}) y de la señal portadora (f_c) deben mantener una relación entera (Holmes y Lipo, 2003a).
- La frecuencia de muestreo F_m , que corresponde con el paso de la simulación, y la frecuencia de la señal de referencia f_{ref} , son las encargadas de determinar el número de muestras a tomar por ciclo para efectuar la FFT, que se expresa como la relación inversa de f_{ref}/F_m . Por ejemplo, para una $f_{ref} = 60[Hz]$ y una frecuencia de muestreo $F_m = 16000$, se tiene una relación de $3/800$, esto indica que la FFT se debe ingresar 3 ciclos, o lo que es equivalente a 800 muestras de la forma de onda discreta.

A continuación, se analizarán las estrategias de modulación más utilizadas para el control del inversor de tres niveles en topología NPC.

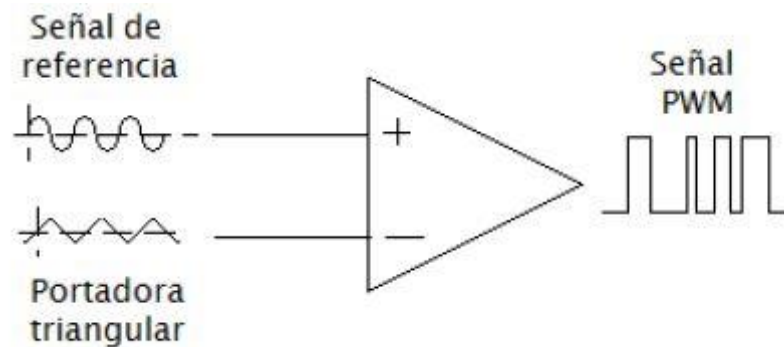
3.2 MODULACIÓN SPWM

La modulación sinusoidal por ancho de pulso (SPWM, *Sinusoidal Pulse Width Modulation*), hace parte de las estrategias más estudiadas y usadas en aplicaciones a nivel industrial, teniendo como ventaja representativa su facilidad de implementación.¹⁶ Esta técnica busca controlar el ancho de los pulsos de disparo de los dispositivos semiconductores de potencia, para finalmente tener el control de la magnitud y la frecuencia de la señal de salida del inversor.

¹⁶ MOHAN, N.; UNDELAND, T. M. Power electronics: converters, applications, and design. John wiley & sons. 2007

La estrategia de conmutación SPWM consiste básicamente en comparar una señal sinusoidal denominada moduladora o de referencia, respecto a una señal triangular (la mayoría de veces) o diente de sierra denominada señal portadora, y de la comparación de estas dos señales se obtienen las señales de control de los dispositivos semiconductores del inversor, dicha técnica se puede observar en la figura 8.

Figura 8. Control para modulación por ancho de pulso (SPWM).



Como la técnica de modulación SPWM ha sido ampliamente estudiada, de ella se han derivado algunas estrategias en las cuales se utilizan distintas señales portadoras o moduladoras^{17, 18}

Para el caso del control del inversor trifásico en topología NPC considerado en este proyecto, se analiza a continuación la técnica de modulación en la cual se modifican las señales portadoras.

¹⁷ HALASZ, S. Analysis of pulsewidth modulation techniques for induction motor drives. In ISIE'93-Budapest: IEEE International Symposium on Industrial Electronics Conference Proceedings. IEEE. June 1993

¹⁸ MCGRATH, B. P.; HOLMES, D. G. Multicarrier PWM strategies for multilevel inverters. IEEE Transactions on industrial electronics, 49(4), 2002

3.2.1 Modulación PWM basada en portadora modificada. Esta estrategia de modulación consiste en la modificación de las señales portadoras con la finalidad de disminuir el contenido armónico en la forma de onda de la salida¹⁹. Para el control de la topología NPC de tres niveles pueden ser aplicados los siguientes dos esquemas:

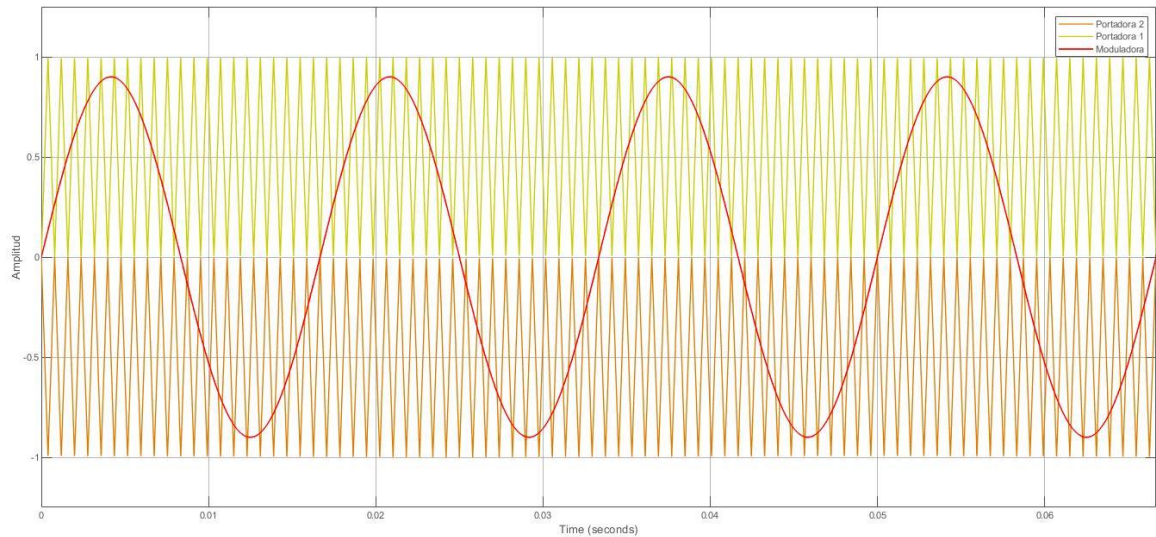
- Esquema de modulación de portadoras en fase (PD, *Phase Disposition*).
- Esquema de modulación de portadoras en contrafase (APOD, *Alternative Phase Opposition Disposition*).

3.2.1.1 Modulación PWM trifásica basada en portadoras en contrafase:

Básicamente este método consiste en el arreglo de dos señales portadoras en contrafase de forma triangular, junto con una señal de referencia de forma sinusoidal, que se muestran en la figura 9. Para el proceso de conmutación en base a la figura 4, la señal de compuerta para el interruptor S_{a1} se genera a partir de la comparación entre la señal de referencia y la señal portadora 1, mientras que la señal de compuerta para el interruptor S_{a2} es generada a partir de la misma señal de referencia contra la señal portadora 2. Las señales de compuerta para los interruptores S_{a3} y S_{a4} corresponden con los estados complementarios de las señales de compuerta de los interruptores S_{a1} y S_{a2} respectivamente.

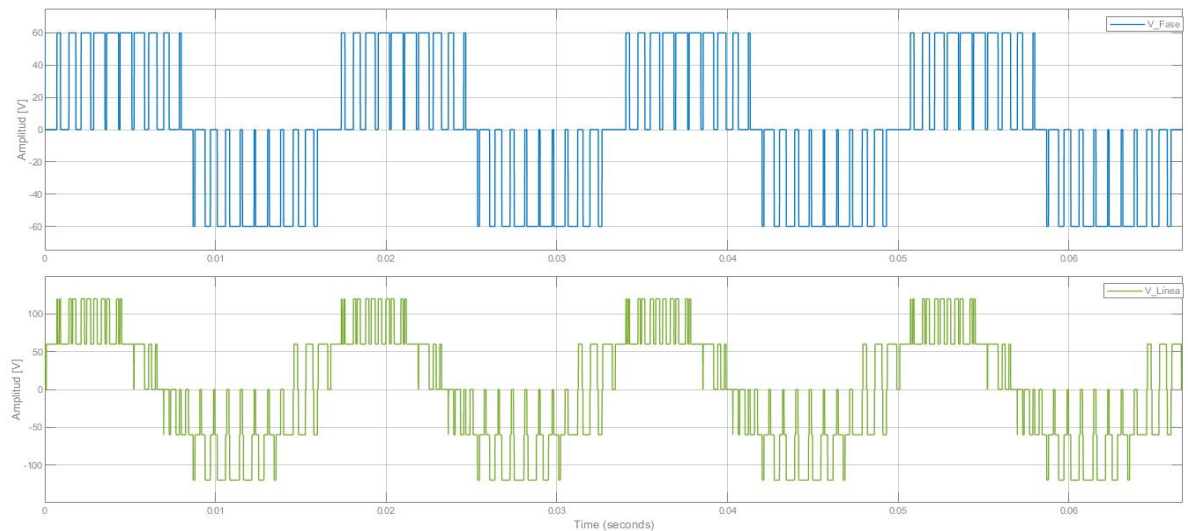
¹⁹ CARRARA, G.; GARDELLA, S.; MARCHESONI, M.; SALUTARI, R.; SCIUTTO, G. A new multilevel PWM method: A theoretical analysis. In 21st Annual IEEE Conference on Power Electronics Specialists. IEEE. 1990

Figura 9. Esquema de modulación basado en portadora modificada APOD.



En la figura 10, se puede observar las formas de onda para la tensión de salida de fase y de línea empleando la modulación basada en portadoras en contrafase para el inversor trifásico mostrado en la figura 4.

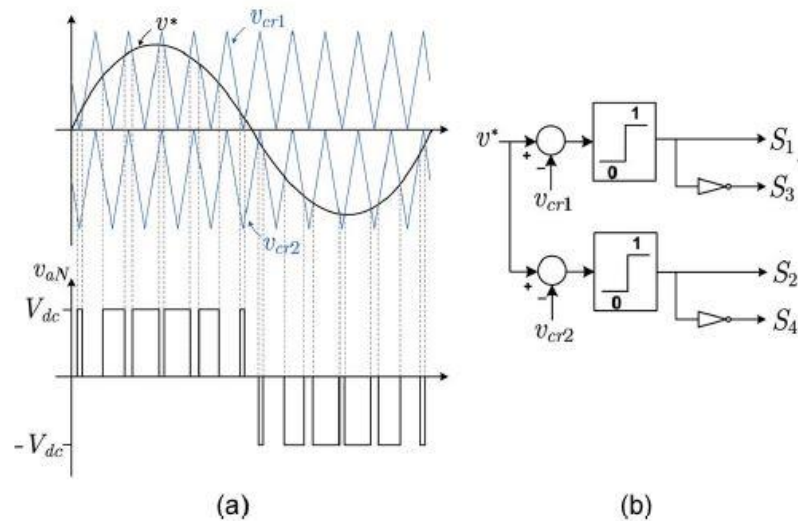
Figura 10. Forma de onda de la tensión de salida de fase y de línea, aplicando modulación APOD.



3.2.1.2 Modulación PWM trifásica basada en portadoras en fase: La modulación PWM basada en portadoras en fase para el inversor trifásico posee características similares respecto a la mencionada en la sección anterior. Básicamente, cada dispositivo semiconductor se controla a partir de la comparación entre dos ondas portadoras de forma triangular con una onda sinusoidal de referencia.

El control del inversor de tres niveles en topología NPC, requiere tres señales de referencia sinusoidales (una para cada fase) desfasadas $\frac{2\pi}{3}$, además requiere dos señales portadoras en este caso se tomaron señales triangulares, que se encuentran distribuidas verticalmente. Utilizando el esquema de modulación PD, en la figura 11 (a), se puede observar los tiempos durante los cuales el valor de referencia es mayor que el valor de las portadoras, conmutan los interruptores superiores (S_{a1}, S_{a2} de la fig. 4) conectando la carga a $\frac{+V_{dc}}{2}$. Durante el tiempo que la señal de referencia se encuentra entre las dos portadoras ($V_{cr2} \leq V^* \leq V_{cr1}$), la salida es conectada al punto neutro N (0). Por último, cuando el valor de la señal de referencia es menos al de las portadoras, conmutan los interruptores inferiores (S_{a3}, S_{a4} de la Fig. 4) conectando la carga a $\frac{-V_{dc}}{2}$, la forma de onda de salida para la tensión monofásica (V_{aN}) puede observarse en este esquema. El diagrama de control se observa en la figura 11 (b), del cual se obtienen los pulsos de disparo para los dispositivos semiconductores de esta topología.

Figura 11. Esquema (a) Generación forma de onda y (b) Diagrama de control.



Fuente: LÓPEZ et al. Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos eléctricos AC. Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicaciones (FIET). 2007

Cabe resaltar, que el número de conmutaciones de los dispositivos semiconductores del inversor depende de la frecuencia de la señal portadora y del tiempo de duración de la señal de referencia en dicho nivel. Además, la forma de onda de salida posee la frecuencia fundamental igual a la frecuencia de referencia, mientras que la amplitud de su componente fundamental se encuentra determinada por las características de las amplitudes relativas de las ondas portadoras y de referencia.

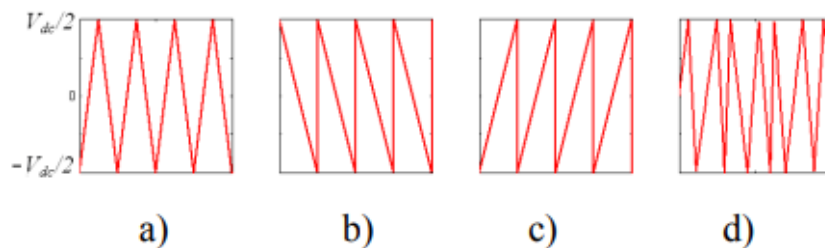
- *La señal portadora:* Consiste en una señal periódica cuya frecuencia se encuentra determinada por parámetros como, el nivel de pérdidas máximo por conmutación, la velocidad de conmutación de los dispositivos semiconductores del inversor, entre otras.²⁰

²⁰ JIMENA, L. M. D.; ALBERTO, C. M. G.; CHÁVEZ, D., OSCAR, J., & ALBERTO, G. L. C. Modulación PWM aplicada a Inversores Trifásicos dentro del Esquema de Accionamientos Eléctricos AC. Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicacio. 2007

La forma de onda de la señal portadora generalmente consiste en una señal triangular, sin embargo, se pueden encontrar diversas variaciones, como por ejemplo las observadas en la figura 12.

Cuando la señal portadora corresponde con forma diente de sierra el control del ancho de pulso depende de uno de los flancos, es decir para el caso de la pendiente positiva se realiza sobre el flanco de bajada, por ende, los pulsos resultantes se encuentran alineados hacia la izquierda como

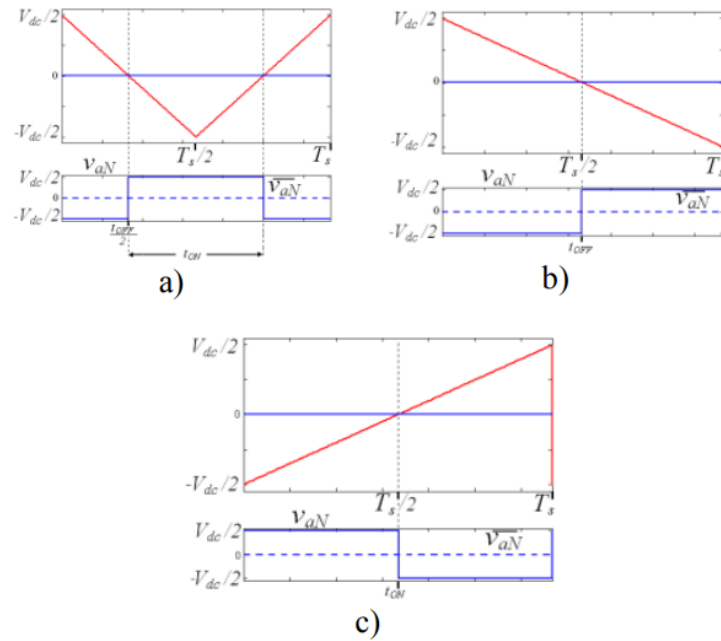
Figura 12. Formas de la señal portadora a) Triangular, b) Diente de sierra de pendiente negativa, c) Diente de sierra de pendiente positiva, d) Aleatoria.



Fuente: LÓPEZ, et al. Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos eléctricos AC. Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicaciones (FIET). 2007

Se observa en la figura 13c (esta variación se denomina *Trailing Edge PWM*), mientras que, para el caso de pendiente negativa, los pulsos se encuentran alineados hacia la derecha como se muestra en la figura 13b, ya que el control se realiza sobre los flancos de subida (esta variación se denomina *Leading Edge PWM*). Para el caso de este proyecto, se utilizan señales portadoras de tipo triangular, sucede que en cada periodo de portadora se generan 2 intersecciones con la moduladora, lo cual representa el control tanto del flanco de subida como el flanco de bajada de los pulsos que se generan como se observa en la figura 13a (esta variación se denomina *Double Edge PWM*).

Figura 13. Control del flanco respecto a la señal portadora a) Double edge PWM, b) Leading edge PWM, c) Trailing edge PWM.



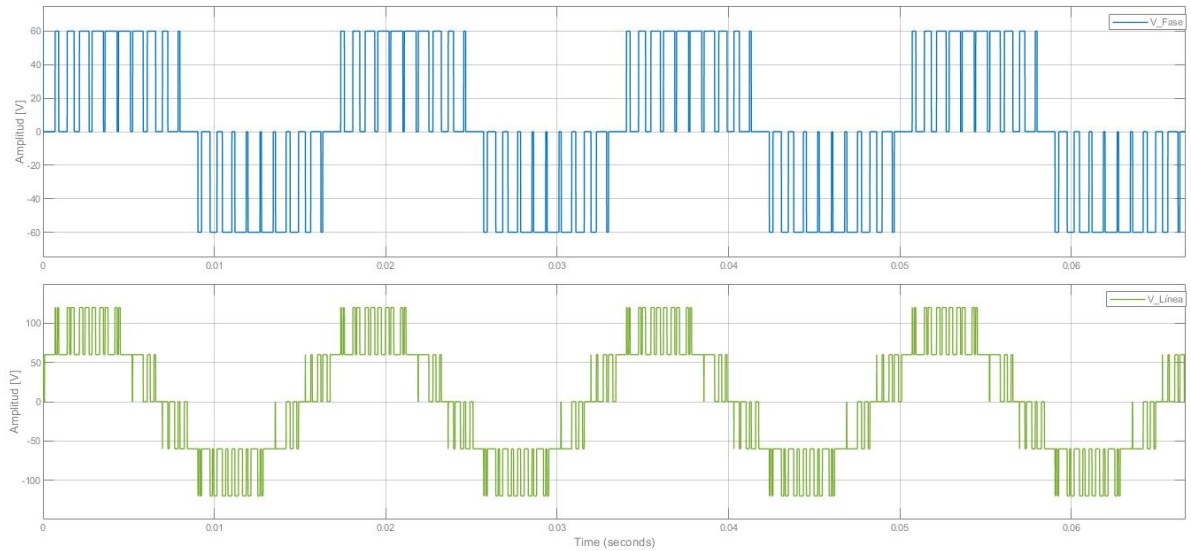
Fuente: LÓPEZ et al. Modulación PWM aplicada a inversores trifásicos dentro del esquema de accionamientos eléctricos AC. Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicaciones (FIET). 2007

- *La señal moduladora o de referencia:* Esta señal posee las características de la señal que se desea obtener, entre ellos se pueden resaltar: frecuencia, amplitud y fase deseada. En la figura 11a, se puede observar la onda sinusoidal (V^*), que corresponde con la señal moduladora empleada para el desarrollo de este proyecto.

Posteriormente, es de importancia evaluar la amplitud de la tensión línea – línea, V_{ab} , la cual depende de la amplitud de la tensión de fase V_{aN} a partir de la expresión 3.6, válida únicamente para tensiones de referencia balanceadas en secuencia positiva. En la figura 14, se puede observar las formas de onda para la tensión de salida de fase y de línea empleando la modulación mencionada en esta sección.

$$V_{ab} = \sqrt{3} * V_{aN} \quad (3.6)$$

Figura 14. Forma de onda de la tensión de salida de fase y de línea, aplicando modulación PD.



Llevando esta estrategia a un inversor de n niveles, se debe contar con $n - 1$ señales portadoras que posean las mismas características respecto a frecuencia y amplitud. Además, es importante mencionar que, respecto a las dos estrategias de modulación mencionadas anteriormente, es recomendable utilizar la modulación PD, ya que el voltaje de línea que se obtiene presenta un menor contenido de armónicos.²¹

3.2.1.3 Modulación PWM trifásica SPWM con inyección de secuencia cero: En la ecuación 3.7 se pueden observar las formas de onda de las señales de referencia para la modulación PWM con portadora modificada.

²¹ HOLMES, D. G.; LIPO, T. A. Pulse width modulation for power converters: principles and practice. John Wiley & Sons. (Vol. 18). 2003a

$$\begin{aligned}
V_a &= V_m \sin(\omega_0 t) \\
V_b &= V_m \sin\left(\omega_0 t - \frac{2\pi}{3}\right) \\
V_c &= V_m \sin\left(\omega_0 t + \frac{2\pi}{3}\right)
\end{aligned} \tag{3.7}$$

Donde $\omega_0 = 2\pi f_{ref}$. La tensión del punto neutro (V_n) se puede representar por:

$$V_n = \frac{V_a + V_b + V_c}{3} \tag{3.8}$$

Se puede observar que a partir de 3.8 se obtiene una tensión en el neutro correspondiente a cero, siempre y cuando se encuentren las señales de referencia balanceadas como en 3.7. Para algunas aplicaciones, por ejemplo, los motores trifásicos que poseen neutro aislado, se puede adicionar un valor diferente de cero para la tensión en el punto neutro, modificando las tres señales de referencia mediante la adición de la tensión que se desea obtener en el punto neutro, esto se representa en la ecuación 3.9.

$$\begin{aligned}
V_a^* &= V_a + V_n \\
V_b^* &= V_b + V_n \\
V_c^* &= V_c + V_n
\end{aligned} \tag{3.9}$$

A partir de las expresiones que se obtuvieron en 3.9 se pueden determinar las señales de conmutación para los dispositivos semiconductores del inversor. Uno de los enfoques para esta señal de secuencia cero corresponde con la técnica de inyección de tercer armónico PWM.²²

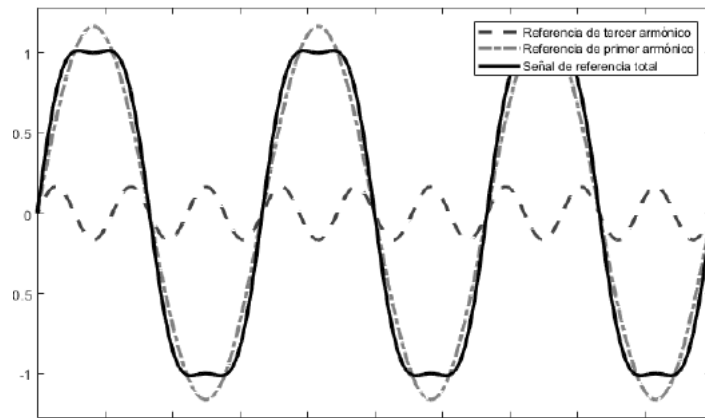
²² WANG, L.; CHAI, S.; YOO, D.; GAN, L.; & NG, K. PID and predictive control of electrical drives and power converters using MATLAB/Simulink. John Wiley & Sons. 2015z

Esta técnica adiciona un componente de tercer armónico a la señal de referencia que se desea obtener. Normalmente, se adiciona con una amplitud equivalente a un sexto de la amplitud de referencia, como se observa a continuación:

$$V_n = \frac{1}{6}V_m \text{sen}(3w_0t) \quad (3.13)$$

Con la inyección de la componente armónica descrita en la ecuación anterior se puede observar la forma de onda en la figura 15, donde se reduce el pico de la señal de referencia, debido a la suma de las señales de referencia correspondientes al primer y al tercer armónico.

Figura 15. Formas de onda de referencia de la modulación PWM con inyección de tercer armónico.



Además, se puede concluir, que la señal sinusoidal deseada tiene un valor pico reducido, debido a que se realizó la inyección del tercer armónico y es claro que bajo estos parámetros el rango lineal (m_a) es mayor respecto al mencionado en la ecuación 3.1.

4. DISEÑO DEL INVERSOR

En este capítulo se busca establecer los parámetros para los componentes de la etapa de potencia, así como los componentes de la etapa de control, con el fin de plantear el diseño del inversor trifásico de tres niveles con cuatro ramas en topología NPC. A continuación, se abordan cuatro subcapítulos en los cuales se especifican, los elementos requeridos para una rama del inversor, el microcontrolador utilizado para la generación de las señales de conmutación de los IGBTs, el valor del bus de continua y la etapa de potencia.

4.1 RAMA DE CONMUTACIÓN DEL INVERSOR

4.1.1 Parámetros utilizados. En la tabla 2 se observan los parámetros utilizados para el inversor.

Tabla 2. Parámetros utilizados en el inversor.

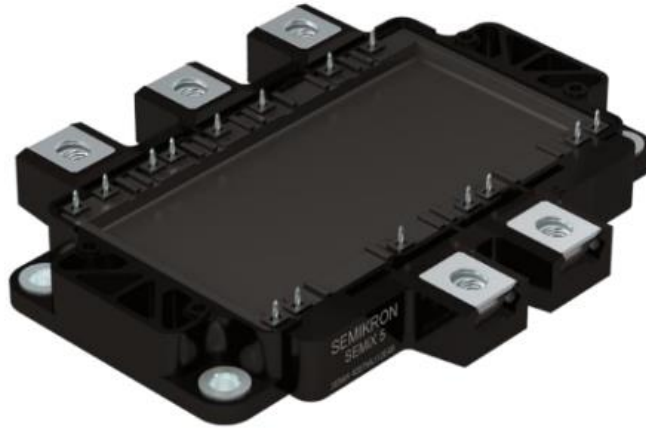
Parámetro	Valor
V_{DC}	120 [V]
f_{out}	60 [Hz]
f_{sw}	12 [Hz]
f_m	16 [Hz]
m_a	0.9

El parámetro V_{DC} corresponde con la tensión de alimentación a la entrada del inversor, f_{out} corresponde con la frecuencia fundamental programada en el microcontrolador para la tensión de salida del inversor, f_{sw} es la frecuencia de conmutación establecida para los IGBTs, la cual se seleccionó en 1260 Hz, ya que con este valor se obtiene una modulación síncrona, la cual se caracteriza por generar pulsos de tensión periódicos. Además, si $m_f < 21$ se habla de bajas frecuencias de conmutación (f_{sw}), en las cuales la distorsión armónica es mayor que para altas frecuencias, por lo tanto, para este proyecto, dicho valor se seleccionó en base a tener un equilibrio entre pérdidas por conmutación y distorsión armónica, puesto que el módulo IGBT se emplea generalmente en aplicaciones de alta potencia, donde se podrían aumentar las pérdidas de manera significativa.

4.1.2 Dispositivos semiconductores. En este trabajo de grado se empleó el módulo SEMiX155MLI07E4 de SEMIKRON, mostrado en la figura 16, el cual consiste en un arreglo de cuatro IGBT'S por rama, cada uno con su respectivo diodo en antiparalelo para la conducción de corrientes inversas y además los diodos de enclavamiento.

El módulo SEMiX cuenta con un montaje sin soldadura con pines de señal PressFIT y terminales de potencia de tornillo. Estos módulos se utilizan para aplicaciones donde sea importante la calidad de la señal de salida de tensión, puesto que están diseñados para minimizar la distorsión armónica y las pérdidas por conmutación.

Figura 16. Módulo SEMiX155MLI07E4 de SEMIKRON.



Las características principales del módulo se encuentran expresadas en la tabla 3, dentro de las cuales se pueden observar la tensión de saturación de cada IGBT ($V_{CE(sat)}$), la corriente nominal del módulo (I_c), la tensión máxima que puede existir entre colector y emisor (V_{CES}) y, la resistencia existente entre colector y emisor (r_{CE}).

Adicionalmente, el módulo cuenta con un sensor de temperatura NTC, con el fin de monitorear la temperatura interna del mismo, la cual se empleará para una futura implementación de control en lazo cerrado. Para el caso del módulo utilizado, se cuenta con un valor de resistencia de $R_{25} = 5 [k\Omega]$ y $R_{100} = 493 \pm 5\% [\Omega]$ para 100°C , las cuales, se pueden variar de acuerdo al límite de temperatura que se desee trabajar.

Por otra parte, las señales de entrada a los dispositivos semiconductores deben ser adecuadas, y para el caso de este proyecto se emplearon drivers SKHI 22AR de SEMIKRON.

Tabla 3. Características principales del módulo SEMiX155MLI07E4.

Características	Condicion	Valor y unidad
$V_{CE(Sat)}$	$I_C = 150[A], V_{GE} = 15[V]$	195 [V]
I_C	$T_j = 175^{\circ}C, T_C = 25^{\circ}C$	183 [A]
V_{CES}	$T_j = 25^{\circ}C$	650 [V]
r_{CE}	$V_{GE} = 15[V], I_C = 25^{\circ}C$	6.3 [mΩ]

4.1.3 Drivers. El driver es el encargado de proporcionar los niveles de tensión adecuados para el funcionamiento de los IGBTs y, por consiguiente, su correcta conmutación, a partir de unos comandos lógicos provenientes de un circuito de control. Es decir, para encender un IGBT es necesaria la inyección de una corriente transitoria en la puerta, para así mantener una tensión fija en este terminal, además, para apagar el interruptor también se requiere un flujo de corriente con polaridad opuesta al de encendido, para mantener una tensión negativa o nula en el terminal de puerta.²³

Para el funcionamiento del módulo utilizado en este proyecto (SEMiX155MLI07E4) los drivers deben proporcionar señales de control de compuerta con amplitud en el rango de +15 [V] para el encendido y, -8 [V] para el apagado.

²³ HOLMES, D. G.; LIPO, T. A. Implementation of a modulation controller. En Pulse width modulation for power converers: principles and practice. 2003b

Figura 17. Driver SKHI 22AR de SEMIKRON.



La elección del controlador del módulo no se debe hacer arbitrariamente o con referencias de algunos parámetros de la hoja de datos del módulo, pues esto puede conllevar a no seleccionar el controlador óptimo, es por ello que SEMIKRON sugiere utilizar *semisel*, la cual es una herramienta propia de ellos, que permite el cálculo y simulación en línea para pérdidas, temperaturas y la elección óptima de componentes electrónicos de potencia. A partir de esta herramienta se observó que se pueden emplear los siguientes drivers: el SKYPER 32 R y el SKHI 22AR de SEMIKRON, entre otros. Para la implementación del prototipo se utilizó el driver SKHI 22AR de SEMIKRON mostrado en la figura 17, ya que se tenían a disposición estos elementos, los cuales cumplen con las características requeridas para el adecuado funcionamiento del inversor. Cabe resaltar, que a partir de una serie de pruebas y sus respectivos análisis se determinó el conexionado entre los dos drivers que se requieren para una rama del inversor. Cada driver se encarga de adecuar la señal de dos compuertas, que para este caso particular el primer driver debe controlar las señales S_1 y S_3 y el segundo S_2 y S_4 , pues de lo contrario no funciona, ya que estos drives están diseñados para una topología diferente.

Las características más representativas de este dispositivo se pueden observar en la tabla 4, donde se observa la tensión típica de alimentación (V_S), la corriente máxima de entrada (I_S), tensión de encendido ($V_{G(on)}$) y apagado del IGBT ($V_{G(off)}$) y finalmente, la resistencia entre puerta y emisor (R_{GE}).

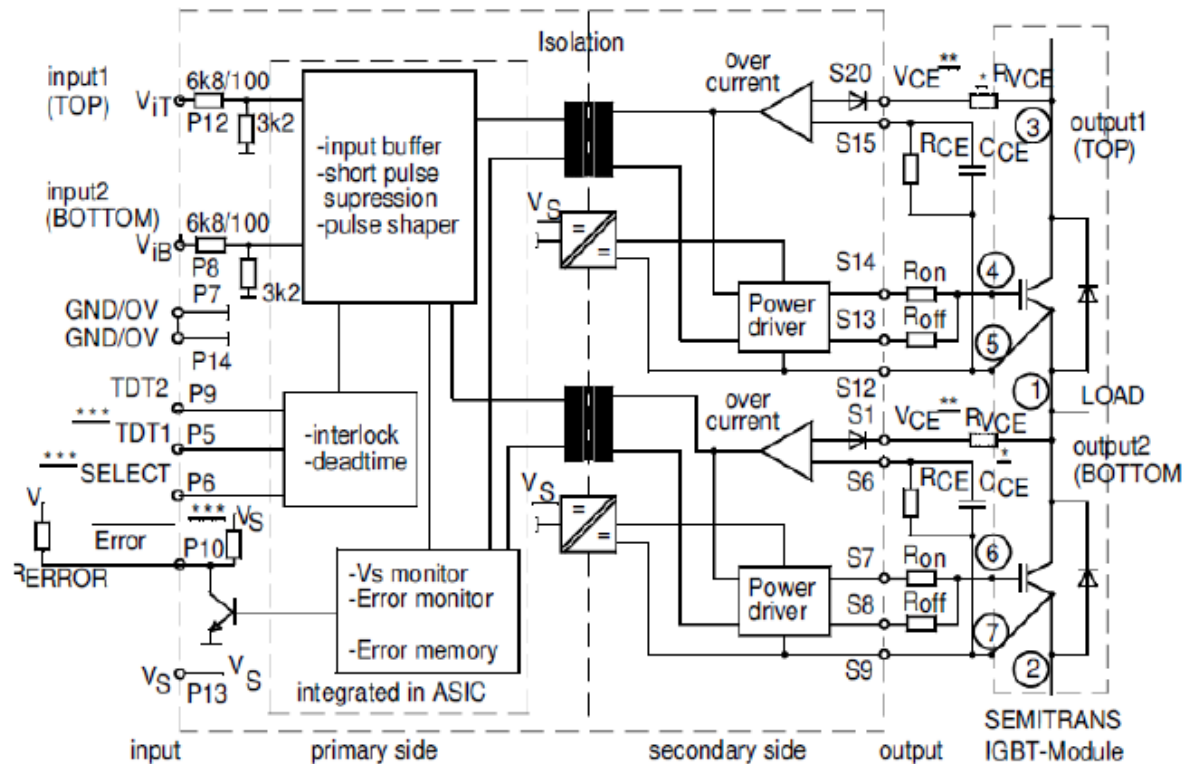
Tabla 4. Características principales del driver SKHI 22AR.

Características	Valor y unidad
V_S	15 [V]
I_S	290 [mA]
$V_{G(on)}$	15 [V]
$V_{G(off)}$	0 [V]
R_{GE}	22 [Ω]

En la figura 18 se muestra un esquema interno y externo del driver SKHI 22 AR, a partir del cual se pueden mencionar las siguientes funciones:

- Dos salidas independientes para las señales de apagado y encendido de los dispositivos semiconductores (IGBT), lo cual permite tener un control de los picos generados por sobrecorriente en el encendido y las sobretensiones en el apagado.
- Generación de tiempo muerto: Es el encargado de impedir que dos compuertas complementarias se encuentren encendidas simultáneamente. Para esta aplicación se tiene un tiempo muerto de 3,25 [μs].
- Supresión de pulsos de corta duración: Se utiliza con el fin de proteger a los dispositivos semiconductores de ruidos indeseados inducidos en las señales de entrada, por ello, los pulsos menores a 500 [ns] son suprimidos en el secundario.

Figura 18. Esquema de conexión interna y externa del driver SKHI 22AR.



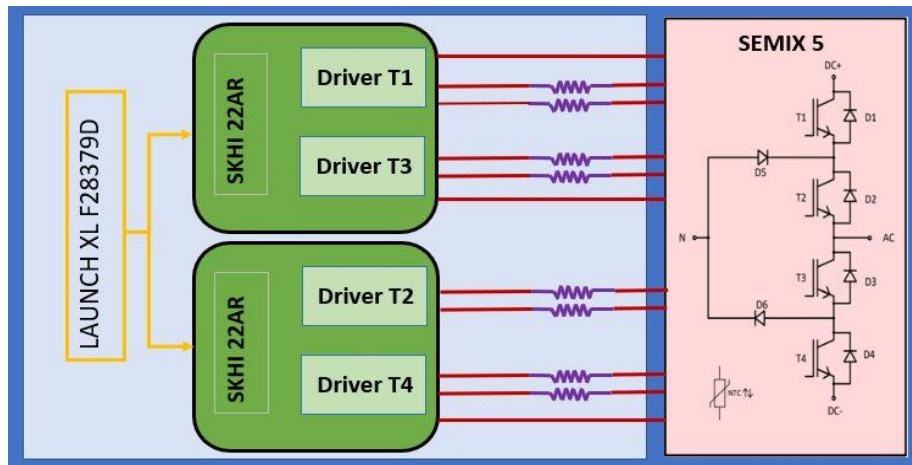
Fuente: SKHI 22AR. Hoja de datos. [En línea]. (Recuperado en 23 de julio de 2019). Disponible en <https://www.alliedelec.com/m/d/25d9e08aca8233d53f9a8609f2a0ac2d.pdf>.

- Monitorización de la fuente de suministro de potencia (V_S): Cuando la tensión regulada de 15 [V] cae por debajo de los 13.5 [V] aproximadamente, el driver envía una señal de error a través del pin P10.
- En caso de existir cortocircuito en los dispositivos semiconductores, se transmite una señal de error a través del pin V_{CE} del driver hacia los transformadores de pulso, para posteriormente registrarse en el pin de salida p10 e inmediatamente se bloquean los IGBTs.
- Arreglo de transformadores de pulso: Este dispositivo cuenta con dos transformadores de pulso, donde el primero se usa para la transmisión bidireccional de las señales de encendido y apagado de los IGBTs, así como la retroalimentación de las señales de error entre el lado primario y el lado

secundario, por otra parte, el segundo corresponde a un convertidor DC/DC que actúa como separador de potencial y fuente de suministro entre los dos lados del transformador. La tensión de aislamiento de este driver corresponde con un valor de 2500 [V_{AC}].

En la figura 19 se puede observar un diagrama esquemático del conexionado de los elementos empleados en la adecuación, protección y suministro de las señales de conmutación para los dispositivos semiconductores, así como las resistencias de encendido y apagado, ubicadas entre los IGBTs y los drivers.

Figura 19. Diagrama esquemático de los elementos de conmutación.



4.1.4 Descripción del funcionamiento del circuito

4.1.4.1 Resistencias de disparo (R_{gon} y R_{goff}): Estas resistencias de disparo se encuentran ubicadas entre los drivers y los dispositivos semiconductores, su función consiste en el control del tiempo en que tarda la señal en realizar su cambio de estado, luego de ser enviada la señal por el microcontrolador. Es decir, R_{gon} controla el tiempo de subida de las señales, mientras R_{goff} el tiempo de bajada. El valor de

estas resistencias no sólo influye en lo anteriormente mencionado, además influye en la distorsión de la señal y las pérdidas por conmutación.

Para el driver SKHI 22AR, el valor mínimo de R_{gon} y R_{goff} es de 3Ω . El valor establecido para R_{gon} en este proyecto es de 5.6Ω , puesto que se encuentra por encima del valor mínimo y es un valor comercial. Además, con este valor se define un bajo tiempo de encendido de la compuerta, lo cual conlleva a minimizar la distorsión armónica causada por este parámetro. Por otra parte, el valor para R_{goff} se seleccionó de 10Ω , ya que para la mayoría de las aplicaciones este parámetro es aproximadamente el doble de R_{gon} .²⁴

4.1.4.2 Resistencia R_{CE} y condensador C_{CE} : La tensión entre colector y emisor en estado encendido de los dispositivos semiconductores se puede controlar a través de la monitorización de V_{CE} , la cual se encuentra limitada internamente con un valor de 10 [V]. Tan pronto como las tensiones aumenten por encima de un valor de referencia (V_{CEref}), el IGBT se apaga automáticamente y se envía una señal de error. La tensión de referencia (V_{CEref}) puede ajustarse a través de los parámetros R_{CE} y C_{CE} .

El valor de R_{CE} es de 18 [k Ω] y el de C_{CE} es de 330 [pF] ya que corresponden con los valores indicados por el fabricante del driver.

Seleccionados dichos valores, se procede a calcular la tensión V_{CE} en estado estable, es decir V_{CEstat} (valor en estado estable de V_{CEref} en estado de encendido), y el tiempo que tarda en realizar la monitorización de la tensión V_{CE} a partir del disparo para el encendido del IGBT, el cual puede ser calculado a partir de las ecuaciones 4.1 Y 4.2.

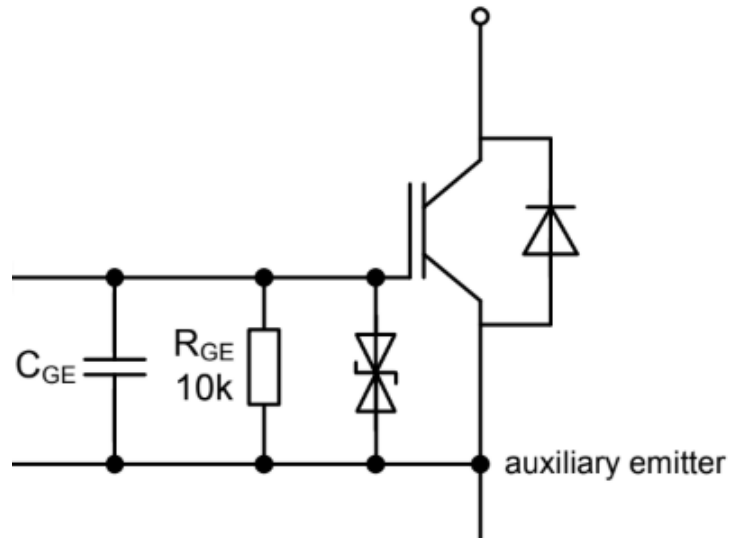
²⁴ HERMWILLE, M. Gate Resistor–Principles and Applications. Application Note AN-7003. 2007

$$V_{CEstat}(V) = \frac{10 * R_{CE}(k\Omega)}{10 + R_{CE}(k\Omega)} - 1.8 = 4.629 \quad (4.1)$$

$$t_{min} = C_{CE}(nF) * \left(\frac{10 * R_{CE}(k\Omega)}{10 + R_{CE}(k\Omega)} \right) * \ln \left(\frac{15 - V_{CEstat}(V)}{10 - V_{CEstat}(V)} \right) = 1.39 \mu s \quad (4.2)$$

4.1.4.3 Protección en la compuerta del IGBT: Siguiendo los consejos de diseño por SEMIKRON para el conexionado entre el driver y el IGBT, donde se utilizan conexiones de cables, se debe mantener la menor distancia posible entre las señales entregadas por el driver a la compuerta del IGBT. Además, se recomienda colocar una resistencia de 10 [kΩ], un diodo supresor de tensión de 15 [V], ya que no se debe sobrepasar dicho valor, además un condensador el cual es ventajoso para los módulos de alta potencia, puesto que se emplea como suavizador de las variaciones de tensión, especialmente en caso de cortocircuito, el cual se conecta entre la puerta y el emisor, al igual que los demás elementos de protección mencionados, como se observa en la figura 20.

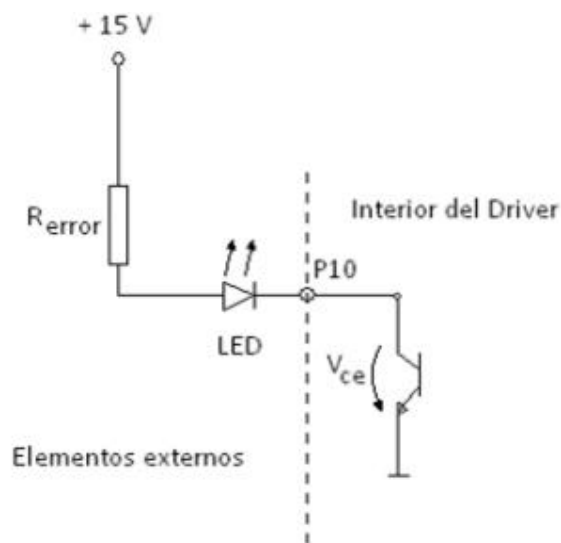
Figura 20. Esquema para protección en la compuerta de los IGBTs.



Fuente: BHOSALE, Pramod, and Markus Hermwille. "Connection of Gate Drivers to IGBT and controller." Application Note AN-7002, SEMIKRON. 2006.

4.1.4.4 Funcionamiento del sistema de error: El driver cuenta con un pin de salida (p10), a través del cual se obtiene una señal de error en caso de que exista un nivel de tensión menor a 13.5 [V] en la alimentación del mismo o se produzca un cortocircuito en sus salidas o en el módulo. Para percibir el error en caso de que se presente, se implementó el esquema mostrado en la figura 21.

Figura 21. Esquema de conexión del pin de ‘error’ del driver.



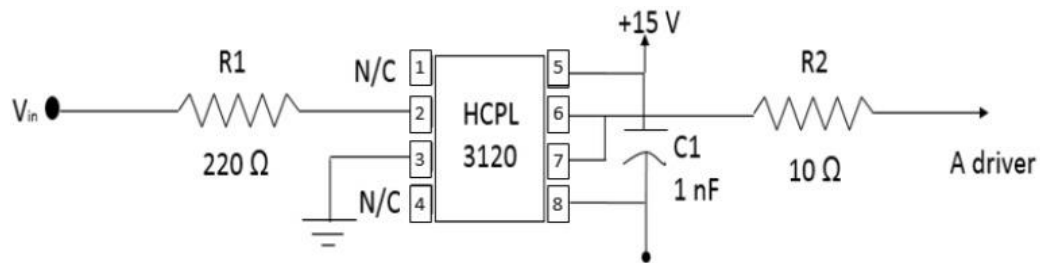
Fuente: FIOL y MORENO. Entrenador digital para convertidores en aplicaciones docentes. 2011

El pin P10 se encuentra conectado a la tensión de alimentación del driver a través de una resistencia. Además, se utiliza un diodo led con la finalidad que encienda cuando ocurra una falla y, así actuar oportunamente. El valor de resistencia utilizado es de 2 [k Ω], puesto que este valor limita la corriente de error a 15 [mA], como lo sugiere el fabricante.

4.1.4.5 Adecuación de las señales de entrada del driver: La generación de las señales SPWM se programaron mediante el software MATLAB/Simulink y, posteriormente cargado su modelo en la LaunchPad Texas TMS320F28379D, para

finalmente entregar las señales en un rango de tensión de 0 a 3.3 [V], los cuales deben ser adecuados a los niveles de 0 a 15 [V] para el driver SKHI 22AR y, además, proporcionar un aislamiento efectivo entre el microcontrolador de Texas y el driver. En esta aplicación se utilizó el optoacoplador HCPL 3120, el cual, eleva la tensión de las señales de entrada en el rango requerido para el driver, además, puede entregar un máximo en corriente de 2.5 [A] y soportar una tensión máxima de 30[V].

Figura 22. Esquema de conexión del optoacoplador HCPL 3120.



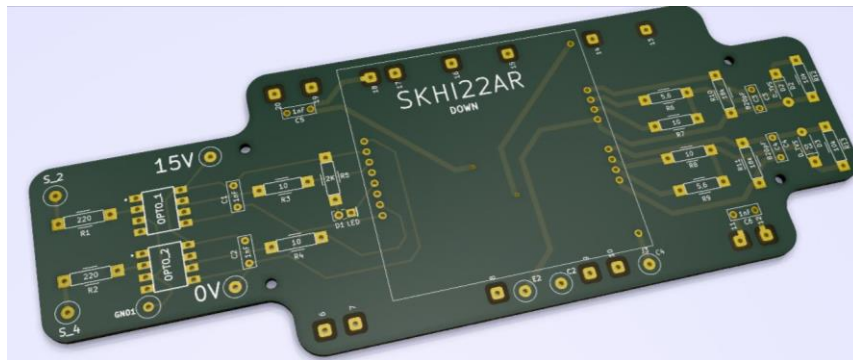
Fuente: ALMEIDA. Caracterización de Inversores Multinivel tipo Puente-H en Cascada (tesis de maestría). Universidad Industrial de Santander, Bucaramanga, Colombia. 2018

En la figura 22 se puede observar, el esquema de conexión del optoacoplador para la adecuación de las señales de entrada del driver, en dicho esquema se pueden identificar unos resistores limitadores de corriente R1 y R2, un capacitor de *bypass* C1 entre los terminales de alimentación del optoacoplador (V_{DC}) y GND. El valor al cual se alimentó el optoacoplador fue de +15 [V], con la finalidad de unificar las alimentaciones del optoacoplador y del driver.

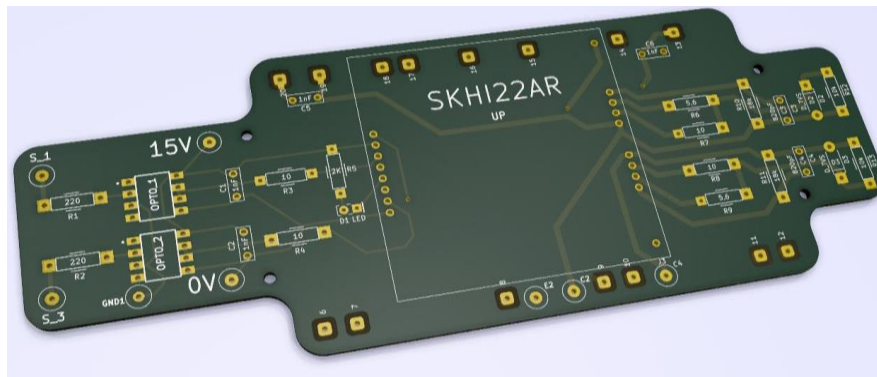
Finalmente, en la figura 23 se observa el diseño de los circuitos impresos para el ensamblado de los elementos requeridos en la adecuación de las señales que ingresan a los dispositivos semiconductores para una rama, el cual se realizó en el software gratuito Kicad, el cual es un programa utilizado para el diseño de

esquemáticos para circuitos electrónicos. Además, en la figura 24 se muestra la fotografía de dichas tarjetas con los elementos ensamblados.

Figura 23. Imagen de los circuitos impresos para la adecuación de las señales de compuerta (a) Tarjeta superior disparo de S1 y S3 (b) Tarjeta inferior disparo de S2 y S4.

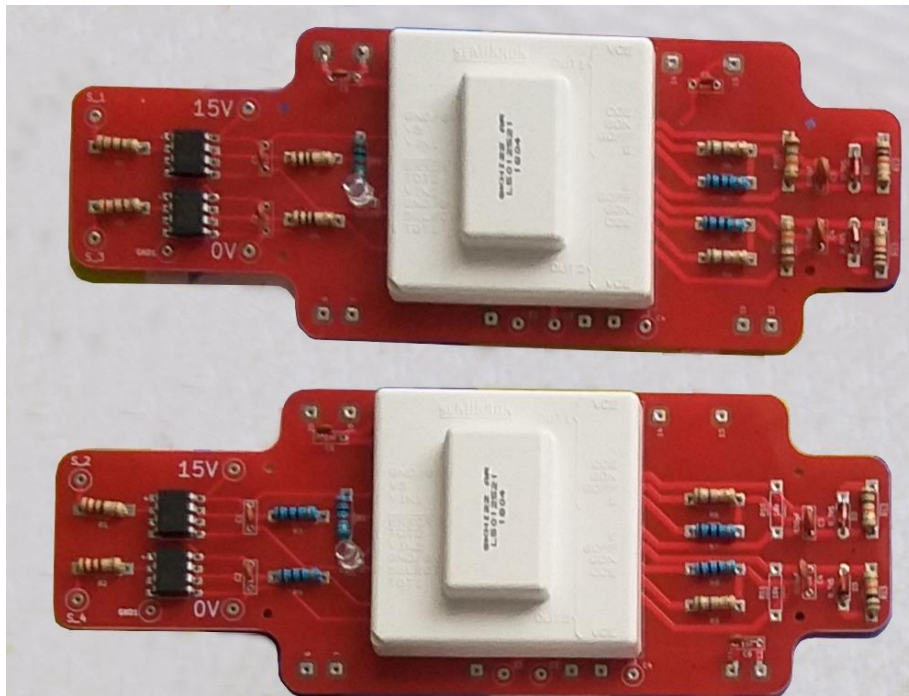


(a)



(b)

Figura 24. Fotografía de los circuitos impresos para la adecuación de las señales de compuerta.



4.2 PROGRAMACIÓN DE LA ESTRATEGIA DE MODULACIÓN

La programación de la estrategia de modulación SPWM para los IGBTs, como se mencionó anteriormente, es generada a través de la herramienta MATLAB/Simulink y luego, enviada a la tarjeta de control (Texas LaunchPad TMS320F28379D), la cual se encarga del envío de los pulsos para la conmutación de los dispositivos semiconductores, lo cual posteriormente se describe detalladamente.

El entorno Simulink es utilizado para el diseño, simulación y modelado de sistemas, a través de esquemas de diagramas de bloques, el cual cuenta con una amplia librería de bloques ajustables y, además, interacción con los códigos realizados en

MATLAB. Simulink puede soportar simulaciones, Generación de código C/C ++ automático, prueba y verificación de sistemas embebidos, entre otros.

Para mejorar la eficiencia del código y facilitar la integración de datos, Simulink puede extender sus propiedades a través de la instalación de herramientas adicionales, dentro de los cuales se pueden encontrar *Simulink Coder*, el cual genera código fuente C y C++ a partir de funciones de MATLAB y diagramas de Simulink.

Así mismo, para microcontroladores Texas Instrument C2000 se destacan los paquetes de soporte *Embedded Coder*, donde el código fuente generado por Simulink en C/C++, se puede compilar y ejecutar sobre microcontroladores C2000 de Texas Instruments (TI) a través del entorno de desarrollo *Code Composer Studio*. Dentro de las principales características del paquete *Embedded Coder* se pueden encontrar:

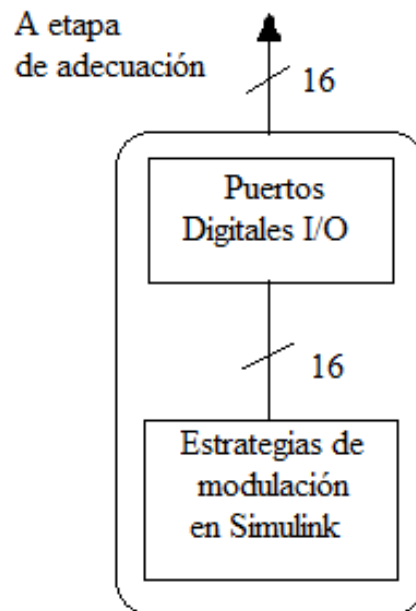
- Construcción y ejecución automática.
- Ajuste en tiempo real de parámetros del sistema a través de la ejecución en modo externo.
- Librerías para periféricos en tarjeta, tales como: ADC, I/O digitales, ePWM, SPI, entre otras.
- Capacidad para desempeñar pruebas de procesador en el bucle (PIL) con perfil de ejecución.

Por ello, para la ejecución de los algoritmos implementados en Simulink en la tarjeta LaunchPad TMS320F28379D se utilizó el paquete *Embedded Coder* para los microcontroladores C2000.

Para la conmutación de los IGBTs se eligió una estrategia de control SPWM en lazo abierto para el inversor.

En la figura 25 se muestra dicho esquema de modulación SPWM, para los cuales se envían 16 pulsos de conmutación, los cuales son enviados a través de los puertos I/O digitales dispuestos a través del paquete de soporte descrito anteriormente, este programa se carga en la tarjeta LaunchPad para que los pulsos sean enviados a los IGBTs, luego de pasar por una etapa de adecuación y aislamiento.

Figura 25. Diagrama de generación de pulsos de conmutación a través de la tarjeta Texas LaunchPad TMS320F28379D.

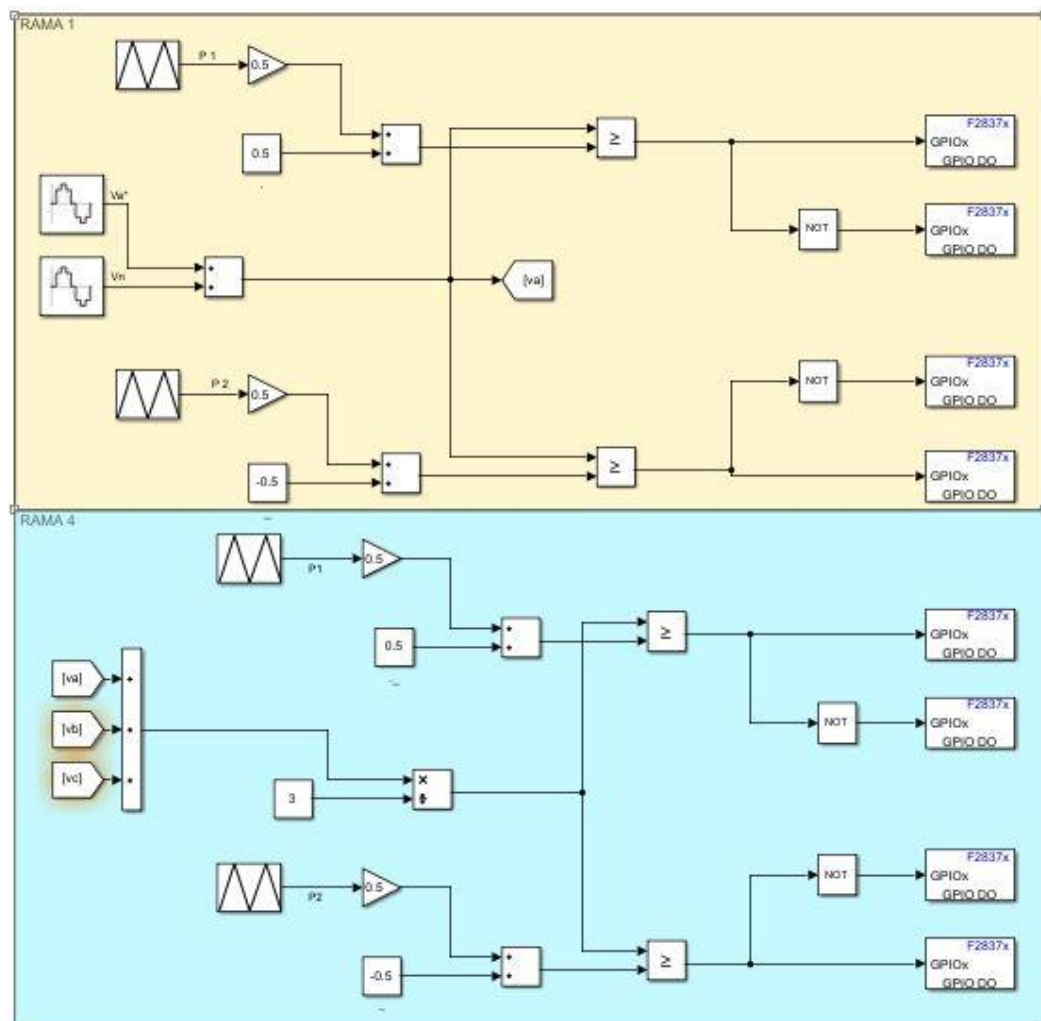


En la figura 26 se observa el diagrama implementado para la estrategia S-PWM basada en portadoras en fase para el inversor de cuatro ramas en topología NPC en Simulink. Cabe resaltar que las cajas de puertos digitales I/O corresponden a pines que ya se han asignado dentro de la tarjeta de control.

4.3 BUS DE Tensión DE CORRIENTE CONTINUA

Para las pruebas de verificación del prototipo, se utilizó una tensión en el bus de continua $V_{DC} = 120 [V]$, este valor se calculó bajo las restricciones a las cuales se podía someter la carga sin ser afectada, para lo cual se trabajó con reóstatos con un valor por fase de $80 [\Omega]$ y a una corriente menor al 30% de su capacidad máxima ($I_{m\acute{a}x} = 1.8 [A]$), la cual se estableció en $0.5 [A/fase]$.

Figura 26. Esquema de generación de pulsos de conmutación del inversor.



A partir de la expresión 4.4 se obtiene el valor de la tensión eficaz por fase,

$$V_{an,rms} = I_{fase} * R \cong 40 [V] \quad (4.4)$$

Para este proyecto se utilizaron dos capacitores de 1000 [μF], puesto que ya se contaba con estos elementos, además, se realizó pensando en que para trabajos futuros se aplique un mayor nivel de tensión se va a requerir de capacitores con mayor capacidad de almacenamiento.

4.4 ETAPA DE POTENCIA

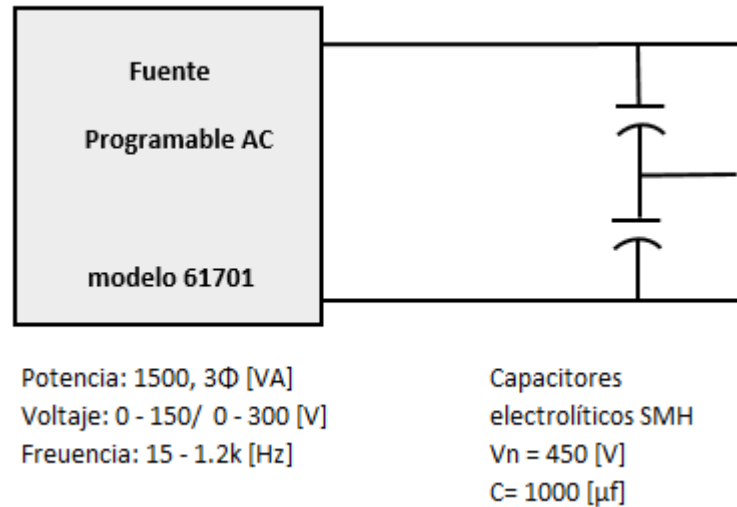
Esta etapa del prototipo consiste en la fuente de DC que alimenta el inversor y las cargas resistivas a la salida del inversor. Para dar mayor claridad respecto a la etapa de alimentación del inversor se muestra en la figura 27 los elementos utilizados.

A partir de la figura 27, se especifican los siguientes elementos:

- Fuente programable AC (tres fases) modelo 61701, dentro de sus características principales se encuentra:
 - Potencia: 1500, 3 $\emptyset$ [VA]
 - Voltaje: 0 ~150 / 0~300 [V]
 - Frecuencia: 15~1.2k [Hz]

A través de este dispositivo se obtiene la fuente de tensión en continua para la alimentación del inversor. Para este proyecto se seleccionó en la fuente programable una tensión de continua con amplitud 120 [V].

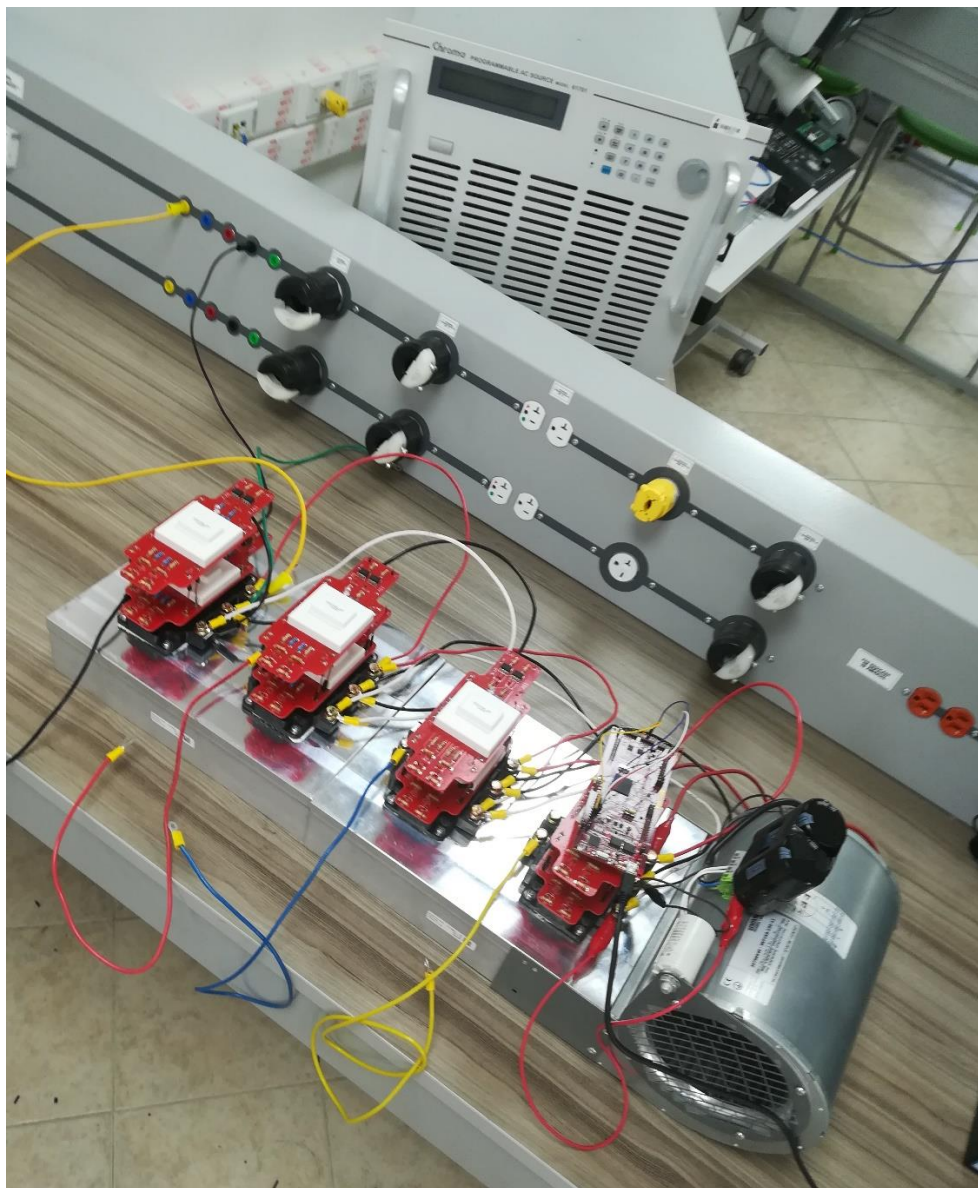
Figura 27. Esquema de la etapa de alimentación implementada para el inversor.



- Capacitor electrolítico SMH de 1000 [μ F] y tensión nominal de 450 [V], para este proyecto se utilizaron dos capacitores para repartir la tensión del bus de continua en partes iguales para la alimentación del inversor trifásico de cuatro ramas en topología NPC. Además, a cada capacitor se le conectó una resistencia en paralelo de 1 [k Ω] para la descarga de los capacitores.

Finalmente, en la figura 28 se muestra el inversor completo, donde se puede apreciar la etapa de potencia descrita en este capítulo, así como la conexión de la tarjeta LaunchPad a la etapa de adecuación y por último la conexión de estas a cada una de las ramas del inversor con su respectivo disipador.

Figura 28. Fotografía del prototipo experimental implementado del inversor trifásico de tres niveles con cuatro ramas en topología NPC.



Los módulos SEMiX155MLI07E4 se adhieren a dos disipadores P16/300 y un ventilador SKF 16A-230-11 de SEMIKRON, para garantizar que las temperaturas en dichos módulos trabajen en un rango adecuado, sin sobrepasar su límite de funcionamiento, ya que con estos elementos se realiza una refrigeración forzada

para disminuir la temperatura en los módulos. Sin embargo, estos módulos cuentan con un sensor de temperatura, al cual se tiene acceso para establecer el límite de temperatura con el que sea desee trabajar, lo cual se realizará en el sistema de control, el cual no se encuentra dentro del alcance de este proyecto.

Los elementos disipadores se seleccionaron a partir de simulaciones *semisel*, el cual es un simulador que de acuerdo con las necesidades y a partir de unas variables de entrada entrega los elementos que serían más eficientes para la finalidad de cada proyecto. Para este caso, estos elementos se encuentran sobredimensionados, puesto que las cargas con las que se realizaron las pruebas son de muy baja potencia en relación con las que permiten manejar estos módulos, los cuales están diseñados para manejar potencias hasta de 24 [kVA]. Sin embargo, este sobredimensionamiento se realizó teniendo en cuenta que el inversor será operado a mayores potencias en futuras investigaciones del grupo GISEL.

Cabe resaltar que, para una aplicación particular, ya sea en el área industrial o residencial, los márgenes de sobredimensionamiento deben estar limitados para no ocasionar sobre costos innecesarios.

5. RESULTADOS Y PRUEBAS EXPERIMENTALES

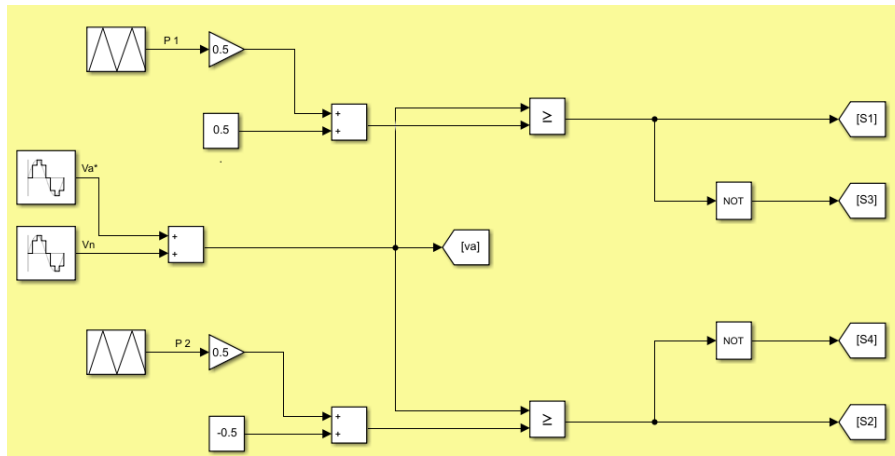
En este capítulo se presentan los resultados obtenidos de la implementación del inversor trifásico de tres niveles con cuatro ramas en topología NPC y el desarrollo de la estrategia de modulación SPWM con portadoras en fase mostrado en el capítulo 3.2.1.

En primera instancia, se muestra el funcionamiento de la estrategia de modulación obtenida a partir de la comparación entre las señales portadoras y la moduladora, además se muestran los resultados obtenidos en Simulink para tensiones de fase, de línea, corrientes en la carga, entre otros. Así mismo, se presentan los resultados experimentales obtenidos a partir del prototipo implementado, con el fin de verificar el funcionamiento adecuado del inversor.

5.1 SIMULACIÓN DEL ALGORITMO DE MODULACIÓN SPWM BASADO EN PORTADORAS EN FASE

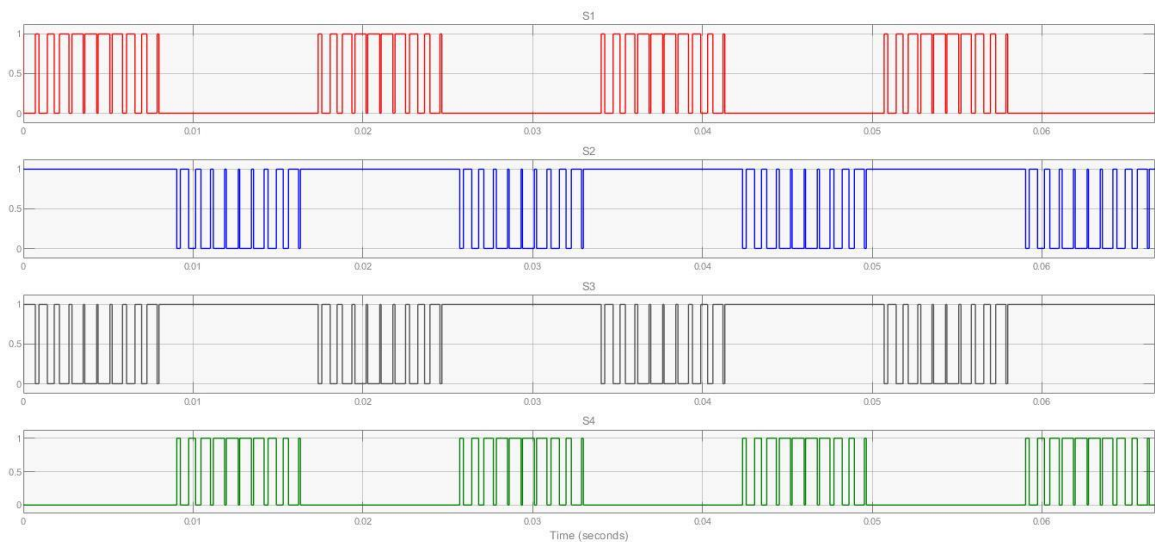
A partir de la modulación explicada en la sección 3.2.1.2 se obtuvieron las señales para la conmutación del inversor, a través de la herramienta MATLAB/Simulink. En la figura 29 se puede observar el esquemático del algoritmo de modulación, en el cual se utilizó una señal de referencia con una amplitud normalizada entre $[-0.9; 0.9]$ y de $f = 60 [Hz]$, así mismo, se tienen dos señales portadoras de forma triangular, donde una de ellas se encuentra en un rango entre $[-1; 0]$ y, la otra entre $[0; 1]$, las cuales tienen una $f = 1260 [Hz]$.

Figura 29. Esquemático de la modulación SPWM basado en portadoras en fase.



En la figura 30 se pueden observar los pulsos obtenidos a partir de la simulación para los cuatro dispositivos semiconductores (IGBTs) de una rama.

Figura 30. Pulsos normalizados programados en Simulink para la conmutación de los interruptores de una rama.



5.2 SIMULACIONES DEL INVERSOR

En este capítulo se aborda la simulación del inversor para diferentes escenarios, dentro de los cuales se encuentran cargas resistivas y adecuación de la señal a través de filtros inductivos.

5.2.1. Simulación para una rama. En la figura 31 se observa el modelo implementado en Simulink para una rama, la cual cuenta con una tensión de alimentación de $120 V_{dc}$ formada a partir de dos fuentes de tensión DC a 60[V] cada una, las cuales reemplazan los capacitores del bus de continua, además se observan los dispositivos semiconductores empleados para una rama.

En la figura 32 (a) se muestra la tensión de fase (V_{an}) y, en la figura 32 (b) la forma de onda de corriente que circula para una carga de $80 [\Omega/fase]$ (I_a). Como se puede observar, la tensión en la carga está formada por tres niveles $\frac{V_{dc}}{2}$, 0 y $-\frac{V_{dc}}{2}$, como se detalló anteriormente, es decir, 60, 0 y $-60 [V]$, mientras que para la corriente se alcanza un valor máximo de 0.75 A.

Figura 31. Modelado de una rama del inversor en topología NPC en MATLAB/Simulink.

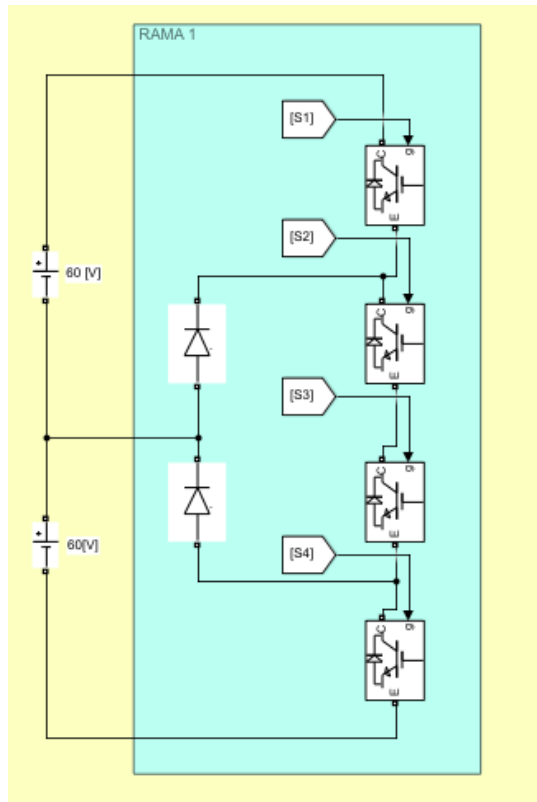
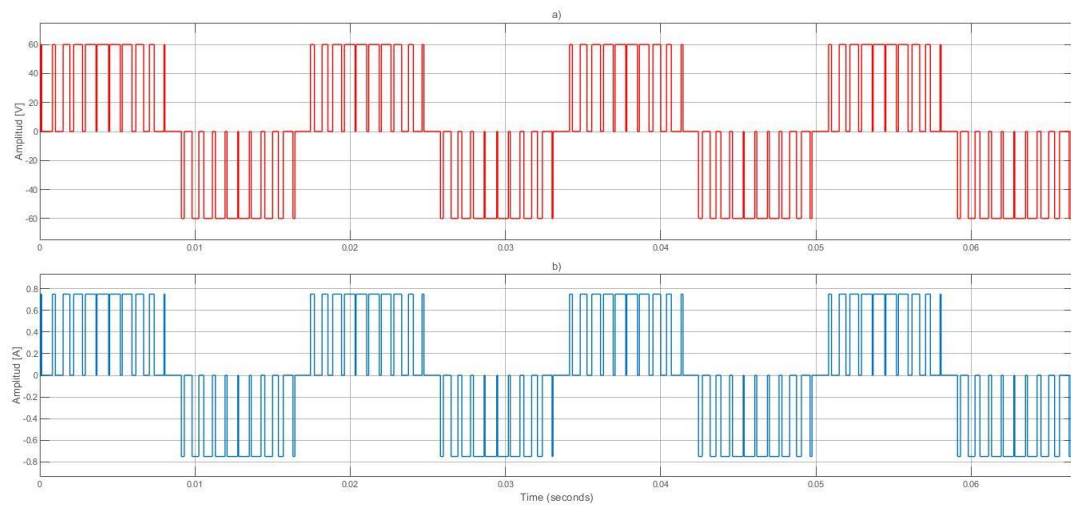


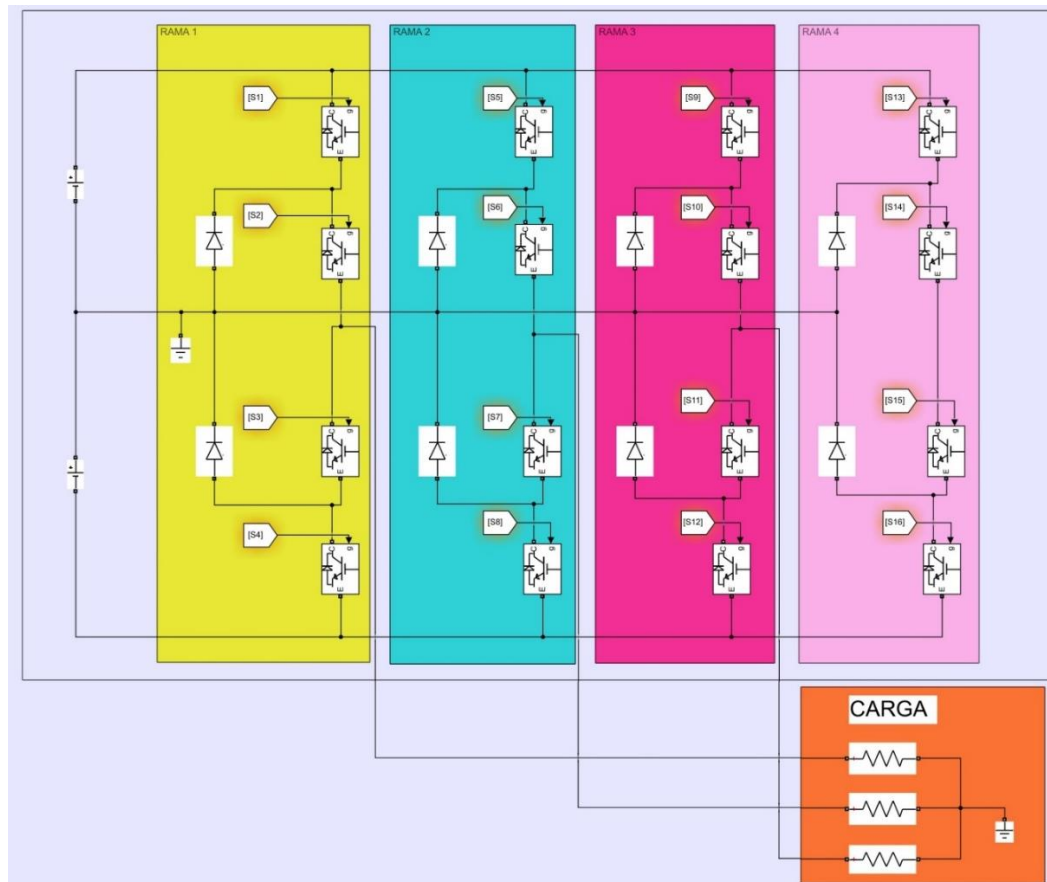
Figura 32. Formas de onda para (a) Tensión de fase (V_{an}), (b) Corriente en la carga (I_a).



5.2.2 Simulación del inversor trifásico – tres ramas. Para este caso de estudio, se conecta el neutro de la carga al punto medio del bus de continua, ya que esta característica permite un mejor desempeño del inversor en lazo abierto. Para este caso se realizaron simulaciones para carga R y, además, se utilizó un filtro con el fin de visualizar la forma de onda de la señal de salida más cercana a la sinusoidal.

5.2.2.1 Simulación con carga resistiva en y: En la figura 33 se observa el modelo implementado en MATLAB/Simulink, en el cual se mantienen los parámetros utilizados en la sección 5.2.1.

Figura 33. Modelado del inversor en topología NPC con cuatro ramas en MATLAB/Simulink.



A partir de las simulaciones realizadas, se obtuvieron las formas de onda de tensiones de fase y corrientes en la carga, como se observan en las figuras 34 y 35 respectivamente.

Figura 34. Formas de onda de tensiones de fase para el inversor (a) V_{an} , (b) V_{bn} , (c) V_{cn} .

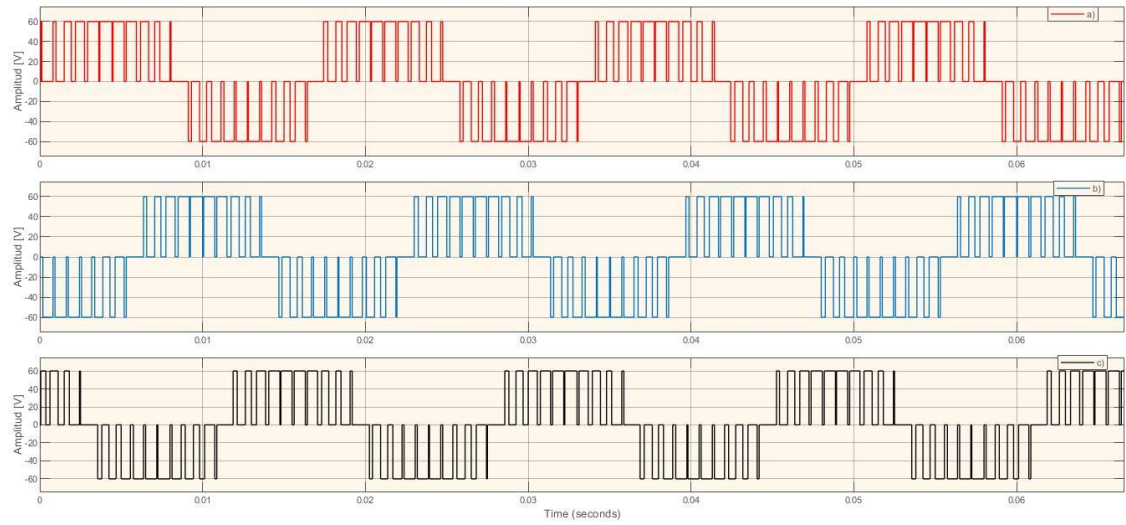
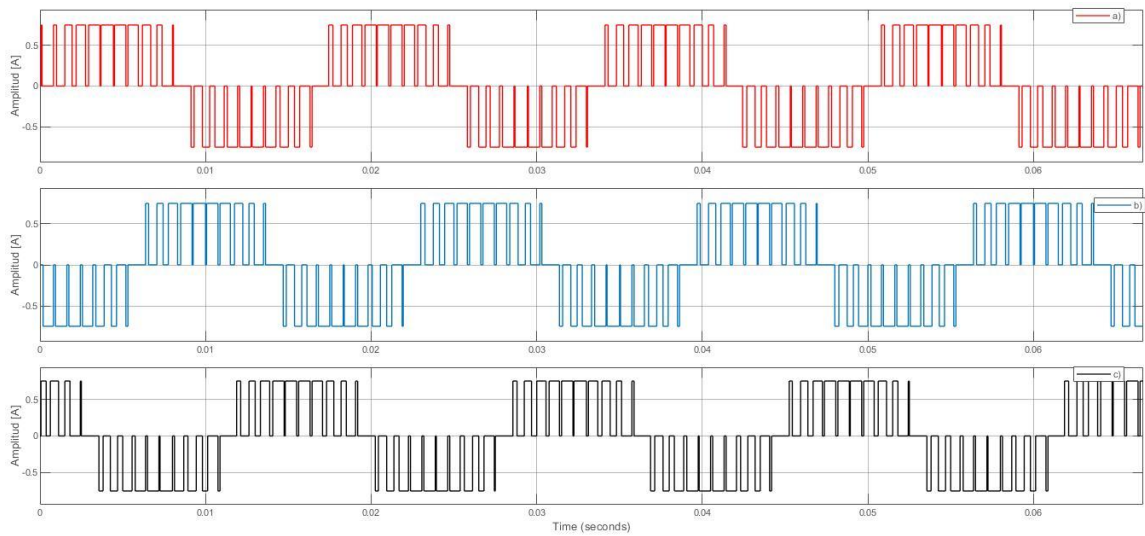
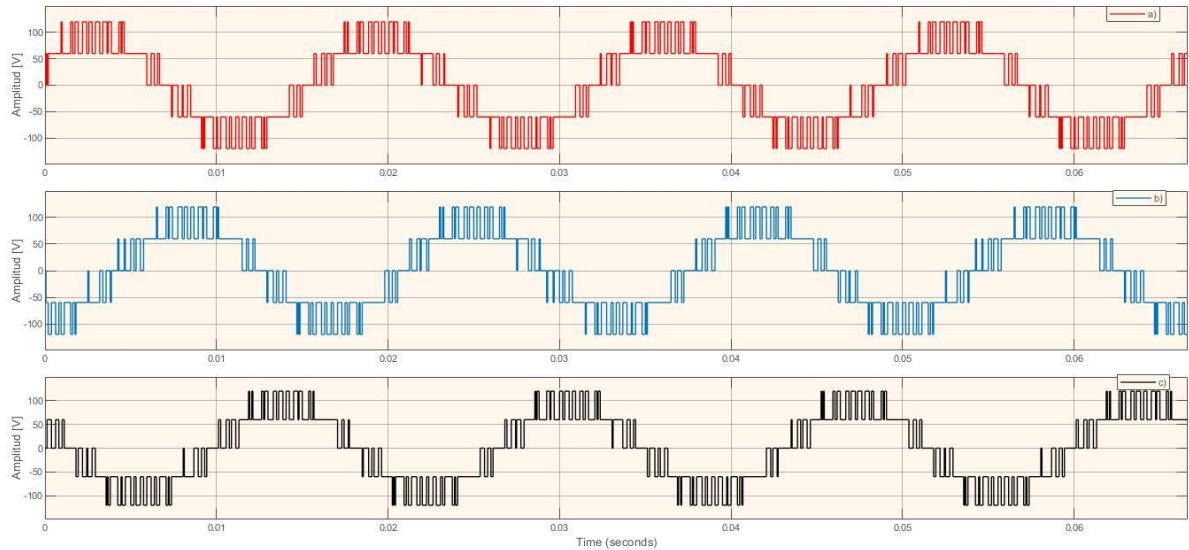


Figura 35. Corrientes a través de la carga (a) I_a , (b) I_b , (c) I_c .



Además, en la figura 36 se pueden observar las formas de onda de tensión de línea del inversor, en las cuales se evidencia una magnitud pico aproximadamente igual al bus de continua y, el incremento en el número de niveles para la forma de onda línea a línea, la cual permite una percepción más aproximada a la forma sinusoidal.

Figura 36. Formas de onda en tensión de salida de línea (a) V_{ab} , (b) V_{bc} , (c) V_{ca} .



En la figura 37 se observa el espectro en frecuencia para la tensión de línea V_{ab} . Así mismo, en la figura 38 se muestra el respectivo espectro para la corriente de la fase A (I_a).

Figura 37. Gráfica de espectro en frecuencia FFT para la tensión de línea V_{ab} .

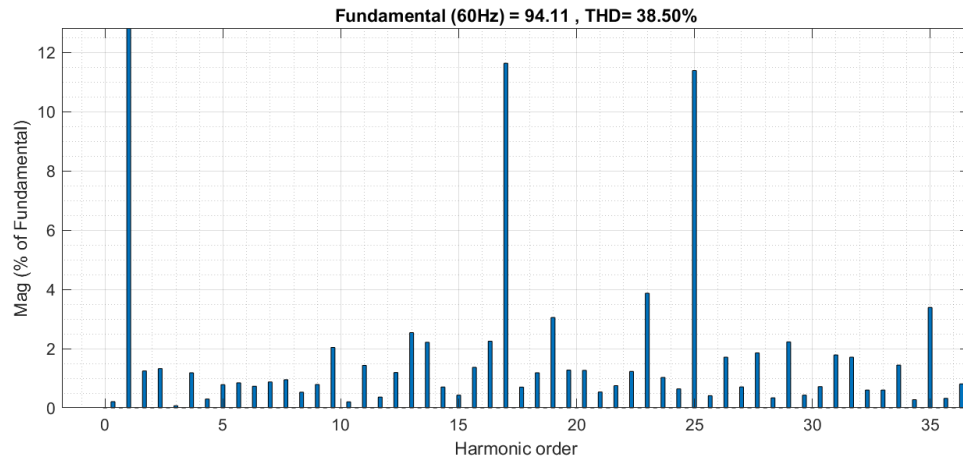
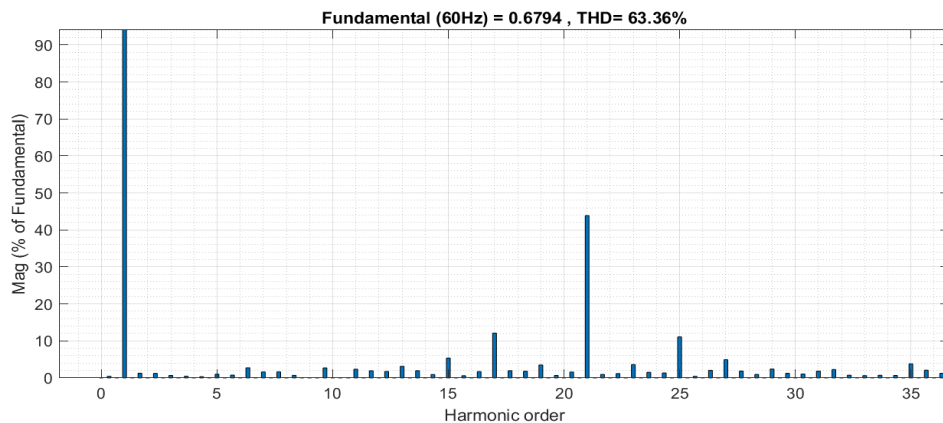


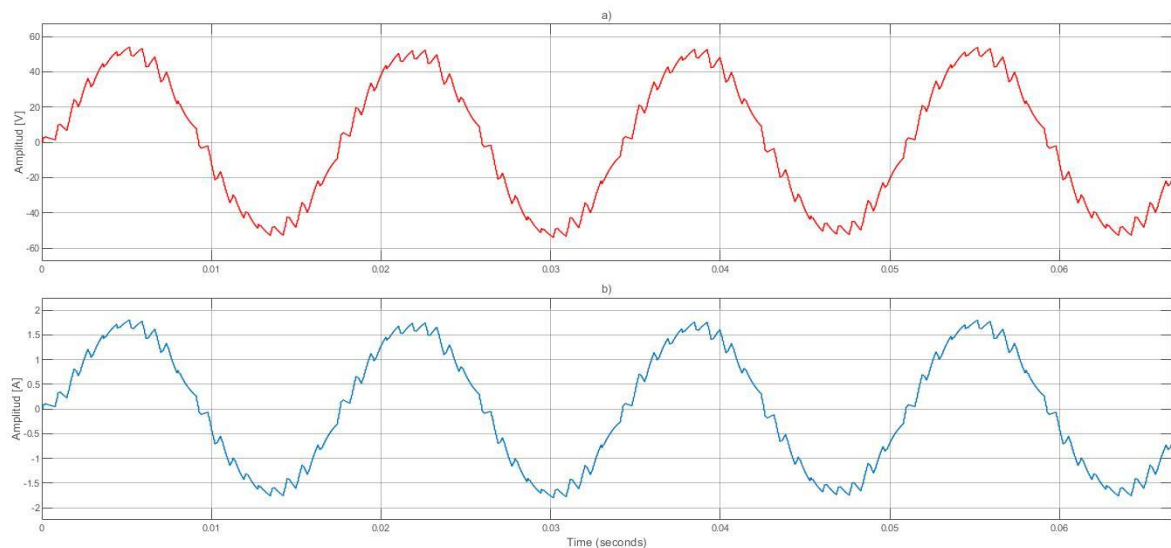
Figura 38. Gráfica de espectro en frecuencia FFT para la corriente en la carga I_a .



A partir de las gráficas anteriores, se evidencia la importancia de la frecuencia de conmutación de los pulsos, ya que por medio de ella se logra alejar las componentes armónicas de mayor magnitud a una frecuencia distante de la fundamental, pues dichos armónicos se localizan alrededor de múltiplos enteros de la frecuencia de conmutación.

5.2.2.2 Simulación con filtro: Se realizó la simulación con un filtro inductivo de 30 [mH] y con una carga resistiva de 30 [Ω] en la fase A, ya que se cuenta con este elemento en el laboratorio. A continuación, se observa la tensión y la corriente en la carga de la fase A.

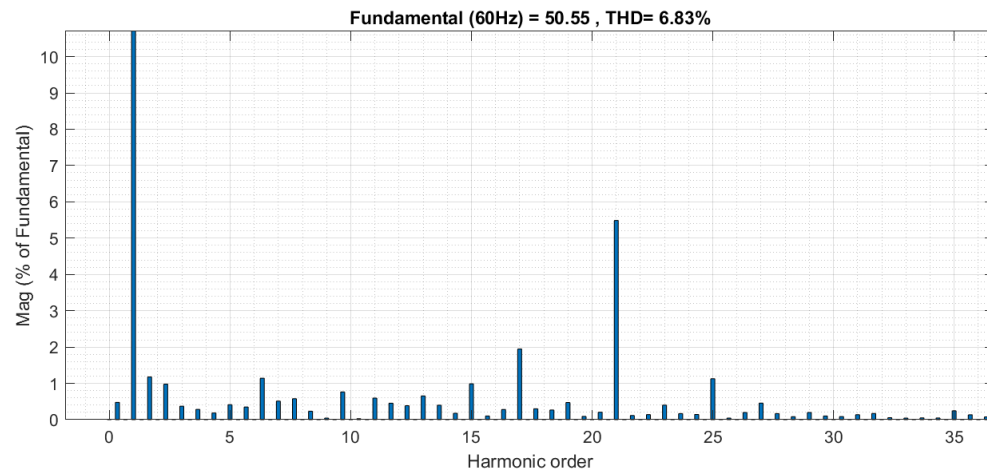
Figura 39. (a) Tensión, (b) Corriente en la resistencia de la fase A con un filtro de 30 [mH/fase].



Como se observa en la figura 39, la señal de tensión y corriente presentan un filtrado significativo, el cual puede ser corroborado a partir de la obtención del espectro en frecuencia mostrado en la figura 40.

Respecto a la simulación realizada, se obtuvo una distorsión armónica total del 6.83 %, lo cual significa que, con este filtrado, se espera que la señal obtenida en las mediciones del prototipo experimental sea semejante a la señal sinusoidal de referencia.

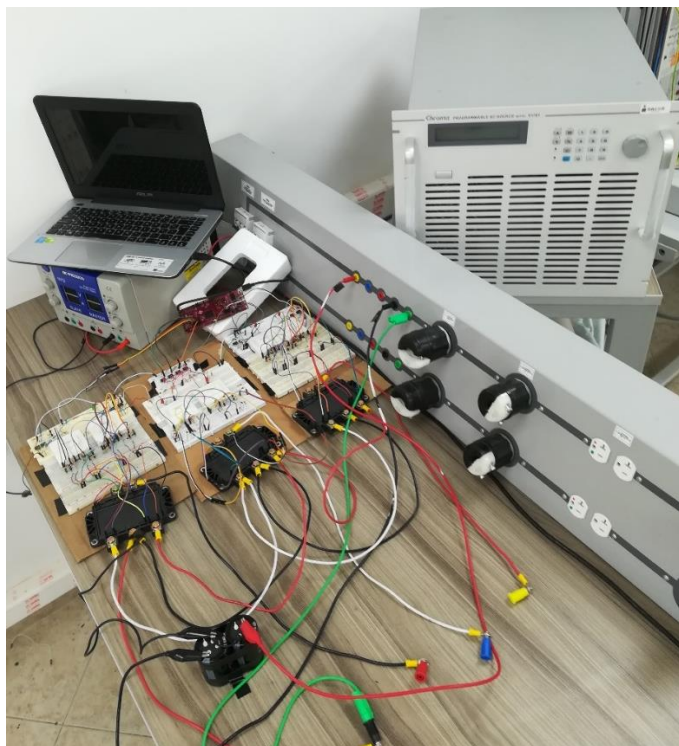
Figura 40. Gráfica de espectro en frecuencia con la FFT para la tensión en la resistencia de carga con un filtro de 30 [mH].



5.3 PRUEBAS EXPERIMENTALES

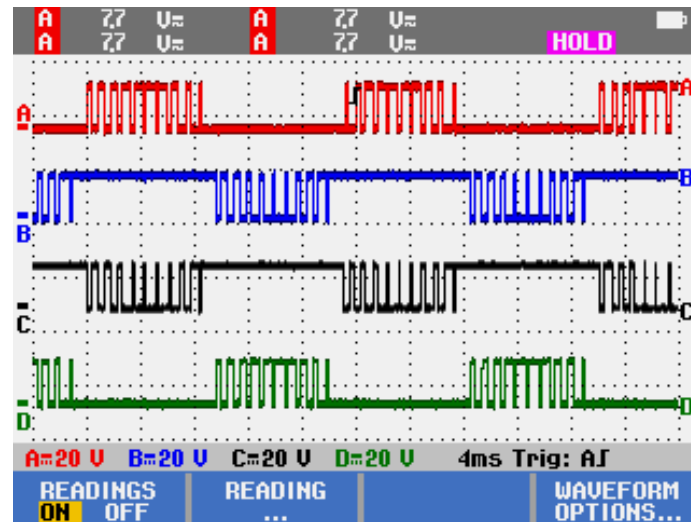
En este capítulo se evidencian las pruebas realizadas para verificar el funcionamiento del inversor implementado, las cuales se realizaron con los valores utilizados en las simulaciones realizadas previamente, con la finalidad de contrastar su funcionamiento. Cabe resaltar que el montaje se realizó previamente como se observa en la figura 41, para verificar el funcionamiento de este, antes de la elaboración de las tarjetas PCB para la realización del ensamble total y prototipo definitivo observado en la figura 28.

Figura 41. Montaje inicial del prototipo.



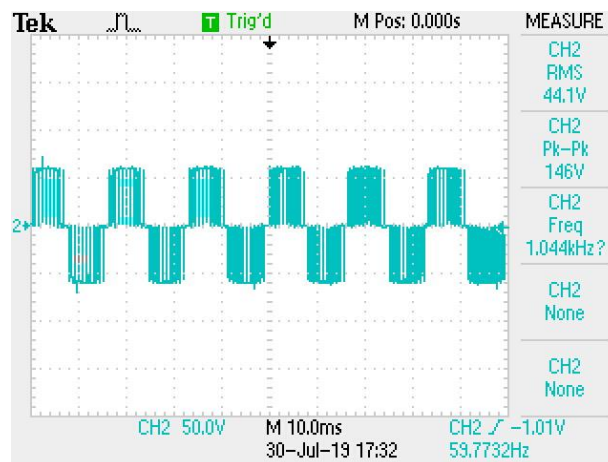
5.3.1 Verificación del algoritmo de modulación. En la figura 42, se muestran los pulsos de entrada a un módulo IGBT, así mismo, se evidencia que se mantiene la forma de onda respecto a la figura 30 que se obtuvo a partir de simulación, además, dichas señales cuentan con el nivel de tensión adecuado requerido para el funcionamiento de los dispositivos semiconductores.

Figura 42. Pulsos para la conmutación de los interruptores de una rama.



5.3.2 Verificación del funcionamiento en una rama. En la figura 43 se aprecia la forma de onda de la tensión de salida para una rama V_{an} , obtenida con el osciloscopio en el canal 2, en la cual se observa un valor eficaz de aproximadamente 44.1 [V] y una frecuencia de salida de 60 [Hz].

Figura 43. Forma de onda de la tensión de fase V_{an} con carga resistiva en el prototipo.

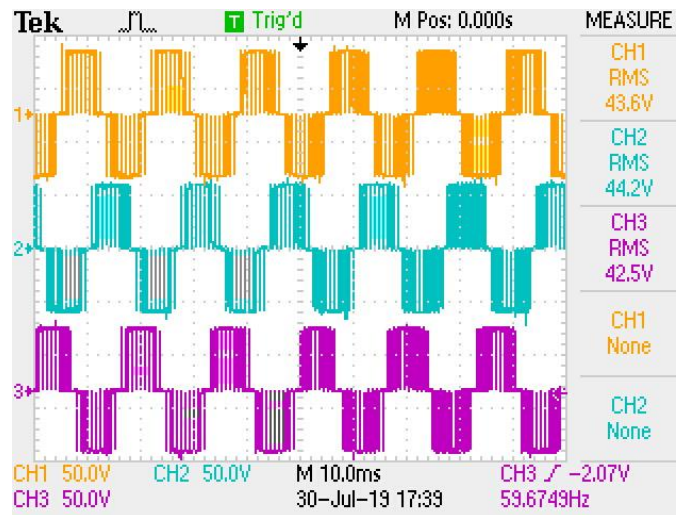


A partir de la comparación de las formas de onda obtenidas experimentalmente respecto con los resultados obtenidos en las simulaciones realizadas en la sección 5.2.1, se verificó el adecuado funcionamiento de la rama.

5.3.3 Verificación del funcionamiento del inversor. A continuación, se muestran los resultados obtenidos en las pruebas del prototipo implementado, destacando que se mantuvieron los parámetros establecidos en la simulación.

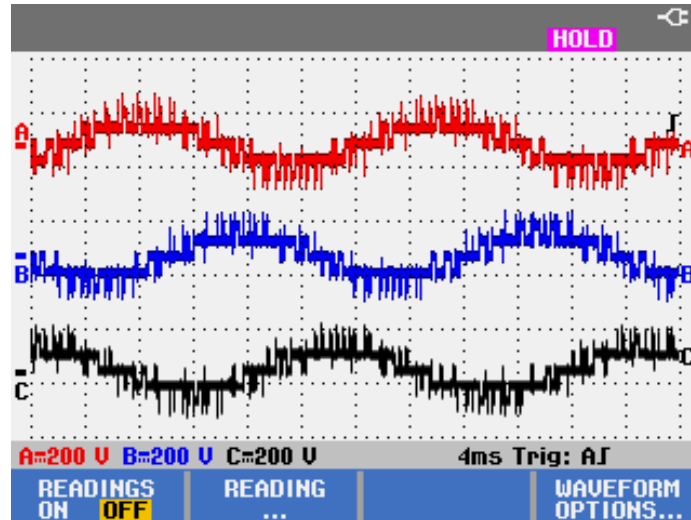
5.3.3.1 Verificación con Carga resistiva (R): En la figura 44 se muestran las formas de onda de tensión de fase obtenidas con el osciloscopio. En el canal 1 se muestra V_{an} , en el canal 2 V_{bn} y en el canal 3 V_{cn} , en los cuales se observan los tres niveles de tensión: +60, 0 y -60 [V] para cada una de las fases, de las cuales se evidencia que el valor eficaz para las tres señales es aproximadamente el mismo, debido a que se maneja la misma carga para cada fase.

Figura 44. Formas de onda de tensiones de fase (a) V_{an} , (b) V_{bn} , (c) V_{cn} .



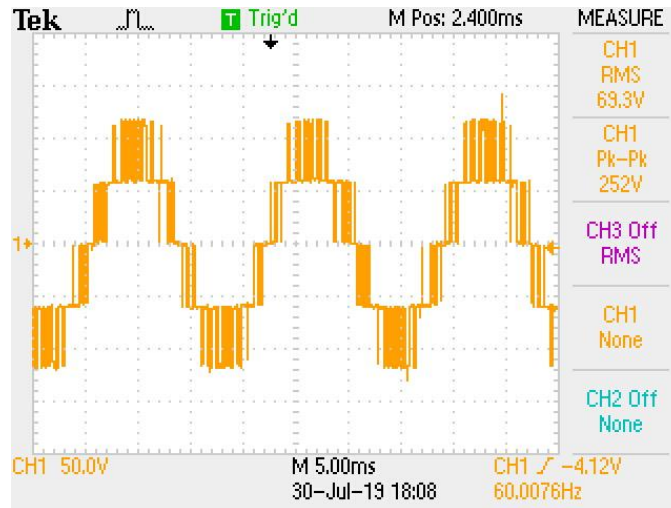
En la figura 45 se muestra el resultado de las tensiones de línea, en las cuales se observa que las formas de onda de tensión son similares en cuanto a magnitud, pero presentan un desfase de 120° y 240° para la fase B y C respecto a la fase A.

Figura 45. Formas de onda de tensión de línea (a) V_{ab} , (b) V_{bc} , (c) V_{ca} .



En la figura 46 se observa más a detalle la tensión de línea V_{ab} , en la cual se muestran los cinco niveles de tensión que se esperaban obtener, además de la frecuencia de la señal de tensión que se aproxima a 60 [Hz].

Figura 46. Tensión de línea V_{ab} con carga resistiva.



De igual manera, se evidencia la forma de la señal de corriente en la figura 47, donde se observan los picos de gran magnitud que se presentan en la señal, lo cual es una característica normal en el inversor debido a la conmutación de los dispositivos semiconductores.

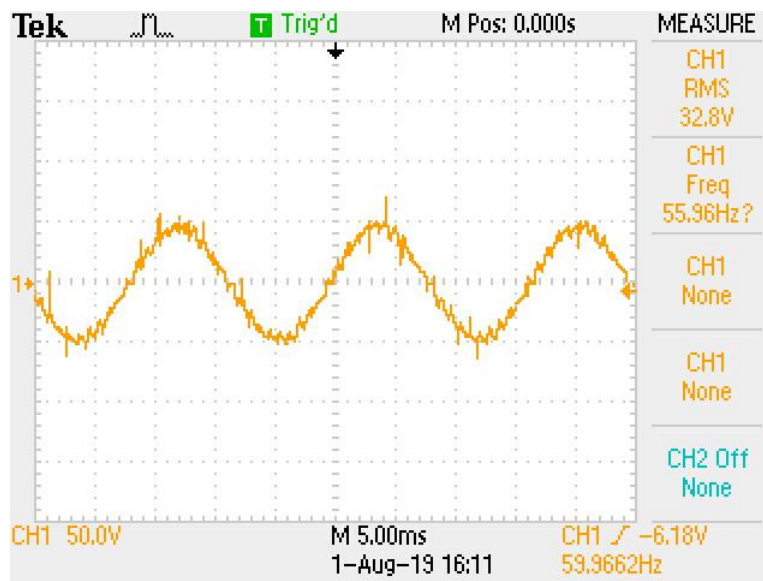
Figura 47. Forma de la señal corriente sin filtro.



A partir de la comparación de las formas de onda de fase y de línea obtenidas mediante los osciloscopios, con los resultados de las simulaciones en la sección 5.2.2.1, se verifica un funcionamiento adecuado bajo los parámetros descritos.

5.3.3.2 Verificación del funcionamiento con filtro inductivo: Se utilizó un filtro de 30 [mH] en la fase A, con el fin de contrastar lo obtenido en la simulación realizada previamente en la sección 5.2.2.2, a partir de la cual se obtuvo una forma de onda aproximada de la señal sinusoidal, lo cual se logró verificar en la figura 48, donde se observa que la acción de este filtro da una respuesta cercana a la simulada.

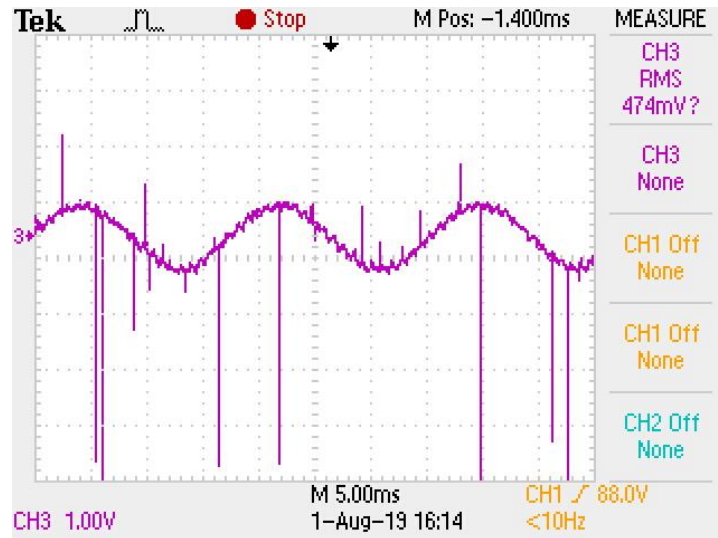
Figura 48. Tensión en la carga resistiva de la fase A con filtro de 30 [mH].



En la figura 49, se muestra la señal de corriente obtenida con este filtro y, aunque tiene la forma similar a la tensión observada en la figura 48, se aprecia que la señal de corriente presenta unos picos indeseados, lo cual es una respuesta natural del filtro en la parte experimental, puesto que en el presente proyecto no se realizó un

control de lazo cerrado para minimizar los errores, no obstante, las dos señales se asemejan en buena forma a la señal sinusoidal.

Figura 49. Forma de la señal de corriente I_a en el prototipo.



La figura 49, se obtuvo a partir de un transformador de corriente de efecto Hall con una relación de transformación entre tensión y corriente de 25:10, a partir de la cual se puede obtener el valor de la corriente, como se observa en la ecuación 5.1.

$$I = \frac{V_{leido} * 25}{10} \cong 1.19 [A] \quad (5.1)$$

Donde el V_{leido} se expresa en [V].

6. CONCLUSIONES

Al comparar las simulaciones, con los resultados de las pruebas realizadas en el prototipo implementado, se evidenció un comportamiento similar en cuanto a formas de onda y valores de tensión de fase y de línea, así como la corriente.

Se logró observar que el tiempo de subida y de bajada de las señales de conmutación de los IGBT es relativamente bajo, gracias a los valores de las resistencias R_{on} y R_{off} seleccionados, lo cual significa que estos valores influyeron en la disminución del contenido armónico de las señales de salida.

Es importante añadir los elementos de protección sugeridos por SEMIKRON para el módulo, ya que en el transcurso de la adecuación de señales se observó que la tensión era superior a 15[V] en la puerta del IGBT, lo cual puede llegar a causar la destrucción de la compuerta, por lo tanto, se controló por medio de un diodo supresor de tensión, el cual no permite el aumento de la tensión especificada en la hoja de datos del módulo. Adicionalmente, se añadió una resistencia, la cual brinda un respaldo temporal al ocurrir un cortocircuito y finalmente, un capacitor ubicado lo más cercano posible a la compuerta de los interruptores con el fin de atenuar las fluctuaciones de tensión al momento de ocurrir la conmutación.

A partir de las pruebas realizadas para los distintos escenarios, se ratificó la importancia en la selección adecuada en el valor del filtro, puesto que de este depende la aproximación de la señal a la forma sinusoidal, ya que para un valor de 5 [mH] el filtrado de la señal fue relativamente bajo en comparación con el de 30 [mH].

Se evidenció mediante las pruebas realizadas, que para bajas corrientes de carga no es necesario encender el ventilador para el enfriamiento de los disipadores, pues en este no se reflejó un aumento de temperatura, ya que se manejaron corrientes muy pequeñas respecto a las que puede manejar dicho módulo.

Durante las pruebas realizadas y conociendo el funcionamiento del driver, si la alimentación de este no es la necesaria o se presenta un cortocircuito o sobretensión a la salida del controlador, este error se observaba a través del pin de salida p10 mediante la lectura de tensión en este punto. Se añadió una conexión con un diodo LED a este pin, el cual se enciende al momento de ocurrir los problemas mencionados, lo cual es una ventaja representativa, ya que perciben los errores a simple vista cuando se enciende el LED sin la necesidad de estar verificando continuamente el nivel de tensión en este pin. Esto brinda la oportunidad de realizar una pronta acción frente a un error, lo cual es algo importante, además que este prototipo estará a disposición de los estudiantes para fines investigativos, que facilitará percibir los errores en caso de ser ocasionados.

BIBLIOGRAFÍA

CARRARA, G.; GARDELLA, S.; MARCHESONI, M.; SALUTARI, R.; SCIUTTO, G. A new multilevel PWM method: A theoretical analysis. In 21st Annual IEEE Conference on Power Electronics Specialists. IEEE. 1990

CARRASCO, J. M.; GARCÍA FRANQUELO, L.; BIALASIEWICZ, J. T.; GALVÁN, E.; PORTILLO GUISADO, R. C.; MARTÍN PRATS, M. D. L. Á.; ... MORENO-ALFONSO, N. Power-electronic systems for the grid integration of renewable energy sources: A survey. *IEEE Transactions on Industrial Electronics*, 53 (4). 2006

CHEE, S. J., KO, S., KIM, H. S., & SUL, S. K. Common-mode voltage reduction of three-level four-leg PWM converter. *IEEE Transactions on Industry Applications*, 51(5), 2015. p. 4006-4016.

CHEE, S. J., SUL, S. K., ROH, Y. H., & LEE, J. Loss comparison of the 3 level topologies for four-leg voltage converters. In *2014 IEEE International Conference on Industrial Technology (ICIT)*. IEEE. 2014. p. 324-329

CHUNG, D. W.; Kim, J. S.; SUL, S. K. Unified voltage modulation technique for real-time three-phase power conversion. *IEEE TRANSACTIONS on Industry applications*, 34(2). 1998

GARCÍA, R. A. H. *Trabajo de diploma para optar por el título de Ingeniero Eléctrico* (Doctoral dissertation, Instituto Superior Politécnico José Antonio Echeverría). 2018

GÓMEZ, A. A.; TREJOS, L. A. Simulación de un inversor trifásico multinivel con fijación por diodos usando SIMULINK de MATLAB. Scientia et technica, 16(45). 2010

HALASZ, S. Analysis of pulsewidth modulation techniques for induction motor drives. In ISIE'93-Budapest: IEEE International Symposium on Industrial Electronics Conference Proceedings. IEEE. June 1993

HART, D. W. Power electronics. Tata McGraw-Hill Education. 2011

HAVA, A. M. Carrier based PWM-VSI drives in the overmodulation region. University of Wisconsin--Madison (Vol. 1). 1998

HERMWILLE, M. Gate Resistor--Principles and Applications. Application Note AN-7003. 2007

HOLMES, D. G.; LIPO, T. A. Implementation of a modulation controller. En Pulse width modulation for power converers: principles and practice. 2003b. p. 744

HOLMES, D. G.; LIPO, T. A. Pulse width modulation for power converters: principles and practice. John Wiley & Sons. (Vol. 18). 2003a

JIMENA, L. M. D.; ALBERTO, C. M. G.; CHÁVEZ, D., OSCAR, J., & ALBERTO, G. L. C. Modulación PWM aplicada a Inversores Trifásicos dentro del Esquema de Accionamientos Eléctricos AC. Universidad del Cauca, Facultad de Ingeniería Electrónica y Telecomunicacio. 2007

MARCHESONI, M.; TENCA, P. Theoretical and practical limits in multilevel NPC inverters with passive front ends. In Proc. EPE. August 2001

MARTÍNEZ, J. F. *Diseño y construcción de un convertidor trifásico de 3 niveles* (Doctoral dissertation, Universidad Nacional de Mar del Plata. Facultad de Ingeniería. Argentina). 2017

MCGRATH, B. P.; HOLMES, D. G. Multicarrier PWM strategies for multilevel inverters. *IEEE Transactions on industrial electronics*, 49(4), 2002

MEYNARD, T. A., & FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In *PESC'92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*. IEEE. 1992, June. p. 397-403

MOHAN, N.; UNDELAND, T. M. *Power electronics: converters, applications, and design*. John wiley & sons. 2007

NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped PWM inverter. *IEEE Transactions on industry applications*, (5), 1981

RODRIGUEZ, J.; FRANQUELO, L. G.; KOURO, S.; LEON, J. I.; PORTILLO, R. C.; PRATS, M. A. M.; PEREZ, M. A. Multilevel converters: An enabling technology for high-power applications. *Proceedings of the IEEE*, 97(11), 2009

SANNINO, A.; SVENSSON, J.; LARSSON, T. Power-electronic solutions to power quality problems. *Electric Power Systems Research*, 66(1), 2003

SHAKWEH, Y.; LEWIS, E. A. Assessment of medium voltage PWM VSI topologies for multi-megawatt variable speed drive applications. In *30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No. 99CH36321) Vol. 2*. July 1999

SOTO, D.; GREEN, T. C. A comparison of high-power converter topologies for the implementation of FACTS controllers. *IEEE transactions on industrial electronics*, 49(5). 2002

SOURKOUNIS, C., & AL-DIAB, A. A comprehensive analysis and comparison between multilevel space-vector modulation and multilevel carrier-based PWM. In *2008 13th International Power Electronics and Motion Control Conference*. IEEE. 2008, September. p. 1710-1715

WANG, L.; CHAI, S.; YOO, D.; GAN, L.; & NG, K. PID and predictive control of electrical drives and power converters using MATLAB/Simulink. John Wiley & Sons. 2015z

WU, B., & NARIMANI, M. *High-power converters and AC drives* (Vol. 59). John Wiley & Sons. 2017