

**REDISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO DE ENTRENADOR DIGITAL
PARA EL LABORATORIO DE SISTEMAS DIGITALES**

**JAVIER HUMBERTO DÍAZ GÓMEZ
JAVIER ENRIQUE CABALLERO MORENO**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERIAS FISICO-MECÁNICAS
ESCUELA DE INGENIERIAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES**

BUCARAMANGA

2004

**REDISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO DE ENTRENADOR DIGITAL
PARA EL LABORATORIO DE SISTEMAS DIGITALES**

**JAVIER HUMBERTO DÍAZ GÓMEZ
JAVIER ENRIQUE CABALLERO MORENO**

Trabajo para optar el título de:
INGENIERO ELECTRÓNICO

Director:
MASTER JORGE HERNANDO RAMÓN SUÁREZ

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERIAS FISICO-MECÁNICAS
ESCUELA DE INGENIERIAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES**

BUCARAMANGA

2004

CONTENIDO

LISTA DE TABLAS	I
LISTA DE FIGURAS	II
LISTA DE ANEXOS.....	V
INTRODUCCIÓN	1
<hr/>	
1 EL ENTRENADOR DIGITAL	3
<hr/>	
1.1 DESCRIPCION GENERAL	4
1.2 ESTRUCTURA INTERNA Y EXTERNA	9
2 MÓDULO FUENTE CONMUTADA DE TENSIÓN DC	12
<hr/>	
2.1 INTRODUCCIÓN	12
2.2 DESCRIPCIÓN TÉCNICA	14
2.2.1 BLOQUE RECTIFICADOR-FILTRO DE ENTRADA.....	16
2.2.2 BLOQUE AISLADOR.....	16
2.2.3 BLOQUE RECTIFICADOR-FILTRO DE SALIDA.....	18
2.2.4 BLOQUE REALIMENTACIÓN AISLADA.....	19
2.2.5 BLOQUE CONMUTADOR Y CONTROL	20
2.3 ELEMENTOS NECESARIOS	29

<u>3</u>	<u>MÓDULO GENERADOR DE ONDA CUADRADA SIMÉTRICA</u>	<u>30</u>
3.1	INTRODUCCIÓN.....	30
3.2	DESCRIPCIÓN TÉCNICA	30
3.3	ELEMENTOS NECESARIOS	33
<u>4</u>	<u>MÓDULO INTERRUPTORES LÓGICOS ANTIRREBOTES</u>	<u>34</u>
4.1	INTRODUCCIÓN.....	34
4.2	DESCRIPCIÓN TÉCNICA	34
4.3	ELEMENTOS NECESARIOS	38
<u>5</u>	<u>MÓDULO DE VISUALIZADORES DE ESTADO LÓGICOBINARIO</u>	<u>39</u>
5.1	INTRODUCCIÓN.....	39
5.2	DESCRIPCIÓN TÉCNICA	40
5.3	ELEMENTOS NECESARIOS	43
<u>6</u>	<u>MÓDULO DE VISUALIZADORES DE ESTADO LÓGICO HEXADECIMAL</u>	<u>44</u>
6.1	INTRODUCCIÓN.....	44
6.2	DESCRIPCIÓN TÉCNICA	44
6.3	ELEMENTOS NECESARIOS	51

7	MÓDULO ANALIZADOR DIGITAL	52
7.1	INTRODUCCIÓN.....	52
7.2	DESCRIPCIÓN DEL PUERTO PARALELO.....	53
7.3	INTERFASE AL PUERTO PARALELO DEL COMPUTADOR.....	56
7.4	MANEJO DEL PUERTO PARALELO DESDE LABVIEW	58
7.5	DESCRIPCIÓN DEL PANEL FRONTAL DEL ANALIZADOR DIGITAL.....	59
7.5.1	BARRA DE HERRAMIENTAS.....	60
7.5.2	INTERRUPTORES HABILITADORES	64
7.5.3	PANTALLA GRAFICADORA DE SEÑALES DIGITALES	65
7.5.4	INDICADOR DECIMAL Y BINARIO DEL ÚLTIMO DATO CAPTURADO.....	65
7.5.5	BARRA DE ESTADO	66
7.5.6	MEDIDOR DE FRECUENCIA DE LA SEÑAL DE MUESTREO.....	66
7.5.7	BOTÓN HABILITADOR DE LECTURA DEL PUERTO PARALELO	66
7.5.8	CONTROL DE LA ESCALA DE TIEMPO DE LA PANTALLA GRAFICADORA.....	67
7.5.9	BOTÓN DE APAGADO DEL ANALIZADOR DIGITAL	67
7.6	DESCRIPCION DEL DIAGRAMA DE BLOQUES.....	68
	CONCLUSIONES	93
	RECOMENDACIONES	95
	BIBLIOGRAFIA	96

LISTA DE TABLAS

Tabla 1	Lista de Materiales Módulo Fuente Conmutada de Tensión DC.....	29
Tabla 2	Rangos de frecuencias a las salida del LM555.....	31
Tabla 3	Rangos de frecuencia del Generador de Onda Cuadrada	33
Tabla 4	Lista de Materiales Módulo Generador de Onda Cuadrada.....	33
Tabla 5	Lista de Materiales Módulo Interruptores Lógicos Antirrebote	38
Tabla 6	Lista de Materiales Módulo Visualizadores Estado Lógico Binario.....	43
Tabla 7	Lista de Materiales Módulo Visualizadores Estado Lógico Hexadecimal	51
Tabla 8	Funcionamiento de cada Pin en el Conector DB25.....	54
Tabla 9	Registros del Puerto Paralelo	55
Tabla 10	Sub-VIs de Primer Nivel del Analizador Digital	69
Tabla 11	Sub-VIs de Segundo Nivel del Analizador Digital.....	83

LISTA DE FIGURAS

Figura 1	Diagrama de Bloques del Entrenador Digital	4
Figura 2	Foto del Modulo Fuente de Alimentación Conmutada	10
Figura 3	Foto del Entrenador Digital	11
Figura 4	Diagrama de Bloques de la Fuente Conmutada Forward Aislada.....	15
Figura 5	Circuito Esquemático de la Fuente Conmutada Forward Aislada	15
Figura 6	Diagrama de Bloques del MC33362.....	21
Figura 7	Forma de Onda de las Principales Etapas del MC33362	22
Figura 8	Diagrama del Generador de Onda.....	31
Figura 9	Diagrama de un Interruptor Lógico Antirrebote.....	35
Figura 10	Diagrama de Ocho Interruptores Lógicos Antirrebote.....	36
Figura 11	Diagrama de Dieciséis Interruptores Lógicos Antirrebote.....	37
Figura 12	Esquema de un Led Dual con Cátodo Común.....	39
Figura 13	Diagrama de un Interruptor Lógico Antirrebote.....	40
Figura 14	Diagrama de los Doce Visualizadores Binarios Más Significativos	41
Figura 15	Diagrama de los Doce Visualizadores Binarios Menos Significativos.....	42
Figura 16	Diagrama de Dos Visualizadores de Estado Lógico Hexadecimal	45
Figura 17	Diagrama de Seis Visualizadores de Estado Lógico Hexadecimal	50
Figura 18	Bus de Datos, Estado y Control del Puerto Paralelo en un Conector DB25.....	53
Figura 19	Circuito de Interfaz para el Puerto Paralelo	56
Figura 20	Funciones In Port y Out Port	58
Figura 21	Panel Frontal del Analizador Digital.....	59
Figura 22	Barra de Herramientas del Analizador Digital	60
Figura 23	Cuadro de Dialogo de Configuración del Analizador Digital.....	61
Figura 24	Cuadro de Dialogo Configuración Modo de Muestreo	62

Figura 25	Pantalla Graficadora de Señales Digitales	64
Figura 26	Indicador Decimal y Binario del Último Dato Capturado	65
Figura 27	Control de la Escala de Tiempo.....	67
Figura 28	Diagrama de Bloques del Analizador Digital	68
Figura 29	Diagrama de Bloques del Sub-VI Configuración Inicial.....	70
Figura 30	Diagrama de Bloques del Sub-VI Configuración.....	71
Figura 31	Diagrama de Conexiones del Sub-VI Modo Muestreo	72
Figura 32	Diagrama de Conexiones del Sub-VI Muestreo Manual	72
Figura 33	Diagrama de Bloques del Sub-VI Muestreo Manual.....	73
Figura 34	Diagrama de Conexiones del Sub-VI Muestreo Señal de Reloj Externa.....	73
Figura 35	Diagrama de Bloques del Sub-VI Muestreo Señal de Reloj Externa	74
Figura 36	Diagrama de Conexiones del Sub-VI Insertar en Vector	75
Figura 37	Diagrama de Bloques del Sub-VI Insertar en Vector.....	75
Figura 38	Diagrama de Conexiones del Sub-VI Iniciar Vector.....	76
Figura 39	Diagrama de Bloques del Sub-VI Iniciar Vector	76
Figura 40	Diagrama de Conexiones del Sub-VI Nuevo-Abrir.....	76
Figura 41	Diagrama de Bloques I del Sub-VI Nuevo-Abrir.....	77
Figura 42	Diagrama de Bloques II del Sub-VI Nuevo-Abrir	78
Figura 43	Diagrama de Bloques III del Sub-VI Nuevo-Abrir	78
Figura 44	Diagrama de Conexiones del Sub-VI Guardar.....	79
Figura 45	Diagrama de Bloques del Sub-VI Guardar	80
Figura 46	Ejemplo Archivo Datos1.dat Generado con el Analizador Digital	80
Figura 47	Diagrama de Bloques del Sub-VI Rótulo	81
Figura 48	Diagrama de Conexiones del Sub-VI Graficar Vector Datos	82
Figura 49	Diagrama de Bloques del Sub-VI Graficar Vector Datos.....	82
Figura 50	Diagrama de Conexiones de la Función Digital Waveforms Graph.....	83
Figura 51	Diagrama de Conexiones del Sub-VI Control Xo	85
Figura 52	Diagrama de Bloques del Sub-VI Control Xo.....	85

Figura 53	Diagrama de Conexiones del Sub-VI Control Xo Izquierda Derecha.....	85
Figura 54	Diagrama de Bloques I del Sub-VI Control Xo Izquierda Derecha.....	86
Figura 55	Diagrama de Bloques II del Sub-VI Control Xo Izquierda Derecha	87
Figura 56	Diagrama de Conexiones del Sub-VI Mascara Habilitadora	87
Figura 57	Diagrama de Bloques I del Sub-VI Mascara Habilitadora.....	88
Figura 58	Diagrama de Bloques II del Sub-VI Mascara Habilitadora	88
Figura 59	Diagrama de Conexiones del Sub-VI Ultimo Dato.....	89
Figura 60	Diagrama de Bloques del Sub-VI Ultimo Dato	89
Figura 61	Diagrama de Conexiones del Sub-VI Transpuesta Vector Datos	89
Figura 62	Diagrama de Bloques del Sub-VI Transpuesta Vector Datos.....	90
Figura 63	Diagrama de Bloques I del Sub-VI Ampliar-Reducir.....	91
Figura 64	Diagrama de Bloques II del Sub-VI Ampliar-Reducir	92

LISTA DE ANEXOS

Anexo A	Reguladores Lineales y Conmutados.....	97
Anexo B	Hojas de Características.....	153
Anexo C	Circuitos Impresos del Analizador Digital.....	186

RESUMEN

- TÍTULO:** REDISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO DE ENTRENADOR DIGITAL PARA EL LABORATORIO DE SISTEMAS DIGITALES.*
- AUTORES:** JAVIER HUMBERTO DÍAZ GÓMEZ.**
JAVIER ENRIQUE CABALLERO MORENO.
- PALABRAS CLAVE:** ENTRENADOR DIGITAL, FUENTE DE ALIMENTACIÓN CONMUTADA, ANALIZADOR DIGITAL, VISUALIZADORES, HEXADECIMAL, BINARIO, GENERADOR ONDA, INTERRUPTOR LÓGICO.

El desarrollo del presente trabajo de grado ha arrojado como resultado el rediseño, construcción e implementación de un prototipo de Entrenador Digital, el cual es de vital importancia para el estudio de la electrónica digital, en las prácticas del Laboratorio de Sistemas Digitales de la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones de la Universidad Industrial de Santander.

El Entrenador Digital está conformado por seis módulos distribuidos de la siguiente forma: Un módulo externo, conformado por la Fuente de Alimentación Conmutada de 5V a 4A, y cinco módulos internos, distribuidos en dos tarjetas. La tarjeta inferior está conformada por los módulos: Generador de Onda Cuadrada Simétrica y los Interruptores Lógicos Antirrebote. La tarjeta superior está constituida por los módulos Visualizadores de Estado Lógico Binario, Visualizadores de Estado Lógico Hexadecimal y la Interfaz al PC. La interfaz desarrollada permite adecuar las señales que van a ser estudiadas e interpretadas mediante el Analizador Digital. El analizado digital fue programado en LabVIEW 6i.

Para la construcción de los módulos se utilizó la Tecnología de Montaje Superficial, por lo tanto, el prototipo construido se caracteriza por su diseño pequeño, peso liviano y de fácil acceso al usuario.

El costo de este prototipo está muy por debajo del costo de instrumentos con características similares, razón por la cual, el entrenador digital construido es una solución técnica y económicamente viable a las necesidades de la Universidad y comunidad en general.

* Trabajo de Grado Investigativo.

** Facultad de Ingenierías Físico Mecánicas, Escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones, MSc. Jorge Hernando Ramón.

ABSTRACT

TITLE: REDESIGN AND CONSTRUCTION OF A DIGITAL TRAINER PROTOTYPE, FOR DIGITAL SYSTEM LABORATORY*

AUTHORS: JAVIER HUMBERTO DÍAZ GÓMEZ.**
JAVIER ENRIQUE CABALLERO MORENO.

WORDS KEY: DIGITAL TRAINER, SWITCHING POWER SUPPLY, DIGITAL ANALYZER, VIEWER, HEXADECIMAL, BINARY, WAVE GENERATOR, LOGICAL SWITCH.

The goal of this project was the redesign, implementation and construction of a Digital Trainer prototype, which is very important in order to study digital electronic in the accomplishment of practices in the Digital Systems Laboratory of "*Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones*" from "*Universidad Industrial de Santander*".

The Digital Trainer is conformed by six modules, which are distributed in the following way: An external module conformed by the Switching Power Supply from 5V to 4A, and five internal modules distributed in two cards. The inferior card is conformed by the modules: Generator of Symmetrical Square Wave and the Logical Switches. The superior card is constituted by the modules Binary Logical State Viewer, Hexadecimal Logical State Viewer and the Interface to the PC. This interface allows adapting the signs that will be studied and interpreted by the Digital Analyzer. Digital Analyzer was programmed in LabVIEW 6i.

For the construction of the modules the Technology of Superficial Assembly was used, and a prototype of small, light design and readily accessible to the user was achieved.

The cost of this prototype is lower than the cost of instruments with similar characteristics; therefore, this solution is technically and economically viable, for the requirements of the University and general community.

* Investigative Degree Job

** Facultad de Ingenierías Físico Mecánicas, Escuela de Ingeniería Eléctrica, Electrónica y de Telecomunicaciones, Master. Jorge Hernando Ramón Suárez.

INTRODUCCIÓN

La finalidad de este proyecto es rediseñar y construir a partir del Entrenador Digital actual un prototipo de Entrenador Digital capaz de proporcionar las herramientas necesarias para llevar a cabo las prácticas del Laboratorio de Sistemas Digitales, proporcionándole de igual forma al usuario un dispositivo de reducido tamaño, bajo peso y volumen utilizando para su construcción la tecnología de Montaje Superficial SMD.

Para lograr esto se construyó el nuevo Entrenador Digital eliminando módulos y funciones que ocupaban espacio y no ofrecían mayor utilidad, mejorando los ya existentes e implementando nuevos módulos, obteniendo así un dispositivo integral y compacto conformado por los siguientes módulos: Fuente de Alimentación DC Conmutada, Generador de Onda Simétrica, Interruptores Lógicos Antirrebote, Visualizadores de Estado Lógico Binario, Visualizadores de Estado Lógico Hexadecimal y Analizador Digital por PC.

A diferencia del Entrenador Digital actual, en el nuevo prototipo la fuente de alimentación DC es un módulo aparte, pequeño y compacto el cual mediante un cable de conexión suministra al Entrenador el nivel necesario de tensión tanto para el funcionamiento de sus módulos como para el de los circuitos a implementar en las prácticas del Laboratorio.

De igual manera el nuevo Entrenador Digital permite al usuario visualizar de forma directa los circuitos electrónicos internos de cada módulo, debido a que el panel frontal por medio del cual el usuario tiene acceso a cada módulo se encuentra ensamblado directamente sobre la tarjeta de circuito impreso, quedando así al descubierto los elementos que conforman cada módulo, dándole una atractiva visión al prototipo.

El libro esta dividido en 7 capítulos que documentan el funcionamiento de cada uno de los módulos que conforman el Entrenador Digital: El primer capítulo es una descripción general del Entrenador Digital donde se compara con las versiones de entrenadores digitales construidos anteriormente en la Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones de la Universidad Industrial de Santander. Del capítulos 2 al 7 se describe el funcionamiento técnico de cada uno de los módulos enunciados anteriormente. El anexo A contiene documentación sobre las diferentes topologías de fuentes conmutadas, el anexo B las hojas de datos de algunos componente electrónicos no muy comunes que sirven de soporte al lector de los diferentes capítulos del libro y el anexo C trae todos los circuitos impresos del Entrenador Digital.

1 EL ENTRENADOR DIGITAL

El entrenador digital es una herramienta de vital importancia para el análisis y estudio de la electrónica digital. Este dispositivo se construyó específicamente para utilizarse en el Laboratorio de Sistemas Digitales de la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones, en el cual se pueden realizar múltiples prácticas con circuitos digitales tales como:

- Compuertas lógicas básicas como Not, And, Or, Nand, Nor.
- Circuitos basados en ecuaciones SOP y POS.
- Circuitos con lógica combinacional.
 - Sumadores.
 - Comparadores.
 - Codificadores y Decodificadores
 - Multiplexores y Demultiplexores.
 - Comprobadores de Paridad.
- Circuitos con lógica secuencial.
 - Latches y Flip-Flops.
 - Contadores: Síncronos y Asíncronos.
 - Registros de Desplazamiento.
- Temporizadores.
- PLD Dispositivos Lógicos Programables.
- Memorias.

Este prototipo se diseñó con el fin de reemplazar los Entrenadores Digitales ya existentes en el Laboratorio; los cuales ya cumplieron su ciclo de vida útil. Se mejoraron aspectos ergonómicos como tamaño, peso y diseño; así mismo se mejoraron y se ampliaron las capacidades de este instrumento.

1.1 DESCRIPCION GENERAL

El Entrenador Digital esta conformado por los módulos que se muestran en el diagrama de bloques de la figura 1.

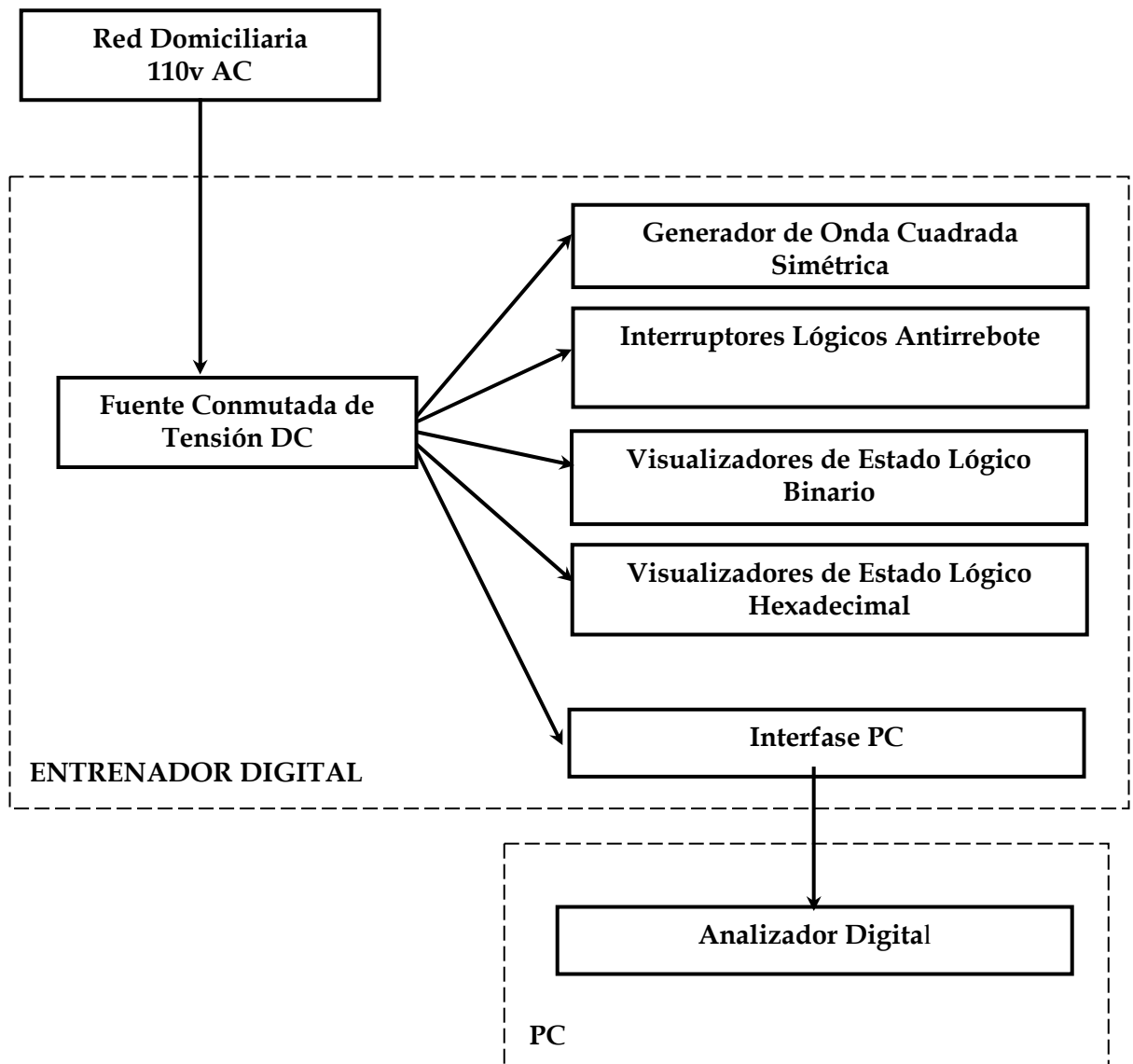


Figura 1 Diagrama de Bloques del Entrenador Digital

Estos módulos están distribuidos físicamente en tres circuitos impresos¹.

- El primero contiene la Fuente de Alimentación DC.
- El segundo el Generador de Onda Cuadrada y los Interruptores Lógicos Antirrebote.
- El tercero los Visualizadores de Estado Lógico Binario, los Visualizadores de Estado Lógico Hexadecimal y la Interfase al Computador del Analizador Digital.

Fuente de Alimentación DC

Esta fuente de alimentación proporciona un nivel de tensión constante de 5V, ideal para energizar los demás módulos que conforman al Entrenador Digital; de igual manera suministra el nivel de tensión adecuado para alimentar los diferentes circuitos digitales implementados por los estudiantes en el Laboratorio de Sistemas Digitales.

Básicamente es una Fuente Conmutada de 20W con conversión directa desde la línea AC (OFF-LINE), implementada en base a la Topología *Forward* y presenta las siguientes características:

- Tensión de entrada: 92-138 V a.c./ 60Hz
- Frecuencia de Conmutación: 110kHz
- Tensión de salida regulada: 5V
- Potencia de salida: 20W
- Máxima Corriente de Carga 4A
- Eficiencia: 79% aproximadamente
- Aislamiento galvánico mediante transformador de alta frecuencia.

¹ Ver Anexo C: Circuitos Impresos del Entrenador Digital.

- Protección de Sobre-voltaje.
- Protección de Corto-Circuito.
- Protección de Sobre-Temperatura.

Debido a que uno de los objetivos principales en el diseño del entrenador Digital es reducir tanto su tamaño como su peso y su volumen, se optó por construir una fuente Conmutada con la cual se suprimió el robusto transformador a 60Hz y logrando además una eficiencia mucho mayor.

Generador de Onda Cuadrada Simétrica

Este generador de onda proporciona una señal de onda cuadrada simétrica con niveles TTL y con frecuencias ajustable por el usuario en un rango comprendido entre 0.1Hz y 1kHz. Este módulo es de vital importancia para simular la señal de reloj que necesitan los componentes digitales basados en lógica secuencial.

En el anterior Entrenador Digital se incluía además de la señal de onda cuadrada, las señales senoidal y triangular, las cuales fueron omitidas en el diseño actual debido a que su utilización en las prácticas de laboratorio era mínima y no se justifica su implementación, reduciendo así espacio en el prototipo.

Interruptores Lógicos Antirrebote

Este módulo permite al usuario acceder a 24 interruptores lógicos libres de rebotes mecánicos, con los cuales se suministran los niveles lógicos TTL altos y bajos a los diferentes circuitos que se van a analizar en el Laboratorio de Sistemas Digitales.

Cada interruptor esta dotado de su respectivo led dual de dos colores (verde y rojo) para que el usuario pueda visualizar el nivel lógico que esta generando el interruptor en cada momento. Se utiliza el color verde del led para simbolizar el nivel lógico Bajo del interruptor y el color rojo para simbolizar el nivel lógico Alto del interruptor.

En comparación con el antiguo diseño este módulo ofrece al usuario el doble de interruptores lógicos (24) y es capaz de visualizar tanto su estado lógico alto como bajo (el anterior solo mostraba el estado lógico alto). Esto es posible debido a la inclusión en el diseño de los leds de dos colores, con los cuales se puede visualizar ambos estados lógicos empleando un solo led, reduciendo al máximo el número de leds utilizados y así mismo el tamaño del prototipo.

Visualizadores de Estado Lógico Binario

Este módulo esta dotado de 24 entradas por medio de las cuales se puede registrar el estado lógico binario de cualquier parte de un circuito visualizándose a través de 24 leds duales de dos colores (verde y rojo). Siguiendo el estándar del anterior módulo, se emplea el color verde para visualizar un nivel lógico Bajo y el color rojo para visualizar un nivel lógico Alto. Cuando las entradas se encuentran al aire el led permanece apagado, por lo tanto son visualizadores de tercer estado.

En el anterior Entrenador Digital solo se disponía de 12 entradas a visualizar y cada entrada necesitaba de dos leds para mostrar ambos estados, empleando así para 12 entradas 24 leds visualizadores. Con el diseño actual se ofrece al usuario el doble de entradas utilizando el mismo número de leds (24) que en el entrenador anterior.

Visualizadores de Estado Lógico Hexadecimal

Este módulo básicamente visualiza mediante seis displays en grupos de cuatro bits el equivalente del estado lógico binario al estado lógico hexadecimal. Para esto se utilizan 24 entradas distribuidas en seis grupos de cuatro bits con visualización simultánea en cada uno de los displays. Cabe recalcar que este módulo utiliza las mismas 24 entradas del módulo de Visualizadores de Estado Lógico Binario, es decir, el Entrenador Digital esta dotado de 24 entradas las cuales sirven tanto para visualizar el estado binario como el estado hexadecimal, esto con el fin de reducir espacio en el prototipo y optimizar al máximo los recursos.

Además para dar al usuario libertad en la forma de visualización se incluye una llave selectora donde se puede escoger el modo de visualización que puede ser binaria, hexadecimal o las dos al mismo tiempo.

Este innovador módulo no estaba incluido en el diseño anterior y nos permite convertir rápidamente un número en código binario de 4 bits (formado por cuatro entradas) en su equivalente en estado hexadecimal. Para que el usuario pueda visualizar mejor el número binario de 4 bits, se dividieron las 24 entradas en 6 grupos de 4 entradas cada uno.

Analizador Digital

Este módulo esta en capacidad de visualizar simultáneamente ocho señales del circuito digital a estudiar, en el monitor de un computador para su análisis en tiempo real. Para esto se emplea la programación en lenguaje gráfico mediante el software LabVIEW y el puerto paralelo del computador.

Este módulo es de gran ayuda en las prácticas de Laboratorio de *Circuitos Secuenciales* ya que permite al usuario visualizar de forma clara y concisa por medio de ocho canales los *Diagramas de Tiempos* de las señales monitoreadas en los diferentes puntos del circuito representando las formas de onda medidas en función del tiempo.

Con ayuda de los botones dispuestos en el panel frontal del programa el usuario puede escoger de una manera fácil la forma de muestreo de las señales a estudiar, escoger entre uno a ocho puntos del circuito, variar y moverse en la escala del tiempo. Además puede guardar los datos capturados para un posterior análisis ya sea desde el mismo analizador o desde una hoja de cálculos como Excel.

1.2 ESTRUCTURA INTERNA Y EXTERNA

Debido a los grandes avances de la tecnología moderna y en aras de estar cada vez más cerca de ella, se construyó el Entrenador Digital utilizando Dispositivos de Montaje Superficial (SMD). Estos dispositivos de diminuto tamaño permiten construir un prototipo de Entrenador Digital minimizando el espacio requerido para su puesta en marcha. Cabe recalcar que la Fuente Conmutada de Tensión es el único módulo del Entrenador Digital que no utiliza totalmente Tecnología SMD ya que su diseño no ocupa demasiado espacio.

Para facilitar al usuario su interacción con el prototipo se construyó la Fuente de Alimentación DC en forma de adaptador universal, es decir, se construyó en una tarjeta de circuito impreso aparte con su respectiva caja, con conexión de 110V AC en su entrada y conector de 5V DC a su salida.

Los demás módulos del prototipo se distribuyeron en dos grupos pensando en la comodidad y fácil acceso al usuario, de la siguiente manera:

En la parte superior del panel frontal se encuentran ubicados en una misma tarjeta de circuito impreso los módulos de visualización, tanto el de estado lógico binario como el de estado lógico hexadecimal. A su lado izquierdo se encuentra el módulo de interfaz con el PC para el módulo del Analizador Digital.

En la parte inferior y dejando un espacio prudente para la ubicación del protoboard, que es donde se realizarán los diferentes montajes de circuitos, se encuentran ubicados de igual forma en una sola tarjeta, los módulos de generador de onda e interruptores lógicos.

Para que el usuario tenga un contacto directo y se familiarice con la circuitería interna que conforma cada módulo del Entrenador Digital, el panel frontal del prototipo esta montado sobre las tarjetas mismas que conforman los módulos, de manera tal que el usuario puede observar todos y cada uno de los elementos y dispositivos que conforman este diseño.



Figura 2 Foto del Modulo Fuente de Alimentación Conmutada

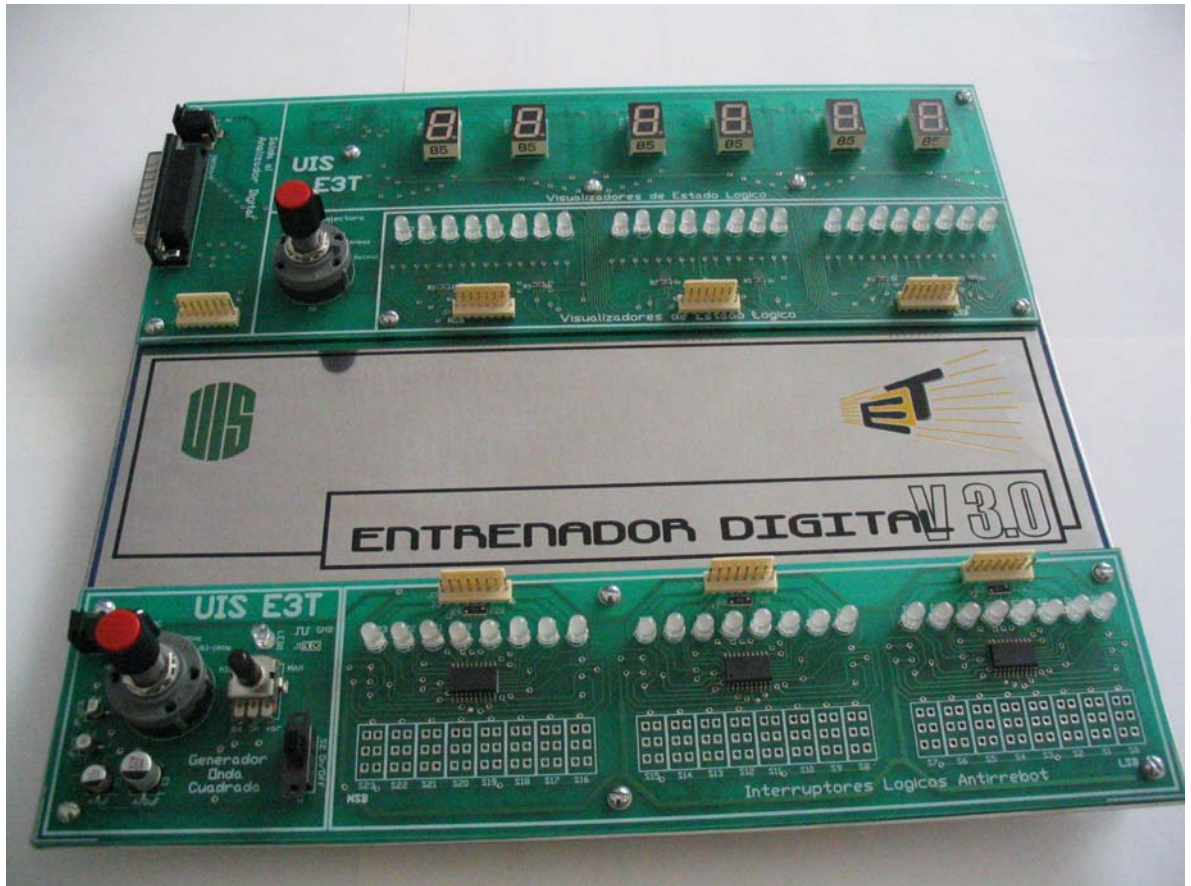


Figura 3 Foto del Entrenador Digital

2 MÓDULO FUENTE CONMUTADA DE TENSIÓN DC

2.1 INTRODUCCIÓN

La inmensa mayoría de componentes utilizados en la electrónica digital se alimentan con tensiones continuas provistas ya sea por pilas (baterías) o por fuentes de alimentación a partir de la red eléctrica 110V ac. En este segundo caso y en términos muy generales, las fuentes de alimentación pueden ser lineales o conmutadas. A pesar de que un buen diseño de una fuente de alimentación convencional o lineal suele proporcionar mejores factores de regulación y rizado, así como una menor impedancia de salida que una fuente de tipo conmutado, el rendimiento, el peso y el volumen son los factores que priman a la hora de diseñar fuentes de alimentación reguladas. El rendimiento de una fuente de alimentación lineal, en el mejor de los casos, no llegará al 40%, mientras que el de una conmutada normalmente estará entre el 70% y el 90%.

El diseño de fuentes de alimentación convencionales usando transformadores operando a 60 Hz produce soluciones que se convierten en inconvenientes, tanto por su elevado costo, excesivo peso y volumen como por su bajo rendimiento de conversión con la consiguiente generación de calor. En la actualidad muchos fabricantes ofrecen soluciones "single-chip", que facilitan el diseño de fuentes de conmutación que pueden operar directamente de la red eléctrica con altas tensiones en la entrada (off-line). Estas tensiones pueden variar entre 85 V a.c. hasta 230 V a.c. logrando altos rendimientos; y usando muy pocos componentes.

Los campos en los que los sistemas de alimentación conmutados encuentran aplicación son cada vez más amplios y, en general, suele ser en aquellos equipos que requieren un elevado consumo. Así, sería impensable que un ordenador personal actual incluyera una fuente de tipo lineal, pues sus consecuencias serían poco deseables: un consumo que po-

dría llegar a medio kilovatio y más de la mitad disipado en forma de calor, así como un volumen y, sobre todo, un peso que sería prácticamente insostenible (típicamente, de 5 a 10 veces más peso y volumen). Pero el precio que se debe asumir es una complejidad mayor en el diseño.

Todo dispositivo electrónico requiere de una fuente de alimentación para su funcionamiento. Si bien, bajos consumos pueden ser alimentados desde baterías, la mayoría de los equipos toman su alimentación de la red, convirtiendo la tensión alterna en adecuados valores de continua. Prácticamente todas las fuentes de alimentación incluidas en equipos actuales, tanto en los de uso industrial o de instrumentación, como en computadoras o en dispositivos de consumo masivo, cuentan con fuentes del tipo conmutado, conocidas también por las iniciales SMPS, derivadas de su denominación en inglés, Switched Mode Power Supply. En este tipo de reguladores, la transferencia de energía desde la entrada a la salida no se realiza en forma continua, sino en forma de paquetes mediante la inclusión de elementos inductivos (Bobinas y Transformadores) que actúan como acumuladores de energía. Esto es posible gracias a las tecnologías desarrolladas para la fabricación de los elementos activos y pasivos requeridos en el diseño de fuentes conmutadas, las mejoras en los transistores MOSFET de potencia con altas capacidades de conmutación, junto con la disponibilidad de diodos de alta velocidad y superiores materiales magnéticos han impulsado definitivamente la adopción de este tipo de circuitos convertidores como base de diseño de todo tipo de fuentes de alimentación.

En este módulo se presenta el diseño y análisis de construcción correspondientes a una fuente de alimentación conmutada de 20 Vatios de potencia tipo *Forward* con tensión y corriente de salida de 5V y 4A que se ha construido tanto para alimentar los módulos del Entrenador Digital como para suministrar al usuario una fuente de alimentación regulada necesaria para energizar los circuitos que se implementan en las prácticas de Laboratorio de Sistemas Digitales.

2.2 DESCRIPCIÓN TÉCNICA

El diseño de esta fuente conmutada esta basado en un convertidor DC-DC tipo Forward ². El convertidor Forward es básicamente un convertidor Buck que incluye un transformador con aislamiento de red y bobinado auxiliar de desmagnetización, que presenta una eficiencia alrededor del 80% ideal para nuestros propósitos. La relación entre la tensión de entrada y salida esta dada por la ecuación E-1.

$$V_o = \left(\frac{E}{n} \right) \delta \quad \text{E-1}$$

Donde:

V_o Voltaje DC de Salida.

E Voltaje DC de Entrada.

n Relación de transformación del transformador. $n = \frac{N_1}{N_2}$

N_1 Número de vueltas del primario del transformador.

N_2 Número de vueltas del secundario del transformador.

δ Ciclo de Trabajo. $\delta = \frac{T_{ON}}{T}$

T Periodo de la señal de control del conmutador.

T_{ON} Tiempo en conducción de la señal de control del conmutador.

Por lo tanto la relación de transformación de un convertidor Forward depende tanto de la relación de transformación del transformador como del ciclo de trabajo del elemento conmutador.

² El lector del libro debe tener conocimientos básicos sobre conversores lineales y conmutados. En el Anexo A hay una descripción detallada de la topologías que se utilizan frecuentemente en los conversores DC-DC.

Para una mejor comprensión de de la fuente conmutada Off-Line (conversión directa desde 110 V a.c.) que se ha diseñado para alimentar el Entrenador Digital, se analizará simultáneamente su diagrama de bloques (figura 2) y su circuito esquemático (figura 3).

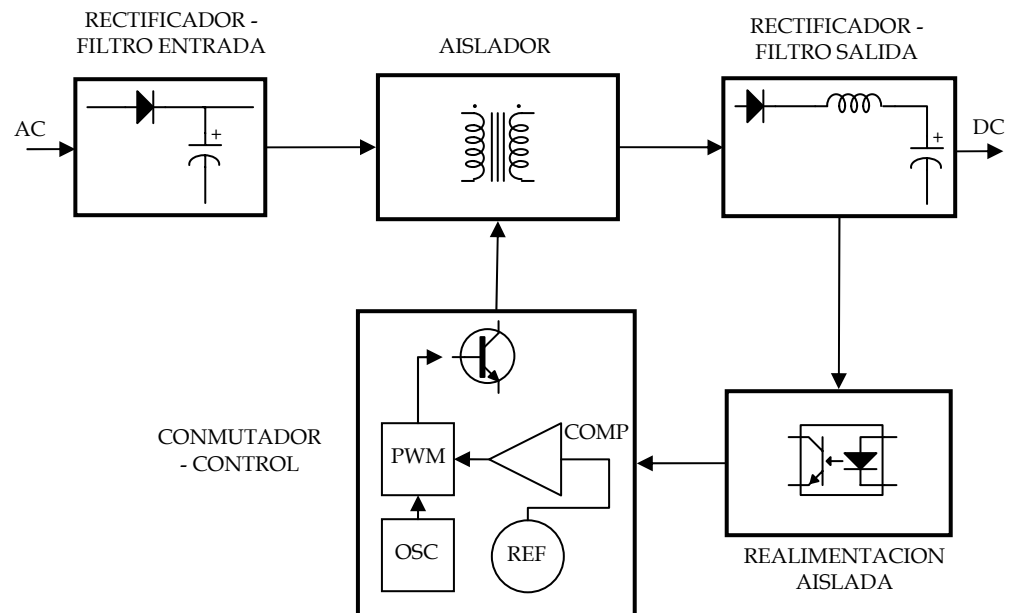


Figura 4 Diagrama de Bloques de la Fuente Conmutada Forward Aislada

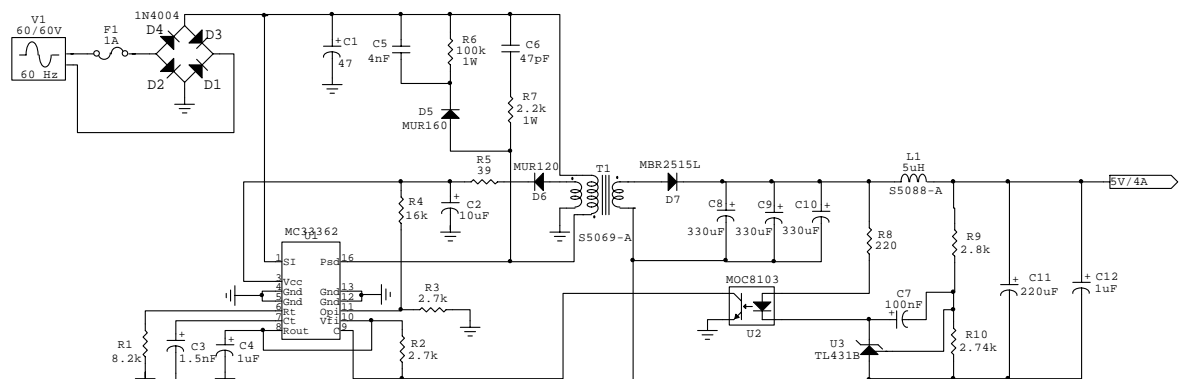


Figura 5 Circuito Esquemático de la Fuente Conmutada Forward Aislada

2.2.1 Bloque Rectificador-Filtro de Entrada

Esta compuesto básicamente por un puente rectificador de onda completa y un filtro capacitivo encargados de generar a partir de una tensión alterna de 110 V ac una tensión continua pulsante (no regulada) para producir los valores necesarios de voltaje que requieren los demás bloques para su adecuado funcionamiento.

En este diseño como se muestra en la figura 3, se adopta la configuración puente rectificador conformada por cuatro diodos 1N4004.

En este bloque en el filtro es aceptable un alto nivel de rizado a la salida, dado que el circuito de conmutación y control compensa las variaciones de la tensión de entrada; se seleccionó un condensador de 47 μ F, el cual debe resistir la máxima tensión pico de la entrada (aproximadamente 156 V p.p.) más un margen de seguridad por eventuales transitorios de alta tensión de la red, por lo que se utilizó el condensador con tensión nominal de 450V.

2.2.2 Bloque Aislador

Este bloque proporciona un aislamiento galvánico entre la entrada y la salida, asegurando que éstas se encuentren eléctricamente aisladas. Esto es prácticamente indispensable cuando se opera con conexión directa a la línea, tanto para aislar los 110 V a.c. del bajo nivel de continua, como para permitir la puesta a tierra del circuito de salida. Para esto se utiliza un transformador *Forward* de alta frecuencia. Además los bobinados (primario y secundario) cumplen funciones de almacenamiento y entrega de energía cuando el conmutador se encuentra trabajando en sus tiempos ON y OFF. Se puede decir que este transformador de alta frecuencia junto con el transistor de conmutación conforman un bloque llamado Inversor de Frecuencias ya que convierten la señal de corriente continua (pulsan-

te) proveniente del primer bloque en una señal alterna rectangular de alta frecuencia (generalmente entre 10kHz a 200kHz), la cual se entrega al bloque de rectificación y filtrado de salida para obtener así los niveles de corriente continua deseados.

Para este diseño se emplea el Transformador Forward S5069-A de tres bobinados construido por Coilcraft que presenta las siguientes características:

- Inductancia Pines 1-8 = $370 \mu\text{H} \pm 10\%$, Probado a 100 kHz, 0.6 Vrms
- Resistencias DC:
 - Pines 1-8 : 0.290Ω Max (Primario)
 - Pines 5-4 : 0.008Ω Max (Secundario)
 - Pines 2-7 : 0.200Ω Max (Auxiliar)
- Aislamiento entre Primario - Secundario = 1500 Vrms
- Potencia de Salida = 20 Watts, con Voltaje de entrada entre 92-138 V a.c.

En el transformador, parte de la energía que se almacena, no se libera, por lo que puede saturarse el núcleo del transformador, esto se evita colocando entre el devanado primario y el secundario otro devanado, denominado desmagnetizador o auxiliar. Además este bobinado auxiliar, sirve para alimentar los circuitos del Bloque de Control una vez ha arrancado el sistema. Con él se alimenta el circuito manejador (Control) a un voltaje de 40V aproximadamente. La función de R5 y C2 es filtrar posibles transitorios rápidos de gran amplitud, que pudieran producirse durante la conmutación.

Cabe anotar que cuando el conmutador pasa al estado OFF, la energía magnética almacenada en el inductor primario se libera principalmente a través del secundario. Sin embargo la energía almacenada en la inductancia de dispersión del primario debe ser transferida a alguna parte, de modo de no generar sobretensiones en el conmutador. Además esta inductancia de dispersión del primario y las capacitancias parásitas generadas por el propio

bobinado y el conmutador pueden generar oscilaciones de muy alta frecuencia al inicio del tiempo OFF. Para evitar ambos efectos se agrega un circuito amortiguador (red snubber) que limita la oscilación y a la vez el valor de la máxima sobre tensión que soporta el conmutador. Este circuito se implementa con el diodo MUR160 que presenta un tiempo de recuperación en el orden de los nanosegundos, y con los condensadores C5, C6 y las resistencias R6 y R7.

2.2.3 Bloque Rectificador-Filtro de Salida

Este bloque rectifica y filtra la salida de alta frecuencia del bloque anterior convirtiendo la señal a.c. rectangular en d.c., entregando así una señal continua pura a su salida. La misión de este bloque es alimentar por medio de la bobina a la carga cuando el conmutador esta en OFF suministrándole un nivel de tensión apropiado. Cuando la energía en la bobina se agota el encargado de mantener los niveles de voltaje en la carga es el condensador de salida hasta que luego se repite el ciclo.

Dada la alta frecuencia a la que se hace operar al circuito de conmutación para reducir el peso y volumen de los elementos inductivos, los dispositivos rectificadores de salida presentan requerimientos especiales en el diseño de fuentes conmutadas; deben ser diodos de alta velocidad y con tiempos de conmutación cortos para minimizar las pérdidas. Como la tensión de salida es baja (5V), debe presentar una caída directa pequeña, de ahí el empleo del diodo schottky MBR2535L ³.

Un capacitor electrolítico suele presentar una frecuencia de autoresonancia (SFR) muy baja, por lo que a las altas frecuencias de conmutación presenta una capacidad mucho menor a la de continua, así como una impedancia que produce abundante ruido de conmu-

³ Ver hoja de datos del MBR2535L en el Anexo B.

tación en los momentos en que el diodo schottky pasa a conducir. En este caso para la Topología Forward, el filtro LC de salida ejerce una acción de alisado y reduce la corriente de rizado cerca del 5% de la corriente de carga. Es por esto que se introduce una etapa compuesta por capacitores y un pequeño inductor, para filtrar el ruido. Los capacitores son C8, C9 y C10 todos de igual valor (330uF/6.3V) y el inductor L1 de 5uH construido por Coilcraft (S5088-A) que presenta las siguientes características:

- Resistencia DC: 0.011Ω Max
- Corriente de saturación : 5A DC

Por último para disminuir aun más en nivel de ruido y agudizar el filtrado se introduce un condensador electrolítico C11 de 220uF/10V en paralelo con uno cerámico C12 de 1uF.

2.2.4 Bloque Realimentación Aislada

La función es entregarle al bloque Conmutador-Control la señal de realimentación proveniente del nivel de continua mediante un dispositivo optoacoplador manteniendo así un aislamiento entre la salida y la entrada. Esta señal de realimentación controla la tensión de salida regulando la energía que se transfiere mediante cambios en el ciclo de trabajo del conmutador.

En este diseño este bloque se implementa básicamente con un opto-transistor MOC8101⁴ con susceptibilidad mínima al ruido y un diodo zener TL431B⁵ de referencia programable con un mínimo de resistencias para realizar la regulación de salida.

El circuito integrado TL431B es un diodo de tres terminales de regulación programable. Este dispositivo de voltaje de referencia opera como un zener de coeficiente de temperatura bajo, el cual es programable, desde el voltaje de referencia (2.5V) hasta 36V, con dos

⁴ Ver hoja de datos del MOC8101 en el Anexo B.

resistencias externas (R9 y R10). Este integrado presenta un ancho rango de operación de corriente de 1mA a 100mA con una impedancia típica de 0.22Ω . Los 2.5V de referencia lo hacen conveniente para obtener una referencia estable desde una fuente lógica de 5V. Éste dispositivo puede ser usado como elemento de referencia tanto positivo como negativo. A continuación se calcula el voltaje de referencia que se establece entre su ánodo y cátodo mediante la ecuación E-2.

$$V_{AK} = \left(1 + \frac{R_9}{R_{10}}\right) V_{ref} \quad \text{E-2}$$

$$V_{AK} = \left(1 + \frac{2.8k\Omega}{2.74k\Omega}\right) 2.5V$$

$$V_{AK} = 5.05V$$

2.2.5 Bloque Conmutador y Control

Se encarga de comandar la oscilación (ciclo de trabajo δ) del transistor conmutador que trabaja como un interruptor, es decir, en corte y saturación, controlando así el tiempo en que el bobinado primario del transformador se encuentra energizado o no. Este bloque lo conforman básicamente el conmutador, un oscilador de frecuencia, una tensión de referencia, un comparador de tensión y un modulador de ancho de pulso (PWM). El modulador recibe el pulso del oscilador y modifica su ciclo de trabajo según la señal del comparador, el cual compara la tensión continua de salida de con la tensión de referencia.

Este diseño se basa en el circuito integrado MC33362⁶ que es un regulador de conmutación monolítico de alto voltaje que emplea la Modulación por Ancho de Pulso (PWM) diseñado

⁵ Ver hoja de datos del TL431B en el Anexo B.

⁶ Esta información esta basada en documentos proporcionados por ON-Semiconductor. Para ampliar la información ver la hoja de datos del MC33362 que se encuentra en el Anexo B.

específicamente para funcionar desde 110 V a.c., el cual trae incorporado el conmutador (transistor MOSFET) y opera a una frecuencia típica de 285kHz que puede ser ajustada.

Este circuito integrado ofrece las siguientes características:

- Conmutador de potencia 500V/2A.
- Operación Rectificada desde la Línea de 110 V a.c.
- Ciclo de trabajo controlado por el Oscilador.
- FET Activo de Arranque desde la línea con 250V.
- Latch PWM para supresión doble del pulso.
- Limitación de corriente ciclo a ciclo.
- Bloqueo de bajo voltaje de entrada con histéresis.
- Comparador de protección para sobre tensión de Salida.

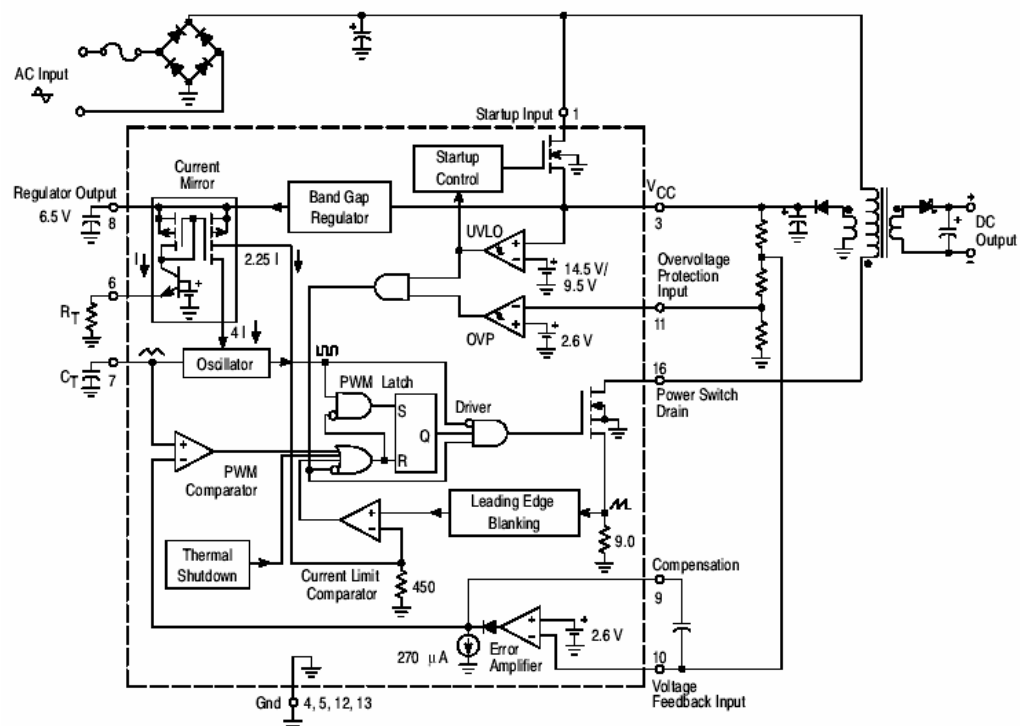


Figura 6 Diagrama de Bloques del MC33362⁷

⁷ Fuente: Hoja de Datos del MC33362 proporcionado por ON Semiconductor.

El circuito integrado MC33362 representa un nuevo nivel más alto de integración proporcionando el alto voltaje, control, y protección de toda la circuitería requeridos para implementar un convertidor tipo Forward en un solo chip, utilizando un mínimo de componentes externos.

En figura 4 se muestra el diagrama de bloques del circuito integrado y a continuación se hace una descripción de cada uno de ellos:

- **Oscilador y Espejo de Corriente**

La frecuencia del oscilador es controlada por los valores seleccionados para los componentes R_T (pin 6) y C_T (pin 7). La resistencia R_T controla la corriente de carga/descarga del espejo de corriente hacia el oscilador como lo muestra la siguiente ecuación:

$$I_{chg / dscg} = \frac{5.4}{R_T} \quad \text{E-3}$$

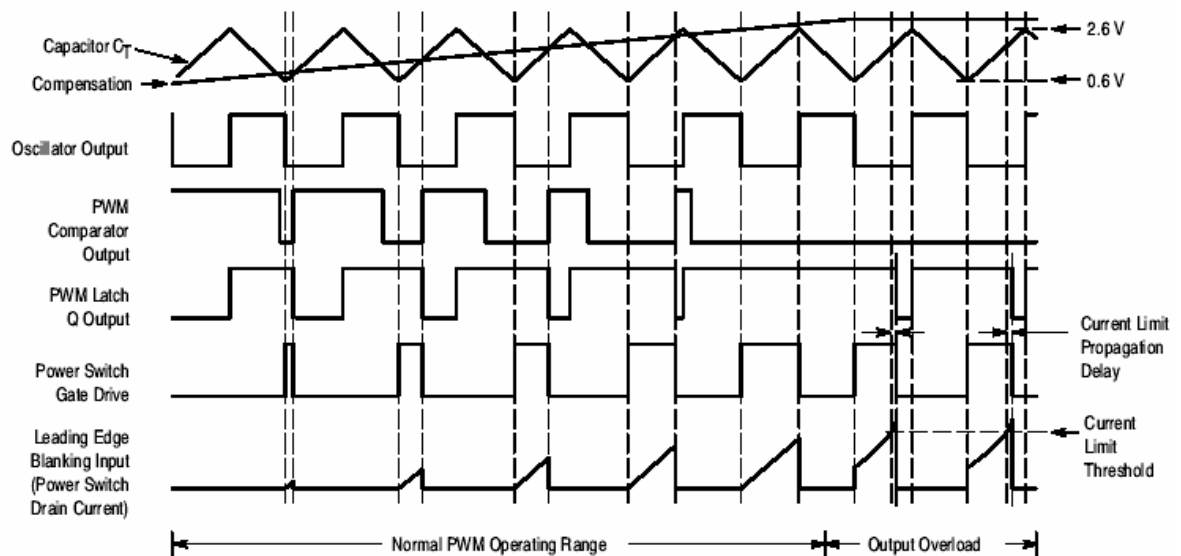


Figura 7 Forma de Onda de las Principales Etapas del MC33362⁸

⁸ Fuente: Hoja de Datos del MC33362 proporcionado por ON Semiconductor.

El condensador C_T es cargado y descargado por una fuente de corriente interna. Esto genera una onda simétrica con ciclo de trabajo del 50% en el pin 7, con un valor máximo y mínimo de 2,6 V y de 0,6 V respectivamente como se muestra en el diagrama de tiempos de la figura 5.

El ciclo de trabajo máximo del conmutador en el pin 16 se puede modificar del límite interno del 50% proporcionando una trayectoria adicional de carga o descarga de corriente a C_T . Para aumentar el ciclo de trabajo máximo, un resistor R_D de descarga de corriente se conecta del pin 7 a tierra. Para disminuir el ciclo de trabajo máximo, un resistor R_C de corriente de carga se conecta del pin 7 a la salida del regulador.

Como el transformador Forward está diseñado para trabajar alrededor de los 100kHz, se selecciona C_T de 1.5nF y R_T de 8.2k Ω , para obtener los siguientes resultados:

$$I_{chg/dscg} = \frac{5.4}{8.2k\Omega} = 658.5\mu A$$

Por lo tanto:

$$f = \frac{I_{chg/dscg}}{4C_T} \quad \mathbf{E-4}$$

$$f = \frac{658.5 * (10^{-6})}{4(1.5 * 10^{-9})} = 109.8kHz$$

- **Comparador y PWM Latch**

El modulador por ancho de pulso (PWM) consiste en un comparador con el voltaje de la rampa del oscilador aplicado a la entrada no inversora, mientras que la salida del amplifi-

cador de error se aplica en la entrada inversora. El oscilador aplica un pulso de set al Latch PWM mientras que C_T se está descargando, y cuando se alcanza el voltaje mínimo, se inicia la conducción del interruptor. Cuando C_T carga a un voltaje que exceda la salida del amplificador del error, el latch PWM se pone en reset, terminando así la conducción del interruptor para la duración del período de la rampa de subida del oscilador. Esta combinación de Comparador/Latch PWM previene pulsos múltiples de salida durante el ciclo de reloj dado por el oscilador.

- **Comparador Limitador de Corriente y Conmutador de Potencia**

El MC33362 utiliza limitación de corriente ciclo a ciclo como medio de protección de la salida del transistor conmutador contra sobrecarga. Cada ciclo se trata como situación separada. La limitación de corriente es implementada supervisando la acumulación de corriente del interruptor de salida durante la conducción, y el sensado de una condición de sobre corriente, apagándose inmediatamente el interruptor durante el tiempo de subida de la señal rampa del oscilador.

El transistor de conmutación se construye con tecnología SENSEFET permitiendo utilizar el método de monitoreo de la corriente de drenaje. Consiste en un total de 3770 células, de las cuales 50 están conectados a 9Ω entre tierra y un resistor de sensado de referencia. El comparador de corriente de sensado detecta si el voltaje a través del resistor de sensado excede el nivel de referencia que está presente en la entrada inversora. Si está excedido, el comparador reajusta rápidamente en set al Latch PWM, protegiendo así el conmutador. El nivel de referencia de la corriente límite es generado por la salida de $2,25 I$ del espejo de corriente. Este nivel de voltaje, así como la corriente de carga y descarga del oscilador, son ambos establecidos por el resistor R_T . Por lo tanto al seleccionar los valores para R_T y C_T , R_T se debe elegir primero para fijar la corriente de drenaje pico del conmutador, mientras que C_T se elige en segundo lugar para fijar la frecuencia deseada del oscilador.

$$I_{pk} = 12.3 \left(\frac{R_T}{1000} \right)^{-1.115} \quad \text{E-5}$$

$$I_{pk} = 12.3 \left(\frac{8200}{1000} \right)^{-1.115}$$

$$I_{pk} = 1.178A$$

El conmutador es diseñado para hacer conducir directamente el transformador del convertidor Forward y es capaz de conmutar a un máximo de 500 V y 2A.

- **Amplificador de Error**

Se trata de un amplificador de error completamente compensado con acceso a la entrada inversora y donde su salida se proporciona para la tensión de sensado del lado primario del transformador. Ofrece una ganancia típica de voltaje de 82 dB, y un ancho de banda de ganancia unitaria de 1MHz con 78 grados de margen de fase. La entrada no inversora es internamente polarizada en 2,6 V el $\pm 3.1\%$ y no se puede fijar externamente. La salida del amplificador de error se fija externamente por el lazo de compensación externa para manejar directamente el comparador PWM. La salida fue diseñada con una capacidad de corriente límite de 270mA, permitiendo que sea eliminada fácilmente con un resistor del pull-up (R2). Esto es deseable en aplicaciones que requieren una tensión de sensado al lado del secundario. En este caso, la entrada del voltaje de realimentación es conectada a la salida del regulador. Esto deshabilita el amplificador de error, permitiendo que el optoacoplador-transistor controle directamente el comparador PWM.

- **Protección contra Sobre-Voltaje**

Un comparador de protección sobre-voltaje se incluye para eliminar la posibilidad de un voltaje de la salida no deseado en el primario del transformador. Esta condición puede ocurrir si la trayectoria de la señal de realimentación del lazo de control es quebrado debido a la falta externa de algún componente o de la conexión. El comparador se utiliza normalmente para supervisar el voltaje V c.c. proveniente del lado primario. Cuando se excede el umbral de 2,6 V, inmediatamente se apaga al conmutador, y se protege la carga contra una condición severa de sobre-tensión. Esta entrada se puede también manejar con un circuito externo para inhibir la operación del convertidor.

- **Comparador Desactivador por Bajo-Voltaje**

Un comparador desactivador de bajo-voltaje se ha incorporado para garantizar que el circuito integrado tenga suficiente voltaje para funcionar completamente antes que el estado de salida sea habilitado. El comparador UVLO (UnderVoltage Lockout) monitorea el voltaje Vcc en el pin 3 y cuando excede el valor de 14.5V, la señal de reset se quita del Latch PWM permitiendo la operación del interruptor.

- **Control de Arranque**

Un circuito interno de control de arranque con un MOSFET de alto voltaje es incluido dentro del MC33362. Este circuito permite una eficacia creciente del convertidor eliminando el resistor de lanzamiento externo, y su disipación de potencia asociada, usada comúnmente en la mayoría de los convertidores de off-line. El voltaje A.C. de línea rectificado se aplica a la entrada de arranque, en el pin 1. Esto hace al MOSFET activarse y pro-

veer polarización interna así como una corriente de carga de Vcc al condensador de bypass que se conecta del pin 3 a tierra.

Cuando Vcc alcance el umbral superior del UVLO de 14.5 V, el IC comienza la operación y el MOSFET de arranque se apaga. La polarización para el funcionamiento ahora se deriva de la bobina auxiliar del transformador, y toda la potencia del dispositivo se convierte eficientemente abajo de la línea rectificada de CA.

El MOSFET en arranque proporcionará una corriente máxima inicial de 55mA, que disminuye rápidamente conforme Vcc y la subida de la temperatura. El estado constante de corriente será limitada así mismo en el rango de 12mA.

- **Regulador**

Una salida regulada de 6.5V a baja corriente esta disponible para polarizar el amplificador de error y cualquier circuito adicional de control. Es capaz de entregar hasta 10mA y tiene protección de cortocircuito. Esta salida requiere un condensador bypass (C4) externo de por lo menos 1uF para ser estable.

- **Parada Térmica**

Este circuito de parada térmica (Termal Shutdown) se proporciona para proteger el interruptor en caso que se exceda la temperatura máxima. Cuando se activa, típicamente en 155C, el Latch es forzado a su estado reset, inhabilitando el interruptor. El Latch se pone en set cuando la temperatura del interruptor se pone abajo de 145C. Esta característica se proporciona para prevenir fallas catastróficas en el dispositivo cuando se recalienta accidentalmente.

Resumiendo las etapas explicadas anteriormente, este módulo de Conmutación-Control funciona de la siguiente manera:

Como se sabe el corazón del regulador de conmutación MC33362 es un oscilador PWM en donde el ancho del pulso es controlado por tensión. La salida del PWM conmuta el transistor MOSFET entre corte y saturación, con un ciclo útil (ciclo de trabajo δ) que se controla con la diferencia entre la tensión de realimentación V_{FB} (pin 10) y el V_{ref} del amplificador de error (2.6V). Por lo tanto, si $V_{FB} > V_{ref}$, el ciclo útil del PWM disminuye hasta que $V_{FB} = V_{ref}$; por el contrario, si $V_{FB} < V_{ref}$, el ciclo útil de PWM aumenta. Por tanto el voltaje de salida es proporcional al ciclo útil del PWM.

El circuito de control MC33362 requiere energía para funcionar, esta se obtiene desde la tensión de línea a través de un transistor MOSFET (pin1) de muy alta tensión operando como una fuente de corriente. Cuando el capacitor C2 (10uF) es cargado mediante este método, el integrado empieza a operar, y a partir de allí la llave de corriente se corta y la energía es obtenida desde el bobinado auxiliar del transformador.

Es importante tener en cuenta que el transistor de potencia que emplea este regulador es un MOSFET con el que se consigue una mayor velocidad de operación. Además, el transistor disipa muy poca potencia, típicamente menos de 1mV en corte y menos de 1W en saturación. Debido a esto su gran eficiencia (aproximadamente 78.4%).

2.3 ELEMENTOS NECESARIOS ⁹

Nombre	Referencia	Descripción	Cantidad
U1	MC33362	CI Regulador De Conmutación	1
U2	MOC8103	Opto transistor	1
U3	TL431B	Zener de Referencia Programable	1
T1	S5069-A	Transformador Forward	1
L1	S5088-A	Bobina 5uH	1
D1, ... , D4	1N4004	Diodo Rectificador	4
D5	MUR160	Diodo Rectificador Fast	1
D6	MUR120	Diodo Rectificador Fast	1
D7	MBR2535CTL	Diodo Rectificador Fast	1
C1	C 47μF	Condensador Electrolítico de 47μF/200V	1
C2	C10μF	Condensador Electrolítico de 10μF/50V	1
C3	C 1.5nF	Condensador Cerámico de 1.5nF	1
C4	C 1μF	Condensador Electrolítico de 1μF	1
C5	C 4nF	Condensador Cerámico de 4nF	1
C6	C 47pF	Condensador Cerámico de 47pF	1
C7	C 100nF	Condensador Cerámico de 100nF	1
C8, C9, C10	C 330μF	Condensador Electrolítico de 330μF/6.3V	3
C11	C 220μF	Condensador Electrolítico de 220μF/10V	1
C12	C1μF	Condensador Cerámico de 1μF	1
R1	R8.2kΩ	Resistencia 8.2kΩ a ½ W	1
R2, R3	R2.7kΩ	Resistencia 2.7kΩ a ½ W	2
R4	R 16kΩ	Resistencia 16kΩ a ½ W	1
R5	R 39Ω	Resistencia de 39Ω a ½ W	1
R6	R 100kΩ	Resistencia de 100kΩ a 1W	1
R7	R 2.2kΩ	Resistencia de 2.2kΩ a 1 W	1
R8	R 220Ω	Resistencia de 220Ω a ½ W	1
R9	R 2.8kΩ	Resistencia de 2.8kΩ a ½ W	1
R10	R 2.74kΩ	Resistencia de 2.74kΩ a ½ W	1
F1	Fuse1A	Fusible de 1 Amperio	1
---	HS224-ND	Disipador para el MBR2535CTL	1

Tabla 1 Lista de Materiales Módulo Fuente Conmutada de Tensión DC.

⁹ Ver Anexo C: Circuitos Impresos del Entrenador Digital

3 MÓDULO GENERADOR DE ONDA CUADRADA SIMÉTRICA

3.1 INTRODUCCIÓN

El entrenador digital tiene un módulo Generador de Onda Cuadrada el cual produce un tren de pulsos limpios, cuya frecuencia se modifica por medio de una llave selectora de rangos y un potenciómetro de ajuste. La amplitud de salida de esta onda es fija y de valores TTL.

Este módulo dispone de un valor de frecuencias aproximadamente entre 0.1Hz y 1kHz distribuido en cuatro rangos (0.1Hz-1Hz), (1Hz a 10Hz), (10Hz a 100Hz), y (100Hz a 1kHz). Para todos los valores de frecuencia el ciclo de trabajo es del 50% lo cual lo hace una onda simétrica.

3.2 DESCRIPCIÓN TÉCNICA

El corazón del generador de onda cuadrada es el circuito temporizador LM555 en su configuración de multivibrador a estable (oscilador), cuya salida es un tren continuo de pulsos rectangulares. Un multivibrador a estable no tiene estados estables y varía, por consiguiente, una y otra vez (oscila) entre dos estados inestables, sin utilizar un circuito de disparo externo.

La figura 6 muestra el esquema del generador de onda cuadrada, con el temporizador conectado para su funcionamiento a estable.

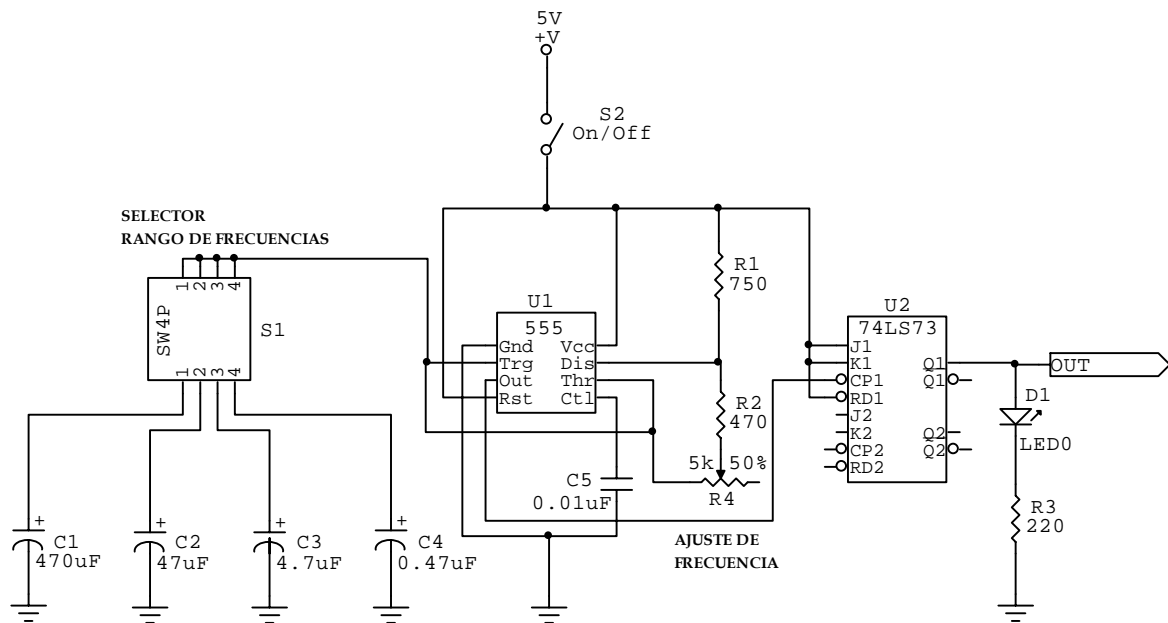


Figura 8 Diagrama del Generador de Onda

La frecuencia de oscilación para este diseño esta dada por la ecuación E-6.

$$f = \frac{1.44}{(R_1 + 2(R_2 + R_4)) * C_1} \quad \text{E-6}$$

El rango de frecuencias se escoge mediante una llave selectora de cuatro posiciones (SW4P) en uno de los cuatro rangos que aparecen en la tabla 2 y se ajusta mediante el potenciómetro R4 de 5kΩ.

Condensador	Frecuencia Mínima	Frecuencia Máxima
470μF	0.2Hz	2Hz
47μF	2Hz	20Hz
4.7μF	20Hz	200Hz
0.47μF	200Hz	2kz

Tabla 2 Rangos de frecuencias a las salida del LM555

La salida del LM555 (pin 3) es una onda rectangular, la cual no es simétrica, debido a que el tiempo de carga del condensador C1 es mayor que el tiempo de descarga. Las ecuaciones E-7 y E-8 muestran el tiempo de descarga del condensador C1 respectivamente.

$$\tau_{CARGA} = C_1(R_1 + R_2 + R_4) \quad \text{E-7}$$

$$\tau_{DESCARGA} = C_1(R_2 + R_4) \quad \text{E-8}$$

Como consecuencia el estado alto de salida dura más que es estado bajo de salida. Por esto el Ciclo de Trabajo de la onda de salida solo puede estar comprendido entre un 50% y un 100%, siendo ajustable por el valor de las resistencias R1 y R2 (Ver E-9).

$$\text{Ciclo de Trabajo} = \left(\frac{R_1 + (R_2 + R_4)}{R_1 + 2(R_2 + R_4)} \right) * 100\% \quad \text{E-9}$$

Para obtener una onda de salida con ciclos de trabajo del 50% (Onda Cuadrada), sin importar los valores de R1, R2 y R4 se introduce en un flip-flop J-K. La función de este flip-flop es realizar la división (reducción) de frecuencia de la señal periódica de salida del LM555, así mismo convirtiéndola en una onda cuadrada con ciclo de trabajo del 50%

Cuando se aplica un tren de pulsos, en nuestro caso la salida del LM555, a la entrada de reloj de un flip-flop J-K conectado en modo de oscilación (J=K=alto), la salida es una señal cuadrada que tiene una frecuencia igual a la mitad de la que tiene la señal de reloj. Es decir por cada periodo T del LM555 el flip-flop mantendrá su salida en un estado ya sea alto o bajo y este cambiará y permanecerá en su estado contrario durante el siguiente periodo T del LM555 y así sucesivamente se repite.

La tabla 3 muestra los rangos de frecuencia a la salida del LM555 y a la salida del flip-flop del circuito Generador de Onda Cuadrada:

Frecuencia a la Salida del LM555	Frecuencia a la Salida del Flip-Flop
0.2Hz a 2Hz	0.1Hz a 1Hz
2Hz a 20Hz	1Hz a 10Hz
20Hz a 200Hz	10Hz a 100Hz
200Hz a 2kHz	100Hz a 1kHz

Tabla 3 Rangos de frecuencia del Generador de Onda Cuadrada

Para poder visualizar mejor la frecuencia de oscilación de la onda cuadrada se introdujo un diodo emisor de luz LED a la salida del flip-flop.

3.3 ELEMENTOS NECESARIOS ¹⁰

Nombre	Referencia	Descripción	Cantidad
U1	LM555	Temporizador	1
U2	74LS73	2 Flip-Flop J-K	1
C1	C 470 μ F	Condensador Electrolítico de 470 μ F/16V	1
C2	C 47 μ F	Condensador Electrolítico de 47 μ F/16V	1
C3	C 4.7 μ F	Condensador Electrolítico de 4.7 μ F/16V	1
C4	C 0.47 μ F	Condensador Electrolítico de 0.47 μ F/16V	1
C5	C 0.01 μ F	Condensador Cerámico de 0.01 μ F	1
R1	R 750 Ω	Resistencia de 750 Ω	1
R2	R 470 Ω	Resistencia de 470 Ω	1
R3	R 220 Ω	Resistencia de 220 Ω	1
R4	POT 5k Ω	Potenciómetro lineal de 5 k Ω	1
LED0	Led N	Led Normal Color Rojo	1
S1	SW 4P	Switch Selector de 4 posiciones	1
S2	SPST Switch	Switch de 2 posiciones	1

Tabla 4 Lista de Materiales Módulo Generador de Onda Cuadrada

¹⁰ Ver Anexo C: Circuitos Impresos del Entrenador Digital

4 MÓDULO INTERRUPTORES LÓGICOS ANTIRREBOTES

4.1 INTRODUCCIÓN

El entrenador digital consta de 24 interruptores lógicos, que permiten obtener instantáneamente salidas de estados lógicos alto o bajo a niveles TTL, los cuales son visualizados en 24 diodos leds de dos colores, que encienden en color rojo para una salida de estado lógico alta y en color verde para una salida de estado lógico bajo.

Estos interruptores de dos estados permiten suministrar niveles altos o bajos a los circuitos que se van a analizar con una conmutación sin rebotes mecánicos.

4.2 DESCRIPCIÓN TÉCNICA

Como ha de saberse cuando el polo de un interruptor mecánico choca con el contacto de cierre del interruptor, vibra o rebota varias veces hasta que consigue un contacto firme. Aunque estos rebotes son despreciables en la mayoría de los casos, en un sistema digital producen picos de tensión que pueden ser inadecuados. Para eliminar este comportamiento no deseado, se implemento el diseño de este módulo utilizando un latch S-R como se muestra en la figura 7.

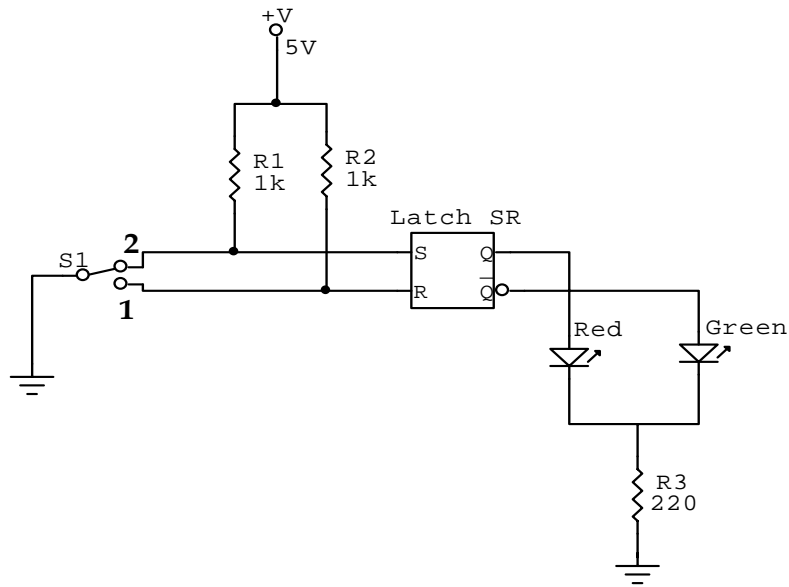


Figura 9 Diagrama de un Interruptor Lógico Antirrebote

El funcionamiento de este circuito se describe a continuación:

Cuando el interruptor se encuentra en la posición 1, mantiene la entrada *R* a nivel bajo y el latch en estado SET. Luego cuando el interruptor pasa a la posición 2, *R* pasa a alto debido a la resistencia de pull-up conectada a +V y *S* pasa a nivel bajo cuando se produce el primer contacto.

Aunque *S* permanece a nivel bajo durante un breve espacio de tiempo antes de que el interruptor rebote, ese tiempo es suficiente para poner en SET el latch, cualquier otro pico de tensión aplicado posteriormente a la entrada *S* debido al rebote del interruptor, no va a afectar a latch y éste permanecerá en estado SET. De forma similar, se produce una transición limpia de nivel alto a nivel bajo cuando el interruptor vuelve a la posición 1.

Los dos leds que se muestra en la figura 7 son realmente uno solo; de dos colores, los cuales poseen un ánodo para cada color y un cátodo en común. El circuito utiliza el color Rojo para indicar una entrada digital alta y el color Verde para una entrada digital baja.

Para implementar este módulo se utilizó el circuito integrado 74LS279 el cual consta de 4 latches S-R que solo dispone de la salida Q. Como en el diseño se utilizan ambas salidas (tanto la Q como la Q complementaria) para encender alguno de los dos colores del led bicolor, se incluyó una compuerta inversora mediante el circuito integrado 74F240 para obtener los niveles de tensión de la salida Q complementaria. Este integrado consta de 8 compuertas inversoras de tercer estado las cuales están configuradas para trabajar en modo normal sin alcanzar su estado de alta impedancia. Se escogió esta compuerta por razones de espacio ya que tiene el mayor número de inversoras posible, disminuyendo así el tamaño del circuito impreso. La figura 8 muestra los elementos necesarios para implementar los 24 interruptores lógicos antirrobotes.

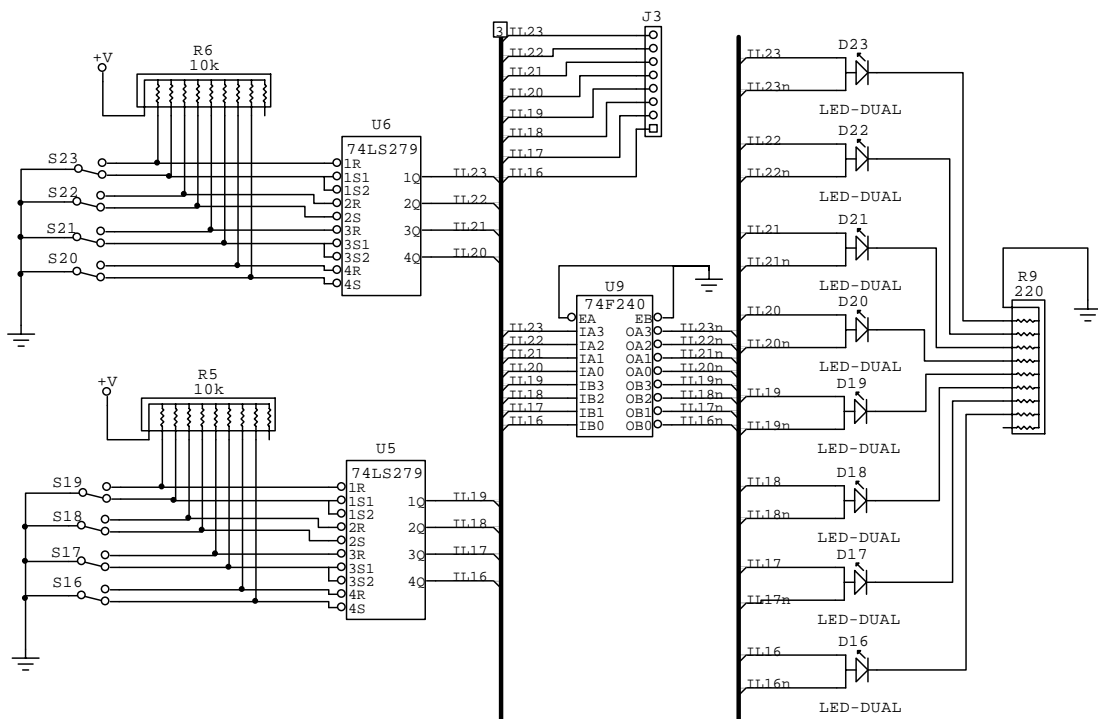


Figura 10 Diagrama de Ocho Interruptores Lógicos Antirrebote

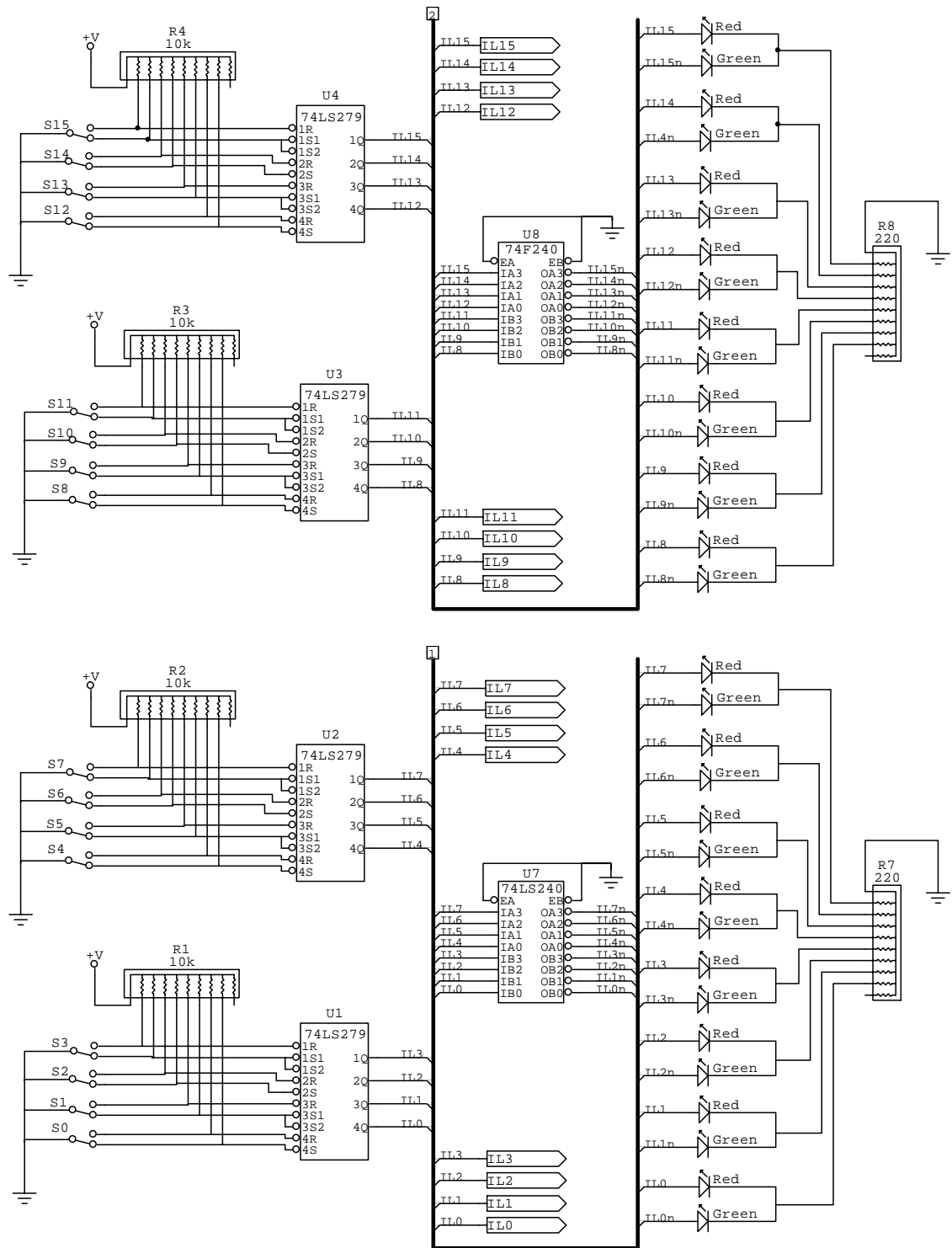


Figura 11 Diagrama de Dieciséis Interruptores Lógicos Antirrebote

4.3 ELEMENTOS NECESARIOS ¹¹

Nombre	Referencia	Descripción	Cantidad
U1, ... , U6	74LS279	4 Latch SR	6
U7,U8,U9	74LS240	8 Buffers Inversores de Tercer Estado	3
DL0,...,DL23	Led Dual	Led de dos colores: Rojo y Verde	24
R1, ... , R6	8R/10p 10k Ω	Arreglo de Resistencias 10 k Ω 8R/10p	6
R7,R8,R9	8R/10p 220k Ω	Arreglo de Resistencias 220 Ω 8R/10p	3
S0, ... , S23	SPDT Switch	Interruptores	24

Tabla 5 Lista de Materiales Módulo Interruptores Lógicos Antirrebote

¹¹ Ver Anexo C: Circuitos Impresos del Entrenador Digital

5 MÓDULO DE VISUALIZADORES DE ESTADO LÓGICO BINARIO

5.1 INTRODUCCIÓN

Este módulo permite visualizar en forma instantánea el estado lógico binario de 1 a 24 puntos del circuito analizado, mediante una hilera de 24 leds de dos colores. El color *rojo* indica un nivel TTL alto, mientras que el color *verde* un nivel TTL bajo. Las salidas a ser verificadas deben ser de nivel TTL, de lo contrario los circuitos que lo conforman se pueden dañar o acortar su vida útil.

Los leds de dos colores utilizados se caracterizan por tener 3 pines distribuidos de la siguiente forma:

A1: El ánodo del led *rojo*.

A2: El ánodo del led *verde*.

K: El cátodo que es común a ambos.

La figura 9 muestra el diagrama esquemático de un led de dos colores

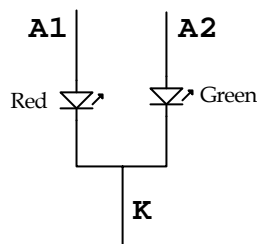


Figura 12 Esquema de un Led Dual con Cátodo Común

5.2 DESCRIPCIÓN TÉCNICA

La figura 11 muestra el diagrama de un circuito visualizador de estado lógico binario

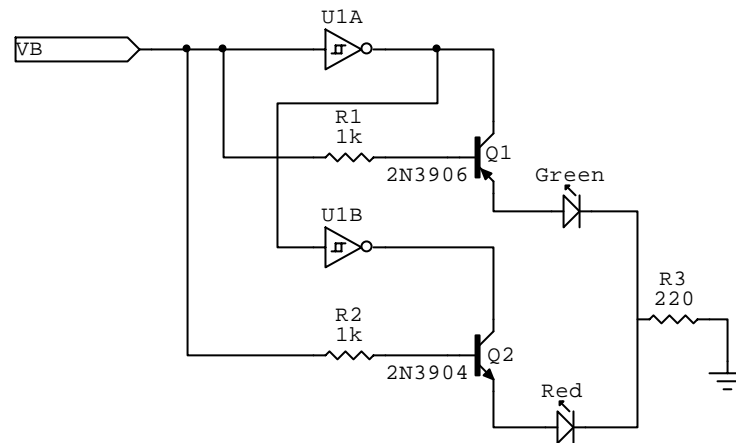


Figura 13 Diagrama de un Interruptor Lógico Antirrebote

El circuito en general se implementó con transistores 2N3904 y 2N3906 y con el circuito integrado 74LS14 que son compuestas inversoras con entradas Schmitt Trigger.

El funcionamiento de este circuito se debe analizar para los tres estados posibles de la entrada (VB): Nivel Bajo, Nivel Alto y Tercer estado.

- Cuando existe un nivel **BAJO** en la entrada del circuito (terminal VB) la compuerta inversora U1A entrega un 1 lógico al colector de Q1; como el transistor Q1 es PNP se pone en modo de saturación (corto circuito entre el colector y el emisor) cuando el 0 lógico de la entrada se pone en su base; de esta manera el led bicolor encenderá en color verde debido a su polarización directa. En este mismo nivel bajo el transistor Q2 el cual es NPN se encuentra en su modo de corte (circuito abierto entre colector y emisor) debido a que la compuerta U1B entrega un nivel bajo a su colector esto lleva a que el color rojo del led bicolor no se encienda.
- Cuando existe un nivel **ALTO** en la entrada del circuito (terminal VB) la compuerta inversora U1B entrega un 1 lógico al colector de Q2; como dicho transistor es NPN

se pone en modo de saturación (corto circuito entre el colector y el emisor) cuando el 1 lógico de la entrada se pone en su base haciendo circular una corriente; de esta manera el led bicolor encenderá en color rojo debido a su polarización directa. En este nivel alto el transistor Q1 se encuentra en modo de corte (circuito abierto entre colector y emisor) debido a que la compuerta U1A entrega un nivel bajo a su colector haciendo que el color verde del led bicolor no se encienda.

- Cuando la señal de entrada del circuito esta al aire el diodo led dual no enciende ninguno de los dos colores debido a que no existe un camino cerrado que permite establecer en alguno de los dos transistores el modo de saturación necesario para polarizar directamente alguno de los diodos del led dual.

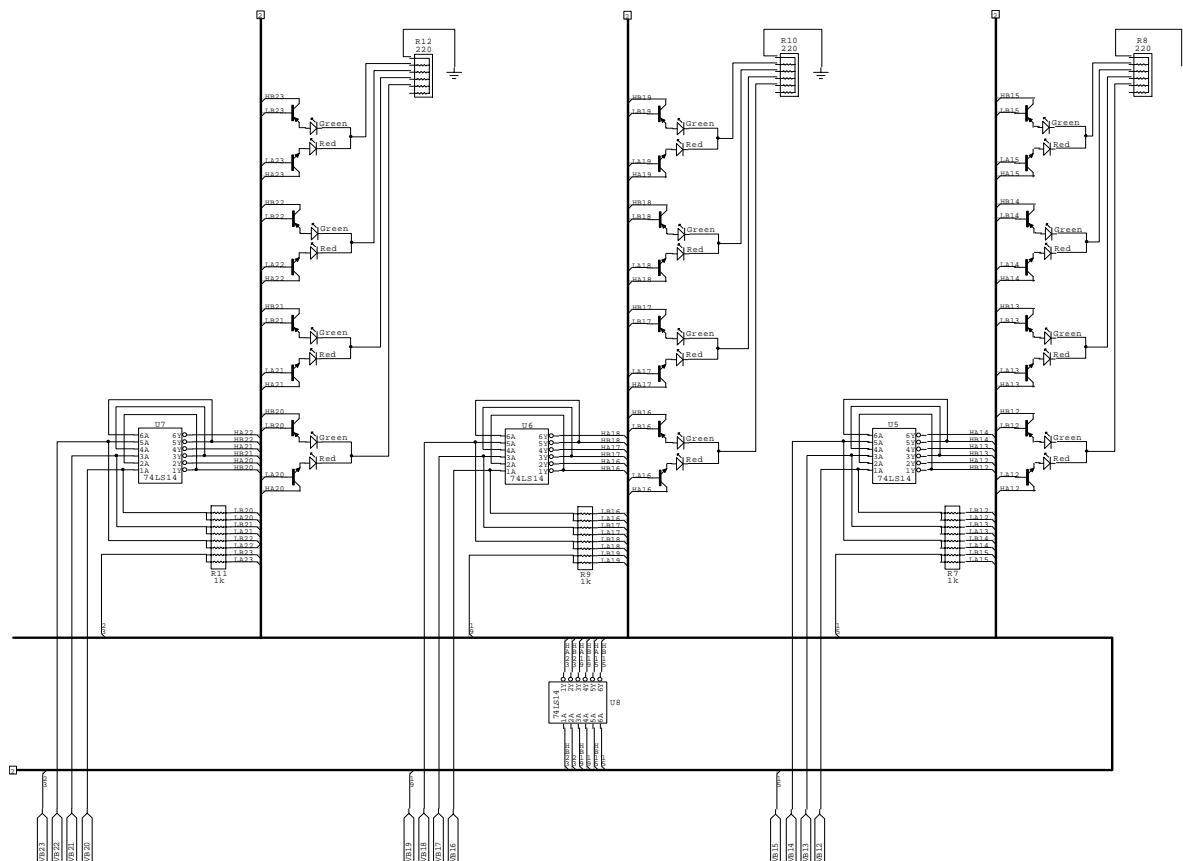


Figura 14 Diagrama de los Doce Visualizadores Binarios Más Significativos

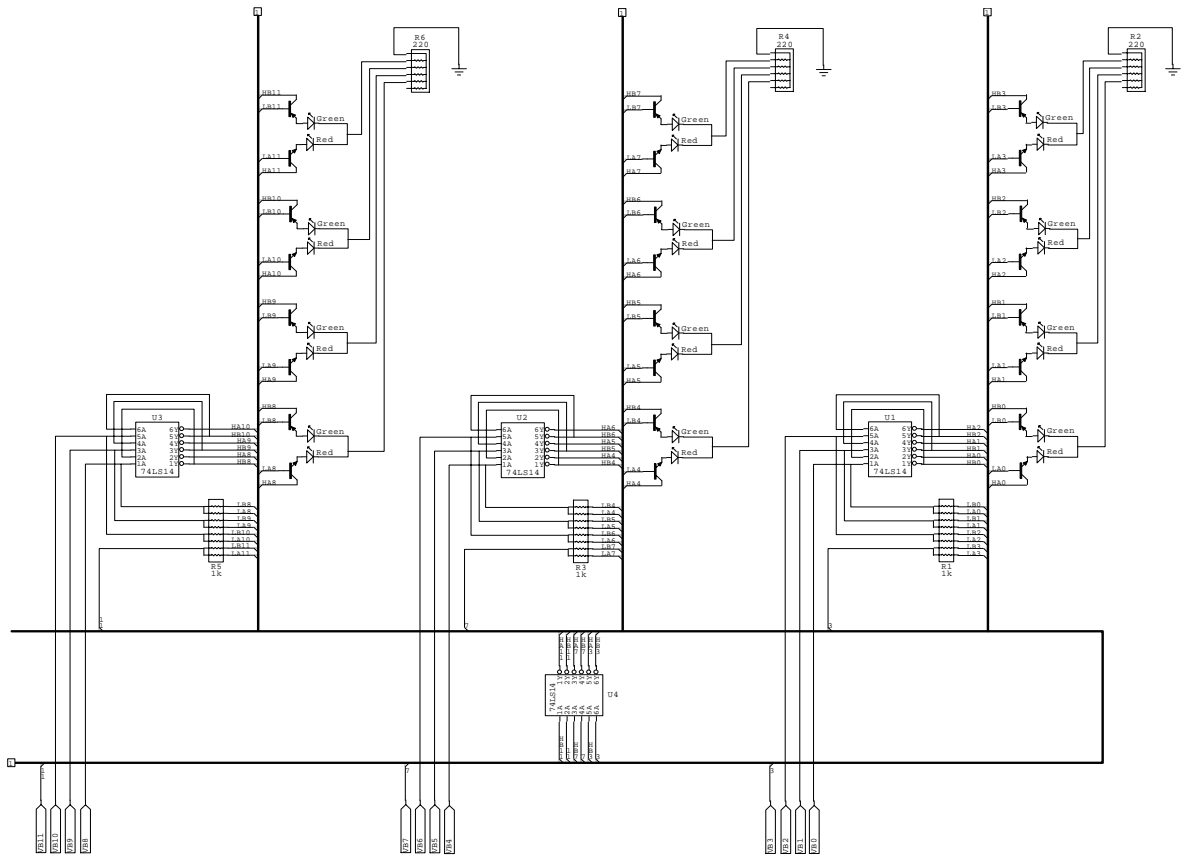


Figura 15 Diagrama de los Doce Visualizadores Binarios Menos Significativos

Las figuras 12 y 13 muestran el diagrama con los elementos necesarios para los 24 visualizadores de estado lógico binario que se implementaron.

La compuerta inversora 74LS14 con entradas Schmitt Trigger utiliza un circuito umbral específico que produce histéresis, una característica que previene la conmutación errática entre estados cuando una tensión de disparo que varia muy lentamente se encuentra en las cercanías de un nivel de entrada crítico. Esto permite que se produzcan disparos fiables incluso cuando la entrada esta variando muy lentamente.

5.3 ELEMENTOS NECESARIOS ¹²

Nombre	Referencia	Descripción	Cantidad
U1, ... , U8	74LS14	6 Inversores con entradas Schmitt Trigger	8
Q1, Q3, ... , Q47	2N3906	Transistor NPN	24
Q2, Q4, ... , Q48	2N3904	Transistor PNP	24
DL0, ... , DL48	Led Dual	Led de dos colores: Rojo y Verde	24
R1, R3, ... , R11	742C163	Arreglo de Resistencias 1k Ω - 8R/16p	6
R2, R4, ... , R12	742C83	Arreglo de Resistencias 220 Ω - 4R/8p	6

Tabla 6 Lista de Materiales Módulo Visualizadores Estado Lógico Binario

¹² Ver Anexo C: Circuitos Impresos del Entrenador Digital

6 MÓDULO DE VISUALIZADORES DE ESTADO LÓGICO HEXADECIMAL

6.1 INTRODUCCIÓN

En muchas aplicaciones de los sistemas digitales se procesan grupos de datos binarios que son múltiplos de cuatro bits, lo cual hace al número hexadecimal una herramienta muy importante que facilita la interpretación de estos grupos de datos (ejemplo: contadores)

Este módulo visualiza mediante seis displays en grupos de cuatro bits el equivalente del estado lógico binario al estado lógico hexadecimal. Para esto se utilizan 24 entradas distribuidas en seis grupos de cuatro bits.

6.2 DESCRIPCIÓN TÉCNICA

Para implementar este módulo se utilizó la Matriz Lógica Genérica GAL16V8 o ATF16V8 el cual es un Dispositivo Lógico Programable (PLD) que se utilizan en muchas aplicaciones para ahorrar espacio y reducir el número y el costo de dispositivos en un determinado diseño. Estos dispositivos están formados internamente por una matriz AND y puertas OR, las cuales se pueden programar para conseguir varias funciones lógicas de suma de productos (Salidas); con un número de variables definido (Entradas). Para la programación se utilizó el software de programación WINCUPL y el programador o quemador de PLD's MEGAMAX, el cual posee la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones de la UIS.

Específicamente la GAL16V8 consta de 8 entradas (I) fijas y 8 entradas o salidas (I/O) programables mediante software. Como el diseño necesita manejar 24 entradas divididas en 6 grupos de 4 bits y al mismo tiempo manejar las señales de habilitación para los display de

7 segmentos, se necesitan en total 3 GAL16V8 para poder implementar este diseño, en donde cada GAL maneja dos grupos de cuatro bits (8 entradas).

En la siguiente figura 14 se muestra el diagrama para una GAL16V8

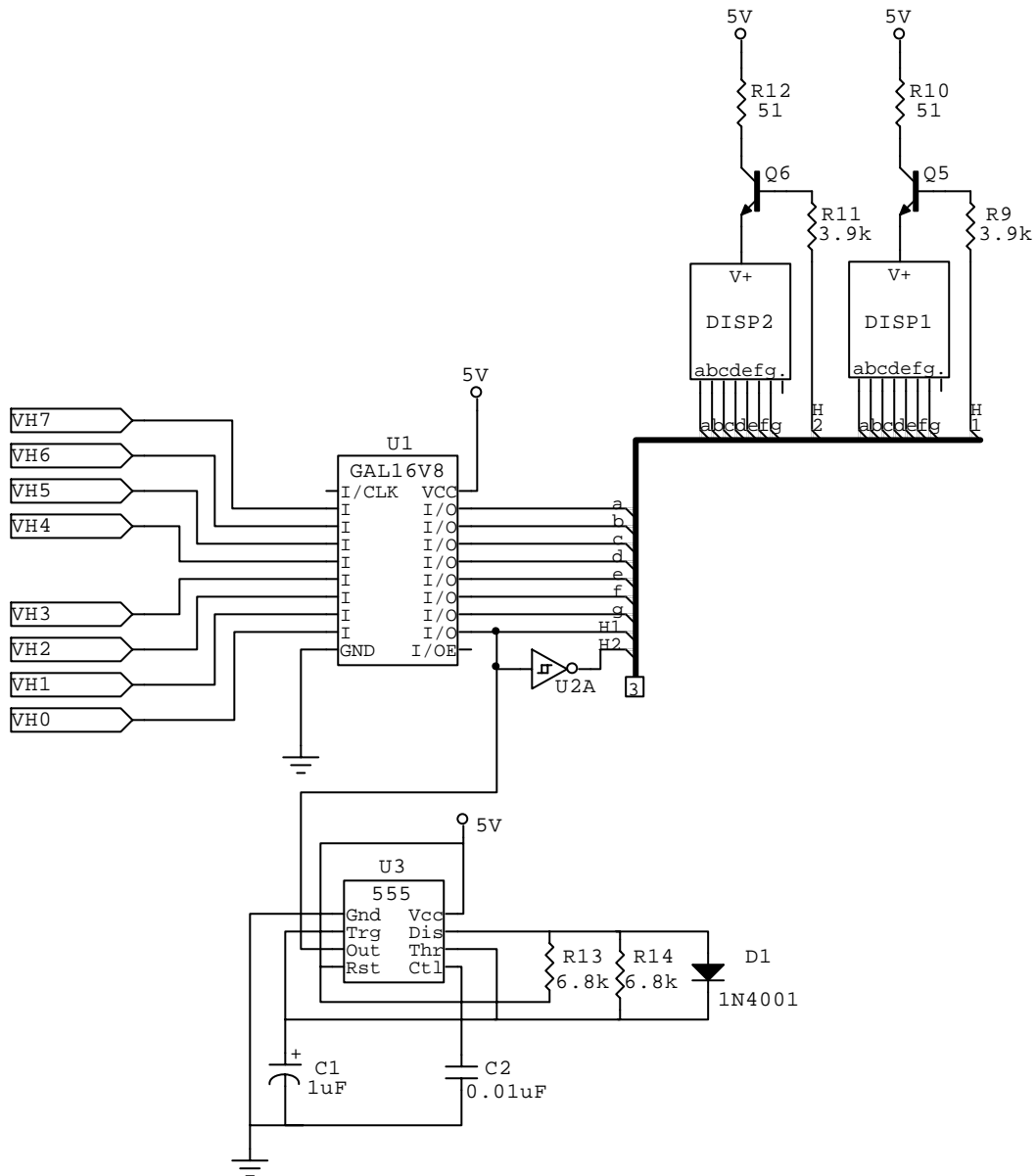


Figura 16 Diagrama de Dos Visualizadores de Estado Lógico Hexadecimal

El funcionamiento de este diseño se describe a continuación:

La GAL16V8 básicamente se programa para codificar dos números binarios de cuatro bits en su número hexadecimal equivalente y visualizarlo en su respectivo display de 7 segmentos. Además de las ocho entradas (pin 2 al 9) utilizadas para representar los dos números binarios de cuatro bits se utilizó una entrada adicional para manejar una señal selectora (pin 12). Esta señal es la encargada de seleccionar entre los dos números de 4 bits a codificar y además genera una frecuencia capaz de prender y apagar los display consecutivamente de tal forma que parezca que están encendidos constantemente pero en realidad este prendiendo solo uno a la vez.

Para generar esta señal se utilizó el temporizador LM555 en su configuración como multivibrador a estable obteniendo a su salida una señal simétrica. Para lograr este ciclo de trabajo del 50% se colocaron las resistencias R6 y R5 del mismo valor (7.5K) y un diodo (D1) en paralelo a R5 para lograr que el condensador se cargue por R6 y se descargue por R5 logrando así un tren de pulsos con un tiempo de subida igual al de bajada como se observa en las siguientes ecuaciones:

$$\text{Ciclo de Trabajo} = \left(\frac{R_1}{R_1 + R_2} \right) * 100\% \quad \text{E-10}$$

$$\text{Ciclo de Trabajo} = \left(\frac{7.5k}{7.5k + 7.5k} \right) * 100\%$$

$$\text{Ciclo de Trabajo} = 50\%$$

La frecuencia de esta señal periódica se calcula de forma que no sea ni tan baja como para que se note que solo esta prendido un solo display a la vez, ni tan alta que produzca un desgaste innecesario de los elementos acortando así su vida útil debido a la rapidez con la que tienen que apagarse y prenderse continuamente. A continuación se calcula el valor de dicha frecuencia:

$$f = \frac{1.44}{(R_1 + 2R_2) * C_1}$$

E-11

$$f = \frac{1.44}{[7.5k\Omega + 2(7.5k\Omega)] * 1\mu F}$$

$$f = 64Hz$$

Cabe anotar que según las pruebas realizadas en el laboratorio y los textos consultados ¹³, la frecuencia mínima a la cual el ojo humano no alcanza a percibir que solo un display esta encendido a la vez es de 60Hz, razón por la cual se escoge una frecuencia un poco mayor.

Como en realidad se necesita de dos señales para poder controlar el encendido de cada display de tal forma que cuando una este generando un nivel alto la otra señal este generando un nivel bajo, y no se dispone de más pines libres en la GAL, se emplea una compuerta inversora con entradas para obtener dicha salida complementaria.

Estas dos señales (H1 y H2) son las encargadas de colocar en saturación o en corte a los transistores 2N3904 los cuales actúan como interruptores para encender o apagar cada display.

Finalmente se muestra el programa realizado en el software WINCUPL para programar la GAL16V8 y obtener como resultado la visualización en dos displays de un código hexadecimal que representa dos números binarios de 4 bits cada uno.

¹³ ANGULO, José Maria, Microcontroladores PIC, Diseño Práctico de Aplicaciones Segunda Edición, Editorial McGraw-Hill, Pág.65.


```

'h'8=>'b'0000000;
'h'9=>'b'0000100;
'h'A=>'b'0001000;
'h'B=>'b'1100000;
'h'C=>'b'0110001;
'h'D=>'b'1000010;
'h'E=>'b'0110000;
'h'F=>'b'0111000;
}

field dato2=[S,J3,J2,J1,J0];
field display2=[a,b,c,d,e,f,g];

table dato2=>display2{
'h'10=>'b'0000001;
'h'11=>'b'1001111;
'h'12=>'b'0010010;
'h'13=>'b'0000110;
'h'14=>'b'1001100;
'h'15=>'b'0100100;
'h'16=>'b'0100000;
'h'17=>'b'0001111;
'h'18=>'b'0000000;
'h'19=>'b'0000100;
'h'1A=>'b'0001000;
'h'1B=>'b'1100000;
'h'1C=>'b'0110001;
'h'1D=>'b'1000010;
'h'1E=>'b'0110000;
'h'1F=>'b'0111000;
}

```

La figura 15 muestra el diagrama completo para implementar seis displays visualizadores de estado lógico hexadecimal empleando 3 GAL16V8.

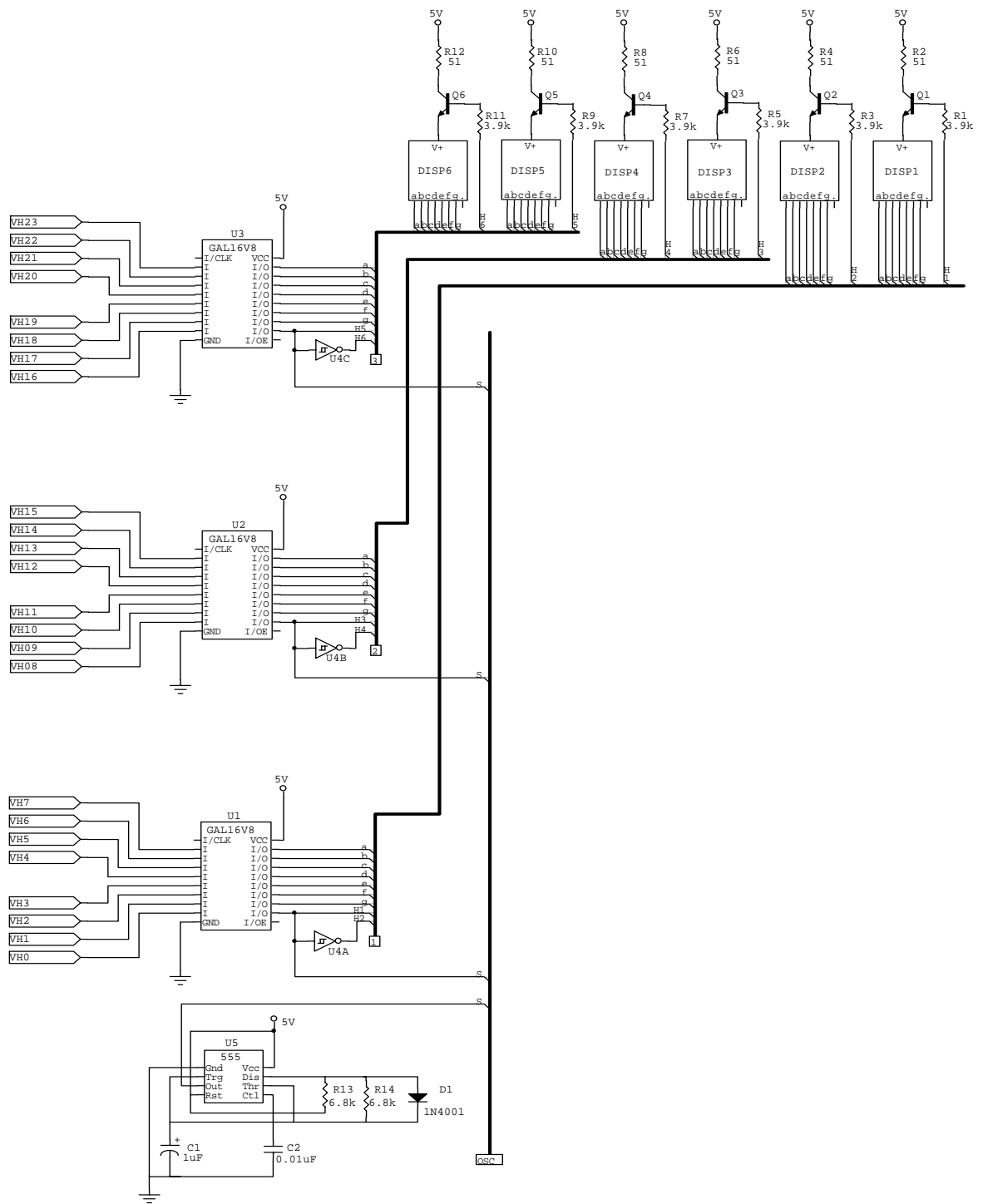


Figura 17 Diagrama de Seis Visualizadores de Estado Lógico Hexadecimal

6.3 ELEMENTOS NECESARIOS ¹⁴

Nombre	Referencia	Descripción	Cantidad
U1, U2, U3	GAL16V8	Matriz Lógica Programable 8 pines I y 8 pines I/O	3
U4	74LS14	6 Inversores con entradas Schmitt Trigger	1
U5	LM555	Temporizador	1
Q1, ... , Q6	2N3904	Transistor NPN	6
Disp1, ... , Disp6		Displays Ánodo Común	6
R2, ... , R12	R 51Ω	Resistencia de 51Ω	6
R1, ... , R6	R 3.9kΩ	Resistencia de 3.9kΩ	6
R13, R14	R 6.8kΩ	Resistencia de 6.8kΩ	2
C1	C 1μF	Condensador Electrolítico de 1μF/16V	1
C2	C 0.01μF	Condensador Cerámico de 0.01μF	1
D1	1N4001	Diodo	1

Tabla 7 Lista de Materiales Módulo Visualizadores Estado Lógico Hexadecimal

¹⁴ Ver Anexo C: Circuitos Impresos del Entrenador Digital

7 MÓDULO ANALIZADOR DIGITAL

7.1 INTRODUCCIÓN

Este módulo permite visualizar simultáneamente y en tiempo real 8 señales de un circuito digital en el monitor de un computador. De esta forma se pueden analizar conjuntos de señales y determinar como varían en el tiempo unas respecto de otras.

Para poder adquirir los datos se utiliza el puerto paralelo del computador configurado en modo Bidireccional, se usa este puerto ya que los niveles lógicos que emplea; son los mismos que los de la familia lógica TTL; para la cual han sido diseñados todos los módulos del entrenador. Por lo tanto la interfase que se desarrolló entre las señales y el computador solo tiene que controlar la corriente que se le envía al puerto y protegerlo de posibles cortos que se hagan entre las señales conectadas al puerto.

Una vez que las señales son muestreadas a través del puerto paralelo, éstas son analizadas y presentadas para una fácil interpretación del usuario a través de una aplicación desarrollada mediante el programa LabVIEW 6i.

Esta aplicación a través de los botones dispuestos en el panel frontal permite al usuario escoger la forma de muestreo de las señales a estudiar, seleccionar entre 1 a 8 puntos del circuito (canales), variar y mover la escala del tiempo. Además puede guardar los datos capturados para un posterior análisis ya sea desde el mismo analizador o desde una hoja de cálculos como Excel.

7.2 DESCRIPCIÓN DEL PUERTO PARALELO

Normalmente el puerto paralelo es usado para manejar impresoras u otros periféricos como escáneres. Este puerto envía 8-bits o uno byte al mismo tiempo en paralelo, las otras líneas disponibles en el conector DB-25 son una combinación de líneas de estado, líneas de control, y las líneas de tierra (ver figura 16). Las líneas de estado y las líneas de control se usan para el manejo, y la realimentación cuando se establece una comunicación con un periférico.

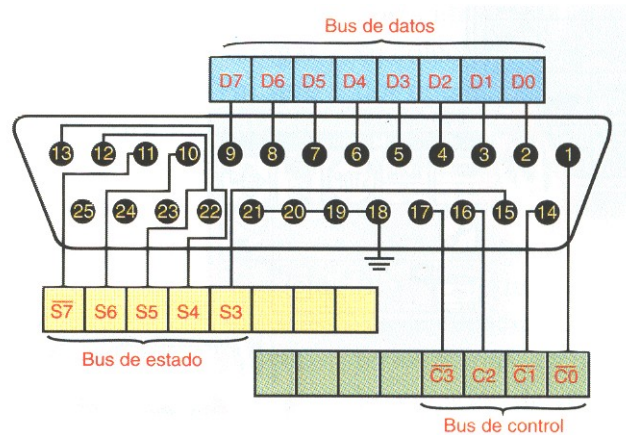


Figura 18 Bus de Datos, Estado y Control del Puerto Paralelo en un Conector DB25

Según la norma IEEE Std. 1284-1994¹⁵, que es el estándar para las comunicaciones a través del puerto paralelo; define 5 modos de transmisión de datos:

- **Ordenador - Periférico:** Compatibility Mode : "Centronics" en modo standard.
- **Periférico - Ordenador:** Byte Mode : 8 bits al mismo tiempo usando líneas de datos.
- **Bi-direccional.**

¹⁵ IEEE Std. 1284-1994 Standard Signaling Method for a Bi-directional Parallel Peripheral Interface for Personal Computers

- **EPP** : Puerto Paralelo Ampliado, usado principalmente por periféricos como: CD-ROM, cintas, discos duros, adaptadores de redes, etc. excluyendo las impresoras.
- **ECP** : Puerto con Capacidad Extendida, usado principalmente por scanners e impresoras de nueva generación.

D-sub	Signal	Function	Source	Register	Register Bit #	Inverted at Connector?	Pin: Centronics
1	nStrobe	Strobe D0-D7	PC ¹	Control	0	Yes	1
2	D0	Data Bit 0	PC ²	Data	0	No	2
3	D1	Data Bit 1	PC ²	Data	1	No	3
4	D2	Data Bit 2	PC ²	Data	2	No	4
5	D3	Data Bit 3	PC ²	Data	3	No	5
6	D4	Data Bit 4	PC ²	Data	4	No	6
7	D5	Data Bit 5	PC ²	Data	5	No	7
8	D6	Data Bit 6	PC ²	Data	6	No	8
9	D7	Data Bit 7	PC ²	Data	7	No	9
10	nAck	Acknowledge	Printer	Status	6	No	10
11	Busy	Printer busy	Printer	Status	7	Yes	11
12	PaperEnd	Paper end, Empty	Printer	Status	5	No	12
13	Select	Printer selected (online)	Printer	Status	4	No	13
14	nAutoLF	Generate automatic line feeds	PC ¹	Control	1	Yes	14
15	nError (nFault)	Error	Printer	Status	3	No	32
16	nInit	Initialize Printer	PC ¹	Control	2	No	31
17	nSelectIn	Select printer (Place online)	PC ¹	Control	3	Yes	36
18	Gnd	Ground Return for nStrobe, D0					19,20
19	Gnd	Ground Return for D1, D2					21,22
20	Gnd	Ground Return for D3, D4					23,24
21	Gnd	Ground Return for D5, D6					25,26
22	Gnd	Ground Return for D7, nAck					27,28
23	Gnd	Ground Return for nSelectIn					33
24	Gnd	Ground Return for Busy					29
25	Gnd	Ground Return for Init					30
	Chassis	Chassis Ground					17
	NC	No connection					15,18,34
	NC	Signal Ground					16
	NC	+V5	Printer				35

¹Setting this bit high allows it to be used as an input ²Some Data ports are bidirectional

Tabla 8 Funcionamiento de cada Pin en el Conector DB25

La funcionalidad de cada pin en el conector DB25 esta contemplada en la norma IEEE 1284 y se muestra en la Tabla 7 (Funcionamiento de Cada Pin en el Conector DB25) ¹⁶. Esta tabla se aplica para los cinco modos en que puede trabajar el puerto paralelo. La diferencia básicamente entre los modos del puerto paralelo es la direccionalidad y la velocidad de transmisión donde el ECP el más rápido¹⁷.

La mayoría de Tarjetas Madres de Computador traen disponibles entre uno y tres puertos paralelos (LPT1, LPT2 y/o LPT3) de acuerdo a como la empresa ensambladora del computador haya escogido la configuración del puerto del computador este puede tomar alguna de esas tres opciones y por ende afectar los registros (de datos, de estado y de control) a los cuales accede el procesador del computador para hacer uso del puerto paralelo, la tabla 9 muestra los posibles valores que pueden tomar estos registros.

Puerto	Registro de Datos	Registro de Estado	Registro de Control
LPT1	0x0378	0x0379	0x037a
LPT2	0x03bc	0x03bd	0x03be
LPT3	0x0278	0x0279	0x027a

Tabla 9 Registros del Puerto Paralelo¹⁸

¹⁶ Visite www.ieee.com para conocer detalladamente la norma IEEE 1284.

¹⁷ Visite en www.ni.com el documento IEEE 1284 Updating the PC Parallel Port para conoer las diferencias entre los modos de funcionamiento del Puerto Paralelo.

¹⁸ Estos valores están en formato hexadecimal.

7.3 INTERFAZ AL PUERTO PARALELO DEL COMPUTADOR

Los niveles lógicos que maneja el puerto paralelo son (3.6V a 5V) como un 1 lógico y (0 a 1.2V) como un 0 lógico los cuales son compatibles con la familia TTL que es con la que se hacen las prácticas de Laboratorio de Sistemas Digitales. Como los niveles de tensión son los mismos la interfaz solo tiene que cumplir dos funciones:

- Controlar que la corriente que le entra al puerto no excede sus límites.
- Protegerlo de posibles cortos que se hagan entre las señales estudiadas y que estén conectadas al computador.

El circuito integrado 74LS240 es un buffer inversor de tercer estado el cual cumple con las dos funciones de aislamiento que necesita el puerto paralelo, la figura 17 muestra el circuito de la interfase implementado.

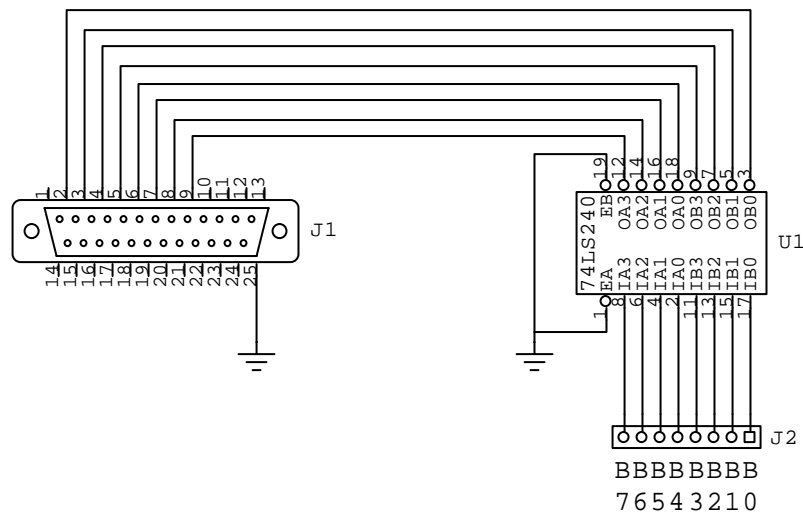


Figura 19 Circuito de Interfaz para el Puerto Paralelo

ELEMENTOS NECESARIOS ¹⁹

Nombre	Referencia	Descripción	Cantidad
U1	74LS240	8 Buffers Inversores de Tercer Estado	1
J1	DB25 Male	Conector DB de 25 pines Macho	1
J2	Mol 8	Conector Mol de 8 pines	1
----	-----	Cable Data Switch 25 Pines Hembra Macho	1

¹⁹ Ver Anexo C: Circuitos Impresos del Entrenador Digital.

7.4 MANEJO DEL PUERTO PARALELO DESDE LABVIEW

Para manipular el puerto paralelo desde LabVIEW se acude a dos funciones que vienen incluidas en el programa: *In Port* y *Out Port*. Como su nombre lo indica, estas funciones o VI's son las encargadas de recibir y enviar datos respectivamente a través de los puertos paralelos; se encuentran en la paleta de funciones del diagrama, en la opción Advanced, en el recuadro de Port I/O y se distinguen por los iconos mostrados en la figura 18.

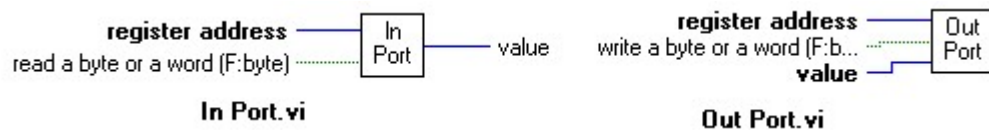


Figura 20 Funciones *In Port* y *Out Port*

La función *InPort* posee dos parámetros de entrada: La dirección de registro, que especifica la posición del registro empleado, por lo tanto es un dato numérico (en formato hexadecimal). El segundo parámetro de entrada consiste en un dato booleano que indica si el dato recibido desde la posición indicada es un byte (falso) o una palabra, es decir 2 bytes (verdadero). La salida de esta función consiste en un dato de tipo numérico.

La función *OutPort* tiene tres parámetros de entrada: La dirección de registro, que especifica la posición del registro empleado para enviar la información (en formato hexadecimal). El segundo parámetro de entrada consiste en un dato booleano que indica si el dato enviado a la posición indicada es un byte (falso) o una palabra (verdadero). El tercer parámetro es el dato que se va a enviar.²⁰

²⁰ Para conocer el funcionamiento interno de estos VI's; visite la página www.ni.com y busque el documento Using the Parallel Port in Labview - Developer Zone - National Instruments.

7.5 DESCRIPCIÓN DEL PANEL FRONTAL DEL ANALIZADOR DIGITAL

En las secciones 7.1, 7.2 y 7.3 se describe el puerto paralelo, la interfase hecha al computador y el manejo del puerto paralelo desde LabVIEW. Ahora para poder entender la aplicación desarrollada hay que interpretar las dos partes que conforman un programa en LabVIEW: Panel Frontal y Diagrama de Bloques. Esta sección esta dedicada a describir cada una de las partes que conforman el panel frontal, la sección 7.6 explica el diagrama de bloques que hace funcionar el panel frontal del Analizador Digital.

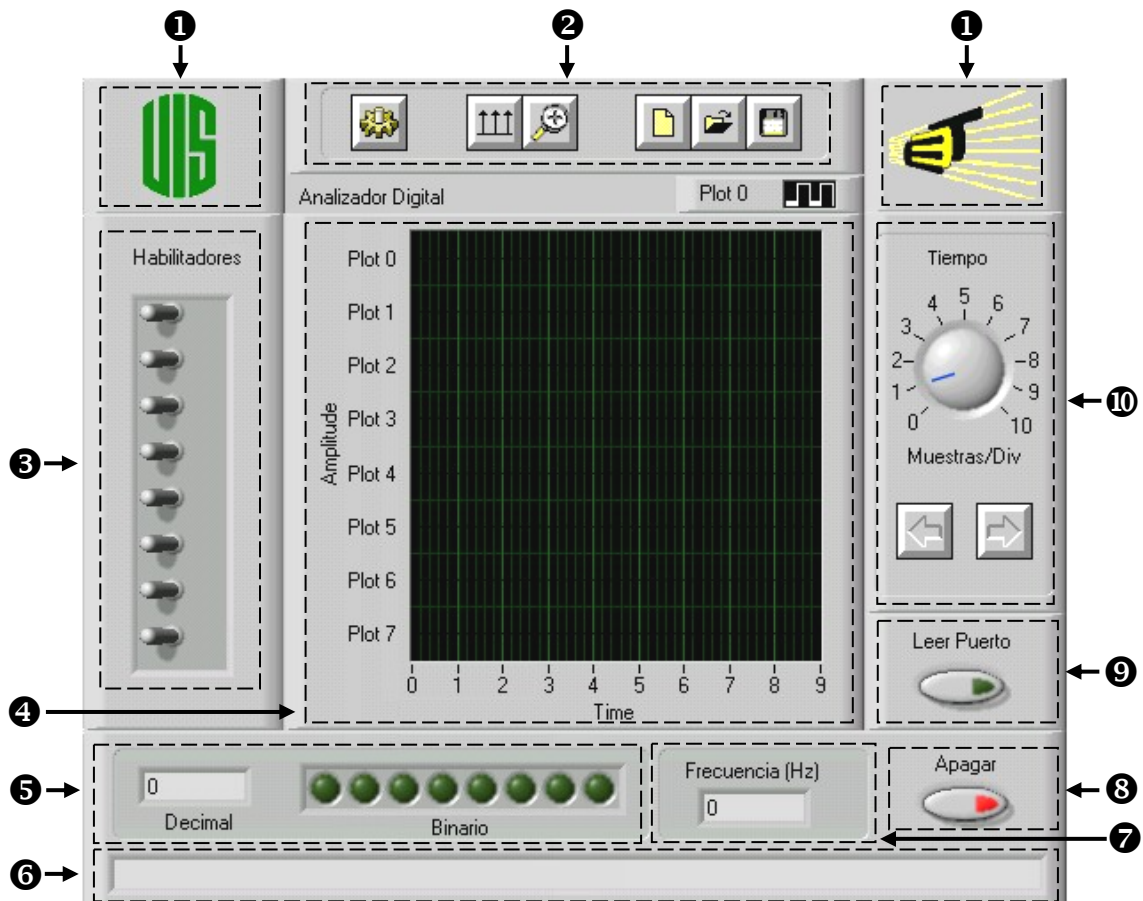


Figura 21 Panel Frontal del Analizador Digital

Los controles que conforman el panel frontal se muestran en la figura 19 y se describen a continuación

- ❶ Logos de la Universidad Industrial de Santander y de la Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones.²¹
- ❷ Barra de Herramientas.
- ❸ Interruptores Habilitadores entre los 8 posibles canales.
- ❹ Pantalla Graficadora de Señales Digitales.
- ❺ Indicador Decimal y Binario del último dato capturado.
- ❻ Barra de Estado
- ❼ Medidor de Frecuencia de la Señal de Muestreo.
- ❽ Botón de Apagado del Analizador Digital.
- ❾ Botón Habilitador de lectura del Puerto Paralelo (Leer Puerto).
- ❿ Control de la Escala de Tiempo de la Pantalla Graficadora.

7.5.1 Barra de Herramientas ❷

La Barra de Herramientas esta compuesta por 6 funciones (ver figura 20); las cuales se explican a continuación:



Figura 22 Barra de Herramientas del Analizador Digital

²¹ Patrocinadores del Proyecto.



→ Configuración

Una vez el usuario oprime este botón; aparece en el monitor del computador el cuadro de dialogo que se muestra en la figura 21, a partir del cual se puede seleccionar el puerto paralelo en el cual se tiene conectado la interfase entre Entrenador Digital y el computador (LPT1, LPT2, LPT3) y la resolución en píxeles en la cual esta tiene configurado el monitor (640 por 480, 800 por 600 ó 1024 por 768).



Figura 23 Cuadro de Dialogo de Configuración del Analizador Digital



→ Modo de Muestreo

A partir de este botón el usuario configura el modo de muestreo que se utiliza para capturar los datos a través del puerto paralelo; la figura 22 muestra el cuadro de dialogo que permite configurar el modo de muestreo.

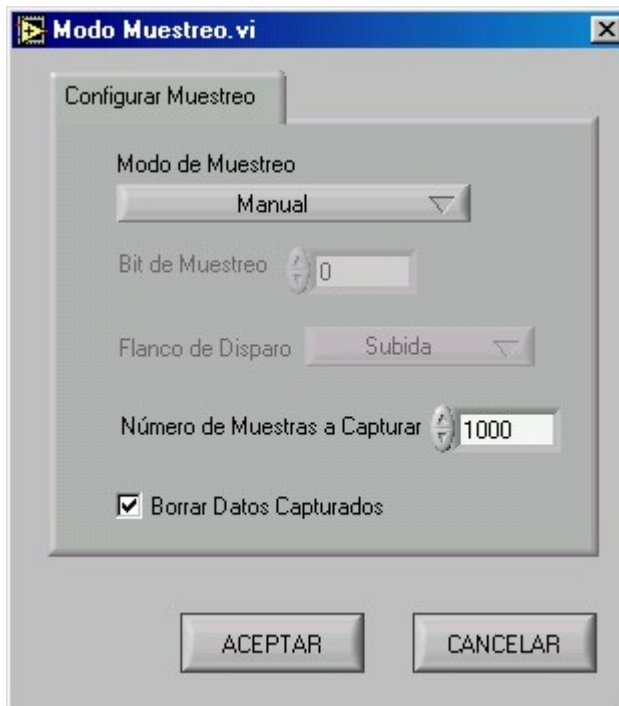


Figura 24 Cuadro de Dialogo Configuración Modo de Muestreo

Con la opción modo de muestreo el usuario puede seleccionar entre las tres siguientes opciones:

- **Manual:** Se capturan datos por el puerto paralelo únicamente cuando el usuario oprime el botón **Leer Puerto** del panel de control.
- **Señal de Reloj Externa:** Se utiliza una de las ocho señales del puerto paralelo para que sea la encargada de muestrear a su frecuencia de oscilación las otras siete señales restantes. El usuario puede escoger cual de las ocho señales es la que muestrea, mediante la opción *Bit de Muestreo* que esta disponible en ese mismo cuadro de dialogo, así mismo puede definir en que flanco²² de la señal de muestreo; quiere que se lea el puerto paralelo, esto se hace a través de la opción *Flanco*

²² Puede ser el flanco de Subida, de Bajada o Ambos al tiempo.

de Disparo.²³. Se puede interrumpir la lectura del puerto paralelo oprimido el botón **Leer Puerto** y reiniciar la lectura del puerto volviéndolo a oprimir.

- **Frecuencia de Muestreo:** A partir de una frecuencia de 1kHz el usuario puede muestrear la señales del puerto paralelo, esta modo de muestreo no necesita configuración ya que el programa siempre leerá el Puerto Paralelo a su máxima frecuencia, esto lo hará siempre y cuando este encendido el botón **Leer Puerto**.

El cuadro de dialogo de la figura 22 muestra dos opciones más:

La opción *Número de Muestras a Capturar* se incluyó para controlar la escala de tiempo de la *Pantalla Graficadora de Señales Digitales* simplemente cuando se rebosa el limite de tiempo este vuelve a ser 0.

La opción *Borrar Datos Capturados* permite al usuario si así lo desea eliminar los datos que se tienen en memoria cada vez que se cambie el *Modo de Muestreo*.



→ **Ampliar**

Esta herramienta permite ampliar la *Pantalla Graficadora de Señales Digitales* para ocupar el máximo posible del monitor de acuerdo a la configuración de pantalla hecha mediante el botón de *configuración* explicado anteriormente.



→ **Nuevo**

Este botón permite al usuario borrar todos los datos capturados hasta el momento.

²³ Las opciones Bit de Muestreo y Flanco de Disparo solo están disponibles en el modo de muestreo por Señal de Reloj Externa.



→ Abrir

Esta opción da la posibilidad de abrir archivos con datos capturados anterior mente en el laboratorio, siempre y cuando estos archivos no hayan sido modificados mediante un editor de textos.



→ Guardar

Permite al usuario guardar los datos capturados para un análisis posterior, el formato utilizado para almacenar los datos es Spreadsheet el cual es un estándar que es compatible con cualquier hoja de datos como Excel.

Los ficheros que genera el Analizador Digital tienen extensión .dat

7.5.2 Interruptores Habilitadores ③

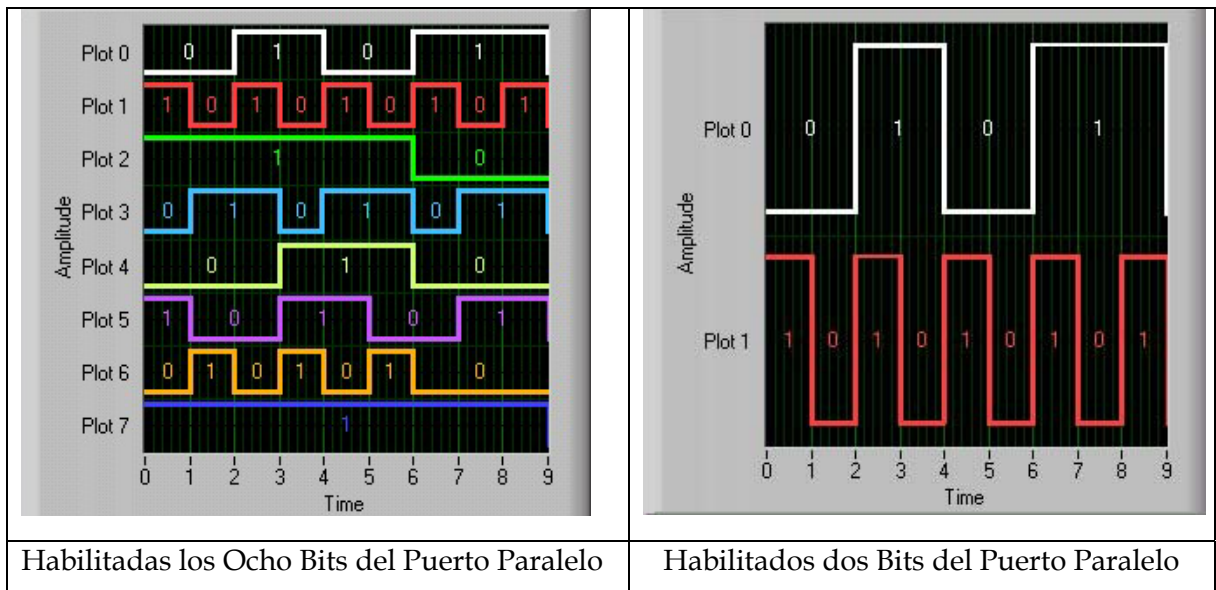


Figura 25 Pantalla Graficadora de Señales Digitales a) Todos los Interruptores Habilitadores en on, b) Los dos primeros Interruptores Habilitadores en on

Los *interruptores habilitadores* dan la facilidad al usuario de visualizar en la *Pantalla Graficadora de Señales Digitales*; entre uno a ocho señales conectadas en el bus de datos del puerto paralelo. Se implementaron con el propósito de que el usuario tenga un área de trabajo que grafique solo las señales que a él le interesan. (En la figura 23 se ve cuando están habilitadas las ocho señales y cuando están habilitadas dos).

7.5.3 Pantalla Graficadora de Señales Digitales ④

Este es el corazón del analizador digital, es una pantalla que permite ver las formas de onda de las señales digitales muestreadas a partir del puerto paralelo del computador. En el eje de las ordenadas se gráfica el tiempo, mientras que en el de las abscisas se grafican los unos y ceros de la señales digitales. Para apreciar un ejemplo ver la figura 23.

7.5.4 Indicador Decimal y Binario del Último Dato Capturado ⑤

La figura 24 muestra un ejemplo de cómo se muestra el último dato capturado por el Analizador Digital, tanto en formato decimal como en formato binario.

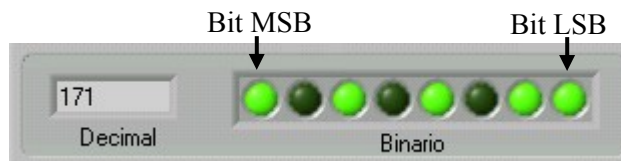


Figura 26 Indicador Decimal y Binario del Último Dato Capturado

7.5.5 Barra de Estado ⑥

La Barra de Estado muestra mensajes de interés para el usuario del Analizador Digital, tales como: *Modo de Muestreo*, *Bit de Muestreo*, *Flanco de Disparo*, si se están guardando los datos, si se está leyendo un archivo, etc.

Estos mensajes permiten informar al usuario en que parte del programa está y/o cuáles configuraciones está usando.

7.5.6 Medidor de Frecuencia de la Señal de Muestreo ⑦

Este indicador cuando está en modo de muestreo manual aparece en escala de grises indicando que está deshabilitado, cuando el modo de muestreo es por la frecuencia interna y fija de 1kHz aparece este valor en el *Medidor de Frecuencia*. La utilidad más importante de este medidor es cuando se capturan señales mediante la frecuencia de muestreo externa, ya que este indicador captura el valor de la frecuencia de la señal de muestreo.

La frecuencia siempre se visualiza en Hz.

7.5.7 Botón Habilitador de Lectura del Puerto Paralelo

(Leer Puerto) ⑨

Este botón tiene dos movimientos mecánicos que varían automáticamente de acuerdo al modo de muestreo que se está empleando para capturar las señales, los dos modos de operación se explican a continuación:

- Cuando el modo de muestreo es *Manual* el botón funciona como un pulsador: una vez el usuario lo oprime se pone en on, luego el programa lee el puerto y captura el dato, después el botón vuelve otra vez a su estado off.

- Si el modo de muestreo es por *Señal de Reloj Externa* o por *Frecuencia de Muestreo* el botón funciona como un interruptor de dos posiciones, cuando esta en on el programa captura y visualiza los datos, si esta en off ni captura ni visualiza los datos. Esto es para permitir solo la lectura del puerto paralelo en los intervalos de tiempo que el usuario desee.

7.5.8 Control de la Escala de Tiempo de la Pantalla Graficadora ⑩

Este control esta conformado por dos botones pulsadores y un dial como se aprecia en la figura 25, los botones pulsadores con dibujos de flechas permiten el desplazamiento a la izquierda y a la derecha en la escala de tiempo respectivamente, esto permitiendo visualizar datos capturados que no alcanzan a salir en la *Pantalla Graficadora de Señales Digitales*. El botón dial permite variar el número de muestras por división que aparecen en la *Pantalla Graficadora de Señales Digitales*, donde el valor mínimo que puede mostrar es 10 muestras (1 muestra/división) y el máximo es 100 muestras (10 muestras/división).

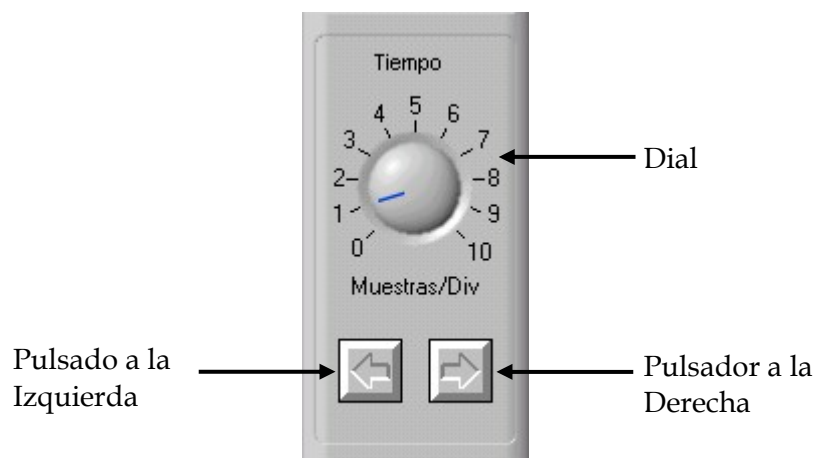


Figura 27 Control de la Escala de Tiempo

7.5.9 Botón de Apagado del Analizador Digital ⑧

Con este botón se apaga el analizador Digital y se cierra el programa.

7.6 DESCRIPCION DEL DIAGRAMA DE BLOQUES

Lo que hay detrás del panel frontal del Analizador Digital y que lo hace funcionar, es un diagrama de bloques compuesto por subprogramas que en LabVIEW son denominados Sub-VI; los cuales tienen una función específica dentro del programa.²⁴

Cada ícono de la figura 26 representa un Sub-VI del Analizador Digital. Las flechas indican el flujo de los datos a través de los Sub-VIs y por ende del programa.

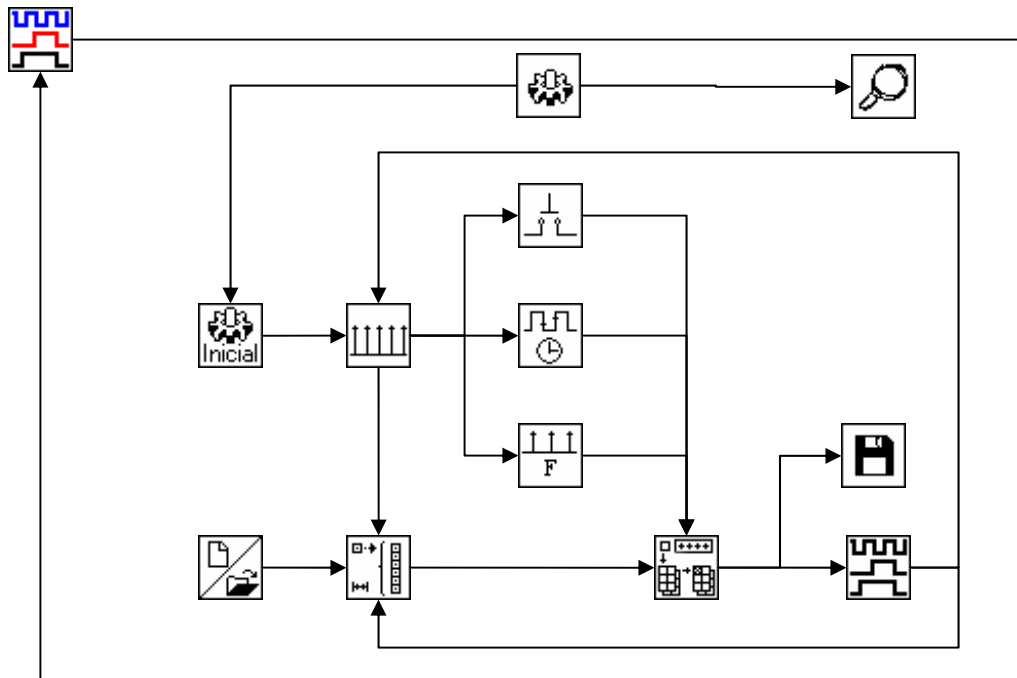


Figura 28 Diagrama de Bloques del Analizador Digital

Cada Sub-VI además de su ícono y sus conexiones tiene un nombre con extensión .vi, los cuales se muestran en la tabla 10. Dentro de la descripción del programa, se usaran estos nombres para referirnos a cada Sub-IV.

²⁴ El lector de este libro debe tener conocimientos básicos de programación gráfica en LabVIEW
















ICONO	NOMBRE DEL ARCHIVO (.vi)
	Analizador Digital
	Configuración Inicial
	Configuración
	Modo Muestreo
	Muestreo Manual
	Muestreo Señal Reloj Externa
	Frecuencia de Muestreo
	Nuevo-Abrir
	Iniciar Vector
	Insertar en Vector
	Guardar
	Graficar Vector Datos
	Ampliar Reducir

Tabla 10 Sub-VIs de Primer Nivel del Analizador Digital

  → Configuración Inicial, Configuración

El programa del Analizador Digital comienza ejecutando el Sub-VI *Configuración Inicial* el cual se encarga de leer las configuraciones guardadas del puerto paralelo instalado en el computador (LPT1, LPT2 ó LPT3) y configurarlo para que LabVIEW lo pueda leer. Además el Sub-VI *Configuración Inicial* ajusta la resolución en píxeles de la pantalla del monitor (640 por 480, 800 por 600 ó 1024 por 768).

Estas configuraciones tanto del puerto como de la pantalla han sido almacenadas y pueden ser modificadas mediante el Sub-VI *Configuración* el cual ejecuta el cuadro de dialogo de la figura 21. Para acceder a este Sub-VI se hace mediante el botón **Configuración** del panel frontal.

Las figuras 27 y 28 muestran el diagrama de bloques de Sub-VI *Configuración Inicial* y el Sub-VI *Configuración*, donde se puede apreciar que las diferencias son mínimas ya que las funciones son muy parecidas; básicamente lo que varía es el momento en que se ejecutan o en que se llaman desde el programa principal.

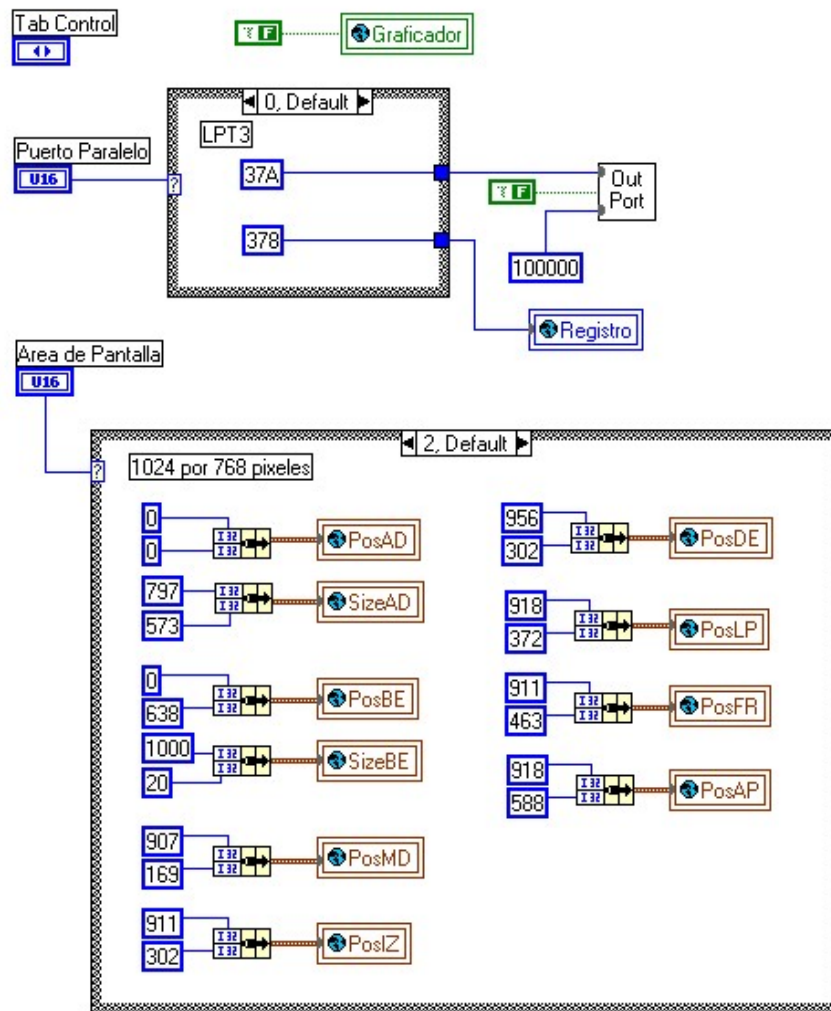


Figura 29 Diagrama de Bloques del Sub-VI Configuración Inicial

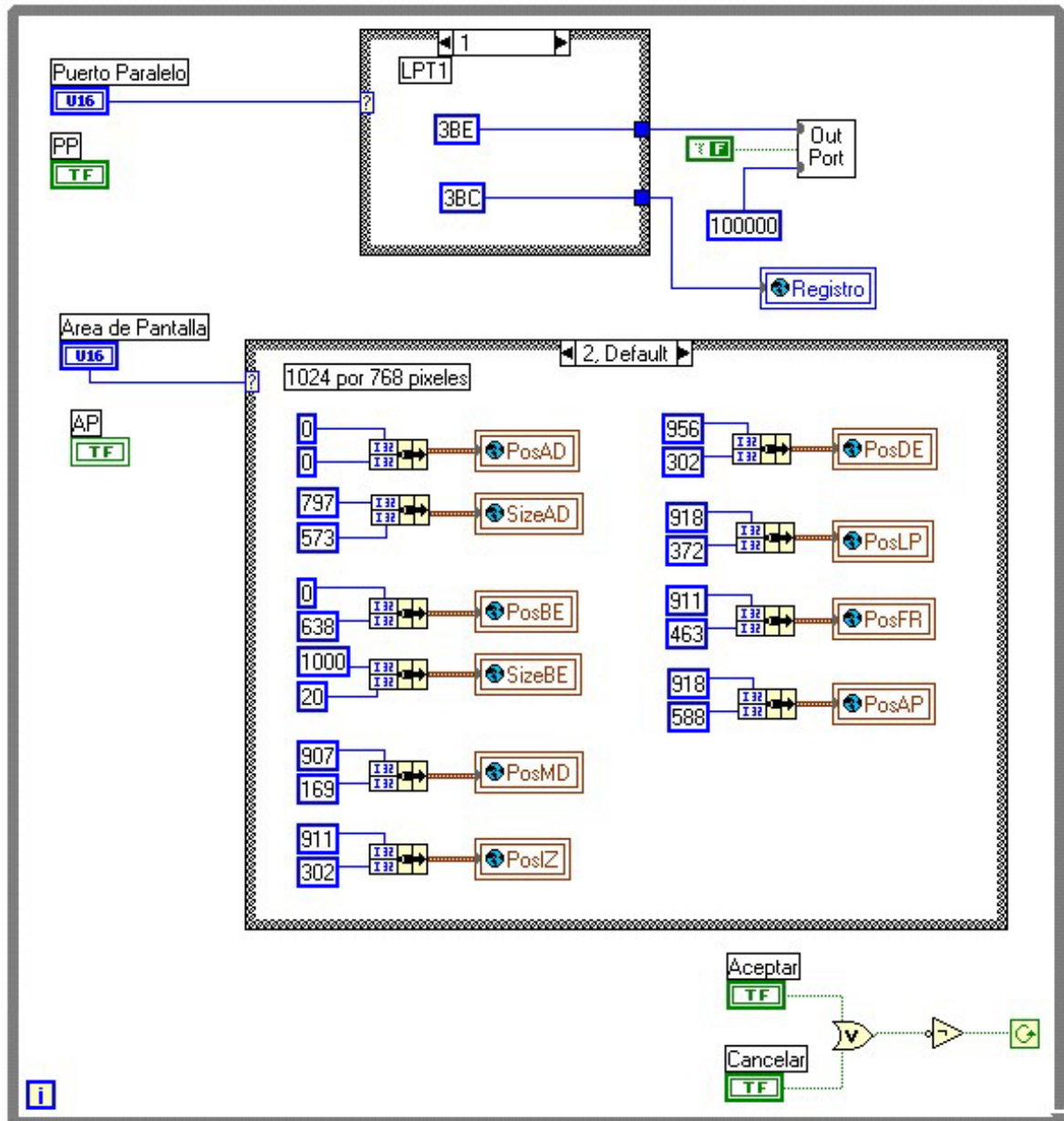


Figura 30 Diagrama de Bloques del Sub-VI Configuración

 → **Modo Muestreo**

Después de que el puerto paralelo esta configurado para ser leído mediante el programa principal del Analizador Digital, se ejecuta el Sub-VI *Modo de Muestreo* el cual abre el cuadro de dialogo de la figura 22. En este cuadro de dialogo como se vió en la sección 7.5.1 se pueden configurar los parámetros de muestreo de la señales conectadas al bus de datos del puerto paralelo. La figura 29 muestra los datos de configuración del modo de muestreo que genera este Sub-VI y que envía a los otros Sub-VIs.

Cada vez que el usuario oprime el botón **Modo de Muestreo** del panel frontal del Analizador Digital se ejecuta esta subrutina, sin importar en que parte del programa se encuentre.



Figura 31 Diagrama de Conexiones del Sub-VI Modo Muestreo

Cuando el usuario presiona el botón aceptar del cuadro de dialogo Modo Muestreo (figura 22), ya ha escogido uno de los tres métodos de muestreo: Manual, Señal de Reloj Externa o Frecuencia de Muestreo, por lo tanto el programa se bifurca hacia uno de los Sub-VIs que ejecutan cada uno de los siguientes métodos de muestreo.

 → **Muestreo Manual**



Figura 32 Diagrama de Conexiones del Sub-VI Muestreo Manual

El Sub-VI *Muestreo Manual* lee el puerto paralelo cada vez que se oprime el botón **Leer Puerto** del panel frontal del Analizador Digital y envía este dato (Dato Decimal) al Sub-VI *Insertar en Vector*.

Para leer el puerto paralelo se hace uso de la función *In Port* la cual se explicó en la sección 7.4 de este libro. La figura 30 muestra el diagrama de conexiones de este Sub-VI y la figura 31 el diagrama de bloques interno que hace funcionar esta subrutina.

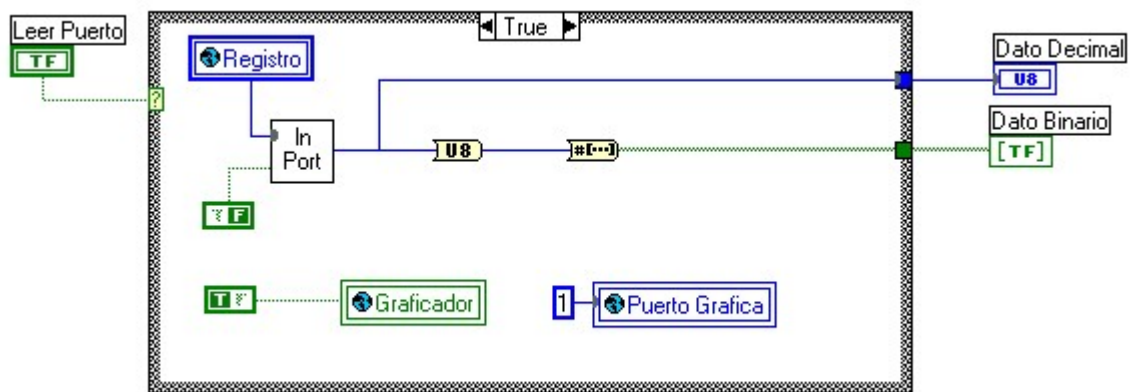


Figura 33 Diagrama de Bloques del Sub-VI Muestreo Manual

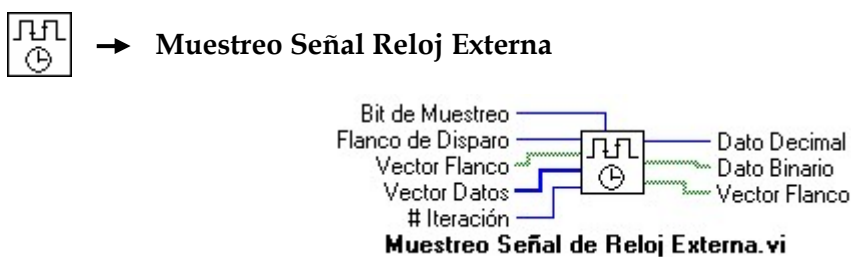


Figura 34 Diagrama de Conexiones del Sub-VI Muestreo Señal de Reloj Externa

El Sub-VI *Muestreo Señal Reloj Externa* lee el puerto paralelo también haciendo uso de la función *In Port* y muestrea de acuerdo a las configuraciones hechas en el Sub-VI *Modo de Muestreo*: (*Bit de Muestreo*: el cual es una de las ocho señales del puerto paralelo, que hace



→ Insertar en Vector

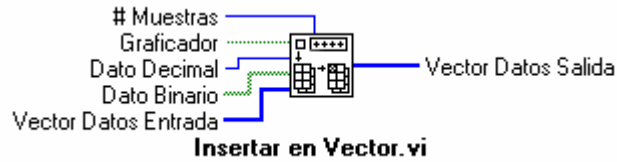


Figura 36 Diagrama de Conexiones del Sub-VI Insertar en Vector

Después de que el dato es capturado a través del puerto paralelo por alguno de los métodos explicados anteriormente, se procede a almacenar los datos en la memoria del computador para luego graficarlo. Esta función es llevada a cabo por el Sub-VI *Insertar en Vector*, el cual recibe del Sub-VI *Iniciar Vector*; un vector con los datos almacenados anteriormente²⁶ e introduce el nuevo dato en la posición 0 del vector y transfiere esa información al Sub-VI *Graficar Vector Datos*. El diagrama de conexiones y el de bloques de este Sub-VI se muestra en la figura 34 y 35 respectivamente.

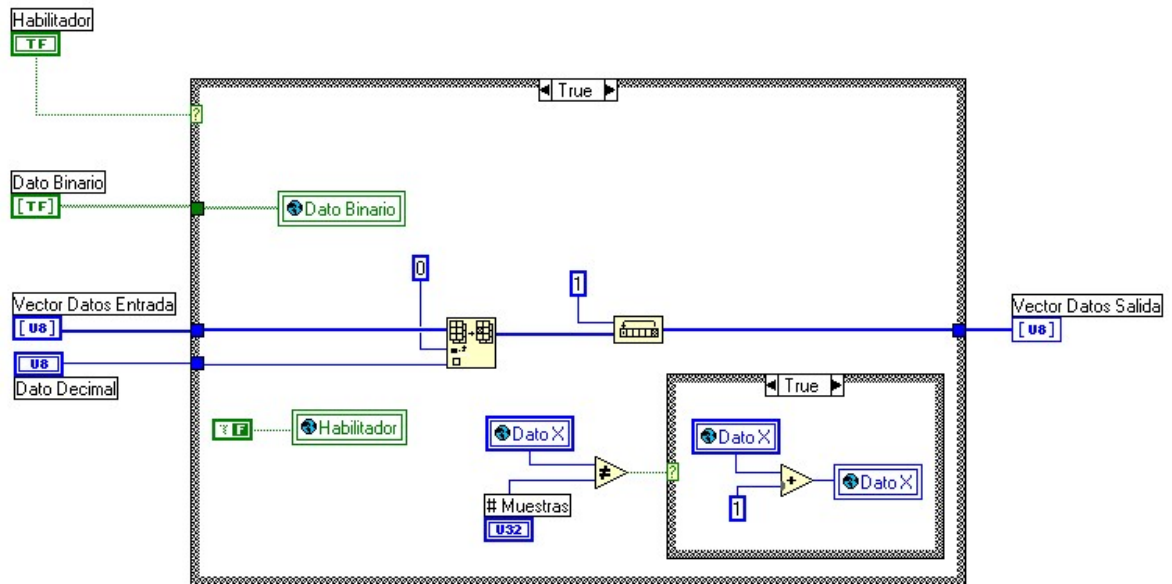


Figura 37 Diagrama de Bloques del Sub-VI Insertar en Vector

²⁶ Este vector lo se denominará a través del libro como Vector Datos



→ **Iniciar Vector**

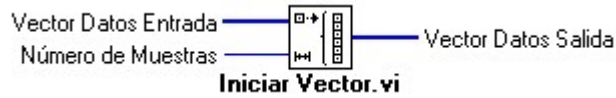


Figura 38 Diagrama de Conexiones del Sub-VI Iniciar Vector

Este Sub-VI es el encargado de iniciar el Vector Datos, con una dimensión configurada mediante el parámetro *Número de Muestras a Capturar* enviado por el Sub-VI *Modo de Muestreo*. Además este Sub-VI es el relevo en memoria del Vector Datos ya que después de que el Sub-VI *Insertar en Vector* almacena el nuevo dato capturado lo envía al Sub-VI *Graficar Vector Datos*, el cual lo devuelve intacto al Sub-VI *Iniciar Vector*.

Este Sub-VI también recibe del Sub-VI *Nuevo-Abrir* los datos necesarios para que el Vector Datos se inicialice adecuadamente en las funciones de *Nuevo* y *Abrir*. El diagrama de conexiones y de bloques de este Sub-VI se muestran en la figuras 36 y 37 respectivamente.

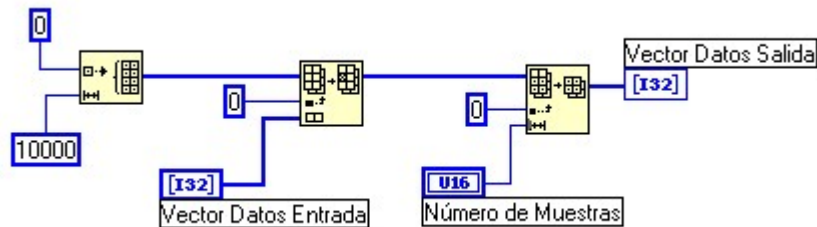
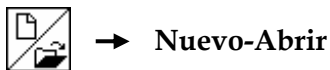


Figura 39 Diagrama de Bloques del Sub-VI Iniciar Vector



→ **Nuevo-Abrir**



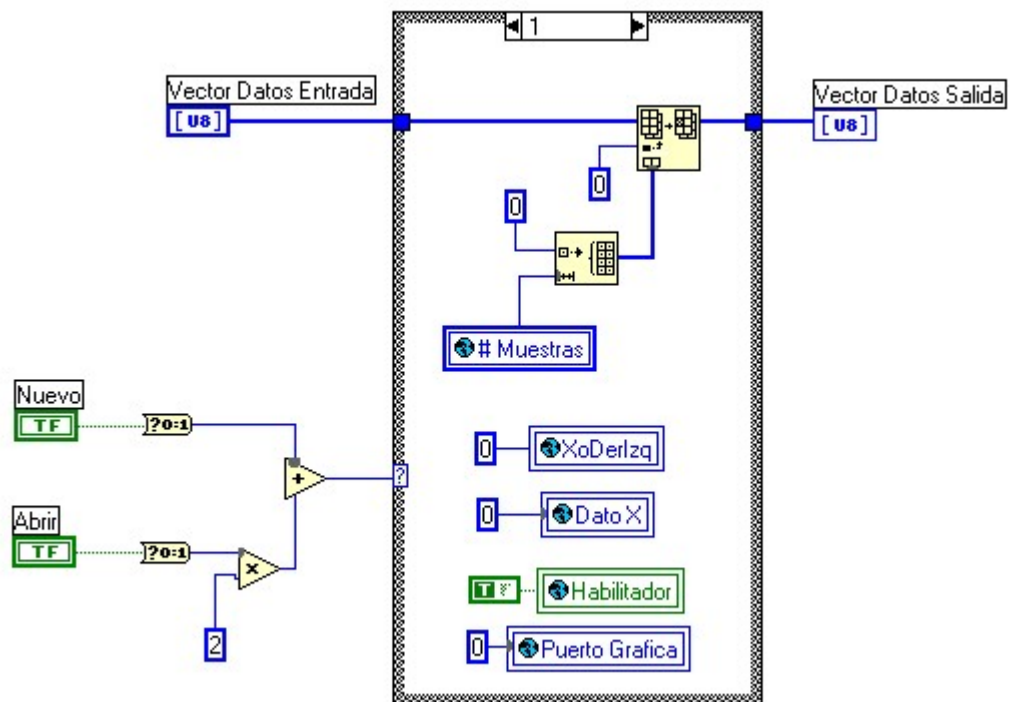
Figura 40 Diagrama de Conexiones del Sub-VI Nuevo-Abrir

Este Sub-VI tiene dos funciones:

Borrar los datos capturados hasta el momento poniendo el Vector Datos en cero, esta rutina se ejecuta cada vez que el usuario oprime el botón **Nuevo** del panel frontal del Analizador Digital.

La otra función es abrir los archivos que se han generado con el Analizador Digital y que contienen datos capturados anteriormente, para que el usuario pueda analizarlos o añadirles nuevos datos. Para acceder a esta función el usuario lo puede hacer desde el botón **Abrir** del panel frontal. El diagrama de conexiones se muestra en la figura 38 y los diagramas de bloques de este Sub-VI en las figuras 39, 40 y 41.

Cuando el usuario oprime el botón **Nuevo** se ejecuta la instrucción que se muestra en la figura 39. Si el usuario oprime el botón **Abrir** se ejecuta la instrucción que se muestra en la figura 40. La figura 41 hace parte del diagrama de bloques de la figura 40.



*Figura 41 Diagrama de Bloques I del Sub-VI Nuevo-Abrir
(Cuando se Oprime Botón Nuevo)*

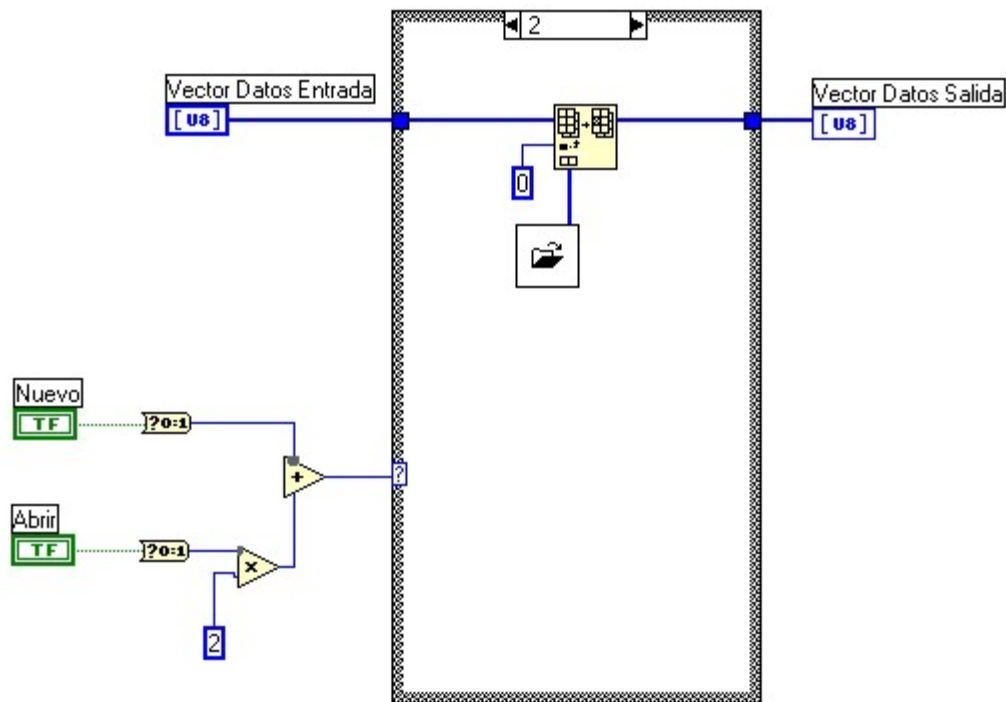


Figura 42 Diagrama de Bloques II del Sub-VI Nuevo-Abrir
(Cuando se Oprime Botón Abrir)

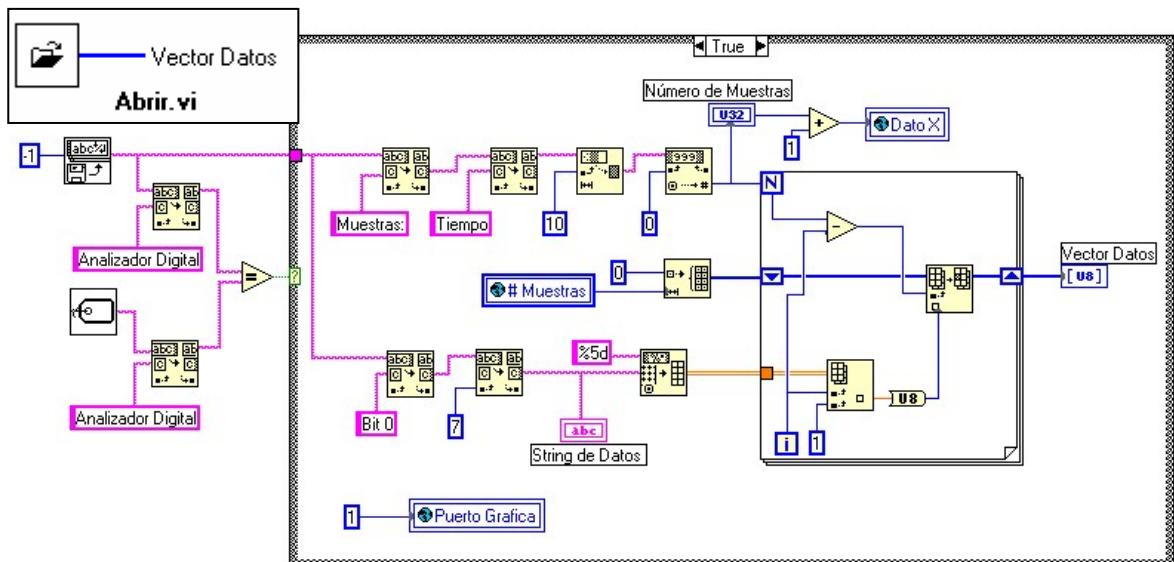


Figura 43 Diagrama de Bloques III del Sub-VI Nuevo-Abrir
(Sub-rutina Abrir Archivo)

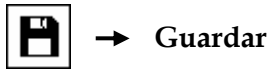


Figura 44 Diagrama de Conexiones del Sub-VI Guardar

Este Sub-VI permite almacenar los datos capturados en el Vector Datos para un posterior análisis ya sea desde el Analizador Digital o desde una hoja de cálculo como Excel. Para acceder a este Sub-VI se oprime el botón **Guardar** que se encuentra en la barra de herramientas del Analizador Digital. La figura 42 muestra el diagrama de conexiones de este Sub-VI y en la figura 43 esta su diagrama de bloques.

El archivo capturado (ver ejemplo figura 44) tiene extensión .dat y esta conformado por dos partes:

- Rótulo: Contiene la información que identifica los datos capturados, como Fecha, Hora y Lugar.
- Cuerpo: esta escrito en formato spreadsheet, el cual consiste en una tabla donde las columnas se separan por el indicador de tabulación (tab) y las filas por el indicador fin de línea (enter). Este formato es un estándar y es compatible con hojas de cálculo como Excel.²⁷ En nuestro caso esta tabla contiene en la primera columna el tiempo, en la segunda el número en decimal sumando los ocho bits del bus de datos del puerto paralelo; donde el bit MSB es el siete y bit LSB es el cero. De la tercera a la décima columna son las señales binarias de cada uno de los ocho bits del bus de datos del puerto paralelo.

²⁷ Es importante que el usuario mantenga la estructura del rótulo y del cuerpo, para que el archivo se pueda abrir con el Analizador Digital.

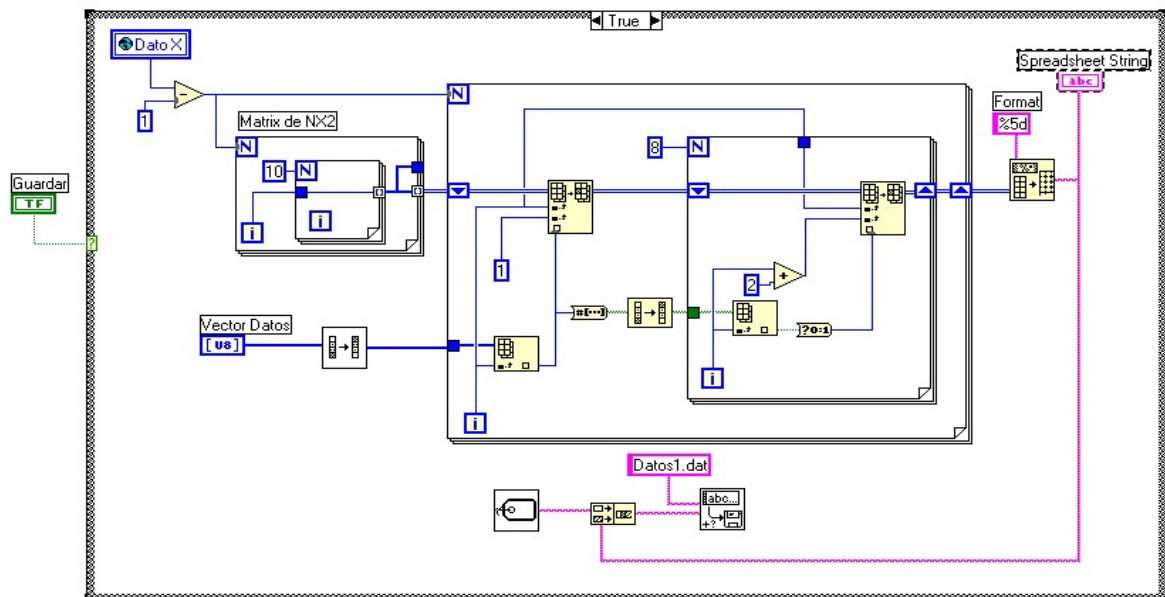


Figura 45 Diagrama de Bloques del Sub-VI Guardar

Universidad Industrial de Santander
 Laboratorio de Sistemas Digitales
 E3T
 Analizador Digital
 Lunes, 18 de Octubre de 2004;

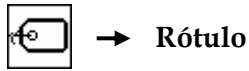
10:19 a.m.

Rótulo

Número de Muestra: 20

Tiempo	# Dec.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	1
2	2	0	0	0	0	0	0	1	0
3	3	0	0	0	0	0	0	1	1
4	4	0	0	0	0	0	1	0	0
5	5	0	0	0	0	0	1	0	1
6	6	0	0	0	0	0	1	1	0
7	7	0	0	0	0	0	1	1	1
8	8	0	0	0	0	1	0	0	0
9	9	0	0	0	0	1	0	0	1
10	0	0	0	0	0	0	0	0	0
11	1	0	0	0	0	0	0	0	1
12	2	0	0	0	0	0	0	1	0
13	3	0	0	0	0	0	0	1	1
14	4	0	0	0	0	0	1	0	0

Figura 46 Ejemplo Archivo Datos1.dat Generado con el Analizador Digital



La figura 45 muestra el diagrama de bloques del Sub-VI *Rótulo* el cual hace parte del Sub-VI *Guardar* y del SubVI *Nuevo-Abrir*. En el caso del Sub-VI *Guardar* genera el rótulo del archivo y en el caso del Sub-VI *Abrir* lo quita del archivo después de que identifica que es un archivo válido para visualizarse con el Analizador Digital.

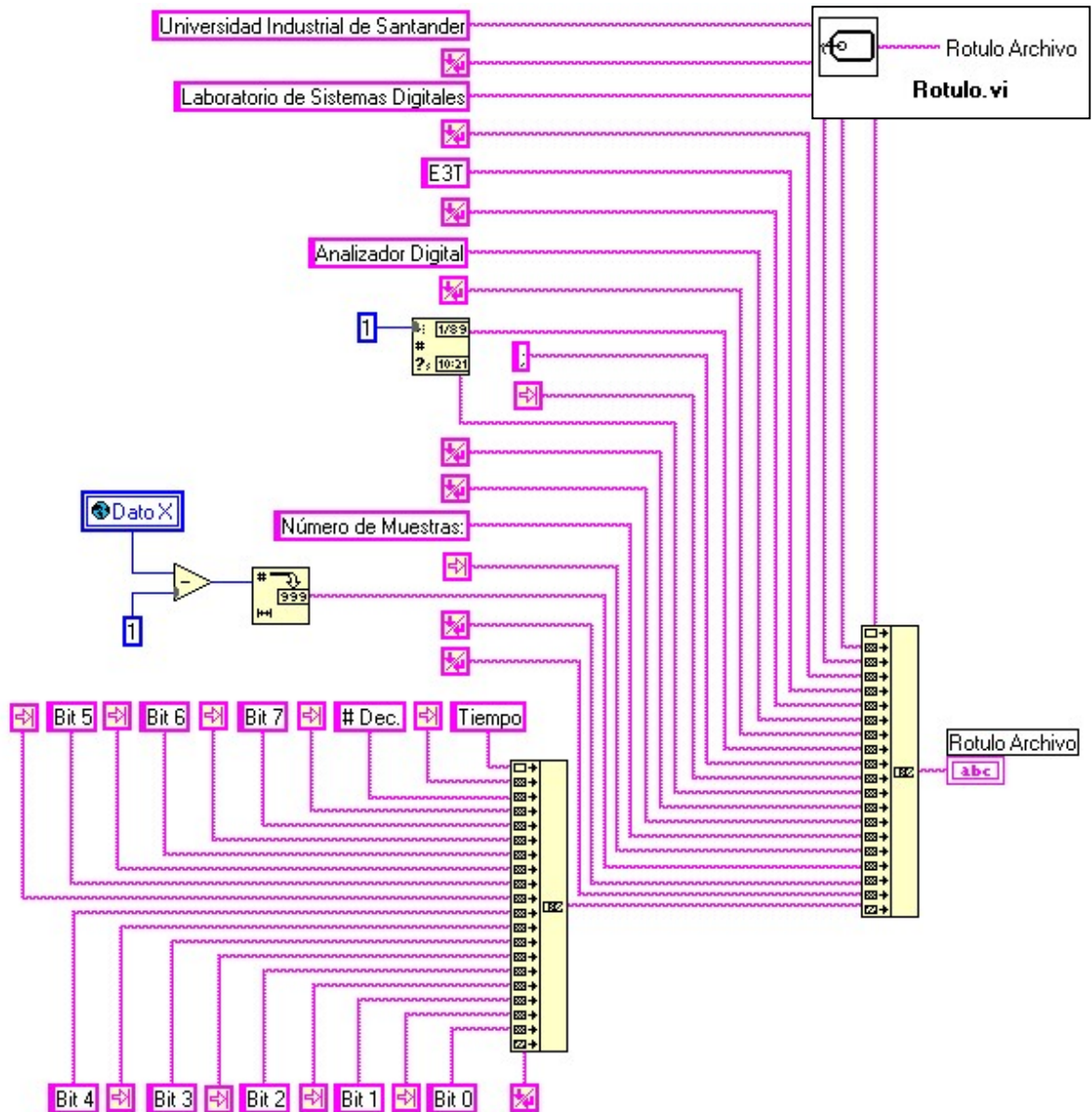


Figura 47 Diagrama de Bloques del Sub-VI *Rótulo*



→ Graficar Vector Datos

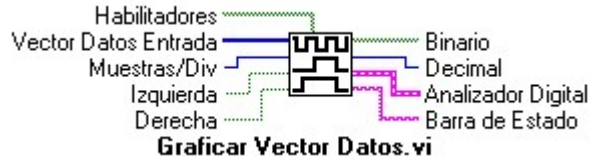


Figura 48 Diagrama de Conexiones del Sub-VI Graficar Vector Datos

Este Sub-VI gráfica en la **Pantalla Graficadora de Señales Digitales** el Vector Datos enviado por el Sub-VI *Insertar en Vector*. La figura 46 muestra el diagrama de conexiones de este Sub-VI y la figura 47 el diagrama de bloques, donde se puede apreciar que este Sub-VI esta formado por otros Sub-VIs, los cuales se enumeran en la tabla 11.

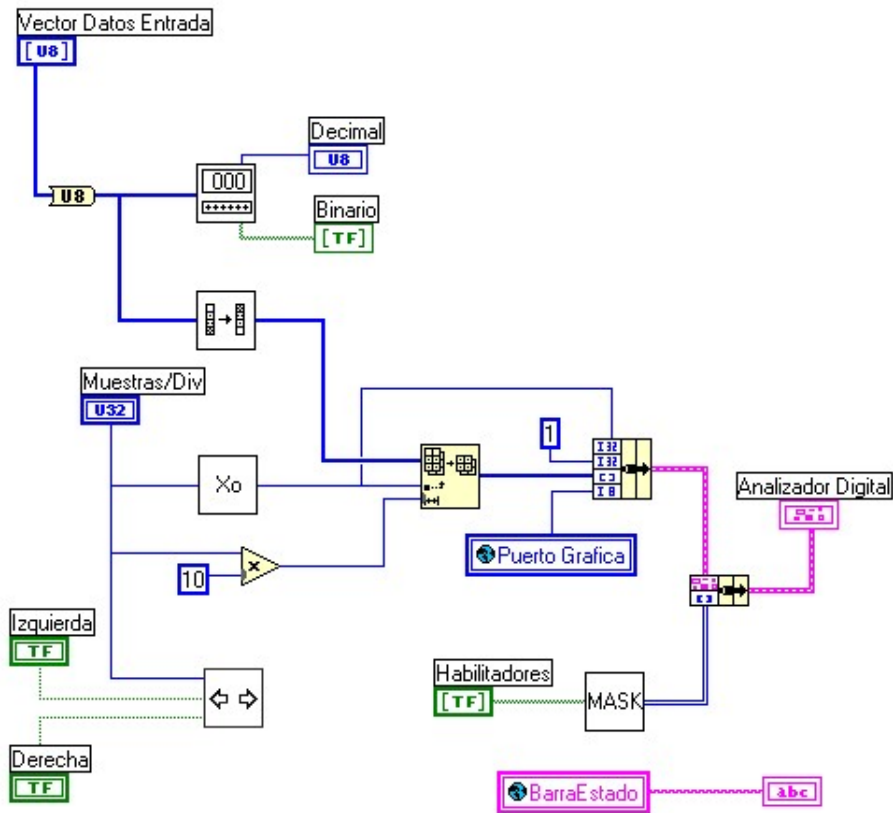


Figura 49 Diagrama de Bloques del Sub-VI Graficar Vector Datos

ICONO	NOMBRE DEL ARCHIVO (.vi)
	Control Xo
	Control Xo Izquierda Derecha
	Mascara Habilitadora
	Ultimo Dato
	Transpuesta Vector Datos

Tabla 11 Sub-VIs de Segundo Nivel del Analizador Digital

Para poder entender el funcionamiento del Sub-VI *Graficar Vector Datos* hay que saber cuales son los parámetros que necesita la función *Digital Waveforms Graphs* la cual viene incluida en LabVIEW. Para que funcione de acuerdo a las necesidades del Analizador Digital, la figura 48 muestra el diagrama de conexiones de esta función.

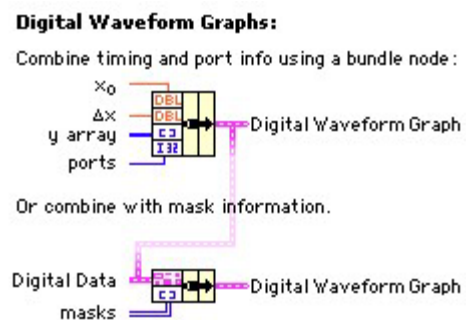


Figura 50 Diagrama de Conexiones de la Función Digital Waveforms Graph

La entrada Xo de la función *Digital Waveforms Graphs* controla el valor inicial del eje X de la **Pantalla Graficadora de Señales Digitales** usando los Sub-VIs *Control Xo* y *Control Xo Derecha Izquierda*.

La entrada ΔX controla la escala del eje X de la **Pantalla Graficadora de Señales Digitales** el cual se mantiene constante en 1, ya que este control lo hace el Sub-VI *Graficar Vector Datos* cuando escoge la parte del Vector Datos a graficar.

El sub-VI *Graficar Vector Datos* genera la entrada y-array de la función *Digital Waveforms Graphs* a partir del Vector Datos, extrayendo la parte de este vector que se quiere visualizar, mediante los controles de la **Escala del Tiempo** del panel frontal del Analizador Digital.

La entrada y-ports permite variar el número de bits a graficar; de los bits que conforman cada dato del Vector Datos, de la siguiente manera: si es 0 no se grafica ninguna señal, si es 1 se grafican los 8 bits LSB de cada dato; si es 2, 16 bits y si es 3 los 32 bits que conforman un dato en el formato U8²⁸ que es el que menos memoria necesita para representar un dato en un sistema basado en procesador. El Sub-VI *Graficar Vector Datos* usa la variable global Puerto Gráfica para controlar esta entrada, la cual varía entre las posiciones cero cuando se quiere tener apagada la **Pantalla Graficadora de Señales Digitales** y uno cuando se quiere mostrar los ocho bits LSB de cada dato del Vector Datos.

La entrada masks permite controlar el número de señales digitales que se quieren graficar ya sea un solo bit o los 32 que conforman un dato en formato U8. En el caso del Analizador Digital como y-ports solo deja pasar 8 bits, la entrada masks permitirá graficar entre 1 a 8 de los datos del Vector Datos mediante el Sub-VI *Mascara Habilitadora*.

²⁸ Ver Data and Range en la Ayuda del LabVIEW para conocer más acerca de los formatos numéricos válidos en este programa.

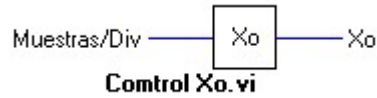


Figura 51 Diagrama de Conexiones del Sub-VI Control Xo

Este Sub-VI es usado para controlar la posición Xo de la **Pantalla Graficadora de Señales Digitales**, de acuerdo a las configuraciones que el usuario haga mediante los botones de la **Escala de Tiempo** del panel frontal. La figura 49 muestra el diagrama de conexiones y la Figura 50 muestra el diagrama de bloques de este Sub-VI.

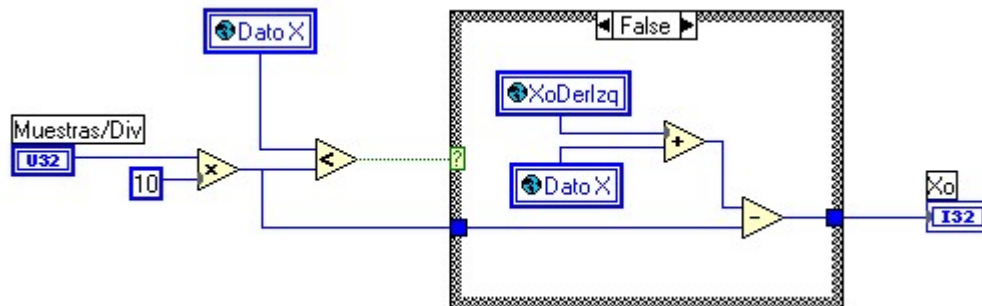


Figura 52 Diagrama de Bloques del Sub-VI Control Xo



Figura 53 Diagrama de Conexiones del Sub-VI Control Xo Izquierda Derecha

Este Sub-VI se usa para variar la posición de Xo hacia la izquierda o hacia la derecha en la Escala de Tiempo Mediante los botones **Muestras/Div**, **Izquierda** y **Derecha** del panel frontal. En la figura 51 se puede ver el diagrama de conexiones de este Sub-VI y en las figuras 52 y 53 el diagrama de bloques.

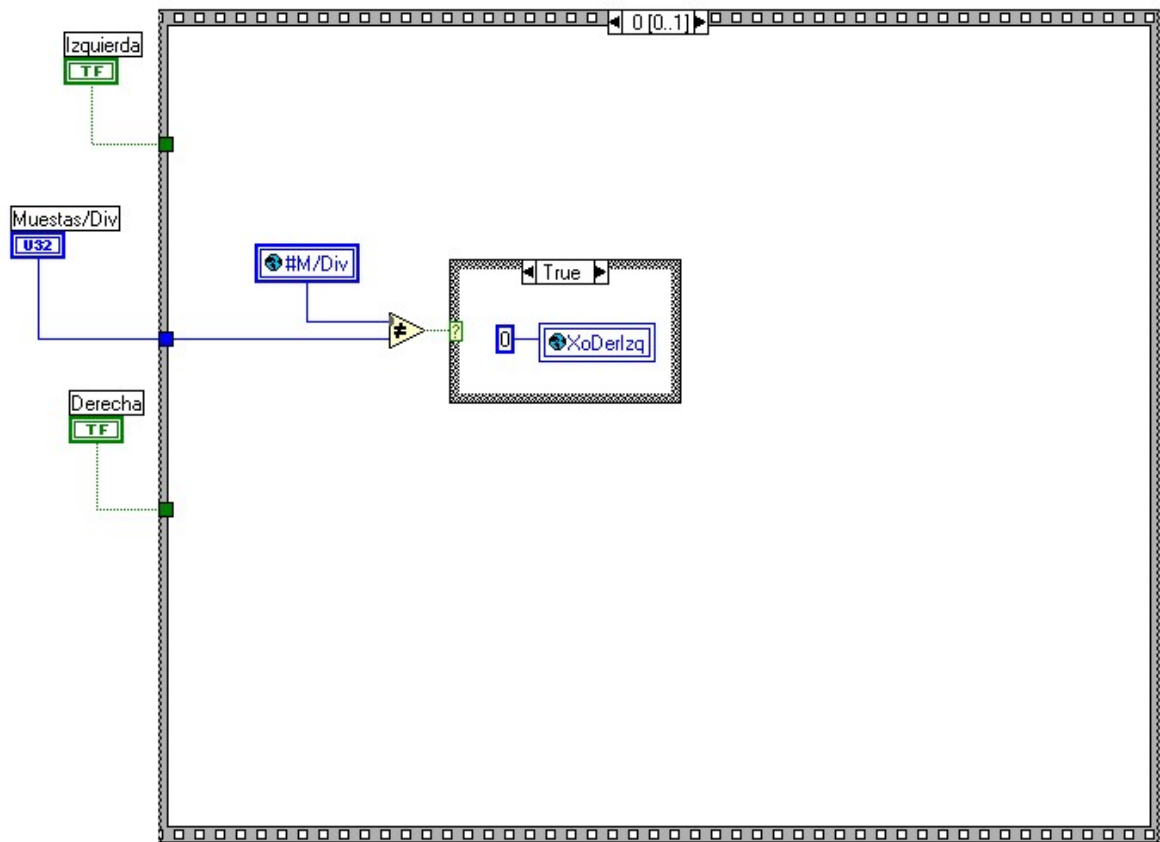


Figura 54 Diagrama de Bloques I del Sub-VI Control Xo Izquierda Derecha

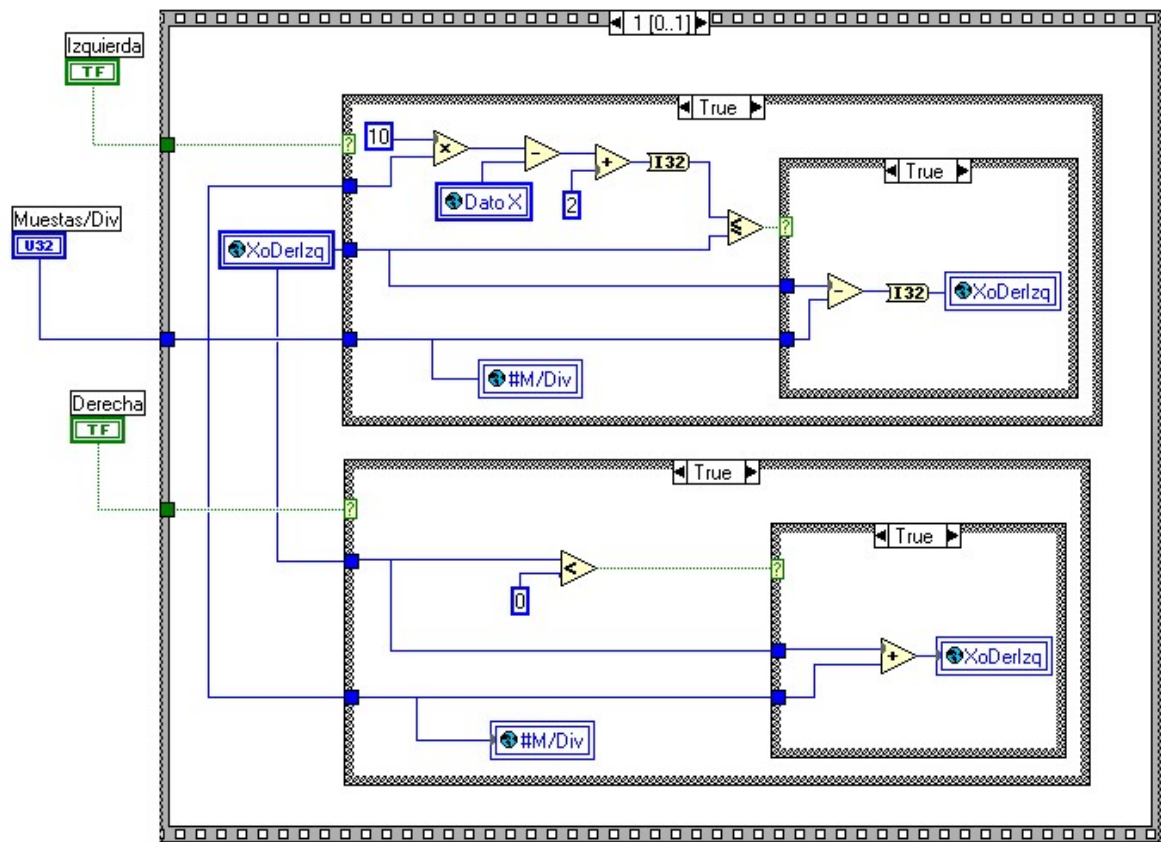


Figura 55 Diagrama de Bloques II del Sub-VI Control Xo Izquierda Derecha



Figura 56 Diagrama de Conexiones del Sub-VI Mascara Habilitadora

Este Sub-VI permite seleccionar cuales de los señales digitales provenientes del puerto paralelo a través del Vector Datos son visualizadas en la **Pantalla Graficadora de Señales Digitales**. El usuario selecciona las señales que quiere graficar mediante los **Interruptores**

Habilitadores del panel frontal. La figura 54 muestra el diagrama de conexiones de este Sub-VI y las figuras 55 y 56 el diagrama de bloques.

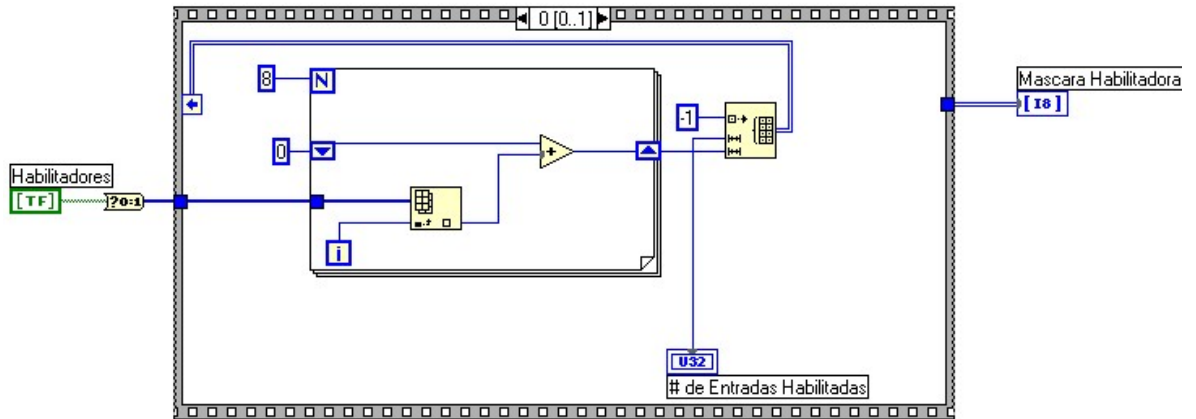


Figura 57 Diagrama de Bloques I del Sub-VI Mascara Habilitadora

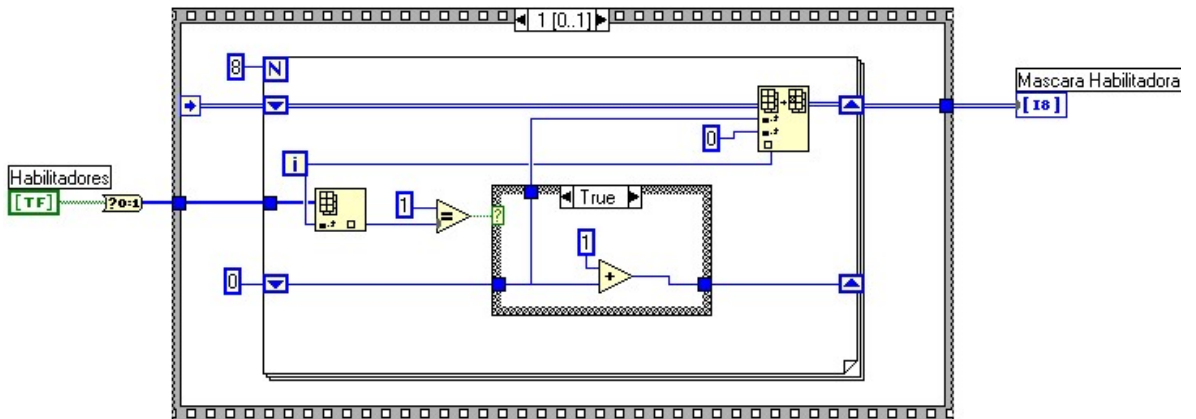


Figura 58 Diagrama de Bloques II del Sub-VI Mascara Habilitadora



Figura 59 Diagrama de Conexiones del Sub-VI Ultimo Dato

Este Sub-VI permite visualizar en el panel frontal del Analizador Digital el valor del último dato capturado por el Vector Datos tanto en formato binario como en el formato decimal.

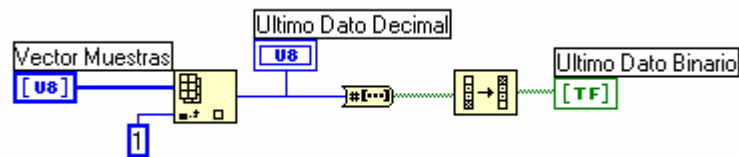


Figura 60 Diagrama de Bloques del Sub-VI Ultimo Dato

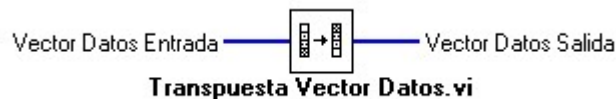


Figura 61 Diagrama de Conexiones del Sub-VI Transpuesta Vector Datos

Este Sub-VI es utilizado en el Sub-VIs *Graficar Vector Datos* y en el Sub-VI *Guardar* el cual hace la transpuesta del Vector Datos ya que como se almacenan los datos en el Vector Datos no se pueden visualizar directamente sino que hay que hacerle la transpuesta a este vector.

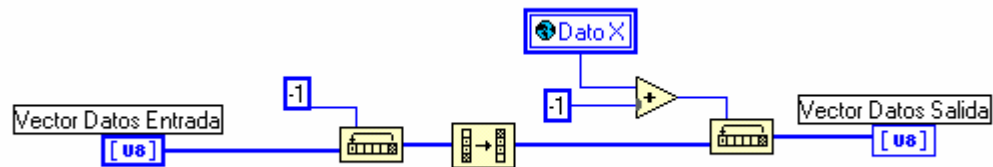


Figura 62 Diagrama de Bloques del Sub-VI Transpuesta Vector Datos

 → Ampliar- Reducir

Por último se describe el Sub-VI que permite ampliar y reducir el tamaño de la **Pantalla Graficadora de Señales Digitales**, la cual se implementó para aprovechar mejor el espacio en el monitor. Es importante saber que cuando esta maximizada la Pantalla Graficadora la visualización de los datos capturados se hace un poco mas lenta debido a la cantidad de recursos que se necesitan para visualizar en esa escala, por eso es aconsejable capturar los datos con la Pantalla Graficadora reducida y utilizar la función *Ampliar* para analizar y estudiar los datos.

Para acceder a esta función el usuario lo puede hacer a partir del botón **Ampliar**²⁹ o **Reducir**³⁰ del Panel Frontal. La Figuras 61 y 62 muestran los diagramas de bloques cuando se ejecutan las subrutinas Ampliar y Reducir respectivamente.

Este Sub-VI recibe del Sub-VI *configuración*, la información necesaria para ampliar la Pantalla Graficadora a la configuración en píxeles de la pantalla del computador.

²⁹ Para maximizar la Pantalla Graficadora

³⁰ Para poner en estado normal la Pantalla Graficadora.

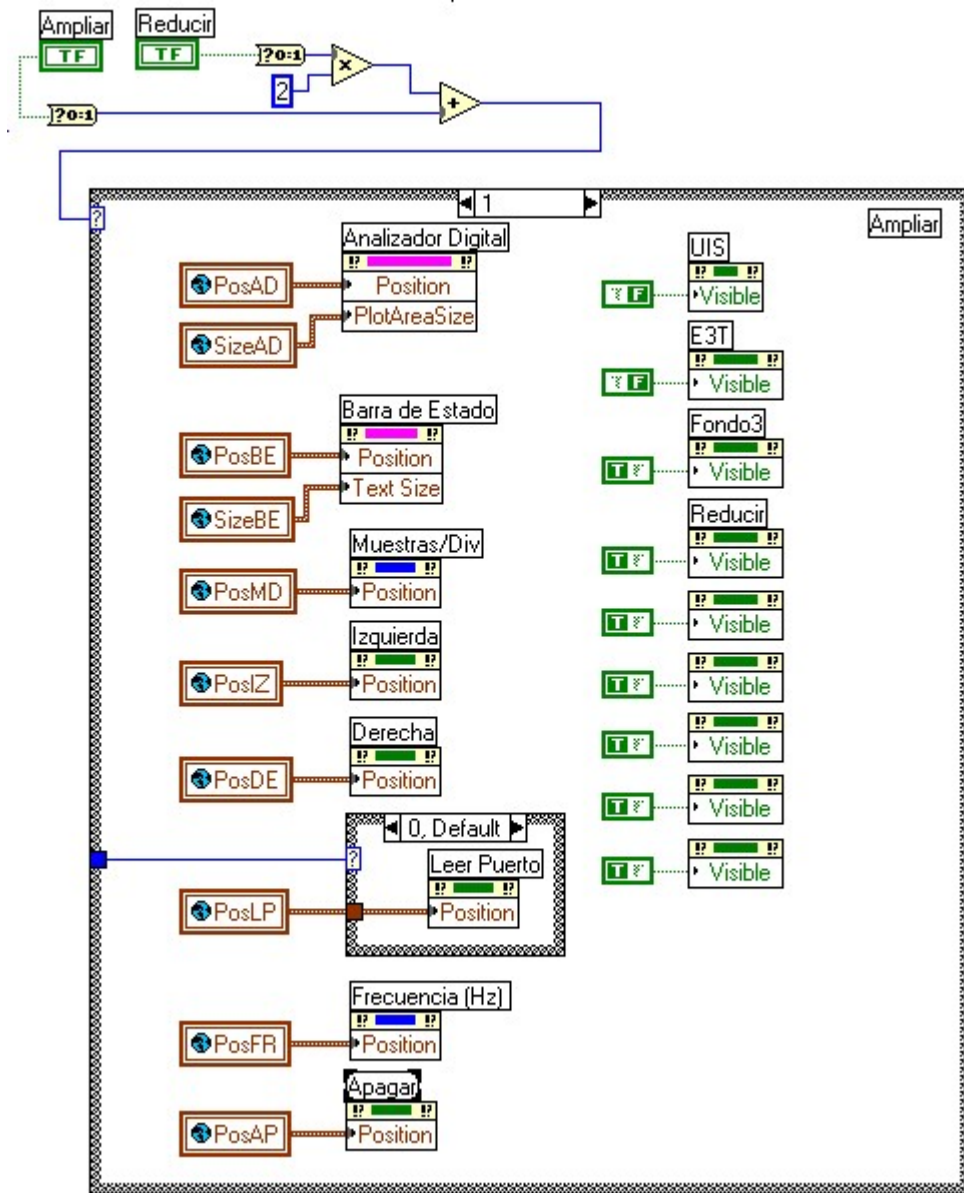


Figura 63 Diagrama de Bloques I del Sub-VI Ampliar-Reducir
(Rutina Ampliar)

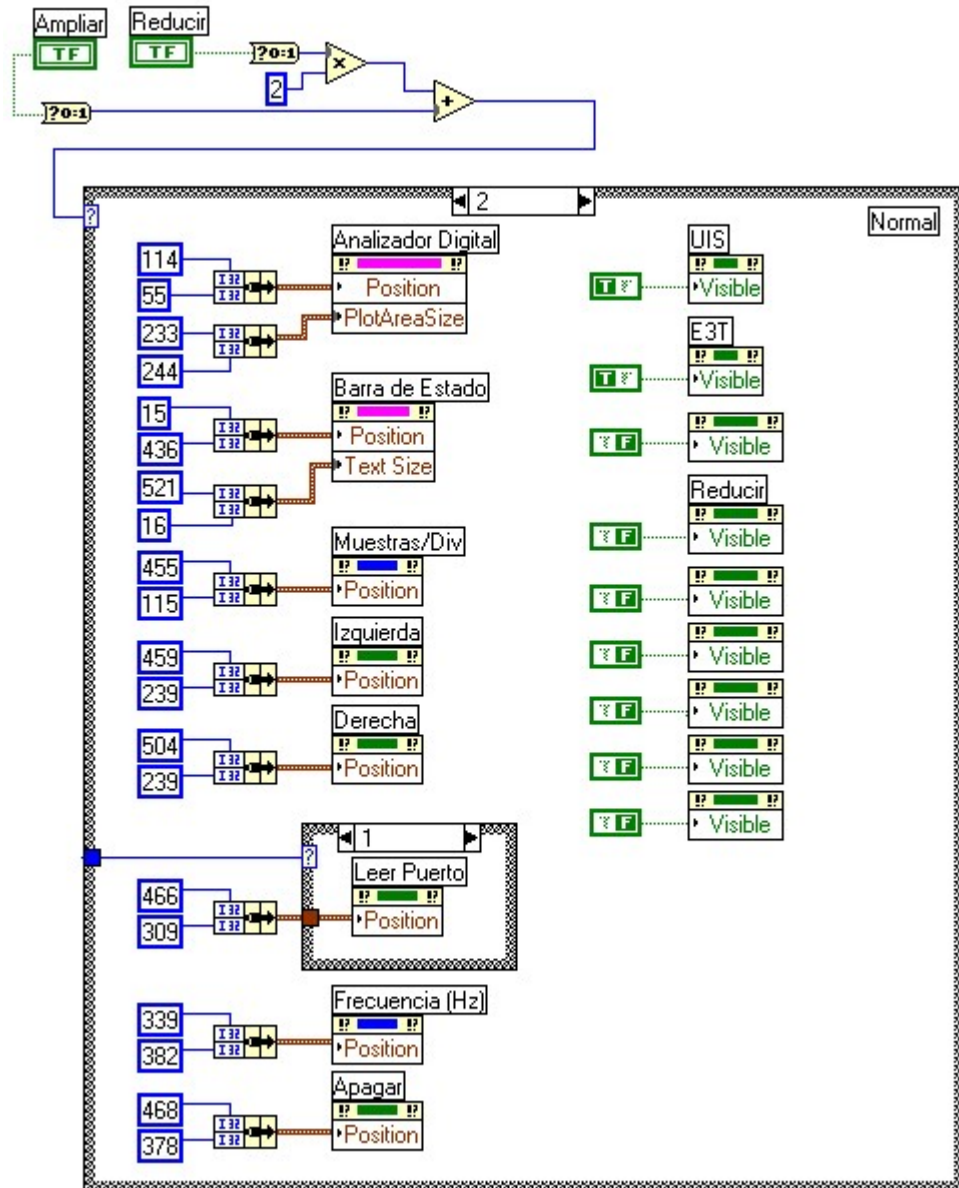


Figura 64 Diagrama de Bloques II del Sub-VI Ampliar-Reducir
(Rutina Reducir)

CONCLUSIONES

- Una vez culminado a cabalidad el diseño y construcción del Entrenador Digital se observó el correcto funcionamiento de cada módulo y del prototipo en conjunto, corroborando así su excelente desempeño y eficiencia.
- La Tecnología de Montaje Superficial (SMD) permite construir un Entrenador Digital de inmejorables dimensiones, obteniendo como resultado un prototipo que ocupa poco espacio en los bancos de trabajo del Laboratorio de Sistemas Digitales.
- Debido a la implementación de la Fuente de Alimentación Conmutada en el Entrenador Digital, además de mejorar ampliamente el rendimiento y la eficiencia de este módulo se suprimió el robusto transformador a 60Hz reduciendo considerablemente su peso y su volumen.
- Es posible utilizando un Dispositivo Lógico Programable (PLD), específicamente la GAL16V8, diseñar el Módulo de Visualizadores de Estado Lógico Hexadecimal, en el cual por medio de seis displays se visualiza el código hexadecimal de seis grupos de cuatro bits del circuito a analizar.
- El diseño exterior del Entrenador Digital permite al usuario interactuar con el prototipo de manera más directa permitiéndole visualizar sus circuitos electrónicos internos debido a que el panel frontal se encuentra ensamblado directamente sobre las tarjetas de circuito impreso.
- El innovador módulo de Analizador Digital, permite al usuario acceder fácilmente a las formas de onda de cualquier señal proveniente del circuito analizado mediante la

utilización del computador y el software Labview. Con esto el usuario puede profundizar mucho más su conocimiento acerca del comportamiento y funcionamiento de cada diseño implementado en las prácticas del Laboratorio.

- El diseño tanto interior como exterior del Entrenador Digital, motiva al usuario a interactuar con el prototipo, permitiéndole que se relacione y conozca en forma rápida cada uno de los módulos y funciones que ofrece este prototipo.
- Por último se espera que el Prototipo cumpla con todas las expectativas y requerimientos en cuanto a tamaño, a funcionamiento, a costos y a vida útil, para que se puedan construir no solo los necesarios para dotar el Laboratorio de Sistemas Digitales de la Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones sino de otras escuelas de la Universidad Industrial de Santander.

RECOMENDACIONES

- Si en el futuro es de vital importancia para la realización de alguna práctica de laboratorio algún nivel de tensión diferente al de 5V como 12V o -12V, se recomienda utilizar una fuente conmuta off-line o sea de conversión directa desde la línea AC empleando la Topología Forward o Flyback ya que ofrecen un aislamiento eléctrico y se implementa con un mínimo de componente.
- En el módulo de Generador de Onda se puede obtener un ajuste más preciso en el rango de frecuencias utilizando un potenciómetro lineal aunque esto incremente su costo.
- Señalizar mediante diodos leds el estado de encendido de cada uno de los módulos que conforman al entrenador digital.
- Aumentar las frecuencias de muestreo del Analizador Digital mediante una tarjeta de adquisición de datos, que permita potencializar aun más este dispositivo.
- Es importante manejar con cuidado el prototipo debido a que algún golpe fuerte podría causar daños considerables en su diseño exterior y también en sus circuitos electrónicos.
- Si en algún caso se requiere la reparación de algún módulo, la realización de los arreglos y cambios de dispositivos averiados se debe realizar con precaución ya que la mayoría de componentes son de Montaje Superficial y requieren de un especial trato para ser removidos y no causar algún daño en los caminos conductores de las tarjetas de circuito impreso.

BIBLIOGRAFIA

- ALBERKRACK Jade, Linear/Switchmode Voltaje Regulador Handbook, 2ª Edición, Motorola Inc. 1982.
- ALMONACID Duran Martín Alonso, PEREZ Gutiérrez Fredd, Diseño y Construcción de un Prototipo Entrenador Digital para Circuitos Lógicos Digitales, Proyecto de Grado, UIS, 1991.
- BROWN Marty, Practical Switching Power Supply Design, 1th Edition, Academic Press San Diego, C.A, 1990.
- FLOYD Thomas L. Fundamentos de Sistemas Digitales 7ª Edición, Editorial Prentice Hall, 2000.
- JIMENEZ Pugliese Carlos Fernando, Sistema de Adquisición y Control para PC por Puerto Paralelo usando DMA, Proyecto de Grado, UIS.
- LÁZARO Antonio Manuel. LabVIEW Programación Gráfica para el Control de Instrumentación. 1ª Edición, Editorial Paraninfo, 1996.
- MALVINO Albert Paul, Principios de Electrónica 3ª Edición, Editorial McGraw-Hill, 1986
- MARTÍNEZ P. Néstor Fernando, SUAREZ A. Oscar Mauricio y GRANADOS R. José Alberto, Entrenadores para el Laboratorio de Sistemas Digitales: Diseño y Construcción, Proyecto de Grado, UIS, 1998.
- RASHID, Muhammand H, Electrónica de Potencia, Circuitos, Dispositivos y Aplicaciones, 2ª Edición, Editorial Pearson Education.
- SEDRA Adel, SMITH Kenneth, Circuitos Microelectrónicos 4ª Edición, Oxford.