

**CONTROL CONMUTADO BASADO EN FPGA PARA UN CONVERTIDOR DC-  
DC**

**DAVID FERNANDO JÁCOME MINORTA  
LAURA GISELA NAVARRO MINORTA**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA**

**2013**

**CONTROL CONMUTADO BASADO EN FPGA PARA UN CONVERTIDOR DC-  
DC**

**DAVID FERNANDO JÁCOME MINORTA  
LAURA GISELA NAVARRO MINORTA**

**Trabajo de grado presentado como requisito parcial para optar al título de  
ingeniero electrónico**

**Director  
RICARDO ALZATE CASTAÑO, PhD**

**UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE  
TELECOMUNICACIONES  
BUCARAMANGA**

**2013**

*A mi mamá por ofrecerme lo mejor a su alcance, su cariño y por estar siempre dispuesta a escucharme y a ayudarme.*

*A mis hermanos por los momentos compartidos y su apoyo incondicional.*

*A mi familia por estar en los buenos y malos momentos.*

*David Fernando Jácome Minorta.*

*A Dios por todas sus bendiciones y por ser mi guía siempre.*

*A mis papás por su apoyo incondicional, su esfuerzo incansable y su amor inagotable, son la razón de mi vida.*

*A mi segunda mamá “Tiuchis” por todo su cariño y por brindarme siempre una voz de aliento.*

*A mi hermano y a la “Peque” por su cariño incondicional. A mi familia por ser el pilar de mi existencia y la razón de muchas alegrías y momentos inolvidables.*

*A Erwin López por ser mi confidente y estar conmigo en las buenas y en las malas, por ofrecerme tanto amor y felicidad.*

*Laura Gisela Navarro Minorta*

**El presente proyecto de grado forma parte de las actividades del proyecto de investigación denominado: “*Análisis del Comportamiento Dinámico de un Convertidor de Potencia Sometido a Estrategias de Control Conmutado*”, financiado por la VIE-UIS con código 5568.**

## TABLA DE CONTENIDO

<b>INTRODUCCIÓN .....</b>	<b>18</b>
<b>1. DESCRIPCIÓN DEL TRABAJO DE GRADO .....</b>	<b>21</b>
1.1 PLANTEAMIENTO Y DEFINICIÓN DEL PROBLEMA.....	21
1.2 OBJETIVOS.....	22
1.2.1 Objetivo general .....	22
1.2.2 Objetivos específicos.....	22
<b>2. DESCRIPCIÓN Y MODELAMIENTO DEL SISTEMA.....</b>	<b>24</b>
2.1 DESCRIPCIÓN GENERAL DEL SISTEMA .....	24
2.1.1 Dispositivo de sensado.....	25
2.1.2 Dispositivo programable .....	27
2.1.3 Circuito acoplador.....	28
2.1.4 Perturbaciones .....	29
2.1.5 Circuito convertidor de potencia .....	30
2.1.6 Sistema definitivo .....	32
2.2 MODELO DEL SISTEMA .....	32
2.2.1 Respuesta del sistema en lazo abierto.....	34
<b>3. DISEÑO E IMPLEMENTACIÓN DE LOS CONTROLES EN EL FPGA.....</b>	<b>38</b>
3.1 DESCRIPCIÓN GENERAL DEL LAZO DE CONTROL.....	38
3.1.1 Error .....	39
3.1.2 Tiempo de muestreo.....	39
3.1.3 Generador de PWM.....	40
3.1.4 Controlador.....	40
3.2 CONTROLADORES .....	41

3.2.1 Control PID.....	41
3.2.1.1 Cálculo de los parámetros para el controlador PID.....	42
3.2.1.2 Implementación del controlador PID en el FPGA.....	43
3.2.2 Control Óptimo .....	44
3.2.2.1 Implementación del control óptimo en el FPGA .....	45
3.2.3 Control por Modos Deslizantes .....	48
3.2.3.1 Implementación del control SMC en el FPGA.....	48
<b>4. VERIFICACIÓN DEL COMPORTAMIENTO EXPERIMENTAL DEL SISTEMA</b> .....	<b>51</b>
4.1 RESULTADOS EXPERIMENTALES DEL PID IMPLEMENTADO EN FPGA .....	51
4.2 RESULTADOS EXPERIMENTALES DEL CONTROL ÓPTIMO IMPLEMENTADO EN EL FPGA.....	53
4.3 RESULTADOS EXPERIMENTALES DEL SMC IMPLEMENTADO EN FPGA .....	55
<b>5. CONCLUSIONES .....</b>	<b>58</b>
<b>6. OBSERVACIONES .....</b>	<b>60</b>
<b>7. RECOMENDACIONES Y TRABAJO FUTURO.....</b>	<b>61</b>
<b>8. DIFUSIÓN DE RESULTADOS.....</b>	<b>61</b>
<b>9. BIBLIOGRAFÍA .....</b>	<b>62</b>

## LISTA DE FIGURAS

<b>Figura 2.1.</b> Diagrama de bloques general para el sistema experimental de control digital de un circuito convertidor de potencia. ....	25
<b>Figura 2.2.</b> Etapa 1 del circuito de sensado: conexión del divisor de tensión ...	26
<b>Figura 2.3.</b> Etapa 2 del circuito de sensado: conexión del conversor analógico a digital .....	26
<b>Figura 2.4.</b> Tarjeta Nexys 3 basada en el FPGA Xilinx Spartan 6.....	27
<b>Figura 2.5.</b> Circuito acoplador del sistema .....	29
<b>Figura 2.6.</b> Tarjeta de perturbaciones en la entrada .....	30
<b>Figura 2.7.</b> Tarjeta de perturbaciones en la carga .....	30
<b>Figura 2.8.</b> Estructura del circuito convertidor Buck implementado .....	31
<b>Figura 2.9.</b> Prototipo final para pruebas .....	32
<b>Figura 2.10.</b> Convertidor Buck en el dominio de Laplace.....	32
<b>Figura 2.11.</b> Tensión en la carga sin perturbación en lazo abierto: a) forma de onda completa; b) detalle para observar el valor final en que se establece la señal .....	34
<b>Figura 2.12.</b> Tensión en la salida ante perturbaciones en la carga en lazo abierto.....	35
<b>Figura 2.13.</b> Tensión en la carga ante perturbaciones en la fuente de tensión de entrada en lazo abierto .....	35
<b>Figura 2.14.</b> Tensión en la salida ante perturbaciones en la carga, obtenidas experimentalmente en lazo abierto. Disminuyendo (izquierda) y aumentando (derecha) la carga.....	36

<b>Figura 2.15.</b> Tensión en la carga ante perturbaciones en la fuente de suministro, obtenidas experimentalmente en lazo abierto. Disminuyendo (izquierda) y aumentando (derecha) el voltaje de entrada.....	37
<b>Figura 3.1.</b> Circuito de propósito general del lazo de control en el FPGA.....	39
<b>Figura 3.2.</b> Generación básica del PWM.....	40
<b>Figura 3.3.</b> Circuito implementado en VHDL para el controlador PID .....	43
<b>Figura 3.4.</b> Diagrama de flujo del algoritmo implementado de control óptimo...	46
<b>Figura 3.5.</b> Circuito implementado en VHDL para el controlador óptimo .....	47
<b>Figura 3.6.</b> Diagrama de flujo para el algoritmo de control SMC.....	49
<b>Figura 3.7.</b> Circuito implementado para el control por modos deslizantes .....	50
<b>Figura 4.1.</b> Tensión en la salida ante perturbaciones en la carga, bajo la acción del control PID .....	52
<b>Figura 4.2.</b> Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control PID .....	52
<b>Figura 4.3.</b> Tensión en la salida ante perturbaciones en la carga, bajo la acción del control óptimo conmutado.....	53
<b>Figura 4.4.</b> Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control óptimo conmutado .....	54
<b>Figura 4.5.</b> Tensión en la salida ante perturbaciones en la carga, bajo la acción del control por modos deslizantes .....	55
<b>Figura 4.6.</b> Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control por modos deslizantes.....	56

## LISTA DE TABLAS

<b>Tabla 2.1.</b> Características principales de la Tarjeta Nexys 3 .....	27
<b>Tabla 2.2.</b> Valores de diseño para el circuito convertidor de potencia.....	31
<b>Tabla 3.1.</b> Parámetros del controlador PID.....	42

## LISTA DE ANEXOS

<b>ANEXO A</b> .....	66
1 ANÁLISIS DEL CIRCUITO CONVERTIDOR DE POTENCIA.....	66
1.1 Análisis con interruptor cerrado.....	66
1.2 Análisis con interruptor abierto.....	67
2 Diseño del circuito convertidor.....	69
2.1 Dimensionamiento de los elementos de circuito.....	69

## RESUMEN

TÍTULO: CONTROL CONMUTADO BASADO EN FPGA PARA UN CONVERTIDOR DC-DC<sup>1</sup>.

AUTORES: DAVID FERNANDO JÁCOME MINORTA, LAURA GISELA NAVARRO MINORTA<sup>2</sup>.

PALABRAS CLAVE: FPGA, Control óptimo, Modo deslizante, Convertidor DC-DC.

### DESCRIPCIÓN:

El presente proyecto de grado aborda el diseño y la implementación de estrategias de control en el espacio de estados para gobernar la operabilidad de un circuito convertidor de potencia DC-DC en aplicaciones de baja señal. En particular, se estudia el efecto de la acción de control para afectar el comportamiento dinámico del voltaje regulado aplicado a una carga resistiva en un circuito convertidor de potencia tipo Buck.

Como principales técnicas de control no convencionales se presenta la implementación del control óptimo conmutado basado en reglas Hamiltonianas y el control por modos deslizantes (SMC), comparando su desempeño con el control PID clásico. Las implementaciones de dichas leyes de control se realizan empleando el sistema de desarrollo DIGILENT-NEXYS 3 basado en el FPGA Xilinx Spartan 6.

Una vez implementadas las acciones de control, su desempeño es valorado a partir de un conjunto de pruebas realizadas sobre el circuito convertidor, consistentes en perturbaciones en la carga y en la fuente de suministro del mismo. De los resultados obtenidos se pueden establecer medidas cuantitativas que muestran un desempeño importante de las técnicas de control propuestas respecto al PID clásico. Análisis complementarios de nuevas técnicas de control conmutado, de otras topologías de convertidor de potencia, y el escalamiento de aplicaciones a mayores niveles de potencia con posible impacto en la industria forman parte del trabajo futuro.

---

<sup>1</sup> Trabajo de grado

<sup>2</sup> Facultad de ingenierías Físico-mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director: Ricardo Alzate Castaño, PhD.

## SUMMARY

TITLE: SWITCHING CONTROL BASED ON FPGA FOR A DC-DC POWER CONVERTER<sup>3</sup>.

AUTHORS: DAVID FERNANDO JÁCOME MINORTA, LAURA GISELA NAVARRO MINORTA<sup>4</sup>.

KEYWORDS: FPGA, Optimal control, SMC, DC-DC converter.

### DESCRIPTION:

This current degree project tackles the design and implementation of control strategies in the space of states to govern the operability of a power converter circuit DC-DC low-signal applications. In particular, we study the effect of the control action to affect the dynamic behavior of regulated voltage applied to a resistive load on a power converter circuit Buck type.

As main unconventional control techniques presents the implementation of optimal commuted control which is based on Hamiltonian rules and sliding mode control (SMC), comparing their performance with classical PID control. The implementations of these control laws are performed using the development system DIGILENT-NEXYS 3 based onFPGA Xilinx Spartan 6.

Once the control actions are implemented, their performance is judged on a set of tests on the converter circuit;those tests are both load and supply source disturbances in the same system (converter circuit). From the results it can be established quantitative measures showing significant performance of the proposed control techniques compared to classical PID. As part of future works, it can be mentioned complementary analyzes of new commuted control techniques, other power converter topologies and the scale up of higher power levels applications with possible impact on the industry.

---

<sup>3</sup> Degree work.

<sup>4</sup> Physico-mechanical Engineering Faculty. School of Electrical Engineering. Supervisor: Ricardo Alzate Castaño, PhD.

## INTRODUCCIÓN

Durante las últimas décadas, los convertidores de potencia han sido estudiados con el fin de suplir necesidades tanto a nivel residencial como a nivel industrial, ya que de acuerdo a su topología transforman corriente alterna en directa (AC/DC) o directa en alterna (DC/AC) y elevan o disminuyen los niveles de tensión [14]. En la industria electrónica, la administración del consumo energético de dispositivos se ha convertido en uno de los parámetros determinantes del diseño. De esta manera, surge una fracción de mercado, conocida como “power management” que abarca las técnicas y dispositivos para que se haga una entrega eficiente de energía a las distintas partes de un sistema electrónico. Algunas de las motivaciones por las que este segmento de mercado sostiene un crecimiento rápido son: a) los sistemas portátiles y embebidos necesitan prolongar la vida de sus baterías, y asimismo reducir el consumo total de energía, b) los equipos electrónicos requieren reducir la disipación de calor para aumentar la estabilidad del sistema, reduciendo los requerimientos de refrigeración, y c) un constante interés por reducir el impacto sobre el medio ambiente que conlleva al consumo inteligente de energía y a la exploración de fuentes alternativas de la misma [2, 20].

La importancia del estudio y el desarrollo de un convertidor de potencia DC-DC se basa en probar e implementar técnicas de conmutación de bajo costo, mediante las cuales el sistema tenga un desempeño teóricamente óptimo y con alta eficiencia. Cabe mencionar, que esta última es una de las cualidades más apetecidas en estos convertidores y puede ser mejorada mediante el uso de dispositivos de conmutación, correctamente implementados, que permitan generar un bajo consumo de potencia. Desarrollos asociados a dichos requerimientos se hacen mediante plataformas digitales programables como FPGAs, presentando grandes ventajas tales como rápido tiempo de desarrollo, facilidad de reconfiguración, ejecución concurrente --que repercute en bajos tiempos de

procesamiento-- y uso de lenguajes descriptores de hardware estándar [15, 17, 9, 21].

Actualmente, la tecnología que predomina en los controladores de reguladores de tensión para dispositivos electrónicos modernos es sin lugar a dudas la analógica. Sin embargo, se ha venido dando una transición hacia la tecnología digital, lo cual agrega flexibilidad y mayor funcionalidad. De igual forma, nuevas técnicas de control basadas en modelos discontinuos, como ZAD (Zero Average Dynamics), modos deslizantes y control difuso, presentan ventajas en cuanto a desempeño, respecto a métodos de control clásico, razón que ha generado investigaciones y desarrollos de nuevas técnicas, como es el caso del esquema de control por inducción al punto fijo (FPIC), cuyo estudio es reciente [17, 9, 18, 4].

Finalmente, es importante destacar que en Colombia se han realizado diversos estudios basados en estas nuevas técnicas de control, utilizando dispositivos programables como FPGA. Dichos estudios se han abordado en trabajos como: Convertidor Boost en modo de corrección del factor de potencia usando la técnica ZAD [14]; Control de un conversor de potencia con modulador de ancho de pulso centrado usando modos deslizantes [15]; Implementación de una nueva técnica de control digital para convertidores DC-DC Y DC-AC [9]; Análisis de la dinámica de un convertidor Boost controlado con ZAD [4] e Implementación de una técnica de conmutación suave a un convertidor tipo Boost monofásico para corregir el factor de potencia [16], entre otros. Asimismo, se encuentra en ejecución desde marzo de 2012, un proyecto de investigación en la Universidad Industrial de Santander titulado "Análisis del comportamiento dinámico de un convertidor de potencia sometido a estrategias de control conmutado", cuyo objetivo principal es realizar un análisis comparativo entre las técnicas clásicas de control basados en PWM y nuevas estrategias de conmutación aplicadas al manipular el comportamiento dinámico de un circuito convertidor de potencia DC-DC, bajo la acción de perturbaciones en la carga y/o los puntos de fuente de alimentación, dichas técnicas de control conmutado serán implementadas en tecnologías de hardware

como FPGA y microcontrolador. La metodología para el análisis y el diseño del circuito convertidor de potencia y las estrategias de conmutación de control correspondiente incluye: desarrollo y simulación de modelos matemáticos en MATLAB®, y la representación circuital mediante VHDL y SPICE® herramientas CAD [1]. Debido a los alcances del proyecto de investigación, varias tareas específicas están siendo desarrolladas por estudiantes de pregrado como trabajos de grado, y uno de ellos es el nuestro: “Control conmutado basado en FPGA para un convertidor DC-DC”, en el que se ha ido trabajando, logrando avances e importantes aportes para el proyecto de investigación.

# 1. DESCRIPCIÓN DEL TRABAJO DE GRADO

## 1.1 PLANTEAMIENTO Y DEFINICIÓN DEL PROBLEMA

Los convertidores electrónicos de potencia se han consolidado como un elemento fundamental en los sistemas eléctricos debido esencialmente a su alta demanda. En particular, las topologías DC-DC (con entrada y salida de corriente continua) presentan una amplia gama de uso en tecnologías contemporáneas de dispositivos electrónicos, por ejemplo en todas aquellas que implican el uso de baterías. Este tipo de aplicaciones, cada vez más exigen rapidez de respuesta y estabilidad frente a perturbaciones, además de una alta eficiencia. En algunos casos prácticos estas características son difíciles de alcanzar como consecuencia principal de la naturaleza no-lineal que presentan dichos sistemas (convertidores) ante determinados regímenes de operación.

Debido a esto, el control de convertidores de potencia conmutados se convierte en un área de investigación muy activa tanto en electrónica de potencia como en teoría de control automático. Una alternativa aceptada para estudiar este tipo de fenómenos dinámicos, la constituyen los denominados sistemas híbridos (hybrid dynamical systems) que modelan el comportamiento dinámico del sistema mediante discontinuidades seleccionadas a partir de leyes de conmutación (control conmutado). Como estrategia de control para estos sistemas una solución válida corresponde a las técnicas en el espacio de estados, que a pesar de presentar ventajas para implementación computacional requieren de procedimientos metodológicos que faciliten ejecuciones eficientes de dichas técnicas (algunas veces de complejidad considerable) sobre dispositivos dedicados.

Por todo lo anterior, alrededor de esta temática es válido plantearse inquietudes de investigación como las siguientes: ¿Qué ventajas y/o desventajas presentan estrategias avanzadas de control respecto a las convencionales, en el

comportamiento de circuitos convertidores de potencia? ¿Qué tipo de mejoras en el desempeño de un convertidor DC-DC implica una técnica de control en el espacio de estados? ¿Presenta dicha técnica de control suficiente viabilidad para implementación y ejecución en un FPGA?

El presente proyecto de grado busca realizar aportes y obtener resultados direccionados a la resolución de estas inquietudes, constituyendo una base para posteriores desarrollos afines al interior del grupo de investigación CEMOS que permitan abordar de manera profunda esta temática en el contexto del área estratégica de *Energías* de la Universidad Industrial de Santander.

## **1.2 OBJETIVOS**

### **1.2.1 Objetivo general**

- Implementar una estrategia de control en el espacio de estados para un convertidor DC-DC empleando un FPGA.

### **1.2.2 Objetivos específicos**

- Seleccionar e implementar una topología de convertidor DC-DC para aplicaciones de baja potencia.
- Diseñar una estrategia de control en el espacio de estados que permita mejorar el desempeño del convertidor ante perturbaciones de entrada y/o de carga.
- Implementar la técnica de control diseñada sobre un dispositivo digital de arquitectura configurable.

- Desarrollar un procedimiento de prueba para verificar la validez de la estrategia de control implementada.

## 2. DESCRIPCIÓN Y MODELAMIENTO DEL SISTEMA

En este capítulo se ilustra la implementación circuital del convertidor de potencia DC-DC tipo Buck, con sus respectivos parámetros de diseño y las demás etapas de hardware construidas para realizar la verificación experimental de las predicciones analíticas respecto al comportamiento dinámico del sistema. Asimismo se describe el funcionamiento y el diseño de cada etapa del prototipo experimental en forma detallada.

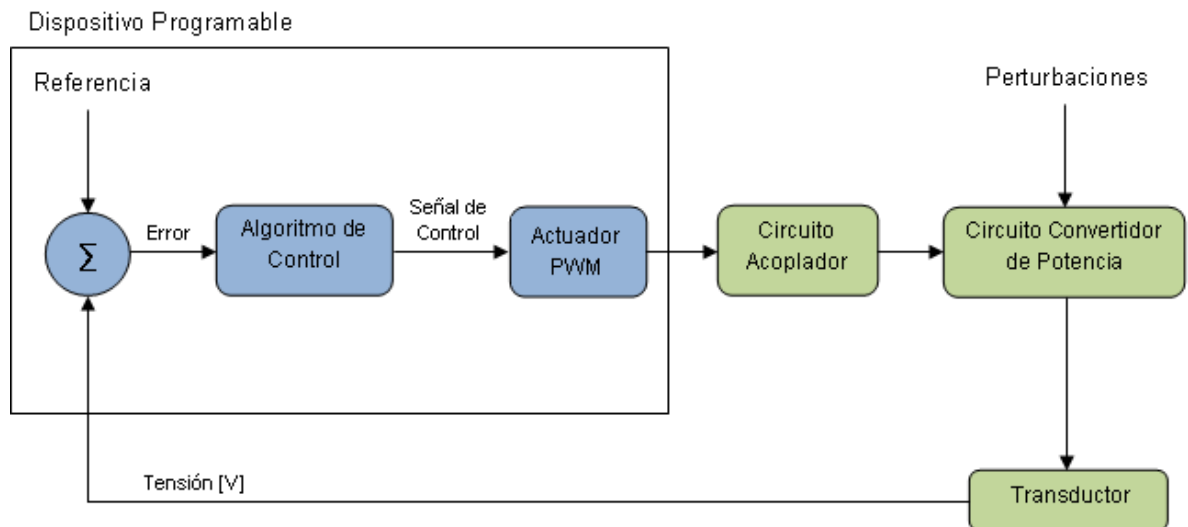
### 2.1 DESCRIPCIÓN GENERAL DEL SISTEMA

En la Figura 2.1 se muestra el diagrama de bloques general para el sistema implementado. A partir de este diagrama se configuraron elementos de hardware como se describe a continuación:

- **Dispositivo de sensado:** también llamado transductor, fue usado un convertidor analógico a digital, que mide la tensión en una bombilla halógena de DC como carga del sistema.
- **Dispositivo programable:** como plataforma de programación fue empleado un FPGA. En este dispositivo se ejecutan los diferentes algoritmos de control empleados como rutinas para la corrección del error.
- **Circuito acoplador:** dispositivo encargado de convertir la señal obtenida de la plataforma de programación (PWM) en una señal con los niveles de tensión y corriente adecuados para el convertidor DC-DC.
- **Perturbaciones:** estas fueron construidas con el fin de alterar el comportamiento del sistema, y básicamente modifican tanto el valor nominal de la carga como el valor nominal de la tensión de entrada del circuito convertidor de potencia DC-DC.
- **Circuito de potencia:** este es un convertidor DC-DC reductor al que se le van a aplicar diferentes técnicas de control con el fin de que no se altere su

comportamiento en la salida ante perturbaciones en la entrada y en la carga.

**Figura 2.1.** Diagrama de bloques general para el sistema experimental de control digital de un circuito convertidor de potencia.

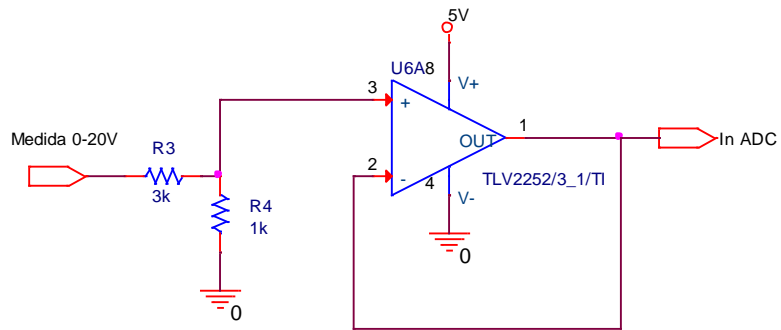


Fuente: Autores

### 2.1.1 Dispositivo de sensado

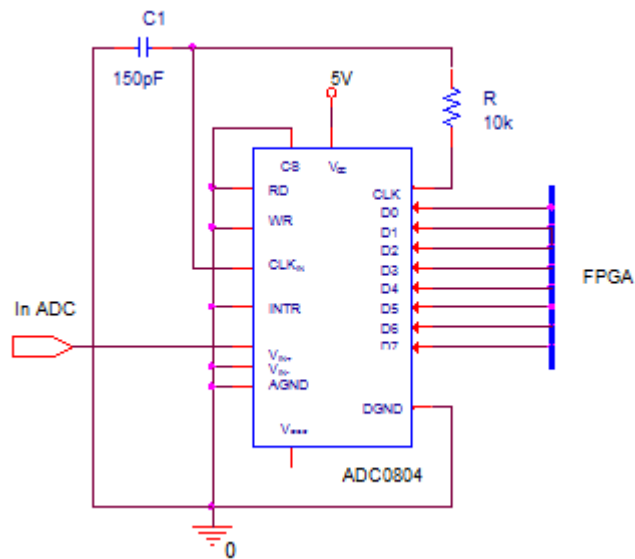
El circuito de sensado cuenta con dos etapas: la primera es un amplificador operacional (TLV2252) conectado como seguidor, con el fin de mantener los niveles de voltaje obtenidos de un divisor de tensión sencillo usado para adaptar la salida del circuito convertidor DC-DC, que va de 0 [V] a 20 [V] a la entrada del conversor analógico digital (ADC0804) que corresponde a la segunda etapa del sensado, ya que este permite una entrada de 0 [V] a 5 [V]. Es importante mencionar que una característica crítica para elegir estos dispositivos fue la frecuencia de trabajo. En las Figuras 2.2 y 2.3 se muestran las conexiones hechas para la etapa 1 y 2 del circuito de sensado respectivamente.

**Figura 2.2.** Etapa 1 del circuito de sensado: conexión del divisor de tensión.



Fuente: Autores

**Figura 2.3.** Etapa 2 del circuito de sensado: conexión del conversor analógico a digital.

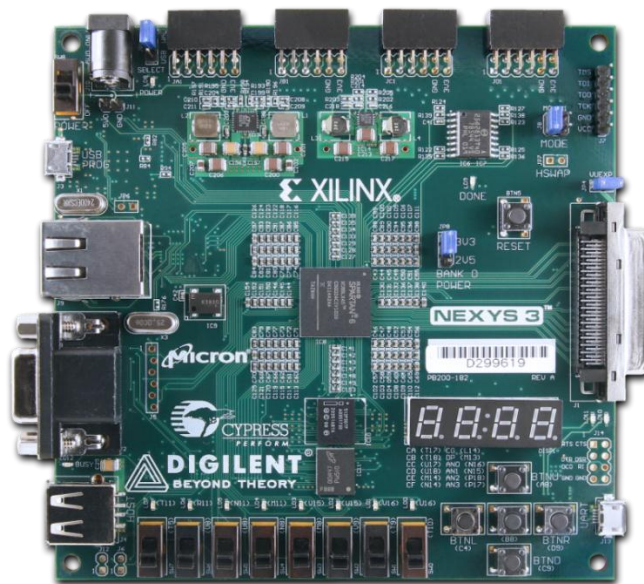


Fuente: Autores

### 2.1.2 Dispositivo programable

Para la implementación y desarrollo de los algoritmos de control fue usado el sistema de desarrollo DIGILENT-NEXYS 3 basado en el FPGA Xilinx Spartan 6. En la Figura 2.4 se observa la apariencia física de la tarjeta con principales características listadas en la Tabla 2.1.

**Figura 2.4.** Tarjeta Nexys 3 basada en el FPGA Xilinx Spartan 6.



Fuente: [www.digilent.com](http://www.digilent.com)

**Tabla 2.1.** Características principales de la Tarjeta Nexys 3.

<b>CARACTERÍSTICAS PRINCIPALES</b>
Xilinx Spartan-6 LX16 FPGA cuenta con un empaquetado BGA de 324-pines

16Mbyte RAM (x16)
16Mbytes SPI PCM quad mode
16Mbytes PCM paralelo, memoria no volátil
10/100 Ethernet PHY
Alimentación por USB (también se puede conectar a la toma de energía)
Puerto USB2 en la tarjeta para programar
Puerto USB-UART y USB-HID (para mouse / teclado)
Puerto de 8-bit VGA
Oscilador CMOS de 100MHz
72 E/S dirigidas para conectores de expansión
GPIO incluye 8 LEDs, 6 botones, 8 switches y un visualizador de siete segmentos de 4 dígitos
Cable USB2 incluido para programación

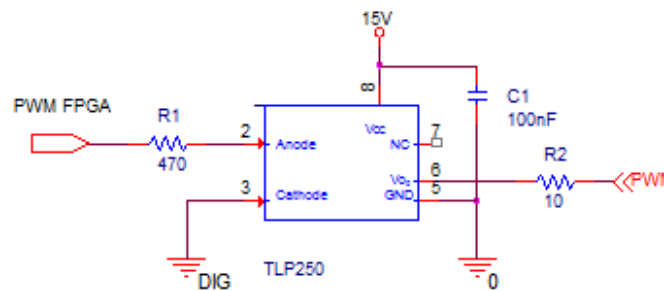
Fuente: [www.digilent.com](http://www.digilent.com)

### 2.1.3 Circuito acoplador

Con la finalidad de aislar la tierra analógica de la tierra digital, se usó un optoacoplador debido a su interconexión óptica para proteger el dispositivo programable de picos de tensión o corriente. Se eligió el TLP250 debido a que

trabaja a una frecuencia mayor a la que conmuta el convertidor de potencia DC-DC y además porque es un optoacoplador acondicionador de señal para compuerta de MOSFETs, el cual permite amplificar la señal de PWM dada por la plataforma programable a un nivel adecuado para el circuito convertidor. La configuración usada para esta etapa fue proporcionada por la hoja de datos del fabricante y es la mostrada en la Figura 2.5.

**Figura 2.5.** Circuito acoplador del sistema.

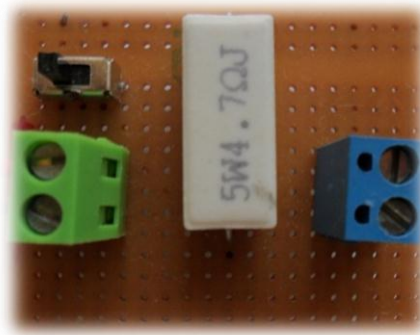


Fuente: Autores

#### 2.1.4 Perturbaciones

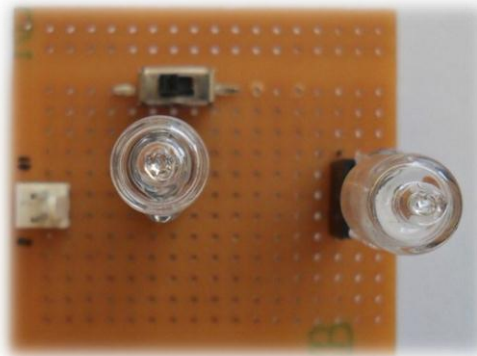
Se construyeron dos circuitos de perturbaciones: uno para la entrada de tensión al convertidor DC-DC que consta de un interruptor y una resistencia cerámica de  $4.6[\Omega] / 5[W]$  que al ser conectada a la rama de alimentación, causa una caída de voltaje del 15%. Esta tarjeta se puede observar en la Figura 2.6. El otro corresponde con un arreglo de interruptores manuales que modifican el valor nominal de la carga (aumentándola en un 50% y 100% aproximadamente), tras ubicar bombillas en serie sobre la misma rama del circuito donde se localiza la carga original, como se muestra en la Figura 2.7.

**Figura 2.6.** Tarjeta de perturbaciones en la entrada.



Fuente: Autores

**Figura 2.7.** Tarjeta de perturbaciones en la carga.



Fuente: Autores

### **2.1.5 Circuito convertidor de potencia**

Este convertidor DC-DC reductor, mejor conocido como Buck, es un circuito eléctrico constituido por elementos pasivos que proporciona niveles de tensión DC en su salida inferiores a la tensión DC aplicada en su entrada, a partir de la acción controlada de un conmutador electrónico [12, 6]. El circuito implementado posee

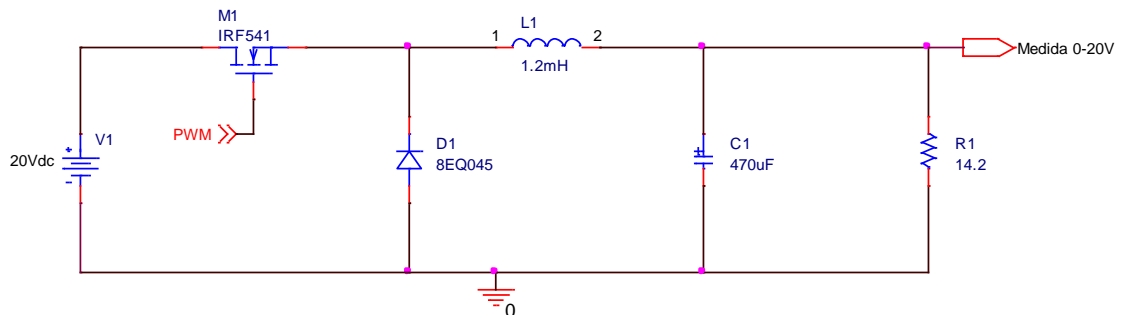
los valores circuitales incluidos en la Tabla 2.2 y su estructura se puede observar en la Figura 2.8.

**Tabla 2.2.** Valores de diseño para el circuito convertidor de potencia.

PARÁMETRO	VALOR
Tensión de entrada $V_x$	20 [V]
Tensión en la carga $V_o$	8 [V]
Resistencia de carga $R_L$	14.2 [ $\Omega$ ]
Tensión de rizado $\Delta V_o$	0.6% $V_o$
Frecuencia de conmutación	10 [kHz]
Ciclo útil del PWM	40 [%]
Inductancia L	1.2 [mH]
Capacitor C	470 [ $\mu$ F]

Fuente: Autores

**Figura 2.8.** Estructura del circuito convertidor Buck implementado.

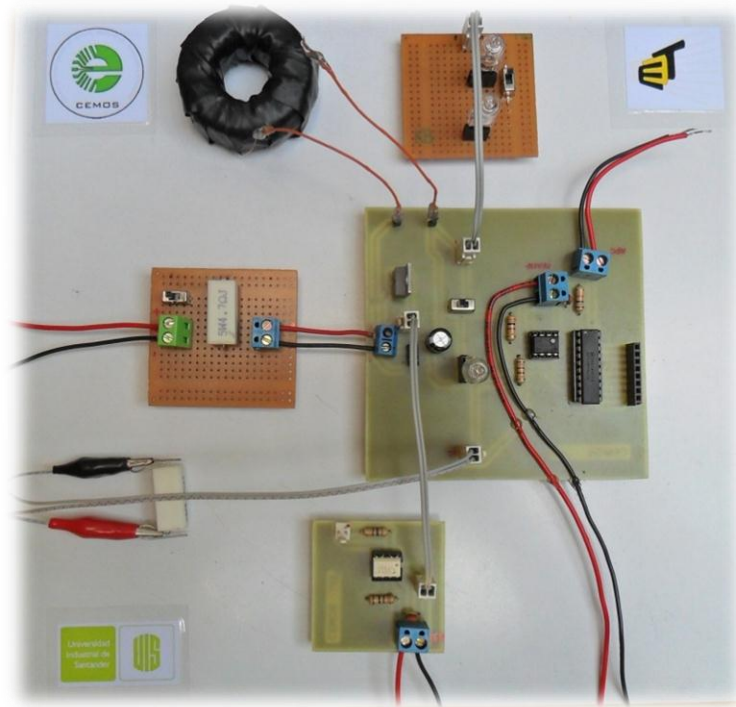


Fuente: Autores

### 2.1.6 Sistema definitivo

Una vez constituidas cada una de las etapas anteriormente descritas, fueron interconectadas dando como resultado el prototipo mostrado en la Figura 2.9, con el que se hicieron cada una de las pruebas que serán mostradas posteriormente en el capítulo 4.

**Figura 2.9.** Prototipo final para pruebas.



Fuente: Autores

## 2.2 MODELO DEL SISTEMA

Primero se obtuvo la relación en el dominio de Laplace para la tensión de salida del circuito convertidor tipo Buck (ver Figura 2.8) respecto a la tensión en el

terminal de salida del interruptor, tal y como se ilustra en la Figura 2.10. La función de transferencia resultante está dada por la ecuación 2.1:

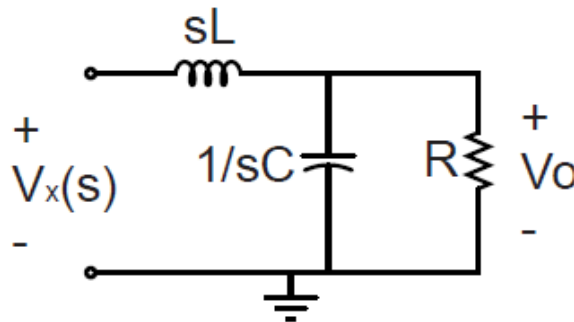
$$\frac{V_o(s)}{V_x(s)} = \frac{V_o(s)}{V_s D(s)} = \frac{1}{LC \left[ s^2 + \left( \frac{1}{RC} \right) s + \frac{1}{LC} \right]}$$

$$\frac{V_o(s)}{D(s)} = \frac{\frac{V_s}{LC}}{\left[ s^2 + \left( \frac{1}{RC} \right) s + \frac{1}{LC} \right]} \quad (2.1)$$

Donde  $V_x(s) = V_s \cdot D(s)$  representa la equivalencia de la tensión a la salida del interruptor como un porcentaje variable  $D(s)$  del voltaje de suministro constante  $V_s$  (ciclo útil, ver ecuación A.11 en el anexo A). Sustituyendo los valores de los elementos de circuito se obtiene:

$$\frac{V_o(s)}{D(s)} = \frac{35.461 * 10^6}{[s^2 + 149.835s + 1.773 * 10^6]} \quad (2.2)$$

**Figura 2.10.** Convertidor Buck en el dominio de Laplace.



Fuente: Tomado de [14]

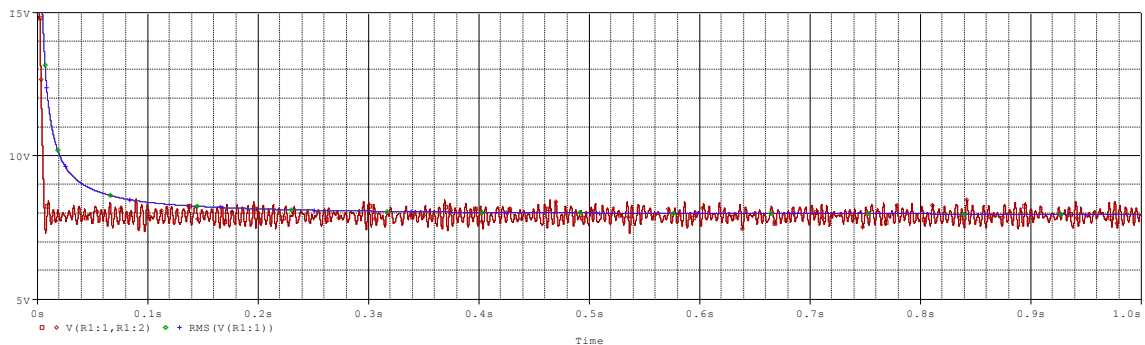
## 2.2.1 Respuesta del sistema en lazo abierto

El convertidor de potencia de la Figura 2.8 fue implementado y simulado en ORCAD-CADENCE®. En el circuito se observa la actuación sobre la compuerta del dispositivo de conmutación, realizada a través de una señal de PWM.

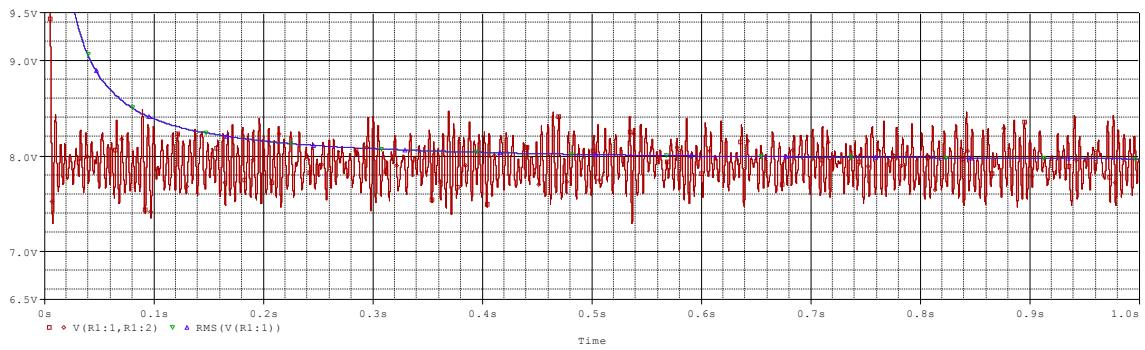
En la Figura 2.11 se visualiza la tensión a la salida del circuito en ausencia de perturbaciones y se verifica que los niveles de voltaje son cercanos al valor nominal requerido de 8 [V]. Por otro lado, en la Figura 2.12 se muestra la tensión en la salida bajo la acción de perturbaciones (valor nominal aumentado 50% durante 0.3 [s] y 100% durante 0.4 [s]). Asimismo, se observa en la Figura 2.13 la tensión en la carga, perturbando la fuente de suministro (valor nominal disminuido 15% durante 0.5 [s]).

**Figura 2.11.** Tensión en la carga sin perturbación en lazo abierto: a) forma de onda completa; b) detalle para observar el valor final en que se establece la señal.

a)

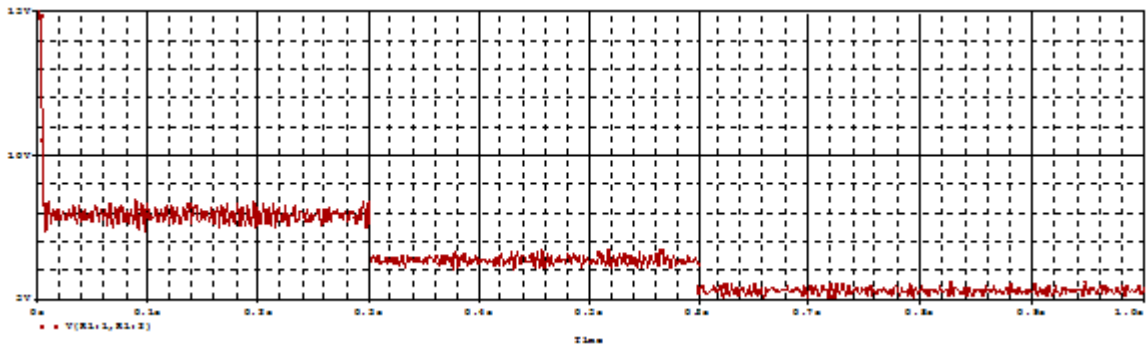


b)



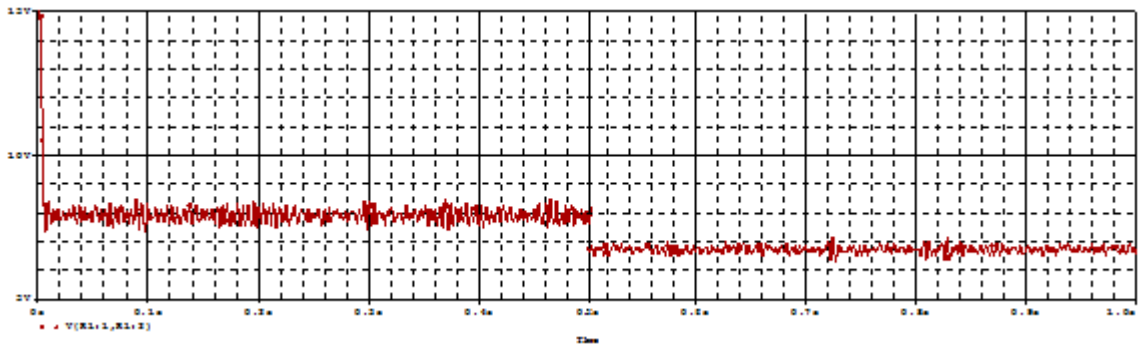
Fuente: Autores

**Figura 2.12.** Tensión en la salida ante perturbaciones en la carga en lazo abierto.



Fuente: Autores

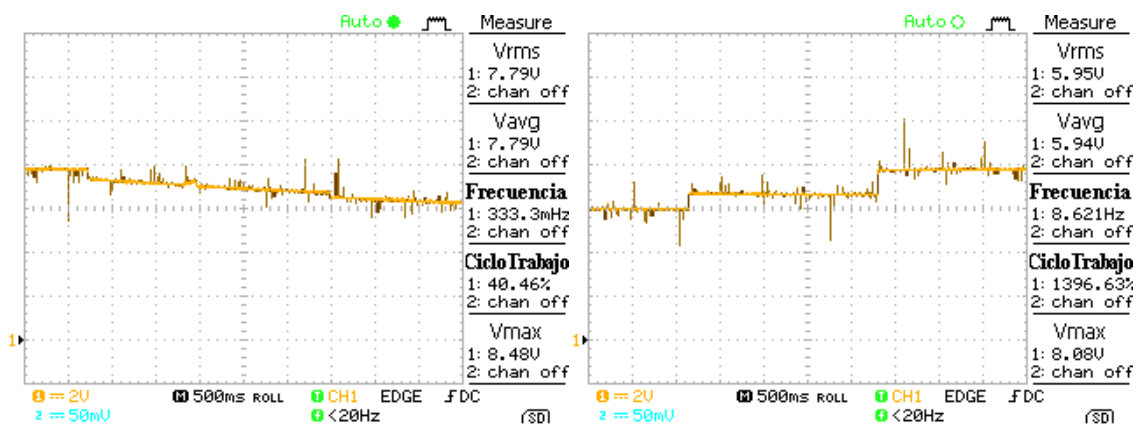
**Figura 2.13.** Tensión en la carga ante perturbaciones en la fuente de tensión de entrada en lazo abierto.



Fuente: Autores

Empleando el montaje desarrollado se replicaron experimentalmente las pruebas de simulación, dando como resultado las gráficas visualizadas en las Figuras 2.14 y 2.15 las cuales muestran la tensión en la salida del convertidor ante perturbaciones en la carga y en la entrada respectivamente.

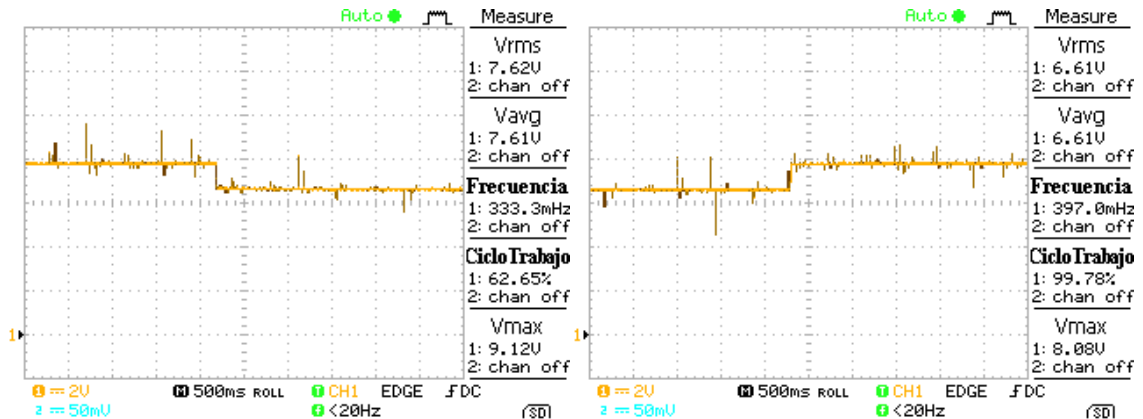
**Figura 2.14.** Tensión en la salida ante perturbaciones en la carga, obtenidas experimentalmente en lazo abierto. Disminuyendo (izquierda) y aumentando (derecha) la carga.



Fuente: Autores

Las gráficas anteriores fueron obtenidas tras aplicar al sistema una serie de perturbaciones en la carga, aumentando su valor en un 50% y 100% de su valor original. Como es de esperarse, el valor de la tensión en la salida disminuye significativamente, alejándose de la referencia que son 8 [V]. Como el sistema está funcionando en lazo abierto, al recibir las perturbaciones el ciclo útil del PWM no varía, es decir permanece en el 40%, valor insuficiente para mantener la tensión de salida en el valor deseado, ya que el circuito demanda más energía y no tiene forma de producirla.

**Figura 2.15.** Tensión en la carga ante perturbaciones en la fuente de suministro, obtenidas experimentalmente en lazo abierto. Disminuyendo (izquierda) y aumentando (derecha) el voltaje de entrada.



Fuente: Autores

De acuerdo a las gráficas obtenidas experimentalmente bajo la acción de perturbaciones en la fuente de suministro (disminuyéndola en un 15% de su valor original) se puede observar una disminución considerable en la tensión de salida del circuito en comparación a la esperada. Debido a la configuración en lazo abierto del sistema, éste no cuenta con una señal de control que le indique al generador de PWM variar su ciclo útil, para compensar de esta forma la energía faltante ante cada perturbación.

A partir de estos resultados experimentales se puede verificar la concordancia cualitativa entre el comportamiento del sistema simulado y su correspondiente realización circuital. En particular, es evidente la incapacidad del circuito convertidor de potencia para mantener los valores de salida cuando se aplican perturbaciones sobre el mismo.

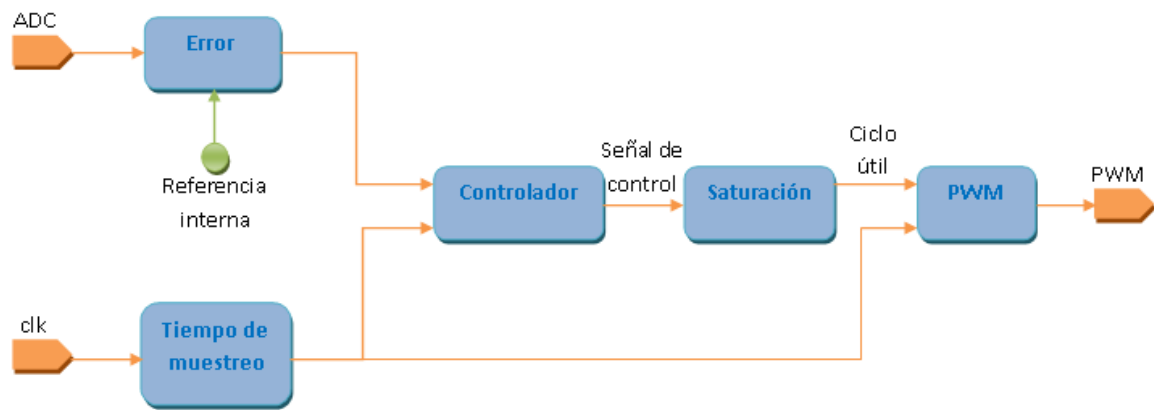
### **3. DISEÑO E IMPLEMENTACIÓN DE LOS CONTROLES EN EL FPGA**

Con el sistema debidamente modelado, construido e instrumentado, se procede con el diseño y la implementación de los controladores en la plataforma de trabajo (sistema de desarrollo DIGILENT-NEXYS 3 basado en el FPGA Xilinx Spartan 6), con el fin de manipular adecuadamente el comportamiento del circuito convertidor de potencia DC-DC ante perturbaciones en la entrada y en la carga. Inicialmente, se presentarán los componentes comunes entre los diferentes tipos de controles: PID y Control Óptimo, ya que estos controlan el ciclo de trabajo de un PWM, de acuerdo a lo requerido. Asimismo, se presentará el diseño específico del controlador como tal, además se describirá detalladamente el Control por Modos Deslizantes que a diferencia de los otros controles no cuenta con un módulo de generación de modulación por anchos de pulso (PWM). Los desarrollos presentados en el presente capítulo utilizan como base los resultados presentados en [8] y [13].

#### **3.1 DESCRIPCIÓN GENERAL DEL LAZO DE CONTROL**

Se implementó en el FPGA un circuito de propósito general, con la finalidad de que sólo el componente “controlador” sea reemplazado por el algoritmo de control requerido, sin que los otros componentes presenten cambios significativos. En la Figura 3.1 se observa el circuito de propósito general implementado que consta de un componente que realiza el cálculo del error, otro componente contador que genera el período de muestreo, el controlador que es modificado de acuerdo al algoritmo requerido y por último el generador de PWM que responde a la señal de control y es la salida hacia la planta.

**Figura 3.1.** Circuito de propósito general del lazo de control en el FPGA.



Fuente: Autores

### 3.1.1 Error

El bloque “Error” tiene como función leer los datos que vienen del ADC, correspondientes a la tensión en la salida del circuito convertidor de potencia, y posteriormente hacer una resta entre esta variable y la referencia, que corresponde con una constante igual a los 8 [V] deseados en la salida. La señal que sale de este bloque es la que permite que el “Controlador” actúe y corrija si se presentan perturbaciones.

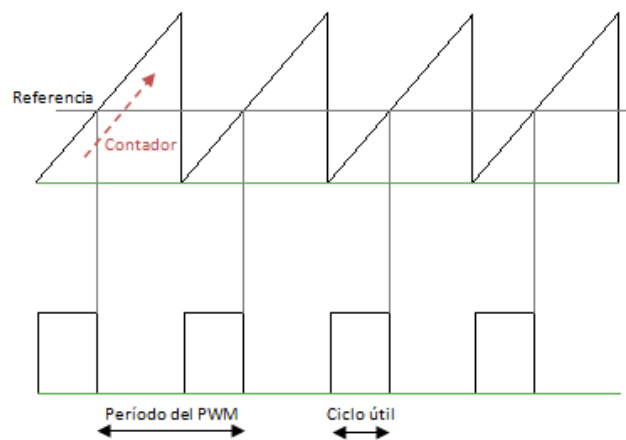
### 3.1.2 Tiempo de muestreo

Este bloque es básicamente un contador de pulsos del reloj interno de la tarjeta Nexys 3, el cual tiene una frecuencia de 100 [MHz], es decir que su período es de 10 [ns]. El valor final del contador es ajustado dependiendo del tiempo de muestreo que necesita cada control.

### 3.1.3 Generador de PWM

El generador de PWM posee un divisor de frecuencia que origina 256 pulsos para el ciclo de trabajo en cada período del PWM. La base de este bloque es una señal diente de sierra (entre 0 y 255) que es comparada todo el tiempo con la entrada a este módulo que corresponde con la señal de control. De esta manera se va a producir un '1' mientras el valor de la señal diente de sierra sea menor a la entrada, de lo contrario la salida es un '0'. Es así como fue generada la señal de PWM con ciclo útil variable. En la Figura 3.2 se observa el funcionamiento básico de este bloque.

**Figura 3.2.** Generación básica del PWM.



Fuente: Autores

### 3.1.4 Controlador

Bloque que transforma la señal de error en una señal de gobierno o de control, a través de las reglas matemáticas y las realizaciones lógicas descritas a continuación en la sección 3.2.

## 3.2 CONTROLADORES

### 3.2.1 Control PID

Una de las técnicas de control automático más conocidas y utilizadas en la industria es sin duda el control proporcional-integral-derivativo (PID). En su forma de diseño de tiempo continuo (diseñado por ejemplo mediante el lugar de las raíces), se hace necesario obtener una ecuación en diferencias discreta a partir de la ecuación diferencial continua que define el controlador.

La acción de control PID toma la forma dada por la ecuación (3.1), siendo  $K_p$ ,  $K_i$  y  $K_d$  respectivamente las constantes de ganancia proporcional, integral y derivativa, al igual que  $e(t)$  representa la señal de error [11].

$$u(t) = K_p \left( e(t) + \frac{1}{T_i} \int_0^t e(t) dt + T_d \frac{de(t)}{dt} \right) \Rightarrow K_p e(t) + K_i \int_0^t e(t) dt + K_d \frac{de(t)}{dt} \quad (3.1)$$

La discretización del control consiste en aproximar la ecuación diferencial anterior obteniendo  $u(kT)$  a partir de los valores de  $e(t)$  en los periodos de muestreo, es decir a partir de  $e(T)$ ,  $e(2T)$ , etc.

La aproximación más fácil de la derivada es:

$$\frac{de(kt)}{dt} \approx \frac{e(kT) - e((k-1)T)}{T} \quad (3.2)$$

Mientras que la integral se puede aproximar como:

$$\int_0^{kT} e(t) dt \approx \sum_{j=0}^{k-1} e(jT) * T \quad (3.3)$$

Para efectos de la implementación digital del controlador, se considera la función de transferencia equivalente discreta sugerida en [3] (función de transferencia

pulso para el controlador PID), dada por la expresión (3.4) donde  $T$  equivale al periodo de discretización.

$$C(z) = \frac{U(z)}{E(z)} = \frac{\left(K_p + K_i \frac{T}{2} + \frac{K_d}{T}\right) z^2 + \left(-K_p + K_i \frac{T}{2} - \frac{2K_d}{T}\right) z + \frac{K_d}{T}}{z^2 - z} \quad (3.4)$$

Posterior a efectuar la manipulación matemática de la ecuación (3.4) es posible obtener la expresión para la ecuación en diferencias que permite relacionar la secuencia de control como una función de la secuencia de error, tal y como se observa en la ecuación (3.5).

$$u[k] = u[k - 1] + \left(K_p + K_i \frac{T}{2} + \frac{K_d}{T}\right) e[k] + \left(-K_p + K_i \frac{T}{2} - \frac{2K_d}{T}\right) e[k - 1] + \frac{K_d}{T} e[k - 2] \quad (3.5)$$

### 3.2.1.1 Cálculo de los parámetros para el controlador PID

Para sintonizar las constantes del controlador se analiza la respuesta del modelo del circuito dado por la ecuación (2.2) y empleando métodos convencionales de diseño se determinan los parámetros del controlador PID que permiten corregir la respuesta del sistema en lazo cerrado. Los valores obtenidos para cada uno de los parámetros se exponen en la Tabla 3.1.

**Tabla 3.1.** Parámetros del controlador PID.

VALORES PARAMETROS PID	
$K_p$	2.3
$K_d$	$70 \cdot 10^3$

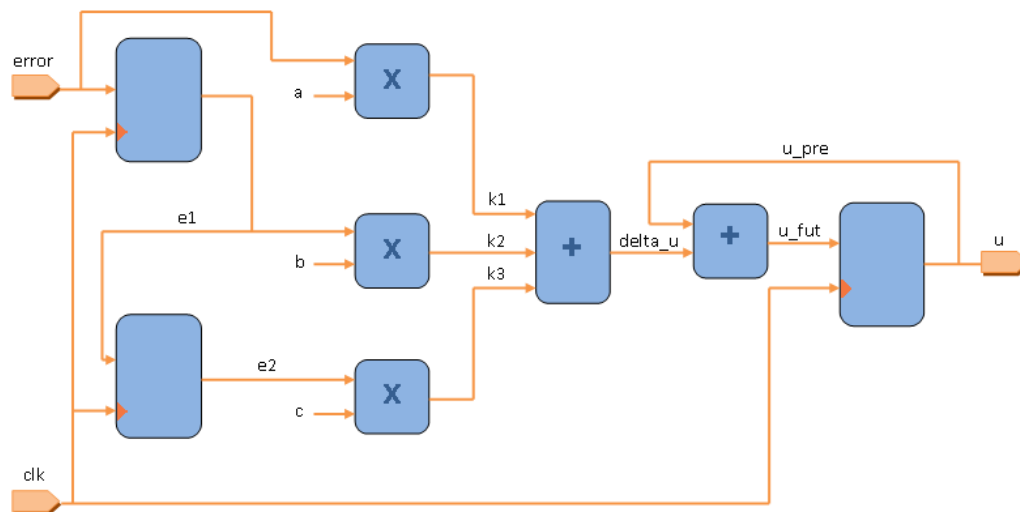
$K_i$	$11 \cdot 10^{-3}$
$T$	1 [ms]

Fuente: Autores

### 3.2.1.2 Implementación del controlador PID en el FPGA

Con los resultados obtenidos para las constantes  $K_p$ ,  $K_i$  y  $K_d$ , se procede a la implementación del controlador en VHDL, para ello se hace necesaria la construcción de tres registros, uno para la salida de la señal de control y otros para almacenar los valores de los dos errores anteriores, tres multiplicadores para realizar el producto entre la señal de error y los respectivos coeficientes de la ecuación en diferencias, y por último dos sumadores que realizan la adición de los términos de toda la ecuación, como se observa en la Figura 3.3.

**Figura 3.3.** Circuito implementado en VHDL para el controlador PID.



Fuente: Autores

### 3.2.2 Control Óptimo

El control óptimo tiene como objetivo principal minimizar un funcional de costo  $J$  a partir de la utilización del principio del máximo de Pontryagin [5]. En esencia, el problema del control óptimo puede enunciarse como la búsqueda para una función o señal de control  $u(t)$  que, perteneciente a un conjunto admisible  $U$  que impone sobre  $u(t)$  algunas restricciones, permite minimizar un índice de desempeño o funcional de costo  $J$ , definido a su vez como una función de los estados del sistema a través de la acción de control. Para el caso de un convertidor Buck como el analizado se propone minimizar la energía del error según se expresa en (3.6).

$$J = \int_0^T (x_1(t) - x_{1d}(t))^2 dt \quad (3.6)$$

Donde,

$x_1(t)$ : Valor medido, y  $x_{1d}(t)$ : Valor deseado

Desde el punto de vista matemático, existen diferentes maneras de abordar la solución para un problema de optimización con restricciones. En este proyecto se propone el método basado en el principio del máximo de Pontryagin [5], el cual sugiere que minimizar  $J$  en (3.6) equivale a maximizar la función Hamiltoniana dada en (3.7) sujeto a las restricciones impuestas en (3.8),

$$H = -(x_1(t) - x_{1d}(t))^2 \quad (3.7)$$

$$U = \{u(t): 0 \leq u(t) < 1\} \quad (3.8)$$

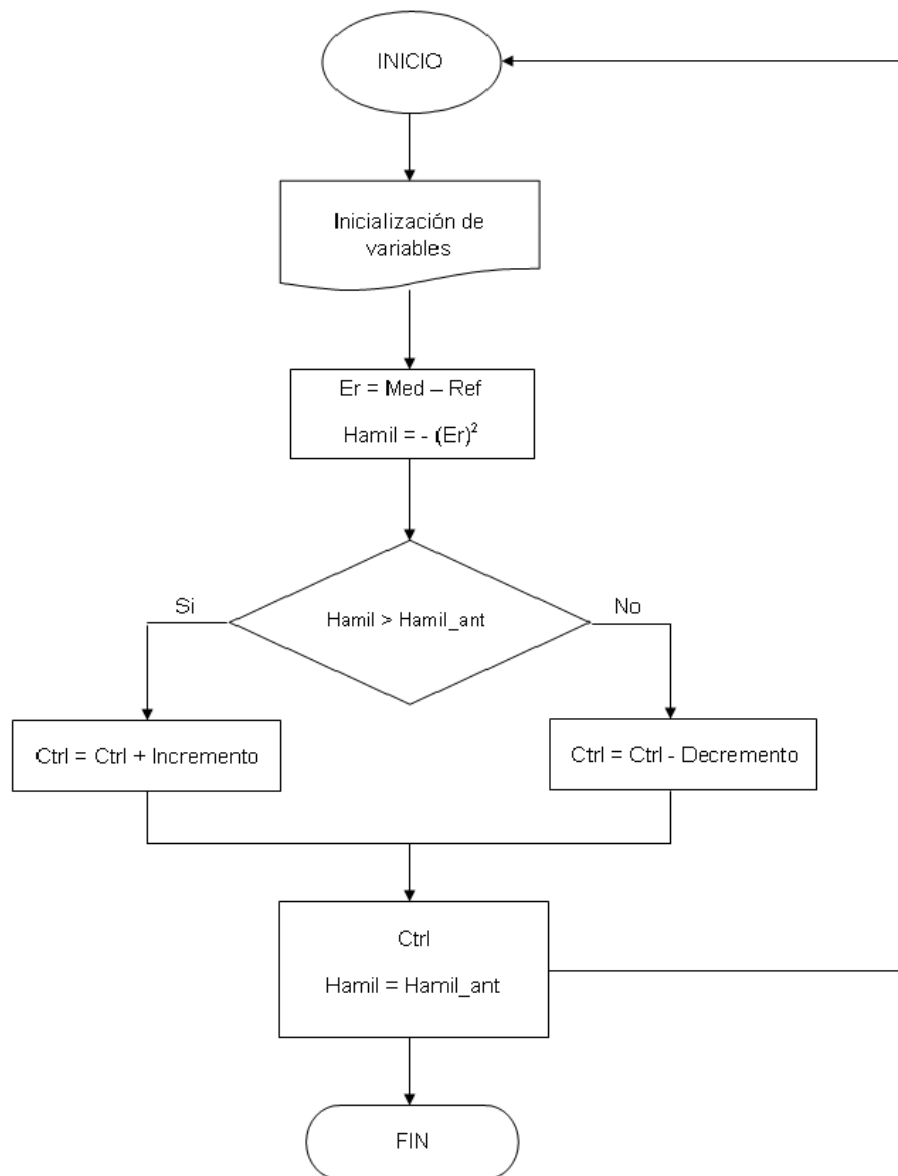
Es importante mencionar que la restricción (3.8) implica un rango de variación para la señal de control correspondiente al ciclo útil del PWM, aplicada al dispositivo de conmutación del circuito.

Una revisión más detallada de los fundamentos conceptuales del control óptimo, así como los desarrollos teóricos requeridos para implementar la técnica en el sistema analizado, se pueden encontrar en [8].

### **3.2.2.1 Implementación del control óptimo en el FPGA**

El algoritmo implementado para dar solución al problema de control óptimo se muestra en forma de diagrama de flujo en la Figura 3.4. En el algoritmo, se supone un valor cualquiera para la señal de control dentro del intervalo de restricción ( $0 \leq u(t) \leq 1$ ). Con esta condición de control inicial se determina la respectiva trayectoria de estado  $x(t)$  dentro del intervalo  $0 \leq t \leq T$ , a partir de lo cual se calcula un valor del Hamiltoniano al final de dicho período. El valor calculado para el Hamiltoniano se compara con el correspondiente a un período anterior y si el valor actual es mayor que el anterior, se incrementa el valor de la señal de control al interior del conjunto admisible, en caso contrario se disminuye. El anterior proceso se repite para cada intervalo, determinando numéricamente los valores de la señal de control  $u(t)$  que ajustados a las restricciones, maximizan el valor del Hamiltoniano  $H(\lambda, x, u)$  (3.7) y por consiguiente minimizan la función objetivo dada en (3.6).

**Figura 3.4.** Diagrama de flujo del algoritmo implementado de control óptimo.

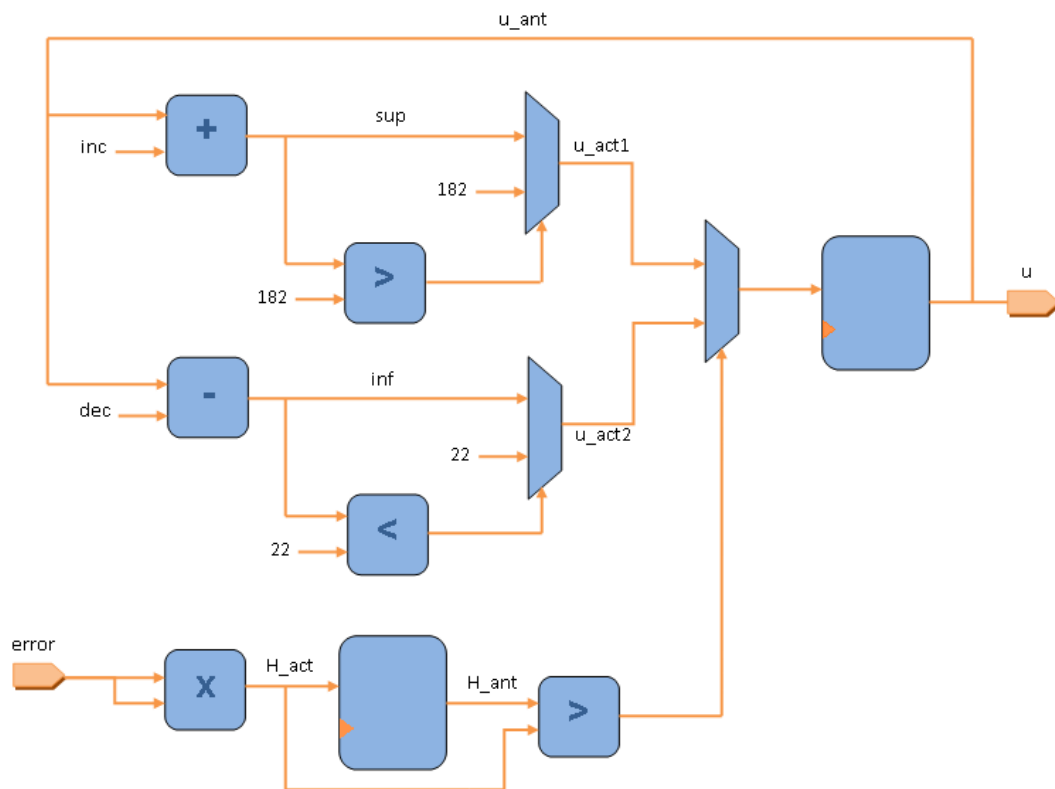


Fuente: Autores

Teniendo una idea lógica y clara del algoritmo, se procedió a la implementación en VHDL del control óptimo que se hizo relativamente sencilla. En la Figura 3.5 se observa dicha implementación, en la que se eleva el error al cuadrado, obteniendo

el Hamiltoniano negativo. Luego se hace una comparación, si el valor actual es menor que el correspondiente a un ciclo anterior, entonces se incrementa la señal de control en intervalos de 21 unidades, hasta 182 que es el límite superior, de lo contrario disminuye en intervalos de 15 unidades, hasta 22 que es el límite inferior. Estos límites corresponden al ciclo útil del PWM soportados por la planta, tras las pruebas en lazo abierto. Por otro lado, es importante aclarar que las unidades en las que se aumenta o disminuye la señal de control no tienen parámetros establecidos en la teoría, por lo que estos valores fueron encontrados de forma empírica mediante ensayo y error.

**Figura 3.5.** Circuito implementado en VHDL para el controlador óptimo.



Fuente: Autores

### 3.2.3 Control por Modos Deslizantes

La técnica de control por modos deslizantes (SMC de su sigla en inglés) constituye una acción de tipo robusto en el espacio de estados que, fundamentalmente reduce de un espacio n-dimensional a un caso escalar, el problema de convergencia asintótica hacia cero del error en el lazo de realimentación del sistema [19]. En otras palabras, si se define como superficie de deslizamiento  $s(t)$  a la diferencia entre el valor deseado  $x_{1d}(t)$  y medido  $x_1(t)$  para la tensión en la resistencia de carga  $R_L$  del circuito convertidor de potencia DC-DC Buck tal y como se expresa en (3.9),

$$s(t) = x_1(t) - x_{1d}(t) \quad (3.9)$$

es posible forzar la convergencia de la trayectoria en el espacio de estados a caer en un tiempo finito sobre dicha superficie mediante la acción de control por modos deslizantes definida en (3.10).

$$u(t) = \frac{1}{2}(1 - \text{sgn}(s)) \quad (3.10)$$

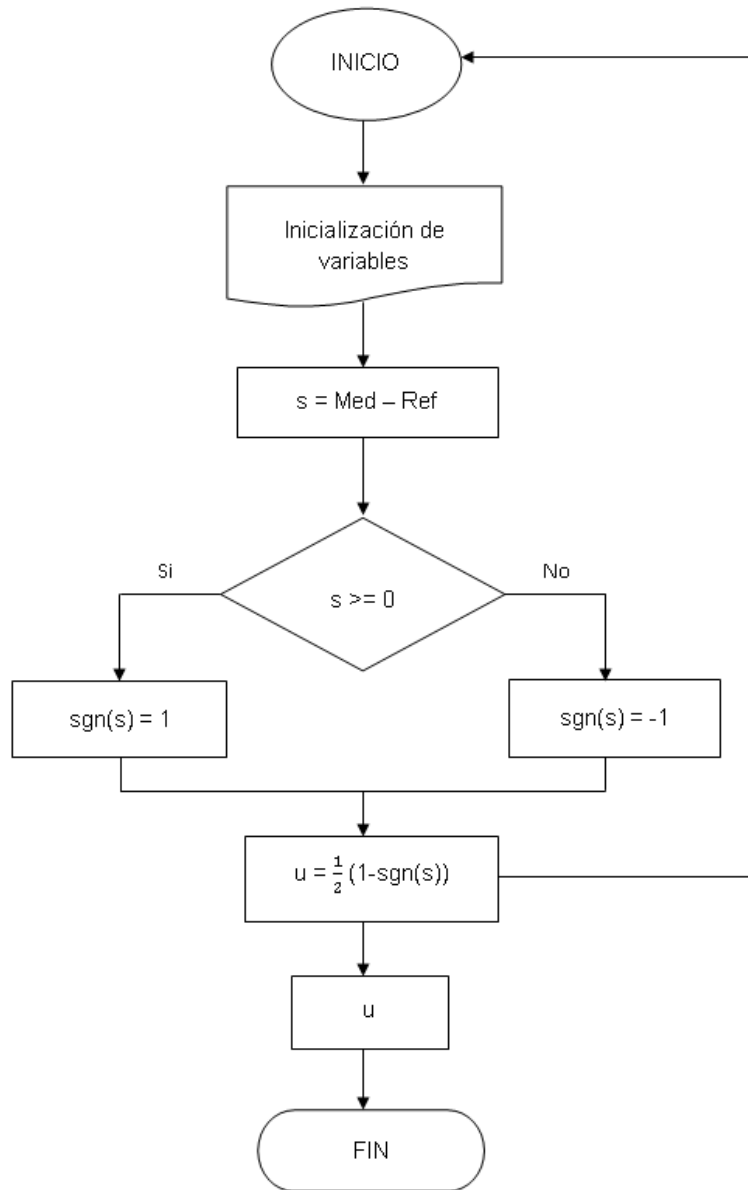
Dicha acción de control garantiza a partir de consideraciones ligadas a la teoría de estabilidad de Lyapunov [19], que una vez la trayectoria solución en el espacio de estados alcanza la región deseada (superficie de deslizamiento definida para todos los puntos  $x_1(t)$  y  $x_2(t)$  tales que  $s=0$ ) se mantiene allí en modo invariante y asintótico, lo cual se asegura manteniendo nula su derivada temporal (es decir para  $ds/dt=0$ ). Note que esta acción de control posee dos únicos valores (1 o 0) dependiendo del signo del error  $s(t)$  en (3.9).

#### 3.2.3.1 Implementación del control SMC en el FPGA

En la Figura 3.6 se ilustra el diagrama de flujo para el algoritmo de control SMC implementado para el convertidor tipo Buck. En el algoritmo se obtiene el signo de

$s(t)$ , tras hacer la diferencia entre la tensión medida y la referencia que corresponde a 8 [V]. Luego, según el signo obtenido (-1 o 1), se calcula  $u(t)$  que puede ser 1 o 0, respectivamente. Este ciclo se repite hasta que el sistema repose sobre la superficie de deslizamiento.

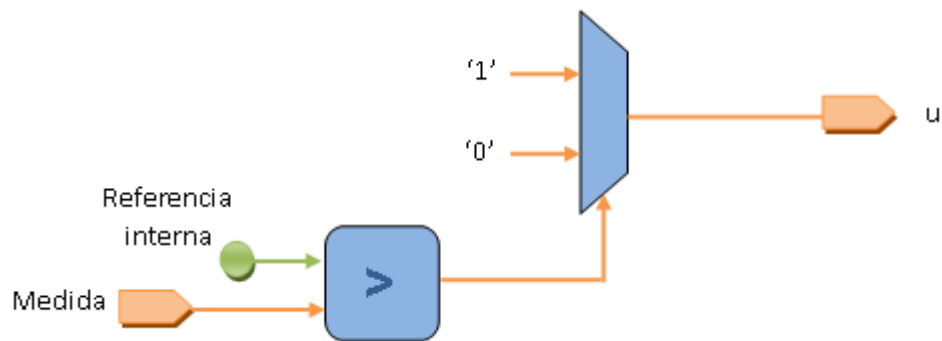
**Figura 3.6.** Diagrama de flujo para el algoritmo de control SMC.



Fuente: Autores

Al tener clara la teoría del control por modos deslizantes y asimismo el algoritmo lógico para su correcto funcionamiento, se procedió a la implementación del SMC en VHDL, la cual fue muy sencilla y se ilustra en la Figura 3.7. Esta implementación cuenta únicamente con un comparador, si la medida es mayor a la referencia la salida es 0, de lo contrario es 1. Como se mencionó antes, este control no cuenta con el módulo de PWM, ya que su salida es 0 o 1 dependiendo de lo que necesite el sistema, generando una secuencia de pulsos arbitraria, sin ningún patrón establecido, es decir sin un ciclo útil, ni período determinados.

**Figura 3.7.** Circuito implementado para el control por modos deslizantes.



Fuente: Autores

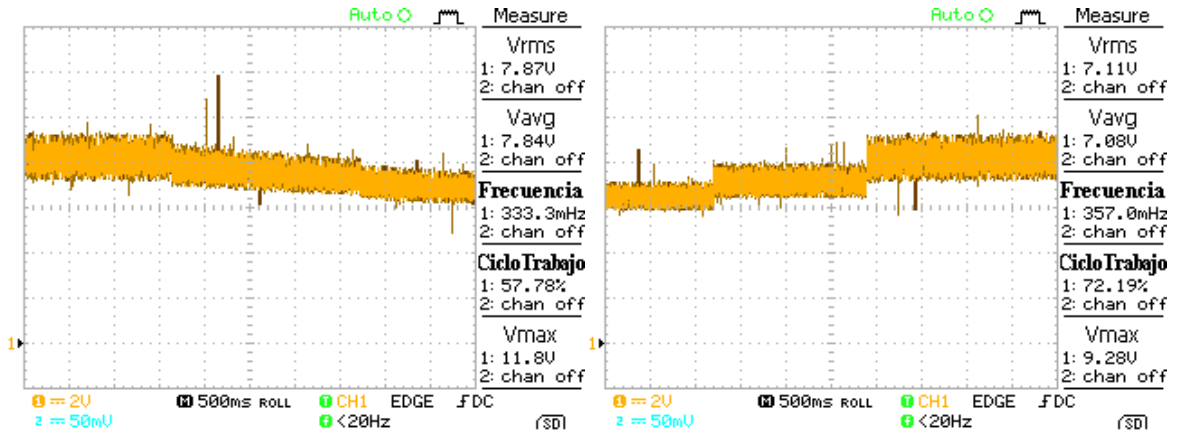
## **4. VERIFICACIÓN DEL COMPORTAMIENTO EXPERIMENTAL DEL SISTEMA**

Posterior al diseño e implementación en VHDL de las rutinas de control analizadas, en el presente capítulo se procede a verificar el comportamiento experimental del sistema para los casos de lazo cerrado perturbado con acciones de control: PID, óptimo y SMC. Se presentan los resultados obtenidos para la tensión de salida del circuito convertidor de potencia tipo Buck, capturados en una escala de 2[V] por división a 500 [ms]. Como perturbaciones se aumentó el valor nominal de la carga en un porcentaje de 50% y 100% respectivamente, respecto al original. También se emplearon reducciones en la fuente de suministro del circuito correspondientes a un 15% del valor nominal.

### **4.1 RESULTADOS EXPERIMENTALES DEL PID IMPLEMENTADO EN FPGA**

La Figura 4.1 muestra la operación del sistema controlado mediante PID bajo la acción de perturbaciones en la carga (valor nominal aumentado un 50% y 100%). De manera similar la Figura 4.2 presenta los resultados correspondientes bajo perturbaciones en la fuente de suministro del convertidor (valor nominal disminuido un 15%).

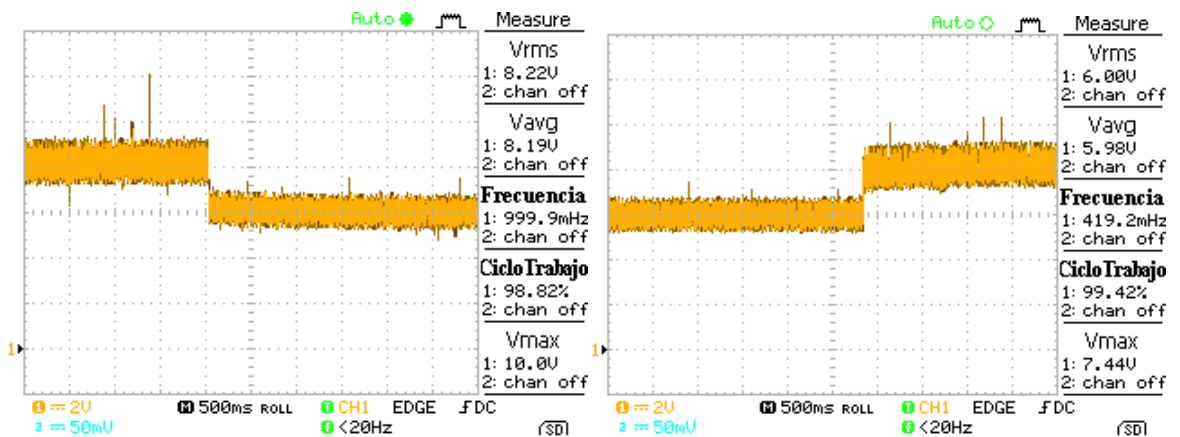
**Figura 4.1.** Tensión en la salida ante perturbaciones en la carga, bajo la acción del control PID.



Fuente: Autores

Como se observa en la figura el control PID trata de atenuar los cambios en la tensión de salida ante perturbaciones en la carga, pero su acción no es capaz de mantener el valor requerido por la referencia que corresponde con 8 [V].

**Figura 4.2.** Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control PID.



Fuente: Autores

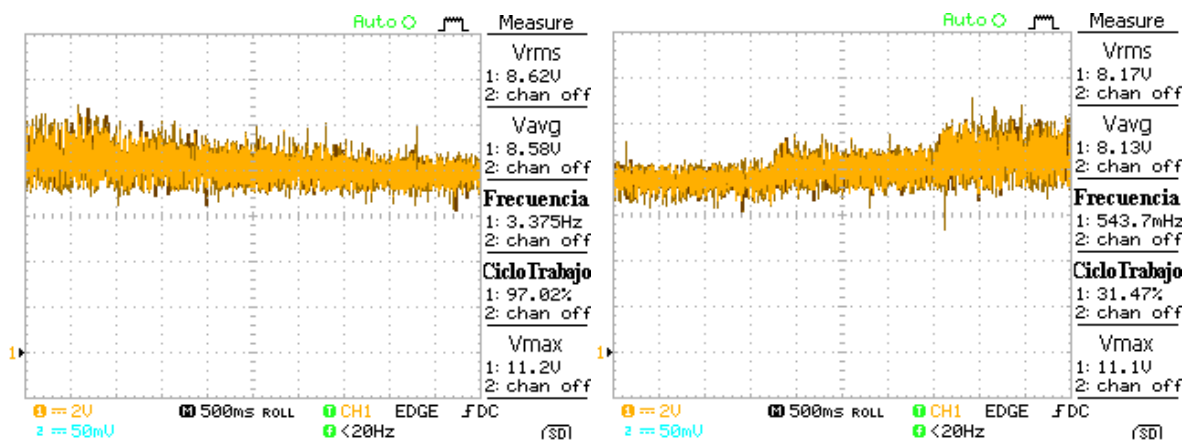
Lo mismo ocurre en la Figura 4.2, donde el control intenta mantener la referencia compensando en un corto período de tiempo las pérdidas causadas por las perturbaciones en la fuente de suministro, pero no es suficiente para obtener una respuesta adecuada respecto a las condiciones requeridas.

Se hacen notorias además unas pequeñas oscilaciones en la señal medida, que corresponden a ruido de alta frecuencia, presentes en la respuesta al cerrar el lazo de control y que son ocasionadas por la naturaleza de conmutación de alta frecuencia en el circuito. Por otro lado, como el control PID es un sistema lineal, su desempeño se ve disminuido debido a que el sistema presenta un grado de no linealidad, razón por la cual se presentan este tipo de variaciones a la salida.

## 4.2 RESULTADOS EXPERIMENTALES DEL CONTROL ÓPTIMO IMPLEMENTADO EN EL FPGA

Los resultados obtenidos al implementar el control óptimo conmutado ante la acción de perturbaciones en el convertidor se muestran en las figuras 4.3 y 4.4.

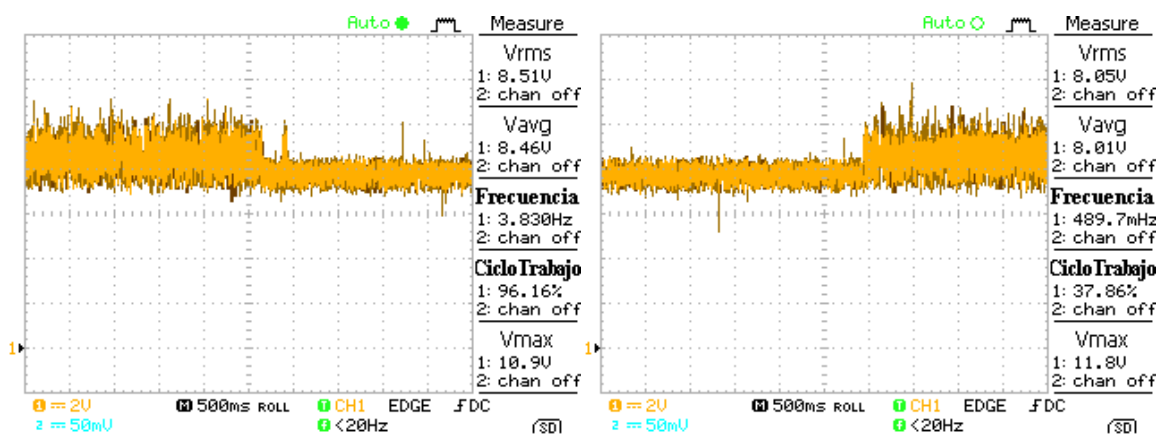
**Figura 4.3.** Tensión en la salida ante perturbaciones en la carga, bajo la acción del control óptimo conmutado.



Fuente: Autores

La Figura 4.3 muestra una mejor atenuación ante la acción de perturbaciones en la carga, comparada con la Figura 4.1 (acción del PID). Esto se debe a que el control óptimo presenta una mayor actividad de conmutación durante los cambios en la tensión de salida respecto a la referencia.

**Figura 4.4.** Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control óptimo conmutado.



Fuente: Autores

Asimismo en la Figura 4.4 se observa una mejor respuesta del sistema ante perturbaciones en la fuente de suministro, comparada con la obtenida en la Figura 4.2 (control PID), pero alejada aún de los resultados esperados al emplear una técnica en teoría “optimizada”.

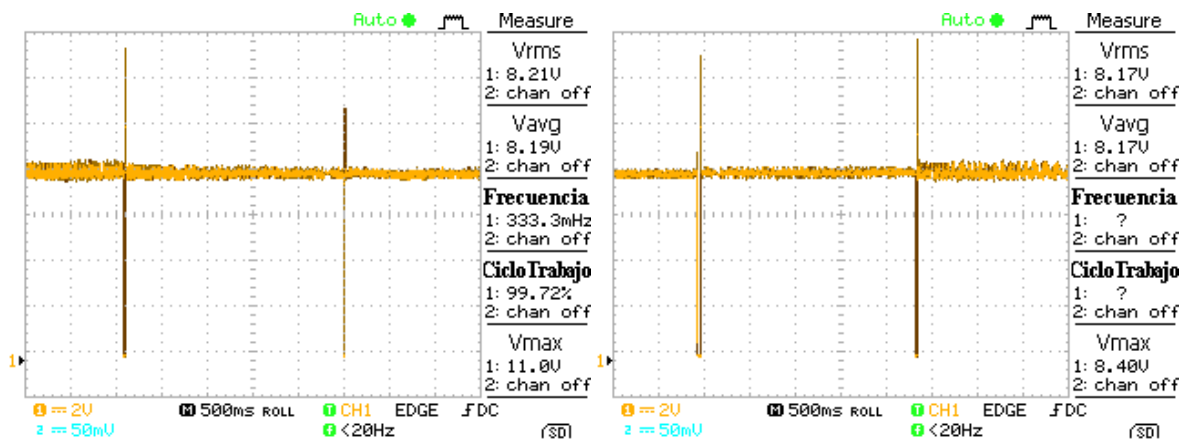
En comparación con los resultados obtenidos para la técnica de control clásica PID mostrados anteriormente, se observa que la acción de control óptimo presenta un comportamiento mejorado, pero no tan satisfactorio como se esperaba. Además se observan unas oscilaciones significativas en presencia de las perturbaciones, debidas posiblemente a que las constantes de incremento y decremento usadas en este código aumentan las micro-oscilaciones (Chattering)

de la señal de salida, siendo sin embargo (a través de ajustes por ensayo y error) los mejores resultados obtenidos en la práctica para este tipo de control.

### 4.3 RESULTADOS EXPERIMENTALES DEL SMC IMPLEMENTADO EN FPGA

De acuerdo a la rutina de trabajo implementada en el FPGA para el control por modos deslizantes, se obtuvieron los resultados experimentales mostrados en las Figuras 4.5 y 4.6.

**Figura 4.5.** Tensión en la salida ante perturbaciones en la carga, bajo la acción del control por modos deslizantes.

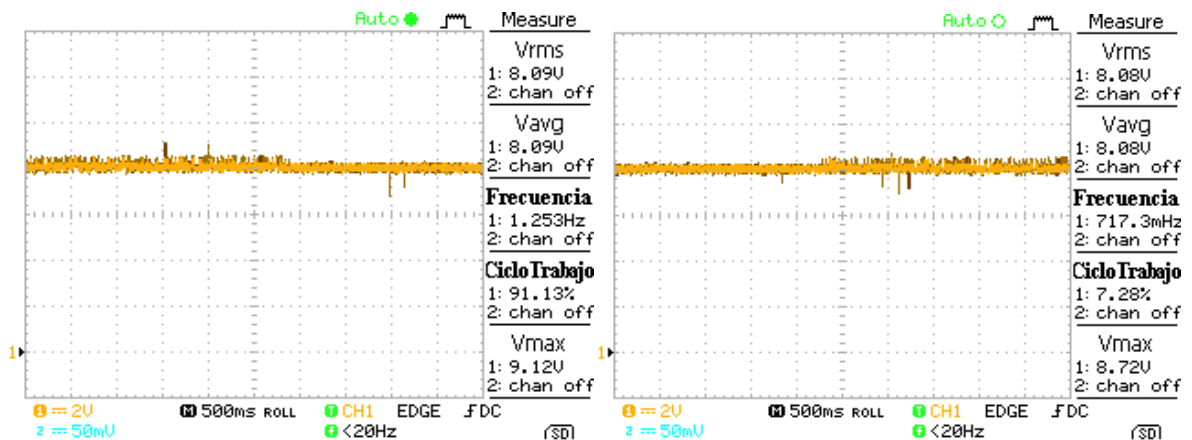


Fuente: Autores

En comparación con el mismo escenario recreado previamente en las Figuras 4.1 y 4.3, se observa que el control por modos deslizantes presenta una respuesta sin oscilaciones significativas que atenúa el efecto de las perturbaciones aplicadas al sistema de manera inmediata. Esto se debe a que este control tiene una característica en particular y es que los cambios en la señal de control se presentan a la velocidad que el sistema percibe valores diferentes a la referencia

en la señal de salida, es decir el SMC no funciona a una frecuencia determinada, sino a una frecuencia variable dependiendo de la necesidad del sistema.

**Figura 4.6.** Tensión en la salida ante perturbaciones en la fuente de suministro, bajo la acción del control por modos deslizantes.



Fuente: Autores

En la Figura 4.6 se observa que el control por modos deslizantes debido a su robustez y precisión presenta una disminución significativa de ruido en la señal de salida obtenida al realizar perturbaciones en la fuente de alimentación. Al realizar una comparación con los resultados obtenidos en la tensión de salida mediante control PID (Figura 4.2) y control óptimo (Figura 4.4), éstas presentan un ruido considerable, el cual causa un aumento en el Chattering y una pérdida de la referencia.

Los resultados a manera de evolución de la tensión de salida en el tiempo, demuestran la efectividad de la técnica para forzar al sistema a una convergencia hacia la superficie de deslizamiento ante la acción de perturbaciones, lo que ratifica la validez del diseño implementado y la robustez de la técnica.

A partir de las gráficas anteriores se puede decir que el control por modos deslizantes tiene un desempeño comparativamente superior al evidenciado por las otras técnicas implementadas, ya que al someter al sistema a una serie de perturbaciones, ya sea en la fuente de suministro o en la carga, la tensión de salida no se ve afectada. Esta diferencia de comportamiento es también percibida en la práctica cuando se pone en marcha el sistema, tras observar la luminosidad de la carga (bombilla) al someter el convertidor de potencia a diferentes perturbaciones.

## 5. CONCLUSIONES

- Se seleccionó e implementó a manera de circuito en laboratorio, una topología de convertidor DC-DC para aplicaciones de baja potencia: un convertidor DC-DC reductor (tipo Buck) como prototipo de prueba para las técnicas de control desarrolladas en el FPGA. El prototipo implementado se mostró en la Figura 2.9, incluyendo el circuito convertidor de potencia, las etapas para inclusión de perturbaciones y los acoples e interconexiones con el dispositivo de proceso basado en FPGA.
- Se diseñó una estrategia de control en el espacio de estados que permitió mejorar el desempeño del convertidor ante perturbaciones de carga y/o de entrada. En particular, se implementaron las técnicas de control óptimo conmutado y el control por modos deslizantes. Como se observó en las Figuras 4.5 y 4.6 la técnica de control por modos deslizantes generó un mejor desempeño que la técnica por control óptimo debido principalmente a su velocidad de respuesta, capacidad para obtener el valor final deseado y a una menor incidencia en micro-oscilaciones (ruido) de alta frecuencia.
- Se implementó la técnica de control diseñada sobre un dispositivo digital de arquitectura configurable. En particular, el capítulo 3 ilustró la manera en la cual se constituyeron bloques funcionales en VHDL para ejecutar los algoritmos de las diferentes rutinas computacionales que constituyeron la realización hardware para las leyes de control propuestas.
- Se desarrolló un procedimiento de prueba para verificar la validez de la estrategia de control implementada. Como recurso se empleó una perturbación en la salida del sistema correspondiente a la ubicación de cargas en serie y una perturbación en la entrada correspondiente a una resistencia de atenuación en serie con la fuente de suministro. La sección 2 mostró los circuitos correspondientes. Asimismo en las Figuras 2.12 y 2.13

se observó el efecto de perturbaciones en simulación, y en las Figuras 2.14 y 2.15 se obtuvo lo propio para el sistema experimental. Como resultado importante las Figuras 4.5 y 4.6 permiten verificar la eliminación del efecto de las perturbaciones en el sistema controlado experimental.

## 6. OBSERVACIONES

Durante el desarrollo del proyecto se presentaron las eventualidades descritas a continuación:

- Al implementar el circuito convertidor DC-DC propuesto en [8], se fundieron varios bombillos, debido a un pico de corriente en el arranque del sistema que superaba los 20 [W] de potencia del bombillo halógeno. Tras observar detenidamente los resultados en simulación, se decidió poner en serie a éste, una resistencia cerámica de 7 [ $\Omega$ ]/30 [W], para soportar la corriente en el arranque y obtener un buen funcionamiento del circuito convertidor de potencia.
- De acuerdo al diseño hecho en [8], la frecuencia de trabajo del sistema debía ser 40 [kHz], pero nuestros dispositivos para la adecuación de las señales nos limitaban a una frecuencia de 20 [kHz], y se decidió trabajar a ésta frecuencia sin considerar las implicaciones que esto tendría al implementar las estrategias de control en el espacio de estados. Al trabajar de esta forma, la respuesta del sistema era insuficiente y los controles básicamente no mejoraban los resultados. Después de analizar detalladamente, se llegó a la conclusión que las técnicas de control requieren de una frecuencia mínima de trabajo determinada por los elementos almacenadores de energía del circuito convertidor. Motivo por el cual se decidió variar los parámetros del circuito, para obtener una frecuencia más baja, exactamente 10 [kHz]. Estos cambios se describen en detalle en el Anexo A.

## **7. RECOMENDACIONES Y TRABAJO FUTURO**

Como trabajo futuro se propone:

- Optimización de los algoritmos de control utilizados para la implementación para reducir recursos digitales del dispositivo programable FPGA.
- Una reducción en el número de fuentes de alimentación usadas en el prototipo final para pruebas en cada una de las etapas, para mejorar de esta forma el diseño hecho y la estética del mismo.
- Un análisis más profundo acerca de la técnica de control óptimo conmutado, con el fin de ajustar mejor las constantes de incremento y decremento de la señal de control, y así obtener unos resultados comparables con la técnica de control por modos deslizantes implementada.
- Usar ORCAD-CADENCE® como herramienta de simulación mixta o híbrida, para tener resultados previos a la implementación en la plataforma digital, ya que con Synplify Pro 9.6.1, se pueden obtener los componentes creados en VHDL como librerías para simular en ORCAD-CADENCE®.

## **8. DIFUSIÓN DE RESULTADOS**

Resultados del presente trabajo de grado han sido sometidos a consideración del comité evaluador del Simposio de Tratamiento de Señales, Imágenes y Visión Artificial: STSIVA 2013.

## 9. BIBLIOGRAFÍA

- [1]. ALZATE, Ricardo y BARRERO, Jaime. Análisis del Comportamiento Dinámico de transformadores de corriente bajo técnicas de control de conmutación. Proyecto de investigación en ejecución. Universidad Industrial de Santander. Escuela de Ingeniería Eléctrica, Electrónica y Telecomunicaciones. Disponible en: <<http://wpage.unina.it/r.alzate/research.html>> [citado en 10 de agosto de 2012].
- [2]. BRUM SARTOR, Santiago, DE CALIMI POMBO, Alejandro y LANCIERI ALONSO, Damián. Plataforma de experimentación en control digital de convertidores DC-DC. Montevideo, 2010, 68h. Trabajo de grado (Ingeniero Eléctrico). Universidad de la República. Facultad de Ingeniería. Instituto de Ingeniería Eléctrica.
- [3]. CARLOS ALBERTO REY SOTO, "Análisis de Señales y Sistemas en tiempo continuo y en tiempo discreto con aplicaciones en MATLAB" En: Venezuela 2006. Ed: Fondo Editorial UNET ISBN: 980-6300-25-4 v. 1 pags. 561.
- [4]. CASANOVA TRUJILLO, Simeon. Análisis de la Dinámica de un Convertidor Boost Controlado con ZAD. Manizales, 2011, 123 h. Tesis de doctorado (Doctor en Ingeniería - Automática). Universidad Nacional de Colombia. Facultad de Ingeniería y Arquitectura. Departamento de Ingeniería Eléctrica, Electrónica y Computación.
- [5]. D. G. Luenberger, Introduction to dynamic systems: Theory, Models and Applications. U.S.A. 1979.
- [6]. D. W. Hart, Power Electronics, New York. 2010.
- [7]. Fairchild Semiconductor, "Datasheet IRF540N".
- [8]. FUENTES DÍAZ, Lady Gisselieth, TUTIRA CÁCERES, Yuly Karina y ESTEBAN RÍOS, Pedro Julio. Diseño y simulación de estrategias de control

conmutado en convertidores de potencia. Bucaramanga, 2012, 86h. Trabajo de grado (Ingeniero Electrónico). Universidad Industrial de Santander. Facultad de Ingeniería Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.

**[9].** HOYOS VELASCO, Fredy Edimer, ANGULO GARCIA, Fabiola, TABORDA GIRALDO, John Alexander y OLIVAR TOST, Gerard. Implementación de una nueva técnica de control digital para convertidores DC-DC y DC-AC. En: Revista de la Facultad de Minas de la Universidad Nacional de Colombia (Dyna), (Enero 2010); p. 11.

**[10].** International Rectifier, "SCHOTTKY RECTIFIER 8EQ045", pp. 8-11.

**[11].** Katsuhiko Ogata, Ingeniería de control moderno, quinta edición, ISBN-10: 0136156738.

**[12].** M. H. Rashid, Electrónica de Potencia: circuitos, dispositivos y aplicaciones, 2 Ed. México. 1995.

**[13].** MORENO CASTELLANOS, Fabio Andrés y CENTENO ARIZA, Diego Armando. Análisis comparativo del desempeño de técnicas de control conmutado implementadas en dispositivos programables. Bucaramanga, 2013, 88h. Trabajo de grado (Ingeniero Electrónico). Universidad Industrial de Santander. Facultad de Ingeniería Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.

**[14].** MUÑOZ CATAÑO, Juan Guillermo. Convertidor Boost en modo de corrección del factor de potencia usando la técnica ZAD. Manizales, 2012, 62h. Tesis de grado (Magister en Automatización Industrial). Universidad Nacional de Colombia. Facultad de Ingeniería y Arquitectura. Departamento de Ingeniería Eléctrica, Electrónica y Computación.

- [15]. OCAMPO MARTÍNEZ, Carlos Augusto. Control de un convertor de potencia con modulador de ancho de pulso centrado usando modos deslizantes. Manizales, 2003, 88h. Tesis de grado (Magister en Automatización Industrial). Universidad Nacional de Colombia. Facultad de Ingeniería y Arquitectura. Departamento de Ingeniería Eléctrica, Electrónica y Computación.
- [16]. PRADO FAJARDO, Elcy Patricia. Implementación de una Técnica de Conmutación Suave a un Convertidor tipo Boost Monofásico para Corregir el Factor de Potencia. Manizales, 2008, 116 h. Tesis de maestría. Universidad Nacional de Colombia. Facultad de Ingeniería y Arquitectura. Departamento de Ingeniería Eléctrica, Electrónica y Computación.
- [17]. RAMOS, Rafael, ZARAGOSA BERTOMEU, Jordi y MÀNUEL, Antonio. Lógica difusa: Control difuso mediante una FPGA de Xilinx para convertidores DC/DC elevadores. En: Revista Española de Electrónica [en línea]. (Junio de 2001). Disponible en: <<http://www.redeweb.com/txt/artikel/8274284.pdf>> [citado en 9 de agosto de 2012].
- [18]. ROCHE VACACELA, Ernesto Mesias y TERÁN TORRES, Santiago Francisco. Diseño y construcción de un convertor DC/DC Boost controlado mediante lógica difusa. Quito, 2011, 177h. Trabajo de grado (Ingeniero en Electrónica y Control). Escuela Politécnica Nacional. Facultad de Ingeniería Eléctrica y Electrónica.
- [19]. V. Utkin, J. Guldner and J. Shi, Sliding Mode Control in Electromechanical Systems. Taylor & Francis. 2002.
- [20]. VALDERRAMA, Freddy Fernando, MORENO, Henry y VEGA, Héctor Manuel. Análisis, simulación y control de un convertidor de potencia DC-DC tipo Boost. En: Nuestra Universidad Publicaciones Ingenium [base de datos en línea]. Vol. 24, no. 5 (sep. 2011); p. 12 [citado en 6 de agosto de 2012] Disponible en Index of /Nuestra\_Universidad/Publicaciones/Ingenium.

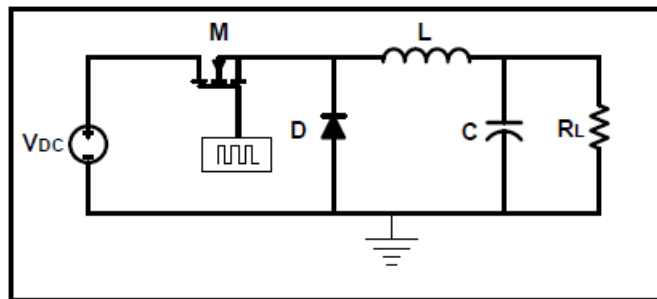
[21]. ZURITA BUSTAMANTE, Eric William. Diseño e implementación de un control GPI en un FPGA para un convertidor CD-CD tipo reductor. Huajuapán de León, 2011, 187 h. Tesis de maestría (Magister en Electrónica y Computación). Universidad tecnológica de la Mixteca.

## ANEXO A

### 1 ANÁLISIS DEL CIRCUITO CONVERTIDOR DE POTENCIA TIPO BUCK

En la Figura A.1 se observa el esquema del circuito convertidor que se analizará a continuación.

**Figura A.1.** Topología del convertidor Buck

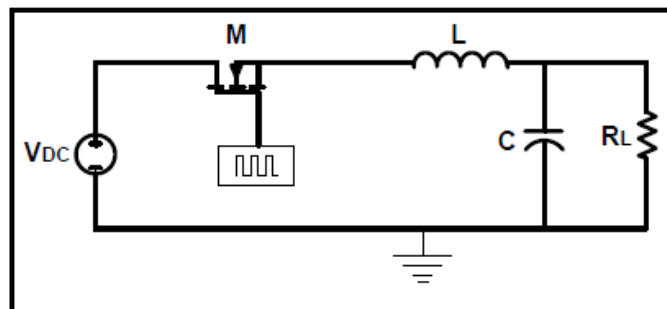


Fuente: [8]

#### 1.1 Análisis con Interruptor Cerrado

Cuando el interruptor está cerrado, el diodo se polariza en modo inverso y el circuito equivalente es el que se muestra en la Figura A.2.

**Figura A.2.** Circuito equivalente con el interruptor cerrado



Fuente: [8]

A partir del circuito, la expresión que representa la tensión en la bobina está dada por:

$$V_L = V_S - V_0 = L \frac{di_L}{dt} \quad (A.1)$$

Reorganizando la expresión anterior se obtiene:

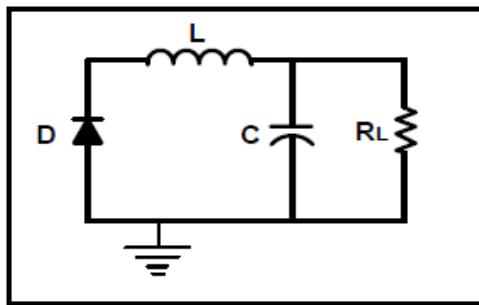
$$\frac{di_L}{dt} = \frac{V_S - V_0}{L} \quad (A.2)$$

$$(\Delta i_L)_{cerrado} = \left( \frac{V_S - V_0}{L} \right) DT \quad (A.3)$$

## 1.2 Análisis con Interruptor Abierto

Cuando el interruptor está abierto el diodo se polariza en modo directo para permitir el paso de la corriente en la bobina. En la Figura A.3 se presenta el esquema del circuito bajo esta condición de operación.

**Figura A.3.** Circuito equivalente con el interruptor abierto



Fuente: [8]

A partir del circuito la tensión en la bobina está dada por la siguiente expresión:

$$V_L = -V_0 = L \frac{di_L}{dt} \quad (A.4)$$

Reorganizando la expresión se obtiene:

$$\frac{di_L}{dt} = \frac{-V_0}{L} \quad (A.5)$$

La variación de la corriente en la bobina cuando el interruptor está abierto es:

$$\frac{\Delta i_L}{dt} = \frac{\Delta i_L}{(1-D)T} = -\frac{V_0}{L} \quad (A.6)$$

$$(\Delta i_L)_{abierto} = -\left(\frac{V_0}{L}\right)(1-D)T \quad (A.7)$$

Para que el circuito opere en régimen permanente es necesario que la corriente en la bobina sea la misma al final y al comienzo de cada ciclo de conmutación, esta condición obliga a que la variación neta de la corriente de la bobina en un período sea cero. Para ello se debe cumplir

$$(\Delta i_L)_{cerrado} + (\Delta i_L)_{abierto} = 0 \quad (A.8)$$

$$\left(\frac{V_S - V_0}{L}\right)DT - \left(\frac{V_0}{L}\right)(1-D)T = 0 \quad (A.9)$$

$$V_0 = V_S D \quad (A.10)$$

Debido a que el ciclo de trabajo D siempre toma valores menores o iguales a 1 la expresión anterior ratifica que el convertidor Buck produce una salida menor o igual a la entrada.

## 2 DISEÑO DEL CIRCUITO CONVERTIDOR

Es importante destacar que el diseño del circuito convertidor está basado en el trabajo presentado en [8], pero con algunas modificaciones en los parámetros de diseño y asimismo en los valores de los componentes del circuito, debido a que se tiene más facilidad de acceso a ellos al cambiarlos. Por tanto, tomando en consideración aspectos de viabilidad práctica se concebirá un sistema alimentado a 30 [VDC], con salida regulada para alimentar el consumo de bombillas halógenas de 20 [W]. Con base en lo anterior, se consideran los siguientes requerimientos de diseño:

**Tabla A.1.** Requerimientos de diseño

Tensión de alimentación ( $V_S$ )	20 [V]
Tensión de salida ( $V_0$ )	8 [V]
Resistencia de carga ( $R_L$ )	14.2 [ $\Omega$ ]
Tensión de rizo ( $\Delta V_0$ )	0.6% de $V_0$
Frecuencia de conmutación (F)	10 [kHz]

Fuente: Autores

### 2.1 Dimensionamiento de los elementos de circuito

- El diseño requiere que la carga disponga de 8 [V] de tensión para una fuente de alimentación de 20 [V] de tensión continua. A partir de esta condición se obtiene un ciclo útil de trabajo  $D$  dado por:

$$D = \frac{V_0}{V_s} = \frac{8[V]}{20[V]} = 0.4 \quad (A.11)$$

- Para el dimensionamiento de la bobina es necesario seleccionar una frecuencia de conmutación apropiada para los componentes que se comportan como interruptores. Para este caso se seleccionó una frecuencia de conmutación de 10 [kHz]. Además, para dimensionar el valor de la resistencia de carga se seleccionaron bombillas halógenas de 12 [V] a 20 [W] y en serie con estas una resistencia cerámica de 7 [ $\Omega$ ] a 30 [W], con la finalidad de soportar un pico de corriente en el arranque del sistema, visto en simulación. Asimismo, para garantizar que el circuito opere con corriente permanente se debe cumplir que el valor de la bobina esté por encima del valor mínimo obtenido a partir de la siguiente ecuación:


$$L_{min} = \frac{(1 - D)R}{2f} \quad (A.12)$$

Tomando como base los requerimientos de diseño de la Tabla A.1, el valor mínimo para la bobina es de 400 [ $\mu$ H]. Además para cumplir con el propósito de garantizar que el circuito operará siempre con corriente permanente, el valor de la inductancia se ha seleccionado de 1.2 [mH].

Cabe resaltar que el valor mínimo para la bobina se obtuvo asumiendo que la carga (bombilla halógena y resistencia cerámica) tendrá como valor máximo 20[ $\Omega$ ], que sería un 40% mayor al valor esperado teóricamente.

- Para la elección del dispositivo de conmutación se tuvieron en cuenta los valores de frecuencia nominal, las velocidades de respuesta y los niveles de corriente en el circuito. Se seleccionó el transistor IRF540N MOS NPN de la casa fabricante Fairchild Semiconductor (ver Tabla A.2).

**Tabla A.2.** Características eléctricas del transistor de potencia.

Referencia	$V_{DSS}$ [V]	$R_{DS(ON)}$ [ $\Omega$ ]	$I_D$ [A]	$V_{GS}$ [V]	Frecuencia [MHz]
 IRF540N	100	0.044	33	20	1

Fuente: [7]

- Para el caso del diodo de libre marcha encargado de la recirculación de la corriente cuando el transistor esté en corte, se seleccionó la referencia 8EQ045 de la casa fabricante International Rectifier IRF (ver Tabla A.3).

**Tabla A.3.** Características del diodo de libre marcha

Referencia	$V_R$ [V]	$I_{F(AV)}$ [A]	$I_{FSM}$ [A]	Frecuencia [MHz]
8EQ045	45	10	80	1

Fuente: [10]

- Por último el valor del capacitor se obtiene a partir de la expresión:

$$C = \frac{1 - D}{8L \left( \frac{\Delta V_0}{V_0} \right) f^2} \quad (A.13)$$

Obteniendo así un condensador con valor comercial de 470 [ $\mu$ F].