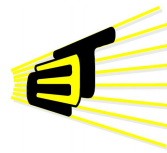


FILTROS ACTIVOS DE POTENCIA: CONTROL DE LA TENSIÓN DEL BUS DE CONTINUA EN CONVERTIDORES TIPO FUENTE DE TENSIÓN.

Cindy Carolina Viviescas Latorre
Oscar Antonio Solano Rueda



Escuela de Ingenierías
Eléctrica, Electrónica
y de Telecomunicaciones

Universidad Industrial de Santander
Facultad de Ingenierías Físico Mecánicas
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Bucaramanga
2011

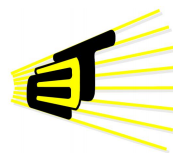
FILTROS ACTIVOS DE POTENCIA: CONTROL DE LA TENSIÓN DEL BUS DE CONTINUA EN CONVERTIDORES TIPO FUENTE DE TENSIÓN.

Cindy Carolina Viviescas Latorre
Oscar Antonio Solano Rueda

Trabajo de investigación presentado como requerimiento para optar a los títulos de:
Ingeniera Electrónica e Ingeniero Electricista

Directora:
Ing. María Alejandra Mantilla Villalobos

Co-Directores:
PhD. Johann Farit Petit Suárez
MsC. Alfredo Acevedo Picón



Escuela de Ingenierías
Eléctrica, Electrónica
y de Telecomunicaciones

Universidad Industrial de Santander
Facultad de Ingenierías Físico Mecánicas
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Bucaramanga
2011

A mis padres, a Dios y a Carolina, mi motorcito

— *Oscar.*

A mi madre, a Dios y a Oscar mi apoyo

— *Carolina*

Agradecimientos

Al llegar a la finalización del presente proyecto queremos agradecer en primer lugar a Dios quien nos llena todos los días de bendiciones y nos permite cumplir nuestras metas, a nuestra directora de proyecto de grado, María Mantilla quien nos acompañó permanentemente durante el proceso de realización de este trabajo, a nuestros codirectores especialmente al Ph.D Johann Petit por sus valiosas enseñanzas y por inculcarnos el interés por la investigación científica.

Por otra parte queremos agradecer al ingeniero Iván Serna quien siempre se mostró atento y amable a atender nuestras consultas y al laboratorista del edificio de alta tensión Guillermo Galindez quien nos facilitó de la manera más cordial todas las herramientas necesarias.

Oscar Solano y Carolina Viviescas

Tabla de contenido

1	Introducción	14
2	Algoritmos de Control	15
2.1	Control de la Tensión del Bus de DC.	15
2.2	Cálculo de la corriente de referencia.	16
2.3	Control del convertidor de potencia.	17
2.3.1	Técnicas de lazo abierto	17
2.3.2	Técnicas de lazo cerrado	17
3	Estructura del Sistema	18
3.1	Etapa 1: Modelo del convertidor para simulación en tiempo real	19
3.2	Etapa 2: Implementación del sistema de control	19
3.3	Modos de operación	20
3.3.1	Modo de operación I, comunicación secuencial	20
3.3.2	Modo de operación II, comunicación paralela	20
4	Parámetros y condiciones de operación del sistema	21
4.1	Corrientes de carga	21
4.1.1	Corrientes con bajo factor de potencia	21
4.1.2	Corrientes balanceadas distorsionadas	22
4.1.3	Corrientes desbalanceadas y distorsionadas	22
4.2	Parámetros del sistema	23
4.3	Criterios de comparación	23
5	Resultados Obtenidos	23
5.1	Resultados para el modo de operación I, Comunicación secuencial.	24
5.1.1	Resultados del sistema en tiempo real	24
5.1.2	Resultados obtenidos en Matlab/Simulink	25
5.2	Resultados para el modo de operación II, Comunicación paralela.	26
5.2.1	Resultados de la simulación en tiempo real	26
5.2.2	Resultados obtenidos en Matlab/Simulink	27
6	Conclusiones	28
	Referencias	29
	Biografía	30
	Anexos	32

Lista de figuras

1	Diagrama general de un filtro activo de potencia en paralelo.	14
2	Diagrama del sistema compensado con un convertidor TLSC.	15
3	Modulación por ancho de pulsos PWM.	17
4	Equivalente monofásico del sistema para la topología TLSC.	18
5	Diagrama de bloques del modelo del convertidor y del controlador del SAPF.	19
6	Interacción de las etapas del sistema en el modo de operación I, comunicación secuencial.	21
7	Corrientes de carga para $FP = 0.866$ en atraso y tensión fase a	22
8	Corrientes balanceadas distorsionadas y tensión en el PCC para la fase a	22
9	Corrientes de carga desbalanceadas y distorsionadas y tensión en el PCC para la fase a	23
10	Tensión del lado de DC mediante modulación delta. Comunicación secuencial.	24
11	Tensión del lado de DC mediante el control <i>Deadbeat</i> . Comunicación secuencial.	24
12	Tensión del lado de DC mediante el control proporcional integral. Comunicación secuencial.	24
13	Corrientes de red y tensión de suministro fase a mediante modulación delta. Comunicación secuencial.	24
14	Corrientes de red y tensión de suministro fase a mediante control <i>Deadbeat</i> . Comunicación secuencial.	24
15	Corrientes de red y tensión de suministro fase a mediante control proporcional integral. Comunicación secuencial.	25
16	Tensión del lado de DC en simulación <i>Matlab/Simulink</i> para modulación delta 8 kHz	25
17	Tensión del lado de DC en simulación <i>Matlab/Simulink</i> mediante control Dead-Beat 6 kHz	25
18	Tensión del lado de DC en simulación <i>Matlab/Simulink</i> mediante control Proporcional Integral.	26
19	Corrientes de red y tensión de suministro fase a en <i>Matlab/Simulink</i> para modulación delta 8 kHz.	26
20	Corrientes de red y tensión de suministro fase a en <i>Matlab/Simulink</i> mediante control <i>Deadbeat</i> a 6 kHz.	26
21	Corrientes de red y tensión de suministro fase a en <i>Matlab/Simulink</i> mediante control proporcional integral a 6 kHz.	26
22	Tensión del lado de DC mediante modulación delta. Comunicación paralela.	27
23	Tensión del lado de DC mediante control <i>Deadbeat</i> . Comunicación paralela.	27
24	Tensión del lado de DC mediante modulación Proporcional Integral. Comunicación paralela.	27
25	Corrientes de red y tensión de suministro fase a mediante modulación delta. Comunicación paralela.	27
26	Corrientes de red y tensión de suministro fase a mediante control <i>Deadbeat</i> . Comunicación paralela.	27
27	Corrientes de red y tensión de suministro fase a mediante control proporcional integral. Comunicación paralela.	28
28	Tensión en el lado de DC en simulación en <i>Matlab/Simulink</i> para modulación delta a 10 kHz	28
29	Tensión del lado de DC en simulación en <i>Matlab/Simulink</i> mediante control <i>Deadbeat</i> a 10 kHz	28
30	Tensión del lado de DC en simulación en <i>Matlab/Simulink</i> mediante control proporcional integral a 10 kHz	28
31	Corrientes de red y tensión de suministro fase a <i>Matlab/Simulink</i> para modulación delta a 10 kHz.	29
32	Corrientes de red y tensión de suministro fase a <i>Matlab/Simulink</i> mediante control <i>Deadbeat</i> a 10 kHz.	29
33	Corrientes de red y tensión de suministro fase a <i>Matlab/Simulink</i> mediante control Proporcional Integral a 10 kHz.	29

Lista de tablas

1	Parámetros del sistema	23
2	Errores máximos, corrientes desbalanceadas y distorsionadas. Comunicación secuencial. . . .	25
3	Errores máximos, corrientes desbalanceadas y distorsionadas. Comunicación paralela. . . .	27

Lista de Anexos

A. Procesador Digital de señales.	33
B. Códigos fuente implementados en el DSP F2812	44
C. Discretización del control del lado de DC.	60
D. Resultados Adicionales	62

Resumen

Título: FILTROS ACTIVOS DE POTENCIA: CONTROL DE LA TENSIÓN DEL BUS DE CONTINUA EN CONVERTIDORES TIPO FUENTE DE TENSIÓN^a

Autores:

CINDY CAROLINA VIVIESCAS LATORRE
OSCAR ANTONIO SOLANO RUEDA^b

Palabras clave:

Calidad de la energía eléctrica, control de la tensión del lado de DC, convertidores tipo fuente de tensión, implementación en tiempo real, filtros activos de potencia, procesador digital de señales (*DSP- Digital Signal Processor*).

Descripción:

En este trabajo se presenta una implementación en tiempo real de un filtro activo de potencia en conexión paralelo (*SAPF- Shunt Active Power Filter*). El sistema desarrollado está compuesto por dos etapas. La primera, implementada en la tarjeta de desarrollo *dSPACE 1104*, corresponde a un modelo digital del convertidor trifásico de tres ramas con condensador repartido (*TLSC- Three-Leg Split-Capacitor*). La segunda etapa, desarrollada en el procesador digital de señales *TMS320F2812*, consiste en el sistema de control para el modelo implementado en la primera etapa. El sistema está enfocado en el control de la tensión del lado de DC cuyo propósito es alcanzar y mantener una tensión de referencia en cada uno de los condensadores que conforman la topología mencionada con el propósito de garantizar la controlabilidad del filtro activo y el balance en la distribución de la tensión del lado de DC. Se analiza el desempeño del control frente a cargas que presentan distorsión armónica, desbalance y bajo factor de potencia. Tres técnicas de control de corriente para el convertidor de potencia son sometidas a un análisis comparativo aplicando el criterio del error cuadrático medio. Además el correcto funcionamiento del sistema se evalúa a través de comparación directa entre las formas de onda obtenidas en la implementación en tiempo real y las resultantes de simulaciones fuera de línea (*off-line*) realizadas en *Matlab/Simulink*.

^aProyecto de Grado

^bFacultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Directora: Maria Alejandra Mantilla Villalobos. Codirectores: Johann Farith Petit Suárez. Alfredo Acevedo Picón.

Abstract

Title: ACTIVE POWER FILTERS: DC BUS VOLTAGE CONTROL FOR VOLTAGE SOURCE INVERTERS.^a

Authors:

CINDY CAROLINA VIVIESCAS LATORRE

OSCAR ANTONIO SOLANO RUEDA^b

Keywords:

DC voltage control, Digital Signal Processor (DSP), hardware in the loop, power quality improvement, real-time simulation, Shunt Active Power Filters (SAPF), Voltage Source Inverter (VSI).

Description:

This document presents real time hardware in the loop simulation system of a Shunt Active Power Filter (SAPF) for a three-phase four-wire Voltage Source Inverter (VSI). The developed system consists of two stages. The first, implemented in the dSPACE1104 development board, corresponds to a digital model of Three-Leg Split Capacitor (TLSC). The second stage, developed in the digital signal processor starter kit TMS 320F2812 PGFA, is the control system for the model implemented in the first stage. The system is focused on the DC bus voltage control and its purpose is to achieve and maintain a reference voltage level in each capacitor in order to guarantee both the active filter controllability and the balance in the distribution of the DC bus voltage. In addition, the proper functioning of the implemented system as well as the effectiveness of control techniques developed are evaluated through direct comparison between the waveforms obtained in real time implementation and the offline simulations results performed in Matlab/Simulink. The control performance is analyzed with loads currents that present harmonic distortion, unbalance and low power factor. Three current control techniques (Delta Modulation, Dead Beat and PI controller) for power converter are subjected to a comparative analysis using the mean square error criterion.

^aWork Degree.

^bSchool of Physicomechanical Engineering. Department of Electrical, Electronics and Telecommunications Engineering. Directress: María Alejandra Mantilla Villalobos. Codirectress: Johann Farith Petit Suárez. Alfredo Acevedo Picón.

1 Introducción

El incremento de dispositivos electrónicos y la proliferación de equipos no lineales en los hogares y en el sector industrial ha causado fenómenos indeseables en la operación de los sistemas eléctricos de potencia, tales como distorsiones en las ondas de tensión y de corriente, desbalances en las corrientes de la red, bajos factores de potencia entre otros [1]. Los problemas relacionados con la calidad de la energía eléctrica se han convertido en temáticas importantes con la introducción de dispositivos sofisticados cuyo rendimiento es sensible a las distorsiones del suministro de potencia y, en general, por las pérdidas técnicas y económicas que ocasionan tanto en el lado de demanda como en el de suministro [2]. Con el propósito de mitigar los problemas anteriormente mencionados y proveer una adecuada calidad de energía eléctrica en los sistemas de potencia, los filtros activos de potencia han sido utilizados en los últimos años [3, 4].

Los filtros activos de potencia pueden ser clasificados según su etapa de potencia en:

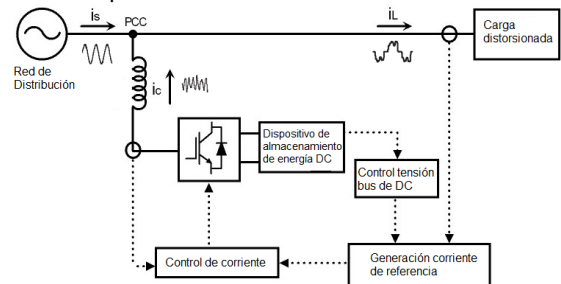
- Filtros activos con inversor tipo fuente de tensión (*VSI- Voltage Source Inverter*) cuando utilizan un condensador como elemento almacenador de energía.
- Filtros activos con inversor tipo fuente de corriente (*CSI- Current Source Inverter*) cuando el elemento almacenador es una bobina [5].

Por otro lado los filtros activos pueden clasificarse según su conexión al sistema eléctrico (serie, paralelo o serie-paralelo) y por el número de fases (monofásicos o trifásicos), esta última característica depende del sistema a compensar [3]. Por su lado los filtros activos en paralelo (*SAPF- Shunt Active Power Filter*), los cuales son el tema de interés de este artículo, compensan bajos factores de potencia, distorsiones y desbalances en las corrientes de carga, entre otros. De tal forma que, idealmente, la corriente resultante por la red sea sinusoidal pura de secuencia positiva a la frecuencia fundamental y se encuentre en fase con la tensión de suministro.

Los SAPF son conectados en paralelo a las cargas distorsionadas en el punto de interconexión común (*PCC- Point of Common Connection*) por medio de un filtro que usualmente es un elemento inductivo el cual atenúa el rizado de alta frecuencia de la onda de corriente inyectada a partir de las conmutaciones del inversor [5, 6]. Los principales

componentes de un SAPF son: un inversor de potencia, un elemento de almacenamiento de energía DC y el sistema de control. En la Figura 1 se presenta un diagrama de bloques para un SAPF.

Fig. 1: Diagrama general de un filtro activo de potencia en paralelo.



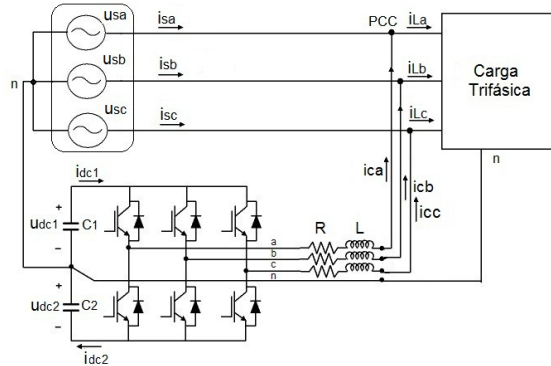
Fuente: Autores

En este trabajo de grado se trabajó con la topología de tres ramas con condensador repartido (*TLSC- Three Leg Split Capacitor*) la cual contiene dos condensadores de almacenamiento, tal como se puede apreciar en la Figura 2. La unión de los dos condensadores es conectada al neutro de la carga lo que permite un camino para las corrientes de secuencia cero y facilita la acción de control con respecto a los convertidores de potencia de cuatro hilos ya que cada una de sus tres ramas trabaja independientemente [6].

El esquema general del sistema compensado para la topología TLSC es mostrado en la Figura 2. Esta topología puede ser usada en sistemas trifásicos de cuatro hilos donde sea necesario la inyección de corrientes por el neutro [5]. Sin embargo en esta topología pueden presentarse algunos problemas, principalmente cuando la corriente de neutro tiene nivel de continua. La inyección de este tipo de corrientes puede desbalancear la distribución de las tensiones del lado de continua de los condensadores de la topología (es decir, las tensiones en los condensadores tienen diferente valor medio), lo cual puede resultar en la pérdida de controlabilidad del filtro activo de potencia [7].

La estrategia de control del SAPF es implementada por medio de tres lazos de control, tal como se observa en la Figura 1. El primer lazo se encarga de calcular la corriente de compensación (llamada también corriente de referencia) mientras que

Fig. 2: Diagrama del sistema compensado con un convertidor TLSC.



Fuente: Autores

el segundo lazo determina el valor de corriente requerido para mantener la tensión del lado de continua en un nivel de referencia que garantice el correcto funcionamiento del filtro activo. Finalmente, el tercer lazo se encarga de calcular las señales de conmutación para los dispositivos de estado sólido del convertidor de potencia de tal manera que la señal generada siga la señal de referencia total [3]. Este trabajo se centra en el segundo lazo de control usando un algoritmo basado en un controlador PI, que es descrito en [8].

Para verificar el funcionamiento de los algoritmos de control, se desarrolla la simulación en tiempo real de un SAPF de topología TLSC por medio de la interconexión de la tarjeta de desarrollo dSPACE 1104, en la que se implementa el modelo discreto del convertidor de potencia, y el procesador digital de señales DSP F2812, en el cual son desarrolladas las técnicas de control para el SAPF. El desempeño del filtro activo y de las estrategias de control es analizado para corrientes de carga desbalanceadas, distorsionadas y con bajo factor de potencia. Se estudia el comportamiento de tres técnicas de control de corriente las cuales son comparadas a partir del criterio de error cuadrático medio. Además los resultados de las simulaciones en tiempo real son comparados con los resultados de simulaciones fuera de línea realizadas en *Matlab/Simulink*.

El documento está dividido en seis secciones. En la segunda sección se presentan los algoritmos de control implementados en el DSP F2812, correspondientes a los tres lazos de control de un SAPF, junto a una descripción de su funcionamiento. En la tercera sección son descritas las dos etapas que componen el sistema así como la estructura general del

mismo y sus modos de operación. En la cuarta sección se establecen las corrientes de carga, los criterios de comparación y los parámetros considerados en las simulaciones en tiempo real. En la quinta sección son mostrados los resultados de las simulaciones en tiempo real y fuera de línea, a partir de los cuales, se comparan las técnicas de control y se comprueba el correcto funcionamiento del sistema. Finalmente en la sexta sección son presentadas las conclusiones del trabajo.

2 Algoritmos de Control

Como fue mencionado en la sección 1, el sistema de control de un SAPF está compuesto por tres lazos de control: el cálculo de la corriente de referencia, el control de la tensión del lado de continua y el controlador de corriente. En este trabajo el primer lazo de control es realizado por medio de un algoritmo basado en la teoría de Fryze [9], a partir del cual, se determina la componente de la corriente de carga que no representa potencia activa. En cuanto al segundo lazo de control, se utiliza un controlador PI para determinar una segunda corriente de referencia que corresponde principalmente a las pérdidas de potencia en el SAPF [10] y que busca garantizar que la tensión del lado de DC siga su referencia. Esta segunda corriente es sumada a la corriente de referencia del primer lazo de control para obtener la corriente de referencia total. El tercer lazo correspondiente al controlador de corriente, determina las señales de conmutación del SAPF de tal manera que el filtro activo inyecte la corriente de referencia total. En este proyecto son utilizadas las siguientes técnicas de control de corriente: Modulación Delta (*Delta Modulation*), Control de Tiempo de Establecimiento Finito (*Deadbeat*) y Controlador Proporcional Integral (*PI*).

2.1 Control de la Tensión del Bus de DC.

Para compensar las pérdidas inherentes a la operación del inversor y mantener balanceada la tensión del lado de DC, es necesario implementar un control de la tensión del lado de continua. El algoritmo usado para este propósito está basado en el cálculo de una corriente en fase con la tensión de alimentación (tensión en el PCC) a su frecuencia fundamental. Esta corriente debe demandar la potencia activa requerida para mantener la tensión del

lado de DC en el valor de referencia. La amplitud de esta corriente sinusoidal se calcula con un controlador PI. En [8] es propuesto un control de tensión independiente para cada condensador del lado de DC con el fin de garantizar también el balance en la distribución de las tensiones del lado de DC. La ecuación (1) muestra la expresión resultante para el cálculo de la corriente de referencia.

$$i_{ref\ dc\ m}(t) = \begin{cases} \left(K_p e_1(t) + K_i \int_0^t e_1(\tau) d\tau \right) \frac{u_m(t)}{\sqrt{2}U_{rms}} \\ \text{para } u_m(t) > 0 \\ \left(K_p e_1(t) + K_i \int_0^t e_1(\tau) d\tau \right) \frac{u_m(t)}{\sqrt{2}U_{rms}} \\ \text{para } u_m(t) < 0 \end{cases} \quad (1)$$

Donde $i_{ref\ dc\ m}$ y u_m son la corriente de referencia y la tensión de alimentación para la fase m respectivamente y U_{rms} es el valor rms de la tensión de alimentación fase-neutro. Las señales de error $e_1(t)$ y $e_2(t)$ corresponden al error entre las referencias de tensión de los condensadores, U_{dcref1} y U_{dcref2} , y el valor de la tensión de los mismos para el tiempo t según las ecuaciones (2) y (3).

$$e_1(t) = U_{dcref1} - u_{dc1}(t) \quad (2)$$

$$e_2(t) = U_{dcref2} - u_{dc2}(t) \quad (3)$$

En la ecuación (1), la tensión en el condensador C_1 es controlada cuando la tensión de alimentación tiene valores positivos (semi ciclo positivo) y la tensión en el condensador C_2 es controlada cuando la tensión de alimentación se encuentra en el semi ciclo negativo. Las constantes K_p y K_i corresponden a las ganancias proporcional e integral del controlador PI respectivamente. La constante K_p es calculada de tal forma que la tensión en el lado de DC alcance la referencia en un semi ciclo de la tensión de alimentación. Tal como se describe en [8], el valor K_p es determinado por (4).

$$K_p = -\frac{\pi C}{3\Delta T} \quad (4)$$

En donde ΔT es el periodo de la tensión en el PCC y se considera que las capacitancias de cada condensador son iguales $C_1 = C_2 = C$. Por otro lado, la constante K_i está relacionada con el número de veces que la acción proporcional es repetida. Esta constante es determinada a través de simulaciones, teniendo en cuenta el sistema a controlar. El valor rms de la tensión de alimentación es calculado por

medio de la ecuación (5) considerando que las tensiones en el PCC (u_a , u_b , u_c) son balanceadas y no presentan distorsión. Si dichas tensiones tienen componentes armónicas o desbalance, es necesario un filtrado previo o el uso de un algoritmo adicional para el cálculo del valor rms.

$$U_{rms} = \sqrt{\frac{1}{3}(u_a^2(t) + u_b^2(t) + u_c^2(t))} \quad (5)$$

Con el fin de implementar la ecuación descrita en (1) en el procesador digital de señales fue necesario discretizar las ecuaciones expresadas en el tiempo. Este proceso fue llevado a cabo a través del método de la primera diferencia [11]. Los resultados son mostrados en las siguientes ecuaciones:

$$i_{f1}(k) = \frac{K_p}{T_i}(e_1(k) - e_1(k-1)) + \frac{K_p}{T_i}T_{sw}e_1(k) + i_{f1}(k-1) \quad (6)$$

$$i_{f2}(k) = \frac{K_p}{T_i}(e_2(k) - e_2(k-1)) + \frac{K_p}{T_i}T_{sw}e_2(k) + i_{f2}(k-1) \quad (7)$$

En donde T_{sw} es el periodo de operación del control. Una vez sincronizadas estas corrientes con la tensión de alimentación, la expresión resultante para el control de la tensión del lado de DC está dada por (8).

$$i_{ref\ m}(k) = \begin{cases} i_{f1}(k) \frac{u_m(k)}{\sqrt{2}U_{rms}} \text{ for } u_m(k) > 0 \\ i_{f2}(k) \frac{u_m(k)}{\sqrt{2}U_{rms}} \text{ for } u_m(k) < 0 \end{cases} \quad (8)$$

2.2 Cálculo de la corriente de referencia.

Tal como se mencionó anteriormente el cálculo de la corriente de referencia es realizado usando la teoría de Fryze [9]. Dicha teoría está basada en el marco de referencia natural (abc) y tiene como objetivo que, después de la compensación, la corriente de la red esté en fase con la tensión de alimentación. Además esta corriente debe entregar la potencia activa que la carga demanda [5, 6, 9]. La componente de la corriente de carga que demanda potencia activa de la red para la fase m , $i_{p\ m}(t)$, está dada por:

$$i_{p\ m}(t) = \frac{P}{3U_{rms}^2}u_m(t) \quad (9)$$

Donde $u_m(t)$ es la tensión fase-neutro para la fase m y P es la potencia activa demandada por la carga.

Basados en (9) la corriente no activa, que corresponde a la corriente que debe inyectar el filtro activo, está dada por (10) en donde i_{L_m} es la corriente de carga para la fase m .

$$i_{ref_m}(t) = i_{L_m}(t) - \frac{P}{3U_{rms}^2}u_m(t) \quad (10)$$

Cuando la tensión de alimentación no presenta distorsión ni desbalance, la compensación basada en (10) puede ser usada para mitigar el alto contenido armónico en las corrientes de carga, el desbalance de las corrientes de la red eléctrica y corregir el bajo factor de potencia [6].

Finalmente, la corriente de referencia total que el filtro activo debe entregar en el punto de conexión común está dada por la suma de la corriente de referencia para la compensación de la corriente de carga y la corriente de referencia para el control de la tensión del bus de DC tal como se describe en (11).

$$i_{cref_m}(t) = i_{ref_m}(t) + i_{dcref_m}(t) \quad (11)$$

2.3 Control del convertidor de potencia.

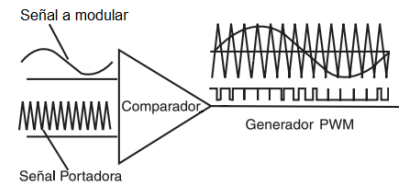
Las técnicas de control del convertidor de potencia tienen por objetivo conseguir que las corrientes de salida del mismo sigan fielmente las referencias halladas en (11). En general estas técnicas se dividen en dos grupos [12], técnicas de control de lazo abierto y técnicas de control de lazo cerrado. Estas últimas son mayormente utilizadas para el control de los filtros activos.

2.3.1 Técnicas de lazo abierto

Estas técnicas controlan la tensión de salida del inversor a partir de una señal de referencia basándose en los tiempos de encendido y apagado de los dispositivos semiconductores que hacen parte del convertidor de potencia [6, 13]. Entre ellas están la modulación por ancho de pulso (*PWM-Pulse With Modulation*) y la modulación vectorial (*SVM-Space Vector Modulation*). Este trabajo se enfoca en la topología TLSC y la estrategia de control implementada es modulación por ancho de pulso, PWM junto a las técnicas lineales de lazo cerrado de control PI y *Deadbeat* las cuales son descritas más adelante.

Modulación PWM Consiste en controlar el ancho de los pulsos por ciclo de trabajo basándose en la comparación de la señal a modular y una señal portadora generalmente triangular [14]. En la Figura 3, se muestra un ejemplo de generación de pulsos por modulación PWM.

Fig. 3: Modulación por ancho de pulsos PWM.



Fuente: Modulación por ancho de pulso (PWM) y modulación vectorial (SVM). Una introducción a las técnicas de modulación. Johnny Contreras.

2.3.2 Técnicas de lazo cerrado

Estas técnicas mantienen la corriente de salida del sistema cercana a la referencia deseada a partir de la señal de error $e(t)$, resultante de la diferencia de la señal de referencia $y_{ref}(t)$, y la señal real obtenida $y(t)$. Las técnicas de lazo cerrado se pueden clasificar según su funcionamiento en dos grupos: lineales y no lineales [6, 15]. Entre las lineales se encuentran el controlador proporcional integral (*PI*) y el control predictivo de tiempo muerto (*Deadbeat*), y entre los no lineales se encuentra modulación delta (*DM*) [3, 15]. Es válido resaltar que los controles no lineales obtienen directamente las señales de conmutación del inversor de potencia mientras que los controladores lineales requieren de una técnica de control de lazo abierto para sintetizar las tensiones de control, en este trabajo se usa la técnica PWM explicada anteriormente. A continuación se describen las estrategias implementadas en el trabajo de grado:

Modulación Delta Este método es una variación del regulador de corriente de histéresis tradicional [16] y consiste en aplicar una tensión constante durante cada periodo de conmutación. Las señales de salida son obtenidas por medio de la comparación entre el error de corriente actual y una banda de tolerancia fija (usualmente nula) para cada periodo de conmutación [5, 6]. Las señales de conmutación son generadas usando la siguiente lógica:

1. Si $i_{actual} < i_{cref}$, el interruptor superior de la rama se cierra y el interruptor inferior se abre.
2. Si $i_{actual} > i_{cref}$, el interruptor superior de la rama se abre y el interruptor inferior se cierra.

Considerando que en un periodo de muestreo la tensión de la red permanece constante, la corriente inyectada por el convertidor se puede aproximar por la ecuación (12).

$$i_c(t) = \frac{u_{inv} - u}{L} + i_c(t_0) \quad (12)$$

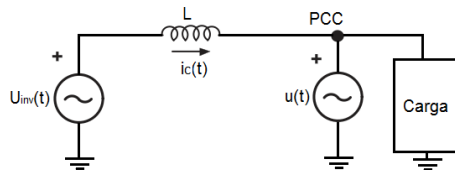
En donde $i_c(t_0)$ corresponde a la corriente en el instante inicial del periodo (t_0). Nótese que la ecuación (12) representa una línea recta con pendiente p descrita como:

$$p = \frac{u_{inv} - u}{L} \quad (13)$$

En (13) la pendiente de la corriente depende de la diferencia entre la tensión de salida del inversor u_{inv} y la tensión de suministro u , así como de la inductancia de acople L , por lo que su valor afecta el rizado de la corriente inyectada.

Controlador predictivo de tiempo muerto (Deadbeat) Este controlador determina la tensión que debe sintetizar el convertidor la cual permite alcanzar la referencia de corriente al final del presente periodo de muestreo con base en el modelo del sistema a controlar [6, 17]. Partiendo del equivalente monofásico del convertidor de potencia para la topología TLSC mostrado en la Figura 4, la tensión a sintetizar por el controlador *Deadbeat* es mostrada en (14).

Fig. 4: Equivalente monofásico del sistema para la topología TLSC.



Fuente: Autores

$$L \frac{di_c(t)}{dt} = u_{inv}(t) - u(t) \quad (14)$$

En (14), u_{inv} es la tensión de salida del convertidor respecto al punto intermedio del bus de continua, L es la inductancia de acople a la red, u es

en la tensión fase neutro de suministro e i_c corresponde a la corriente inyectada por el convertidor. La ecuación (14) es discretizada por medio de la transformada de la primera diferencia, considerando que la tensión en el PCC y la tensión de salida del inversor permanecen constantes durante un periodo de muestreo, llegando a la siguiente expresión:

$$u_{inv}(k) = \frac{L}{T_{sw}} [i_{cref}(k) - i_c(k)] + u(k) \quad (15)$$

Donde T_{sw} corresponde al periodo de muestreo e i_{cref} es la corriente de referencia.

Controlador Proporcional-Integral Este controlador calcula las tensiones de control del convertidor de potencia por medio de una acción proporcional a la señal de error y otra acción proporcional a la integral del error [6, 13, 17]. La tensión de salida del convertidor está definida por la ecuación (16).

$$u_{inv}(t) = K_p e(t) + \frac{K_p}{T_i} \int_0^t e(t) dt \quad (16)$$

Derivando (16) y aproximando por el método de la primera diferencia, se obtiene la siguiente ecuación discreta:

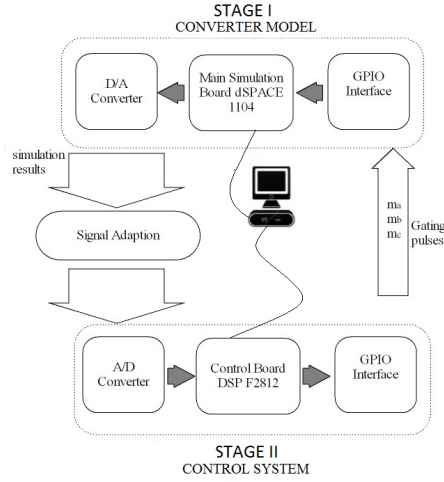
$$u_{inv}(k) = \frac{K_p}{T_i} [e(k) - e(k-1)] + \frac{K_p}{T_i} e(k) T_{sw} + u_{inv}(k-1) \quad (17)$$

Donde $e(k)$ representa la diferencia entre la señal de referencia i_{cref} y la corriente generada i_c ; K_p corresponde a la ganancia proporcional y T_i se denomina tiempo integral, su recíproco es llamado frecuencia de reposición y representa el número de veces que se repite la acción proporcional [6].

3 Estructura del Sistema

En este trabajo se implementó el sistema representado por el diagrama de bloques mostrado en la Figura 5. Este sistema está compuesto por dos etapas principales. La primera etapa corresponde al modelo del convertidor trifásico TLSC, del equivalente del sistema de distribución y del modelo de la carga. Dicha etapa es implementada en la tarjeta de desarrollo DS1104 R&D [18]. La segunda etapa consiste en el sistema de control, implementado en el DSP *starter kit* eZdspF2812 [19]. Las señales analógicas son acondicionadas para la comunicación entre las etapas mencionadas.

Fig. 5: Diagrama de bloques del modelo del convertidor y del controlador del SAPF.



Fuente: Autores

El modo de funcionamiento es el siguiente: la etapa 1 envía los estados de las variables del sistema a la etapa 2 por medio de señales analógicas. Por su lado, la etapa 2 envía las señales de conmutación o ciclos de trabajo de los interruptores de potencia a la etapa 1 por medio de señales digitales. A continuación se presenta una descripción de cada una de las etapas y se describen los modos de operación del sistema:

3.1 Etapa 1: Modelo del convertidor para simulación en tiempo real

Con el propósito de representar la operación del convertidor trifásico TLSC, se implementó un modelo discretizado basado en la representación de espacio de estados, el cual es descrito en [20]. Este modelo representa las relaciones matemáticas que describen la operación de los elementos que definen el convertidor, tales como los condensadores del lado de DC, los elementos de estado sólido responsables de las conmutaciones y los elementos que conforman el filtro de acoplamiento a la red (resistencia e inductancia). Por otro lado en esta etapa también son implementados los modelos del sistema de distribución y de la carga.

El funcionamiento general de la Etapa 1 consiste en establecer las corrientes inyectadas por el convertidor para cada fase (i_{ca} , i_{cb} , i_{cc}) y las tensiones de los condensadores del lado de DC (u_{dc1} , u_{dc2}), mostradas en la Figura 2, a partir de las señales de

conmutación recibidas desde el DSP (m_a , m_b , m_c) y las tensiones de alimentación de la red (u_a , u_b , u_c), considerando los dispositivos de estado sólido del convertidor como interruptores ideales. Las ecuaciones del sistema representadas en el espacio de estados se presentan a continuación:

$$\mathbf{x}[k+1] = \Phi \mathbf{x}[k] + \gamma \mathbf{u}[k] \quad \text{en donde (18)}$$

$$\Phi = \begin{bmatrix} 1 - \frac{R_f h}{L_f} & 0 & 0 & \frac{m_a h}{L_f} & \frac{(m_a - 1)h}{L_f} \\ 0 & 1 - \frac{R_f h}{L_f} & 0 & \frac{m_b h}{L_f} & \frac{(m_b - 1)h}{L_f} \\ 0 & 0 & 1 - \frac{R_f h}{L_f} & \frac{m_c h}{L_f} & \frac{(m_c - 1)h}{L_f} \\ -\frac{m_a h}{C_1} & -\frac{m_b h}{C_1} & -\frac{m_c h}{C_1} & 1 & 0 \\ \frac{(1 - m_a)h}{C_2} & \frac{(1 - m_b)h}{C_2} & \frac{(1 - m_c)h}{C_2} & 0 & 1 \end{bmatrix}$$

$$\gamma = \begin{bmatrix} -\frac{h}{L_f} + \frac{R_f h^2}{2L_f^2} & 0 & 0 \\ 0 & -\frac{h}{L_f} + \frac{R_f h^2}{2L_f^2} & 0 \\ 0 & 0 & -\frac{h}{L_f} + \frac{R_f h^2}{2L_f^2} \end{bmatrix}$$

$$\mathbf{x} = \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \\ v_{dc1} \\ v_{dc2} \end{bmatrix} \quad \mathbf{u} = \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix}$$

La ecuación de salida es $\mathbf{y} = \mathbf{C}\mathbf{x}$ donde \mathbf{C} es la matriz identidad de tamaño 5x5. Estos modelos son implementados en la tarjeta dSPACE 1104 la cual es programa en *Simulink* por medio de la herramienta *Real Time Workshop*, la cual permite compilar los modelos de *Simulink* en lenguaje C e implementarlos en la dSPACE. Por otro lado el fabricante ofrece la *toolbox rti1104* la cual incluye los diferentes componentes y periféricos de la tarjeta de control [20].

3.2 Etapa 2: Implementación del sistema de control

El control implementado del SAPF está compuesto por los siguientes algoritmos:

- Teoría Fryze para el cálculo de la corriente de referencia.
- Controlador PI para el control del bus DC.

- Modulación Delta, *Deadbeat* y Controlador PI como controladores de corriente. Para las dos últimas técnicas las tensiones a la salida del inversor son sintetizadas por medio de la técnica de lazo abierto PWM.

La programación de las estrategias de control es realizada en lenguaje C usando la herramienta Code Composer Studio 3.1 proporcionada por Texas Instruments. El DSP ejecuta tres funciones principales: en primer lugar adquiere las señales analógicas que describen las características de operación del modelo del SAPF, estas señales son adquiridas por medio del módulo ADC (Convertidor Analógico-Digital). La segunda función consiste en calcular las señales de conmutación requeridas para el correcto funcionamiento del filtro activo. Esta función es realizada por medio de la implementación de los algoritmos anteriormente mencionados. Finalmente las señales de conmutación son enviadas a la tarjeta dSPACE a través de los canales de propósito general GPIO (*General-Purpose Input/Output*). Una mejor descripción se presenta en el anexo A.

3.3 Modos de operación

El sistema de control del SAPF para la topología TLSC requiere la adquisición de diez señales analógicas las cuales representan el estado de las variables del sistema para el instante t estas son: $u_a, u_b, u_c, i_{La}, i_{Lb}, i_{Lc}, u_{dc1}, u_{dc2}, i_{ca}, i_{cb}$ e i_{cc} . Sin embargo debido al número limitado (8) de salidas del convertidor digital analógico (*DAC- Digital to Analog Converter*) de la tarjeta dSPACE 1104 se proponen dos modos de operación los cuales son expuestos a continuación:

3.3.1 Modo de operación I, comunicación secuencial

El primer modo consiste en una simulación en tiempo real en donde el modelo del convertidor y el control se ejecutan de forma secuencial, como se ve en la Figura 6. Bajo estas condiciones el periodo total del sistema resulta como la suma de los tiempos de ejecución de cada una de las etapas, convertidor y control.

La lógica de operación consiste en seis diferentes pasos. En el primer paso el modelo simulado (dSPACE 1104) adquiere la información referente a las señales de compuerta a través del módulo de entrada *Master-Bit in-out* y, a partir de ésta, se desarrolla la solución para el modelo del convertidor

(corrientes de compensación y tensiones de los condensadores). En el segundo paso, una interrupción externa es generada por la dSPACE que representa un pedido de inicio de conversión para el módulo ADC del DSP F2812. Durante el segundo y tercer paso, se ejecuta la acción de control generando las señales de conmutación para los elementos de estado sólido del modelo SAPF. Estas señales de conmutación son enviadas directamente desde los puertos GPIO del DSP a las entradas digitales de la tarjeta de desarrollo dSPACE.

Los pasos cuatro, cinco y seis operan similar al primero, segundo y tercero respectivamente, sin embargo, debido al limitado número de salidas analógicas con las que cuenta la tarjeta dSPACE 1104 las señales enviadas por el simulador cambian en el paso 4 de tal manera que los canales utilizados para la adquisición de las tensiones de la red pasan a ser utilizados para adquirir las tensiones de los condensadores del lado de continua y, de esta forma, recibir todas las señales requeridas, ver Figura 6. A partir de los tiempos de ejecución de los algoritmos implementados en el DSP, la frecuencia de trabajo del sistema para el caso de modulación delta fue de 8 kHz mientras que para las técnicas de control *Deadbeat* y PI fue de 6 kHz.

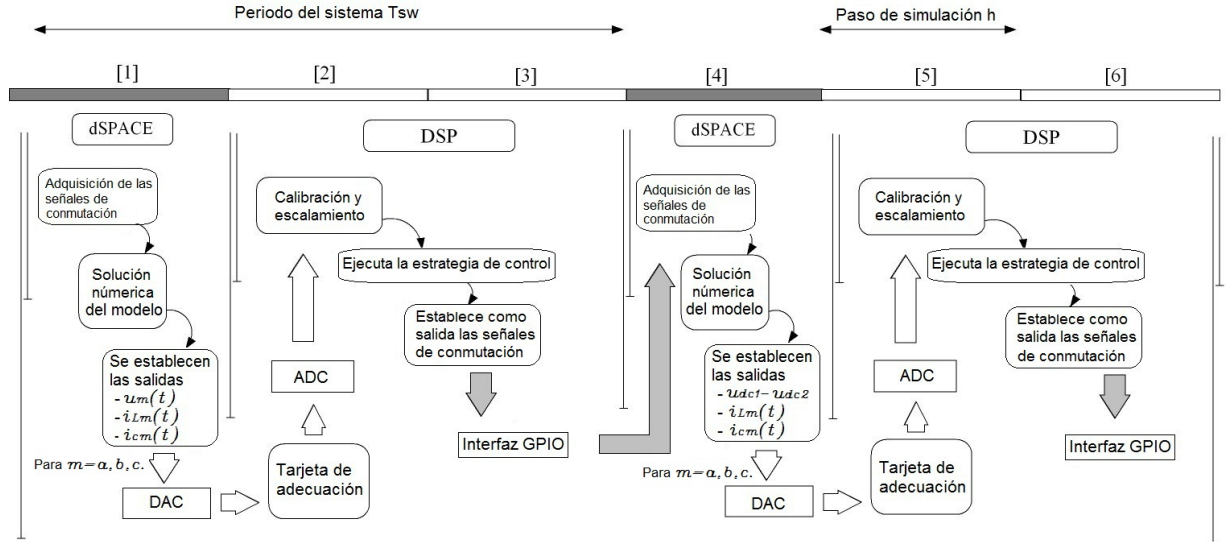
En este modo de operación se introduce un retardo al momento de ejecutar los comandos de conmutación con lo cual se pretende representar el periodo de retraso existente entre el sistema de control y el convertidor real producto de la operación continua e ininterrumpida de éste último. En el anexo D son presentados los resultados para un convertidor ideal en el cual no se introduce ningún retardo.

3.3.2 Modo de operación II, comunicación paralela

En un sistema real de un SAPF el sistema de control opera de forma paralela e independiente al convertidor. En este modo de operación el controlador (DSP) y el modelo del convertidor (dSPACE) son ejecutados independientemente de forma simultánea con lo que se alcanza una frecuencia de muestreo de 10 kHz para los algoritmos implementados en este proyecto. El modelo del convertidor opera permanentemente a una velocidad mayor, específicamente tres veces más rápido que el sistema de control (30 kHz en este trabajo).

Como la tarjeta de desarrollo dSPACE 1104 cuenta con sólo ocho canales de conversión Digital-Analógico en este modo de operación se envían las

Fig. 6: Interacción de las etapas del sistema en el modo de operación I, comunicación secuencial.



Fuente: Autores

señales: $u_a, u_b, i_{La}, i_{Lb}, u_{dc}, i_{ca}, i_{cb}$ e i_{cc} . Por lo tanto se debe trabajar bajo las siguientes condiciones:

- Control de la tensión global del lado de DC y no la tensión individual de cada condensador.
- Las corrientes de carga simuladas no pueden contener componente homopolar, ya que se va a asumir que la corriente de la tercera fase se determina como:

$$i_{Lc} = -i_{La} - i_{Lb} \quad (19)$$

En este modo de operación son consideradas únicamente las corrientes de carga desbalanceadas y distorsionadas correspondientes a la Figura 9 y las corrientes de carga con bajo factor de potencia de la Figura 7 ya que no tienen componente de secuencia homopolar.

Por otro lado este modo permite simular con una aproximación más cercana a la realidad el funcionamiento del compensador, ya que el sistema de control se implementa de la misma manera como se haría en un compensador real.

4 Parámetros y condiciones de operación del sistema

Con la finalidad de analizar y comparar el funcionamiento del sistema, se implementaron los dos

modos de operación descritos anteriormente. En cada uno de éstos, se ejecutan de forma separada los controladores de corriente: modulación delta, proporcional integral y *deadbeat*. Para probar la efectividad de los controladores mencionados se realizan simulaciones en tiempo real con las corrientes de carga distorsionadas y desbalanceadas descritas en la subsección 4.1. En todos los casos se consideran tensiones de red balanceadas y equilibradas tal como se muestra a continuación:

$$u_a(t) = 170 \sin(120\pi t) \quad [\text{V}] \quad (20)$$

$$u_b(t) = 170 \sin(120\pi t - 120^\circ) \quad [\text{V}] \quad (21)$$

$$u_c(t) = 170 \sin(120\pi t + 120^\circ) \quad [\text{V}] \quad (22)$$

4.1 Corrientes de carga

Para el análisis del comportamiento del filtro activo y la comparación de los controladores de corriente se consideran tres tipos de cargas las cuales son descritas a continuación:

4.1.1 Corrientes con bajo factor de potencia

En este caso las corrientes de carga son sinusoidales y balanceadas con factor de potencia de 0.866 en

atraso, su representación matemática se muestra por medio de las siguientes ecuaciones:

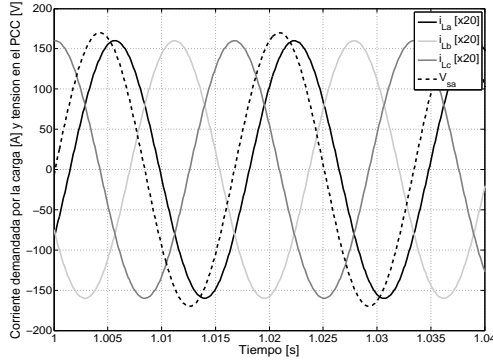
$$i_{L_a} = 8 \sin(120\pi t - 30^\circ) \quad [\text{A}] \quad (23)$$

$$i_{L_b} = 8 \sin(120\pi t - 150^\circ) \quad [\text{A}] \quad (24)$$

$$i_{L_c} = 8 \sin(120\pi t + 90^\circ) \quad [\text{A}] \quad (25)$$

En la Figura 7 se muestran las corrientes de línea y la tensión de la fase a (u_a). Se puede apreciar el desfase existente entre la tensión de suministro y la corriente de la red para la fase a lo cual conlleva a que el sistema suministre potencia reactiva sobredimensionando los conductores y las protecciones del mismo.

Fig. 7: Corrientes de carga para $FP = 0.866$ en atraso y tensión fase a .



Fuente: Autores

4.1.2 Corrientes balanceadas distorsionadas

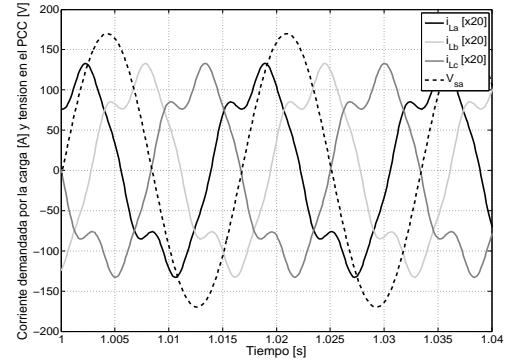
Este tipo de corrientes, producto de cargas no lineales, están compuestas por los armónicos: primero, tercero y quinto. Con estas señales se puede evaluar el rendimiento del controlador del lado de DC, debido al desbalance que puede aparecer en las tensiones individuales de los condensadores cuando una corriente homopolar fluye por el neutro [7]. Las señales se pueden apreciar en la Figura 8 y están representadas por las siguientes ecuaciones:

$$i_{L_a}(t) = \begin{aligned} &6 \sin(120\pi t + 60^\circ) - \sin(360\pi t + 60^\circ) \\ &-0.6 \sin(600\pi t + 60^\circ) \end{aligned} \quad [\text{A}] \quad (26)$$

$$i_{L_b}(t) = \begin{aligned} &6 \sin(120\pi t - 60^\circ) - \sin(360\pi t + 60^\circ) \\ &-0.6 \sin(600\pi t + 180^\circ) \end{aligned} \quad [\text{A}] \quad (27)$$

$$i_{L_c}(t) = \begin{aligned} &6 \sin(120\pi t + 180^\circ) - \sin(360\pi t + 60^\circ) \\ &-0.6 \sin(600\pi t - 60^\circ) \end{aligned} \quad [\text{A}] \quad (28)$$

Fig. 8: Corrientes balanceadas distorsionadas y tensión en el PCC para la fase a .



Fuente: Autores

4.1.3 Corrientes desbalanceadas y distorsionadas

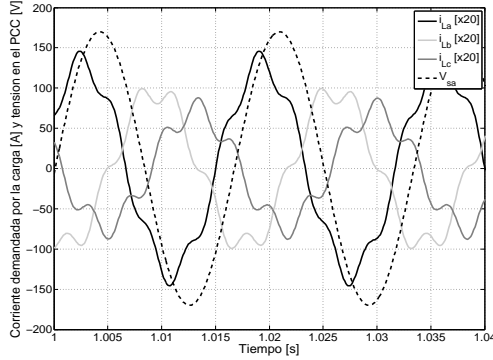
En este caso, las corrientes de carga están compuestas por un componente del primer armónico, una componente de secuencia negativa a la frecuencia fundamental y una componente del quinto armónico. De esta manera, cada fase tiene una forma de onda diferente para cada corriente de carga, tal como se puede apreciar en la Figura 9. Dichas corrientes son representadas por las siguientes ecuaciones:

$$i_{L_a}(t) = \begin{aligned} &4.8 \sin(120\pi t + 30^\circ) \\ &+1.8 \sin(120\pi t + 50^\circ) \\ &-0.8 \sin(600\pi t + 30^\circ) \end{aligned} \quad [\text{A}] \quad (29)$$

$$i_{L_b}(t) = \begin{aligned} &4.8 \sin(120\pi t - 90^\circ) \\ &+1.8 \sin(120\pi t + 170^\circ) \\ &-0.8 \sin(600\pi t + 150^\circ) \end{aligned} \quad [\text{A}] \quad (30)$$

$$i_{L_c}(t) = \begin{aligned} &4.8 \sin(120\pi t + 150^\circ) \\ &+1.8 \sin(120\pi t - 70^\circ) \\ &-0.8 \sin(600\pi t - 90^\circ) \end{aligned} \quad [\text{A}] \quad (31)$$

Fig. 9: Corrientes de carga desbalanceadas y distorsionadas y tensión en el PCC para la fase a.



Fuente: Autores

4.2 Parámetros del sistema

Los parámetros para la simulación en tiempo real del sistema son presentados en la Tabla 1.

Parámetro	valor
Tensión de línea del sistema u_l	208 V _{rms}
Frecuencia del sistema f_s	60 Hz
Inductancia de acople L_f	50 mH
Resistencia de acople R_f	1 Ω
Capacitancia C_1	2200 μ F
Capacitancia C_2	2200 μ F
Tensión de referencia C_1 U_{dcref1}	270 V _{dc}
Tensión de referencia C_2 U_{dcref2}	270 V _{dc}
Constante integral K_i	0,03
Constante proporcional K_p , comunicación secuencial.	0,138
Constante proporcional K_p , comunicación paralelo.	0,069

Tabla 1: Parámetros del sistema

El valor de referencia de la tensión en los condensadores se establece de tal forma que sea mayor a la tensión pico fase-neutro de la red, garantizando la controlabilidad del filtro activo [12]. El valor de la inductancia de acople es una variable que determina la rapidez de la variación de la corriente en el tiempo, afectando directamente el rizado de la corriente inyectada por el convertidor. Este valor fue determinado a partir de la ecuación (32) la cual representa la variación máxima de la corriente inyectada por el filtro en un periodo de conmutación asumiendo la técnica de control de corriente por modulación delta.

$$\Delta I_{max} = \frac{U_{dcref} + u_{pico}}{f_{sw} L} \quad (32)$$

En (32) u_{pico} corresponde al valor máximo de la tensión fase-neutro y f_{sw} es la frecuencia de operación del control. Para una frecuencia f_{sw} de 10 kHz y la bobina seleccionada $L = 50$ mH se tiene un error máximo de $\Delta I_{max} = 0,88$ [A].

4.3 Criterios de comparación

Para medir el desempeño de las técnicas de control de corriente en el seguimiento de la señal de referencia se toma como criterio el máximo error instantáneo en estado estable (EEE), y el error cuadrático medio (E_{rms}), los cuales son calculados a partir de las siguientes ecuaciones:

$$\Delta i(t) = i_c(t) - i_{cref}(t) \quad (33)$$

$$\Delta I = \sqrt{\frac{1}{T} \int_0^T (i_c(t) - i_{cref}(t))^2 dt} \quad (34)$$

Donde $i_c(t)$ e $i_{cref}(t)$ corresponden a las señales de corriente inyectada y de referencia respectivamente, T es el periodo fundamental de la señal de tensión de la red, $\Delta i(t)$ es el error instantáneo y ΔI corresponde al error cuadrático medio [6].

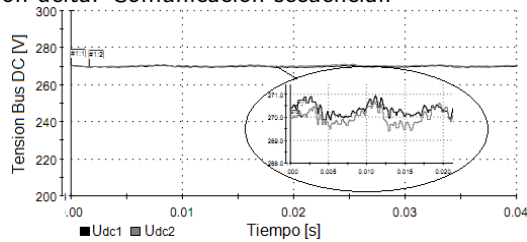
5 Resultados Obtenidos

Con el propósito de verificar el funcionamiento de los lazos de control implementados en el DSP, se realizaron simulaciones en tiempo real considerando las corrientes de carga descritas en la sección 4. A continuación son mostrados los resultados para las corrientes de carga desbalanceadas y desequilibradas mostradas en la Figura 9. Los resultados para las otras corrientes de carga son mostrados en el anexo D. En ambos modos de operación los resultados en tiempo real son comparados con las señales obtenidas por medio de simulaciones en *Matlab/Simulink*, con el fin de verificar el correcto funcionamiento del simulador en tiempo real.

5.1 Resultados para el modo de operación I, Comunicación secuencial.

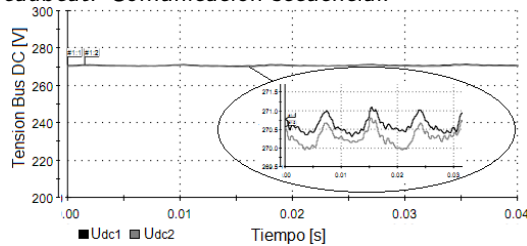
5.1.1 Resultados del sistema en tiempo real

Fig. 10: Tensión del lado de DC mediante modulación delta. Comunicación secuencial.



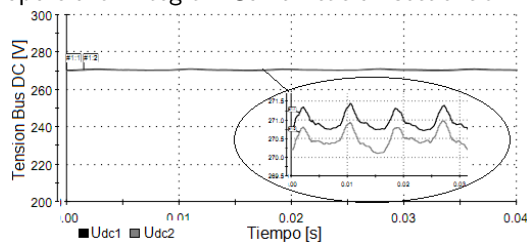
Fuente: Autores

Fig. 11: Tensión del lado de DC mediante el control *Deadbeat*. Comunicación secuencial.



Fuente: Autores

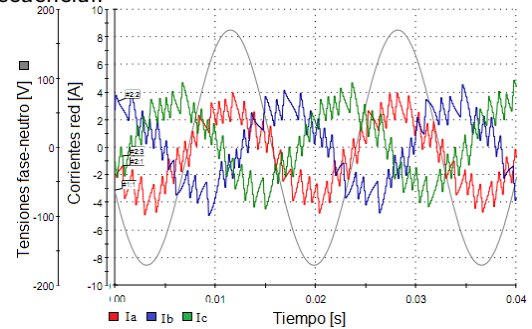
Fig. 12: Tensión del lado de DC mediante el control proporcional integral. Comunicación secuencial.



Fuente: Autores

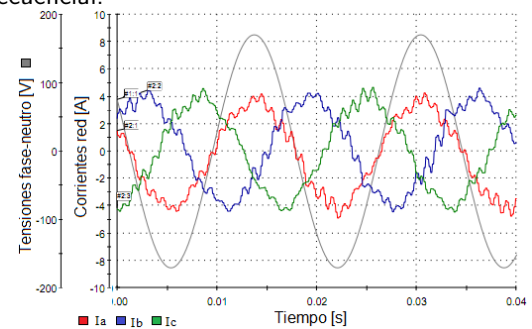
En las Figuras 10, 11 y 12 son mostrados los resultados en estado estable de la tensión del lado de DC (u_{dc}) para los controladores modulación delta, *Deadbeat* y proporcional integral, respectivamente. Se puede apreciar que las tensiones en los condensadores C_1 (u_{dc1}) y C_2 (u_{dc2}) permanecen cercanas al valor de referencia de 270 [V] lo que permite y asegura la controlabilidad del SAPF.

Fig. 13: Corrientes de red y tensión de suministro fase *a* mediante modulación delta. Comunicación secuencial.



Fuente: Autores

Fig. 14: Corrientes de red y tensión de suministro fase *a* mediante control *Deadbeat*. Comunicación secuencial.

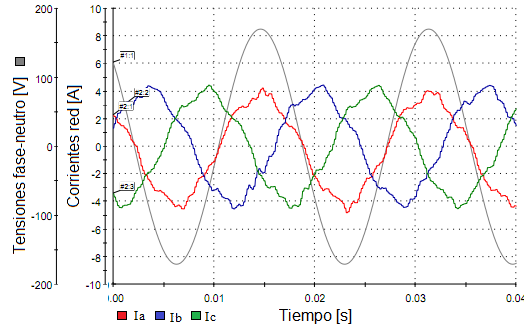


Fuente: Autores

Por otra parte, en las Figuras 13, 14 y 15 son mostradas las corrientes de la red luego de la compensación así como la tensión de suministro para la fase *a* para los tres controladores de corriente. Nótese que el SAPF mejora la forma de onda de las corrientes de red debido a que corrige el factor de potencia, reduce la distorsión armónica y logra balancear las tres fases llevando las formas de onda de las corrientes de red cercanas a sinusoidales puras de secuencia positiva en fase con las tensiones en el PCC.

Se puede observar que la técnica de modulación delta realizada a 8 kHz presenta mayor rizado de alta frecuencia en las corrientes de red en comparación con las otras técnicas, las cuales operan a menor velocidad (6 kHz). Esta diferencia radica en que la modulación delta opera siempre en saturación (alto o bajo) mientras que las acciones de control de los controladores PI y *Deadbeat* son moduladas por PWM, es decir el ciclo de trabajo de la señal de

Fig. 15: Corrientes de red y tensión de suministro fase *a* mediante control proporcional integral. Comunicación secuencial.



Fuente: Autores

conmutación oscila entre el 0% y el 100%.

Controladores	EEE [A]	E_{rms} [A _{rms}]
Modulación delta	1,808	0,766
Control PI	0,829	0,402
Control Dead-Beat	0,996	0,362

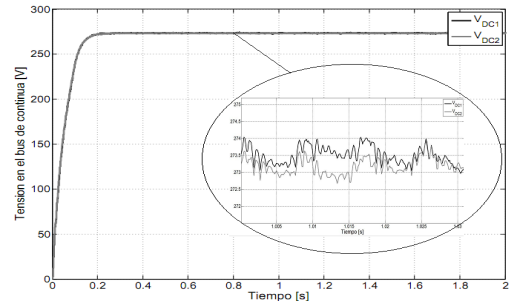
Tabla 2: Errores máximos, corrientes desbalanceadas y distorsionadas. Comunicación secuencial.

En la Tabla 2 son mostrados los errores de seguimiento para cada una de las técnicas de control de corriente implementadas. Se puede observar un mejor rendimiento del controlador *Deadbeat* tanto en error máximo instantáneo como en error cuadrático medio. Por su parte, la corriente inyectada usando la técnica de modulación delta es la que más difiere de la señal de referencia.

5.1.2 Resultados obtenidos en Matlab/Simulink

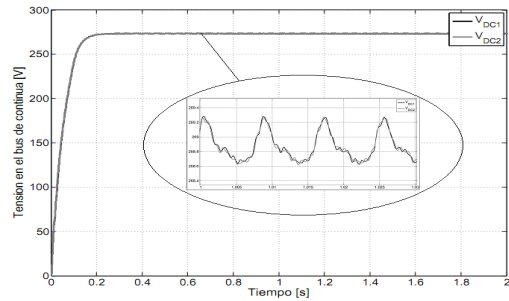
Con el objeto de verificar la validez de los resultados obtenidos en la simulación en tiempo real fueron desarrolladas simulaciones fuera de línea utilizando como herramienta *Matlab/Simulink*. El paso de simulación es establecido en $t_1 = 125\mu s$ para modulación delta y en $t_2 = 166,67\mu s$ para los controladores *Deadbeat* y PI. En las Figuras 16, 17 y 18 son mostradas las tensiones de los condensadores del lado de continua (u_{dc1}) y (u_{dc2}) para cada una de las técnicas de control del convertidor de potencia. En estas Figuras se puede apreciar un comportamiento muy similar en la forma de onda de las tensiones de los condensadores en comparación con las obtenidas

Fig. 16: Tensión del lado de DC en simulación *Matlab/Simulink* para modulación delta 8 kHz



Fuente: Autores

Fig. 17: Tensión del lado de DC en simulación *Matlab/Simulink* mediante control Dead-Beat 6 kHz

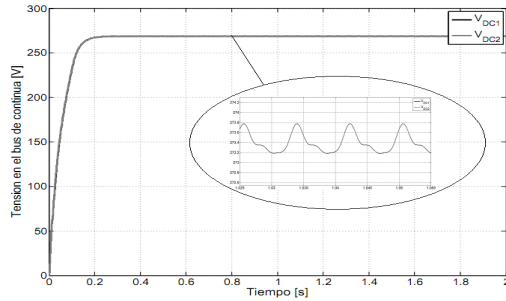


Fuente: Autores

en las simulaciones en tiempo real.

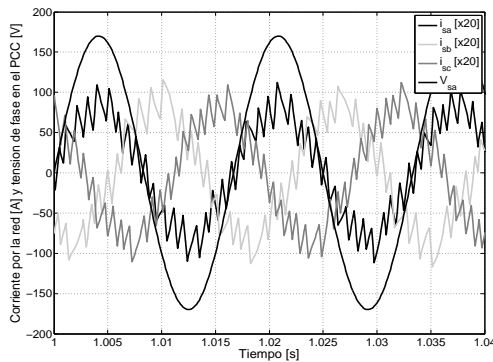
Por su parte en las Figuras 19, 20 y 21 son mostradas las corrientes de la red y la tensión de suministro de la fase *a* para las técnicas de modulación delta, control *Deadbeat* y control PI respectivamente. Nótese que los resultados corresponden con los obtenidos en la simulación en tiempo real, el filtro activo corrige el factor de potencia, mitiga la distorsión armónica y proporciona corrientes de red balanceadas de secuencia positiva. Con respecto al rendimiento de los controladores de corriente las formas de onda obtenidas para las corrientes de red por medio de la técnica *Deadbeat* presentan mayor rizado en comparación con las obtenidas por el controlador PI, sin embargo representan una mejor forma de onda sinusoidal. Al comparar los resultados se puede verificar el correcto funcionamiento del simulador.

Fig. 18: Tensión del lado de DC en simulación Matlab/Simulink mediante control Proporcional Integral.



Fuente: Autores

Fig. 19: Corrientes de red y tensión de suministro fase *a* en Matlab/Simulink para modulación delta 8 kHz.



Fuente: Autores

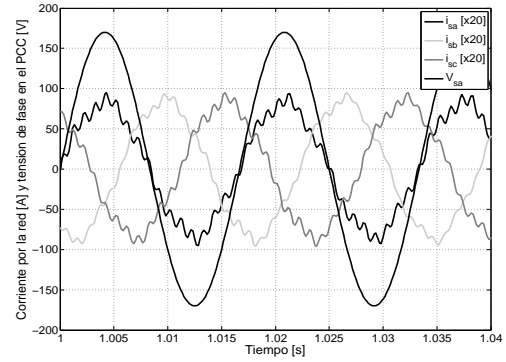
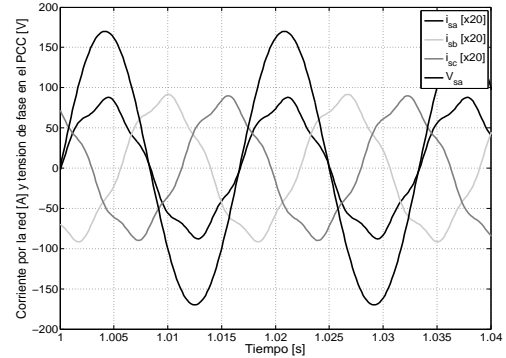


Fig. 20: Corrientes de red y tensión de suministro fase *a* en Matlab/Simulink mediante control Dead-beat a 6 kHz.

Fuente: Autores

Fig. 21: Corrientes de red y tensión de suministro fase *a* en Matlab/Simulink mediante control proporcional integral a 6 kHz.



Fuente: Autores

5.2 Resultados para el modo de operación II, Comunicación paralela.

5.2.1 Resultados de la simulación en tiempo real

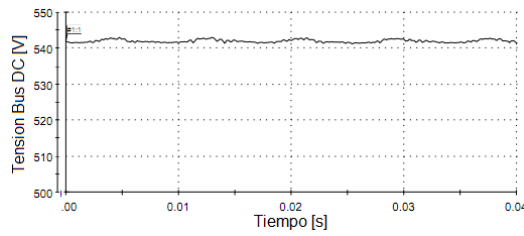
En las Figuras 22, 23 y 24 se muestran los resultados obtenidos para la tensión global del lado de continua cuando el control implementado en el DSP opera independiente de la dSPACE a una frecuencia de control de 10 kHz. Bajo este modo de operación el control únicamente se enfoca en la tensión global del bus de DC tal como fue descrito en la sección 4. En los resultados se puede observar que la tensión global u_{dc} alcanza la referencia de 540 V para los tres controladores de corriente.

En las Figuras 25, 26 y 27 se observa la corriente por la red y la tensión para la fase *a*. En este caso el SAPF opera correctamente inyectando a la red

la componente no-activa de la corriente de carga, la cual es calculada de forma adecuada por el algoritmo Fryze implementado. Nótese que la corriente de la red corresponde, para todos los casos, a una forma de onda sinusoidal en fase con la tensión en el PCC. Comparando las Figuras 13 y 25 se puede apreciar que el rizado en la corriente de la red para la técnica modulación delta está determinado por la rapidez del control o frecuencia de muestreo, presentándose mejores resultados para la operación en paralelo que opera a una mayor frecuencia. No obstante esta técnica de control de corriente es la que mayor rizado presenta en comparación con los otros dos controles implementados.

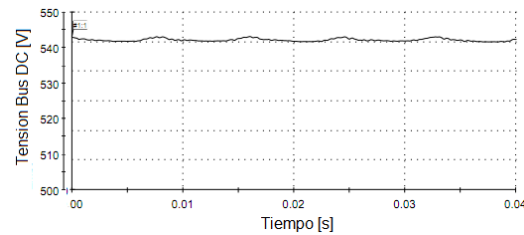
Los errores máximos obtenidos en el seguimiento de las corrientes de referencia por parte de los con-

Fig. 22: Tensión del lado de DC mediante modulación delta. Comunicación paralela.



Fuente: Autores

Fig. 23: Tensión del lado de DC mediante control *Deadbeat*. Comunicación paralela.



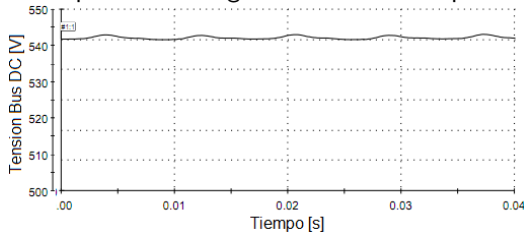
Fuente: Autores

troladores son presentados en la Tabla 3. Se puede observar un mejor seguimiento de las corrientes de referencia destacándose de nuevo el controlador *Deadbeat*.

5.2.2 Resultados obtenidos en Matlab/Simulink

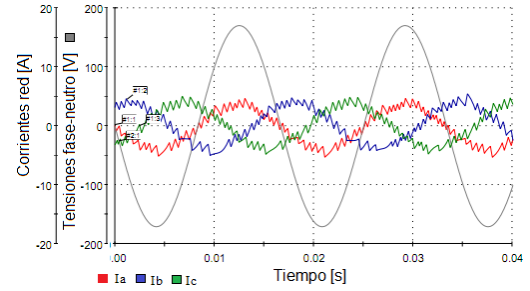
Nuevamente las formas de onda de los resultados obtenidos por medio de simulación en tiempo real son comparadas directamente con los resultados producto de simulación fuera de línea en *Matlab/Simulink*. En la Figuras 28, 29 y 30 es mostrada la tensión global del bus de DC u_{dc} para las técnicas

Fig. 24: Tensión del lado de DC mediante modulación Proporcional Integral. Comunicación paralela.



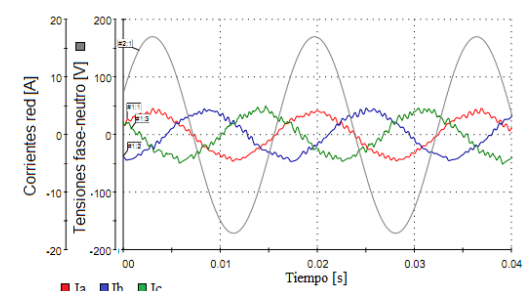
Fuente: Autores

Fig. 25: Corrientes de red y tensión de suministro fase *a* mediante modulación delta. Comunicación paralela.



Fuente: Autores

Fig. 26: Corrientes de red y tensión de suministro fase *a* mediante control *Deadbeat*. Comunicación paralela.



Fuente: Autores

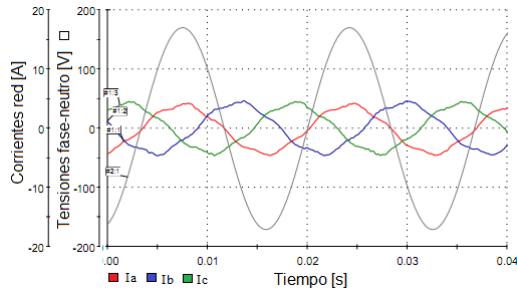
cas de control de modulación delta, *Deadbeat* y PI, respectivamente. En todos los casos el paso de simulación es $100\mu s$ y se puede observar un adecuado control por parte del controlador PI sobre el valor de la tensión del bus de DC.

Las corrientes de la red son mostradas en las Figuras 31, 32 y 33. Se puede apreciar que, al igual que en la simulación en tiempo real, el SAPF se encarga de corregir el factor de potencia, balancear las corrientes y reducir el contenido armónico de las mismas. Respecto al desempeño de los controladores se puede apreciar que la técnica *Deadbeat* implementada es la que presenta mejor prestaciones.

Controladores	EEE [A]	$E_{rms}[A_{rms}]$
Modulación delta	1,204	0,448
Control PI	0,856	0,389
Control <i>Deadbeat</i>	0,753	0,278

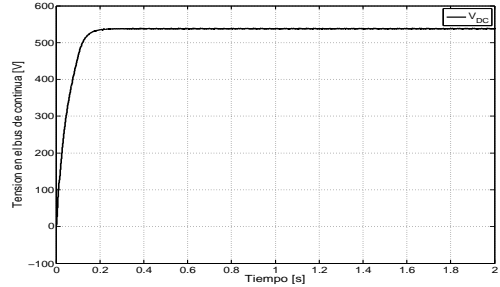
Tabla 3: Errores máximos, corrientes desbalanceadas y distorsionadas. Comunicación paralela.

Fig. 27: Corrientes de red y tensión de suministro fase *a* mediante control proporcional integral. Comunicación paralela.



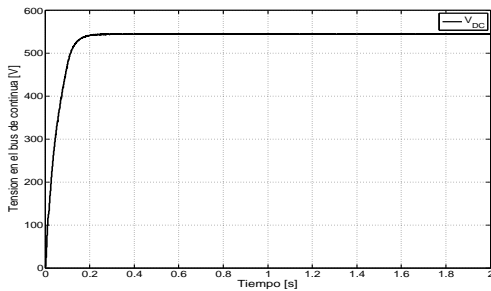
Fuente: Autores

Fig. 29: Tensión del lado de DC en simulación en *Matlab/Simulink* mediante control *Deadbeat* a 10 kHz



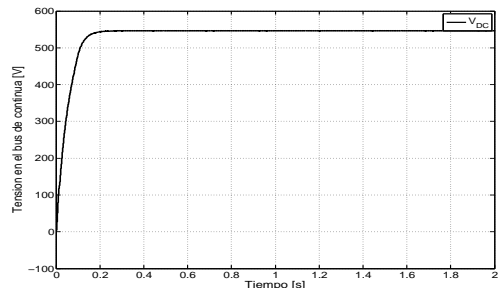
Fuente: Autores

Fig. 28: Tensión en el lado de DC en simulación en *Matlab/Simulink* para modulación delta a 10 kHz



Fuente: Autores

Fig. 30: Tensión del lado de DC en simulación en *Matlab/Simulink* mediante control proporcional integral a 10 kHz



Fuente: Autores

Con los anteriores resultados se comprueba el adecuado rendimiento de los controles implementados en la corrección del factor de potencia y mitigación de distorsiones y desbalances en las corrientes de carga con lo que se logra mejorar la calidad del suministro de energía eléctrica. Por otra parte al comparar los resultados en tiempo real con las simulaciones en *Matlab/Simulink* se verificó el correcto funcionamiento del simulador implementado

6 Conclusiones

En el presente trabajo se realizó la implementación de los tres lazos de control de un filtro activo de conexión paralela (SAPF) en el procesador digital de señales DSP TMS320F2812 utilizando la herramienta de programación *Code Composer Studio*. Con lo anterior se comprobó la viabilidad de implementar estos controladores en tiempo real.

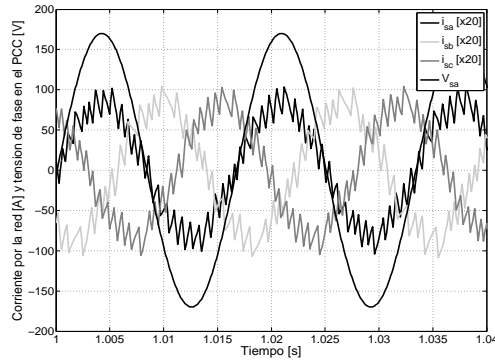
Se utilizó un simulador en tiempo real el cual representa el funcionamiento del filtro activo para

comprobar el correcto funcionamiento de los controles discretos implementados, ante diferentes tipos de cargas desbalanceadas, distorsionadas y con bajo factor de potencia, como se haría en un compensador real.

Las formas de onda obtenidas en las simulaciones en tiempo real fueron contrastadas con los resultados de simulaciones fuera de línea realizadas en *Matlab/Simulink*, comprobando primero el funcionamiento del simulador y, además, el adecuado comportamiento del algoritmo de control de la tensión del lado de continua, la funcionalidad del SAPF para compensar corrientes de carga con distorsiones y desbalances y el correcto funcionamiento del sistema.

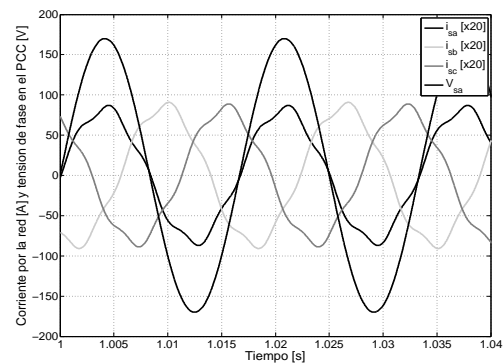
Se realizó un análisis comparativo entre las tres técnicas de control del convertidor de potencia implementadas: modulación delta, proporcional integral y *Deadbeat*. El controlador *Deadbeat* presentó mejor desempeño bajo el criterio de error cuadrático medio en estado estable para el seguimiento de

Fig. 31: Corrientes de red y tensión de suministro fase *a* *Matlab/Simulink* para modulación delta a 10 kHz.



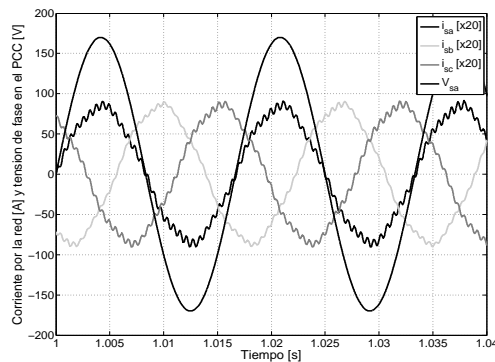
Fuente: Autores

Fig. 33: Corrientes de red y tensión de suministro fase *a* *Matlab/Simulink* mediante control Proporcional Integral a 10 kHz.



Fuente: Autores

Fig. 32: Corrientes de red y tensión de suministro fase *a* *Matlab/Simulink* mediante control *Deadbeat* a 10 kHz.



Fuente: Autores

señales de referencia.

Se estableció una lógica de comunicación entre las dos etapas fundamentales que componen el sistema (simulación del convertidor en tiempo real y controlador) basada en la disponibilidad de recursos de hardware.

En la implementación de los algoritmos se concluyó que para que el control del SAPF presente un buen desempeño es necesario calibrar adecuadamente los elementos que se involucran en la adquisición de las señales analógicas, las cuales describen el comportamiento del convertidor de potencia.

Referencias

- [1] M.K. Mishra, K. Karthikeyan, and P.K. Linash, "A Development and Implementation of DSP Based DSTATCOM to Compensate Unbalanced Non-Linear Loads", in *2006 IEEE Power India Conference*, New Delhi, India, 2006.
- [2] T Devaraju, V.C.V. Reddy, and M.V. Kumar, "Modeling and Simulation of Custom Power Devices to Mitigate Power Quality Problems", *International Journal of Engineering Science*, vol. 2, no. 6, pp. 1880–1885, 2010.
- [3] Bhim Singh, Kamal Al-haddad, and Ambrish Chandra, "A Review of Active Filters for Power Quality Improvement", *IEEE Transactions on Industrial Electronics*, vol. 46, no. 5, pp. 960–971, 1999.
- [4] Donghua Chen and Shaojun Xie, "Review of the control strategies applied to active power filters", in *2004 IEEE International Conference on Electric Utility Deregulation, Restructuring and Power Technologies. Proceedings*, Hong Kong, 2004, pp. 666–670.
- [5] Johann F. Petit, *Control de filtros activos de potencia para la mitigación de armónicos y mejora del factor de potencia en sistemas desequilibrados*, Ph.d. dissertation, Universidad Carlos III de Madrid, Leganes, España, 2007.
- [6] J.F. Petit, H. Amaris, and G. Robles, "Current Control Schemes for Shunt Active Filters: Pre-

- dictive Algorithms”, *2005/2006 PES TD*, pp. 693–698.
- [7] Pedro Rodríguez, *Aportaciones a los acondicionadores activos de corriente en derivación para redes trifásicas de cuatro hilos*, Ph.d dissertation, Universidad Politécnica de Cataluña, 2005.
- [8] M.A. Mantilla and Johann F. Petit, “DC Bus Voltage Control in Four-Wire Shunt Active Power Filters with Split Capacitor”, in *2010 IEEE/PES Transmission & Distribution Latin America*, Sao Paulo, 2010.
- [9] M. Depenbrock, “The FBD-method, a generally applicable tool for analyzing power relations”, *Power Systems, IEEE Transactions on*, vol. 8, no. 2, pp. 381–387, 1993.
- [10] B. Singh and J. Solanki, “An Implementation of an Adaptive Control Algorithm for a Three-Phase Shunt Active Filter”, *IEEE Transactions on Industrial Electronics*, vol. 56, no. 8, pp. 2811–2820, August 2009.
- [11] Karl J. Astrom and Bjorn Witternmark, *Computer-Controlled Systems*, Prentice Hall, Inc, 3rd edition, 1997.
- [12] Nelforl Castelblanco, *Filtros Activos: Control por DSP de un filtro activo para la compensación de corrientes armónicas*, Msc dissertation, Universidad Industrial de Santander, 2006.
- [13] M.P. Kazmierkowski and L. Malesani, “Current control techniques for three-phase voltage-source PWM converters: a survey”, *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp. 691–703, 1998.
- [14] P.C. Johnny, “Modulación por ancho de pulso (PWM) y modulación vectorial (SVM). Una introducción a las técnicas de modulación”, *El Hombre y la Máquina*, pp. 70–83, 2005.
- [15] Guillermo Vargas, Julio Gélvez, María Mantilla, and Johann Petit, *Filtros Activos de Potencia: Análisis comparativo entre técnicas de control utilizadas en el convertidor de potencia*, Trabajo de grado, Universidad Industrial de Santander, 2010.
- [16] Maria A. Mantilla and Johann F. Petit, “Compensadores estáticos de potencia: visión general y revisión del estado del arte”, *Revista UIS Ingenierías*, vol. 9, Fasc 1, pp. 12, 2010.
- [17] S. Buso, L. Malesani, and P. Mattavelli, “Comparison of current control techniques for active filter applications”, *IEEE Transactions on Industrial Electronics*, vol. 45, no. 5, pp. 722–729, 1998.
- [18] Embedded Success DSPACE, “single-board hardware /DS1104 R&D controller board”, Tech. Rep., 2008.
- [19] Incorporated Spectrum Digital, “eZdsp TM F2812 Technical Reference”, Tech. Rep., DSP Delopment Systems, 2003.
- [20] Maria A. Mantilla, *Modelado y simulación en tiempo real de un compensador estático de potencia para sistemas de distribución*, Msc dissertation, Universidad Industrial de Santander, 2011.



Oscar Solano Nació en Piedecuesta, Santander, Colombia en 1989. Actualmente es estudiante de ingeniería eléctrica en la escuela de Ingenierías eléctrica, electrónica y de telecomunicaciones (E3T) de la Universidad Industrial de Santander (UIS). Sus áreas de interés son: calidad de la energía eléctrica, electrónica de potencia y filtros activos de potencia.



Cindy Viviescas Nació en Bucaramanga, Santander, Colombia en 1989. Actualmente es estudiante de ingeniería electrónica en la escuela de Ingenierías eléctrica, electrónica y de telecomunicaciones (E3T) de la Universidad Industrial de Santander (UIS). Sus áreas de interés son: calidad de la energía eléctrica, filtros activos de potencia, uso eficiente de la energía e instrumentación electrónica.



María Mantilla Nació en Bucaramanga (Santander), Colombia en 1985. Ingeniera electrónica de la Universidad Industrial de Santander (UIS), 2008. Actualmente es estudiante de maestría en ingeniería electrónica de la UIS e investigadora del Grupo de Investigación en Sistemas de Energía Eléctrica (GISEL-UIS). Áreas de interés: Calidad de la energía eléctrica, electrónica de potencia y dispositivos *Custom Power*.



Johann Petit Nació en Villanueva (La Guajira), Colombia. Ingeniero electricista UIS, 1997; Magíster en potencia eléctrica y especialista en docencia universitaria UIS, 2002; Doctor en ingeniería eléctrica, electrónica y automática por la Universidad Carlos III de Madrid, España, 2007. Profesor titular de la escuela de Ingenierías eléctrica, electrónica y de telecomunicaciones de la UIS y director del Grupo de Investigación en Sistemas de Energía Eléctrica (GISEL-UIS). Áreas de interés: electrónica de potencia, dispositivos FACTS, Uso racional y eficiente de la energía.



Alfredo Acevedo Recibió su título de pregrado en ingeniería electrónica en el año 2000 de la Universidad Industrial de Santander, y especialización en enseñanza universitaria en el 2005 de la UIS. Graduado como magíster en ingeniería electrónica de la UIS en 2007. Actualmente trabaja como profesor en la UIS en donde lidera y desarrolla proyectos en las áreas de Instrumentación electrónica, micro-electronica y UAVs.

Anexos

A. Procesador Digital de Señales

Para la implementación del sistema de control del filtro activo se utiliza el procesador digital de señales DSP TMS320 F2812 de *Texas Instruments*, el cual se encuentra contenido dentro de la tarjeta de evaluación eZdsp F2812 de *Spectrum Digital*. Esta tarjeta tiene incluidos los elementos que permiten desarrollar y ejecutar aplicaciones en tiempo real. En el presente anexo se describen las principales características de la tecnología usada en el desarrollo del proyecto y los elementos utilizados para la implementación del sistema de control.

A.1. Generalidades del DSP TMS320F2812

Este DSP pertenece a la familia de procesadores C2000 de *Texas Instruments*. Esta familia está formada por DSPs de punto fijo diseñados para realizar soluciones de alto rendimiento en aplicaciones de control exigentes. Las características principales de este procesador son:

- Velocidad de operación 150 MHz (tiempo de ciclo 6,67 ns).
- Reloj interno y sistema de control que soporta variaciones dinámicas del PLL (*Phase Lock Loop*).
- Alto rendimiento de CPU 32bits (16x16 y 32x32 operaciones MAC (multiplicar y acumular), respuesta rápida a las interrupciones, código de elevada eficiencia (C/C++ y Assembler).
- Memoria de 128k x 16 ROM, 128k x 16 flash.
- Tres temporizadores de 32 Bits CPU.
- Soporta módulo JTAG (*Join Test Action Group*).
- Tres interrupciones externas.
- Bloque de expansión de las interrupciones de los periféricos PIE que soporta hasta 45 interrupciones de periféricos.
- Dos manejadores de eventos (EVA, EVB).
- Convertidor ADC de 12 Bits, 16 conversiones (2 canales multiplexados, conversión sencilla o simultánea, rápida velocidad de conversión: 80ns/12.5 MSPS (*Mega-Samples Per Second*)).

- 32 Puertos de propósito general GPIO.
- Control de sistema y reloj.

El mapa de memoria del DSP, su bloque funcional e información adicional se puede obtener del manual de datos del procesador digital de señales proporcionado por *Texas Instruments*. El mapa de memoria resulta muy importante ya que en la programación del DSP es necesario un código fuente con la extensión *.cmd* el cual contiene la descripción del mapa de memoria específico del DSP utilizado, y define cual es el uso de cada módulo de memoria en la ejecución de la aplicación desarrollada.

A.2. Generalidades de la tarjeta de evaluación eZdsp F2812

La tarjeta de evaluación eZdsp F2812, ver figura A.1, permite desarrollar y ejecutar el funcionamiento de aplicaciones en tiempo real con el procesador TMS320F2812.



Figura A.1.: Tarjeta de evaluación eZdsp F2812. Fuente: *Spectrum Digital* "eZdsp TM F2812 Technical Reference".

Las siguientes son sus principales características:

Características de Hardware:

- Procesador digital de señales TMS320F2812.
- Unidad de punto fijo de 32 Bits.
- Velocidad de operación de 150 MIPS (Millones de Instrucciones Por Segundo).
- Chip de memoria *Flash* de 128 Kb.
- Chip de memoria *SRAM* de 64Kb.

- 18 Kb de memoria RAM.
- Reloj de entrada de 30 MHz.
- Funcionamiento a 5 voltios suministrados por adaptador AC.

Características de Software:

- TI F2812 Code Composer Studio v3.1
- eZdsp2812 Drivers.
- Archivos de encabezamientos y ejemplos de software F2812.

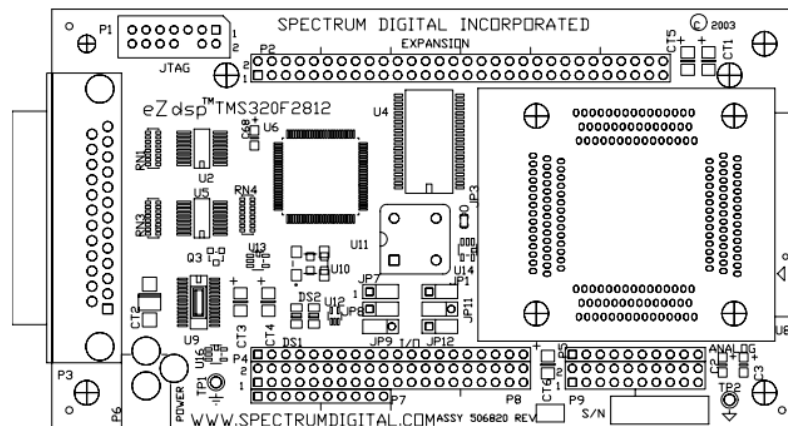


Figura A.2.: Componentes de la tarjeta eZdsp F2812. Fuente: *Spectrum Digital “eZdsp™ F2812 Technical Reference”*.

El eZdsp F2812 está conformado por diferentes componentes, como se puede apreciar en la figura A.2 entre ellos se encuentran los siguientes:

- P1, Interfaz JTAG (emulador).
- P2, Interfaz de expansión.
- P3, Puerto paralelo / JTAG interfaz de control.
- P4/P7/P8 Interfaz de entradas/salidas digitales.
- P5/P9 Interfaz de entradas analógicas.
- P6 Conector de alimentación (5V).
- Conectores (*Jumpers*) para la selección del modo de arranque.
- 2 diodos *LED* indicativos.

- Dos puntos de prueba, TP1 (Tierra) y TP2 (Tierra análoga).

Información más detallada sobre la tarjeta de evaluación eZdsp F2812 se encuentra en la referencia técnica proporcionada por *Spectrum Digital Incorporated*.

A.3. Recursos utilizados

Los recursos de la tarjeta de evaluación eZdsp F2812 que fueron utilizados en el desarrollo de la presente aplicación de tiempo real son:

- Sistema de control de interrupciones PIE (*Peripheral Interrupt Expansion*).
- Módulo convertidor ADC (*Analog to Digital Converter*).
- Módulos manejadores de eventos (*EVA, EVB*).
- Puertos de Entrada o Salida (*GPIO*).

A continuación son descritos los recursos utilizados y la configuración adoptada para cada uno de estos en el presente proyecto.

A.3.1. Sistema de control de interrupciones

En la aplicación de tiempo real implementada fue necesario el uso de interrupciones en el sistema permitiendo la interacción del hardware con el sistema de control (*software*). El DSP F2812 soporta en total 96 interrupciones de periféricos, las cuales son controladas a través del módulo PIE (*Peripheral Interrupt Expansion*) que se encarga de administrar las diferentes peticiones de interrupción y atenderlas según sea la prioridad. Las 96 interrupciones se agrupan en bloques de 8 y cada grupo alimenta uno de los 12 vectores de interrupción del CPU (INT1 a INT12). La figura A.3 muestra una visión general de la secuencia de operación para todas las interrupciones multiplexadas por el módulo PIE.

En la figura A.4 se muestra la tabla de vectores de interrupción del módulo PIE. Mayor información sobre el sistema de control e interrupciones está disponible en la guía técnica suministrada por *Texas Instruments*.

El control para el filtro activo de potencia fue implementado dentro de la rutina de servicio de interrupción (*ISR*) correspondiente a la interrupción ADCINT del módulo ADC, la cual se encuentra en la posición INT1.6 de la tabla de interrupciones PIE, Fig. A.4. La interrupción ADCINT ocurre cuando se finaliza la conversión de las 16 entradas analógicas del convertidor ADC utilizadas en la adquisición de las señales del convertidor.

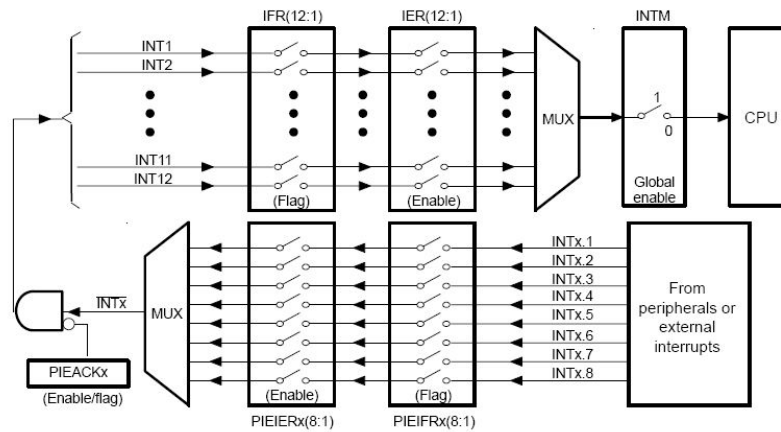


Figura A.3.: Multiplexación de las interrupciones por medio del vector PIE. Fuente: "TMS320x281x DSP System Control and Interrupts Reference guide", Texas Instruments.

CPU INTERRUPTS	PIE INTERRUPTS							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (TIMER 0)	ADCINT (ADC)	XINT2	XINT1	Reserved	PDPINTB (EV-B)	PDPINTA (EV-A)
INT2	Reserved	T1OFINT (EV-A)	T1UFINT (EV-A)	T1CINT (EV-A)	T1PINT (EV-A)	CMP3INT (EV-A)	CMP2INT (EV-A)	CMP1INT (EV-A)
INT3	Reserved	CAPINT3 (EV-A)	CAPINT2 (EV-A)	CAPINT1 (EV-A)	T2OFINT (EV-A)	T2UFINT (EV-A)	T2CINT (EV-A)	T2PINT (EV-A)
INT4	Reserved	T3OFINT (EV-B)	T3UFINT (EV-B)	T3CINT (EV-B)	T3PINT (EV-B)	CMP6INT (EV-B)	CMP5INT (EV-B)	CMP4INT (EV-B)
INT5	Reserved	CAPINT6 (EV-B)	CAPINT5 (EV-B)	CAPINT4 (EV-B)	T4OFINT (EV-B)	T4UFINT (EV-B)	T4CINT (EV-B)	T4PINT (EV-B)
INT6	Reserved	Reserved	MXINT (McBSP)	MRINT (McBSP)	Reserved	Reserved	SPITXINTA (SPI)	SPIRXINTA (SPI)
INT7	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
INT8	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
INT9	Reserved	Reserved	ECAN1INT (CAN)	ECAN0INT (CAN)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
INT11	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
INT12	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

Figura A.4.: Tabla vectores de interrupción del módulo PIE. Fuente: "TMS320x281x DSP System Control and Interrupts Reference guide", Texas Instruments.

A.3.2. Convertidor analógico digital ADC

Una de las unidades periféricas más importantes del procesador digital de señales F2812 es el convertidor analógico digital embebido (ADC- *Analog-to-Digital Converter*) cuya funcionalidad consiste en adquirir señales analógicas del sistema y convertirlas a su contraparte digital, proceso necesario para el procesamiento del algoritmo de control.

A.3.2.1. Generalidades del convertidor ADC

El módulo ADC del DSP F2812 está compuesto por dos convertidores independientes de 8 canales cada uno (ADCINA [0-7] y ADCINB [8-15]) los cuales son configurables como 2 módulos independientes para servir los manejadores de eventos A y B, o unidos en cascada para formar un

convertor de 16 canales. En la figura A.5 se muestra un diagrama de bloques del módulo ADC para el DSP F2812.

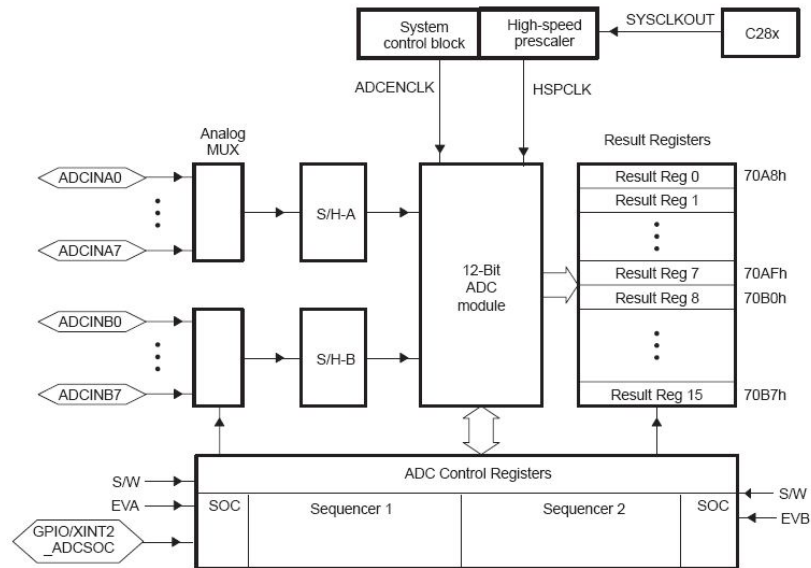


Figura A.5.: Diagrama de bloques del módulo ADC. Fuente: "TMS320x281x DSP Analog-to-Digital Converter Reference Guide", *Texas Instruments*.

Las principales características del convertidor ADC son:

- Resolución de 12-Bits con función de doble muestreo y retención (*S/H Sample-and-Hold*).
- 16 Entradas análogas: 0.0 V a 3.0 V.
- 2 multiplexores análogos (máximo 8 canales de entrada cada uno).
- Rápida conversión : 80 ns para un reloj de ADC de 25 MHz.
- 16 registros de resultados, direccionados individualmente, para almacenar los resultados de la conversión.
- Múltiples fuentes de disparo para iniciar las secuencias de conversión (*SOC*).

Una petición de inicio de conversión (*SOC*) se puede realizar de tres maneras posibles, tal como se observa en la figura A.5. El primer modo es por medio de software (*S/W*), a partir de una instrucción que indique el comienzo de adquisición de las señales de entrada. La segunda forma es por medio de los temporizadores de los manejadores de eventos *EVA-EVB* y el tercer modo se realiza por medio de una señal externa de interrupción *XINT2/ADC SOC*, esta señal proviene de los puertos de propósito general *GPIO* de la tarjeta eZdsp F2812.

La relación existente entre la tensión analógica de entrada $ADCIN_x$ y la salida digital D se representa por medio de la siguiente relación.

$$D = \begin{cases} 0 & \text{para } ADCINx \leq 0 \\ 4095 \frac{ADCINx - ADCLO}{3(V_{ref+} - V_{ref-})} & \text{para } 0 \leq ADCINx \leq 3V \\ 4095 & \text{para } ADCINx \geq 3V \end{cases} \quad (A.1)$$

En donde V_{ref+} y V_{ref-} corresponden a las tensiones de referencia internas necesarias para realizar las conversiones y limitar el rango de las señales analógicas de entrada; $ADCLO$, por su parte, corresponde a la referencia analógica para un valor de 0 [V].

Los registros indispensables que se deben establecer antes de comenzar la operación del ADC corresponden al número total de conversiones ($ADCMAXCONV$) y a los canales usados para cada conversión ($ADCSELSQX^1$). El valor digital de cada resultado es almacenado en los registros asignados por defecto ($ADCRESULT0$ a $ADCRESULT15$) con lo cual es posible seleccionar en repetidas ocasiones el mismo canal, permitiendo al usuario realizar sobre-muestreo, método por el cual se mejora la exactitud de los resultados.

A.3.2.2. Configuración seleccionada para el módulo ADC

La configuración del convertidor ADC en el desarrollo de la presente aplicación es la siguiente:

- Secuencia en modo cascada.
- Utilización de 16 conversiones, el modelo del convertidor envía al DSP 8 señales de salida análogas cada periodo cada una de estas es muestreada en dos ocasiones.
- La habilitación de principio de conversión (SOC) se realiza de dos maneras diferentes:
 - En los modos de operación secuencial se realiza por medio de una interrupción exterior (EXT_SOC_SEQ1) que es enviada directamente por el modelo del convertidor implementado en la tarjeta dSPACE 1104 cada periodo.
 - Cuando el sistema opera en paralelo el inicio de conversión se realiza por medio del manejador de eventos EVA , el cual es configurado para establecer la bandera de inicio para el ADC cada $100\mu s$.
- Reloj interno del ADC ($ADCCLKPS$) configurado en 25 MHz.

A.3.2.3. Calibración del módulo ADC

Para utilizar el módulo ADC embebido dentro del procesador digital de señales es necesaria la realización de una calibración de los canales utilizados de tal manera que el error absoluto del convertidor sea mejorado.

¹X varía de 0 a 4 dependiendo del número de conversiones

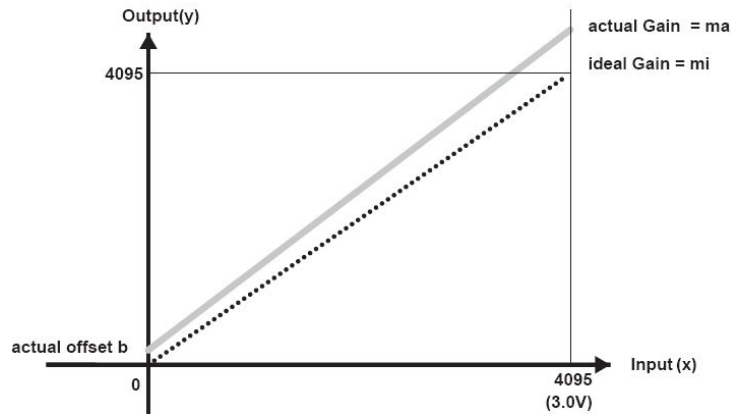


Figura A.6.: Curvas de ganancia real e ideal para las salidas de la conversión ADC. Fuente: "F2812, F2811 and F2812 ADC Calibration", *Texas Instruments*.

Un convertidor ideal de 12 bits sin error de ganancia o de nivel de continua, ver figura A.6, se puede representar por la siguiente ecuación:

$$y = x \cdot m_i \quad (\text{A.2})$$

En donde:

x es la señal de entrada = tensión de entrada $\cdot 4095/3,0$

y es la señal de salida.

m_i corresponde a una ganancia ideal = 1,00

Sin embargo el convertidor ADC del DSP F2812 presenta errores de ganancia y de nivel de continua que se pueden describir por la ecuación (A.3):

$$y = x \cdot m_a + b \quad (\text{A.3})$$

En donde m_a corresponde a la ganancia actual y b es el nivel actual de error de continua (salida para entrada cero) . En el presente proyecto la calibración de los canales análogos se realiza alimentando con tensiones de referencia distribuidas en todo el rango (0 a 3 V) en cada uno de los canales, para después determinar a partir del análisis de resultados la ganancia de calibración (cal_{gain}) y el nivel de continua de calibración (cal_{offset}). Una vez determinadas las constantes de calibración, la ecuación que se aplica a las salidas digitales del ADC es la siguiente:

$$D_{cal} = D \cdot cal_{gain} - cal_{offset} \quad (\text{A.4})$$

En donde D_{cal} es el valor digital correspondiente a la entrada analógica $ADCIN_x$ una vez realizada la calibración y representa la entrada al sistema de control.

A.3.3. Manejadores de Eventos

Los módulos manejadores de eventos (*EVA/EVB*) proporcionan un amplio rango de funciones que son particularmente útiles en aplicaciones para el control de motores. Cada módulo EV está compuesto por:

- Dos temporizadores de propósito general (*GP Timers*).
- Tres unidades de comparación aplicables a modulación por ancho de pulso (*PWM*).
- Tres unidades de captura para el registro de flancos de subida o de bajada de una entrada (*QEP Quadrature Encoder Pulse*).

En el presente proyecto el módulo *EVA* es utilizado para proporcionar la señal de inicio de conversión para el convertidor ADC, esta acción se ejecuta cada $100\mu s$ como se mencionó anteriormente y es realizada por un temporizador de propósito general que se describe a continuación:

A.3.3.1. Temporizadores de propósito general (GP Timers)

Existen dos temporizadores de propósito general en cada módulo manejador de eventos. Cada temporizador contiene:

- Un registro habilitado para lectura y escritura que almacena el valor actual del contador ($TxCNT^2$) el cual incrementa o desciende de acuerdo a la dirección del conteo.
- Un registro de comparación ($TxCMPR$).
- Un registro de periodo ($TxPR$) que indica el valor máximo al que puede llegar el contador.
- Pre-escalador programable para el reloj.

Las salidas que proporcionan los temporizadores de propósito general son:

- Salidas de comparación ($TxCMP$).
- Señal de inicio de conversión para el módulo ADC.
- Banderas de desbordamiento y coincidencia con los registros de comparación y periodo producto de la comparación lógica con el registro de conteo ($TxCNT$).
- Bits indicadores de la dirección del conteo.

²Para todos los casos $x=1, 2, 3, 4$.

En el presente trabajo el temporizador es establecido para operar en el modo creciente continuo. Bajo este modo la cuenta del temporizador aumenta ascendentemente hasta que el valor del registro del contador ($TxCNT$) concuerda con el registro de periodo ($TxPR$), una vez ocurre esto el temporizador reinicia la cuenta a cero y comienza de nuevo a contar ascendentemente. La velocidad del contador depende del reloj de entrada y del pre-escalador seleccionado para el periférico. La figura A.7 describe el modo de operación creciente continuo.

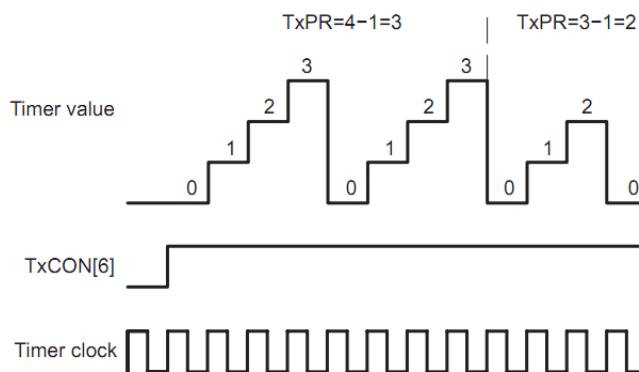


Figura A.7.: Modo de operación creciente continuo para los temporizadores de propósito general. Fuente: "TMS320x281x DSP Event Manager Reference Guide", Texas Instruments.

En resumen el temporizador utilizado para el inicio de conversión del módulo ADC es establecido en modo creciente continuo con un registro de periodo de 2500 y con una frecuencia interna de 25 MHz lo que representa una frecuencia de muestreo de 10 KHz.

A.3.4. Pines de propósito general GPIO

Los pines de propósito general (*GPIO-General Purpose Input/Output*) son canales digitales en la tarjeta eZdsp F2812 que pueden ser utilizados por el usuario como entrada o salida y no representan una función propia del DSP. Los pines GPIO se encuentran multiplexados con las señales de los periféricos, por lo cual es necesario habilitar el uso de cada pin físico como GPIO o como función del DSP. Para los puertos GPIO seleccionados como entradas digitales se puede establecer un número de periodos de anti-rebote, con lo cual se filtra ruido indeseado.

En la tabla A.1 se muestra la totalidad de pines de propósito general utilizados en el presente proyecto según el modo de operación. Para los controladores *Deadbeat* y *PI* el número de salidas es elevado debido a que en cada periodo de control el ciclo de trabajo para cada rama del convertidor es enviado de forma paralela.

	Comunicación secuencial		Comunicación paralela	
	Entrada	Salida	Entrada	Salida
Modulación delta	1	3	0	3
Control <i>Deadbeat</i>	1	18	0	18
Control PI	1	18	0	18

Cuadro A.1.: Puertos de propósito general utilizados según el modo de operación del control.

B. Códigos fuente implementados en el DSP F2812

La programación del control del filtro activo de potencia fue realizada en el entorno de programación Code Composer Studio v3.1 (CCS). Una descripción de las herramientas de desarrollo de CCS se presenta en la guía “Code composer Studio Development” de Texas Instruments. En este software los proyectos están compuestos por diferentes tipos de archivos, los cuales son necesarios para que el compilador del CCS genere un único programa ejecutable. Existen cuatro tipos de archivos principales:

- Archivos con extensión *.c*: Documentos fuentes construidos a partir de lenguaje C.
- Archivos con extensión *.asm*: Documentos construidos a partir de lenguaje ensamblador.
- Archivos con extensión *.h*: Documentos llamados librerías, en los cuales se definen las variables y funciones cabeceras que se utilizan en el código.
- Archivos con extensión *.cmd*: Contienen la memoria mapeada del procesador digital de señales utilizado.

El código fuente fue desarrollado en lenguaje C tomando como base los archivos de cabecera para los periféricos del DSP2812. Estos archivos describen los pasos necesarios para inicializar y utilizar los periféricos, y contienen el mapa de memoria (archivo *.cmd*) y las definiciones de los registros (archivos *.h*) para el procesador digital F2812. En las figuras B.1 y B.2 se presentan los diagramas de flujo para el código implementado en el DSP. Éste se compone de un programa principal (Fig. B.1) y de una rutina de servicio de interrupción (Fig. B.2) que es ejecutada cada vez que el modulo ADC finaliza la secuencia de conversión.

La primera tarea realizada en el programa principal consiste en la configuración general del DSP, en la cual se inicializa el PLL (*Phase Locked Loop*), se encienden los relojes de los periféricos, se establecen los registros pre-escaladores del reloj de entrada, se deshabilita el *WatchDog* y se configuran los pines de propósito general GPIO. La segunda tarea consiste en la inicialización de la tabla de registros PIE (*Peripheral Interrupt Expantion*), para este caso la interrupción utilizada en el programa corresponde al final de conversión del ADC (*ADCINT*).

La siguiente tarea del programa principal (*main*) es la inicialización de los periféricos (módulo ADC) y la habilitación de las interrupciones. A continuación se configura el convertidor ADC y el

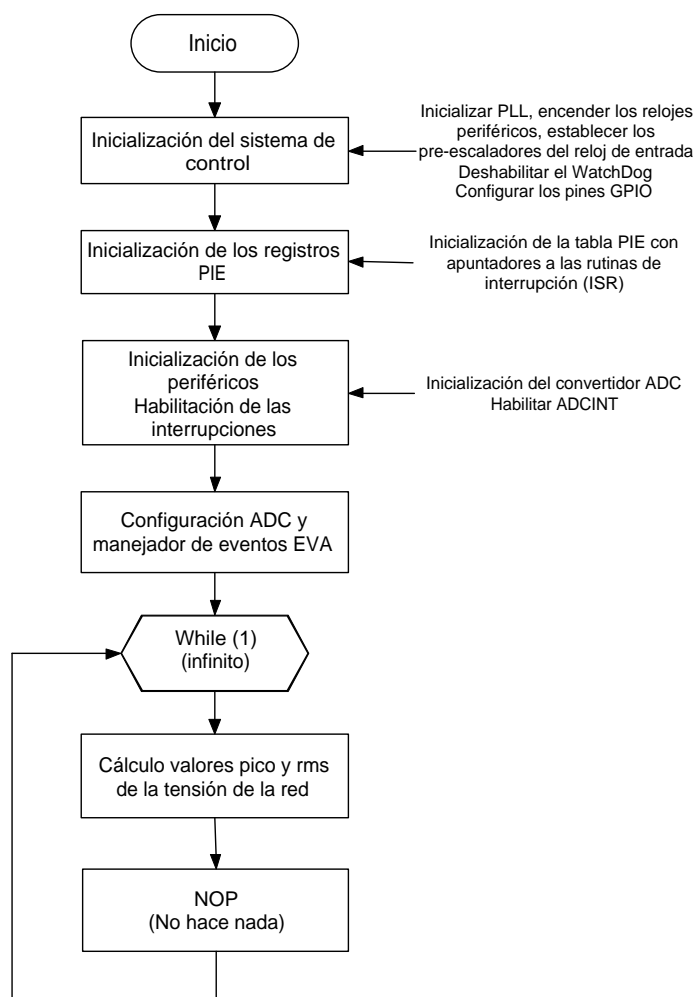


Figura B.1.: Diagrama de flujo del programa principal implementado en el DSP.

manejador de eventos EVA (*Event Manager A*), según las condiciones específicas del esquema de operación. Cuando las tareas del sistema son ejecutadas secuencialmente, el inicio de conversión para el módulo ADC se realiza a partir de una señal externa (enviada por la dSPACE). En el caso en donde el sistema ejecuta las tareas en paralelo, el inicio de conversión se realiza por medio del manejador de eventos EVA cada vez que se cumpla un periodo de conteo del temporizador.

Posteriormente, el programa principal entra en un ciclo *while* en el cual son calculados los valores pico y eficaz de las tensiones en el PCC. El DSP permanece indefinidamente en el ciclo *while* aguardando una interrupción por parte del módulo ADC, cuando esta ocurre, el DSP atiende la rutina de interrupción, que es descrita en la figura B.2.

La primera tarea que es realizada en la rutina de interrupción consiste en la adquisición de los registros correspondientes a los valores digitales de las entradas analógicas, la cual se realiza una vez finalizada la secuencia de conversión del módulo ADC. Posteriormente, se adecuan estos registros

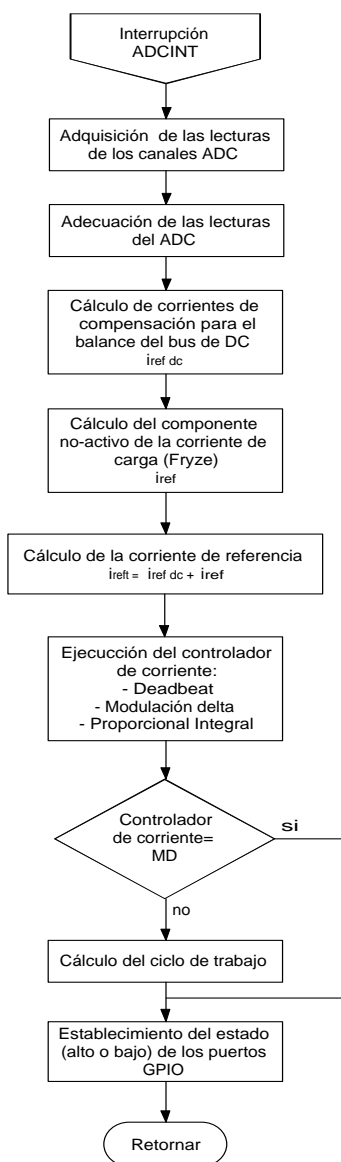


Figura B.2.: Diagrama de flujo de la rutina de servicio para la interrupción *ADCINT*

por medio de las constantes de calibración determinadas previamente para cada canal, con lo que se reducen los errores de medida; y por medio de unas constantes de escalamiento con las cuales se obtienen los valores reales de las tensiones y corrientes del modelo del convertidor.

La siguiente tarea corresponde al cálculo de la corriente de referencia para el control del bus de DC. Dependiendo del modo de operación este algoritmo puede ser un doble controlador PI, para mantener el balance en cada uno de los condensadores del lado de DC (operación secuencial), o un solo controlador PI con el que se puede controlar la tensión global del lado de continua (operación en paralelo). En el siguiente paso son calculadas las corrientes de referencia correspondientes a la componente no activa de la corriente demandada por la carga por medio de un algoritmo basado

en la teoría Fryze. A continuación se determina la corriente de referencia total que corresponde a la suma de la corriente de referencia para el control del bus de DC y la corriente de referencia obtenida por el algoritmo basado en la teoría Fryze.

Las siguientes tareas ejecutadas en la rutina de interrupción corresponden al cálculo de los estados de conmutación de los elementos de estado sólido del convertidor de potencia. En primer lugar es ejecutada una técnica de control de corriente de lazo cerrado para la corriente de referencia total, pueden ser ejecutadas las técnicas de modulación delta, control *Deadbeat* o controlador Proporcional Integral según se requiera. Para las técnicas de control lineales (*Deadbeat* y Proporcional Integral) se ejecuta una tarea adicional que consiste en la determinación de los ciclos de trabajos para cada rama del modelo promediado del convertidor de potencia.

La última tarea desarrollada en la rutina de interrupción consiste en establecer los estados de los puertos GPIO (alto o bajo), los cuales representan las salidas del algoritmo de control. Al finalizar esta última tarea el programa retorna al código principal (*while* infinito) en donde espera una nueva interrupción. A continuación son mostrados los códigos fuentes completos implementados en el DSP.

B.1. Código main.c

```
//
// DESCRIPCION:
// Código fuente principal control SAPF
// Contiene:
// Cálculo de corriente de referencia por medio de la teoría de Fryze
// Corriente de referencia para el control del Bus de DC.
// Llama a las demás funciones adyacentes
//
//
#include "DSP281x_Device.h" // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include <math.h>
#include <stdio.h>
// Declaraciones de prototipos para las funciones que se encuentran
// en este archivo
interrupt void adc_isr(void);
void modulaciondelta(float Iref[3] ,float resul[8] );
void deadbeat(float Iref[3], float resul[8], float Uinv[3]);
void controlpi(float Iref[3] ,float resul[8], float Uinv[3]);
void envi_datos(Uint16 Upwm[3]);
```

```

//
// Variables globales usadas en este proyecto:
//
float Upico=300,x2=10;
Uint32 LoopCount=0;
float const calGain[10] = {0.0024253, 0.002422515, 0.00243662, 0.04846,
    0.048649, 0.0024253, 0.002422515, 0.00243662, 0.04762481, 0.04821};
float const calOffset[10] = {9.6459, 9.6588, 9.6464, 192.81, 192.5877,
    9.6459, 9.4188, 9.57264, 66.256, 69.72};
// Las anteriores constantes corresponden a las constantes de
// calibración del ADC, multiplicadas por factores de dimensionamiento.
float Uinv[3] = {0,0,0};
Uint16 Upwm[3] = {0,0,0};
float resul[8] = {1,1,1,0,0,0,0,0};
float Iref[3],Ireft[3];
float ref1=270; // En el caso de operación en paralelo la referencia
    // considerada es 540v para todo el bus de DC.
float errorv[2]={0,0};
float Icoman[2]={0,0}, Icom[2];
int i=0,res=0,b=0;
float scope[300],scope2[300],scope3[300];
// Estos vectores son utilizados para graficar las variables deseadas.
float Kp=-0.138, Ki=-0.000003; //Ki es hallado como ki/Tsw, varia de
// acuerdo a la velocidad del control. Kp, por su parte, es igual a
// -0.069 en el caso de un solo controlador PI.
float error[2];
float Upico2,poteac=0,potencia[300],calculo,pactiva;
float Urms=43348;
float const factor=0.6666667; // Constante útil para encontrar el valor
    // pico de la tensión en el PCC
float ref[3]={1,1,1},reft[3]={0,0,0};
short bandera=0,posi=0;
//
main()
{
    // paso 1. Inicialización del sistema de control:
    // PLL, WatchDog, Habilitar los relojes de periféricos.

```

```
//
for (i=0;i<300;i++)
    {potencia[i]=0;  }
//
InitSysCtrl();
// En este trabajo, se establece HSPCLK a SYSCLKOUT/6 (25 Mhz)
// asumiendo un reloj de entrada de 150Mhz
EALLOW;
SysCtrlRegs.HISPCP.all = 0x3;    // HSPCLK = SYSCLKOUT/6
GpioMuxRegs.GPAMUX.all = 0x0000;// EVA PWM 1-6 pins
GpioMuxRegs.GPADIR.all = 0xFFFF;// establece si el puerto es de
                                // salida(1) o entrada(0)
GpioMuxRegs.GPBMUX.all = 0x0000;
// Establece si el pin físico se utilizará como GPIO (0) o como
// función interna del DSP.
GpioMuxRegs.GPBDIR.all = 0x013E; // Se utiliza GPIOB6 como pin de
                                // entrada.

EDIS;
//
// Paso 2. Borrar todas las interrupciones e inicializar la tabla PIE
// Deshabilitar las interrupciones CPU
DINT;
// Inicializar los registros de control del PIE a su estado inicial
// Por defecto todas las interrupciones y banderas están desactivadas
// Esta función es encontrada en DSP281x_PieCtrl.c file.
InitPieCtrl();
// Deshabilitar las interrupciones del CPU y borrar todas las
// banderas de interrupción:
IER = 0x0000;
IFR = 0x0000;
// Inicialización de la tabla PIE con apuntadores a sus
// funciones de interrupción (ISR).
// Toda la tabla será rellena, incluso si la interrupción no es
// usada en el presente trabajo, esto es útil para propósitos de
// depuración. Esta función es encontrada en DSP281x_PieVect.c.
InitPieVectTable();
//
// Las interrupciones que son usadas son re-mapeadas a las funciones
```

```
// ISR que se encuentran dentro de este archivo.
EALLOW; // Este comando es necesario para escribir en registros
        // protegidos.
PieVectTable.ADCINT = &adc_isr; //habilita interrupción del ADC
EDIS; // Este comando es necesario para deshabilitar la escritura
        // en los registros protegidos.
// Paso 3. Inicialización de los dispositivos periféricos y
// habilitación de las interrupciones.
// Esta función es encontrada en DSP281x_InitPeripherals.c
InitAdc(); // Para iniciar el ADC.
//
//
//
PieCtrlRegs.PIEIER1.bit.INTx6 = 1; // se activa INTx6
                                   //(correspondiente al módulo ADC)
IER |= M_INT1; // Habilitación interrupcion CPU 1.
EINT; // Habilitar interrupción glogal INTM.
ERTM; // Habilitar interrupción realtime DBGM.
//
// Paso 4. Configuración del ADC y del manejador de eventos EVA
//
AdcRegs.ADCTRL1.bit.SEQ_CASC = 1; // Modo de operación en cascada 16
                                   // conversiones SEQ1.
AdcRegs.ADCMAXCONV.all = 0x000f; // Número de conversiones 16.
AdcRegs.ADCCHSELSEQ1.all = 0x328A; // Selección de los canales a ser
AdcRegs.ADCCHSELSEQ2.all = 0x7654; // convertidos.
AdcRegs.ADCCHSELSEQ3.all = 0x328A;
AdcRegs.ADCCHSELSEQ4.all = 0x7654;
AdcRegs.ADCTRL2.bit.EXT_SOC_SEQ1 = 1; // Habilita EXTERNA para
                                   // iniciar SEQ1.
//
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Habilita interrupción SEQ1
                                   //(cada EOS).
//AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1; // Habilita a EVA para
// iniciar SEQ1 es utilizada en el modo de operación en paralelo.

// Configuración de EVA, asumiendo que el reloj de EVA se encuentra
// habilitado en InitSysCtrl();
```

```

EvaRegs.T1PR = 0x09C4; // Establecer el periodo 0x09C4 = 2500, con
                        // lo que se alcanza una frecuencia de 10kHz.
EvaRegs.GPTCONA.bit.T1TOADC = 1; // Habilitar EVASOC para el inicio
                        // del ADC.
EvaRegs.T1CON.all = 0x1042; // Configuración del EVA, habilita TIMER1
                        // comparación (modo creciente continuo).
while(1)
{
    x2=10; // variable utilizada en el error de la función aproximada.
    Urms= ((resul[0] * resul[0]) + (resul[1] * resul[1]) +
    (resul[2] * resul[2])); // Representa el valor rms línea-línea al
                        // cuadrado de la tensión de la red.
    Upico2= factor * Urms; // Valor pico al cuadrado de la tensión
                        // fase-neutro.
    while( abs(x2) > 0)
    {
        x2= (Upico - Upico2/ Upico)/2;
        Upico= Upico -x2;
    }
}
// La operación de raíz cuadrada es realizada por medio de
// aproximación

interrupt void  adc_isr(void)
{
    LoopCount++;
    if( LoopCount == 1)
        {bandera = GpioDataRegs.GPBDAT.bit.GPIOB6; }
    if( bandera == 0 ) // Esta lógica de comparación (a partir de la
    // variable bandera) no es usada en el caso de operación en paralelo.
    {
        bandera=1;
        ref[0] = (float)((AdcRegs.ADCRESULT0>>4) +
            (AdcRegs.ADCRESULT8>>4)) * calGain[0] - calOffset[0];
        ref[1] = (float)((AdcRegs.ADCRESULT1>>4) +
            (AdcRegs.ADCRESULT9>>4)) * calGain[1] - calOffset[1];
    }
}

```

```

ref[2] = (float)((AdcRegs.ADCRESULT2>>4) +
               (AdcRegs.ADCRESULT10>>4)) * calGain[2] - calOffset[2];
resul[0] = (float)((AdcRegs.ADCRESULT3>>4) +
                  (AdcRegs.ADCRESULT11>>4)) * calGain[3] - calOffset[3];
resul[1] = (float)((AdcRegs.ADCRESULT4>>4) +
                  (AdcRegs.ADCRESULT12>>4)) * calGain[4] - calOffset[4];
resul[2] = -(resul[0] + resul[1]);
resul[5] = (float)((AdcRegs.ADCRESULT5>>4) +
                  (AdcRegs.ADCRESULT13>>4)) * calGain[5] - calOffset[5];
resul[6] = (float)((AdcRegs.ADCRESULT6>>4) +
                  (AdcRegs.ADCRESULT14>>4)) * calGain[6] - calOffset[6];
resul[7] = (float)((AdcRegs.ADCRESULT7>>4) +
                  (AdcRegs.ADCRESULT15>>4)) * calGain[7] - calOffset[7];
}
else if( bandera == 1)
{
bandera=0;
ref[0] = (float)((AdcRegs.ADCRESULT0>>4) +
                (AdcRegs.ADCRESULT8>>4)) * calGain[0] - calOffset[0];
ref[1] = (float)((AdcRegs.ADCRESULT1>>4) +
                (AdcRegs.ADCRESULT9>>4)) * calGain[1] - calOffset[1];
ref[2] = (float)((AdcRegs.ADCRESULT2>>4) +
                (AdcRegs.ADCRESULT10>>4)) * calGain[2] - calOffset[2];
resul[3] = (float)((AdcRegs.ADCRESULT3>>4) +
                (AdcRegs.ADCRESULT11>>4)) * calGain[8] - calOffset[8];
resul[4] = (float)((AdcRegs.ADCRESULT4>>4) +
                (AdcRegs.ADCRESULT12>>4)) * calGain[9] - calOffset[9];
resul[5] = (float)((AdcRegs.ADCRESULT5>>4) +
                (AdcRegs.ADCRESULT13>>4)) * calGain[5] - calOffset[5];
resul[6] = (float)((AdcRegs.ADCRESULT6>>4) +
                (AdcRegs.ADCRESULT14>>4)) * calGain[6] - calOffset[6];
resul[7] = (float)((AdcRegs.ADCRESULT7>>4) +
                (AdcRegs.ADCRESULT15>>4)) * calGain[7] - calOffset[7];
}
// Aquicisición y adecuación de las lecturas del ADC.

```

Las señales análogas recibidas en cada periodo de muestreo dependen del tipo de comunicación. En la tabla B.1 son mostrados los canales del módulo ADC utilizados según el tipo de comunicación

entre las etapas del sistema (DSP y dSPACE) junto con las correspondientes señales adquiridas.

Tabla B.1.: Señales analógicas adquiridas según el tipo de comunicación entre las etapas del sistema.

Comunicación secuencial		Comunicación paratera	
Canal	Variable analógica	Canal	Variable analógica
ADCINA0	$i_{carga a}$	ADCINA0	$i_{carga a}$
ADCINA1	$i_{carga b}$	ADCINA1	$i_{carga b}$
ADCINA2	$i_{carga c}$	ADCINA2	$u_{red b}$
ADCINA3	$u_{red a}/u_{dc1}$	ADCINA3	u_{dc}
ADCINA4	$u_{red b}/u_{dc2}$	ADCINA4	$i_{filtro c}$
ADCINA5	$i_{filtro a}$	ADCINA5	$i_{filtro b}$
ADCINA6	$i_{filtro b}$	ADCINA6	$i_{filtro a}$
ADCINA7	$i_{filtro c}$	ADCINA7	$u_{red a}$

```

error[0] = ref1-resul[3];
error[1] = ref1-resul[4];
for( i=0;i<2;i++)
{
Icom[i] = (Kp) * (error[i] - errorv[i]) + (Ki) * (error[i]) +
Icoman[i];
Icoman[i] = Icom[i];
}
for(i=0;i<3;i++)
{
if(resul[i]>0)
{
Iref[i]=Icom[0] * (resul[i] / (Upico));
}
else
{
Iref[i]=Icom[1] * (resul[i] / (Upico));
}
if( Iref[i] < -5) // saturación a 5A de la corriente de referencia.
{Iref[i] = -5;}
else if( Iref[i] >5)
{Iref[i] = 5;}
}

```

```
// Iref[i] corresponde a la corriente de referencia para el
// control de la tensión del bus de DC para la fase i.
if (posi == 300)
{
    posi=0;
    res++;
}

// En este segmento se ejecuta el cálculo de la potencia activa
calculo = resul[0] * ref[0] + resul[1] * ref[1] + resul[2] * ref[2];
poteac=calculo + poteac - potencia[posi];
potencia[posi] = calculo;
pactiva=poteac / 300;
posi=posi+1;
for( i=0;i<3;i++)
{
    reft[i]=ref[i]- pactiva * resul[i] / Urms;
    // reft[i] corresponde a la corriente de referencia determinada
    // por la teoría de Fryze para la fase i.
    Ireft[i] = Iref[i] + reft[i];
}

// Ireft[i] es la corriente de referencia que debe inyectar el
// convertidor de potencia.
errorv[0] = error[0];
errorv[1] = error[1];
// modulaciondelta(Ireft,resul);
//deadbeat(Ireft, resul, Uinv);
controlpi(Ireft, resul, Uinv );
// Los controladores de corriente son ejecutados individualmente
// según corresponda.
for( i=0;i<3;i++)
{
    Upwm[i]= (int) (((Uinv[i] / 9) + 30));
    if( Upwm[i] > 60)
        {Upwm[i] = 60;}
}

enviodatos(Upwm);
// Lo anterior corresponde a la modulación pwm promediada, el ciclo
```

```

// de trabajo es enviado en paralelo a través de los puertos GPIO.
if(a<300)
    {a++;}
else
    {a = 0;}
scope[a] = Upwm[1];
scope2[a] = Ireft[1];
scope3[a] = resul[6];
//
// Reinicializar las banderas para la próxima secuencia de
// interrupción
AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // Resetear SEQ1.
AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1; // Borrar el bit INT SEQ1.
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt to
//PIE

return;
}

```

El número de salidas digitales utilizadas por el DSP depende del controlador de corriente utilizado. En la tabla B.2 son mostrados los puertos de propósito general utilizados en cada caso en donde k_i corresponde a la señal de puerta para la fase i ; y m_i corresponde al ciclo de trabajo para la fase i .

Tabla B.2.: Puertos GPIO utilizados según el controlador de corriente

Modulación delta		Controladores PI y Deadbeat	
Puertos GPIO	Señal	Puertos GPIO	Señal
GPIOA2	k_a	GPIOA0- GPIOA2 y GPIOA8-GPIOA10	m_a
GPIOA3	k_b	GPIOA3- GPIOA7 y GPIOA11	m_b
GPIOA4	k_c	GPIOB1- GPIOB5 y GPIOB8	m_c

B.2. Código deltam.c

```

//
// Controlador de corriente por:
// Modulación delta
//

```

```

#include "DSP281x_Device.h"    // DSP281x Headerfile Include File
#include "DSP281x_Examples.h"  // DSP281x Examples Include File
#include <math.h>
void modulaciondelta( float Iref[3], float resul[8])
{
    if(Iref[0] > resul[5] )
        { GpioDataRegs.GPADAT.bit.GPIOA2=1; }
    else
        { GpioDataRegs.GPADAT.bit.GPIOA2=0; }
    if(Iref[1] > resul[6] )
        { GpioDataRegs.GPADAT.bit.GPIOA3=1; }
    else
        { GpioDataRegs.GPADAT.bit.GPIOA3=0; }
    if(Iref[2] > resul[7] )
        { GpioDataRegs.GPADAT.bit.GPIOA4=1; }
    else
        { GpioDataRegs.GPADAT.bit.GPIOA4=0; }
}

//A partir de directa comparación se establece el comando de puerta.

```

B.3. Control Deadbeat

```

// DESCRIPCION:
// Controlador de corriente Deadbeat
//
//
#include "DSP281x_Device.h"    // DSP281x Headerfile Include File
#include "DSP281x_Examples.h"  // DSP281x Examples Include File
#include <math.h>
void deadbeat(float Iref[3] ,float resul[8], float Uinv [3])
{
    //float bob = 0.05; //corresponde al valor de la inductancia de
                        //acople.
    //float Tsm = 0.000166; // Tsm varia de acuerdo al modo de operación
    //const1 = (bob / Tsm); //seleccionado.
}

```

```

//
float const const1 = 300;
Uint16 j = 0;
float *ApuUinv;
ApuUinv= &Uinv[0];
for( j=0;j<3;j++)
    {
    *ApuUinv= const1 * (Iref[j] - resul[j+5]) + resul[j];
    ApuUinv++;
    }
}

```

B.4. Control PI

```

//
// DESCRIPCION:
// Controlador de corriente PI
//
#include "DSP281x_Device.h" // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include <math.h>
#include <stdio.h>
float UinAnt[3]={0,0,0};
float errorCor[3], errorCorv[3]={0,0,0};
void controlpi(float Iref[3], float resul[8], float Uinv[3])

{
float Kp,Ki,T;
float *punt; //Declaración del apuntador punt.
volatile Uint16 i=0;
Kp = 250;
Ki = 0.00015;
T = 0.0001; // Esta constante cambia de acuerdo a la velocidad
            // del control, tiene dos posibles valores 0.0001
            // y 0.000166.
punt= &Uinv[0];
for(i=0;i<3;i++)
    {

```

```

    errorCor[i] = Iref[i] - resul[i+5];
    *punt = Kp * (errorCor[i] - errorCorv[i])
        + (Ki * T) * (errorCor[i]) + UinAnt[i];
    UinAnt[i] = *punt;
    errorCorv[i] = errorCor[i];
    punt++;
}
}

```

B.5. PWM digital

```

//
// DESCRIPCION:
// Salida para el PWM promediado
//
#include "DSP281x_Device.h" // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include <math.h>
void enviодatos(int Upwm[3] )
{
    GpioDataRegs.GPADAT.bit.GPIOA8 = Upwm[0];
    GpioDataRegs.GPADAT.bit.GPIOA9 = Upwm[0]>>1;
    GpioDataRegs.GPADAT.bit.GPIOA10 = Upwm[0]>>2;
    GpioDataRegs.GPADAT.bit.GPIOA0 = Upwm[0]>>3;
    GpioDataRegs.GPADAT.bit.GPIOA1 = Upwm[0]>>4;
    GpioDataRegs.GPADAT.bit.GPIOA2 = Upwm[0]>>5;
    GpioDataRegs.GPADAT.bit.GPIOA3 = Upwm[1];
    GpioDataRegs.GPADAT.bit.GPIOA4 = Upwm[1]>>1;
    GpioDataRegs.GPADAT.bit.GPIOA5 = Upwm[1]>>2;
    GpioDataRegs.GPADAT.bit.GPIOA6 = Upwm[1]>>3;
    GpioDataRegs.GPADAT.bit.GPIOA7 = Upwm[1]>>4;
    GpioDataRegs.GPADAT.bit.GPIOA11 = Upwm[1]>>5;
    GpioDataRegs.GPBDAT.bit.GPIOB1 = Upwm[2];
    GpioDataRegs.GPBDAT.bit.GPIOB2 = Upwm[2]>>1;
    GpioDataRegs.GPBDAT.bit.GPIOB3 = Upwm[2]>>2;
    GpioDataRegs.GPBDAT.bit.GPIOB4 = Upwm[2]>>3;
    GpioDataRegs.GPBDAT.bit.GPIOB5 = Upwm[2]>>4;
}

```

```
GpioDataRegs.GPBDAT.bit.GPIOB8 = Upwm[2]>>5;  
}
```

En esta fuente se envía de forma paralela la información correspondiente al ciclo de trabajo, en donde se considera un valor base de 60 (b111100) de tal manera que represente un ciclo de trabajo del 100 %. De esta manera la menor variación obtenida es del 1,66 %.

C. Discretización del control del lado de DC

El algoritmo propuesto en el presente trabajo para el control de las tensiones de los condensadores del lado de DC del convertidor tipo fuente de tensión de tres ramas con condensador partido (TLSC), tiene como objetivo alcanzar y mantener la tensión de referencia de cada condensador por medio de un controlador Proporcional Integral independiente para cada uno, tal como se describe en (C.1).

$$i_{refm}(t) = \begin{cases} \left(K_p e_1(t) + K_i \int_0^t e_1(\tau) d\tau \right) \frac{u_m(t)}{\sqrt{2}u_{rms}} & \text{para } u_m(t) > 0 \\ \left(K_p e_2(t) + K_i \int_0^t e_2(\tau) d\tau \right) \frac{u_m(t)}{\sqrt{2}u_{rms}} & \text{para } u_m(t) < 0 \end{cases} \quad (C.1)$$

En donde K_p y K_i corresponden a constantes del control PI, $e_1(t)$ y $e_2(t)$ son los errores de las tensiones de los condensadores C_1 y C_2 respecto a sus valores de referencia, $u_m(t)$ es la tensión de alimentación fase-neutro para la fase m y u_{rms} es el valor rms de la tensión de alimentación.

Para la implementación de este algoritmo en el DSP F2812 fue necesario su discretización mediante la aproximación de la primera diferencia tal como se muestra a continuación. Partiendo de la ecuación (C.2).

$$i_f(t) = K_p e(t) + \frac{K_p}{T_i} \int_0^t e(\tau) d\tau \quad (C.2)$$

Se deriva la ecuación (C.2) llegando a:

$$\frac{di_f(t)}{dt} = K_p \frac{de(t)}{dt} + \frac{K_p}{T_i} e(t) \quad (C.3)$$

Aproximando mediante el método de la primera diferencia se logra:

$$\frac{i_f(k) - i_f(k-1)}{T_{sw}} = \frac{K_p e(k) - K_p e(k-1)}{T_{sw}} + \frac{K_p}{T_i} e(k) \quad (C.4)$$

Ordenando los términos de la anterior expresión se llega a:

$$i_f(k) = K_p e(k) - K_p e(k-1) + \frac{K_p}{T_i} T_{sw} e(k) + i_f(k-1) \quad (C.5)$$

Se fuerza la corriente que inyecta el filtro activo a estar en fase con la tensión de alimentación,

como se ve en la ecuación (C.6).

$$i_{ref\ m}(k) = i_f(k) \frac{u_m(k)}{\sqrt{2}u_{rms}} \quad (C.6)$$

Tal como se mostró en (C.1) en el presente trabajo se implementó un controlador PI para cada condensador de tal forma que la tensión del condensador C_1 es controlada en el semi-ciclo positivo de la tensión de la red y la tensión del condensador C_2 es controlada en el semi-ciclo negativo de la misma, ecuación (C.9).

$$i_{f1}(k) = K_p(e_1(k) - e_1(k-1)) + \frac{K_p}{T_i} T_{sw} e_1(k) + i_{f1}(k-1) \quad (C.7)$$

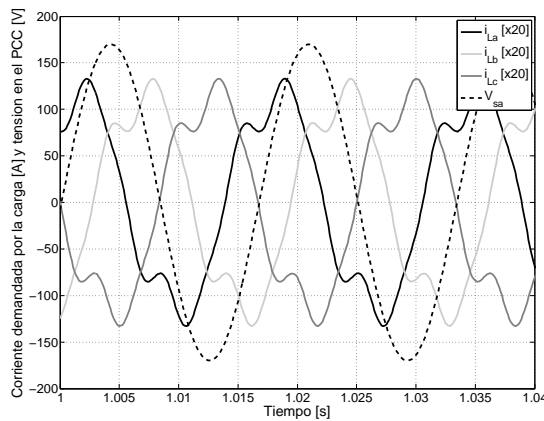
$$i_{f2}(k) = K_p(e_2(k) - e_2(k-1)) + \frac{K_p}{T_i} T_{sw} e_2(k) + i_{f2}(k-1) \quad (C.8)$$

Una vez sincronizado con la red se llega a la expresión discretizada final implementada en el procesador digital de señales:

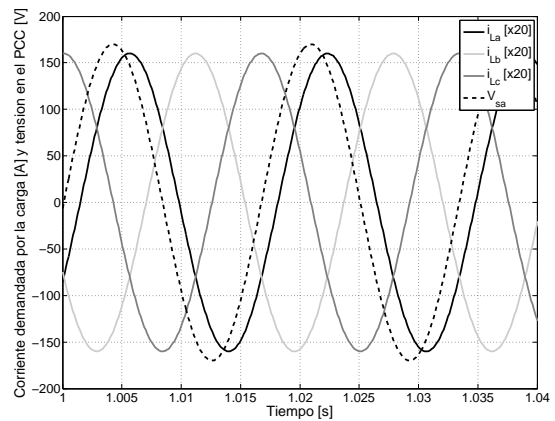
$$i_{ref\ m}(k) = \begin{cases} i_{f1}(k) \frac{u_m(k)}{\sqrt{2}u_{rms}} & \text{para } u_m(k) > 0 \\ i_{f2}(k) \frac{u_m(k)}{\sqrt{2}u_{rms}} & \text{para } u_m(k) < 0 \end{cases} \quad (C.9)$$

D. Resultados adicionales

En el presente anexo son mostrados los resultados del sistema obtenidos en tiempo real, considerando corrientes de carga con distorsión armónica y con bajo factor de potencia. Éstas corrientes de carga se pueden apreciar en la figura D.1, junto con la tensión en el PCC para la fase a . Del mismo modo son mostrados los resultados correspondientes a las simulaciones fuera de línea con el propósito de verificar el correcto funcionamiento del sistema. Debido a que el controlador de corriente *Deadbeat* fue el que mejor desempeño presentó en el análisis comparativo, solo se presentan resultados con esta técnica.



(a) Corrientes balanceadas y distorsionadas.



(b) Corrientes balanceadas con bajo factor de potencia.

Figura D.1.: Corrientes de carga y tensión en el PCC para la fase a .

Las corrientes de carga mostradas en la figura D.1a están compuestas por componentes del 1, 3 y 5 armónico en donde la suma de las tres fases es diferente de cero, por lo que tienen componente homopolar. Estas corrientes de carga son utilizadas en los modos de comunicación secuencial. Por otro lado la carga descrita en la figura D.1b representa una onda sinusoidal balanceada, de secuencia positiva de amplitud $8 [A]$ y con un ángulo de atraso de 30° respecto a la tensión en el PCC. Ésta carga será considerada en el modo de comunicación paralelo, ya que no contiene componente de secuencia homopolar.

D.1. Comunicación secuencial, convertidor ideal

En este caso son presentados los resultados para comunicación secuencial considerando el funcionamiento ideal del convertidor (sin retardo). En este modo de operación se desarrolla la comunicación serial descrita anteriormente a una frecuencia de 6 kHz, y se consideran las corrientes de carga balanceadas y distorsionadas descritas anteriormente. En la figura D.2 son mostrados los resultados correspondientes a las corrientes de red una vez realizada la acción de compensación del filtro activo al mismo tiempo que la tensión fase-neutro para la fase a . Se puede apreciar que las formas de onda de las corrientes de red se aproximan a una sinusoidal. Al mismo tiempo en la figura D.2b se puede evidenciar la tensión y corriente para la fase a las cuales se encuentran en fase.

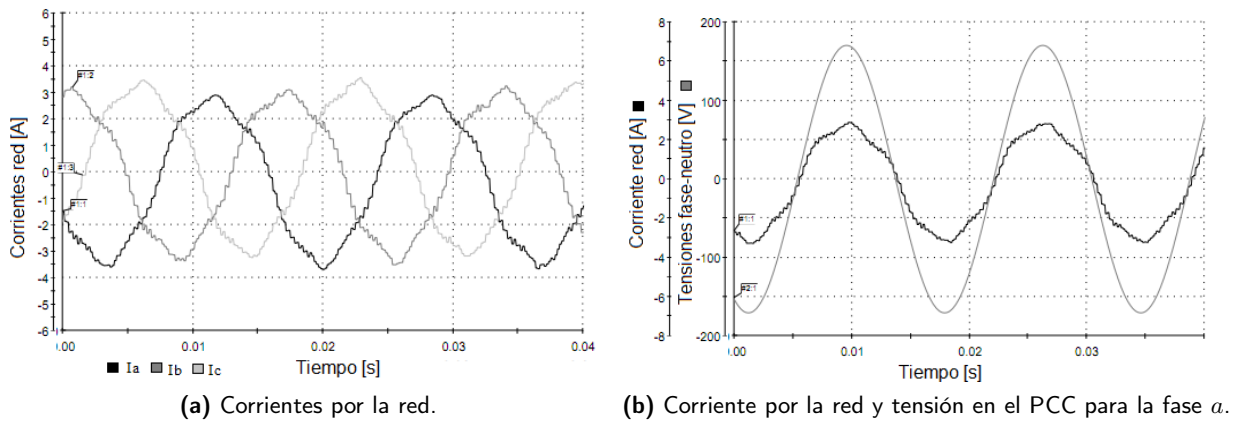


Figura D.2.: Tensiones y corrientes del sistema

En lo referente a la tensión en el lado de continua, en la figura D.3a se puede apreciar la eficiencia del controlador PI implementado en donde cada condensador alcanza la tensión de referencia de 270 [V] y la mantiene cercana a este valor. Debido a la inyección de corrientes homopolares por el neutro existen unas pequeñas oscilaciones en la tensión individual de cada condensador, sin embargo la controlabilidad del filtro activo no es afectada. En la figura D.3b son mostradas las corrientes inyectadas por el filtro para cada una de las fases, estas corrientes representan el componente no activo de las corrientes de carga y como se puede apreciar son balanceadas. Ésta figura muestra un excelente desempeño del controlador *Deadbeat*, lo cual se ve manifestado en el bajo rizado que presenta cada una de las formas de onda.

D.2. Comunicación secuencial, convertidor real

A continuación son presentados los resultados para la compensación de corrientes de carga con contenido armónico descritas en la figura D.1a para el modelo del convertidor real.

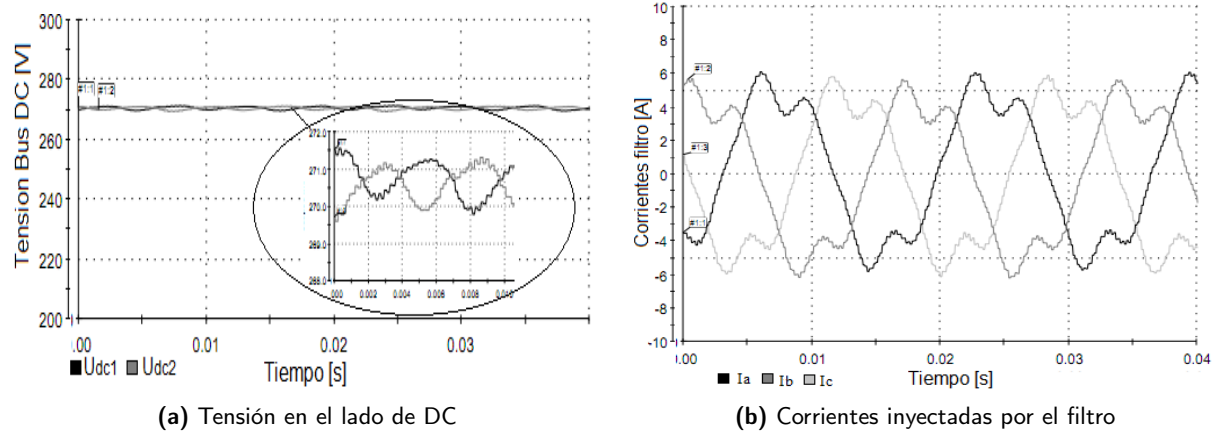


Figura D.3.: Variables del convertidor ideal.

D.2.1. Resultados de la simulación en tiempo real

En primer lugar son mostrados los resultados obtenidos por las simulaciones en tiempo real. En la figura D.4 se muestran las tensiones de los condensadores C_1 (u_{dc1}) y C_2 (u_{dc2}), en donde se puede observar un adecuado seguimiento de la tensión de referencia. Al mismo tiempo se evidencia un pequeño desbalance en el valor medio de la tensión individual de cada condensador originada por la inyección de corrientes homopolares.

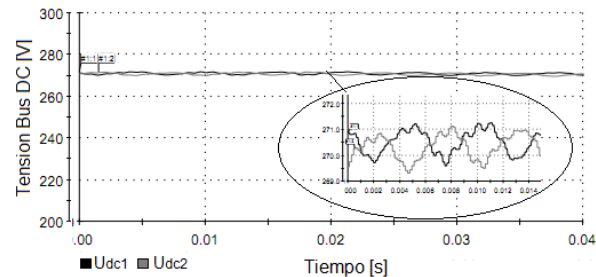


Figura D.4.: Tensión en el lado de DC

Las corrientes inyectadas por el filtro activo son mostradas en la figura D.5a. Se puede observar un mayor rizado en las corrientes resultantes por la red en comparación con los resultados de la figura D.3b. este rizado se ve reflejado en la figura D.5b en donde se observan las corrientes de red resultantes, las cuales se encuentran balanceadas y en fase con la tensión en el PCC, igualmente la forma de onda se aproxima a una onda sinusoidal.

D.2.2. Resultados en *Matlab/Simulink*

A continuación son mostrados los resultados obtenidos en simulaciones fuera de línea para las mismas condiciones de operación del sistema en tiempo real considerando una frecuencia de muestreo

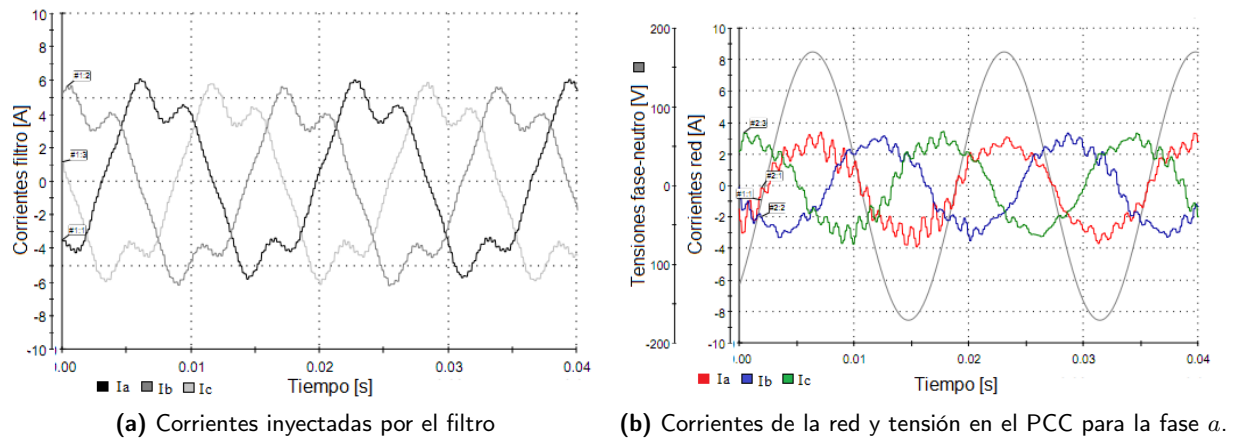


Figura D.5.: Tensiones y corrientes del sistema.

de 6 kHz. En la figura D.6 se muestran las tensiones para los condensadores del lado de continua. Se puede observar que el comportamiento individual es similar al descrito en la figura D.4 correspondiente a las simulaciones en tiempo real.

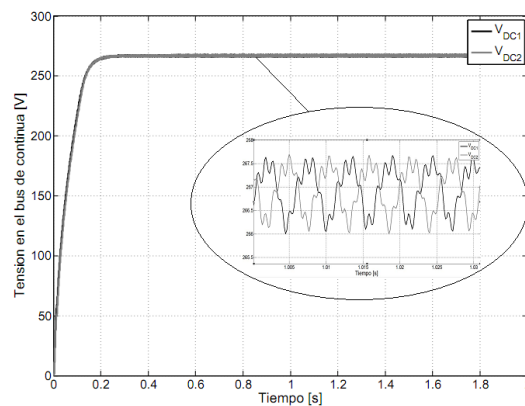


Figura D.6.: Tensión en el lado de DC

Por otra parte en las figuras D.7a y D.7b se muestran las corrientes inyectadas por el filtro y las corrientes por la red para cada una de las fases una vez realizada la acción de compensación del filtro activo. Las corrientes de la red se encuentran en fase con las tensiones en el PCC y tienen una forma de onda cercana a la sinusoidal.

A partir de la comparación directa entre los resultados obtenidos en tiempo real y los resultados correspondientes a las simulaciones fuera de línea se puede corroborar el correcto funcionamiento del sistema implementado al mismo tiempo que se verifica la viabilidad de un SAPF en la compensación de corrientes de carga con contenido armónico.

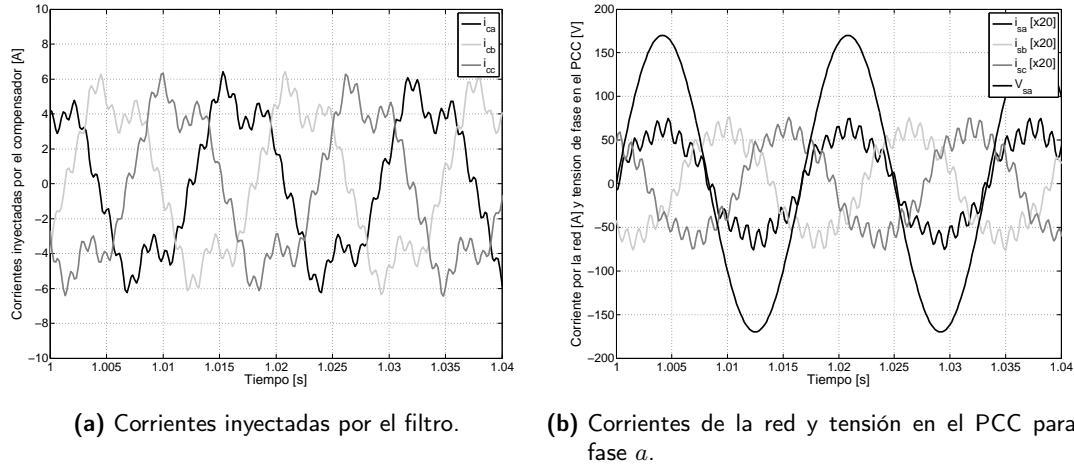


Figura D.7.: Tensiones y corrientes del sistema para simulaciones en *Matlab/Simulink* con frecuencia de operación de 6 kHz.

D.3. Comunicación paralela

En este modo de operación no pueden ser consideradas corrientes de carga con componente homopolar, tal como fue descrito anteriormente. Por esta razón se muestran los resultados correspondientes a la compensación de corrientes de carga balanceadas de secuencia positiva con un factor de potencia de 0.866 en atraso. En la figura D.1b se describen las corrientes de carga para las tres fases y la tensión en el PCC para la fase a . En esta ocasión el control del lado de DC se enfoca en la tensión global por medio de un controlador PI y la frecuencia de operación se establece en 10 kHz.

D.3.1. Resultados de la simulación en tiempo real

En la figura D.8 se muestra la tensión global del lado de continua. Se puede apreciar que el controlador basado en un solo PI controla adecuadamente la suma de las tensiones individuales de los condensadores manteniendo dicha tensión en valores cercanos a 540 [V].

Por otra parte las corrientes inyectadas por el filtro son mostradas en la figura D.9a. En esta ocasión se evidencia un excelente seguimiento de la corriente de referencia que se puede apreciar en la poca distorsión en las ondas inyectadas por el filtro activo. Éstas corrientes de compensación representan el componente no-activo de las corrientes de carga y su amplitud es 4 [A]. En la figura D.9b se pueden apreciar las ondas de corriente por la red una vez realizada la acción de compensación. La corriente de la fase a está en fase con la tensión en el PCC con lo que se logra que la red suministre únicamente potencia activa.

Con los resultados mostrados en la figura D.9 se puede apreciar que la velocidad del control es un factor determinante en la eficiencia del controlador, presentándose excelentes resultados en

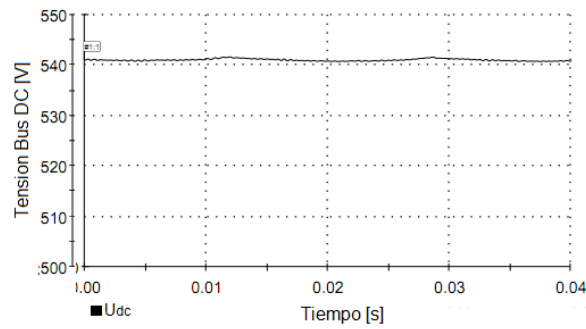
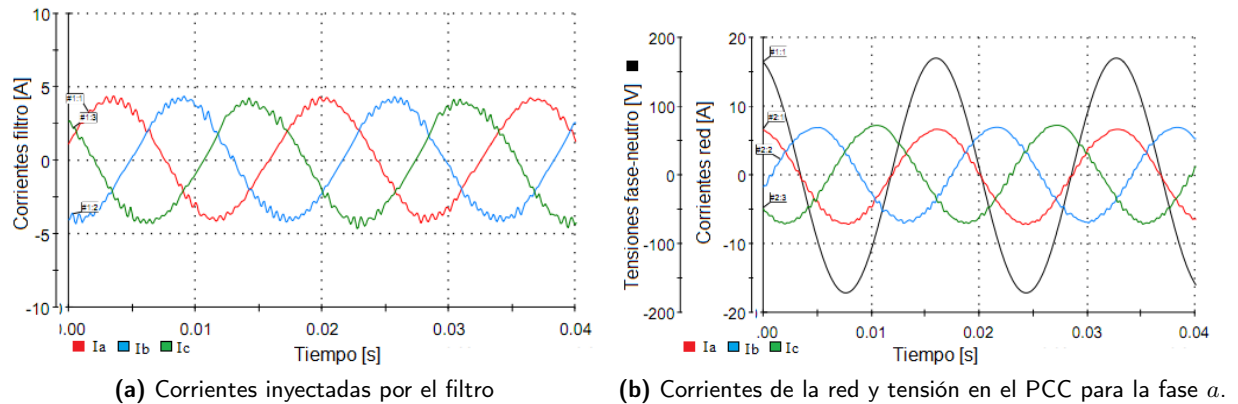


Figura D.8.: Tensión en el lado de DC



(a) Corrientes inyectadas por el filtro

(b) Corrientes de la red y tensión en el PCC para la fase α .

Figura D.9.: Tensiones y corrientes del sistema en comunicación paralela.

el modo de operación con comunicación paralela, ya que opera a una mayor frecuencia que en el modo secuencial.

D.3.2. Resultados en *Matlab/Simulink*

Para el modo de operación con comunicación paralela ejecutado a una frecuencia de muestreo de 10 kHz fueron realizadas simulaciones fuera de línea con el propósito de verificar la veracidad de los resultados en tiempo real. En la figura D.10 es mostrada la tensión global del lado de continua. Según se observa, se alcanza y mantiene la tensión de referencia global.

En las figuras D.11a y D.11b son mostradas las corrientes insertadas en el PCC por el filtro activo y las corrientes de la red respectivamente. Los resultados corresponden con los obtenidos en las simulaciones en tiempo real y se pueden apreciar que la corriente de red para la fase α se encuentra en fase con la tensión de suministro. Esto verifica el correcto funcionamiento del simulador en tiempo real.

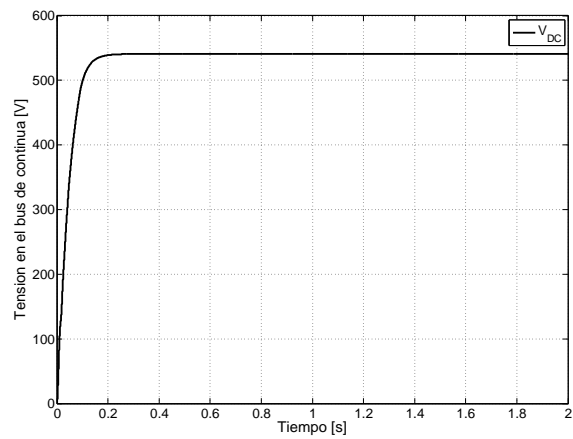
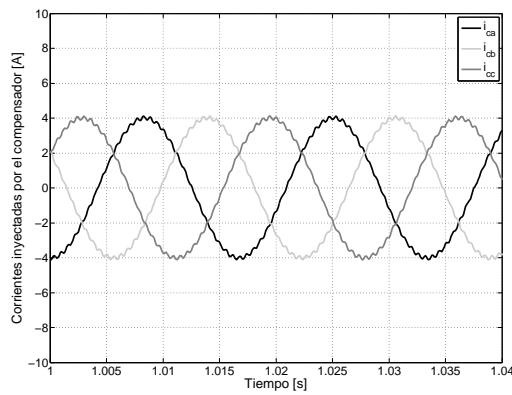
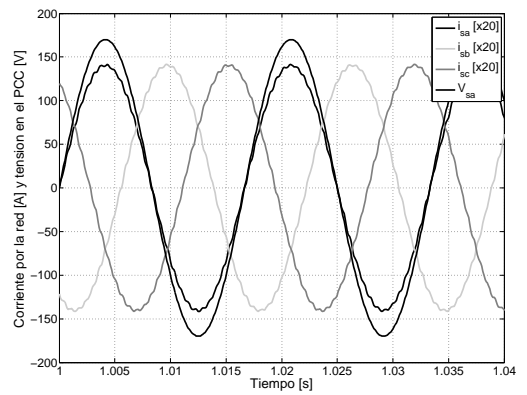


Figura D.10.: Tensión en el lado de DC



(a) Corrientes inyectadas por el filtro.



(b) Corrientes de la red y tensión en el PCC para la fase a .

Figura D.11.: Tensiones y corrientes del sistema para simulaciones en *Matlab/Simulink* con frecuencia de operación 10 kHz.