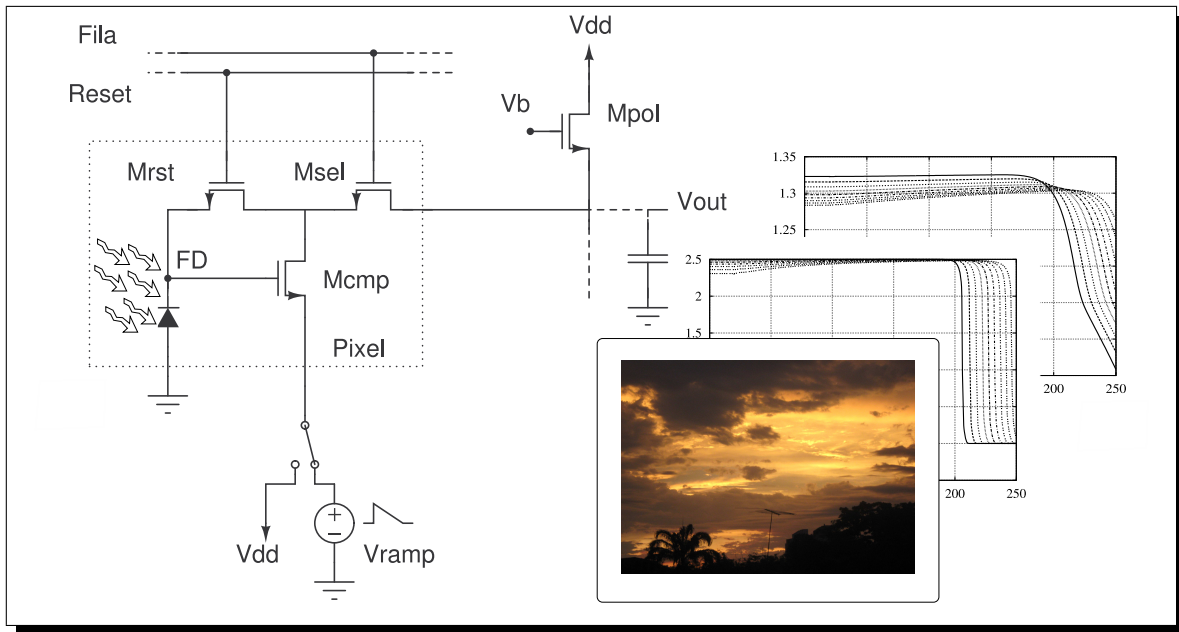


DISEÑO DE UN PÍXEL DE SENSOR DE IMAGEN INTEGRADO EN TECNOLOGÍA CMOS.



Ronald Hassib Galvis Chacón
Francisco Javier Villota Salazar

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



DISEÑO DE UN PÍXEL DE SENSOR DE IMAGEN INTEGRADO EN TECNOLOGÍA CMOS.

Ronald Hassib Galvis Chacón
Francisco Javier Villota Salazar

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. Élkim Felipe Roa Fuentes

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FÍSICO-MECÁNICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA

2010

“ A Nelcy y Antonio. ”

Ronald.

*“ A mis padres y mi hermana, por su constante esfuerzo e incondicional apoyo.
Y por supuesto, a dalila, por llenar de alegría la casa.”*

Francisco.

Agradecimientos

Alcance de una meta fruto del esfuerzo, agradezco a Dios por este motivo. A mis padres y hermanos por su bendición y apoyo permanente en todos los sentidos, primordialmente por su amor y comprensión. A mi tía y demás familiares por su colaboración. A la UIS, específicamente a el grupo CIDIC y aquellos profesores que contribuyeron en mi formación profesional. Finalmente y con gran gratitud, a cada una de las personas que dedicaron parte de su tiempo y ayudaron en el desarrollo de este proyecto. Como también a mis amigos y colegas que brindaron a mi vida distracción y alegría en los *pequeños* momentos de ocio.

Ronald Hassib Galvis Chacón

Agradezco a mi madre y a mi padre, quienes siempre han hecho todo lo posible para educarme y llegar a ser profesional, a mi hermana por su ejemplo, respaldo y motivación. También agradezco a mis amigos, especialmente a Dirney, Geovanny, Daniel, Javier, Andrés, Lucho, el *master*, Jairo y Leidy Andrea de quienes he aprendido tanto en estos años y han demostrado ser incondicionales.

De igual forma agradezco al grupo CIDIC, que me ha dado visión para expandir mi horizonte profesional, al profesor Élkim por la confianza depositada en mí al permitirme ser parte del grupo, a Andrés por su colaboración en este proyecto.

Finalmente debo dar gracias a los profesores que aportaron a mi formación, a la universidad, y todas las demás personas que de una u otra forma contribuyeron a la realización de este proyecto.

Francisco Javier Villota Salazar

Contenido

Contenido	11
Índice de figuras	13
Índice de tablas	15
1. Introducción	19
1.1. Sistemas de adquisición y procesamiento de imagen	20
1.2. Fundamentos de Sensores de Imagen <i>CMOS</i>	21
1.2.1. Generación de portadores de carga	21
1.2.2. Fotodetección	22
1.2.3. Fotodetectores	24
1.2.4. Arquitecturas de píxel	26
1.3. Estado del Arte	29
1.4. Organización del documento	31
2. Características de sensores <i>CMOS</i>	33
2.1. <i>Fixed Pattern Noise</i>	33
2.1.1. <i>FPN</i> de columna	34
2.1.2. <i>FPN</i> de píxel	34
2.1.3. Corrección de <i>FPN</i>	36
2.2. Potencia	37
2.2.1. Estado del Arte vs Industria	37
2.2.2. Perspectiva de Solución desde el sensor.	39
2.3. Otras Especificaciones	39
2.4. Topologías	41
2.4.1. Topología 3T- <i>APS</i>	41
2.4.2. Topología 4T- <i>APS</i>	42
2.4.3. <i>APS</i> logarítmico	43

2.4.4.	<i>APS</i> complementaria (<i>CAPS</i>)	43
2.4.5.	<i>PWM</i>	44
3.	Topología <i>PWM</i>	47
3.1.	Selección de Topología.	47
3.2.	Modelo del fotodetector	48
3.2.1.	Circuito Equivalente	49
3.3.	Operación de la arquitectura seleccionada	49
3.3.1.	<i>Reset</i>	50
3.3.2.	Acumulación	51
3.3.3.	Lectura	52
3.4.	Consideraciones en los tiempos de Operación	53
3.5.	Capacitancia de Carga	56
3.6.	Tensión de Referencia	56
3.7.	Reducción <i>FPN</i>	57
4.	Diseño de un píxel <i>PWM</i>	59
4.1.	Consideraciones y especificaciones	59
4.1.1.	Diseño Preliminar	61
4.2.	Diseño vía programación geométrica (PG)	67
5.	Análisis de resultados	71
5.1.	Solución del programa geométrico	71
5.2.	Resultados	73
5.2.1.	Figura de merito 1	73
5.2.2.	Medición de <i>FPN</i>	74
5.2.3.	Dependencia de V_{th}	74
5.2.4.	<i>Fill Factor</i>	75
5.2.5.	Comparación de resultados	76
5.3.	Observaciones y Conclusiones	76
5.4.	Recomendaciones para trabajos futuros	77
	Bibliografía	79

Índice de figuras

1.1. Diagrama de bloques del Sistema de Adquisición y Procesamiento de Imagen. . .	21
1.2. Esquema transversal de recepción de señal óptica.	21
1.3. Generación de pares electrón-hueco.	22
1.4. α vs λ para distintos materiales. <i>Adaptada de [1]</i>	24
1.5. Fotodetectores: a) Fotodiodo, b) Fotopuerta, c) Fototransistor. <i>Adaptada de [2]</i>	25
1.6. Relación Tensión-Corriente del fotodiodo. <i>Adaptada de [2]</i>	25
1.7. Arreglo de Píxeles.	27
1.8. Estructuras de píxel: a) <i>PPS</i> ; b) <i>APS</i> ; c) <i>DPS</i>	28
2.1. a) Imagen original b) <i>FPN</i> de columna; c) <i>FPN</i> de píxel.	35
2.2. Circuito básico CDS.	36
2.3. a) Fotodiodo; b) Circuito de lectura del 3T- <i>APS</i> y 4T- <i>APS</i> ; c) Fotodiodo <i>pinned</i>	42
2.4. a) <i>APS</i> logarítmico; b) <i>APS</i> complementaria.	43
2.5. a) Arquitectura <i>PWM</i> en Sensores Imagen; b) Obtención de la señal <i>pwm</i>	44
3.1. Topología <i>PWM</i>	48
3.2. Circuito equivalente del fotodiodo.	49
3.3. Topología <i>PWM</i> con circuito de polarización	50
3.4. Operación del circuito durante el periodo <i>reset</i>	50
3.5. Operación del circuito durante la acumulación de cargas.	51
3.6. Operación del circuito durante el proceso de lectura.	52
3.7. Etapa de <i>reset</i>	54
3.8. Etapa de acumulación	54
3.9. Etapa de lectura.	55
3.10. Diagrama de Tiempos.	55
4.1. Píxel con polarización en puerta, para etapas de <i>reset</i> o lectura.	62

4.2.	Referencias de la tensión rampa y el nodo FD.	64
4.3.	a)Tensión de salida del píxel b)Tensión de salida después del <i>buffer</i> c)Corriente entregada por la fuente de alimentación.	66
4.4.	Circuito empleado para plantear las restricciones del programa geométrico. . .	68
5.1.	Para el diseño con PG: a) Tensión de salida del píxel, b) Tensión de salida después de los inversores, c) Corriente entregada por la fuente.	72
5.2.	<i>Layout</i> del píxel <i>PWM</i>	75

Índice de tablas

1.1. Estado del arte.	30
2.1. Estado del arte en potencia	38
2.2. Estado del arte en la industria.	38
4.1. Especificaciones del píxel.	61
4.2. Parámetros de diseño del píxel.	66
4.3. Porcentaje de error en los modelos usados para PG.	69
4.4. Planteamiento del programa geométrico.	70
5.1. Resultados del programa geométrico.	72
5.2. Figura de mérito modificada.	73
5.3. Resultados de FPN para diferentes valores de tensión en $V_{r,st}$	75
5.4. Comparación de Resultados.	76

RESUMEN

TÍTULO:

DISEÑO DE UN PÍXEL DE SENSOR DE IMAGEN INTEGRADO EN TECNOLOGÍA CMOS¹

AUTORES: RONALD HASSIB GALVIS CHACÓN ²
FRANCISCO JAVIER VILLOTA SALAZAR ²

PALABRAS CLAVE: Sensor de Imagen, píxel, bajo consumo de potencia, programación geométrica, *FPN*, *CMOS*.

DESCRIPCIÓN:

El uso de sensores de imagen se expande continuamente a diferentes áreas en el ámbito industrial, médico y científico; en muchas ocasiones se dirigen al desarrollo de sensores portátiles, que presenten un mínimo consumo de potencia y una calidad de imagen adecuada a la aplicación. De acuerdo a lo anterior, se requiere analizar y estudiar los bloques y características de este tipo de circuitos. Por tanto, en este proyecto se realiza el diseño de un píxel de sensor de imagen, circuito fundamental en el desempeño del sensor.

Inicialmente se presentan los bloques que componen el sistema completo, al igual que una breve explicación del proceso físico que involucra la transformación de cantidad de luz en una señal eléctrica, y los elementos que lo hacen posible; también se estudian las diferentes topologías presentes en el estado del arte. Luego se analizan los principales parámetros que miden el desempeño de los sensores de imagen, con base en esto se realiza la selección de la topología más adecuada que reduzca el consumo de potencia y *fixed pattern noise*.

Una vez seleccionada la topología, se estudia rigurosamente a nivel de circuito, lo que permite realizar el diseño del píxel, y aplicar programación geométrica para optimizarlo.

Los resultados obtenidos se comparan con el estado del arte, y se validan por medio de simulaciones y análisis *montecarlo*, usando los modelos *BSIM3V3* y los parámetros de ajuste (*matching*) propios del proceso de fabricación *AMS C35B4C3*.

¹Proyecto de Grado.

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Élkim Felipe Roa Fuentes.

SUMMARY

TITLE:

PIXEL DESIGN OF AN IMAGE SENSOR INTEGRATED IN CMOS TECHNOLOGY ³

AUTHORS: RONALD HASSIB GALVIS CHACÓN ⁴

FRANCISCO JAVIER VILLOTA SALAZAR ⁴

KEY WORDS: Image sensor, píxel, low power, geometric programming, FPN, CMOS.

DESCRIPTION:

The use of image sensors is continually expanding to different areas in the industrial, medical and scientific fields; they are often directed to the development of portable sensors with a minimum power consumption and an image quality that results suitable to the application. According to the above, is required to analyze and study the blocks and characteristics of this circuit. Therefore, this project is the design of a pixel image sensor, fundamental circuit in the sensor performance.

Initially the blocks that make up the complete system, as well as a brief explanation of the physical process that involves the transformation of quantity of light into an electrical signal, and the elements that make this possible, it also examines the different topologies presented in the state of the art. Then we analyze the main parameters that measure the performance of image sensors, and based on this, the most appropriate topology to reduce power consumption and fixed pattern noise is chosen.

Once the topology is selected, it is studied carefully at the circuit level , which allows the design of the pixel, and the application of geometric programming to optimize it.

The results are compared with the state of the art, and are validated by simulation and Monte Carlo analysis, using models BSIM3V3 and mismatch parameters inherent to the manufacturing process C35B4C3 AMS.

³Degree project.

⁴Physics Mechanical Engineering Faculty. Electrical, Electronic and Telecommunications Engineering School. Advisor MSc. Élkim Felipe Roa Fuentes.

Capítulo 1

Introducción

Durante la última década, la industria de sensores de imagen se ha convertido en una de las más importantes y rentables. En 1999 sobrepasó la barrera de ingresos de mil millones de dólares [3], mientras que en 2004 se comercializaron más de 230 millones de partes y se calculó el crecimiento de esta industria en más de un 28% [4]. En la actualidad compañías líderes como *Micron*, reportan un importante mercado a nivel mundial para los sensores *CMOS* (*Complementary Metal Oxide Semiconductor*) respecto a la tecnología tradicional *CCD* (*Charged Couple Device*). Esto sugiere que ventajas de la tecnología *CMOS* se están imponiendo en el mercado sobre la alta calidad de los *CCD* [5].

En la década de los 60's se llevaron a cabo las primeras aproximaciones en sensores de imagen [6], primero en dispositivos *MOS* y años después en *CCD*. Estos últimos ofrecen mayor calidad de imagen, por lo cual dominan el mercado de sensores de imagen para dispositivos de alto desempeño (ej: cámaras profesionales). Sin embargo, el escalamiento de la tecnología *CMOS*, la necesidad de integrar sistemas y el auge de los dispositivos portátiles, cambiaron la perspectiva y dejaron en evidencia desventajas de los sensores *CCD* como se describe en [7]: Elevado consumo de potencia para arreglos de gran tamaño, imposibilidad de integrar el sistema completo en un solo circuito, y poca velocidad de lectura de la señal enviada por los sensores.

Producto del escalamiento en la tecnología *CMOS*, se retomó la posibilidad de implementarla masivamente en sensores de imagen, notando que las deficiencias de *CCD* enunciadas anteriormente se superan en *CMOS*. Esto atrajo la industria de dispositivos portátiles a nivel mundial, impulsando numerosas aplicaciones de dichos sensores en medicina, seguridad, automatización, telefonía móvil e internet, entre otros [4].

Uno de los retos en el área de sensores de imagen *CMOS* consiste en la reducción de *Fixed Pattern Noise*¹ (*FPN*) [1], el cual afecta directamente la calidad de imagen; éste es producto

¹Tipo de ruido predominante en los sensores *CMOS*

de las no idealidades en el proceso de fabricación, y es una de las razones del porque sigue en vigencia la tecnología *CCD*. Por otra parte, la principal aplicación de los sensores *CMOS*, son los dispositivos portátiles, los cuales requieren un mínimo consumo de potencia para garantizar la máxima autonomía de su fuente de alimentación [8]. Al mejorar de forma conjunta estos dos aspectos en sensores de imagen, se cubren las expectativas tanto de academia como de industria, con lo cual se potencializarán dispositivos como los implantes en la retina [9].

En la actualidad el desarrollo de sensores de imagen busca el mismo escalamiento que el estándar digital en procesos *CMOS* [8], y así lograr una reducción en el tamaño del circuito y disminuir su consumo de potencia. Pero minimizar el tamaño implica un incremento en ruido, ya que a menor escala el efecto de los comportamientos no ideales de los dispositivos aumenta. Es decir, a pesar de que la tecnología *CMOS* ofrece grandes ventajas con respecto a *CCD*, los primeros aún son demasiado ruidosos y menos sensibles que los segundos. Por lo tanto este trabajo se centra en el diseño de un píxel de sensor de imagen de bajo ruido y bajo consumo de potencia en tecnología *CMOS*.

A lo largo del presente capítulo se mostrarán los fundamentos teóricos para el desarrollo y entendimiento del proyecto, que permitan al lector familiarizarse con los conceptos y parámetros de importancia.

1.1. Sistemas de adquisición y procesamiento de imagen

Los sistemas de adquisición y procesamiento de imagen se pueden representar de forma general como se muestra en la figura 1.1: en primera instancia la imagen es adaptada por medio de una lente en la superficie del sensor, la cual se encarga de concentrar la luz sobre un arreglo de microlentes que la distribuyen de manera uniforme sobre cada píxel. Debajo de los microlentes se ubica el filtro de color, el cual produce una señal cuya longitud de onda corresponda únicamente a los colores primarios de la luz², rojo, verde y azul³. En la parte baja se encuentra el arreglo de píxeles, los cuales son los encargados de la conversión ópto-eléctrica, y definen el límite en desempeño de todo el sistema [1,4]. La disposición física de estos bloques en el circuito integrado se muestra en la figura 1.2.

La señal analógica del píxel es leída fuera del sensor de imagen y digitalizada por un convertidor analógico-digital (*ADC*). En el procesamiento digital de la imagen, se utilizan algoritmos de interpolación espacial para producir el color original, se corrigen errores de color, fallas por píxeles defectuosos e imperfectos ópticos. Finalmente, la imagen es comprimida y almacenada en memoria.

²Por medio de la combinación de estos es posible obtener cualquier color.

³*RGB*, por sus siglas en inglés.

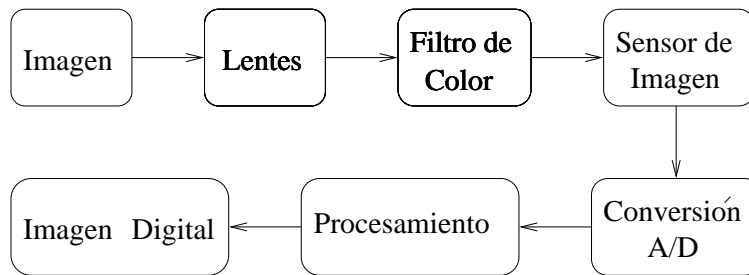


Figura 1.1: Diagrama de bloques del Sistema de Adquisición y Procesamiento de Imagen.

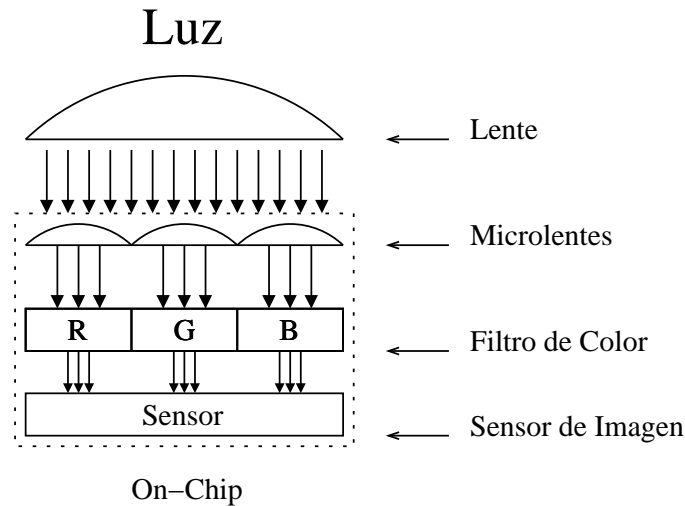


Figura 1.2: Esquema transversal de recepción de señal óptica.

1.2. Fundamentos de Sensores de Imagen *CMOS*

El propósito de esta sección es dar a conocer los fundamentos físicos y electrónicos de los sensores de imagen con el fin de entender su principio de operación, partiendo del concepto que permite la conversión de luz incidente a una señal eléctrica, para así exponer algunas clases de dispositivos que realizan esta función; sin embargo el contexto de los sensores de imagen es extenso e involucra conceptos de física de semiconductores, los cuales se explican en la literatura [10].

1.2.1. Generación de portadores de carga

Los adelantos de *Maxwell* en 1873 y los experimentos de *Hertz* en 1887 determinaron que la luz visible es una forma de radiación electromagnética y a su vez, la física moderna establece la dualidad onda-partícula para el comportamiento de la luz, donde el fotón es la partícula responsable de esta forma de radiación [11], por tanto representa físicamente la luz

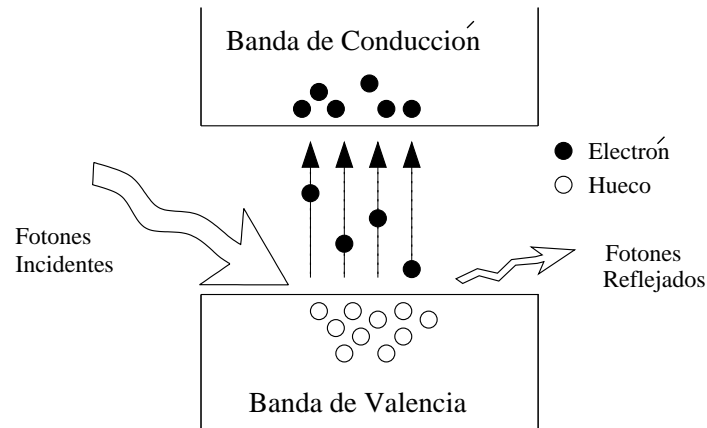


Figura 1.3: Generación de pares electrón-hueco.

visible. Ante la imposibilidad de realizar una medición directamente sobre las ondas de luz, el comportamiento del fotón se puede asumir como una partícula que permite ser sensada con diferentes dispositivos (como se verá más adelante en este capítulo). Lo anterior define el fundamento que hace posible la representación eléctrica de imágenes a partir de señales ópticas.

Los fotones al ser partículas en movimiento llevan consigo energía asociada de acuerdo a la ecuación (1.1) (en ocasiones llamada *Ecuación de Einstein*), donde c es la velocidad de la luz, h la constante de *Plank* y λ la longitud de onda.

Los materiales semiconductores como el silicio, poseen en su estructura de bandas una brecha de energía llamada E_g (*Energy Gap*)⁴ entre la banda de conducción y la banda de valencia; si el fotón incidente es absorbido por el material, y proporciona energía suficiente para que un electrón del material pase de la banda de valencia a la banda de conducción, se genera un par electrón-hueco [1]. En la figura 1.3 se observa una ilustración del fenómeno mencionado, donde además se infiere que un material semiconductor expuesto a la luz genera constantemente portadores de carga.

$$E = \frac{hc}{\lambda} \quad (1.1)$$

1.2.2. Fotodetección

En el proceso de fotodetección las señales ópticas son transformadas en señales eléctricas. Esto incluye las etapas de generación, separación y recolección de portadores de carga, además de suministrar la señal eléctrica de salida. De las etapas del proceso mencionadas, dependen aspectos que son de importancia en el fotodetector, como se describe en [1]:

⁴Para el silicio $E_g = 1,123eV$.

- Sensitividad a la luz en la longitud de onda de interés.
- Velocidad de respuesta.
- Ruido generado.

Cuando la luz incide sobre la superficie de un semiconductor, parte de esta es reflejada, luego no toda la potencia de la luz incidente llega al material [2], como se observa en la figura 1.3. Una vez que la luz ingresa al material comienza la interacción entre las partículas (electrones y fotones), lo que incrementa las pérdidas de potencia lumínica [1]. Para los semiconductores se define la constante de absorción α , y es la razón entre la pérdida de potencia lumínica ($\Delta P/P$) y la distancia que ha recorrido la luz en el material (ΔZ), representada por (1.2).

$$\alpha(\lambda) = \frac{1}{\Delta Z} \frac{\Delta P}{P}, \quad (1.2)$$

de la cual se obtiene:

$$P(Z) = P_0 e^{-\lambda Z}. \quad (1.3)$$

La anterior ecuación concuerda con los resultados experimentales [1], de donde se concluye que a medida que el fotón ingresa en el cristal, la potencia lumínica se reduce exponencialmente de acuerdo al coeficiente de absorción del material y la longitud de onda incidente. Para los materiales semiconductores como *Si*, *Ge* o *GaAs*, el coeficiente de absorción tiene un comportamiento inverso frente la longitud de onda [1]. De (1.1) se observa que al aumentar λ la energía disminuye, llegando al límite en el cual no logra expulsar al electrón de la banda de valencia a la banda de conducción y por tanto el coeficiente se hace cero.

En la figura 1.4 se muestra la variación de α con respecto a λ ; en todos los materiales se observa la caída en el coeficiente cuando $\lambda = hc/E_g$.

Dos características importantes que cualifican a los fotodetectores, son la responsividad⁵ y la eficiencia cuántica; la responsividad se define como la cantidad de fotocorriente⁶ (i_{ph}) producida por potencia lumínica incidente (P) por unidad de área, y la eficiencia cuántica es la razón entre el número de portadores generados y el número de fotones incidentes. Las ecuaciones (1.4) y (1.5) describen estos dos parámetros.

$$R_{ph} = \frac{i_{ph}}{P} \quad (1.4)$$

⁵Palabra tomada de la traducción directa de *responsivity*, pese a que no existe en el castellano se toma este término por concordancia en los textos y otras referencias.

⁶Corriente producida en el fotodetector por los portadores generados.

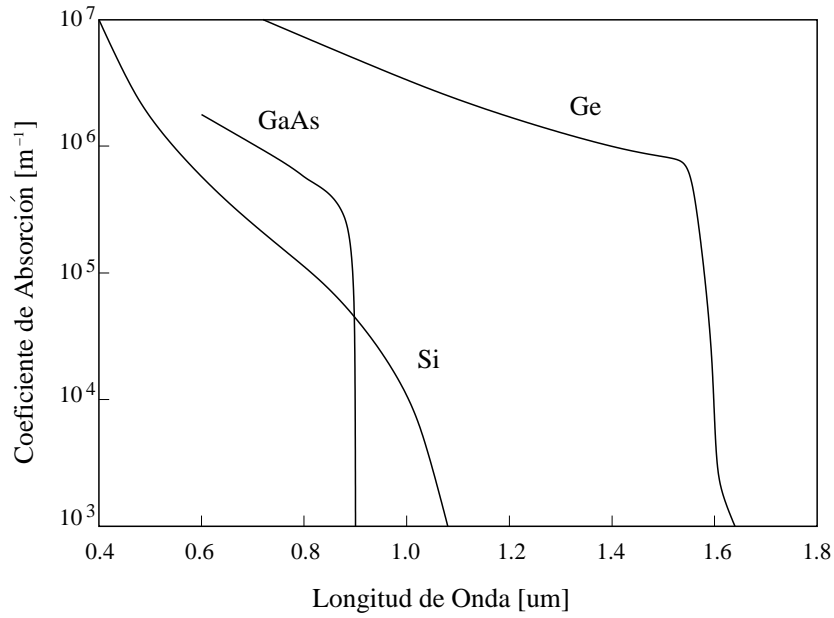


Figura 1.4: α vs λ para distintos materiales. *Adaptada de [1].*

$$\eta = \frac{i_{ph}/e}{P_0/(hv)} = R_{ph} \frac{hv}{e} \quad (1.5)$$

1.2.3. Fotodetectores

En la figura 1.5 se muestran los principales tipos de fotodetectores empleados en sensores de imagen. Estos dispositivos regulan mediante su polarización el periodo de acumulación de portadores de carga; a este intervalo de tiempo se le denomina “tiempo de integración”, y es un factor importante en el diseño de este tipo de circuitos, ya que determina el rango máximo de recepción de señal. Aunque la fotodetección puede ser realizada por diferentes dispositivos, el fotodiodo es el más usado debido a su facilidad de fabricación, bajo costo y amplia disponibilidad en diversas tecnologías [1]; por tanto se explicará de forma más profunda en comparación con los demás dispositivos que se abordan de forma general.

Fotodiodo (PD):

La curva característica del diodo se presenta en la figura 1.6, y es modelada por (1.6).

$$I_D = i_{diff} \left(e^{\frac{qV}{n k_B T}} - 1 \right) \quad (1.6)$$

$$I_T = i_{ph} - I_D \quad (1.7)$$

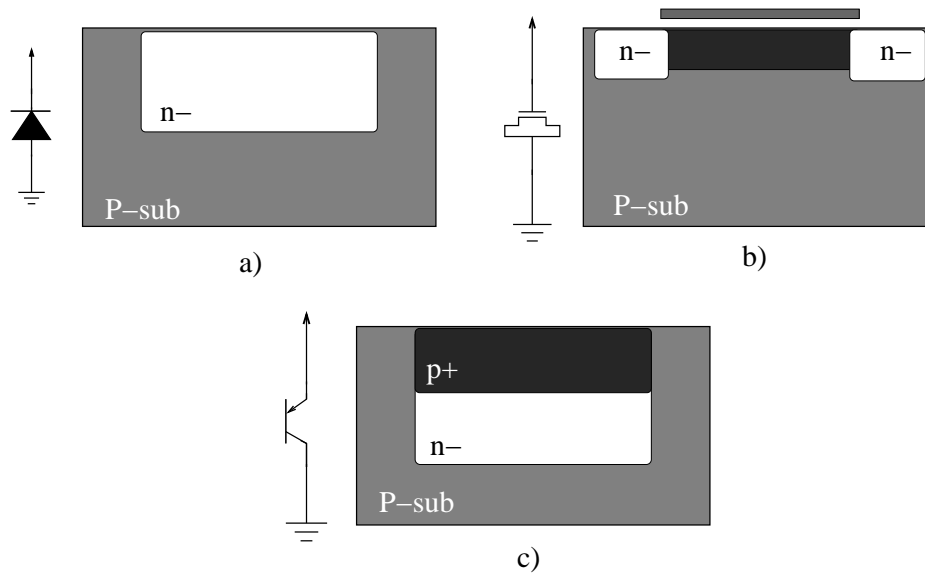


Figura 1.5: Fotodetectores: a) Fotodiodo, b) Fotopuerta, c) Fototransistor. *Adaptada de [2].*

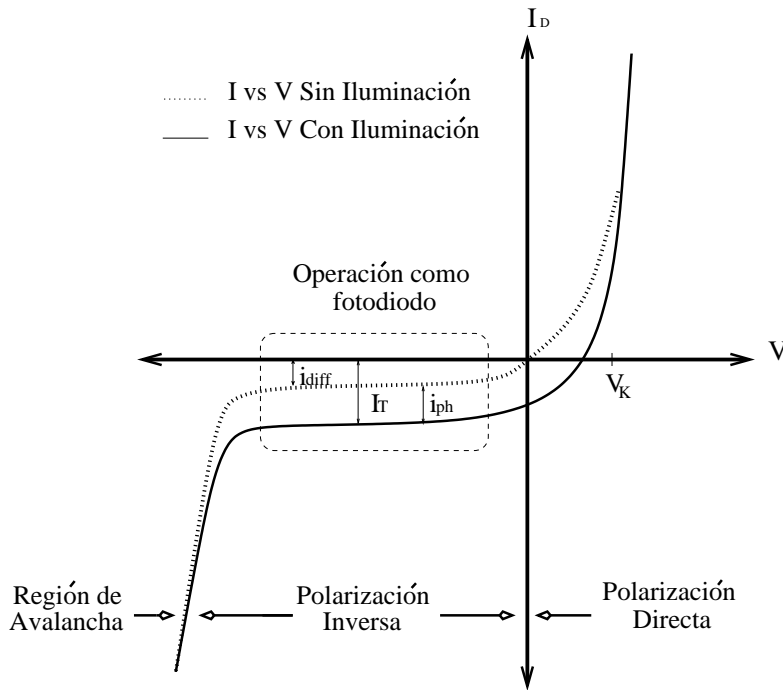


Figura 1.6: Relación Tensión-Corriente del fotodiodo. *Adaptada de [2].*

La luz incidente genera el flujo de cargas denominado fotocorriente (i_{ph}), y fluye en el mismo sentido de la corriente inversa del diodo (i_{diff}), por lo tanto la corriente total se puede expresar como en (1.7). La fotocorriente sólo es considerable para tensiones menores a la tensión de umbral (V_K), como se muestra en la figura 1.6, ya que para valores superiores

la corriente directa predomina. Por esta razón, la aplicación del fotodiodo como fotodetector se realiza en polarización inversa, donde el término exponencial es despreciable y la ecuación (1.7) se puede aproximar como en (1.8). Por otro lado, si la tensión de polarización inversa se acerca a la región de avalancha, la fotocorriente se hace despreciable.

$$I_T = i_{ph} + i_{diff} \quad (1.8)$$

La respuesta en corriente es proporcional a la luz incidente, sin embargo, la presencia de i_{diff} impone un mínimo en la operación del dispositivo: toda señal que genere corriente de magnitud aproximada a i_{diff} se perderá por el ruido que ésta introduce, ya que siempre está presente por ser propia del diodo. La corriente producida en ausencia de iluminación, debido a las no idealidades del fotodetector se denomina “*Dark Current*” [4], que en este caso es i_{diff} . Sus orígenes y efectos sobre el píxel se discuten en el siguiente capítulo.

Fotopuerta (PG):

Su estructura es similar a la de un capacitor *MOS*; cuando la puerta del transistor es polarizada, las cargas se acumulan en la región de depleción. Este tipo de fotodetector presenta un buen desempeño en acumulación y transferencia de cargas, por lo cual es el segundo tipo de fotodetector más usado; desafortunadamente presenta poca efectividad en longitudes de onda cortas [2], específicamente, en la gama de los azules (al ser el azul uno de los colores primarios, esta particularidad representa una gran desventaja).

Otros tipos de fotodetector:

Existen otros tipos de fotodetectores como el fototransistor, el cual amplifica por si solo pero su ganancia no es muy alta, además aporta *FPN*, ya que al ser un dispositivo más complejo depende de más parámetros, que a su vez también pueden variar en el proceso de fabricación. El fotodiodo de avalancha presenta muy buena ganancia y alta velocidad, pero no son implementables en tecnología *CMOS*, ya que requieren tensiones del orden de 100[V] para su correcto funcionamiento. Por otra parte, los detectores fotoconductorivos tienen una ganancia considerable, sin embargo, aportan un alto valor de *dark current* y poca velocidad de respuesta, dado que su funcionamiento se basa en generar un campo eléctrico sobre la región fotoconductoriva para recolectar los portadores [2].

1.2.4. Arquitecturas de píxel

Como se ha mencionado, el sensor de imagen es el bloque principal en la construcción de imágenes en un sistema digital. Consiste en un arreglo bidimensional de píxeles como

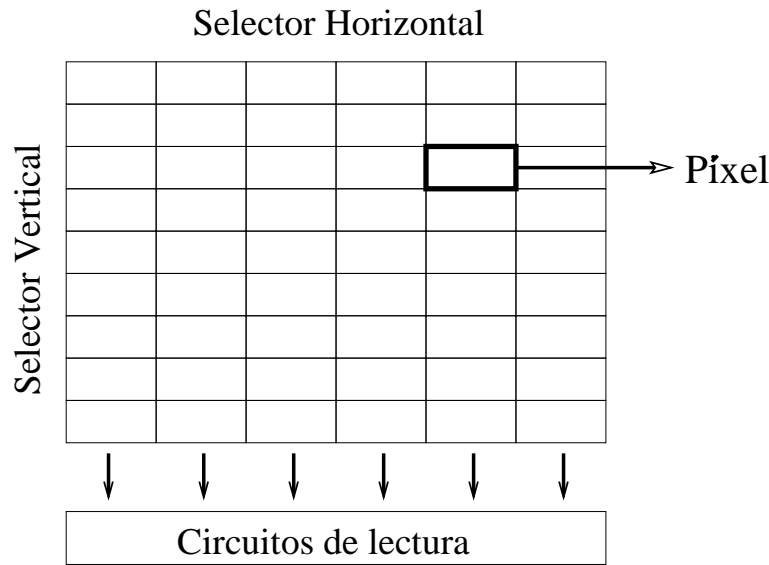


Figura 1.7: Arreglo de Píxeles.

se muestra en la figura 1.7, constituidos por un fotodetector que convierte la luz incidente en fotocorriente, y un circuito de lectura que transforma la fotocorriente en la señal eléctrica deseada (tensión o corriente); generalmente esta señal es leída fuera del arreglo para su respectivo procesamiento (en arquitecturas *DPS* se realiza en el mismo arreglo, como se verá más adelante). Es por ello que el desempeño del sensor depende de las pequeñas celdas que lo integran, es decir, de la calidad y eficiencia de los píxeles.

Bajo este entorno, no solo los fotodetectores requieren un cuidadoso análisis, sino también los circuitos de lectura, pues de estos dependerá en gran parte el tamaño del píxel y especificaciones relevantes como ruido, el cual es la principal desventaja de los sensores *CMOS*.

El desarrollo de los píxeles se ha caracterizado por la inclusión progresiva de componentes al interior del píxel para mejorar su desempeño y reducir los niveles de ruido. En este sentido se distinguen tres tipos de arquitecturas: sensores de píxel pasivo, activo y digital.

Sensor de Píxel Pasivo (*PPS*):

Fue el primer tipo de arquitectura empleada [6], y consiste en un transistor que funciona en forma de interruptor para acceder al fotodetector, tal como se muestra en la figura 1.8(a). Es una estructura bastante simple y la que mejor *fill factor*⁷ presenta, debido a que solo emplea un transistor. Estando el diodo polarizado inversamente, se abre el interruptor durante el tiempo de integración, lo que conlleva a la acumulación de cargas en la capacitancia equivalente del

⁷Relación entre el área del fotodetector y el área total del píxel.

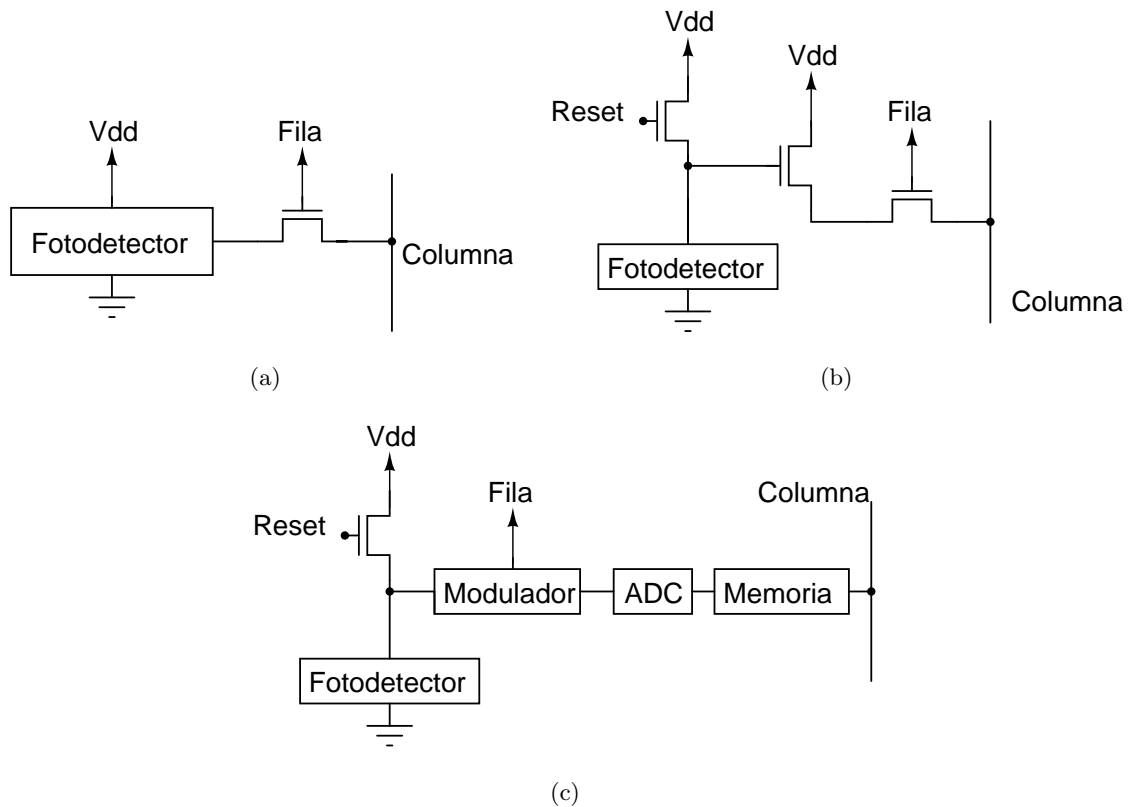


Figura 1.8: Estructuras de píxel: a) *PPS*; b) *APS*; c) *DPS*.

diodo. Posteriormente se cierra el interruptor para que la señal viaje hasta la columna y sea amplificada. A pesar de la sencillez del proceso, la columna presenta un valor grande de capacitancia [1], y el nodo de sensado queda directamente conectado a la columna, por lo cual el proceso se hace lento.

Sensor de Píxel Activo (*APS*):

En la búsqueda de mayor velocidad en el sensor y mejor relación señal a ruido [4], fueron agregados un amplificador y un *buffer* a cada píxel para dar como resultado la arquitectura *APS* mostrada en la figura 1.8(b). Hoy en día, es una de las arquitecturas con mayor grado de investigación en cuanto a eficiencia y flexibilidad, además se ha convertido ampliamente en una alternativa a la tecnología *CCD*.

El transistor conectado a *reset* es activado y polariza el fotodetector, posteriormente se apaga y comienza el tiempo de integración, en el que las cargas se acumulan en la capacitancia equivalente del nodo de sensado y se activa el selector de fila. La señal es enviada en forma de tensión o corriente por medio del transistor conectado como seguidor de fuente, que a su

vez aísla el nodo de sensado y la columna, obteniendo un sistema más veloz con mejor rango dinámico y relación señal a ruido (SNR) [4].

Desafortunadamente la implementación de más transistores hace que la señal dependa de múltiples variables, por lo tanto las desigualdades entre elementos de los píxeles se hacen más evidentes y aumentan el FPN ; además se reduce el $fill\ factor$ del circuito.

Sensor de Píxel Digital (DPS):

Son la alternativa más reciente; la figura 1.8(c) muestra un diagrama simplificado de esta arquitectura, que contiene un fotodetector, un ADC y una memoria. La salida de cada celda es digital, por lo que es inmune al ruido de columna, además de obtener grandes velocidades al realizar la conversión y almacenamiento en cada píxel. Sin embargo, su principal desventaja es que requiere el uso de más transistores, resultando en un píxel de mayor tamaño con reducido $fill\ factor$ a diferencia de las otras estructuras [4].

Con lo anterior se observa la clara tendencia a incorporar en cada píxel la mayor cantidad de circuitos posibles como solución a los problemas de los sensores $CMOS$; en el caso de APS se introduce la amplificación y en DPS se introduce la conversión a formato digital.

1.3. Estado del Arte

En la actualidad la academia y la industria han propuesto diversas formas de mejorar las características de los sensores $CMOS$, modificando arquitecturas existentes o proponiendo nuevas.

Como se mencionó a lo largo de este capítulo, disminuir FPN es uno de los objetivos en la industria de sensores de imagen. En [12] discuten algunas operaciones utilizadas para este fin. Un método bastante usado para la corrección de FPN es mediante el circuito CDS (*Correlated Double Sampling*), no obstante, con este método no es posible corregir algunas componentes del FPN , como la debida a las variaciones en la ganancia del píxel [4].

En [13] intentan reducir las componentes de FPN que no son corregidas por el CDS , utilizando un bloque adicional de división modo corriente a la salida del circuito CDS , realizando así un triple muestreo a la señal de la salida del píxel. Además emplean un APS modo corriente con un transistor adicional, que permite reiniciar individualmente cada píxel; pero a diferencia de [14], donde utilizan la arquitectura APS tradicional y los transistores en la región de operación lineal, en [13] proponen el uso de la región de triodo para la conversión de tensión del fotodiodo a la corriente de salida; garantizando una gran impedancia de salida en el transistor de lectura, lo cual se refleja en mayor linealidad en la etapa de salida.

Al aumentar linealidad se reduce en gran medida las variaciones espaciales a través de la

Ref.	Año	P. Arreglo [μW]	<i>Dark</i> <i>Current</i>	<i>FPS</i> ★	Tamaño	Tecnología [μm]	V_{DD} [v]	<i>FPN</i>
[13]	2007	—	1.18[fA]	30	110 X 200	0.5	—	3.8%
[14]	2007	—	4[fA]	30	128 X 128	0.35	2.9	0.7%
[15]	2007	—	—	—	50 X 128	0.5	—	0.9%
[16]	2008	0.42	—	9.6	128 X 96	0.35	1.35	—
[17]	2007	21.3	—	5.5	128 X 96	0.35	1.5	0.7%
[18]	2009	—	21[nA/cm^2]	30	32 X 32	0.35	1.2 - 1.8	0.14%
[19]	2002	8.52 X 10 ³	0.25[nA/cm^2]	15	128 X 128	0.25	1	—

★ \rightarrow *Frame por segundo.*

Tabla 1.1: Estado del arte.

imagen, permitiendo mejor desempeño del circuito *CDS* para reducir *FPN*. En [15], para incrementar linealidad se mueven el transistor seleccionador de fila fuera del píxel, por lo tanto, este transistor será compartido por otros fotodetectores. Lo anterior es otra de las nuevas estrategias para disminuir el tamaño de los píxeles, basándose en compartir la etapa de lectura entre píxeles vecinos [4].

En el campo de sensores para dispositivos portátiles el objetivo es la reducción en consumo de potencia, ya que su desempeño está dirigido a funciones básicas, como por ejemplo el reconocimiento de patrones o secuencias de imágenes simples. En este sentido, en [19] se propone la disminución en la tensión de alimentación para reducir el consumo de potencia (técnica comúnmente usada para este fin [8]), además de modificar la arquitectura *APS* por otra topología denominada *CAPS* (*Complementary Active Pixel Sensor*), mediante la cual se logra reducir la dependencia que se tiene en la señal de salida debido a la tensión de umbral, disminuyendo el ruido al evitar el desbalance de este parámetro. En [18] se propone una arquitectura alternativa, con la que se logra aumentar el rango dinámico y mantener un bajo consumo de potencia.

En [17] se aplica la modulación en anchos de pulso logrando excelentes resultados en la reducción de potencia, al ubicar un transistor puerta común como comparador. Utilizando la misma técnica, en [16] complementan el anterior trabajo al aprovechar la operación dinámica del píxel para su respectiva polarización, reduciendo así el consumo de potencia. Por lo tanto, el anterior trabajo se ubica como uno de los arreglos con menor consumo de potencia en el estado del arte, además posiciona la modulación *PWM* como la opción más eficaz en reducción de potencia. En la tabla 1.1 se resumen los trabajos más relevantes por sus resultados y propuestas, con el fin de ubicar en términos de parámetros la actualidad de los sensores *CMOS*.

Es evidente la evolución de los sensores de imagen en términos de potencia. De forma alterna, crece la atención entorno a disminuir el tamaño del arreglo sin arriesgar sensibilidad, para esto se ha profundizado en estrategias como el método de píxeles compartidos [4]. No obstante, tamaño y sensibilidad están relacionados entre sí por el ruido asociado, que aún sigue siendo la gran limitante en la operación del píxel.

1.4. Organización del documento

A lo largo de este capítulo se han expuesto los fundamentos básicos que permiten entender la forma en que operan los sensores *CMOS*. En el capítulo 2 se abordarán las especificaciones más relevantes en sensores de imagen, incluyendo algunas topologías que están encaminadas a disminuir problemas específicos. En el capítulo 3 se realiza la selección de una topología junto con un detallado análisis de ésta. Por su parte, el capítulo 4 está dedicado al diseño del píxel de acuerdo a la arquitectura seleccionada y bajo dos perspectivas, el diseño tradicional y empleando programación geométrica. Finalmente en el capítulo 5 se presentan los resultados obtenidos, con algunas observaciones y recomendaciones para posteriores trabajos en el área de sensores de imagen.

Capítulo 2

Características de sensores *CMOS*

Una vez explorados los aspectos básicos del funcionamiento de los sensores de imagen, es necesario conocer las principales características mediante las cuales se pueden medir la calidad de éstos y comparar los distintos avances en el área.

Algunos de los parámetros de rendimiento de los sensores de imagen *CMOS* son: *Fixed Pattern Noise (FPN)*, potencia, *fill factor*, rango dinámico y sensibilidad. Sin embargo, el *FPN* y el consumo de potencia son las características de principal interés en el diseño de sensores *CMOS*, como se afirmó en la sección 1.1.

Este capítulo se centra en definir el *FPN* y su origen, al igual que presentar un análisis del consumo de potencia. Además se exponen otras especificaciones de los píxeles y una presentación de algunas topologías encontradas en la literatura.

2.1. *Fixed Pattern Noise*

El desajuste entre las características de los elementos e interconexiones del sensor de imagen crean el denominado *Fixed Pattern Noise*, el cual corresponde a la distribución de ruido espacial que es independiente del tiempo. Como se mencionó en el capítulo anterior, los sensores de imagen en tecnología *CMOS* tiene como gran limitante el *FPN*, pues este tipo de ruido se hace más evidente que en su contraparte *CCD*. En gran parte esto se debe a su configuración, dado que algunas topologías incluyen una etapa de amplificación e incluso un convertidor analógico-digital dentro de cada píxel, los cuales por variaciones en el proceso de fabricación son propensos a desajustes, que sumados al efecto causado por las imperfecciones en el fotodetector, (también presentes en *CCD*) ocasionan que algunos píxeles tengan salidas diferentes cuando están expuestos a la misma intensidad de luz. Esto hace que la imagen generada tenga un aspecto no uniforme en pequeñas regiones, notándose líneas o puntos blancos que no hacen parte de la escena que se desea captar [13].

Por lo tanto, el *FPN* limita el desempeño del dispositivo, disminuyendo la fiabilidad para adoptar la tecnología *CMOS* y aprovechar sus ventajas en el uso general de los sensores de imagen. De acuerdo a lo expuesto anteriormente, es claro que el *FPN* es de gran relevancia en el desempeño de los sensores *CMOS*. Por ejemplo, en el contexto de las cámaras digitales la tendencia está dirigida a la reducción de tamaño y mejora de integración, resolución y velocidad. Para lograr aumentar la resolución se incrementa el número de píxeles en el arreglo y para disminuir tamaño se escala en la tecnología de fabricación, pero con esto se aumenta el *FPN* por usar mayor número de elementos a un menor tamaño; para entender lo anterior, es necesario identificar los focos predominantes que originan el *FPN*.

Los sensores de imagen están expuestos a variaciones columna a columna o píxel a píxel. Por consiguiente, la desigualdad presente en los fotodetectores, los transistores dentro del píxel, los bloques de lectura y las interconexiones introducen las componentes de *FPN* a la salida del sensor.

2.1.1. *FPN* de columna

En las interconexiones y circuitos presentes en la periferia del fotodetector pueden existir variaciones que crearán una componente de *FPN* columna a columna, la cual se ve reflejada en la imagen final como líneas verticales que pueden llegar a ser muy notorias, tal y como lo muestra la figura 2.1(b).

La componente de *FPN* de columna es debida a que los circuitos de lectura emplean amplificadores, los cuales pueden presentar desajustes en sus parámetros, ocasionando *offset* o variaciones de ganancia en su salida [20]. También está dada por la diferencia entre las capacitancias utilizadas en el circuito de muestreo (*sample and hold*) [21] y por la desviación en los parámetros de los convertidores analógico-digital que se requieren en cada columna. Por tanto, como las componentes de columna son fuertemente derivadas de los circuitos e interconexiones de la periferia del píxel, su contribución es en todo tiempo, es decir, están presentes sin importar el nivel de luz al que esté expuesto el sensor de imagen.

Por otra parte, las variaciones entre píxeles también contribuyen al aumento de la componente de columna, pero a su vez generan otra denominada *FPN* de píxel.

2.1.2. *FPN* de píxel

El desajuste en el área de los fotodetectores y en los parámetros de los transistores ocasionan que las señales de salida de los píxeles tengan una pequeña diferencia, creando el denominado *FPN* píxel a píxel. La fuente principal del *FPN* de píxel, es el desbalance en las características del transistor seguidor de fuente [14], específicamente en el desajuste de su tensión de umbral, ya que la salida del píxel depende de esta tensión.

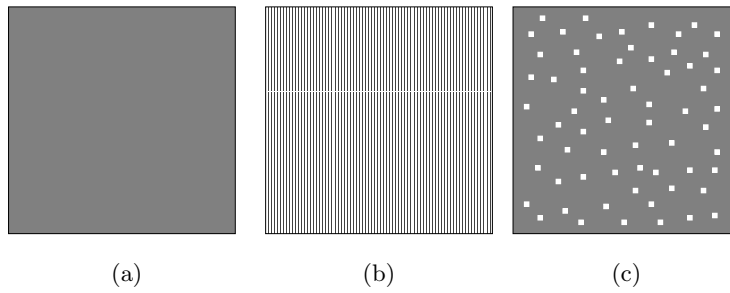


Figura 2.1: a)Imagen original b)FPN de columna; c)FPN de píxel.

Las variaciones en la tensión de umbral junto a las del área del fotodetector, conforman una clase de *FPN* denominado fotorespuesta no uniforme (*PRNU*) o variaciones de ganancia en la salida, la cual es constante para niveles de iluminación bajos, pero aumenta linealmente a medida que la intensidad de luz se eleva [22]. Una segunda clase de *FPN* es la producida en ausencia de iluminación (o a niveles bajos), siendo dominada por la *dark current*. Por tanto es llamada señal oscura no uniforme (*DSNU*), que se manifiesta como *offset* en la salida [20].

Dark Current

La *dark current* es generada por la acumulación de cargas eléctricas en el fotodetector, dichas cargas hacen parte de los pares electrón-hueco que son creados de forma independiente al proceso de fotogeneración, debido a impurezas o defectos en el cristal del sustrato de silicio [23]. Por tanto la *dark current* es una corriente remanente en el fotodiodo, que se incrementa significativamente con la tensión de polarización inversa en éste [23]. A su vez, por la absorción de portadores que no son generados por los fotones incidentes, surgen variaciones tanto espaciales como temporales en la señal de salida del píxel.

Las variaciones espaciales son las que contribuyen al aumento del *FPN*, mientras que las temporales incrementan el ruido aleatorio con el factor conocido como ruido *shot* de los fotones. Los efectos de estas variaciones se hacen más notorios para entornos con niveles de luz bajos [22].

Por consiguiente, la *dark current* es una gran limitante, porque minimiza la capacidad de carga al concentrar pares electrón-hueco ya formados, reduce el rango dinámico de la señal, introduce ruido tanto espacial como temporal y además causa no linealidad [2]. Lo anterior ocurre para cada píxel y debido a esto la *dark current* puede tener una componente diferente en cada uno de ellos.

El *FPN* de píxel a píxel se refleja en la imagen con un aspecto semejante a un cielo estrellado como se observa en la figura 2.1(c), siendo su efecto más notorio para tiempos de

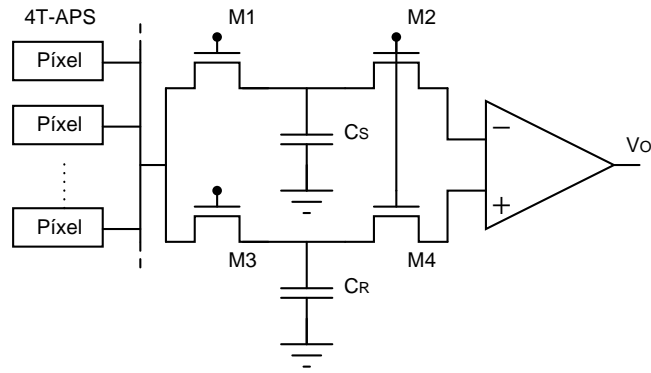


Figura 2.2: Circuito básico CDS.

integración largos [14].

Mayor documentación de las causas de la *dark current* tales como las asociadas a la generación de corriente en la región de deplexión, la corriente de difusión y por la generación de cargas en la superficie del silicio, pueden ser encontradas en [2, 20].

2.1.3. Corrección de *FPN*

La correlación de doble muestreo (*CDS*) es una técnica ampliamente utilizada para la corrección de *FPN*. En la figura 2.2 se presenta la topología de un tipo de circuito *CDS* reportado en [2]. Su funcionamiento consiste en tomar dos muestras de la señal de salida del píxel para almacenarlas en las capacitancias C_S y C_R respectivamente, luego las sustrae por medio del amplificador diferencial. Cada muestra contiene la señal de interés y componentes de ruido tanto temporal como *FPN* (como ruido *reset*, *dark current* y variaciones de V_{th}), por lo que al sustraerlas se eliminan algunas de estas componentes indeseadas. Cabe anotar, que las componentes son eliminadas siempre y cuando estén contenidas en ambas muestras, por tanto habrán componentes que el *CDS* no pueda eliminar; por ejemplo la *dark current* que solo esta presente en una de las muestras [4].

Es usual encontrar la implementación del circuito *CDS* en cada columna del sensor cuando la lectura se realiza a todos los píxel de una fila a la vez, obteniendo reducción significativa en el *FPN*. No obstante, en el peor de los casos puede existir variaciones entre estos dispositivos generando *FPN* de columna a columna, en [24] se expone este inconveniente y se plantea una posible solución utilizando un único circuito *CDS* a la salida de una columna de interruptores, encargados de seleccionar píxel a píxel de una determinada fila activada por el barrido del circuito horizontal.

A pesar que el circuito *CDS* reduce el *FPN*, su eficiencia está limitada por aquellas com-

ponentes que no logra disminuir. Por tanto, además de diseñar circuitos de corrección es necesario reducir en lo posible el *FPN* desde su origen.

2.2. Potencia

En la industria de sensores de imagen, la rama biológica y el siempre creciente mercado de dispositivos portátiles, demandan dispositivos de bajo consumo para desarrollar nuevas aplicaciones; dichos dispositivos emplean circuitos que son comúnmente energizados por baterías, donde el consumo de potencia determina su eficiencia y autonomía. Dentro de la amplia gama de aplicaciones de los sensores de imagen, la mayoría requiere bajo consumo de potencia, desde sensores sencillos que tan solo detecten alguna variación de la imagen a lo largo del tiempo, hasta las modernas cámaras digitales; en otros casos se pretende prolongar la vida útil de los dispositivos en los cuales no existe la opción de reemplazar o recargar la batería. Por lo tanto se requiere minimizar consumo de potencia en sensores de imagen, para lo cual durante el presente capítulo se realiza un análisis a nivel de sistema, con el fin de proponer una estrategia y arquitectura que potencialice la reducción en el consumo de potencia.

2.2.1. Estado del Arte vs Industria

En la tabla 2.1 se muestran algunos trabajos importantes en donde se destaca el bajo consumo de potencia, con el fin de realizar un adecuado análisis se deben tener en cuenta todas las variables implicadas, en este caso velocidad y tamaño del circuito. Para sensores de imagen y vídeo la velocidad de operación es el número de imágenes capturadas por segundo, lo que se conoce como *FPS* (*Frames per second*). Por lo tanto se necesita establecer una figura de mérito que tenga en cuenta estas variables, en [16] se muestran los resultados de acuerdo al tamaño del arreglo y la velocidad mediante la siguiente fórmula:

$$FM_1 = \frac{P_{arreglo}}{No.Pixeles * Velocidad} \quad (2.1)$$

Esta figura de mérito muestra el consumo por píxel de acuerdo a la velocidad de operación, y debe ser lo más baja posible, aproximándose a un comportamiento de bajo consumo y alta velocidad en un arreglo de gran tamaño. A pesar que dicha figura contempla las variables relevantes (velocidad y tamaño), se escogen las referencias de número similar de píxeles con el fin de disminuir el error en las apreciaciones de potencia.

Al realizar un análisis sobre las distintas figuras de mérito, se observa que el consumo por píxel se encuentra entre los pico y nanovatios, pero en arreglos de gran tamaño se vuelve una cantidad que puede llegar a los milivatios. Por esta razón, se realiza un análisis tomando como

Ref.	Año	P. Arreglo [μW]	P. Total [μW]	<i>FPS</i>	Tamaño	FM_1 [$pW/(Frame * Pixel)$]
[16]	2008	0.42	55.2	9.6	128 X 96	3.56
[25]	2005	31	—	30	128 X 128	63
[17]	2007	21.3	72.8	5.5	128 X 96	315.16
[18]	2009	—	450	30	32 X 32	—
[19]	2002	8.52×10^3	18×10^3	15	128 X 128	34.66×10^3
[26]	2003	—	550	30	176 X 144	—
[27]	2008	—	1.2×10^3	60	64 X 64	—
[28]	2008	—	5×10^3	30	100 X 256	—

Tabla 2.1: Estado del arte en potencia

fueron los fabricantes de sensores de imagen *CMOS*, con el fin de conocer la situación de la industria respecto al consumo de potencia.

Para este análisis se toma como referencia el tamaño de 1,3–*Megapíxeles*, el cual es común encontrar en diversos dispositivos. En la tabla 2.2 se muestran las principales características de los sensores brindadas por los fabricantes, junto con una descripción de los rasgos de los bloques que contiene.

Empresa	Referencia	Año	Tamaño M-Píxel	Potencia [mW]	Características
Micron/Aptina	MT9M001	2004	1.3	325	★
Cypress	IBIS5-B-13	2007	1.3	175	★
Altasens	2460/62	2007	1.3	350	★★
Magnachip	MC511DB	2007	1.3	140	★★
Omnivision	OV9665	2008	1.3	80	★★
PixelPlus	PO5130N	2008	1.3	85	★★
ST Microelectronics	VW6754	2008	2	200	★★

★ → Sensor y *ADC*.

★★ → Sensor, *ADC* y procesamiento digital.

Tabla 2.2: Estado del arte en la industria.

Comparando la tabla 2.1 y 2.2, se destaca la gran diferencia en el consumo de potencia entre los prototipos desarrollados por la academia y lo que comercialmente se ofrece.

Como ya se ha mencionado, existen tres bloques básicos: el sensor, el *ADC* y el pro-

cesamiento digital. La mayoría de referencias mostradas en la tabla 2.2 presentan un alto grado de procesamiento digital, el cual depende de las aplicaciones a las cuales este dirigido el dispositivo; por lo tanto el análisis se enfoca únicamente en la parte analógica.

En tecnología *CCD* se transporta la señal de forma serial, donde todas las muestras llegan a un mismo punto de lectura [4]; y considerando el volumen de información el sistema se vuelve lento. Por otro lado, al utilizar un solo convertidor para sensores *CMOS*, se estaría haciendo de cierta forma lo mismo, ya que éste tiene que sensar la señal proveniente de cada uno de los píxeles del arreglo, por lo tanto debe presentar una alta tasa de muestreo, elevándose el consumo de potencia. Como una alternativa se propuso ubicar un convertidor por cada columna, el cual necesita ser menos veloz ya que procesa menos información, por lo tanto, su consumo de potencia se reduce. Otra ventaja de implementar el *ADC* por columna, es la obtención de velocidades de lectura más elevadas.

Siendo el convertidor el bloque que sigue después del píxel en la estructura del sensor, se debe tener en cuenta algunas consideraciones sobre éste que permitan llegar a un resultado realmente efectivo.

2.2.2. Perspectiva de Solución desde el sensor.

En [29] Fish propone algunas consideraciones generales para la reducción de consumo en sensores de imagen, y resulta interesante el análisis que realiza en cuanto a la estructura de bloques. Tradicionalmente, para reducir el consumo de un dispositivo compuesto por bloques independientes, se reduce el consumo en cada uno al máximo, pero en este trabajo se afirma que dos bloques de circuito consecutivos, así sean técnicamente independientes como en el caso sensor y *ADC*, influyen el uno sobre el otro de acuerdo a las características del primero. En este orden de ideas, del diseño del sensor dependen las características del *ADC*, por lo tanto es una consideración adicional que debe ser tenida en cuenta en el momento de seleccionar la topología.

2.3. Otras Especificaciones

Si bien es cierto que el *FPN* y el consumo de potencia son limitantes de gran importancia para el uso de la tecnología *CMOS* en sensores de imagen, es importante resaltar que en el rendimiento de estos dispositivos están presentes otras especificaciones; algunas ya han sido tratadas a grandes rasgos, no obstante, se definen de forma más clara.

- **Sensibilidad:** Es muy llamativa para el usuario final de las cámaras digitales, pues es la capacidad del sensor de imagen en captar con detalle una escena deseada a un nivel de

luz determinado. Y tal como se dijo en la sección 1.2.2, está establecida por la cantidad de fotocorriente (i_{ph}) generada cuando una unidad de energía de luz (P) incide en el sensor [2], dada por la ecuación 1.4. Esta característica pertenece en su totalidad a las propiedades físicas del fotodetector.

- **Rango Dinámico:** Las señales tanto de entrada como de salida del sensor deben pertenecer a un rango en el cual puedan ser tratadas por el circuito, sin verse afectadas por ruido o saturación; ésta banda es denominada rango dinámico (DR), y establece el rango de iluminación que puede captar el sensor, se calcula de acuerdo a la siguiente expresión:

$$DR = 20\log_{10} \left(\frac{i_{max}}{i_{min}} \right) \quad (2.2)$$

Donde i_{max} e i_{min} , son las fotocorrientes máxima y mínima que el sensor es capaz de captar y procesar satisfactoriamente.

- **Ruido:** Aparte del *FPN* existe otra clase de ruido, derivado de las variaciones temporales en la señal de salida; este ruido es denominado ruido temporal, y es ocasionado básicamente por:

Los pares electrón-hueco que permanecen en el fotodetector aún en ausencia de luz, y por las pérdidas de corriente que den lugar bajo el proceso de fotogeneración, es decir el ruido producido por la *dark current*.

El ruido agregado tanto por los píxeles como por los circuitos de columna, dado por el ruido *flicker* y térmico de sus componentes. Éste compone parte del ruido *reset* asociado al reinicio del fotodetector.

El parámetro de desempeño que lo caracteriza es la relación señal a ruido (SNR) dada por (2.3).

$$SNR = 20\log_{10} \left(\frac{i_{ph}}{i_{ruido}} \right) \quad (2.3)$$

- **Fill Factor:** Definido como la relación del área dispuesta para el fotodetector y el tamaño total del píxel. Indica el porcentaje de área efectiva que se usa para sensar, frente a la que se emplea para procesar. Con el escalamiento de la tecnología *CMOS* es posible mejorar notablemente este parámetro, manteniendo el área dispuesta para el fotodetector mientras se reduce la destinada al procesamiento.

De igual forma, existe un compromiso entre estas especificaciones y las de interés de este proyecto; pues al reducir tensión de polarización que puede significar en menor consumo de

potencia, y escalar en la tecnología *CMOS* para minimizar las dimensiones de los transistores (tamaño del píxel), se puede contribuir al aumento de *fill factor* en los píxeles, lo que pretendería aportar mejora en la sensibilidad, pues está depende tanto de la eficiencia cuántica como del área del fotodetector; pero reducir la escala en la tecnología, también indica mayor variación en las características tanto de los transistores como de los fotodetectores bajo el proceso de fabricación, disminuyendo rango dinámico y elevando las componentes de *FPN*.

Una vez profundizadas la especificaciones más importantes se pueden considerar algunas pautas a tener en cuenta en la selección de la topología:

- * Minimizar el uso de circuitos adicionales que aporten más parámetros que varíen en el proceso de fabricación.
- * Considerar la función de circuitos como el *ADC*, de tal forma que desde el píxel se pueda aportar en la reducción de su consumo.
- * Disminuir la dependencia de la tensión de umbral del transistor seguidor de fuente a la salida del píxel, dado que sus variaciones son fuentes determinantes del *FPN*.
- * No dejar de lado especificaciones como *fill factor* y rango dinámico, para garantizar un buen desempeño del píxel, pese a que estas especificaciones no son el principal objetivo de este proyecto.

2.4. Topologías

En esta sección se presentan algunas topologías de sensor de imagen halladas en la literatura indicando parte de sus características, con el fin de evaluar la mejor posibilidad para cumplir con las pautas ya establecidas.

2.4.1. Topología 3T-APS

La topología 3T-APS presentada en la figura 2.3(a), es el primer desarrollo en la línea de los sensores de imagen de píxel activo, a partir de la cual han surgido nuevos diseños que se diferencian por el tipo de fotodetector empleado. Esta topología se caracteriza por el uso de un fotodiodo como dispositivo de fotodetección y tres transistores, uno para *reset*, otro de selección de fila y un seguidor de fuente. Por su configuración la 3T-APS posee un *fill factor* entre 50 y 70 por ciento [1], haciendo que la capacitancia del fotodetector se reduzca en relación a las arquitecturas *PPS* y *CCD*, debido a que el área de fotodetección se reduce al utilizar más transistores por píxel. Esta disminución asegura bajo ruido de lectura (impuesto

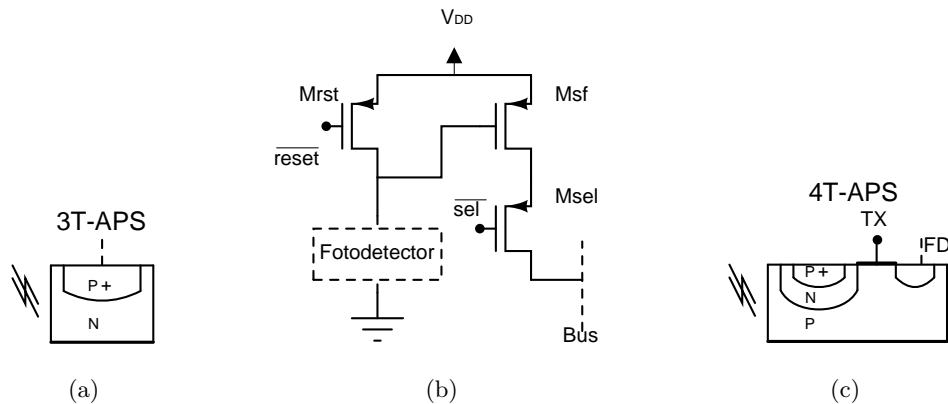


Figura 2.3: a) Fotodiodo; b) Circuito de lectura del 3T-APS y 4T-APS; c) Fotodiodo *pinned*.

por el ruido *reset* sobre el fotodiodo [4]) mejorando así el rango dinámico, pero a su vez se reduce sensibilidad.

Por otro lado, para esta topología ocurre el caso en el que el circuito *CDS* utilizado para la corrección de *FPN* no puede eliminar parte de las componentes de salida indeseadas, como el ruido *reset*; dado que las muestras utilizadas por el *CDS* en su operación contienen diferentes componentes de este tipo de ruido [4].

2.4.2. Topología 4T-APS

En la figura 2.3(c) se muestra la topología 4T-APS. Esta arquitectura mantiene la misma estructura de lectura de la 3T-APS, pero el área del fotodetector es dividida en un nodo de sensado de cargas (denominada difusión flotante (*FD*)) y un área de fotodetección. En su operación la luz incidente recae sobre el área de fotodetección generando los pares electrón-hueco, que luego son transferidos al nodo *FD* en el periodo de lectura al encender el transistor que separa las dos regiones.

La división en estas dos áreas provoca desfase de imagen, que ocurre cuando la transferencia de carga desde el fotodetector al nodo de sensado de carga es incompleta. Sin embargo, dicha separación trae como ventaja permitir que el ruido *reset* sea eliminado por medio del circuito *CDS*, puesto que la muestra de los niveles de señal pueden ser tomadas en el mismo periodo de lectura, y por tanto tienen la misma componente del ruido *reset* [4].

Por otro lado, para eliminar las imperfecciones en la superficie del área de fotodetección que contribuyen al aumento de la *dark current*, en la 4T-APS fue modificado el fotodiodo convencional de la 3T-APS con una implantación adicional, para asegurar que gran parte del área de acumulación de los fotones incidentes esté un poco más alejada de la superficie (más profunda), de tal forma que sirva como una máscara para los desperfectos que están presentes

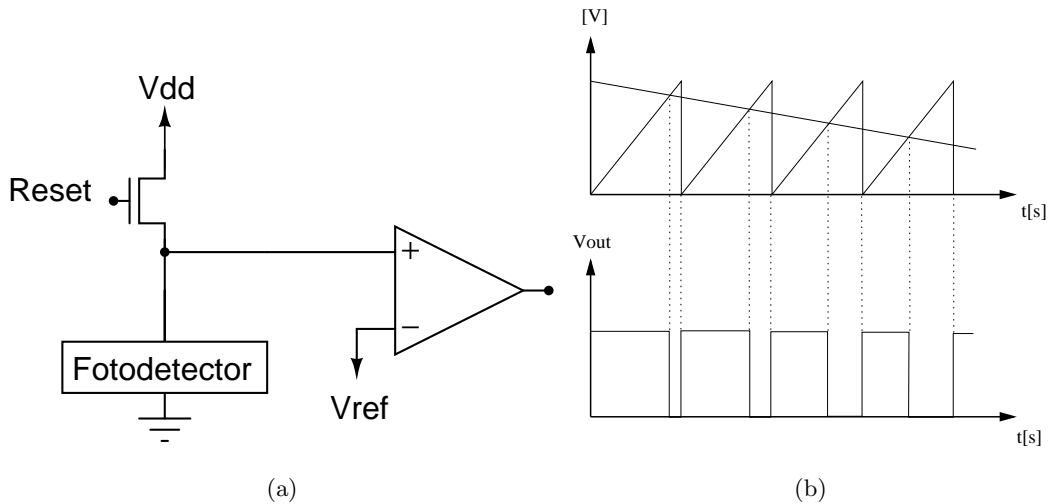


Figura 2.5: a) Arquitectura *PWM* en Sensores Imagen; b) Obtención de la señal *pwm*.

y V_{outp}). Sin embargo, por su arquitectura tiene como ventaja que la salida es de cierta forma independiente de la tensión de umbral, ya que la rama adicional compensa el V_{th} que se pierde en la 3T-*APS* en el periodo de lectura, por consiguiente disminuye la componente de *FPN* de píxel [30].

2.4.5. *PWM*

La principal característica de los sistemas *PWM* es que transportan la información en el ancho o duración de los pulsos que transmite, donde la señal de salida de cada píxel está compuesto por el ancho del pulso analógico. Específicamente para sensores de imagen esta forma de transmitir la información representa grandes ventajas, como se analizará a continuación.

Una de las alternativas utilizadas en el diseño de circuitos integrados para reducir potencia, es minimizar la tensión de polarización, sin embargo esto implica un compromiso en el desempeño de otras especificaciones como el rango dinámico, pues este establece las intensidades permisibles de luz [4]. No obstante, con la implementación de *PWM* en los sensores de imagen esto ha cambiado, pues el rango dinámico no se afecta considerablemente, ya que la infamación va en la duración de los pulsos y no en los cambios de voltaje, permitiendo reducir la fuente de polarización y escalar a su vez en la tecnología sin mayor complicación. Por otro lado, la característica de salida en sistemas *PWM* permite la implementación de topologías de *ADC* de bajo consumo [31].

Aunque la implementación de *PWM* pretende dar un buen panorama al desarrollo de los sensores de imagen, no es del todo ideal, pues así como tiene ventajas también implica algunas

limitantes, siendo el tamaño de los sensores una de las más preocupantes [16].

Forma de operación

Como se observa en la figura 2.5(a), el nodo de sensado se conecta a la terminal positiva del amplificador; en la terminal negativa se conecta la señal con la cual se va modular (para esta aplicación se usa una onda triangular). Con el *Op-amp* se compara la tensión en el nodo de sensado y la señal de referencia. Cuando la diferencia es mayor que cero, la tensión de salida toma su valor máximo, y si la diferencia se hace menor que cero, la salida toma el valor mínimo, generando la señal de onda cuadrada *PWM* expuesta en la figura 2.5(b). Como una de las etapas de la conversión a formato digital es la modulación (siendo esta desarrollada dentro del píxel), la conversión es un proceso más sencillo que requiere menos potencia para su realización [31].

En la sección precedente se presentaron algunas topologías resaltando sus características de acuerdo a las pautas que fueron formuladas para facilitar la selección de una de estas, labor que será efectuada en el siguiente capítulo.

Capítulo 3

Topología *PWM*

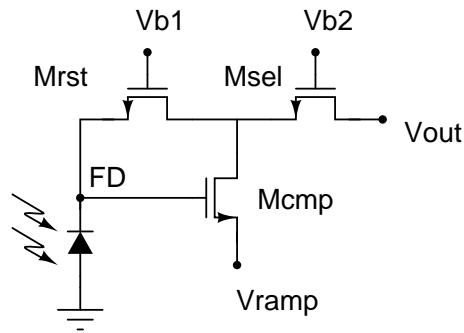
El escalamiento en la tecnología permite reducir la tensión de alimentación en los circuitos, dicha reducción permite disminuir el consumo de potencia. Sin embargo, menores dimensiones de los dispositivos aumenta el porcentaje de variación en sus características, y en el caso de los sensores de imagen implica un aumento del *FPN*. Por tanto, existe un compromiso entre estas dos especificaciones, y es necesario seleccionar una arquitectura que permita un balance adecuado entre las mismas. De esta manera, se genera una pauta más a las expuestas en el capítulo anterior para la selección de la topología.

3.1. Selección de Topología.

En la sección 2.4 se presentó una breve discusión relacionada a la problemática de *FPN* en ciertas topologías, desde las convencionales 3T y 4T *APS*, pasando por la sensibilidad a las variaciones de las arquitecturas logarítmicas, y el uso de circuitos adicionales para la lectura de las señales en las *CAPS*.

Como se explicó en el capítulo 1, en las arquitecturas *DPS* la señal que se obtiene del píxel es digital, lo que elimina una fuente de *FPN* al no existir un circuito de columna entre el píxel y el convertidor. Además, gracias a su característica digital, la señal se hace inmune a otros tipos de ruido que se puedan introducir en el proceso posterior. Un análisis de los resultados dados en la literatura, muestra que la implementación de convertidores por columna aumenta la velocidad de lectura y reduce el consumo de potencia; esta tendencia también se mantiene al implementarlos por píxel, logrando velocidades elevadas como la reportada en [32], y mínimo consumo del conjunto sensor-convertidor como en [16]. Por lo tanto, se reduce el consumo de potencia y a su vez se elimina una de las componentes más relevante del ruido en el sistema (*FPN* de columna).

De lo anterior, y considerando las características de la arquitectura basada en *PWM* es

Figura 3.1: Topología *PWM*.

evidente que esta es una alternativa viable para el desarrollo de sensores de imagen, y aún más para ser el punto de partida en el diseño del píxel de acuerdo a los objetivos de este proyecto. Una vez descritas las ventajas y desventajas de la implementación de *PWM* en sensores de imagen *CMOS*, es necesario especificar el circuito que se va a diseñar.

El uso de un *Op-amp* como comparador simplifica el circuito, pero su implementación en términos de área no es muy adecuada. En trabajos recientes se ha optado por el uso de un solo transistor que cumpla con la función de comparación en la generación de la señal *PWM*. En [16] y [17] se presentan algunos de los menores consumos de potencia registrados, justificando que la implementación de *PWM* en los sensores de imagen, efectivamente reduce el consumo de potencia.

La topología seleccionada como punto de partida es la mostrada en la figura 3.1, ya que se ajusta a las pautas citadas en la sección 2.4 y las expuestas en este capítulo. En primer lugar, la dependencia de la tensión de umbral en el transistor que actúa como comparador se reduce por la dinámica del circuito [16], disminuyendo *FPN* de píxel; este comportamiento se explicará detalladamente al final del presente capítulo. A su vez, por la característica de onda cuadrada, se requiere de menos elementos para la lectura de la señal de salida, lo cual garantiza la eliminación de un porcentaje del *FPN* de columna. Además, la topología permite reducir la tensión de polarización y por tanto el consumo de potencia, manteniendo un buen desempeño del sensor sin afectar especificaciones como el rango dinámico. Asimismo, facilita la ejecución de las tareas de los circuitos subsecuentes (como el *ADC*).

3.2. Modelo del fotodetector

El fotodetector a utilizar es un fotodiodo, debido a su facilidad de implementación y modelado [1]; además, sólo para este tipo de fotodetector se cuenta con el modelo y los

parámetros de simulación, que son suministrados por el fabricante *AMS*¹.

3.2.1. Circuito Equivalente

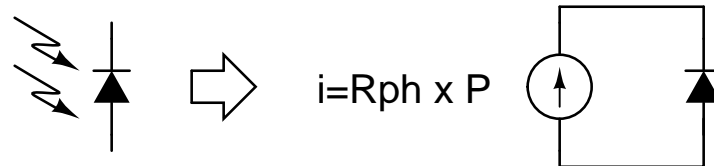


Figura 3.2: Circuito equivalente del fotodiodo.

Si no se cuenta con el modelo exacto de simulación, es necesario plantear su circuito equivalente, el cual consta de una unión *pn* en paralelo con una fuente de corriente, como se muestra en la figura 3.2. Al trabajar con una tecnología específica, los parámetros del diodo son proporcionados por el fabricante, luego el efecto resistivo y capacitivo (que son los de mayor interés) ya están contenidos en el modelo de simulación. Aplicando (1.4) se obtiene el valor de la fuente que representa la corriente asociada al proceso de fotogeneración; la cual relaciona la potencia óptica incidente y la fotocorriente generada, mediante el parámetro conocido como responsividad.

Para cualquiera de los dos casos, el valor de potencia óptica es la variable de entrada, por lo tanto será seleccionada según el rango de intensidad lumínica que se desee captar. Para ello, es necesario conocer que la unidad de medida de la intensidad lumínica es el *lux*, cuyos valores típicos para diferentes condiciones de luz están dados entre 10^{-4} *lux* en noches oscuras, hasta 10^5 *lux* para días soleados; un *lux* es equivalente a $1,6 \times 10^{-7} W/cm^2$ [2].

Conociendo el valor de este parámetro y el área del fotodetector, se obtiene el valor de potencia óptica incidente; y empleando el parámetro de responsividad se determina el valor de la fotocorriente generada. Finalmente el valor mínimo de corriente a medir se obtiene con el parámetro de *dark current* suministrado por el fabricante.

3.3. Operación de la arquitectura seleccionada

En la topología mostrada en la figura 3.3, el proceso de generar la señal *PWM* a partir de una intensidad de luz, se desarrolla en tres etapas, tal como se muestra a continuación.

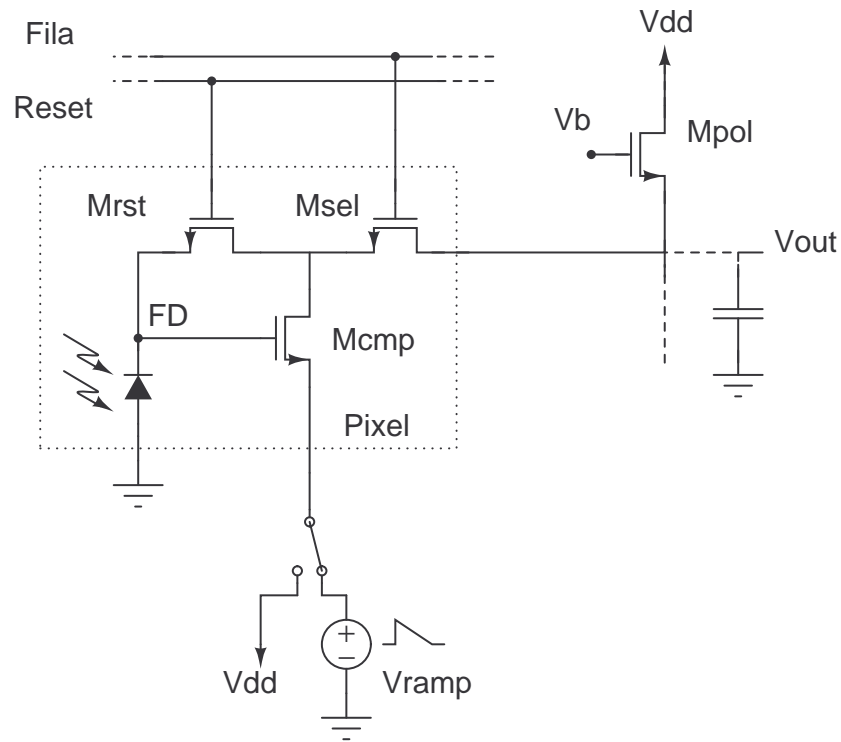


Figura 3.3: Topología *PWM* con circuito de polarización

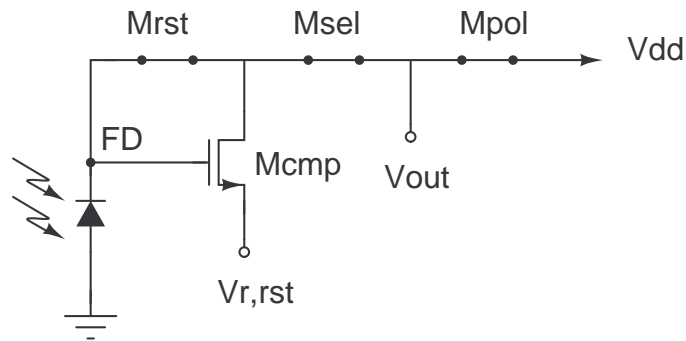


Figura 3.4: Operación del circuito durante el periodo *reset*.

3.3.1. *Reset*

En esta etapa se impone una tensión en el cátodo del fotodiodo, con el fin de eliminar cualquier carga residual de una lectura previa, e impedir que se de origen al proceso de acumulación de cargas en el píxel, de esta manera se establece una tensión de referencia para los distintos niveles de iluminación.

Este periodo es el de menos duración, ya que solo es necesario imponer la tensión de

¹ Austria Micro Systems

polarización en el fotodiodo. Los transistores M_{rst} , M_{sel} y M_{pol} ² siempre actúan como interruptores; estos se cierran al momento de fijar la tensión en el fotodiodo, logrando que tanto la tensión en puerta como en el drenaje de M_{cmp} sean similares, con tan solo una diferencia de V_{DS} que aparece en el transistor de *reset*. Por la conexión que se impone entre el drenaje y la puerta de M_{cmp} se garantiza su operación en saturación.

Por otra parte la tensión en el fotodiodo estará dada por:

$$V_{FD,rst} = V_{r,rst} + V_{th_{cmp}} \quad (3.1)$$

donde, $V_{r,rst}$ es la tensión aplicada a la fuente del transistor M_{cmp} , y $V_{th_{cmp}}$ la tensión de umbral del transistor comparador. Como se mostrara en secciones posteriores, mantener sólo la tensión de umbral para M_{cmp} , contribuye de manera importante en la reducción de ruido.

3.3.2. Acumulación

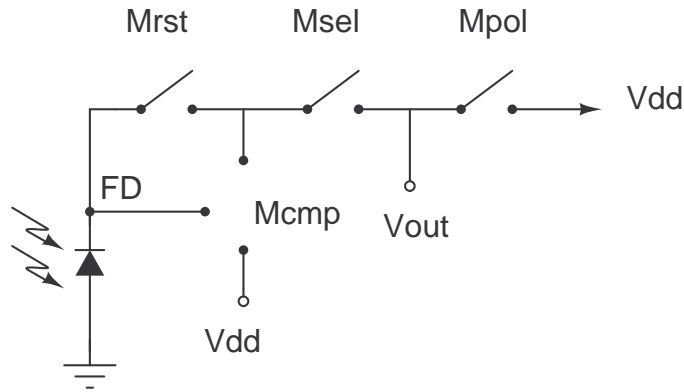


Figura 3.5: Operación del circuito durante la acumulación de cargas.

En esta etapa todos los transistores son llevados a operar en la región de corte (como se observa en la figura 3.5) mediante las tensiones de polarización, ya que se da inicio al proceso de acumulación de cargas en el fotodiodo, y se desea evitar corrientes de fuga que alteren este proceso.

$$V_{FD} = V_{FD,rst} - \Delta V \quad (3.2)$$

$$i_{ph} = C_{ph} \frac{dv}{dt} \quad (3.3)$$

²Transistor de polarización empleado en cada columna del arreglo.

$$\Delta V = t \frac{i_{ph}}{C_{ph}} \quad (3.4)$$

$$V_{FD} = V_{FD,rst} - \frac{t_a i_{ph}}{C_{ph}} \quad (3.5)$$

Producto de la acumulación de cargas se inicia la descarga de tensión en el fotodiodo, el valor final de tensión esta dado por (3.2). En polarización inversa, se puede aproximar el comportamiento del fotodiodo, al de su capacitancia equivalente; por tanto ΔV puede ser encontrada de acuerdo a (3.3 y 3.4), donde C_{ph} e i_{ph} son la capacitancia y fotocorriente respectivamente, t es el tiempo de acumulación. Por tanto, la tensión en el nodo FD puede ser modelada como se muestra en (3.5) [33]. Lo anterior fue corroborado mediante simulaciones.

3.3.3. Lectura

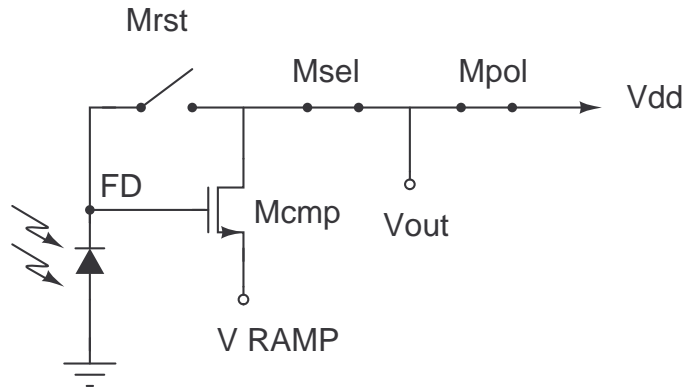


Figura 3.6: Operación del circuito durante el proceso de lectura.

Una vez establecida la tensión del nodo FD en función de la intensidad de luz, se realiza la lectura de la señal. M_{rst} permanece apagado, M_{sel} y M_{cmp} son encendidos, pero M_{cmp} funcionará como comparador de la tensión en el fotodiodo y la tensión aplicada en su fuente (V_{RAMP}), tal y como se muestra en la figura 3.6. Con el fin de generar la señal PWM , la tensión en la fuente de M_{cmp} debe tener forma de rampa para encender el transistor comparador en distinto tiempo dependiendo del valor de tensión en el nodo FD , siempre se sobrepase la tensión umbral del transistor, como lo indica (3.6).

$$V_{FD} - V_{RAMP} \geq V_{th_{cmp}} \quad (3.6)$$

Al cumplirse esta condición, la corriente a través del transistor M_{cmp} aumentará conforme aumente $V_{GS_{cmp}}$, de acuerdo a (3.7); esta corriente es la misma en toda la rama del circuito,

por tanto los interruptores se deben adaptar para permitir el paso de esta corriente haciendo que la tensión V_{GS} de cada transistor aumente, y como la tensión en la puerta de cada transistor es fija, la única forma de aumentar el paso de corriente (aumentar V_{GS}), es que la tensión en fuente de cada transistor disminuya, como se puede observar de (3.8). Puesto que son interruptores, el término cuadrático en la expresión (3.8) no es significativo respecto a la tensión V_{GS} .

$$i_D = \frac{1}{2}Kn\frac{W}{L}(V_{GS} - V_{th_{cmp}})^2 \quad (3.7)$$

$$i_D = Kn\frac{W}{L}((V_G - V_S - V_{th_{cmp}})V_{DS} - \frac{1}{2}V_{DS}^2) \quad (3.8)$$

La caída de tensión en la fuente de M_{pol} es la señal de salida del píxel, en este punto es preciso aclarar que debido a los valores mínimos de tensión para los cuales opera el sensor, la señal no alcanza a tomar una característica *PWM* definida, y se hace necesario el uso de un *buffer* que de la forma *PWM* a la señal; este *buffer* consta de dos inversores en cascada, cuya tensión de umbral definirá la duración del ancho del pulso. Es decir, como la señal de salida del píxel debe pasar por un convertidor para su respectivo procesamiento, este contará desde el momento que inicia el periodo de lectura hasta que la señal de salida alcance el umbral de conmutación de los inversores [16], definiendo de esta forma el ancho del pulso.

3.4. Consideraciones en los tiempos de Operación

El tiempo que dura cada una de las etapas determina la rapidez con que puede ser generada una imagen. Para cámaras de vídeo el estándar está definido en 30 *FPS*, para cámaras fotográficas varía de 4 a 8 *FPS* [16, 34]. Una velocidad de 30*FPS* (o 30[*Hz*]) equivale a generar una imagen cada 33.33[*ms*], por ejemplo, para un arreglo de 1 *Megapíxel* las tres etapas (*reset*, acumulación y lectura) se deben llevar a cabo en 34[μ s]³ aproximadamente. Lo anterior establece el compromiso entre el tiempo de operación y el tamaño del arreglo.

En la etapa de *reset*, la única intención es ubicar la tensión del fotodiodo a un valor de referencia, y tan solo toma un tiempo ligeramente superior al tiempo de subida de la señal que controla la polarización de M_{rst} . La figura 3.7 muestra en tiempo un ciclo completo de operación. Como se puede observar, la duración del pulso que representa la señal *reset* es mínimo comparado con el ciclo completo de las 3 etapas, y puede ser reducido aún más siempre y cuando haya ocurrido la carga del nodo *FD*.

Durante el periodo de acumulación, la tensión en el fotodiodo disminuye de forma proporcional a la intensidad de luz, como se observa en la figura 3.8; por tanto la duración de

³33.33[ms]/ $\sqrt{1000000}$ para un arreglo cuadrado.

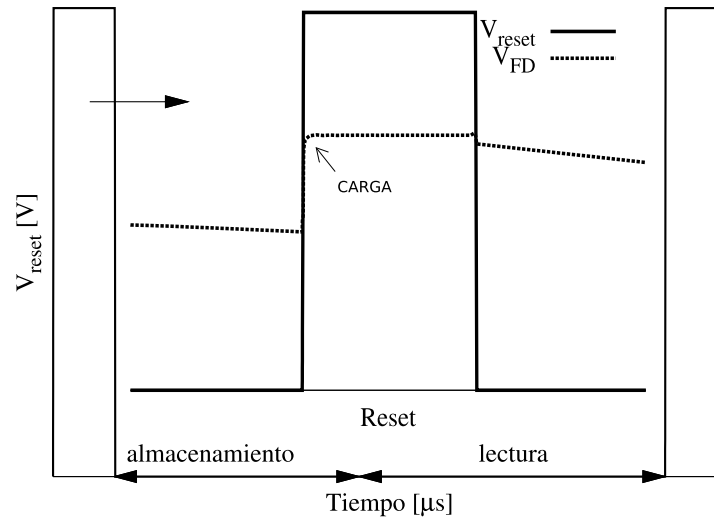


Figura 3.7: Etapa de reset.

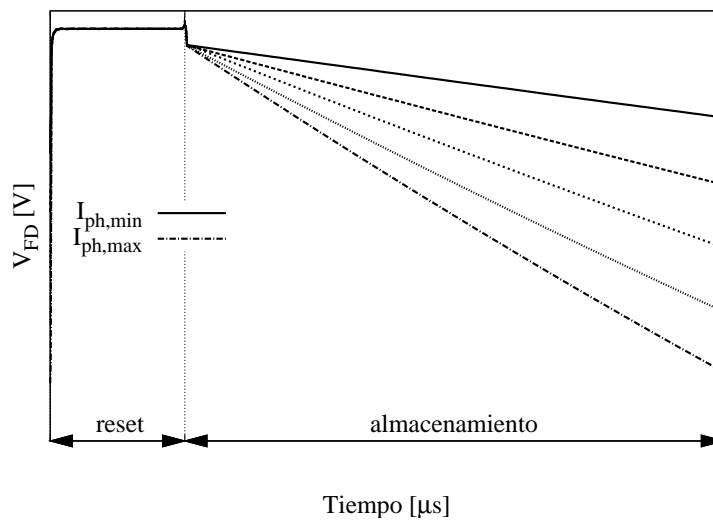


Figura 3.8: Etapa de acumulación

esta etapa define la separación entre las muestras. A su vez, el límite máximo en el tiempo de acumulación viene dado por el valor mínimo de tensión al que pueda quedar el nodo FD , para que M_{cmp} se alcance a encender en la respectiva etapa de lectura.

El tiempo de lectura es el que limita la velocidad de operación del sensor, pues es el de mayor duración comparado con los otros tiempos. Debe ser lo suficientemente largo para que el mayor rango posible de señales alcancen a cruzar el umbral impuesto por el *buffer* de salida y puedan ser debidamente leídas. En la figura 3.9 se observa que cuando la duración del periodo de lectura no cumple con lo anterior, parte de las señales de interés en el nodo de salida se pierden. Por otro lado, el periodo de lectura está relacionado con la pendiente necesaria en V_r

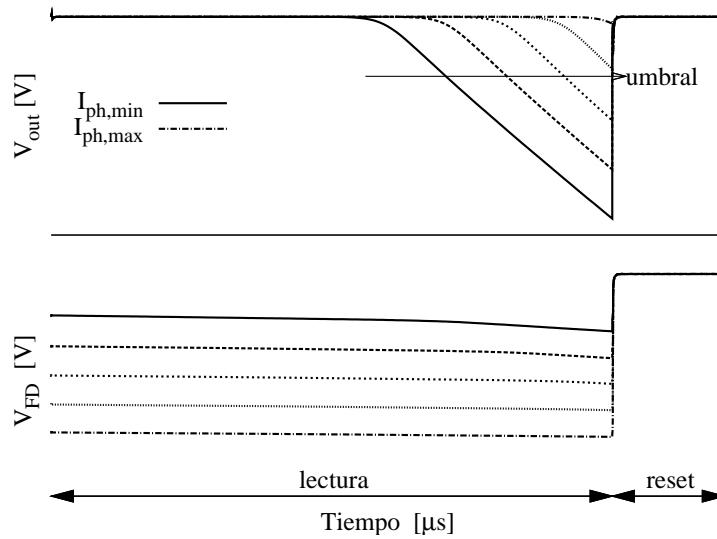


Figura 3.9: Etapa de lectura.

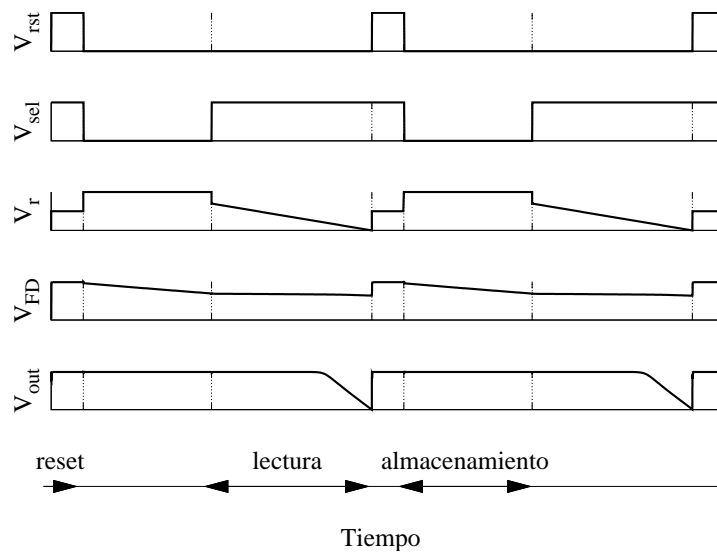


Figura 3.10: Diagrama de Tiempos.

para permitir una lectura adecuada, lo cual será tratado más adelante.

Diagrama de Tiempos

Debido a la variedad de etapas y señales que varían durante ellas, resulta útil observar el funcionamiento completo y sincronizado del circuito, para observar el comportamiento de las señales de interés en cada una de las etapas como se observa en la figura 3.10, que corresponde a una simulación con algunos parámetros específicos del circuito.

3.5. Capacitancia de Carga

La capacitancia del bus de salida afecta directamente la velocidad de lectura en el circuito, e ignorarla puede conducir a resultados incorrectos. Para un píxel solo se considera la capacitancia equivalente en el nodo de salida (dreno de M_{sel}), la cual podría ser despreciable. Sin embargo, la capacitancia del bus de salida está asociada al tamaño del arreglo del sensor. Para un arreglo de 128×96 , existen 128 transistores conectados al bus de salida, y las capacitancias parásitas de todos ellos afectan directamente el desempeño de cada píxel, por cuanto debe ser estimado su valor para el diseño y simulación del píxel individual.

3.6. Tensión de Referencia

La tensión de referencia conectada a la fuente del comparador es muy importante en la operación del circuito, y está directamente relacionada con el consumo de potencia, el FPN y el rango dinámico.

En la etapa de *reset*, la tensión de referencia debe tener un valor específico, para que exista un V_{th} en la tensión V_{GS} de M_{cmp} , si cumple con esto reduce una de las componentes del FPN como se mostrará en la siguiente sección. Por otro lado, en el proceso de lectura es necesario que la señal de referencia sea de tipo rampa, cuya pendiente depende tanto del tiempo que dure el periodo de lectura, como del valor de tensión final del nodo FD en la etapa anterior.

El valor inicial de la rampa debe ser impuesto para que el transistor M_{cmp} al iniciar el periodo de lectura este apagado para todos los valores de tensión (en la puerta) en el rango de interés, luego la rampa comenzará a disminuir y debe ser seleccionada para que durante el periodo de lectura el transistor M_{cmp} , se alcance a encender para todo el rango de fotocorrientes. De tal forma que la última señal de interés logre cruzar el umbral antes que la rampa llegue a 0[V]. Por lo tanto, reducir el tiempo de lectura implica aumentar la pendiente de la rampa para que no se pierden muestras y se mantenga el rango dinámico.

En el periodo de lectura ocurre el mayor consumo de potencia, siendo más significativo para intensidades de luz bajas; dado que la descarga del fotodiodo es mínima y al permanecer relativamente constante durante el periodo de lectura, ocasiona un incremento de la corriente pedida a la fuente de polarización, pues la tensión en la fuente de M_{cmp} disminuye con el tiempo y produce un aumento de corriente de la misma forma. Debido a lo anterior una pendiente elevada implica incremento en el consumo de potencia.

3.7. Reducción *FPN*

Como se mencionó anteriormente la topología seleccionada presenta numerosas ventajas en la reducción de potencia y *FPN*; en esta sección se muestra la forma en que la arquitectura *PWM* reduce significativamente el *FPN*.

En el capítulo 2 se explicó que una de las principales fuentes de *FPN*, es la variación de la tensión de umbral del transistor seguidor de fuente en los *APS* convencionales. Con la topología *PWM* se disminuye este aporte de ruido, al no existir dependencia de la tensión de umbral de M_{cmp} a la salida del píxel; esto se logra de acuerdo a lo siguiente:

Considerando las variaciones en el V_{th} , el fotodiodo se carga a la tensión $V_{FD,rst}$ en la etapa de reset (3.9), esta tensión es solo la necesaria para que el transistor M_{cmp} esté prendido y se debe garantizar con la tensión V_{rst} .

$$V_{FD_{rst}} = V_{rst} + V_{th} + \Delta V_{th} \quad (3.9)$$

Al finalizar el proceso de acumulación la tensión en el nodo *FD* decae ΔV_{FD} , por lo tanto la tensión para el inicio de la etapa de lectura viene dado por (3.10). Para este punto el transistor comparador esta apagado, pero conforme la señal tipo rampa disminuye su valor, la tensión V_{GS} se hace mayor, lo cual conlleva a que el transistor se encienda cuando se cumpla (3.11).

$$V_{FD} = V_{FD_{rst}} - \Delta V_{FD} \quad (3.10)$$

$$V_G - V_S = V_{th} + \Delta V_{th} \quad (3.11)$$

Por lo tanto al reemplazar 3.9 en 3.10 y a su vez en 3.11, se encuentra:

$$\begin{aligned} V_{r,rst} + V_{th} + \Delta V_{th} - \Delta V_{FD} - V_{RAMP} &= V_{th} + \Delta V_{th} \\ V_{r,rst} - \Delta V_{FD} &= V_{RAMP} \end{aligned} \quad (3.12)$$

Con lo anterior se muestra que la tensión de umbral junto con sus variaciones no afectan la salida del píxel, dado que su efecto se cancela en el momento que M_{cmp} se enciende en el periodo de lectura para cualquier intensidad de luz.

Aunque la parte matemática resulta un tanto difícil de asimilar si no se ha trabajado con el circuito, se puede resumir en lo siguiente: durante la etapa de *reset*, la variación de tensión producto de la variación en la tensión umbral se suma a la tensión en el fotodiodo; en la etapa de lectura esta misma variación se resta a la tensión existente, por tanto al final del proceso se cancelan las variaciones.

Capítulo 4

Diseño de un píxel *PWM*

En este capítulo se presenta el diseño de un píxel con bajo *FPN* y bajo consumo de potencia, empleando la arquitectura *PWM*. Además se plantea una estrategia para optimizar el diseño mediante programación geométrica.

4.1. Consideraciones y especificaciones

Aunque una elevada área de fotodetección acumula mayor carga, también implica un incremento de la *dark current* en el circuito, además como se mostró en 3.3.2, la pendiente de descarga en el periodo de acumulación, esta determinada por la capacitancia del fotodiodo. Por tanto un menor tamaño en el fotodiodo implica menor capacitancia; logrando de esta forma que la caída de tensión en el periodo de acumulación se logre de manera más rápida, reduciendo así el tiempo de operación. De acuerdo a lo anterior, el área del fotodiodo debe ser la mínima que permita la tecnología, y con el fin de no afectar el *fill factor*, se tratará de disminuir el área dispuesta para los demás componentes del píxel.

De acuerdo con el modelo de simulación suministrado por el fabricante, las dimensiones mínimas para el fotodiodo son de $5\mu m \times 5\mu m$, por lo cual la mínima área ocupada por el fotodetector será de $25\mu m^2$.

En la mayoría de los trabajos presentados en el estado del arte, el *fill factor* varía entre un 15% y 30%, este parámetro está determinado por la tecnología en que se trabaja, ya que ésta determina que tan reducido pueda ser el tamaño de los transistores. En este diseño se selecciona un rango intermedio de 20% a 25%, adecuado a la tecnología de $0,35[\mu m]$; sin embargo, no se puede precisar su valor, ya que dependiendo de la disposición física de los transistores puede variar. Con estas dos especificaciones se obtiene un tamaño máximo de píxel de $125\mu m^2$.

El rango de iluminación, se escoge de tal forma que abarque los mínimos niveles de luz

hasta intensidades equivalentes a un día soleado, como se muestra a continuación:

$$10^{-4} \text{ lux} \implies \text{Noche oscura}$$

$$32 \times 10^3 \text{ lux} \implies \text{Día soleado}$$

En la sección 3.2 se definió la cantidad de potencia por unidad de área que se genera de acuerdo a la cantidad de luz incidente. Teniendo en cuenta esto y la área del fotodiodo, se obtiene la potencia de entrada en *Watts*.

$$4[aW] \implies \text{Potencia mínima}$$

$$1,28[nW] \implies \text{Potencia máxima}$$

Por otro lado, en el capítulo 1 se mostró que el sensor trabaja con tres colores primarios: rojo, verde y azul; cada longitud de onda corresponde a un valor de responsividad y esta a su vez, a una fotocorriente generada. El valor de responsividad oscila entre 0.1 y 0.5 [A/W] para las distintas longitudes de onda en la tecnología con que se trabaja; es correcto usar como referencia la longitud de onda que se encuentra aproximadamente en la mitad del espectro visible (asociada al color verde), ya que para ésta el ojo humano presenta mayor receptividad [35]. Entonces, el valor de responsividad a utilizar es 0.29[A/W] que corresponde a una longitud de onda de 550nm (de acuerdo a lo anterior se explica que el modelo de simulación viene dado para este color [36]).

A pesar que anteriormente se estableció una potencia mínima, esta no es aplicable al circuito, ya que el límite inferior en el rango de sensibilidad lo impone la *dark current*; como se mencionó en capítulos anteriores, la *dark current* es propia del proceso de fabricación, y no esta sujeta a dimensiones en los transistores; por lo tanto, siempre que sea mayor al ruido generado por los componentes del circuito, limitará el mínimo nivel de iluminación del sensor. Este parámetro es suministrado por el fabricante como 185[nA/mm²].

El límite superior de potencia depende del diseño del circuito; no obstante, si se desea asumir todos los posibles valores de potencia lumínica para un rango de iluminación, basta con trabajar el valor máximo de responsividad, el cual no es suministrado de forma exacta por el fabricante y para este caso no corresponde a un valor significativo (esto dentro del rango visible del ojo humano [35]), por lo que no será usado en las simulaciones del circuito. Empleando el parámetro de responsividad (0.29[A/W]) se fija el rango de potencia incidente para simulación entre:

$$16[pW] \leq P \leq 1,28[nW] \tag{4.1}$$

Asumiendo que el píxel va conformar un arreglo que opera a una velocidad de 30 *FPS* (sin tener en cuenta el procesamiento digital) y de dimensiones 128 X 128 píxeles; se pueden obtener los siguientes datos:

$$f = 30[Hz] \quad ; \quad T = \frac{1}{f} = 33,33[ms] \quad (4.2)$$

Puesto que el proceso de lectura del sensor se realiza por filas, en el tiempo T deben ser leídas todas, así que para obtener el tiempo por píxel se divide en el número de filas:

$$\frac{33,33[ms]}{128} = 266,66[\mu s] \quad (4.3)$$

Las especificaciones de potencia y ruido se miden al final, para ser comparadas con el estado del arte.

Parámetro	Especificación
<i>Fill factor</i>	20% - 25%
Rango de iluminación	400 - 32000 <i>lux</i>
Velocidad del arreglo	30 <i>FPS</i>
FM1	—
<i>FPN</i>	—

Tabla 4.1: Especificaciones del píxel.

4.1.1. Diseño Preliminar

Punto de partida

De acuerdo a las especificaciones, el tiempo en el que se deben ejecutar las tres etapas (*reset*, acumulación y lectura) es aproximadamente 267[μs]. En la sección 3.3.1, se mostró mediante una simulación que el tiempo de *reset* es de corta duración respecto a la duración de todo el proceso, ya que las muestras convergen bastante rápido al valor de tensión deseado, por tanto, inicialmente se asignan 20[μs] de acuerdo a las simulaciones previamente realizadas.

Una de las ventajas que se destaca de esta topología, es su operación a bajos niveles de alimentación. La tensión nominal de la tecnología es 3,3[V], sin embargo en los trabajos realizados con esta topología, la tensión de alimentación es cercana a 1[V]. Para la polarización del circuito, se deben tener en cuenta dos etapas del proceso, la de *reset* y lectura. Se debe polarizar en cuatro puntos: la tensión en drenaje de M_{pol} (V_{DD}), y las tensiones de puerta de M_{pol} , M_{sel} y M_{rst} .

La tensión de alimentación (V_{DD}) es externa al circuito y de ésta se deben obtener las tensiones para las puertas de los demás transistores; para cada valor de tensión diferente a

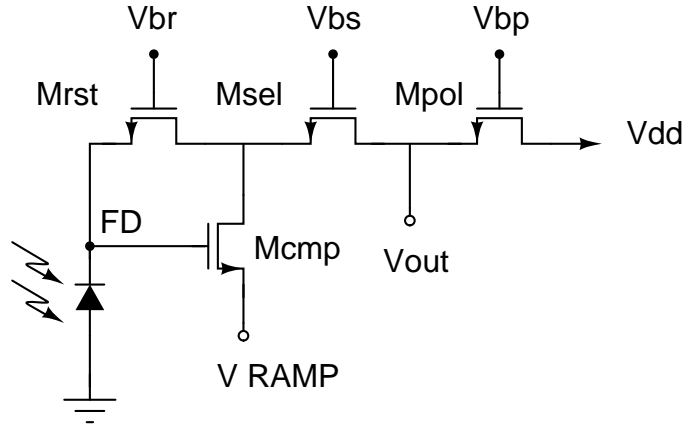


Figura 4.1: Píxel con polarización en puerta, para etapas de *reset* o lectura.

V_{DD} que se desee generar, se necesitaría emplear un circuito diferente; aunque los circuitos de polarización no serán diseñados, su disposición se debe tener en cuenta para el diseño del píxel. Con el objetivo de reducir el área total del sensor, se polarizan las puertas de los transistores al mismo valor, tal y como se muestra a continuación.

Durante la etapa de lectura ocurre el mayor consumo de potencia y resulta importante una adecuada polarización del circuito. El transistor comparador debe operar en saturación y los demás en triodo para generar la señal de salida uniforme, es decir, para todos los niveles de iluminación, los transistores deben operar en su respectiva región, sin importar la variación en las tensiones del circuito. En la figura 4.1, se observa la configuración del circuito con las tensiones de polarización; cabe anotar que en la lectura M_{rst} se encuentra abierto, pero las consideraciones de polarización aplican de igual forma a la etapa de *reset*.

Para garantizar la operación de M_{pol} en la región de triodo se deben cumplir las siguientes condiciones:

$$V_b - V_{DD} \geq V_{th_{pol}} \quad (4.4)$$

$$V_b - V_{S_{pol}} \geq V_{th_{pol}} \quad (4.5)$$

Si se asegura el cumplimiento de (4.4), también se asegura (4.5), ya que la caída de tensión V_{DS} hará que V_{GS} del transistor sea más grande. Este mismo análisis se realiza sobre el transistor M_{sel} , aprovechando que la fuente de tensión en la puerta es la misma, y que el drenó de M_{sel} está conectado a la fuente de M_{pol} , se observa que la segunda condición para M_{pol} es la primera de M_{sel} ; que se asume ya cumplida. A su vez, para la operación de M_{rst} se encuentran las mismas dos condiciones en la etapa de *reset*. De acuerdo a lo anterior, se establece la primera condición de polarización en (4.6).

$$V_b \geq V_{DD} + V_{th_{pol}} \quad (4.6)$$

Para dar cumplimiento a esta condición se establece $V_b = 2[v]$ y $V_{DD} = 1,15[v]$, y se procede a verificar la región de operación de cada transistor mediante simulaciones.

Por otra parte, el único transistor que opera en la región de saturación es M_{cmp} , para garantizar que se pueda llegar a encender durante la etapa de lectura, se regula la tensión que tendrá en puerta mediante el tiempo de acumulación, con el fin de que ninguna muestra sea inferior a V_{th} del transistor, y pueda ser generada la señal de salida. En la región de saturación se tiene:

$$V_{DS_{cmp}} \geq V_{GS_{cmp}} - V_{th_{cmp}} \quad (4.7)$$

Sin embargo, la tensión en fuente de M_{cmp} es una señal tipo rampa variable en el tiempo, y la señal en la puerta del transistor corresponde a la tensión en el fotodiodo, con estas características de (4.7) se obtiene (4.8).

$$V_{DS_{cmp}} \geq V_{FD} - V_{RAMP}(t) - V_{th_{cmp}} \quad (4.8)$$

De acuerdo a lo anterior, se puede establecer la tensión mínima en V_{DS} , para que a cualquier nivel de iluminación opere dentro de la región de saturación. Estableciendo el caso más exigente, mínima iluminación (se presenta la mayor tensión en el nodo FD) y tensión en fuente de $0[v]$, se debe cumplir (4.9); con lo que se obtiene (4.10).

$$V_{DS_{min}} \geq V_{FD_{min}} - V_{th_{cmp}} \quad (4.9)$$

$$V_{DD_{min}} \geq V_{DS_{min}} + V_{DS_{pol}} + V_{DS_{sel}} \quad (4.10)$$

Para los valores de polarización previamente escogidos, se cumplen las condiciones anteriormente expresadas, puesto que las caídas en V_{DS} de M_{pol} y M_{sel} , son de interruptores (las cuales son de valores pequeños), lo que da como resultado un margen amplio a la tensión V_{DS} de M_{cmp} ; de no cumplirse (4.9) se debe reducir el rango de iluminación, o aumentar el valor de V_{DD} .

En el periodo de acumulación, se abren todos los transistores, cambiando las tensiones en puerta para los interruptores y en fuente para el comparador. Dando inicio a la descarga de tensión en el nodo del fotodiodo, por medio de las resistencias parásitas del circuito en dicho nodo. Como se mostró en 3.3.2, este comportamiento es lineal de acuerdo a (4.11).

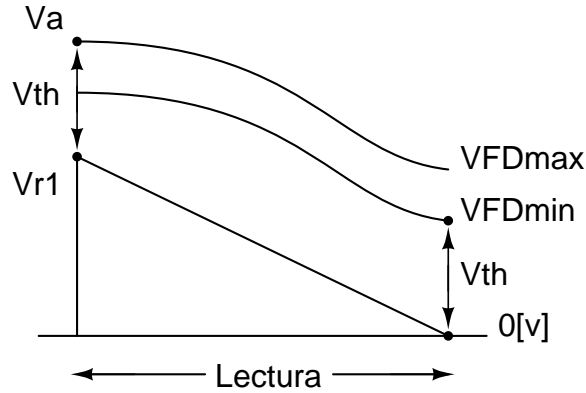


Figura 4.2: Referencias de la tensión rampa y el nodo FD.

$$V_{FD} = V_{FD_{rst}} - \frac{t_a i_{ph}}{C_{ph}} \quad (4.11)$$

Mediante (4.11) es posible determinar el tiempo necesario para la etapa de acumulación, en función de la tensión final que se desee tener en dicha etapa. Esta tensión no debe ser inferior a la tensión de umbral del transistor comparador, puesto que en la etapa de lectura la señal no podría ser leída. Cabe anotar que el valor de capacitancia, depende de la tensión inversa del diodo; pero la variación de tensión para los rangos que se manejan, no modifica de forma relevante este comportamiento [33]. Lo anterior se verifica, realizando el cálculo de capacitancia de acuerdo al modelo y los parámetros que brinda el fabricante.

En la etapa de lectura la rampa tiene dos parámetros a definir: su tensión inicial y final. Como se observa en la figura 4.2, el valor final (mínimo) se fija a 0[V] con el fin de permitir que M_{cmp} se encienda para el mayor rango posible de potencia. Por su parte el valor máximo de la rampa es tal, que la muestra más positiva debe encender el transistor tan pronto inicie el periodo de lectura (4.12).

$$V_{r1} = V_a - V_{th_{cmp}} \quad (4.12)$$

Considerando que el fotodiodo ocupará un 25% del área del píxel, se procede a realizar el dimensionamiento de los demás elementos de acuerdo a las siguientes consideraciones: el transistor de comparación (M_{cmp}) es el de mayor tamaño, ya que a partir de su tensión V_{GS} debe generar una corriente lo suficientemente alta, para que el nivel de tensión en la salida decrezca de forma importante, de aquí se designa un 50% de área al transistor comparador y el 25% restante a los otros dos interruptores. El transistor de polarización no forma parte del píxel; sin embargo, modificando su tamaño también se logra aumentar la caída de tensión en el nodo de salida, lo que crea un compromiso entre estos y la tensión de salida, haciendo

más complejo el diseño del circuito.

Simulación

En la etapa de *reset* se deben tener en cuenta dos aspectos: que cada transistor se encuentre en su respectiva región de operación, y polarizar el fotodiodo de acuerdo a lo expresado en la sección 3.7. El análisis que se ha realizado hasta el momento es una buena aproximación, pero se requieren algunos ajustes para cumplir las condiciones del diseño de acuerdo a los resultados que se obtiene en la simulación. Para satisfacer 3.7, se realiza una serie de simulaciones en dc, sobre la tensión de rampa durante la etapa de *reset*; en este periodo dicha tensión es constante, y se elige $V_{r,rst} = 0,45[v]$ que satisface la condición de diseño.

Con las dimensiones definidas para cada uno de los transistores, se procede a extraer la capacitancia por nodo de cada uno. De los datos anteriores se obtiene la capacitancia en el nodo de salida, que corresponde a la equivalente en el drenó de M_{sel} y en la fuente de M_{pol} .

$$C_{columna} = 128(C_{D_{sel}} + C_{F_{pol}}) = 128(4,2[fF] + 3[fF]) = 0,92[pF] \quad (4.13)$$

En gran parte de los circuitos integrados, el efecto cuerpo es un factor indeseado en el momento de su diseño. Sin embargo, este logra una curva de salida de mejores características para el desempeño requerido; este hecho se explica tomando en cuenta que según (4.14), la tensión de umbral aumenta su valor en función de la tensión V_{SB} . Por tanto, durante la etapa de lectura la fuente del transistor comparador esta conectada a la rampa y el cuerpo de éste a tierra; en este punto V_{SB} se encuentra en el valor máximo que podría tomar, haciendo que encender el transistor requiera más tensión en la puerta.

$$V_{th} = V_{tho} + \gamma(\sqrt{2\phi + V_{SB}} - \sqrt{2\phi}) \quad (4.14)$$

La rampa disminuye su valor de tensión a 0[V] conforme transcurre la lectura, por consiguiente, para encender el transistor se necesita menos tensión en la puerta. Como las muestras correspondientes a un mayor nivel de iluminación, son las que encienden el transistor en la parte final de la etapa de lectura, una mayor cantidad de muestras logran descender y se aumenta el rango dinámico del sensor. Sin embargo, debido al efecto cuerpo se altera el comportamiento de las demás etapas, por lo tanto se repite el proceso de diseño de acuerdo a esta nueva consideración. En la tabla 4.2 se muestra el resultado final del diseño.

En la figura 4.3(a) se muestra la señal de salida del píxel para un ciclo completo de operación.

El *buffer* que se encarga de mejorar la característica *PWM* de la señal, no forma parte del píxel, por tanto, solo fue diseñado para mostrar la forma particular de la señal de salida que

Parámetros del diseño
$V_{DD} = 1,15[V]$
$V_b = 2[V]$
$W_{pol,sel,rst} = 1[\mu m] - L_{pol,sel,rst} = 0,4[\mu m]$
$W_{cmp} = 6[\mu m] - L_{cmp} = 3[\mu m]$
$t_{reset} = 20[\mu s]$
$t_{acumulacion} = 10[\mu s]$
$t_{lectura} = 220[\mu s]$
$V_{ramp,reset} = 0,45[V]$
$V_{ramp,acumulacion} = 1,15[V]$
$V_{ramp,lectura} = (-3,2 \times 10^{-3}t + 0,8)(u[t - 30] - u[t - 250])[V]$

Tabla 4.2: Parámetros de diseño del píxel.

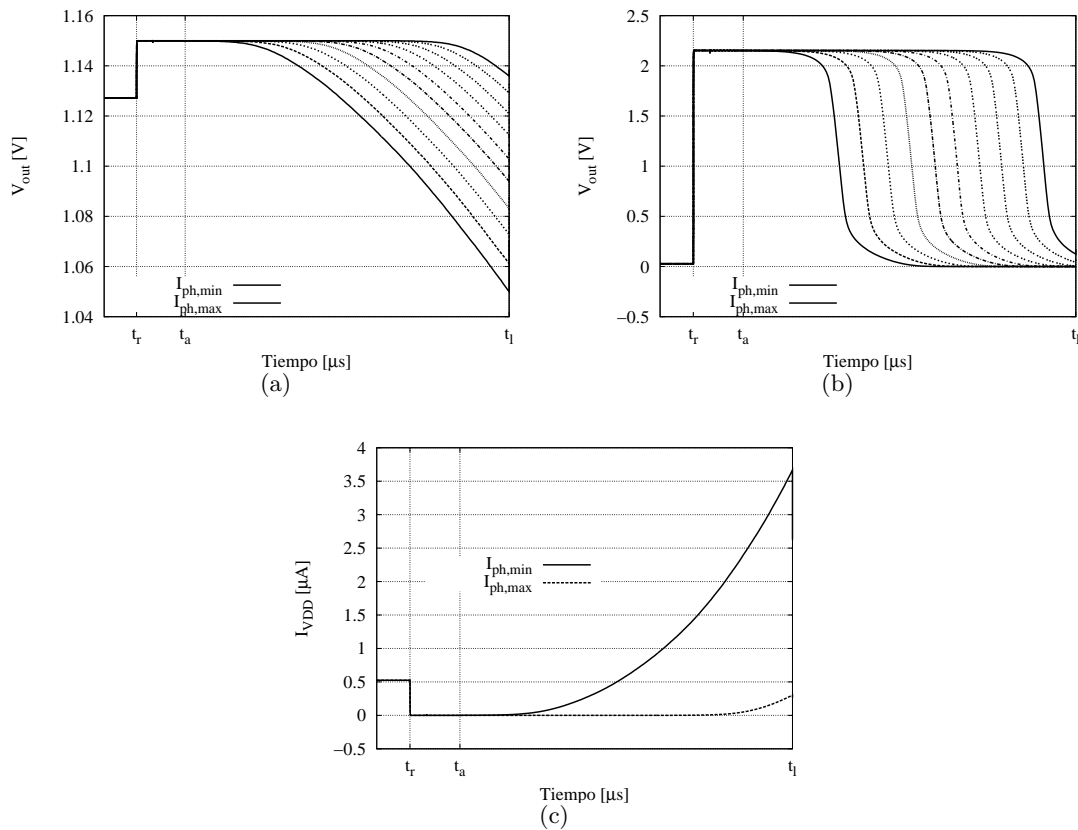


Figura 4.3: a) Tensión de salida del píxel b) Tensión de salida después del *buffer* c) Corriente entregada por la fuente de alimentación.

se muestra en la figura 4.3(b). En la figura 4.3(c), se muestra la corriente que entrega la fuente de alimentación, tanto para el nivel mínimo de iluminación como para el máximo; en la que

se puede apreciar que la mayor demanda de corriente ocurre al final del periodo de lectura. En general, durante las etapas de *reset* y acumulación, el consumo de potencia es mínimo.

Este píxel consume $872.8[nW]$ y $328.24[nW]$ para la mínima y máxima iluminación respectivamente. Los resultados de *FPN* se discuten en el próximo capítulo.

4.2. Diseño vía programación geométrica (PG)

Durante los últimos años, el uso de herramientas CAD ha sido una tendencia en el diseño de circuitos integrados. El diseño vía programación geométrica ha demostrado ser una alternativa viable en el diseño de circuitos analógicos, ya que proporciona los parámetros de diseño óptimos para cumplir con las especificaciones y restricciones establecidas por el diseñador [37]. Para el diseño de píxeles, no se encontró ningún reporte del uso de esta técnica. En este trabajo se pretende mostrar que es posible aplicar técnicas de optimización enfocadas a la automatización del diseño de este tipo de circuitos.

La forma de un PG estándar es la siguiente:

$$\begin{aligned} &\text{minimizar } f_0(x) \\ &\text{sujeto a } f_i(x) \leq 1, \quad i = 1, \dots, m, \\ &\quad \quad g_i(x) = 1, \quad i = 1, \dots, p, \end{aligned} \tag{4.15}$$

donde g_i son funciones monomios¹ y f_i funciones posinomios². Si se desea profundizar en este tema se recomienda [37, 38].

En la mayoría de las aplicaciones para las que se ha implementado PG, se tienen condiciones de polarización que son invariantes en el tiempo; estas definen en el circuito ganancias, tensiones o transconductancias [37]. Por otra parte, el píxel es un circuito totalmente dinámico y su polarización varía para cada etapa. Una posible solución consiste en plantear un PG para cada etapa de operación, sin embargo, no se tendrán resultados concordantes, puesto que las dimensiones de los transistores resultaran diferentes en cada una. Teniendo en cuenta lo anterior, se debe seleccionar una etapa que represente de forma significativa el comportamiento del circuito.

Una solución adecuada corresponde a la aplicación de PG en la etapa de lectura, por ser la región de operación con mayor consumo de potencia. No obstante, en este periodo el circuito también presenta un comportamiento dinámico, puesto que la tensión en la fuente de M_{cmp} varía con el tiempo. Por lo tanto, se debe buscar un instante que defina el comportamiento de la etapa de lectura, y garantice el correcto funcionamiento para cualquier otro instante.

¹Un monomio es una función de la forma $f(x) = cx_1^{a_1} x_2^{a_2} \dots x_n^{a_n}$ con $c > 0$ y $a_i \in \mathbf{R}$

²Un posinomio es la suma de dos o más monomios: $f(x) = \sum_{k=1}^K c_k x_1^{a_{1k}} x_2^{a_{2k}} \dots x_n^{a_{nk}}$

Puesto que el circuito ya cuenta con una consideración respecto a la reducción de *FPN*, expuesta en la sección 3.12; la función a minimizar o función objetivo es el consumo de potencia del píxel.

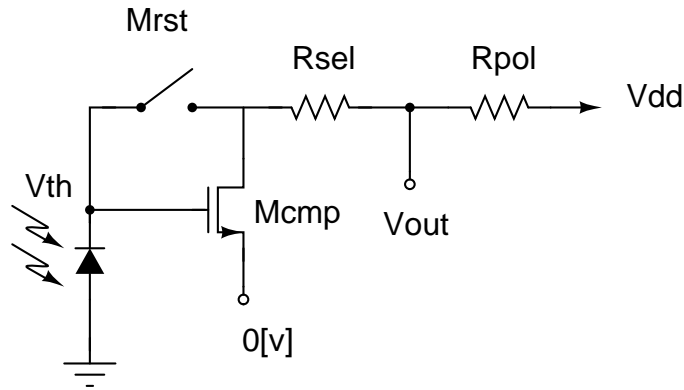


Figura 4.4: Circuito empleado para plantear las restricciones del programa geométrico.

De acuerdo al resultado del diseño precedente, se observa que la muestra más intensa de luz es la última en cruzar el umbral de conmutación, siendo ésta la de menor consumo. Mientras que la muestra correspondiente al mínimo nivel de luz, es la primera en cruzar el umbral y la que más potencia consume. Al presentarse estas dos condiciones, y teniendo en cuenta que la función objetivo se orienta a minimizar potencia, se tendería a pensar que el punto óptimo para plantear el PG es el de mínima iluminación. No obstante, si se reduce al máximo la corriente dada en iluminación baja, la tensión en la salida del píxel tardará más en disminuir, ya que se reduce su capacidad de corriente. Esto implica que solo ésta muestra cruce el umbral para poder ser leída, y por lo tanto se elimina completamente el rango dinámico del sensor. Por el contrario, al reducir la corriente dada por la muestra de mayor iluminación y garantizar su paso por el umbral, se está asegurando el rango para las demás muestras. De esta forma se logra un punto de equilibrio entre desempeño y el consumo de potencia del píxel.

Como ya se decidió la manera de abordar el planteamiento del programa geométrico, se propone el circuito de la figura 4.4, para representar la operación del píxel en el punto de referencia impuesto en la etapa de lectura. En este instante la tensión en el cátodo del fotodiodo corresponde a V_{th} , y la fuente de M_{cmp} está virtualmente conectada a tierra. Los transistores M_{sel} y M_{pol} , se encuentran en la región de triodo y pueden ser modelados como resistencias que dependen de los parámetros: W , L y V_{GS} . A su vez M_{cmp} se encuentra en saturación y puede ser modelado en función de: W , L , I_D y V_{DS} [38]. El error en la aproximación de los modelos se muestra en la tabla 4.3.

Se impone la restricción $V_{DS_{pol}} = 0,2[v]$ para garantizar que la última muestra de tensión

Transistor	M_{cmp}	M_{sel}	M_{pol}
Error	0.22 %	6.22 %	6.46 %

Tabla 4.3: Porcentaje de error en los modelos usados para PG.

a la salida, tenga que caer 0.2 [v] (valor suficiente para cruzar el umbral de conmutación) para poder ser leída. Las demás consideraciones se obtienen aplicando leyes básicas al circuito, la región de operación de cada transistor y los límites máximos y mínimos en sus dimensiones, de acuerdo al análisis previo del diseño. Con lo anterior, se formula el programa geométrico que se muestra en la tabla 4.4.

La solución arrojada por el PG será presentada y comparada con los demás resultados alcanzados en el siguiente capítulo.

Minimizar potencia	$P = V_{DD}I_D$
Sujeto a:	
	$V_{GS_{cmp}} = K_1(W^a)(L^b)(V_{DS}^c)$
	$R_{pol} = K_2(W_{pol}^d)(L_{pol}^e)(V_{DS}^f)$
	$R_{sel} = K_3(W_{pol}^h)(L_{pol}^i)(V_{DS}^j)$
	$R_{pol} = V_{pol}I_{pol}^{-1}$
	$R_{sel} = V_{sel}I_{sel}^{-1}$
	$I_{cmp} = I_{sel} = I_{pol} = I_D$
	$0,85V_{GS_{pol}}^{-1} \leq 1$
	$0,8V_{GS_{sel}}^{-1} \leq 1$
	$V_{DS_{pol}} = 0,2[v]$
	$V_{DS_{sel}} = 0,6[v]$
	$V_{DS_{cmp}} = 0,55[v]$
	$V_{GS_{cmp}} = 0,55[v]$
	$L_{cmp} \leq L_{cmpmax}$
	$L_{cmpmin} \leq L_{cmp}$
	$W_{cmp} \leq W_{cmpmax}$
	$W_{cmp} \leq W_{cmpmax}$
	$L_{sel} \leq L_{selmax}$
	$L_{selmin} \leq L_{sel}$
	$W_{sel} \leq W_{selmax}$
	$W_{sel} \leq W_{selmax}$
	$L_{pol} \leq L_{polmax}$
	$L_{polmin} \leq L_{pol}$
	$W_{pol} \leq W_{polmax}$
	$W_{pol} \leq W_{polmax}$

Tabla 4.4: Planteamiento del programa geométrico.

Capítulo 5

Análisis de resultados

Una vez mostrada la metodología de diseño, se compararan los resultados obtenidos , y a su vez se confrontan con algunos de los trabajos expuestos en el estado del arte.

5.1. Solución del programa geométrico

En la tabla 5.1 se muestran los resultados obtenidos mediante el programa geométrico; en esta tabla se encuentran las dimensiones y polarización de cada transistor. Con los datos provistos por el PG se verifica el desempeño del circuito. Teniendo en cuenta que en el planteamiento del PG no se considero la operación del transistor M_{rst} , se asignan las dimensiones de éste a $W = 1\mu m$ y $L = 0,4\mu m$ y se fija la duración de cada etapa de operación de acuerdo al análisis previo del circuito.

En las figuras 5.1(a) y 5.1(b), se muestran las curvas de salida del diseño. Es notorio que a diferencia de las salidas en el diseño preliminar, las muestras de tensión presentan una caída en su valor solo hasta el final de la etapa de lectura. Esto debido a que en el PG la función objetivo es reducir consumo de potencia, por lo tanto cada muestra dura menos tiempo demandando corriente de la fuente. Sin embargo, es una caída de tensión suficiente para que los inversores puedan generar la onda cuadrada. En la figura 5.1(c) se aprecia que la corriente entregada por la fuente, es menor comparada con el resultado obtenido en el diseño preliminar; para el caso de menor iluminación, la fuente entrega una potencia promedio de 14.4 [nW], mientras que en el caso de mayor iluminación el valor es de 220[pW]. Lo anterior indica una reducción importante en el consumo de potencia, pero el rango del sensor se ve disminuido por las aproximaciones y factores no considerados en el PG.

Polarizaciones y dimensiones	
$V_{DS_{pol}}$	$= 0,2[v]$
$V_{DS_{sel}}$	$= 0,6[v]$
$V_{DS_{cmp}}$	$= 0,65[v]$
$V_{GS_{cmp}}$	$= 0,55[v]$
$V_{GS_{pol}}$	$= 0,85[v]$
$V_{GS_{sel}}$	$= 0,8[v]$
L_{cmp}	$= 0,42[\mu m]$
W_{cmp}	$= 6,33[\mu m]$
L_{sel}	$= 4[\mu m]$
W_{sel}	$= 0,7[\mu m]$
L_{pol}	$= 1,83[\mu m]$
W_{pol}	$= 0,74[\mu m]$

Tabla 5.1: Resultados del programa geométrico.

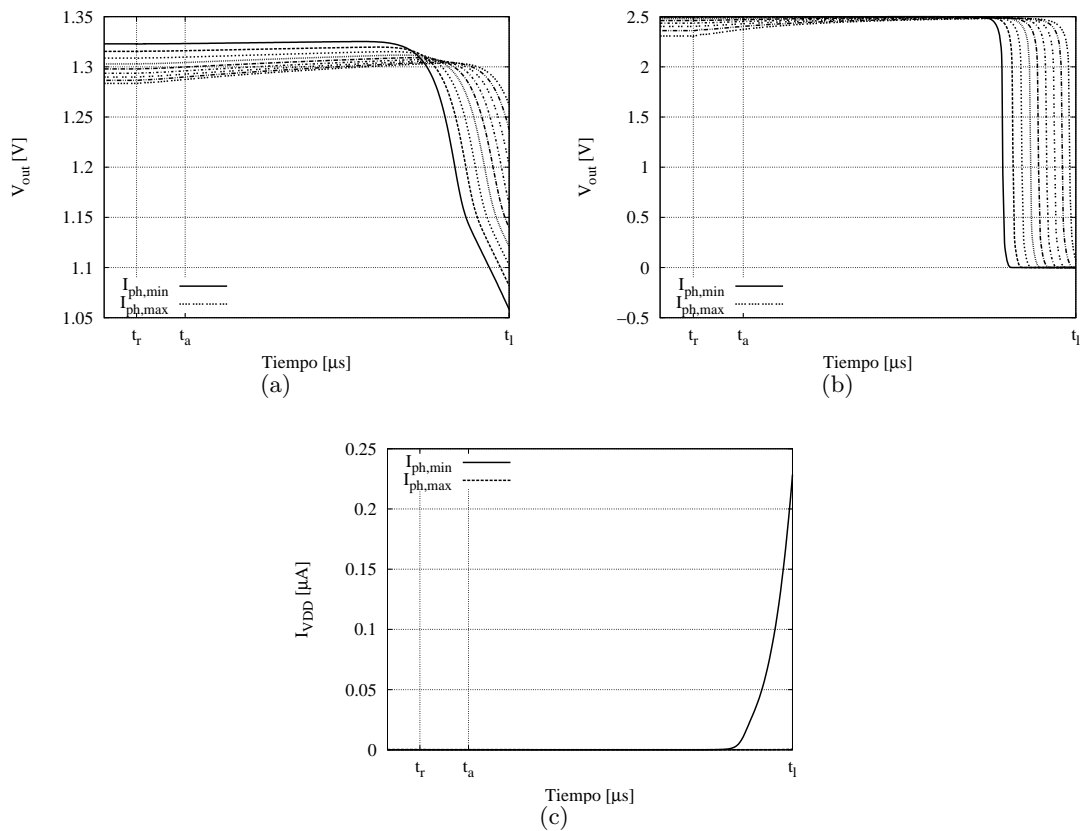


Figura 5.1: Para el diseño con PG: a) Tensión de salida del píxel, b) Tensión de salida después de los inversores, c) Corriente entregada por la fuente.

Referencia	$[nW/(Frame * Pixel)]$	Arquitectura
[16]	0.46	<i>PWM</i>
[25]	8.06	<i>PWM</i> ^a
[17]	40.34	<i>PWM</i>
[18]	0.96	<i>DPS - WDR</i> ^b
[19]	4.43×10^3	<i>APS</i>

^aUsa la técnica *PWM*, pero con distinta arquitectura.

^bTopología propuesta para aumentar el rango dinámico.

Tabla 5.2: Figura de mérito modificada.

5.2. Resultados

5.2.1. Figura de merito 1

Para una correcta comparación de resultados es necesario normalizar los parámetros de desempeño de cada circuito, tanto del estado del arte como de este trabajo. Por tanto, es importante realizar una aclaración respecto a la figura de mérito establecida en la sección 2.2.1. En esta se realiza la división entre la potencia que consume todo el arreglo y el número de píxeles; pero si se desea obtener el valor real de potencia que consume cada píxel, no es correcto, debido a que el circuito realiza el proceso de lectura por filas, por lo tanto solo un elemento de cada columna está consumiendo potencia al mismo tiempo. De acuerdo a lo anterior, para comparar valores de potencia se debe dividir solo entre el número de columnas del arreglo; la modificación para la figura de mérito *FM1* se muestra en la tabla 5.2.

Por otra parte, el cálculo de la *FM1* para los diseños realizados, es la razón entre la potencia promedio obtenida y la velocidad de operación, ya que solo se tiene un píxel. A su vez, como se expuso en las consideraciones de diseño, en el tiempo de operación no se tuvo en cuenta el procesamiento digital, por lo tanto, para comparar resultados es preciso establecer uniformidad en los criterios de medida. En [16], se propuso la figura de mérito de la tabla 2.1, y al igual que en los demás trabajos el prototipo diseñado no cuenta con procesamiento digital ni con consideraciones en su medida; por lo cual el criterio para la medida de velocidad en este trabajo es correcto, y resulta la *FM1* equivalente a:

$$FM_1 = \frac{P_{pixel}}{Velocidad} \quad (5.1)$$

No obstante, es preciso aclarar que la duración de un ciclo completo en el píxel ($250[\mu s]$ en este diseño), es un tiempo suficiente para que se realice la digitalización en tiempo real y se almacene en memoria; dado que la frecuencia de operación en los convertidores es del orden

de $40\text{-}60\text{MHz}$ ¹, no se requiere más tiempo para realizar esta función y despreciarlo es válido.

5.2.2. Medición de FPN

Para la medición de este parámetro es necesario emplear un análisis de *Monte Carlo*, el cual se basa en el muestreo aleatorio de un parámetro para encontrar la solución de un problema numérico [39], que en este caso corresponde a la estimación de la forma en que varía la señal de salida del píxel, debido a las variaciones propias del proceso de fabricación.

Si sobre la superficie del sensor se tiene una distribución uniforme de luz, correspondiente tan solo a una longitud de onda, cada píxel debería producir un pulso de igual ancho. Para la arquitectura *PWM* se emplea un convertidor que mide el ancho del pulso y almacena el dato en memoria [16]. Luego, cualquier variación en el proceso se ve reflejada en el ancho del pulso. Para la simulación se toma como referencia el umbral de conmutación, y se mide el tiempo que tarda la señal del nodo de salida en alcanzar dicha tensión. La simulación se realiza bajo condiciones de iluminación uniforme; para una correcta representación de las variaciones en el proceso de fabricación, se usan los modelos y parámetros establecidos en [40]. Asignando el porcentaje de variación en la tensión de umbral y en los anchos de los transistores del píxel, se realizan las iteraciones correspondientes a todos los píxeles dentro del arreglo ($128 \times 128 = 16384$) para calcular el porcentaje de ruido de acuerdo a (5.2).

$$FPN = \frac{100\sigma}{t_{prom}} \quad (5.2)$$

Donde, σ es la desviación estándar del conjunto de muestras y t_{prom} el tiempo medio.

5.2.3. Dependencia de V_{th}

Una de las razones por las que se seleccionó esta arquitectura, es la independencia de la tensión de salida respecto a la tensión de umbral del transistor comparador, esto fue demostrado en la sección 3.12, pero debe ser verificado por medio de simulaciones. Para ello, se fija el valor de V_{rst} al punto óptimo y luego a un valor aleatorio, para ambos casos se realiza el análisis de ruido variando únicamente la tensión de umbral de dicho transistor, de lo cual el porcentaje de ruido debe resultar menor para el punto óptimo de polarización.

De la tabla 5.3, se observa que efectivamente existe una reducción del ruido aportado por la tensión de umbral; en ambos casos no disminuye la misma proporción, ya que las dimensiones de M_{cmp} difieren entre si para ambos diseños.

Además de lo anterior, también es necesario verificar que el FPN es determinado en gran medida por las variaciones en la tensión de umbral de M_{cmp} . Para esto, se aplica el *Método*

¹Ver hojas de datos de las referencias de la tabla 2.1

Diseño	Polarización	FPN %
Preliminar	Punto óptimo	0.299
	Otro punto	0.442
PG	Punto óptimo	0.088
	Otro punto	0.599

Tabla 5.3: Resultados de FPN para diferentes valores de tensión en $V_{r,rst}$.

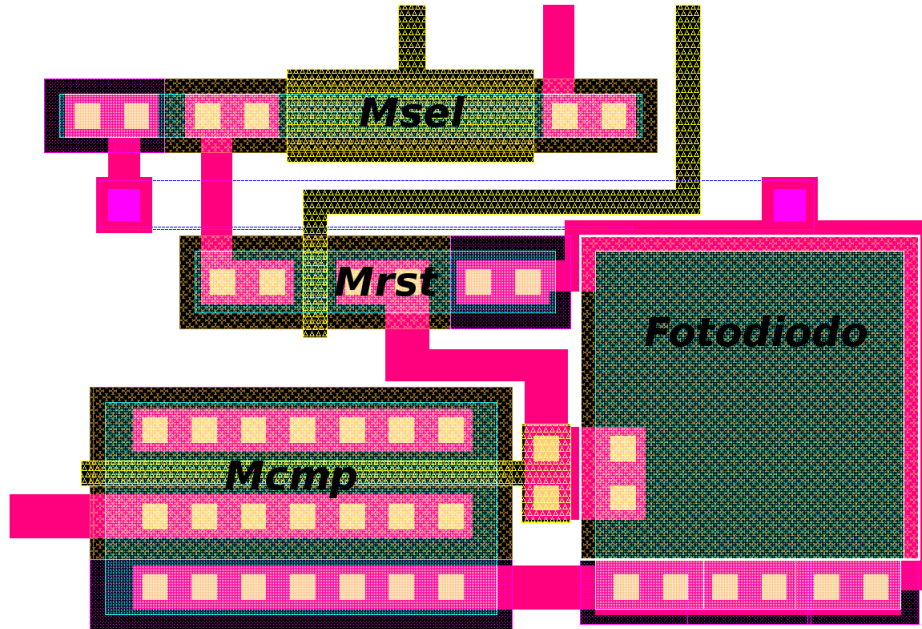


Figura 5.2: *Layout* del píxel PWM .

de Montecarlo, variando V_{th} y W para todos los transistores del píxel. A partir de esto, fue posible verificar lo presupuestado alrededor de la incidencia del V_{th} en el FPN .

5.2.4. *Fill Factor*

Para obtener la medida real de este parámetro se deben considerar las interconexiones de los elementos del píxel. Dependiendo de la tecnología, el *layout* de un circuito esta sujeto a diversas restricciones impuestas por el fabricante, las cuales aumentan el área total del circuito; por tal razón, la única forma de conocer el valor exacto del *fill factor*, es mediante la realización del *layout*.

En la figura 5.2 se muestra el *layout* del píxel diseñado; para éste se usaron dos capas de metal, de las cuatro disponibles en la tecnología. Es importante resaltar que ninguna capa debe sobreponerse al fotodiodo, porque estas pueden interferir con la recepción de luz. Además, la disposición general de los elementos debe tener una forma rectangular o cuadrada, ya que

Diseño	FM_1 [$nW/(FPS)$]	FPN %	$Fill\ Factor$ %	Rango Dinámico [dB]	Velocidad FPS
PG	0.46	1.2	21 %	31.48	31.25
Preliminar	27.93	4.11	17 %	46.28	31.25
[14]	—	0.7	26	64 dB	30
[16]	0.46	0.12*	18.5	53.7	9.6
[17]	40.34	0.7	18.5	48.8	5.5
[18]	0.96	0.14*	15	49	30
[19]	4.43×10^3	—	30	89	48

* → Usan elementos externos al píxel (ej: cds, dds) para eliminar FPN .

Tabla 5.4: Comparación de Resultados.

al reproducir el píxel en un arreglo completo, estas permiten un mejor aprovechamiento del área. Por último cabe aclarar, que los transistores M_{rst} y M_{sel} , hubiesen podido tener menores dimensiones, ya que para los valores de W y L , solo requieren 1 contacto. Sin embargo, durante un proceso de fabricación, algunos contactos pueden salir defectuosos, y por tanto no es recomendable fabricar dispositivos con uno solo. Para este diseño, la cantidad mínima de contactos por conexión son dos, lo que aumenta el área de M_{rst} y M_{sel} entre un 35 y 45 por ciento aproximadamente. El área total del píxel es de $126[\mu m^2]$, con un $fill\ factor$ de 21 %.

5.2.5. Comparación de resultados

En la tabla 5.4 se muestran los resultados de este trabajo y algunos de los más relevantes del estado del arte, con el fin de realizar la comparación de los parámetros de desempeño más importantes en sensores de imagen. De esta tabla, es evidente el logro alcanzado mediante programación geométrica para la reducción en el consumo de potencia. La reducción de FPN también es significativa, ya que a diferencia de algunos trabajos de la tabla su medida se realizó directamente en la salida del píxel, sin circuito o procesamiento adicional para eliminarlo.

5.3. Observaciones y Conclusiones

Se realizó el diseño de un píxel de sensor de imagen integrado en tecnología $CMOS$, que cumple con el estándar de velocidad para transmisión de vídeo. Haciendo consideraciones debidamente sustentadas y usando las herramientas de diseño, se llegó a las siguientes observaciones y conclusiones.

- ☞ El punto de partida para el diseño de un sensor de imagen lo establecen la cantidad de luz que se desea captar y la velocidad de operación. Puesto que estas características limitan la dinámica del circuito, ya que definen la amplitud de las señales con las que se trabaja, y el tiempo de duración de las etapas del proceso.
- ☞ Se pudo verificar que el desajuste por fabricación de la tensión de umbral en el transistor comparador, es una de las principales fuentes de FPN ; que logró ser reducida por medio de la correcta polarización en la fuente de M_{cmp} , de acuerdo a lo estimado teóricamente.
- ☞ Debido a las condiciones de polarización variantes en el circuito, la dificultad en la aplicación de PG, no consiste en plantear las ecuaciones de acuerdo a la forma estándar de un PG, sino en escoger la etapa, el instante de tiempo y la polarización adecuada; para seleccionar dicho instante, se debe tener en cuenta el rango dinámico, el consumo de potencia de las etapas y el número de transistores que intervienen. Con estas consideraciones se logró usar la herramienta de programación geométrica con resultados satisfactorios.
- ☞ La tensión de referencia (rampa) es determinante en el desempeño del píxel, su valor inicial y final se deben determinar a partir de las características de máxima y mínima iluminación, para no exceder su pendiente, puesto que esto ocasiona un aumento en el consumo de potencia. En el caso contrario, una pendiente poco pronunciada no permitirá que las muestras de tensión crucen el umbral de conmutación.
- ☞ El diseño del *buffer* debe estar ligado al píxel, ya que se puede llegar a afectar el rango dinámico; por lo tanto, se debe seleccionar un punto de conmutación adecuado para que sea el umbral que determine el ancho del pulso, este punto se escoge de tal forma que todas las señales de salida crucen el umbral.

5.4. Recomendaciones para trabajos futuros

Al concluir este documento, surgen ideas y recomendaciones que pueden ser tenidas en cuenta para el desarrollo de otros proyectos.

- ☞ En este trabajo se realizó el diseño de un píxel, pero es necesario replicar y realizar simulaciones de un arreglo completo, para examinar aspectos como sincronismo de las fuentes de alimentación y capacitancias equivalentes extraídas de *layout*.
- ☞ Realizar un estudio más riguroso de los fotodetectores en cuanto a variedad y forma, que brinde algún tipo de control sobre parámetros como *dark current* o eficiencia cuántica,

además de permitir una reducción en el área mínima del fotodetector; que fue un límite de diseño en este proyecto.

- ☞ Modificar el programa geométrico incluyendo características de las etapas anteriores a la de lectura, que brinden un resultado global para incluir todos los transistores.
- ☞ Para continuar con el diseño del sensor es necesario realizar el estudio de los bloques ligados directamente al píxel, el *buffer*, el circuito de polarización y el convertidor analógico-digital; ya que estos proporcionan características que influyen en el desempeño del píxel, y al tener un sistema completo se pueden obtener mejores resultados.

Bibliografía

- [1] O. Yadid-Pecht and R. Etienne-Cummings, *CMOS Imagers: From Phototransduction to Image Processing (Fundamental Theories of Physics)*. Kluwer Academic, 2004.
- [2] J. Ohta, *Smart CMOS Image Sensors and Applications*. CRC Press, Taylor & Francis Group, 2004.
- [3] P. Kallender, “UMC process enables 5-Mpixel CMOS image sensors,” *EETIMES*-<http://www.eetimes.com/story/OEG20010108S0027>, August 2001.
- [4] A. El Gamal and H. Eltoukhy, “CMOS image sensors,” *Circuits and Devices Magazine, IEEE*, vol. 21, no. 3, pp. 6–20, May-June 2005.
- [5] D. Litwiller, “CCD vs CMOS: Facts and Fiction,” *Photonics Spectra*, pp. 154–158, 2005.
- [6] E. R. Fossum, “CMOS Image Sensors: Electronic Camera On A Chip,” *IEEE Transactions On Electron Devices*, vol. 44, no. 10, pp. 1689–1698, October 1997.
- [7] E. R. Fossum, “Active pixel sensors: Are CCD’s Dinosaurs?” *In Proc. SPIE, Charge Coupled Devices and Solid-State Optical Sensors*, vol. 1900, pp. 30–39, 1993.
- [8] A. P. Chandrakasan, D. C. Daly, and Y. K. Ramadass, “Next Generation Micro-Power Systems,” *Symposium on VLSI Circuits*, pp. 2–5, June 2008.
- [9] A. Rothermel, V. Wiczorek, L. Liu, A. Stett, M. Gerhardt, A. Harscher, and S. A. Kibbel, “A 1600-pixel Subretinal Chip with DC-free Terminals and 2V Supply Optimized for Long Lifetime and High Stimulation Efficiency,” *ISSCC*, 2008.
- [10] S. M. Sze, *Physics of Semiconductor Devices*. 2nd Ed.: New York: Wiley, 1981.
- [11] F. Sears, M. Zemansky, and H. y. F. Young, *Física Universitaria. Volumen 2*. Undécima Ed.: Pearson, 2004.

- [12] S. Mendis, S. Kemeny, R. Gee, B. Pain, C. Staller, Q. Kim, and E. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems," *Solid-State Circuits, IEEE Journal of*, vol. 32, no. 2, pp. 187–197, Feb 1997.
- [13] Z. Yang, V. Gruev, and J. der Spiegel, "Low Fixed Pattern Noise Current-mode Imager Using Velocity Saturated Readout Transistors," *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, pp. 2842–2845, May 2007.
- [14] R. Philipp, D. Orr, V. Gruev, J. Van der Spiegel, and R. Etienne-Cummings, "Linear Current-Mode Active Pixel Sensor," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 11, pp. 2482–2491, Nov. 2007.
- [15] V. Gruev, Z. Yang, J. der Spiegel, and R. Etienne-Cummings, "Two Transistor Current Mode Active Pixel Sensor," *Circuits and Systems, 2007. ISCAS 2007. IEEE International Symposium on*, pp. 2846–2849, May 2007.
- [16] K. Kagawa, S. Shishido, M. Nunoshita, and J. Ohta, "A 3.6pW/frame*pixel 1.35V PWM CMOS Imager with Dynamic Pixel Readout and no Static Bias Current," Feb. 2008, pp. 54–595.
- [17] K. Kagawa, S. Sanshiro, and T. Sasaki, "A Low-Voltage PWM CMOS Imager with Small Pixel Size Usin an In-Pixel-Gate-Common Comparator," *IEICE Electronic Express*, pp. 271–276, April 2007.
- [18] A. Belenky, A. Fish, A. Spivak, and O. Yadid-Pecht, "A Snapshot CMOS Image sensors with Extended Dynamic Range," *Solid-State Circuits, IEEE Journal of*, vol. 9, no. 2, pp. 103–111, February 2009.
- [19] C. Xu, W. Zhang, and M. Chan, "A 1.0 VDD CMOS Active Pixel Image Sensor with Complementary Pixel Architecture Fabricated with 0.25 um CMOS Process," *International Solid-State Circuits Conference, IEEE*, vol. 51, no. 4, pp. 779–786, February 2002.
- [20] J. Nakamura, *Image Sensors and Signal Processing for Digital Still Cameras*. CRC Press, Taylor & Francis Group, 2006.
- [21] Y. Huang, "Current-Mode CMOS Image Sensor," MSc. Thesis, University of Waterloo, 2002.
- [22] C.-C. Wang, "A Study of CMOS Technologies for Image Sensor Applications," Ph.D. Thesis, Massachusetts Institute of Tecnology, 2001.

- [23] H. Ji and P. Abshire, "A CMOS image sensor for low light applications," *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 4 pp.–, 0-0 2006.
- [24] K. Yonemoto and H. Sumi, "A CMOS image sensor with a simple fixed-pattern-noise-reduction technology and a hole accumulation diode," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 12, pp. 2038–2043, Dec 2000.
- [25] M. Shouho, K. Hashiguchi, and K. Kagawa, "A Low-Voltage Pulse-Width-Modulation Image Sensor," *Workshop on Charges-Coupled Devices and Advanced Image Sensors*, pp. 226–229, June 2005.
- [26] B. C. Kwang, A. Krymski, and E. R. Fossum, "A 1.5-V 550 uW 176 X 144 Autonomous CMOS Active Pixel Image Sensor," *Transactions on Electron Devices*, vol. 50, no. 1, pp. 187–197, January 2003.
- [27] Z. Fu and E. Culurciello, "A 1.2 mW CMOS Temporal-Difference Image Sensor for Sensor Networks," *IEEE International Symposium on Circuits and Systems, ISCAS*, pp. 235–238, 2008.
- [28] V. Gruev, Z. Yang, and J. Van der Spiegel, "Low power linear current mode imager with 1.5 transistors per pixel," May 2008, pp. 2142–2145.
- [29] A. Fish and O. Yadid-Petch, "Low Power Smart CMOS Image Sensors," *IEEE International Symposium on Circuits and Systems, ISCAS*, pp. 1408 – 1411, Mayo 2008.
- [30] C. Xu, W. Zhang, W.-H. Ki, and M. Chan, "A 1.0-V VDD CMOS active-pixel sensor with complementary pixel architecture and pulsewidth modulation fabricated with a 0.25- μm CMOS process," *Solid-State Circuits, IEEE Journal of*, vol. 37, no. 12, pp. 1853–1859, Dec 2002.
- [31] A. Bermak, "A CMOS imager with PFM/PWM based analog-to-digital converter," in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 4, 2002, pp. IV–53–IV–56 vol.4.
- [32] S. Kleinfelder, S. Lim, X. Liu, and A. E. Gammal, "A 10 000 Frames/s CMOS Digital Pixel Sensor," *Journal of Solid-State Circuits*, vol. 36, no. 12, pp. 2049 – 2059, December 2001.
- [33] F. d. S. Campos, O. Marinov, N. Faramarzpour, F. Saffih, M. J. Deen, and J. W. Swart, "A multisampling time-domain CMOS imager with synchronous readout circuit," in *SBC-*

- CI '07: Proceedings of the 20th annual conference on Integrated circuits and systems design.* New York, NY, USA: ACM, 2007, pp. 53–58.
- [34] Y.-F. Yung and A. Bermak, “A PWM DPS with pixel-level reconfigurable 4/8-bit counter/SRAM,” in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, May 2005, pp. 1754–1757 Vol. 2.
- [35] A. M. M. Chmielewski, “Análise e Projeto de um Sensor De Imagem em 0.35 um CMOS Para Compressao De Dados no Plano Focal De Cámeras Digitais,” MSc. Thesis, Universidade Federal do Rio de Janeiro, 2009.
- [36] Austria Micro Systems , *0.35 um CMOS C350 Process Parameters*. Rev 5.0: Eng-248, 2007.
- [37] M. del Mar Hershenson, “CMOS Analog Design via Geometric Programing,” Ph.D. Thesis, University of Stanford, 1999.
- [38] D. J. Cabrera and J. A. Oliveros, “Aplicación de la programación geométrica en el diseño de amplificadores operacionales integrados en tecnología CMOS,” Proyecto de grado de la Universidad Industrial de Santander, 2006.
- [39] H. I. Gómez and J. A. Salinas, “Diseño de un Comparador Integrado en Tecnología CMOS,” Proyecto de grado de la Universidad Industrial de Santander, 2009.
- [40] Austria Micro Systems , *0.35 um CMOS C35 Matching Parameters*. Rev 5.0: Eng-228, 2007.