

**DISEÑO DE UN CONVERTOR  
DIGITAL-ANALÓGICO INTEGRADO  
PARA UN TRANSMISOR DE RF EN  
TECNOLOGÍA CMOS.**

Hugo Daniel Hernández Herrera

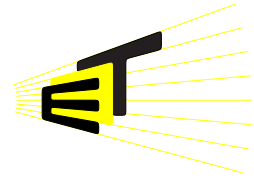
Universidad Industrial de Santander  
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones

Bucaramanga - Agosto del 2005



**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y DE TELECOMUNICACIONES  
Perfecta combinación entre Energía e Intelecto

---



## **DISEÑO DE UN CONVERTSOR DIGITAL-ANALÓGICO INTEGRADO PARA UN TRANSMISOR DE RF EN TECNOLOGÍA CMOS.**

**HUGO DANIEL HERNÁNDEZ HERRERA**

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. ELKIM FELIPE ROA FUENTES

Ingeniero Electricista

**UNIVERSIDAD INDUSTRIAL DE SANTANDER**  
**ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y**  
**TELECOMUNICACIONES**  
**BUCARAMANGA**  
**2005**

## AGRADECIMIENTOS

El autor expresa sus agradecimientos:

A la UNIVERSIDAD INDUSTRIAL DE SANTANDER, Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones por haberme formado como Ingeniero Electrónico.

A mi madre Isabel Herrera por ser la persona que siempre ha estado conmigo brindándome todo su cariño, y a mi familia por darme las fuerzas para continuar por este camino.

Al grupo CIDIC y a todos sus miembros por haber cultivado en mi el gusto por la Micro-electrónica.

Al profesor MSc. ELKIM FELIPE ROA FUENTES, a quien le debo mi formación intelectual como diseñador de circuitos integrados.

# TITULO: DISEÑO DE UN CONVERTOR DIGITAL-ANALÓGICO INTEGRADO PARA UN TRANSMISOR DE RF EN TECNOLOGÍA CMOS\*.

**Autor:** Hugo Daniel Hernández Herrera \*\*

**Palabras claves:** convertor digital-analógico, DAC, SFDR, INL, DNL, ruido de cuantización, mismatch.

## Descripción

Este proyecto plantea el diseño de un DAC integrado, para ser utilizado dentro de la etapa de transmisión de un transceiver RF en tecnología CMOS. El dispositivo diseñado cumple con las especificaciones de un DAC en el estándar de modulación Bluetooth.

El proyecto fue realizado con el apoyo de una minuciosa documentación bibliográfica, conociendo en detalle los diferentes aspectos que encierran el diseño de un DAC, lo cual permitió elaborar la estrategia de diseño propuesta, obteniendo los resultados esperados. De esta manera se resalta la importancia que tiene dentro de un buen diseño, el realizar un análisis teórico profundo de los fenómenos estáticos: variación de la resistencia de salida, mismatch, ruido de cuantización; y de los fenómenos dinámicos: tiempo de establecimiento, no-linealidad en la conmutación, CFT, glitches. La estrategia de diseño utilizada, está basada en un esquema iterativo donde se realizan diferentes diseños para diferentes valores de corriente LSB, tratando de alcanzar todos los requerimientos reduciendo al mínimo las dimensiones de los transistores.

El diseño del DAC también incluye la elaboración del layout el cual está enfocado a reducir el efecto del mismatch. En las simulaciones del diseño final se obtuvieron los siguientes resultados:  $N=12$ bits,  $INL < 0.18$ LSB,  $DNL < 0.04$ LSB y  $SFDR=74$ dB (a 1MHz con una frecuencia de reloj de 200MHz). El DAC es diseñado y simulado en tecnología CMOS de  $0.35\mu m$ .

---

\*Modalidad: trabajo de grado

\*\*Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes

**TITLE: DESIGN OF A DIGITAL-TO-ANALOG CONVERTER  
INTEGRATED FOR A TRANSMITTER OF RF IN CMOS TECHNOLOGY\*.**

**Autor:** Hugo Daniel Hernández Herrera \*\*

**Key words:** digital-analog converter, DAC, SFDR, INL, DNL, quantization noise, mismatch, glitches, layout.

**Descripción**

This project raises the design of an integrated DAC, to be used within the stage of transmission of transceiver RF in CMOS technology. The designed device fulfills the specifications of transceiver RF used in applications of reach short, in the Bluetooth standard.

The project was made with the support of a meticulous bibliographical documentation, knowing in detail the different aspects about the design of a DAC, which allowed to elaborate the propose design strategy, obtaining the hoped results. In this way, it raises of a good design importance, made off deep theoretical analysis of the static phenomena: finite output resistance, mismatch, quantization noise; and of the dynamic phenomena: settling errors, Clockfeedthrough(CFT), glitches. The used design strategy is based on an iterative scheme where different designs for different values from current LSB are made, trying to fulfill all the requirements reducing to the minimum the transistors dimensions.

The design of the DAC also includes the elaboration of layout which is focused to reduce the effect of mismatch. Final design simulations achieved the following results: N=12bits, INL<0.18LSB, DNL<0.04LSB y SFDR=74dB (for a 1MHz input signal at a sample frequency of 200MHz).The DAC is designed and simulated in 0.35 $\mu$ m CMOS technology.

---

\*Modality: degree work

\*\*Physics-Mechanics Engineerings Faculty. Electrical, Electronic and Telecommunications Engineerings School. Director: MSc. Elkim Felipe Roa Fuentes.

# Contenido general

<b>1. Introducción</b>	<b>1</b>
1.1. Motivación . . . . .	2
1.2. Organización del documento . . . . .	3
1.3. Consideraciones generales . . . . .	3
1.3.1. Definición de un DAC. . . . .	4
1.3.2. Comportamiento estático . . . . .	5
1.3.3. Comportamiento dinámico . . . . .	9
1.3.4. Medidas del comportamiento en el dominio de la frecuencia . . . . .	11
1.3.5. Características de un DAC dentro de un <i>transceiver</i> . . . . .	12
<b>2. Selección de la arquitectura del DAC</b>	<b>17</b>
2.1. Arquitecturas de DACs . . . . .	17
2.1.1. Arquitectura <i>current-steering</i> . . . . .	19
2.1.2. Posibles configuraciones de DACs en <i>current-steering</i> . . . . .	21
2.2. Descripción de la arquitectura . . . . .	25
2.2.1. Fuentes de corriente . . . . .	27
2.2.2. <i>Switches</i> . . . . .	27
<b>3. Requerimientos del comportamiento estático</b>	<b>31</b>
3.1. Resistencia de salida finita . . . . .	32
3.2. Requerimientos debido al <i>Mismatch</i> . . . . .	37
3.2.1. Variaciones de corta distancia . . . . .	39
3.2.2. Variaciones por la separación entre los dispositivos . . . . .	40
3.2.3. Variaciones de proceso en un transistor MOS . . . . .	40
3.2.4. Variaciones de proceso en una configuración segmentada . . . . .	41
3.2.5. Selección de $N_{seg}$ . . . . .	42

3.2.6.	Efectos del <i>mismatch</i> sobre la polarización de las fuentes de corriente	45
3.3.	Requerimientos de ruido de cuantización	46
3.3.1.	Cálculo de la densidad de ruido de cuantización para una configuración segmentada diferencial	47
3.3.2.	Cálculo de la densidad de ruido térmico para una configuración segmentada diferencial	48
<b>4.</b>	<b>Requerimientos del comportamiento dinámico</b>	<b>51</b>
4.1.	Requerimiento de tiempo de establecimiento	51
4.2.	Características de la señal de conmutación	56
4.3.	Clock Feedthrough (CFT)	57
4.4.	No-linealidad en la conmutación	59
<b>5.</b>	<b>Estrategia de Diseño</b>	<b>63</b>
5.1.	Fuentes de corriente	64
5.2.	Estrategia de diseño del <i>latch</i>	77
<b>6.</b>	<b>Layout, conclusiones y recomendaciones</b>	<b>87</b>
6.1.	Realización del <i>layout</i>	87
6.1.1.	Características geométricas	88
6.1.2.	Características de orientación	89
6.1.3.	Características de ubicación	90
6.2.	Especificaciones del DAC	96
6.3.	Conclusiones y observaciones	99
6.4.	Recomendaciones para trabajos futuros	102
<b>A.</b>	<b>Setup de simulación</b>	<b>105</b>
A.1.	Simulación de la respuesta transitoria del DAC	105
A.2.	Simulación de la respuesta en frecuencia del DAC	106
A.3.	Simulaciones de <i>Monte Carlo</i>	107

# Capítulo 1

## Introducción

La demanda de sistemas portátiles de comunicación se ha incrementado considerablemente en los últimos años, debido a la necesidad del hombre moderno de estar permanentemente en contacto con otras personas en cualquier parte del mundo. Gracias a la importancia que han adquirido estos sistemas, los diseñadores de circuitos integrados en el campo de las comunicaciones inalámbricas, se han dedicado a la realización de sistemas de comunicación que puedan ser implementados en un solo *chip*. Para lograr estas características se debe integrar el procesamiento digital con la parte analógica de estos sistemas, de manera que todo un transmisor y receptor inalámbrico *transceiver*, pueda construirse dentro de una pastilla de silicio. Esta unión sólo es posible mediante dispositivos de conversión digital-analógico (DAC) y analógico-digital (ADC), que permitan la interacción de estas dos etapas. Por esta razón, los conversores de datos cobran una gran importancia dentro del campo del diseño microelectrónico.

Un DAC permite que las señales digitales sean transformadas a señales que puedan ser utilizadas dentro de sistemas analógicos. En un *transceiver* se utiliza un conversor digital-analógico dentro de la etapa de transmisión, el cual permite que las señales procesadas digitalmente puedan ser transmitidas en forma analógica a otras estaciones. De esta manera un *transceiver* puede compartir la capacidad de procesamiento con estaciones remotas, ofreciendo a los usuarios nuevos y mejores servicios.

Cuando se utiliza un conversor digital-analógico dentro de cualquier sistema electrónico, es necesario que este dispositivo cumpla con las especificaciones que requiere dicho sistema. Un DAC está caracterizado por medio de las medidas del comportamiento estático y del comportamiento dinámico, las cuales permiten seleccionar un determinado DAC de acuerdo con los requerimientos de la aplicación. En los sistemas de telecomunicación, un DAC debe

tener una alta velocidad y una alta exactitud debido a los requerimientos de ancho de banda y de rango dinámico que este tipo de sistemas exigen. Adicionalmente, estos dispositivos deben disipar baja potencia y ocupar una reducida área, condiciones requeridas para implementar sistemas portables. De esta forma el diseño de un DAC para ser empleado en este tipo de aplicaciones, debe estar encaminado a cumplir con estas características.

El cumplimiento de los requerimientos de un DAC utilizado en *transceivers*, hace necesario la utilización de una adecuada tecnología de fabricación, que permita contar con altas velocidades de operación, un alto grado de inmunidad al ruido y a espurios de señal, una baja disipación de potencia y un alto nivel de integración. La tecnología *bipolar* permite la implementación de DACs de alta velocidad, pero de muy alta disipación de potencia (0.6 a 1.3 W) [1]. La tecnología CMOS ofrece muchas ventajas a la hora de la elaboración de estos sistemas: brinda la posibilidad de implementar la etapa digital y la etapa analógica dentro de un mismo circuito integrado, reduciendo los costos y el área requerida; permitiendo al mismo tiempo tener una baja disipación de potencia y altas velocidades de conversión.

Este proyecto plantea el diseño de un DAC, para ser utilizado dentro de la etapa de transmisión de un *transceiver* integrado en tecnología CMOS, empleado en aplicaciones de corto alcance cumpliendo con las especificaciones mínimas del estándar *Bluetooth*.

Para tratar de obtener un diseño adecuado donde exista un compromiso entre el valor de las especificaciones, la potencia disipada y el área ocupada, es necesario conocer en detalle cada una de las especificaciones y características del DAC. Por esta razón en este capítulo se realizará un breve resumen de las especificaciones y características de un convertor digital-analógico, y el valor de las especificaciones de un DAC utilizado dentro del estándar *Bluetooth*.

## 1.1. Motivación

Este trabajo fue realizado paso a paso, desglosando cada una de las consideraciones que implica la implementación de un DAC para la aplicación en *transceiver*, tratando de que el lector comprenda de manera detallada cada etapa de la estrategia de diseño y conozca cada una de las especificaciones de un convertor digital-analógico. De esta manera, el presente documento servirá como guía para la realización de futuros trabajos donde se requiera seleccionar ó diseñar un DAC con estas características.

Cada uno de estos capítulos están apoyados en una fuerte documentación bibliográfica, por lo cual se invita al lector que desee diseñar un DAC, que a medida que avance a través del texto, haga una lectura de los artículos y libros incluidos en la bibliografía, para que conozca

profundamente cada una de las consideraciones que se manejan en este documento.

En el transcurso de diseño se utilizan expresiones proporcionadas en algunos estudios que se han llevado a cabo sobre el diseño de DACs. Sin embargo, antes de usar una de estas ecuaciones, se trata de mostrar la manera en que fueron deducidas y las condiciones en que pueden ser empleadas, para estar seguros de la validez de los resultados obtenidos.

En la elaboración de la estrategia que se empleó en la realización del diseño, se combinaron, adaptaron y mejoraron algunas metodologías de diseño de DACs presentes en la literatura, buscando tomar lo mejor de cada una de ellas. Para determinar el alcance de la estrategia de diseño que plantea este documento, se realizó en el *capítulo 6* un resumen de las especificaciones obtenidas al finalizar el diseño, y de esta manera poder utilizar como punto de referencia los trabajos que se han realizado sobre este tema en la literatura. Los resultados fueron gratificantes y demuestran de cierta manera, que se pueden diseñar y tal vez implementar DACs integrados en Colombia.

## 1.2. Organización del documento

El desarrollo del diseño en este documento esta organizado de la siguiente manera: las consideraciones generales son presentadas en la *sección 1.3* con el propósito de introducir las diferentes especificaciones usadas en el diseño de un DAC. El criterio de selección de la arquitectura con la cual se realizó el diseño, se discute en el *capítulo 2*, donde se expone cada una de las arquitecturas presentes en la literatura, así como las ventajas y desventajas de cada una de ellas. En los *capítulos 3 y 4* se realiza un análisis de cada uno de los requerimientos estáticos y dinámicos que se deben tener en cuenta en la realización del diseño de un DAC en la arquitectura seleccionada. La estrategia que se empleó en la realización del diseño y los cálculos efectuados para la selección de un valor adecuado para cada una de las variables, se muestran en el *capítulo 5*. Adicionalmente, en el *capítulo 6* se incluye la elaboración del *layout* del DAC diseñado en tecnología CMOS de  $0,35\mu m$ , así como también los resultados, observaciones, conclusiones y recomendaciones obtenidas al culminar el trabajo de diseño.

## 1.3. Consideraciones generales

A continuación se realiza un breve resumen de las particularidades de un conversor digital-analógico, dentro de las cuales se incluyen las características de la señal a la salida, las consideraciones del comportamiento estático, del comportamiento dinámico y las medidas

en el dominio de la frecuencia, permitiendo así el uso de estos conceptos a lo largo de este documento. Al final de esta sección, se discuten las características que debe tener un DAC dentro de la etapa de transmisión de un *transceiver* en el estandar *Bluetooth*, lo cual nos permitirá determinar y conocer las especificaciones que debe alcanzar el diseño.

### 1.3.1. Definición de un DAC.

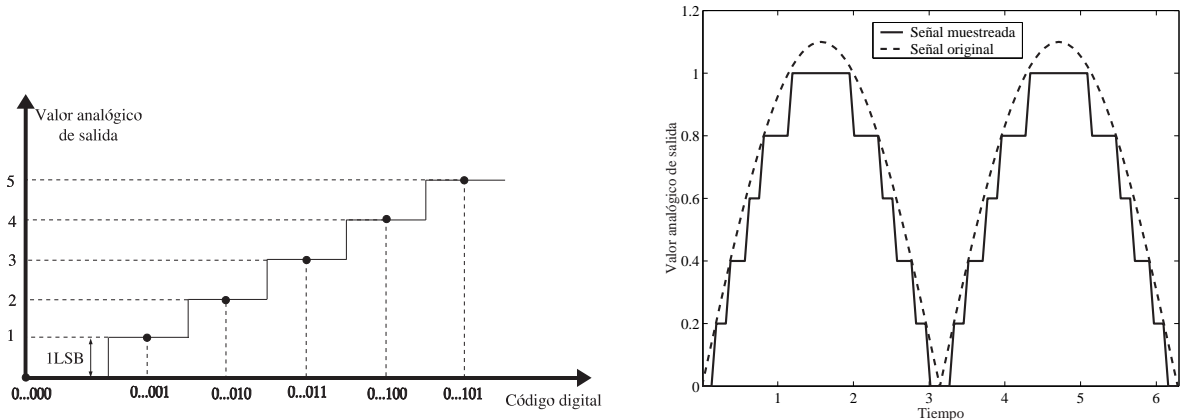
Un conversor digital-analógico es un dispositivo que representa un número de salidas analógicas discretas para un número limitado de códigos digitales de entrada, de tal manera que para una determinada palabra digital de entrada corresponde un único valor analógico, como se muestra en *figura 1.1a*. Un DAC genera una señal analógica continua a partir de muestras tomadas de la señal original, las cuales están representadas digitalmente. Cada una de estas muestras deben ser entregadas al conversor a la misma frecuencia de muestreo, para de esta forma poder recuperar la señal original de acuerdo con el *teorema del muestreo*. De esta forma a la salida de un DAC se tiene una señal modulada por amplitud de pulsos (*PAM*), como la mostrada en la *figura 1.1b*. Esta señal se describe en frecuencia según la formula de *Poisson* [2]:

$$\bar{A}(w) = \frac{1}{T} \sum_{k=-\infty}^{\infty} A(\omega T - 2\pi k)P(\omega T) \quad (1.1)$$

Donde  $T$  es el periodo de muestreo,  $A(\omega)$  es la transformada de *Fourier* de la señal original, y  $P(\omega)$  corresponde a la transformada de *Fourier* de una señal cuadrada  $p(t)$ :

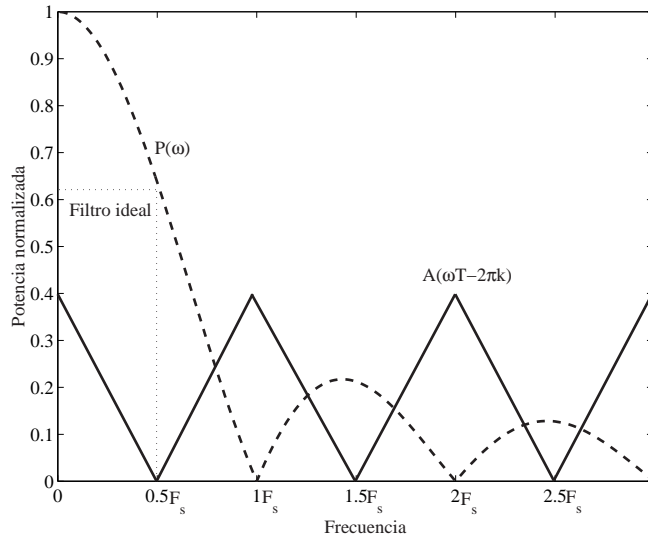
$$P(w) = TF\{p(t)\} = \frac{\text{sen}(\omega T)}{\omega T} \quad (1.2)$$

Es posible considerar el espectro de la señal de salida del conversor como el producto de  $P(\omega)$  y de  $A(\omega T - 2\pi k)$  tal como se muestra en la *figura 1.1c*. En esta figura  $A(\omega)$  tiene un ancho de banda igual a la mitad de la frecuencia de entrega de datos ( $F_s$ ). Según el *teorema del muestreo*, para poder recuperar la señal original sin perdida de información,  $F_s$  debe ser mayor o igual al doble del ancho de banda de la señal mensaje, lo cual se puede deducir de la *figura 1.1c*. Esta condición determina la mínima frecuencia de conversión para un determinado ancho de banda de la señal. Para recuperar el espectro de la señal original, es necesario emplear un filtro pasa bajos que elimine la parte del espectro indeseado de la señal de salida del DAC, el cual para el peor caso (sucede cuando el ancho de banda de la señal es igual a al mitad de  $F_s$ ), debe ser un filtro pasa bajos ideal tal como se muestra en la *figura 1.1c*.



(a) función de transferencia

(b) Características de la señal de salida



(c) Características del espectro de la señal de salida

Figura 1.1: Características de un DAC

### 1.3.2. Comportamiento estático

Para analizar el comportamiento estático del DAC es necesario considerar que la conmutación entre los diferentes niveles de conversión, se realiza instantáneamente sin considerar el efecto transitorio. Las fuentes de error estático más comunes que afectan el comportamiento del convertidor digital-analógico, se resumen a continuación:

- **Ruido de cuantización**

Debido a la limitada resolución de un DAC, al comparar la señal a la salida del convertidor con la señal analógica deseada, estas no serán iguales. La diferencia entre dos señales

se denomina error de cuantización o truncamiento. La siguiente expresión matemática describe este error:

$$Vq = X(t) - X(kT) \quad k = 0, 1, 2, \dots, n \quad (1.3)$$

Donde  $X(kT)$  es la señal muestreada con un periodo  $T$  y  $X(t)$  es la señal original. Para determinar la potencia del error de cuantización ( $V_q$ ), aplicamos una señal rampa a la entrada del convertidor y encontramos el error de cuantización en el tiempo utilizando la ecuación (1.3), suponiendo que la frecuencia de entrega de datos es pequeña y por lo tanto no hay error de establecimiento durante la conmutación. Esta situación se describe en la *figura 1.2a*. El valor *RMS* de la señal de error, considerando que esta señal es de tipo diente de sierra (*figura 1.2b*) con periodo  $T$  y pendiente  $\frac{\Delta}{T}$ :

$$V_{qRMS} = \sqrt{\frac{1}{T} \cdot \int_{-\frac{T}{2}}^{\frac{T}{2}} \Delta^2 \left(\frac{t}{T}\right)^2 dt} = \sqrt{\frac{\Delta^2}{T^3} \cdot \left(\frac{(T/2)^3}{3} - \frac{(-T/2)^3}{3}\right)} = \frac{\Delta}{\sqrt{12}} \quad (1.4)$$

Donde  $\Delta$  es el incremento del voltaje de salida en un paso de conversión. De esta manera, la potencia del error de cuantización ( $R = 1\Omega$ ) está dado por:

$$P_q = \frac{V_{qRMS}^2}{R} = \frac{V_{qRMS}^2}{1\Omega} = \frac{\Delta^2}{12} \quad (1.5)$$

Si la resolución del convertidor es razonablemente grande (mayor que 4 o 5 bits), el error de cuantización o truncamiento puede ser considerado como ruido blanco distribuido en el ancho de banda de conversión, es decir, en las frecuencias entre  $0 < F < F_s/2$ . De

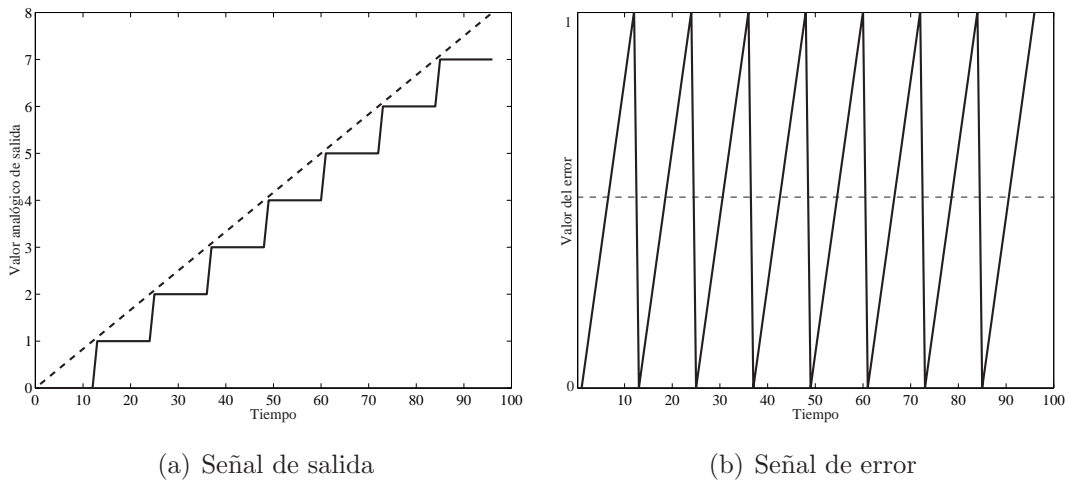


Figura 1.2: *Ruido de cuantización en un DAC [2]*

esta manera, la densidad espectral de potencia del denominado ruido de cuantización estará dado por [2]:

$$S_q(f) = \frac{1}{F_s/2} \cdot \frac{\Delta^2}{12} = \frac{\Delta^2}{6F_s} \quad (1.6)$$

Teniendo en cuenta estas características, el ruido de cuantización será una limitante para el requerimiento de relación señal a ruido (SNR) a la salida del conversor. Para hacer el cálculo de SNR teniendo en cuenta el ruido de cuantización, se introduce un tono y se toma la relación entre la potencia de la señal de entrada sobre la potencia de ruido de cuantización (ecuación (1.5)). La máxima amplitud (AC) de una señal senoidal a la salida del DAC es  $\Delta \cdot 2^{N-1}$  y por lo tanto:

$$P_s = \frac{[\Delta \cdot (2^N - 1)]^2}{2} \quad (1.7)$$

De esta forma, el valor de SNR en *dB* esta dado por:

$$SNR = 10 \log_{10} \left\{ \frac{[\Delta \cdot (2^N - 1)]^2 / 2}{\Delta^2 / 12} \right\} \approx 6,02 \cdot N + 1,76 \quad dB \quad (1.8)$$

Esta ecuación será utilizada más adelante para calcular el número de bits necesarios para el DAC, de manera que se cumpla con el requerimiento de SNR del estándar *Bluetooth*.

#### ■ **Error de *offset***

El error de *offset* en un conversor digital analógico se define como un nivel de DC que esta sumado a la función de transferencia ideal del conversor. De esta manera a la salida del DAC tendremos una componente de señal adicionada a un componente de DC. El *offset* puede determinarse encontrando el promedio del error entre el valor obtenido y el valor esperado idealmente, para la función de transferencia del conversor [2]:

$$A_{offset} = \frac{1}{2^N} \cdot \sum_{k=0}^{2^N-1} (\bar{A}_k - A_k) \quad k = 0, 1, 2, \dots, n \quad (1.9)$$

Donde  $\bar{A}_k$  es la función de transferencia ideal esperada y  $A_k$  representa la función de transferencia real obtenida en el diseño del DAC. Habitualmente este error se expresa como un porcentaje del voltaje de escala completa utilizando la ecuación (1.9):

$$A_{offset} = \frac{\frac{1}{2^N} \cdot \sum_{k=0}^{2^N-1} (\bar{A}_k - A_k)}{\Delta \cdot (2^N - 1)} \quad (1.10)$$

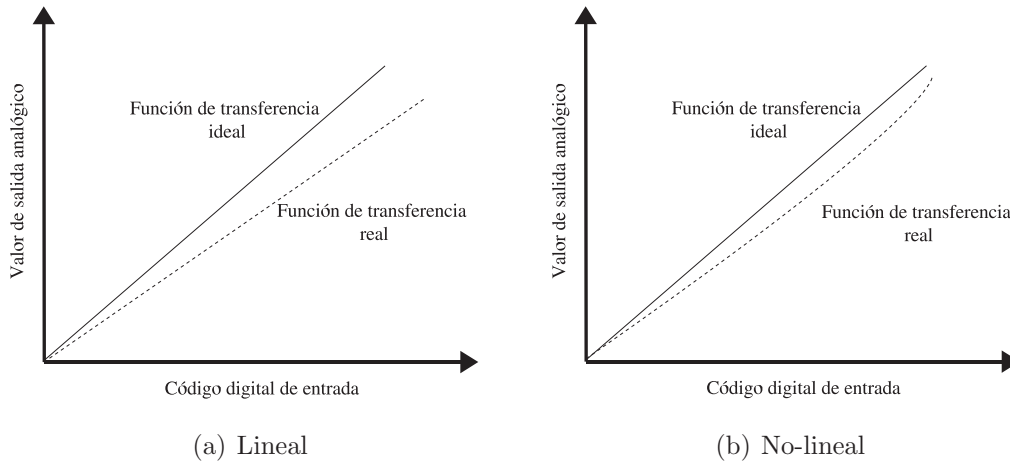


Figura 1.3: *Error de ganancia en un conversor digital-analógico*

- **Error de ganancia**

Este tipo de error se considera como una desviación de la pendiente de la función de transferencia del conversor, con respecto a la esperada idealmente. El error de ganancia se dividen en error de ganancia lineal (*figura 1.3a*) la cual no introduce distorsión y error de ganancia no-lineal (*figura 1.3b*) la cual sí introduce distorsión armónica en la señal de salida [2]. Para medir la no-linealidad de la función de transferencia del DAC, se utilizan los parámetros DNL e INL, los cuales son dos especificaciones de gran importancia para caracterizar el comportamiento estático del conversor digital-analógico.

- **No linealidad diferencial (DNL)**

Se define como la diferencia entre dos niveles consecutivos, menos un paso de conversión  $\Delta$ :

$$DNL_k = \frac{|A_k - A_{k-1} - \Delta|}{\Delta} \quad k = 0, 1, 2 \dots n \quad (1.11)$$

Donde  $A_k$  es el nivel de la señal de salida actual,  $A_{k-1}$  representa el nivel anterior y  $\Delta$  corresponde al paso de conversión, características que se muestra en la *figura 1.4*<sup>1</sup>. Este parámetro se especifica en función del nivel para el bit menos significativo (LSB). El mínimo valor permitido para este error es de  $1LSB$ , ya que para que el conversor sea monótono<sup>2</sup> en el peor de los casos se debe cumplir que  $A_k = A_{k-1}$ .

<sup>1</sup>adaptado de [2].

<sup>2</sup>Un DAC es monótono cuando para cualquier incremento en la entrada siempre hay incremento del valor de salida, es decir, se cumple que  $A_k > A_{k-1}$ .

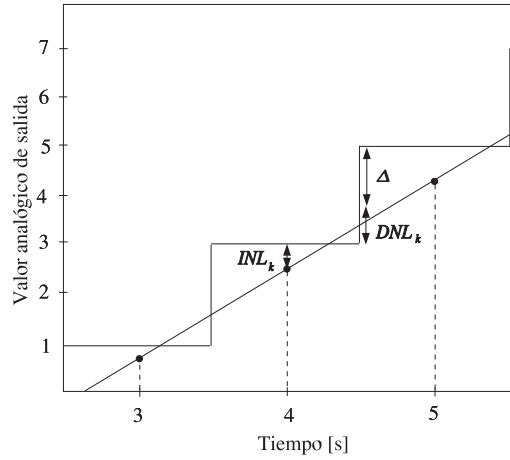


Figura 1.4: Características del error DNL e INL

- **No linealidad integral (INL)**

Se define como la diferencia entre los niveles correspondientes de la señal de salida ideal y la señal de salida real del convertor (*figura 1.4*).

$$INL_k = \frac{|\bar{A}_k - A_k|}{\Delta} \quad k = 0, 1, 2, \dots, n \quad (1.12)$$

Donde  $\bar{A}_k$  corresponde al valor del nivel de la señal de salida ideal y  $A_k$  representa el nivel de la señal de salida real. Al igual que el DNL, el error INL se especifica en función del nivel para el bit menos significativo (LSB). El mínimo valor para este parámetro es de  $0.5LSB$ , la cual es la condición mínima para que el convertor sea monótono, como se puede deducir de la *figura 1.4*.

En este documento serán útiles las siguientes relaciones, obtenidas de la ecuación (1.11) y (1.12) [3]:

$$DNL_k = INL_k - INL_{k-1} \quad (1.13)$$

$$DNL_k = INL_0 + \sum_{i=1}^k DNL_i \quad (1.14)$$

### 1.3.3. Comportamiento dinámico

En los sistemas de radio de banda ancha y en los sistemas de alta velocidad de acceso a internet, los convertidores digitales-analógicos de alta velocidad tienen una gran importancia.

En estas aplicaciones, el comportamiento dinámico es una de las consideraciones más significativas dentro del diseño de estos dispositivos. En un DAC el comportamiento dinámico esta determinado por los siguientes factores [2]:

- **Error de establecimiento**

Los cambios de nivel en la señal de salida producidos por variaciones de la palabra digital de entrada, no ocurren instantáneamente, se necesita de un tiempo para que la señal se establezca. Esto se debe a las capacitancias presentes en cada nodo del convertor. Si la velocidad a la cual se entrega los datos es superior a este tiempo, se presentaran errores en la conversión, ya que la señal de salida no alcanza a establecerse correctamente al valor requerido. El tiempo que le toma a la salida en establecer al valor final, con un error de 0,1 %, se denomina tiempo de establecimiento ( $T_e$ ); este tiempo debe ser menor que el periodo de entrega de datos del convertor en el peor de los casos de conmutación, para garantizar que no se presenten errores de establecimiento.

- **Glitches**

Los *glitches* en un convertor digital-analógico, se presentan cuando el tiempo de conmutación de los diferentes bits no es el mismo. Esto hace que a la salida del DAC se presenten códigos falsos, que por periodos cortos de tiempo difieren del valor de salida deseado. Este fenómeno es crítico cuando ocurre la conmutación de mitad de escala, es decir de  $011 \dots 1$  a  $100 \dots 0$ , ya que se puede presentar el estado intermedio  $111 \dots 11$  (valor máximo de salida) en un corto tiempo. El *glitch* es una señal de error que se adiciona a la señal de salida y degrada el valor de la especificación de SFDR del convertor. El valor del *glitch* se caracteriza a través de la medida de la potencia del *glitch*, la cual está dada por la integral en el tiempo de la señal que supera el valor estable

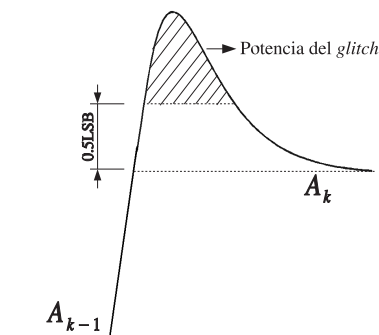


Figura 1.5: Características de la medida de la potencia del glitch.

deseado en medio paso de conversión (0.5LSB), tal como se ilustra en la *figura 1.5*. Esta medida se da en  $ps \cdot V$  [3].

- ***Clock FeedThrough (CFT)***

Cuando un transistor MOS es usado como interruptor, se presenta un acople capacitivo entre la señal que controla la conmutación y el nodo de salida debido a las capacitancias  $C_{gs}$  y  $C_{gd}$  del transistor. Este acople genera picos de voltaje a la salida del DAC: cuando la señal de conmutación cambia de estado (alto-bajo o bajo-alto) el voltaje en los terminales de la capacitancia de acople varía bruscamente, lo cual produce una corriente pico que se adiciona a la señal de salida del convertor. La magnitud de esta corriente depende de las dimensiones del transistor usado como interruptor y de la variación de voltaje en los terminales de la capacitancia de acople.

### 1.3.4. Medidas del comportamiento en el dominio de la frecuencia

Para un DAC, medidas como *INL*, *DNL*, *tiempo de establecimiento* no son suficientes para la caracterización de su comportamiento. Es más conveniente la utilización de medidas en el dominio de la frecuencia, las cuales permiten caracterizar tanto el comportamiento estático como el comportamiento dinámico del convertor en una sola medida [3]. Para llevar a cabo una medida en dominio de la frecuencia, se introduce al DAC un tono a la frecuencia de interés y sobre la transformada de *Fourier* de la señal de respuesta, se realiza la medida. En esta sección definiremos las medidas en el dominio de la frecuencia que serán utilizadas para caracterizar el diseño del convertor digital-analógico, cuyo valor está determinado por los requerimientos del estandar *Bluetooth*:

- Distorción armónica total (THD).
- Relación señal-ruido (SNR).
- Rango dinámico libre de espurios (SFDR).

$$THD = \sum_{k=2}^n 10 \cdot \log_{10} \left[ \frac{PotenciaArmónico_k}{PotenciaArmónico_1} \right] \quad (1.15)$$

$$SNR = 10 \cdot \log_{10} \left[ \frac{Potencia_{señal}}{Potencia_{Ruido-cuantización}} \right] \quad (1.16)$$

$$SFDR = 10 \cdot \log_{10} \left[ \frac{Potencia_{señal}}{Potencia_{Espurios}} \right] \quad (1.17)$$

Cabe aclarar que en la medida del SNR se excluyen las componentes armónicas. En el diseño de un DAC cobra una gran importancia el valor de SFDR, ya que esta medida tiene en cuenta todo espurio en frecuencia que se encuentre en el ancho de banda de conversión  $0 < F < F_s/2$ , incluyendo distorsión armónica que genera la no-linealidad de la función de transferencia del conversor, el ruido de cuantización y los espurios en frecuencia que generan los problemas del comportamiento dinámico. De una u otra manera, el SFDR encierra la medida de THD y SNR. Un ejemplo de esta afirmación se presenta si consideramos la siguiente aproximación (expresada en escala lineal) [3]:

$$THD \approx \frac{1}{SFDR} \quad (1.18)$$

La cual es válida si se trata de componentes armónicas y si el armónico de mayor potencia es mucho más grande que los demás.

En los DACs utilizados en telecomunicación es necesario estudiar la linealidad del conversor en la frecuencia de ancho de banda. Para esto se utiliza la medida de distorsión de intermodulación, la cual consiste en introducir dos tonos de igual potencia y de frecuencias muy cercanas ( $F_1$  y  $F_2$ ), midiendo la relación que existe entre los armónicos fundamentales y los armónicos que aparecen en las frecuencias  $k \cdot F_1 + m \cdot F_2$ , donde  $m$  y  $k$  son números enteros diferentes de cero. En resumen, la medida de distorsión de intermodulación en decibeles está dada por:

$$IMD_{k,m} = 10 \cdot \log_{10} \left[ \frac{P_{k,m}}{P_1} \right] \quad (1.19)$$

Donde  $P_1$  es la potencia de los armónico fundamentales y  $P_{k,m}$  es la potencia del armónico  $(k, m)$ .

### 1.3.5. Características de un DAC dentro de un *transceiver*

Un *transceiver* RF es un sistema de transmisión y recepción inalámbrica de señales, el cual permite comunicar de forma remota dos o más estaciones que requieran intercambiar información. Estos dispositivos pueden ser implementados utilizando diferentes arquitecturas entre las cuales destacamos: *Superheterodina*, *Baja frecuencia intermedia* y *Conversión directa* [4]. En la *figura 1.6* se indica el diagrama de bloques de un *transceiver* RF en la arquitectura de *Conversion directa*, donde se ilustra cómo dentro de estos sistemas la información procesada digitalmente, es enviada a otras estaciones utilizando una etapa de transmisión *RF*, lo cual requiere que las señales digitales deban ser convertidas a señales analógicas por medio de un DAC.

Un dispositivo DAC utilizado dentro de un *transceiver* debe cumplir con especificaciones de ancho de banda, SFDR, THD, SNR, INL, DNL y disipación de potencia. Estas especificaciones están determinadas por las características del sistema de transmisión de *RF*: La velocidad de conversión (*muestras/segundo*) del DAC debe ser por lo menos 2 veces el ancho de banda del canal a transmitir (*teorema del muestreo*). El rango dinámico, la distorsión armónica y la relación señal a ruido a la salida del conversor, debe permitir que las características de la señal transmitida cumplan con las especificaciones mínimas del estándar de modulación utilizado. El error DNL e INL deben tener un valor máximo de 1LSB y 0.5LSB respectivamente, lo cual garantiza que la conversión sea monótona [3] (esta condición debe ser garantizada en el diseño de cualquier DAC). Como ya se mencionó, en este proyecto el diseño se realizará para el estándar de modulación *Bluetooth*.

El estándar *Bluetooth* es utilizado en teléfonos móviles, modems, PDAs, computadoras, impresoras y sistemas de comunicación de corto alcance. Este estándar emplea la banda ISM (Industrial Scientific Medical ) de  $2,4GHz$  abierta a cualquier aplicación, la cual inicia en  $2,402GHz$  y finaliza en  $2,483GHz$ , utilizando 79 canales de  $1MHz$ . En la *tabla 1.1* se resumen algunas de las características del estándar *Bluetooth* [4].

De esta manera el diseño de un DAC para ser utilizado dentro de este estandar, debe tener en cuenta las siguientes consideraciones:

- El SFDR debe superar la mínima emisión de espurios del transmisor (50dB). Teniendo en cuenta que la etapa de transmisión de RF introduce espurios en frecuencia a la señal que se desea transmitir, el diseño del DAC debe obtener un valor SFDR que supere el

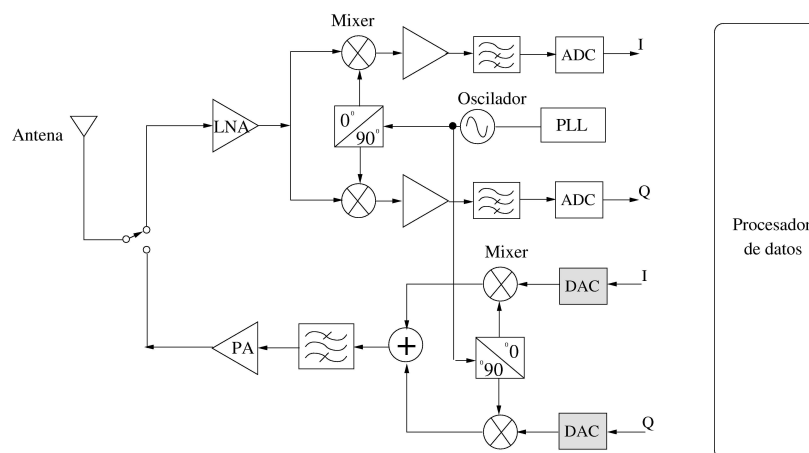


Figura 1.6: Diagrama de bloques de un transceiver

Tabla 1.1: *Especificaciones del estandar Bluetooth [4]*

Banda de frecuencias	2,402GHz – 2,483GHz
Ancho de banda del canal	1MHz
Número de canales	79
Velocidad de transmisión	1Mbps
Potencia de portadora	1mW
Tipo de modulación	GFSK
Emisión mínima de espurios	50dBc
BER del receptor	$< 1 \times 10^{-5}$

valor de emisión de espurios mínimo permitido.

En este documento no se indica un valor exacto de SFDR requerido en las especificaciones del diseño, sin embargo, el lector se dará cuenta cómo la estrategia de diseño utilizada trata de optimizar esta especificación, de tal manera que podamos superar con creces el valor mínimo que exige el estándar *Bluetooth*, considerando la influencia de la etapa de transmisión de RF sobre esta especificación. A lo largo del texto el requerimiento de SFDR se indica como  $SFDR > 50dB$

- El valor de SNR a la salida del conversor debe permitir una baja tasa de error de bits (BER), de acuerdo con la modulación GFSK (*Gaussian Frequency Shift Keying*) y las características de transmisión del estandar *Bluetooth*.

Como se mencionó anteriormente el valor de SNR está determinado por el número de bits del conversor, de acuerdo con la ecuación (1.8), lo cual obliga a seleccionar un determinado valor de  $N$  para obtener una baja probabilidad de error<sup>3</sup>( $P_e$ ). Para la modulación GFSK la probabilidad de error al transmitir un bit esta dada por la siguiente expresión [5]:

$$P_e = \frac{1}{2\pi N_0} \int_0^\infty e^{-\frac{(y+\sqrt{E_b})}{2N_0}} dy \quad (1.20)$$

Donde  $N_0$  es la densidad espectral de potencia del ruido (en este caso se trata de ruido de cuantización) y  $E_b$  es la potencia del bit a transmitir (sea 1 o 0). En la *figura 1.7a* se muestra el valor de  $P_e$  en función del valor de  $N_0$ , teniendo en cuenta que:

---

<sup>3</sup> $P_e$  es la probabilidad de error teórica, mientras BER es la tasa de error real medida

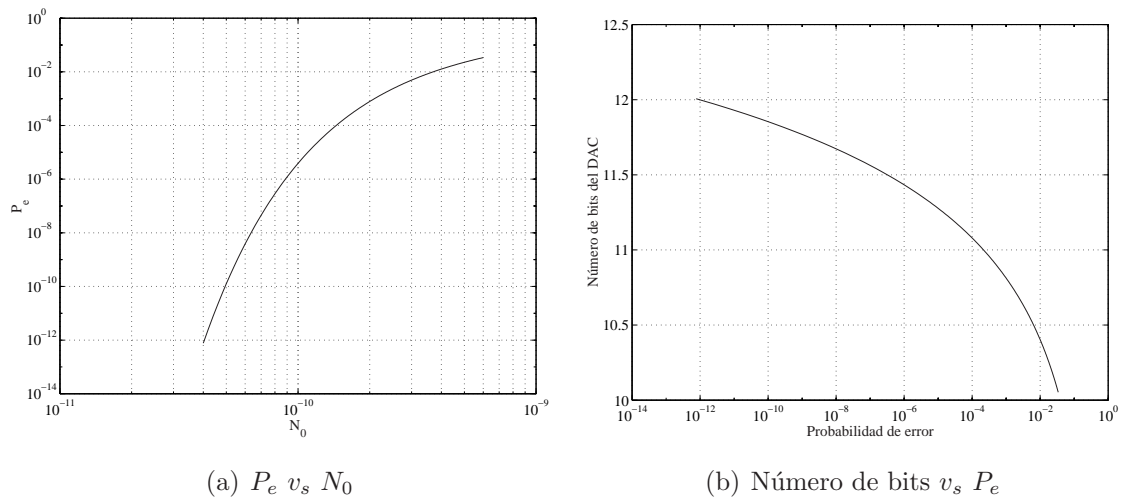


Figura 1.7: Elección del número de bits

$$E_b = 2 \left( \frac{1}{\text{velocidad de transmisión [bps]} } \right) \times (\text{potencia de la portadora [W]} )^2 = 2 \times 10^{-9} [J]$$

$$P_q (\text{Potencia del ruido de cuantización}) = N_0 [W/Hz] \times \text{Ancho de banda del canal [Hz]}$$

De esta manera se puede verificar que a medida que se incrementa la densidad del ruido en el canal, aumenta la posibilidad de cometer un error al recibir un bit. Utilizando la ecuación (1.8) podemos encontrar el número de bits del convertor en función de  $P_e$ , tal como se ilustra en la *figura 1.7b*. Utilizando esta gráfica y teniendo en cuenta el requerimiento de BER en el estándar *Bluetooth* (*tabla 1.1*), se puede concluir que el diseño del DAC se debe realizar con una resolución mayor de 11.3bits para cumplir con esta especificación. Por lo tanto para llevar a cabo el diseño se emplearan  $N = 12\text{bits}$ .

- El ancho de banda de conversión debe ser igual o mayor que el ancho de banda del canal de 1MHz, lo cual exige un DAC con una frecuencia de entrega de datos mínima de  $F_s = 2\text{MHz}$ . Sin embargo, debido a las características en frecuencia de la señal de salida del DAC, se debe utilizar un filtro pasa bajos de un grado elevado para recuperar la señal requerida. Para disminuir la exigencia sobre este filtro, es necesario hacer que  $F_s$  sea mucho mayor que la ancho de banda de la señal mensaje. Un claro ejemplo de esto se da en los sistemas de transmisión en la tecnología *GSM* (*Global System for mobile Communication*), donde se utilizan dos convertores *digitales-análogos* en fase y en cuadratura con una frecuencia  $F_s$  de  $100\text{MHz}$ , la cual es mucho más alta que los  $40\text{KHz}$  del ancho de banda del canal [6]. Este ejemplo permite estimar la magnitud de la relación que debe existir entre estas dos especificaciones, en un convertor digital-

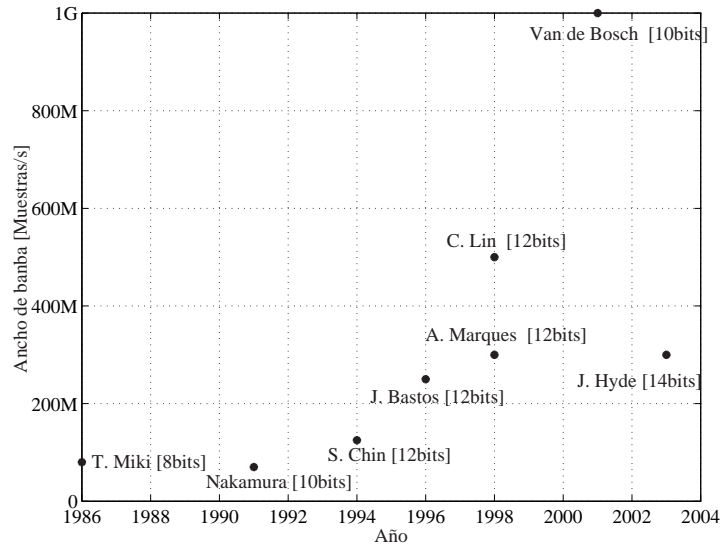


Figura 1.8: *Evolución de los DACs en sistemas de comunicación*

analógico aplicado a un transceiver en el estandar *Bluetooth*.

Para tener mayor claridad sobre esta consideración, se muestra en la *figura 1.8* la evolución en resolución y ancho de banda de los DACs implementados en tecnología CMOS (empleando las especificaciones reportadas en [7–15]), dando al lector una idea de las especificaciones de ancho de banda que pueden alcanzar estos dispositivos en la actualidad: para conversores de  $12\text{bits}$  se manejan anchos de banda que están en el orden de los cientos de  $MHz$ . Teniendo en cuenta todo lo anterior, se decidió emplear una frecuencia de entrega de datos de  $F_s > 200MHz$  para realizar el diseño del convertor digital-analógico.

En la *tabla 1.2* Resumimos, las especificaciones de diseño del DAC, para ser aplicado dentro de la etapa de transmisión de un *transceiver* RF en el estándar de modulación *Bluetooth*.

Tabla 1.2: *Especificaciones de diseño de DAC*

Especificación	Valor requerido
Resolución	$12\text{bits}$
SFDR	$> 50dB$
INL	$< 0,5LSB$
DNL	$< 1LSB$
Ancho de Banda	$> 100MHz$

# Capítulo 2

## Selección de la arquitectura del DAC

En este capítulo se presentarán brevemente las diferentes arquitecturas encontradas en la literatura para la implementación de un conversor digital-analógico, señalando para cada una de ellas su aplicación y características más relevantes, permitiendo realizar la selección de una arquitectura adecuada para cumplir con las especificaciones exigidas en un *transceiver* RF en el estándar *Bluetooth*. De la misma manera, se establecerán los diferentes bloques que conforman al dispositivo DAC en la arquitectura seleccionada, explicando la función de cada una de ellos dentro del proceso de conversión digital-analógico, lo cual brindará herramientas para entender el análisis que se llevará a cabo en los *capítulos 3 y 4*, y la estrategia de diseño que se plantea en el *capítulo 5*.

### 2.1. Arquitecturas de DACs

En la actualidad los DACs pueden ser divididos en diferentes arquitecturas dependiendo del ancho de banda utilizada en la conversión: *Nyquist-rate*, *interpolating*, y *Oversampling converters*. La arquitectura *Nyquist-rate* usa todas las frecuencias desde la componente de DC hasta la mitad de la frecuencia de entrega de datos. Sin embargo, esto hace que sea necesario un filtro pasa bajos con una banda de transición muy estrecha, para recuperar la señal original <sup>1</sup>, lo cual implica la utilización de elementos discretos en la implementación de estos dispositivos. Para disminuir los requerimientos sobre el filtro, es común hacer que la frecuencia de entrega de datos sea mucho mayor que la frecuencia de la señal, a esto se le conoce como *Interpolating*. Sin embargo, en esta arquitectura el circuito digital es mucho más complejo, con lo cual se incrementa el área del *chip* y la disipación de potencia. Si se

---

<sup>1</sup>La características del espectro de la señal de salida del DAC se expusieron en el *capítulo 1*

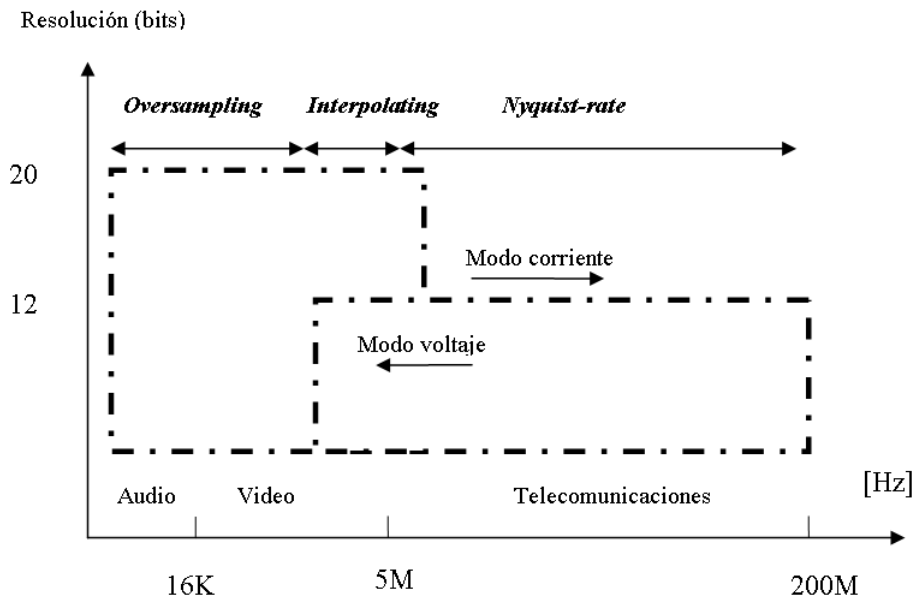


Figura 2.1: Aplicabilidad de las diferentes arquitecturas

cuenta con un gran ancho de banda no utilizado (aplicaciones de audio), es posible modular la porción del espectro indeseado a altas frecuencias, a esto se le conoce como *Oversampling* [3].

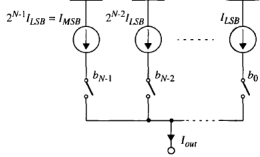
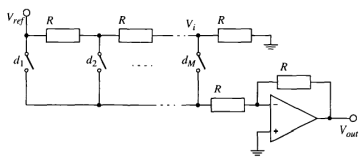
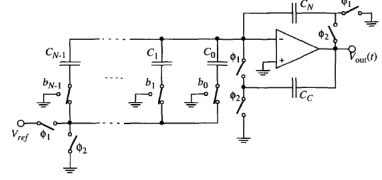
Como se muestra en la *figura 2.1*<sup>2</sup> cada una de estas arquitecturas permiten alcanzar diferentes valores de ancho de banda dentro de un rango de resolución, lo cual permite asignar a cada tipo de aplicación una respectiva arquitectura: en aplicaciones de audio donde se necesita bajo ancho de banda y alta resolución se emplea la arquitectura *Oversampling*, para aplicaciones de video donde el ancho de banda es del orden de los MHz con una alta resolución, es posible utilizar la arquitectura *Interpolating*. En el área de las telecomunicaciones el DAC debe tener un ancho de banda de conversión que esta en el orden de los cientos de MHz y una mediana resolución, lo cual señala a la arquitectura *Nyquist-rate* como la más adecuada para esta aplicación específica.

De esta manera, se seleccionó la arquitectura *Nyquist-rate* para la realización del diseño del DAC, ya que es la única arquitectura que permite alcanzar el requerimiento de ancho de banda y resolución que se exige para un *transceiver* RF en el estándar *Bluetooth*.

Dentro de la arquitectura *Nyquist-rate* se distinguen diferentes implementaciones: modo-voltaje, modo-corriente, modo-redistribución de carga. En la *tabla 2.1* se muestra el esquema circuital de estas opciones de implementación y sus diferentes características. Analizando las

<sup>2</sup>Adaptado de [2]

Tabla 2.1: Implementaciones para la arquitectura Nyquist-rate

Modo corriente	Modo Voltaje	Modo redistribución de C.
		
<ul style="list-style-type: none"> <li>♣ Permite implementar DACs de alta velocidad y área reducida con una resolución de 10bits-12bits-14bits [3]. Es utilizado para aplicaciones de ancho de banda elevado.</li> <li>♣ Tiene una alta eficiencia en la utilización de la potencia.</li> <li>♣ Su principal desventaja es su sensibilidad al <i>mismatch</i> y la variación de la resistencia de salida.</li> </ul>	<ul style="list-style-type: none"> <li>♣ La utilización de resistencias conmutadas permiten que existan capacitancias que dependen de las señales, lo cual genera distorsión [3].</li> <li>♣ Es utilizado para aplicaciones de baja resolución.</li> <li>♣ El tiempo de retraso entre los bits MSB y LSB generan <i>glitches</i> de alta energía.</li> </ul>	<ul style="list-style-type: none"> <li>♣ La utilización de un amplificador limita el ancho de banda.</li> <li>♣ Se utiliza para DACs de alta resolución y ancho de banda intermedio.</li> <li>♣ Su principal limitación es el área excesiva en la implementación de las capacitancias.</li> </ul>

ventajas y desventajas que presentan cada una de estas implementaciones, todo apunta a que la implementación en modo corriente es la selección adecuada para el diseño del DAC, el cual será utilizado en la etapa de transmisión de un *transceiver* RF. Cabe anotar que la arquitectura Nyquist-rate en modo corriente también se denomina arquitectura *current-steering*.

### 2.1.1. Arquitectura *current-steering*

La arquitectura *current-steering* (figura 2.2) usa fuentes de corrientes conmutadas las cuales están unidas a un nodo de salida común. Las fuentes de corrientes tienen asignados un peso según la posición del bit que corresponda, generando así una corriente  $I_{out}$  la cual circula por una resistencia de carga  $R_L$ , obteniendo un voltaje de salida  $V_{out}$  proporcional al valor

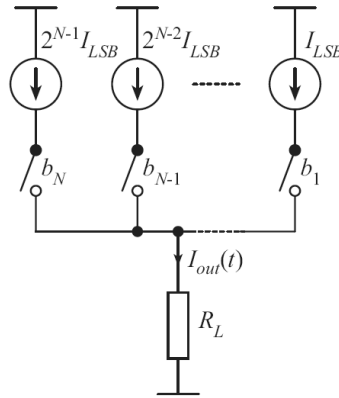


Figura 2.2: *Arquitectura current-steering* [2]

decimal de la palabra digital de entrada:  $b_1 b_2 \dots b_n$ , donde  $b_1$  es el bit menos significativo (LSB) y  $b_n$  es bit mas significativo (MSB). La salida de corriente esta dada por:

$$I_{out} = 2^{N-1} I_{LSB} b_{N-1} + \dots + 2 I_{LSB} b_1 + I_{LSB} b_0 \quad (2.1)$$

Donde la corriente  $I_{LSB}$  corresponde al valor de corriente para el bit LSB.

Debido a su configuración esta arquitectura presenta algunos inconvenientes, los cuales se discuten a continuación.

### Resistencia de salida finita

La impedancia de salida finita de las fuentes de corriente, hace que la señal de salida sea dependiente de la señal de entrada. Esto se debe a que al colocar en paralelo varias fuentes de corriente (varios bits activos), la relación de resistencia de salida sobre resistencia de carga, varíe en función del número de bits activos en la palabra digital de entrada. Esto causa errores de linealidad en la señal de salida [3].

### Errores en el proceso de fabricación

Las características cuánticas del silicio, varían de acuerdo con la posición del chip dentro de la oblea (*mismatch*<sup>3</sup>), lo cual genera fluctuaciones en los valores de concentración (de huecos y de electrones) afectando directamente el valor de los parámetros del transistor.

<sup>3</sup>Este concepto se discute con mayor detalle en el *capítulo 3*

Dentro de un DAC implementado en *current-steering* este fenómeno lleva a que la corriente de salida cambie en función de la distancia, el área y la orientación de las fuentes de corriente dentro del *chip*, causando errores de no-linealidad DNL y INL. Cabe destacar que este tipo de errores se presenta en el momento en que se implementa el circuito integrado.

### ***Glitches* de alta energía**

Esto se presenta debido a la diferencia de velocidad de conmutación entre las fuentes de corriente MSB y LSB, lo cual genera falsos estados que aparecen en la señal de la salida del conversor por un instante corto de tiempo. Considerando el caso en que suceda la transición del código digital de entrada:  $100\dots 0 \rightarrow 011\dots 1$ , y teniendo en cuenta que la velocidad de conmutación no es igual para todos los bits, se presentarían estados intermedios falsos pasando en el peor caso por el estado  $111\dots 1$ . Esta situación producirá un pico de corriente en la señal de salida del conversor, siendo este dos veces mayor que la corriente esperada para el estado  $011\dots 1$ .

Existen algunas configuraciones de fuentes de corriente para la implementación de un DAC en *current-steering*, las cuales permiten reducir el impacto de los problemas que acarrea la utilización de esta arquitectura. Estas configuraciones cambian las fuentes de corriente de mayor peso (MSB) por varias fuentes de menor peso, disminuyendo el efecto de las grandes transiciones de los códigos de entrada.

#### **2.1.2. Posibles configuraciones de DACs en *current-steering***

Las diferentes configuraciones para la implementación del DAC dentro de la arquitectura *current-steering*, difieren en la complejidad del hardware, en el control, y en los pesos asignados a las fuentes de corriente. En esta sección se describirán las características de cada una de ellas.

##### **Configuración de peso binario**

Esta configuración está de acuerdo con la descripción dada para la arquitectura *current-steering*, la cual se muestra la *figura 2.2* y en el cual el código de entrada digital controla directamente la conmutación. Entre las ventajas de esta arquitectura están: la simplicidad y la pequeña área empleada para el circuito digital, ya que no es necesaria una lógica de decodificación. Por otro lado, con esta arquitectura se obtienen valores elevados de error DNL, INL, y un bajo comportamiento dinámico debido los *glitches* de alta energía.

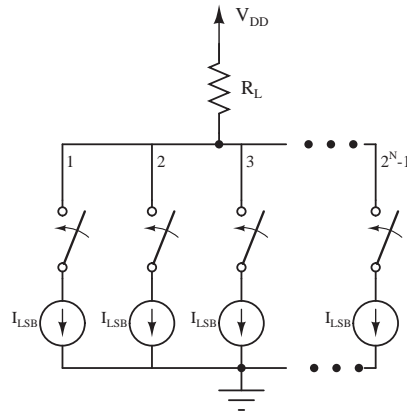


Figura 2.3: Configuración de peso único

Tabla 2.2: Código Thermometer

Código binario	Código <i>Thermometer</i>
000	0000000
001	0000001
010	0000011
011	0000111
100	0001111
101	0011111

### Configuración de peso único

En esta configuración cada fuente de corriente tiene un peso único de  $1LSB$ , es decir que al avanzar un paso de conversión, en todos los casos, solo una fuente de corriente es adicionada al nodo de salida. La conmutación no es controlada directamente por la entrada digital en código binario: primero el código binario debe ser convertido a código *thermometer*<sup>4</sup> (tabla 2.2), y de esta manera poder realizar dicha tarea. Las ventajas de esta configuración son sus bajos valores de error DNL, INL y su excelente comportamiento dinámico. Los DACs implementados en esta configuración tienen garantizado un comportamiento monótono, debido a que la resistencia de salida del conversor es menos dependiente de la palabra digital de entrada (todas las fuentes de corriente tienen la misma resistencia de salida). Las desventajas

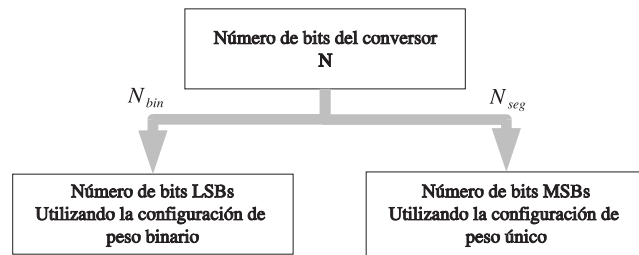
<sup>4</sup>Término en Inglés utilizado para nombrar al código digital en el cual cada bit tiene un peso de 1

de esta configuración son: la complejidad en la interconexión, su alto consumo de potencia y de área, especialmente para convertidores con una resolución por encima de los 10 bits. En la *figura 2.3* se muestra un esquema de esta configuración.

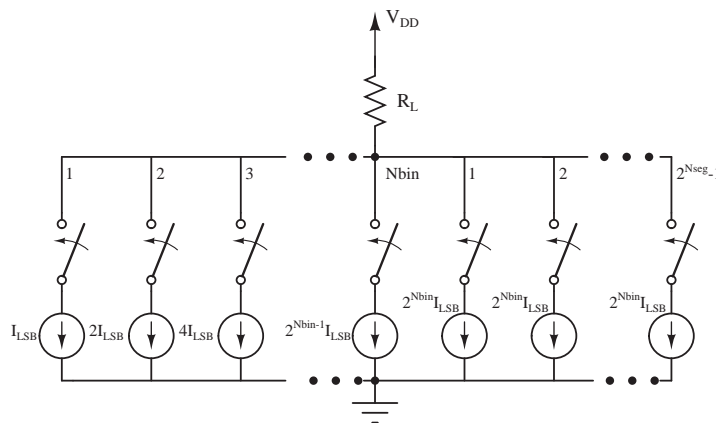
### Configuración segmentada

Esta configuración combina las ventajas de las dos anteriores configuraciones. En este caso, el DAC es dividido en 2 sub-DACs (como se muestra en la *figura 2.4a*): los  $N_{bin}$  bits menos significativos son implementados utilizando la configuración de peso binario, mientras que para los  $N_{seg}$  bits más significativos se utiliza la configuración de peso único, de tal manera que  $N = N_{bin} + N_{seg}$ . En la *figura 2.4b* es presentada la configuración segmentada, donde se emplean las  $2^{N_{seg}} - 1$  fuentes con un peso de  $2^{N_{bin}} I_{LSB}$  para los bits más significativos y  $N_{bin}$  fuentes para los bits menos significativos.

La configuración segmentada reduce los efectos de tener grandes corrientes por una sola fuente (la máxima corriente es  $2^{N_{bin}} I_{LSB}$ ), lo que tradicionalmente trae problemas de no



(a) Distribución del número de bits



(b) Arreglo de fuentes de corriente

Figura 2.4: Configuración segmentada

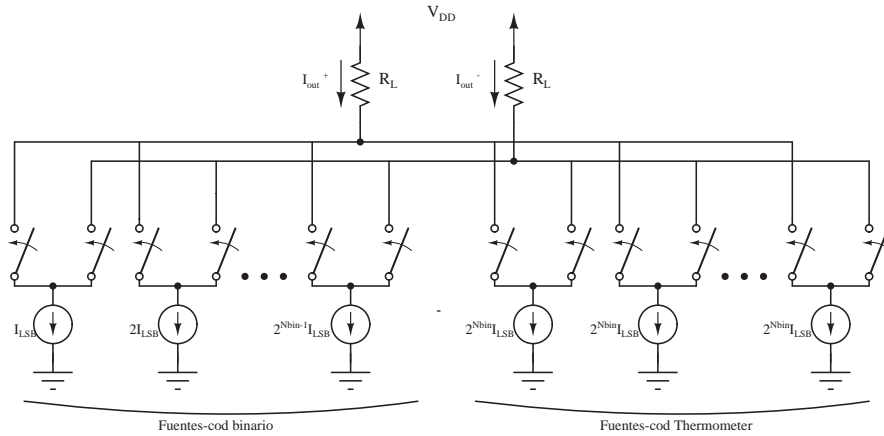


Figura 2.5: Configuración diferencial

linealidad debido a la disminución de la resistencia de salida. A cambio de esto, se emplea una lógica de control más compleja para los bits MSBs ya que se debe emplear un decodificador de código binario a código *thermometer*, como se muestra en la *figura 2.6*. En resumen, con esta arquitectura es posible obtener un balance entre un buen comportamiento dinámico-estático, una razonable área y una adecuada complejidad [16].

Todo lo anterior conduce a que esta topología sea la más adecuada para la implementación de un DAC, con las características que exige un *transceiver RF*. Dentro del diseño, el número de fuentes segmentadas se convierte en una variable y por lo tanto se debe aplicar un criterio adecuado para la selección de este valor.

### Configuración diferencial y no-diferencial

Las anteriores configuraciones pueden implementarse de forma diferencial y de forma no-diferencial. En la configuración diferencial existe una sola fuente de corriente por cada bit, empleando un *switch* diferencial para el control de cada fuente. El *switch* se activa directamente por el bit, conduciendo la corriente a una de los nodos de salida (este nodo se toma positivo como referencia); de la misma forma, la corriente se conduce al otro nodo con el negado de dicho bit, tal como se ilustra en la *figura 2.5*. De esta manera la salida de corriente del DAC estará dada por:

$$I_{out}^+ = 2^0 b_0 I_{LSB} + 2^1 b_1 I_{LSB} + \dots + 2^{N-1} b_{N-1} I_{LSB} \quad (2.2)$$

$$I_{out}^- = 2^0 \bar{b}_0 I_{LSB} + 2^1 \bar{b}_1 I_{LSB} + \dots + 2^{N-1} \bar{b}_{N-1} I_{LSB} \quad (2.3)$$

$$I_{out} = I_{out}^+ - I_{out}^- \quad (2.4)$$

De forma general, el utilizar una configuración diferencial permite eliminar los armónicos pares indeseados de la señal, y de esta manera mejorar las características de distorsión y SFDR que son dos importantes requerimientos del diseño del conversor. Otra de las ventajas de un arreglo diferencial, es que el paso de conversión es el doble de un arreglo no-diferencial, con lo cual se consigue hacer que el DAC sea más inmune al ruido. A lo largo de este documento se evidenciarán algunas ventajas adicionales de usar un conversor con salida diferencial. La principal desventaja de esta implementación, es el aumento de la disipación de potencia y el incremento del área del *chip* con respecto a la configuración no-diferencial. Como resultado se seleccionó un arreglo de fuentes de corriente diferencial para la realización del diseño, teniendo en cuenta que con esta configuración se obtiene un aumento significativo de las especificaciones del DAC, balanceando el costo de una mayor disipación de potencia y de área.

## 2.2. Descripción de la arquitectura

En la sección anterior se definieron las diferentes configuraciones que se pueden emplear en la arquitectura *current-steering*, y se anotaron las principales ventajas y desventajas de cada una de ellas. De esta manera se seleccionó la configuración segmentada diferencial como la más adecuada para la implementación del DAC requerido. En esta sección se realizará una breve descripción de esta arquitectura desde el punto de vista de bloques funcionales, para tener una visión más amplia de los pasos que se deben seguir en el diseño. En la *figura 2.6*<sup>5</sup> se muestra el diagrama de bloques de un conversor digital-analógico implementado en la arquitectura *current-steering* segmentada. Cada bloque funcional se describe brevemente a continuación:

- Cada fuente de la configuración de peso único tiene un valor  $2^{N_{bin}} I_{LSB}$  y hay un número de  $2^{N_{seg}} - 1$  fuentes. De la misma manera habrán  $N_{bin}$  fuentes de corriente en la configuración de peso binario.
- Cada una de estas fuentes están siempre en conducción y están conectadas una a una, a un arreglo de *switches*. Cada fuente está conectada a un respectivo *switch*, el cual

---

<sup>5</sup>Tomado de [17].

controla el paso de corriente hacia cada nodo de salida. Por lo tanto el número de *switches* es igual al número de fuentes de corriente.

- Cada *switch* es controlado por medio de un *latch*, el cual guarda momentáneamente el bit que representa dicha fuente durante un ciclo de reloj. De esta manera el dato se conserva hasta que una nueva palabra digital se quiera representar.
- El reloj marca la frecuencia de entrega de datos, ya que cada vez que se quiera cargar una palabra digital al bloque de *latches*, se debe esperar un nuevo ciclo de reloj. El dato correcto debe llegar a la entrada de los *latches* antes del flanco de subida del reloj, lo cual permite que el dato se guarde en el *latch*.
- Los *switches* de la configuración de peso binario estarán controlados directamente por la palabra digital de entrada. Para la configuración de peso único, se debe emplear un decodificador de código binario a código *thermometer*, el cual debe permitir que el dato se establezca correctamente antes del flanco de subida del reloj. Debido a que este decodificador genera un retraso en la llegada de los datos, se debe incluir un arreglo

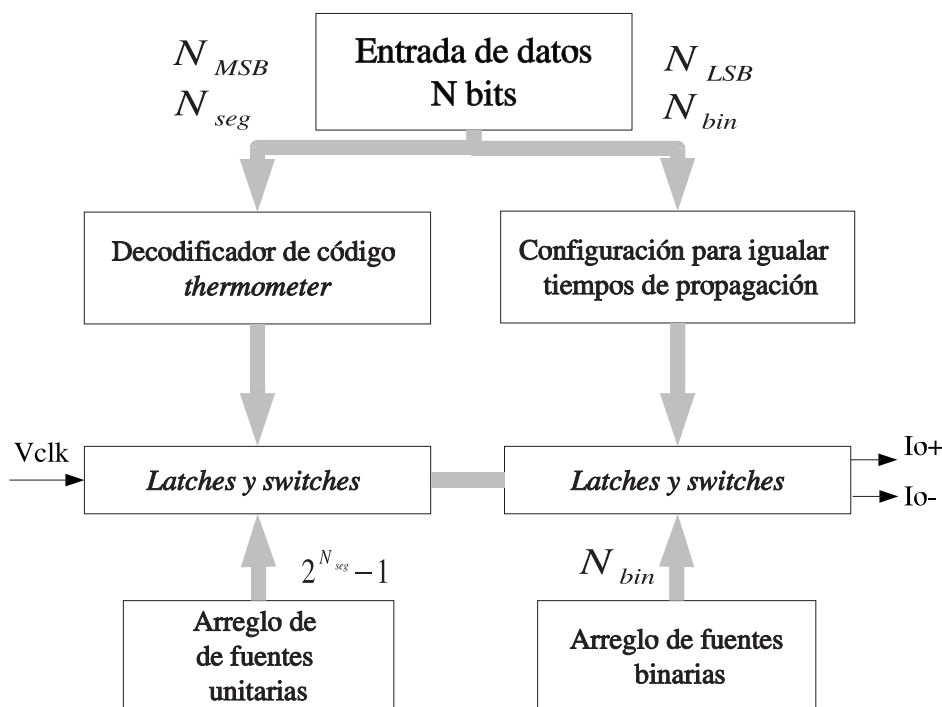


Figura 2.6: Arquitectura *current-steering* diferencial para un DAC

de compuertas que se antepone a la entrega de datos de la configuración de fuentes binarias, y cuya única función es igualar los tiempos de propagación de la palabra digital de entrada al conversor.

### 2.2.1. Fuentes de corriente

Debido a la alta resistencia de salida que requiere el conversor digital-analógico implementado en la arquitectura *current-steering*<sup>6</sup> (tanto en la configuración de peso binario como de la configuración de peso único), las fuentes de corriente son implementadas utilizando un arreglo *cascodo*. Entre mayor sea la resolución del conversor mayor será el requerimiento de resistencia de salida, por lo cual se deben emplear 2 o 3 transistores para las fuentes de corriente, de acuerdo con el número de bits con el cual se realiza el diseño del DAC. En el libro *CMOS Data Converter for Communication* de M. Gustavsson, J. Wikner y N. Nick Tan [3], se hace la siguiente discriminación: típicamente se utiliza 1 transistor para bajas resoluciones (menores de 10bits, resistencias de salida en el orden de los  $M\Omega$ ), 2 transistores para DAC de mediana resolución (entre 12bits-14bits, resistencias de salida en el orden de los  $G\Omega$ ) y para conversores de alta resolución (mayor de 14bits, resistencias de salida en el orden de los  $T\Omega$ ) se utilizan 3 transistores.

Sin embargo, este arreglo de transistores se puede implementar utilizando transistores NMOS o PMOS. La ventaja de utilizar transistores NMOS para esta aplicación son: mayor velocidad debido a que presentan una alta movilidad, menor área y menores niveles de ruido térmico. Por otro lado, los transistores PMOS permiten alcanzar mayores niveles de resistencia de salida, ya que tiene una menor transconductancia que los NMOS, para un mismo valor de corriente.

Debido a que emplear transistores NMOS representa mayores ventajas para el alcance de las especificaciones del DAC, y teniendo en cuenta las recomendaciones que se hacen en el libro *CMOS Data Converter for Communication* con respecto al número de transistores para el arreglo *cascodo*, se decidió utilizar 2 transistores NMOS para el diseño de las fuentes de corriente, después de comprobar por simulación el valor de resistencia de salida.

### 2.2.2. Switches

Los requerimientos sobre el *switch* diferencial de cada fuente de corriente, teniendo en cuenta las características dinámicas del DAC, son la resistencia de encendido y el CFT. En

---

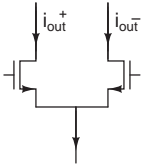
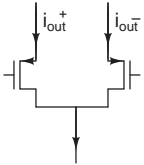
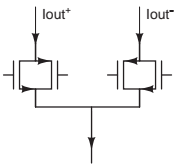
<sup>6</sup>Este concepto se discute con mayor detalle en el capítulo 3

otras palabras el *switch* diferencial debe garantizar que la conmutación sea rápida y lo más lineal posible. Sin embargo, estas dos características se oponen una a la otra: para tener una baja resistencia de encendido el transistor debe tener altos valores de ancho de canal (para una misma longitud de canal y viceversa), pero esto aumenta el efecto del CFT a la salida del DAC debido al incremento de las capacitancias  $C_{gs}$  y  $C_{gd}$ . En la literatura estos *switches* son implementados con transistores PMOS, NMOS y con llaves de paso, para una fuente de corriente cascode con transistores NMOS. En la *tabla 2.3* se resumen las ventajas y desventajas de cada una de estas implementaciones [2].

Las llaves de paso son poco empleadas para este tipo de diseños debido a las dificultades que conlleva su implementación [3]. Para efectuar una adecuada elección del tipo de *switch* a utilizar en el diseño del DAC, fue necesario realizar algunas simulaciones preliminares, las cuales permitieron tener claridad sobre las ventajas y desventajas de cada implementación al ser utilizado con las fuentes de corriente cascode (NMOS). De esta manera se seleccionó una configuración de un par diferencial de transistores PMOS que funcionan entre los estados de triodo y corte (*figura 2.7*). Las ventajas que resaltan a esta configuración son:

- Si  $M_{SW}$  es un transistor PMOS, no se presentan variaciones del voltaje umbral causadas

Tabla 2.3: Implementaciones para los *switches*

NMOS	PMOS	Llaves de paso
		
<ul style="list-style-type: none"> <li>♣ Menor área que otras configuraciones para una resistencia de salida dada.</li> <li>♣ Menor CFT que otras configuraciones.</li> <li>♣ Las variaciones de <math>V_t</math> debido al efecto cuerpo, reducen la resistencia de salida considerablemente.</li> </ul>	<ul style="list-style-type: none"> <li>♣ Mayor área que las configuraciones con NMOS para una resistencia de salida dada.</li> <li>♣ Mayor CFT que utilizando NMOS para una resistencia de salida dada.</li> <li>♣ No hay variación de <math>V_t</math> debido al efecto cuerpo.</li> </ul>	<ul style="list-style-type: none"> <li>♣ Menor resistencia de encendido que otras configuraciones.</li> <li>♣ El CFT se cancela debido a que las cargas que repele el transistor NMOS son adsorbidas por el transistor PMOS y viceversa.</li> <li>♣ Más complejidad en la realización del <i>layout</i>.</li> </ul>

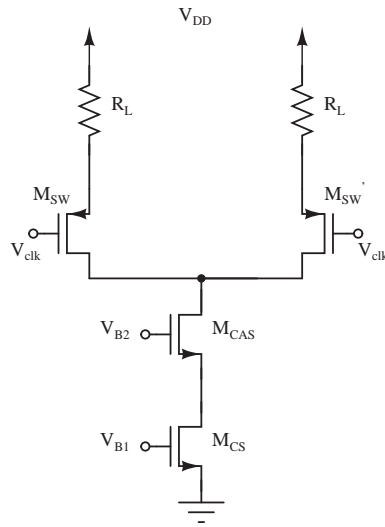
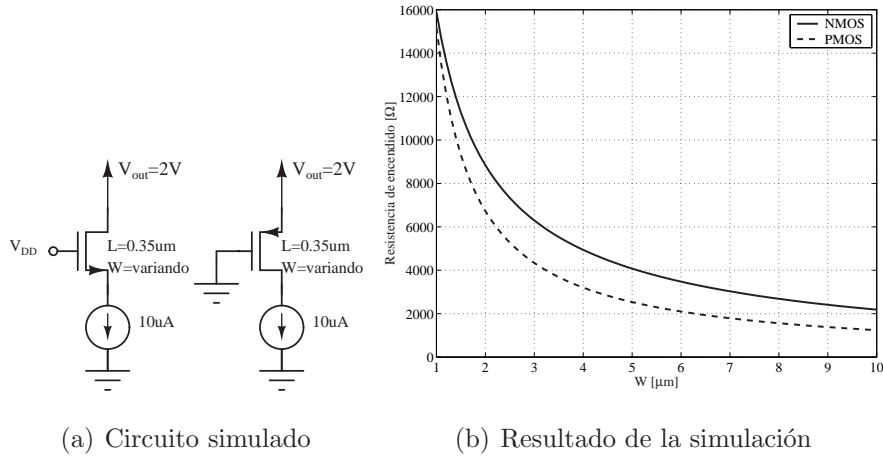
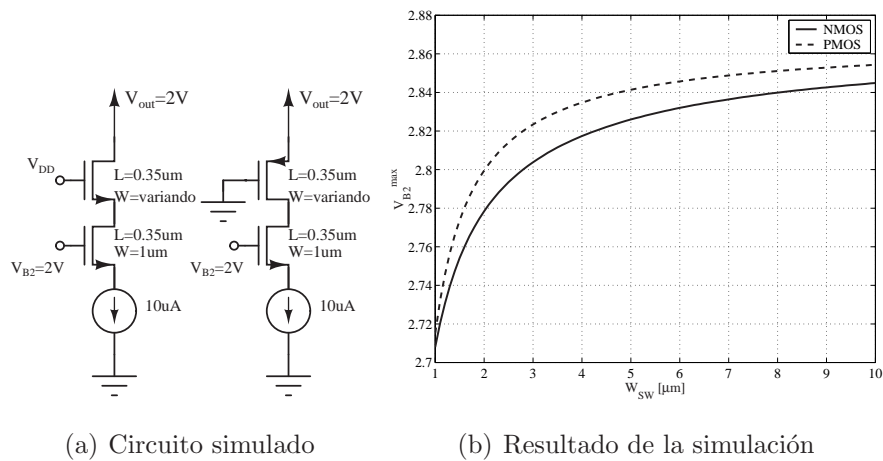


Figura 2.7: Configuración cascode NMOS utilizando un par diferencial PMOS.

por el efecto cuerpo, lo cual hace que el voltaje de saturación  $(V_{OV} - V_t)_{SW}$  sea más elevado que en otras configuraciones, y por lo tanto resulte una menor resistencia de encendido en el momento en que este transistor conduzca. Para llegar a esta conclusión se realizaron simulaciones sobre un *switch* NMOS y un *switch* PMOS (empleando el circuito que se muestra en la *figura 2.8a*), variando el ancho de canal del transistor  $M_{SW}$  (NMOS y PMOS) para determinar la resistencia de encendido de este transistor. Cabe anotar que no se aplica ningún criterio en especial para seleccionar la corriente por  $M_{SW}$  y el voltaje  $V_{out}$ , lo único importante es que el transistor  $M_{SW}$  (NMOS y PMOS) permanezca en triodo. Con esta simulación se pudo demostrar que si se utiliza un transistor PMOS como *switch* para una fuente de corriente *cascode* NMOS, se obtendrá una menor resistencia de encendido que con un transistor NMOS, para un mismo valor de  $W/L$  y de corriente de dreno. Este resultado se muestra en la *figura 2.8b*.

- La caída  $V_{DS}$  en el transistor  $M_{SW}$  PMOS es más reducida que cuando se utiliza un transistor NMOS, para un mismo valor de  $W/L$  y de corriente de dreno. Una pequeña caída de voltaje  $V_{DS}$  en el transistor  $M_{SW}$ , permite que el voltaje de polarización  $V_{B2}$  pueda ser más elevado y de esta manera se podrán emplear menores dimensiones para que el transistor  $M_{CAS}$  permanezca en saturación. De igual forma, para llegar a esta conclusión se realizaron simulaciones sobre un *switch* NMOS y un *switch* PMOS (empleando el circuito que se muestra en la *figura 2.9a*), variando el ancho de canal del

Figura 2.8: *Simulaciones preliminares*Figura 2.9: *Simulaciones preliminares*

transistor  $M_{SW}$  (NMOS y PMOS) para determinar el valor de  $V_{B2}^{max}$ . Con la selección de la corriente por  $M_{SW}$ , del voltaje  $V_{out}$  y la dimensiones de  $M_{CAS}$ , se debe garantizar que  $M_{SW}$  (NMOS y PMOS) permanezca en triodo y  $M_{CAS}$  en saturación. Con esta simulación se pudo demostrar que si se utiliza un transistor PMOS como *switch* para una fuente de corriente *cascode* NMOS, el valor de  $V_{B2}$  podrá ser más alto que con un transistor NMOS para un mismo valor de  $W/L$  y de corriente de dreno, asumiendo una polarización en la compuerta de  $V_{DD}$  para el transistor NMOS y de  $0V$  para el transistor PMOS, tal que no se requiera una polarización adicional. Este resultado se muestra en la *figura 2.9b*.

## Capítulo 3

# Requerimientos del comportamiento estático

En el capítulo anterior se describió la arquitectura *current steering* segmentada diferencial, seleccionada para la realización del diseño del DAC. De acuerdo con esta selección, se realizará en este capítulo el análisis del comportamiento estático el cual será fundamental en el planteamiento de la estrategia de diseño, que se estudia en el *capítulo 5*.

Para tal fin, se presentarán por separado los diferentes requerimientos debido al comportamiento estático del DAC, basados en los diferentes estudios llevados a cabo sobre DACs en la arquitectura *current-steering*. A su vez se realizará un análisis de la incidencia de cada uno de estos requerimientos sobre las especificaciones de INL, DNL y SFDR. De esta manera, se contará con herramientas que permitan realizar un diseño adecuado, a partir del valor que exige para estas especificaciones un *transceiver* RF en el estándar *Bluetooth*. Por esta razón se debe prestar mucha atención tanto a la utilidad como a las condiciones en que estas expresiones son válidas, ya que de esta forma será fácil entender los cálculos que se llevaran a cabo en el *capítulo 5*.

Debido a la importancia que tienen los estudios presentes en la literatura sobre las características estáticas del DAC, algunos de estos serán adaptados de manera que los podemos emplear como un instrumento de análisis en este capítulo. Entre estos estudios destacamos: el libro *CMOS Data Converter for Communication* de M. Gustavsson, J. Wikner y N. Nick Tan [3], la tesis de Maestría *The Design of Current-Steering Digital-to-Analog Converter DAC in 0.13 $\mu$ m CMOS Technology* de E. Ofner and M. Clara [16] y el artículo *Matching Properties of MOS Transistors* de M. Pelgrom, A. Duinmaijer y A. Welbers [18].

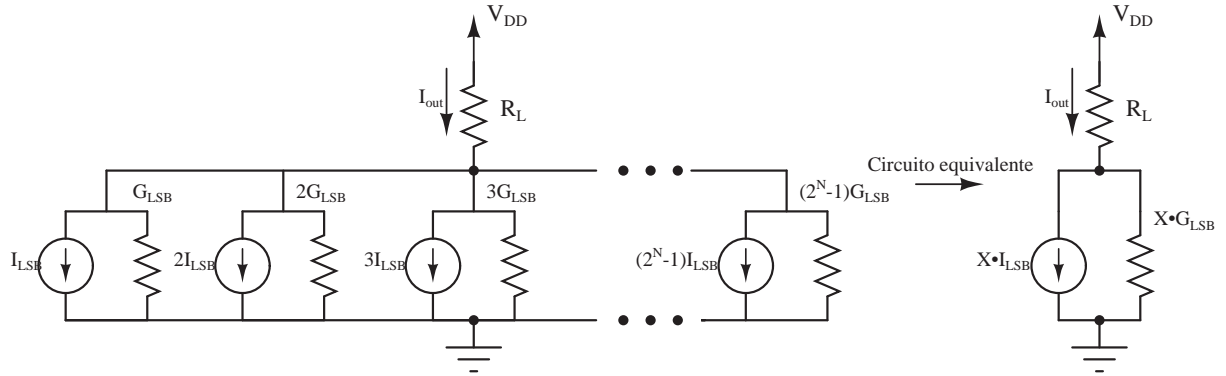


Figura 3.1: Conductancia total vista desde el nodo de salida

### 3.1. Resistencia de salida finita

Como ya se mencionó, la arquitectura *current-steering* se basa en una estructura de fuentes de corriente en paralelo las cuales se suman a una resistencia de carga. Cada una de estas fuentes tiene asociada una resistencia de salida finita, que depende del valor de corriente. La fuente LSB tendrá el máximo valor de resistencia, y este parámetro disminuirá a medida que aumente el peso del bit correspondiente a cada fuente. A medida que más fuentes de corriente son activadas, la conductancia total de todas las fuentes en paralelo se incrementa.

Estas características llevan a que exista una dependencia entre el valor de la conductancia total vista desde el nodo de salida (*figura 3.1*) y la palabra digital de entrada, según la siguiente ecuación:

$$G_{out} = G_{LSB} \cdot b_0 + 2G_{LSB} \cdot b_1 + 4G_{LSB} \cdot b_2 + \dots + 2^{N-1} G_{LSB} \cdot b_{N-1} = G_{LSB} \cdot X \quad (3.1)$$

Donde  $X = b_0 + 2b_1 + 4b_2 + \dots + 2^{N-1} b_{N-1}$  y  $G_{LSB}$  es la conductancia de salida de la fuente LSB. La corriente que pasa por la resistencia de carga, puede ser obtenida al hacer un análisis del circuito equivalente mostrado en la *figura 3.1*, para una configuración no diferencial (este mismo análisis se puede aplicar a una configuración diferencial), llegando a la siguiente expresión [19]:

$$I_{out} = \frac{I_{LSB} \cdot X + V_{DD} \cdot G_{LSB} \cdot X}{1 + G_{LSB} \cdot R_L \cdot X} \quad (3.2)$$

Sustituyendo  $p = G_{LSB} \cdot R_L$  en la ecuación (3.2) se obtiene:

$$I_{out} = \frac{I_{LSB} + V_{DD} \cdot G_{LSB}}{p} \left( 1 - \frac{1}{1 + p \cdot X} \right) \quad (3.3)$$

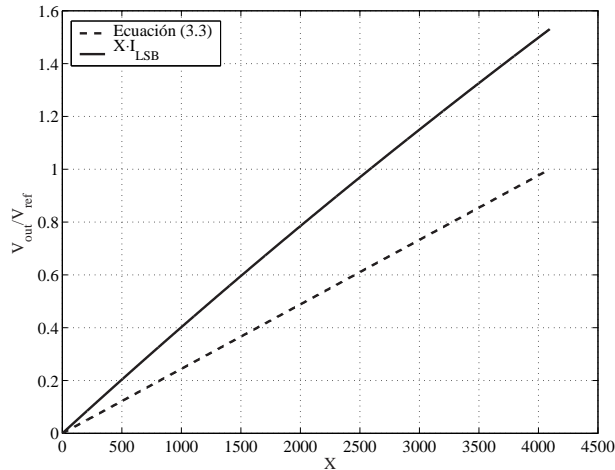
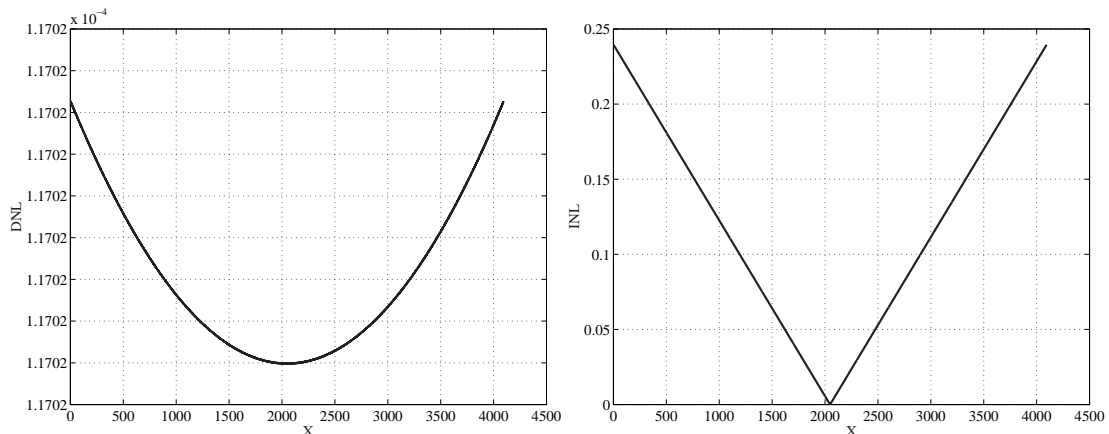


Figura 3.2: No-linealidad introducida por las variaciones de resistencia de salida

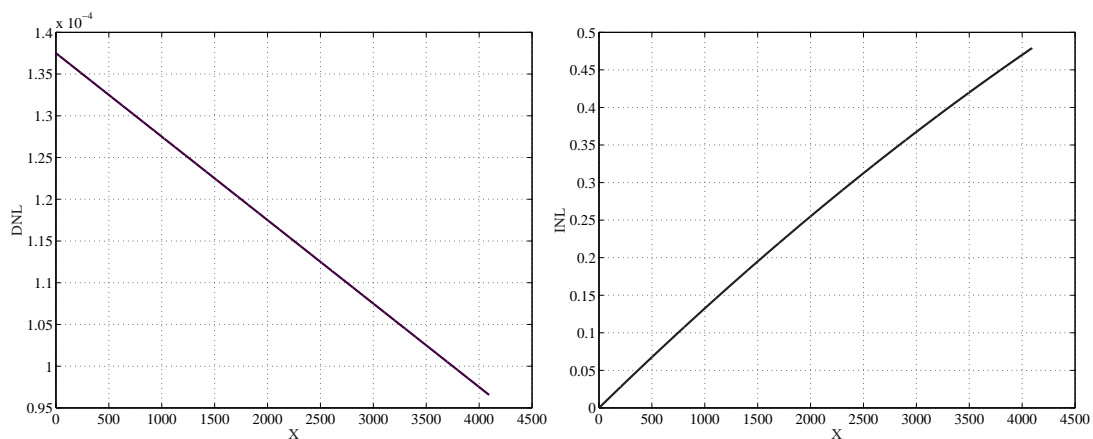
La ecuación anterior determina el valor de la corriente de salida en función de la palabra digital de entrada. Esta expresión muestra que debido a la resistencia de salida finita de las fuentes de corriente, existirá un error en el valor de la corriente que debe circular por la resistencia de carga determinado por el factor  $(1 - \frac{1}{1+p \cdot X})$ , el cual depende directamente del valor de  $X$  y del valor  $p$  (para un determinado  $V_{DD}$  y  $I_{LSB}$ ). Las características de este comportamiento son:

- ♣ La diferencia entre la corriente de salida real y la ideal, aumentará a medida que se incremente el valor de  $X$  (figura 3.2), lo cual se traduce como no-linealidad de la función de transferencia del convertor. Este tipo de error es caracterizado por medio de los parámetros DNL y INL.
- ♣ Si el valor de  $p$  es muy pequeño, el error en la corriente de salida es reducido, por lo tanto, para el diseño de un DAC es necesario altos valores de resistencia de salida para las fuentes de corriente.
- ♣ Entre mayor sea la resolución de convertor, mayor será el requerimiento de resistencia de salida, debido a que el valor máximo de la palabra digital de entrada está dado por  $X = 2^N - 1$ .

Es claro que se hace necesario obtener un valor  $G_{LSB}$  que permita cumplir con los requerimientos de linealidad, es decir  $|INL|_k < 0,5LSB$  y  $|DNL|_k < 1LSB$  para todo  $k$ . Se realizó el cálculo de INL y DNL para una configuración diferencial y no-diferencial, el cual se ilustra en la figura 3.3, utilizando las ecuaciones (1.12), (1.11) y (3.2) empleando los valores



(a) Configuración diferencial



(b) Configuración no-diferencial

Figura 3.3: Comportamiento del error de no-linealidad

de  $I_{LSB} = 4,8\mu A$ ,  $R_L = 25\Omega$ ,  $G_{LSB} = 1/5G\Omega$  y  $N = 12bits$  (estos valores fueron los seleccionados en el diseño, capítulo 5). Esto permitirá comprender el comportamiento de estas variables en función de X y determinar que configuración es más adecuada.

Este resultado muestra cómo la configuración diferencial permite reducir a la mitad el requerimiento de error INL, y disminuir en cierta medida el valor de DNL. Esto se debe a que esta configuración permite aumentar al doble el valor del paso de conversión, con lo cual se reduce el valor del error como lo muestra la definición de DNL e INL. También es apreciable que el error de no-linealidad diferencial DNL sea menos sensible que el error INL, a las variaciones de resistencia de salida del conversor. Como se muestra en la figura 3.3, el peor caso de INL y DNL en la configuración no-diferencial se presenta en  $X=4095$  y en la configuración diferencial se presenta en  $X=0$  y  $X=4095$ ; se tomará  $X=4095$  para deducir

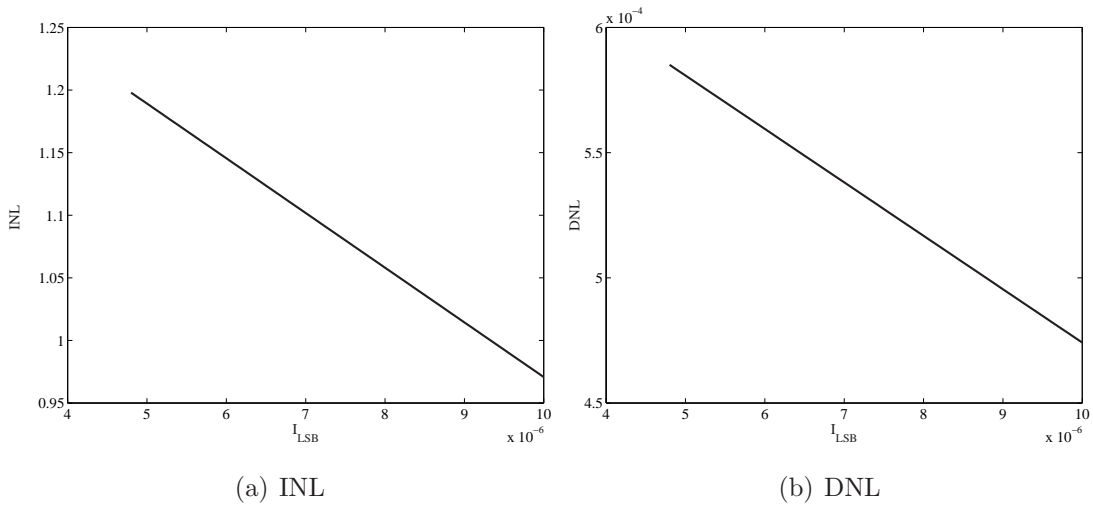


Figura 3.4: Comportamiento del error de no-linealidad en función de  $I_{LSB}$

una expresión que permita calcular el valor mínimo de resistencia de salida requerida por la fuente LSB (utilizando la ecuación (3.2)), para cumplir con las especificaciones de INL y DNL:

$$G_{LSB} = \frac{I_{LSB} \cdot X - I_{out}(X = 4095)}{I_{out}(X = 4095) \cdot X \cdot R_L - V_{dd} \cdot X} \quad (3.4)$$

Esta ecuación se utilizará en el *capítulo 5* para determinar el valor de  $G_{LSB}$  mínimo en función de la corriente  $I_{LSB}$  y de la resistencia de carga.

Es necesario destacar que estos resultados se obtuvieron para un valor de corriente  $I_{LSB}$  y por lo tanto no ilustran el impacto que tiene la elección de esta corriente sobre las especificaciones de INL y DNL del convertor. En la *figura 3.4* se muestra el error de no-linealidad DNL y INL en función de la corriente LSB (para  $R_L = 25\Omega$ ,  $N = 12bits$ ) para una configuración diferencial. Esta figura se obtiene tomando como caso inicial el de la *figura 3.3* y aumentado a partir de este valor la corriente  $I_{LSB}$  para  $X = 4095$ , reduciendo proporcionalmente la conductancia de la fuente LSB (ecuación (3.2)). Este comportamiento se debe a que el error de no linealidad DNL y INL es más sensible al aumento del paso de conversión, que a la disminución de la resistencia de salida. Sin embargo, el aumento de la corriente  $I_{LSB}$  lleva a que el convertor disipe mayor potencia y ocupe una mayor área dentro del *chip*.

Así como la selección de la resistencia de salida para la fuente de corriente LSB depende del error de no-linealidad, también debe permitir conseguir los niveles de SFDR necesarios para la aplicación en la cual se utilizará el convertor. Para examinar como se distribuye el error de conversión en el dominio de la frecuencia, debido a las variaciones de la resistencia de salida, se utilizaron los resultados desarrollados por M. Gustavsson, J. Wikner y N. Nick

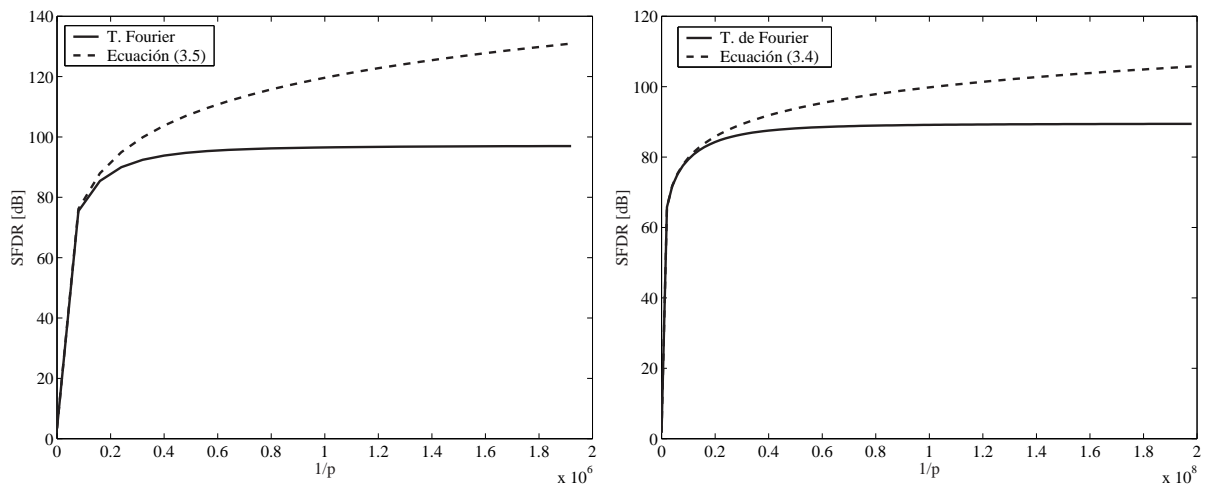
Tan en [3].

$$SFDR_{modif} = \left[ 1 + \frac{1}{2^{N-1}p} \left( 1 + \sqrt{1 + 2^N p} \right) \right]^2 \quad (3.5)$$

$$SFDR_{dif} = \left[ 1 - 2 \frac{2^{N-1}p + 1}{2^{N-1}p} \cdot \left( \frac{2^{N-1}p + 1}{2^{N-1}p} + \sqrt{\left( \frac{2^{N-1}p + 1}{2^{N-1}p} \right)^2 - 1} \right) \right]^2 \quad (3.6)$$

Estas ecuaciones muestran el valor del SFDR en función de  $p$  y del número de bits del DAC para una configuración no-diferencial (3.5) y una configuración diferencial (3.6). En la deducción de la expresión (3.5) el autor consideró que el segundo armónico es dominante en potencia sobre los demás armónicos múltiplos del fundamental, y utilizó la serie de *Taylor* para encontrar esta relación a partir de la ecuación (3.2). Debido a que en la configuración diferencial el segundo armónico es eliminado, el tercer armónico determina el rango dinámico en este tipo de convertidores, consideración tomada por M. Gustavsson, J. Wikner y N. Nick Tan para la deducción de la expresión (3.6).

En la *figura 3.5* se muestra el comportamiento del SFDR en función de  $1/p$  en ambas configuraciones para un convertidor de 12 bits: utilizando las expresiones anteriores y por medio de la transformada de *Fourier* (se emplea la ecuación (3.2) con  $R_L = 25\Omega$ ,  $I_{LSB} = 4,8\mu A$ ). De esta manera, se deduce que las expresiones (3.5) y (3.6) solo son válidas hasta que el piso de ruido en el espectro de la señal limita el valor de SFDR, lo cual fue señalado claramente por M. Gustavsson, J. Wikner y N. Nick Tan. De esta manera, el cálculo de SFDR para una configuración diferencial debido a este requerimiento, debe realizarse utilizando la



(a) Configuración diferencial

(b) Configuración no-diferencial

Figura 3.5: Variación del SFDR en función  $p$

transformada de *Fourier* si el valor de  $1/p$  esta por encima del limite que se demarca en la *figura 3.5a*, aproximadamente  $95dB$ , en cualquier otro caso ambos métodos son adecuados. Como se muestra en estos resultados, la configuración diferencial permite aumentar el valor de SFDR obtenido normalmente con la configuración no-diferencial, para un mismo valor de  $1/p$ . De la misma forma, para altos niveles de SFDR se necesita que el conversor digital-analógico tenga un número de bits elevado, particularmente un conversor de 12bits tendrá un valor máximo debido a este requerimiento de aproximadamente  $95dB$  [3].

## 3.2. Requerimientos debido al *Mismatch*

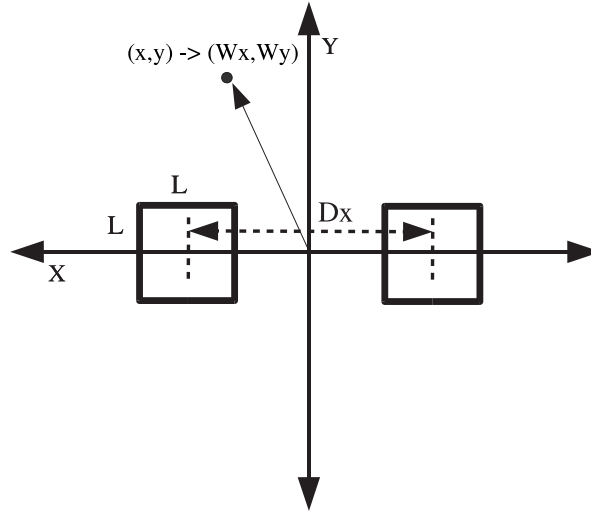
*Mismatch* es el fenómeno causado por variaciones aleatorias (independientes del tiempo), de las cualidades físicas de los dispositivos diseñados como idénticos. Su efecto lleva a que el *voltaje umbral* y el *factor de corriente* de los transistores MOS, cambien en función del área, la orientación y la distancia dentro de la oblea de silicio. Lo anterior conduce a que después de implementado el circuito integrado, se presenten variaciones en las corrientes que indican un determinado nivel en un DAC, presentándose errores en la conversión. Es necesario aclarar que estas variaciones ocurren durante la fase de fabricación de los dispositivos, incluyendo variaciones de una a otra oblea de silicio [18]. Para conocer este fenómeno con mayor detalle, se analizarán las fluctuaciones en el valor de un parámetro ( $P$ ) entre dos dispositivos considerados como iguales, lo cual permitirá más adelante definir una expresión que describa el efecto del *mismatch* sobre un transistor MOS, de manera que podamos estimar el impacto de este fenómeno sobre las especificaciones del DAC.

En general el valor de un parámetro  $P$  esta compuesto de una parte fija y una parte de variación aleatoria, resultando diferentes valores de  $P$  para diferentes coordenadas  $(x, y)$  sobre la oblea. Si las variaciones son pequeñas, el valor promedio del parámetro  $P$  sobre una área, está dada por la integral de  $P(x, y)$  sobre esta área. El *mismatch* del parámetro  $P$  entre 2 áreas  $A$  idénticas de coordenadas  $(x_1, y_1)$  y  $(x_2, y_2)$ , esta dado por:

$$\Delta P(x_{12}, y_{12}) = \frac{1}{A} \left\{ \int \int_{A(x_1, y_1)} P(x, y) dx dy - \int \int_{A(x_2, y_2)} P(x, y) dx dy \right\} \quad (3.7)$$

Si estas áreas se denotan como una función caja doble en 2 dimensiones, como la mostrada en la *figura 3.2*, podemos escribir la ecuación (3.7) como:

$$\Delta P(x_{12}, y_{12}) = \frac{1}{A} \left\{ \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \mathfrak{S}(x, y) P(x, y) dx dy - \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \mathfrak{S}(x, y) P(x, y) dx dy \right\} \quad (3.8)$$



(a) Función caja doble

Esta ecuación puede ser interpretada como la convolución entre la función de caja doble  $\mathfrak{S}(x, y)$  y la fuente de *mismatch*  $P(x, y)$ . Utilizando la transformada de *Fourier* en 2 dimensiones, podemos separar la fuente de *mismatch* de la componente geométrica, de acuerdo con:

$$\mathfrak{S}(x, y) * P(x, y) \xrightarrow{f} \mathfrak{S}(w_x, w_y) P(w_x, w_y) \quad (3.9)$$

Donde  $w_x$  y  $w_y$  son las frecuencias correspondientes a una ubicación dentro de la oblea desde un punto de referencia (*figura 3.2*), y su equivalencia es  $w_x = 2\pi/x$  y  $w_y = 2\pi/y$ . Al realizar esta transformación podemos estudiar como se comporta físicamente cada componente, en un punto sobre el dispositivos y de esta forma determinar donde es máxima o mínima la convolución de  $\mathfrak{S}(x, y) * P(x, y)$ . La función de la componente geométrica, para un par dispositivos rectangulares ubicados simétricamente al eje (y) de dimensiones  $L \times L$  y separados por una distancia  $D_x$  será:

$$\mathfrak{S}(w_x, w_y) = \frac{\sin(w_x \frac{L}{2})}{w_x \frac{L}{2}} \cdot \frac{\sin(w_y \frac{L}{2})}{w_y \frac{L}{2}} \left\{ 2 \sin(w_x \frac{D_x}{2}) \right\} \quad (3.10)$$

En la *figura 3.6*, se ilustra el comportamiento de la función anterior. En los casos en que  $(w_x = 2k\pi/D_x, w_y)$ ,  $(w_x = 2k\pi/L, w_y = 2k\pi/L)$  la función  $\mathfrak{S}(w_x, w_y)$  se anula, donde  $k = 0, 1, 2, \dots$ . De la misma manera, para  $(w_x = \pi/D_x, 0)$  se presenta el valor máximo absoluto, con máximos relativos en  $(w_x = k\pi/D_x, 0)$  para  $k = 3, 5, \dots$ . Analizando estas características podemos obtener las siguientes consideraciones:

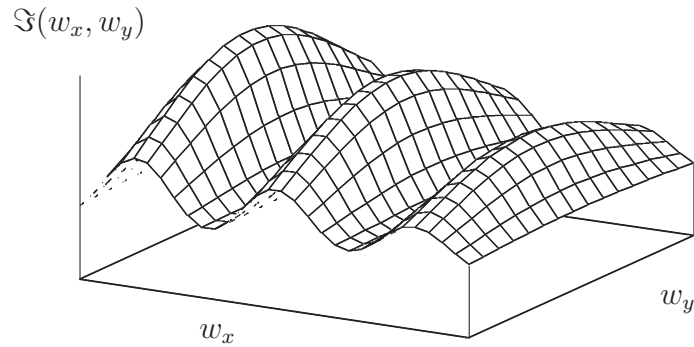


Figura 3.6: *Comportamiento de la componente geométrica*

- ♣  $\mathfrak{S}(w_x, w_y)$  será nula en el centro del dispositivo, y máxima en los bordes.
- ♣ Si  $Dx$  es mucho mayor que  $L$ , el valor de la función  $\mathfrak{S}(w_x, w_y)$  en los máximos será más grande, debido a que  $\frac{\sin(w_x \frac{L}{2})}{w_x \frac{L}{2}} \cdot \frac{\sin(w_y \frac{L}{2})}{w_y \frac{L}{2}}$  es más lenta que  $\sin(w_x \frac{Dx}{2})$ . Esto quiere decir que si los dispositivos están muy separados,  $\mathfrak{S}(w_x, w_y)$  será mucho más grande en los borde de dichos dispositivos, que en el caso que estuvieran cerca.
- ♣ Si  $L$  es muy grande (dispositivos grandes), la función  $\mathfrak{S}(w_x, w_y)$  decaerá más rápido, lo cual hace que el valor de  $\mathfrak{S}(w_x, w_y)P(w_x, w_y)$  en los puntos dentro del dispositivo sea pequeño.

Después del análisis de la dependencia geométrica, estudiaremos la contribución de las variaciones aleatorias  $P(w_x, w_y)$ . Existen dos clases de variaciones generadas por *mismatch*. Los procesos físicos generadores de *mismatch*, se pueden catalogar dentro del grupo de variaciones de corta distancia ó en el grupo de las variaciones por la separación entre los dispositivos [18].

### 3.2.1. Variaciones de corta distancia

Este tipo de variaciones presentan las siguientes características:

- ♣ El *mismatch* total del parámetro  $P$ , esta compuesto de muchos eventos singulares producidos por los procesos generadores de *mismatch*.
- ♣ Los efectos sobre el parámetro son tan pequeños, que todas las contribuciones al parámetro pueden ser sumados.

- ♣ Los eventos tienen una distancia de correlación mucho mas pequeña en comparación con las dimensiones de los dispositivos.

La distribución de la implantación de iones y las fluctuaciones de la movilidad, son algunos de los procesos que causan variaciones de corta distancia.

### 3.2.2. Variaciones por la separación entre los dispositivos

La suposición de una correlación de corta distancia, implica que no existe una relación entre las variaciones de proceso y el espaciamiento entre dispositivos. Sin embargo, el mapa de una oblea de silicio presenta una distribución circular de los parámetros físicos, debido a las características de los procesos de fabricación y oxidación. Esta segunda clase de *mismatch* cumple con los criterios de un proceso determinístico, pero debido a que se desconoce la ubicación del circuito integrado dentro de la oblea, se considera como un proceso estocástico con una gran distancia de correlación [18]. De esta manera es posible encontrar la varianza ( $\sigma^2$ ) de este proceso estocástico, recordando que:

$$\sigma^2(\Delta P) = \frac{1}{4\pi^2} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} |\mathfrak{S}(w_x, w_y)|^2 |P(w_x, w_y)|^2 dw_x dw_y \quad (3.11)$$

La varianza de  $\Delta P$  entre dos dispositivos rectangulares, se puede encontrar al sustituir los valores de  $\mathfrak{S}(w_x, w_y)$  y  $P(w_x, w_y)$  en la ecuación anterior, obteniendo :

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p^2 D_x^2 \quad (3.12)$$

Donde  $A_p$  describe las variaciones del parámetro P con el área ocupada por los dispositivos  $W \times L$  (variaciones de corta distancia), y  $S_p$  describe las variaciones del parámetro P con la distancia de separación entre dispositivos  $D_x$ . Estas dos constantes son propias de la tecnología y del tipo de proceso de fabricación.

### 3.2.3. Variaciones de proceso en un transistor MOS

La corriente de dreno, de un único transistor MOS en saturación esta dada por la siguiente ecuación:

$$I_d = \frac{\beta}{2}(V_{GS} - V_t)^2 \quad (3.13)$$

La desviación parcial de la corriente de dreno en función de  $\beta$  (*factor de corriente*) estará dada por:

$$\frac{\Delta I_d}{\Delta \beta} = \frac{1}{2}(V_{GS} - V_t)^2 \quad \longrightarrow \quad \Delta I_d = \frac{d\beta}{2}(V_{GS} - V_t)^2 \quad (3.14)$$

La desviación parcial de la corriente de drenó en función de  $V_t$  (*voltaje umbral*) estará dada por:

$$\frac{\Delta I_d}{\Delta V_t} = \frac{2\beta}{2}(V_{GS} - V_t) \longrightarrow \Delta I_d = -\beta(V_{GS} - V_t)\Delta V_t \quad (3.15)$$

Al sumar a la corriente de drenó ideal, las variaciones en función de  $\beta$  y  $V_t$  obtenemos:

$$I_d + \Delta I_d = \frac{\beta}{2}(V_{GS} - V_t)^2 + \frac{d\beta}{2}(V_{GS} - V_t)^2 - \beta(V_{GS} - V_t)\Delta V_t \quad (3.16)$$

Así obtenemos la desviación de la corriente de drenó:

$$\frac{\Delta I_d}{I_d} = \frac{\Delta\beta}{\beta} - \frac{2\Delta V_t}{(V_{GS} - V_t)} \quad (3.17)$$

Utilizando la ecuación anterior y teniendo en cuenta que  $\sigma_\beta = \frac{A_\beta}{\sqrt{WL}}$ ,  $\sigma_{V_t} = \frac{A_{V_t}}{\sqrt{WL}}$  de la ecuación (3.12) y  $V_{ov} = V_{GS} - V_t$  (solo para variaciones de corta distancia) para un solo transistor, podemos encontrar la desviación estándar relativa de la corriente de drenó:

$$\sigma_{I_d} = \frac{A_\beta}{\beta\sqrt{WL}} - \frac{2A_{V_t}}{V_{ov}\sqrt{WL}} \quad (3.18)$$

Donde  $A_{V_t}$  y  $A_\beta$  describen las variaciones de los parámetros  $V_t$  y  $\beta$  respectivamente, como se definió en la ecuación (3.12), y  $W \times L$  corresponde a las dimensiones del transistor.

### 3.2.4. Variaciones de proceso en una configuración segmentada

Un DAC implementado en esta configuración consiste de  $N_{bin}$  fuentes de corriente que usan la configuración de peso binario y  $= 2^{N_{seg}} - 1$  fuentes de corriente idénticas que usan la configuración de peso único (*figura 2.4*), con un valor  $I_{seg} = 2^{N_{bin}} \cdot I_{LSB}$ . La incertidumbre relativa de la corriente  $I_{seg}$  con respecto a  $I_{LSB}$  estará dado por [16]:

$$\frac{\sigma_{\Delta I_{seg}}}{I_{LSB}} = \frac{I_{seg}}{I_{LSB}} \cdot \frac{\sigma_{\Delta I_{seg}}}{I_{seg}} = \frac{2^{N_{bin}}}{\sqrt{2^{N_{bin}}}} \cdot \sigma_{I_{LSB}} = \sqrt{2^{N_{bin}}} \cdot \sigma_{I_{LSB}} \quad (3.19)$$

Donde  $\sigma_{I_{LSB}}$  es la desviación estándar de la corriente  $I_{LSB}$  según la ecuación (3.18). El error INL calculado a través de todas las fuentes de corriente, esta determinado por la siguiente expresión:

$$\sigma_{INL}^2 = \frac{1}{4} \left[ \sigma_{I_{LSB}}^2 \cdot (2^0 + 2^1 + \dots + 2^{N_{seg}-1}) + \sum_{j=N_{bin}}^{N_{bin}+N_{seg}} \sigma_{\frac{I_{seg}}{I_{LSB}}}^2 \right] \quad (3.20)$$

Por lo tanto:

$$\sigma_{INL} = \frac{1}{2} \sqrt{(2^{N_{bin}} - 1) \cdot \sigma_{I_{LSB}}^2 + (2^{N_{seg}} - 1) \cdot \sigma_{\frac{I_{seg}}{I_{LSB}}}^2} \quad (3.21)$$

El factor 1/2 se debe a que se considera una configuración diferencial. Simplificando y reemplazando el valor de  $\sigma_{\frac{I_{seg}}{I_{LSB}}}$ :

$$\sigma_{INL} = \frac{1}{2} \sqrt{2^N - 1} \cdot \sigma_{I_{LSB}} \quad (3.22)$$

Esta ecuación permite calcular el valor de INL a partir de la desviación estándar de la corriente LSB. Como era de esperarse, a medida que se requiera una mayor resolución para el DAC, el efecto del error de no-linealidad debido al *mismatch* será más importante.

El código de transición que determina el máximo error DNL, es aquel donde todas las fuentes de corriente de la escala binaria son desactivadas, y una fuente de corriente de la escala de peso único es activada (máxima derivada de la señal). El error DNL esperado:

$$\sigma_{DNL}^2 = \left\{ \left( \sigma_{I_{LSB}} \sqrt{\sum_{j=0}^{N_{bin}-1} 2^j} \right)^2 + \sigma_{\frac{I_{seg}}{I_{LSB}}}^2 \right\} \quad (3.23)$$

Simplificando y reemplazando el valor de  $\sigma_{\frac{I_{seg}}{I_{LSB}}}$ , La incertidumbre de error DNL:

$$\sigma_{DNL} = \sqrt{2^{N-N_{seg}-1}} \cdot \sigma_{I_{LSB}} \quad (3.24)$$

De esta manera, si el número de fuentes en la configuración de peso único se incrementa, el error de no-linealidad diferencial debido al *mismatch* se reduce.

### 3.2.5. Selección de $N_{seg}$

En una distribución Gaussiana solo el 68,27% de las muestras se encuentra en el rango de  $1\sigma$ . Para aumentar la probabilidad de que una muestra se encuentre en este rango, la desviación se multiplica por una constante  $S$  que típicamente esta entre 3 y 6 [16]. Cabe anotar, que este parámetro puede aumentarse usando algunas técnicas en la realización del *layout*. De esta manera obtenemos:

$$S \cdot \sigma_{INL} = \frac{S}{2} \cdot \sqrt{2^N - 1} \cdot \sigma_{I_{LSB}} \quad \text{haciendo} \quad \bar{\sigma}_{INL} = S \cdot \sigma_{INL} \quad (3.25)$$

Remplazando el valor de  $\sigma_{I_{LSB}}$ , ecuación (3.17):

$$\bar{\sigma}_{INL} \geq \frac{S}{2} \cdot \sqrt{2^N - 1} \cdot \left\{ \frac{A_\beta}{\beta \sqrt{WL}} + \frac{2A_{V_t}}{V_{ov} \sqrt{WL}} \right\} \quad (3.26)$$

Teniendo en cuenta lo anterior, el requerimiento mínimo de área LSB debido al error INL para esta configuración, se expresa como:

$$(WL)_{LSB} \geq \left( \frac{S}{2\bar{\sigma}_{INL}} \cdot \left\{ \frac{A_\beta}{\beta} + \frac{2A_{V_t}}{V_{ov}} \right\} \right)^2 \cdot (2^N - 1) \quad (3.27)$$

De la misma manera se puede encontrar el requerimiento de área debido al error DNL, para la configuración segmentada:

$$S \cdot \sigma_{DNL} = S \cdot \sqrt{2^{N-N_{seg}-1}} \cdot \sigma_{ILSB} \quad \text{haciendo} \quad \bar{\sigma}_{DNL} = S \cdot \sigma_{DNL} \quad (3.28)$$

$$\bar{\sigma}_{DNL} \geq S \cdot \sqrt{2^{N-N_{seg}-1}} \cdot \left\{ \frac{A_\beta}{\beta\sqrt{WL}} + \frac{2A_{V_t}}{V_{ov}\sqrt{WL}} \right\} \quad (3.29)$$

El valor mínimo de área LSB requerida, debido al error DNL:

$$(WL)_{LSB} \geq \left( \frac{S}{\bar{\sigma}_{DNL}} \cdot \left\{ \frac{A_\beta}{\beta} + \frac{2A_{V_t}}{V_{ov}} \right\} \right)^2 \cdot (2^{N-N_{seg}} - 1) \quad (3.30)$$

Por lo tanto el requerimiento de área de la fuente LSB debido al error INL es independiente de  $N_{seg}$ , pero depende de  $N_{seg}$  el área requerida por el error DNL. Al igualar el área requerida debido al DNL y INL, y despejando  $N_{seg}$ :

$$\left( \frac{S}{\bar{\sigma}_{DNL}} \cdot \left\{ \frac{A_\beta}{\beta} - \frac{2A_{V_t}}{V_{ov}} \right\} \right)^2 \cdot (2^{N-N_{seg}} - 1) = \left( \frac{S}{2\bar{\sigma}_{INL}} \cdot \left\{ \frac{A_\beta}{\beta} - \frac{2A_{V_t}}{V_{ov}} \right\} \right)^2 \cdot (2^N - 1) \quad (3.31)$$

$$\frac{1}{\bar{\sigma}_{DNL}} (2^{N-N_{seg}} - 1) = \frac{1}{2\bar{\sigma}_{INL}} \cdot (2^N - 1)$$

$$2^{N-N_{seg}} = \frac{\bar{\sigma}_{DNL}}{2\bar{\sigma}_{INL}} \cdot (2^N - 1) + 1$$

Aplicando el  $\log_2$  en ambos lados y simplificando:

$$N'_{seg} = N + 1 - \log_2 \left\{ \left( \frac{\sigma_{DNL}}{2\sigma_{INL}} \right)^2 \cdot (2^N - 1) + 1 \right\} \quad (3.32)$$

El análisis anterior permite entonces determinar el requerimiento mínimo de área para la fuente LSB, que cumple con los valores de DNL y INL, debido al efecto del *mismatch*: si  $N_{seg} < N'_{seg}$  entonces  $\{(WL)_{LSB}\}_{DNL} > \{(WL)_{LSB}\}_{INL}$  por esta razón se debe emplear la ecuación (3.28) y cuando  $N_{seg} > N'_{seg}$  sucede que  $\{(WL)_{LSB}\}_{INL} > \{(WL)_{LSB}\}_{DNL}$ , por lo cual se utiliza la ecuación (3.27). Si elegimos  $\sigma_{INL}=0.5\text{LSB}$  y  $\sigma_{INL} = 1\text{LSB}$ , el valor de

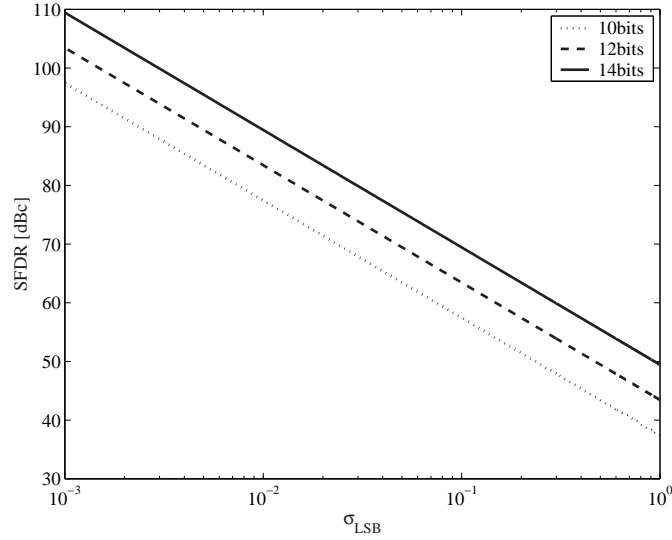


Figura 3.7:  $SFDR$  en función de  $\sigma_{I_{LSB}}$

$N'_{seg}$  será igual a 1, es decir, que si empleamos una segmentación de  $3bits$  se debe utilizar la ecuación de requerimiento de área debido al INL, para realizar el diseño.

Adicionalmente, la selección del área para la fuente de corriente LSB, debe permitir conseguir los niveles de SFDR necesarios para la aplicación en la cual se utilizará el conversor. Para examinar como se distribuye el error de conversión en el dominio de la frecuencia, debido a las variaciones del proceso de fabricación, se utilizará la siguiente ecuación (tomada de [3])

$$SFDR = 20 \cdot \log\left(\frac{3\pi}{4}\right) + 3N - \log\sigma_{I_{LSB}}^2 \quad (3.33)$$

La ecuación anterior posee dos términos constantes, los cuales suman  $20 \cdot \log\left(\frac{3\pi}{4}\right) + 3N = 43dBc$ . El segundo término será siempre positivo, por lo cual a medida que  $\sigma_{I_{LSB}}$  disminuye, el valor de SFDR se incrementa. Adicionalmente, el valor de SFDR debido a este efecto, se incrementa al aumentar el número de bits del conversor para un mismo valor de  $\sigma_{I_{LSB}}$ , tal como se muestra en la *figura 3.7*, la cual no tiene en cuenta la limitación de SFDR por el piso de ruido de la señal.

Al realizar el diseño, esta ecuación permitirá verificar que el valor de área mínima que permite alcanzar las especificaciones de INL y DNL, cumple con el requerimiento de SFDR.

### 3.2.6. Efectos del *mismatch* sobre la polarización de las fuentes de corriente

Como ya se mencionó el *mismatch* presente en el proceso de fabricación de la tecnología CMOS, lleva a que los parámetros de los dispositivos diseñados cambien de acuerdo a la ubicación y a la orientación del dispositivo dentro de la oblea de silicio. Las variaciones del voltaje umbral y el factor de corriente de los transistores MOS, pueden llevar a que los transistores que conforman las fuentes de corriente se salgan de saturación para permanecer en la región de triodo o en la región de corte. El diseño debe prever esta situación, dejando un margen adecuado entre el punto polarización y los valores máximos y mínimos que estos voltajes pueden alcanzar para funcionar correctamente. En algunos trabajos presentes en la literatura, este margen es seleccionado arbitrariamente como un  $\Delta V_{safe}$ , sin embargo, en el artículo "*Mismatch and Dynamic Modeling of current Source in current-steering CMOS D/A Converters: An extended Design Procedure*" de M. Albiol, J. Gonzáles y E. Alarcon [17], se realiza un análisis detallado de este efecto, para una fuente de corriente cascode NMOS utilizando un par diferencial de transistores NMOS. Este estudio puede ser adaptado a nuestra arquitectura, y de esta manera hacer una selección correcta de la polarización de las fuentes de corriente.

Iniciamos este estudio, analizando el circuito de la *figura 2.7*, el cual utilizaremos para determinar el valor máximo y mínimo de los puntos de polarización. En este análisis no se incluirá a  $M_{SW}$ , debido a que el voltaje de saturación de este transistor es muy grande  $\approx V_{DD}$  y por lo tanto, es muy difícil que las variaciones de  $\beta$  y  $V_t$ , lleven a este transistor a pasar del estado de triodo a saturación o al estado de corte. De esta manera tenemos:

$$\text{Condición para que } M_{CAS} \text{ este en saturación: } V(3) - V(2) > V_{B2} - V(2) - V_t^{CAS}$$

Aproximando el valor de  $V(3)$  en el peor caso  $V(3) \approx V_{DD} - I_{LSB}(2^N - 1)R_L$ , obtenemos:

$$V_{DD} - I_{LSB}(2^N - 1)R_L + V_t^{CAS} > V_{B2} \longrightarrow V_{B2}^{max} = V_{DD} - I_{LSB}(2^N - 1)R_L + V_t^{CAS} \quad (3.34)$$

Para determinar  $\Delta V_{B2}^{max}$ , sumamos a cada variable afectada por el *mismatch* dentro de la ecuación (3.34), la desviación de dicha variable debido a este efecto:

$$V_{B2}^{max} + \Delta V_{B2}^{max} = V_{DD} - (I_{LSB} + \Delta I_{LSB})(2^N - 1)(\Delta R_L + R_L) + V_t^{CAS} + \Delta V_t^{CAS} \quad (3.35)$$

Restando  $\Delta V_{B2}^{max}$  en ambos lados de la ecuación:

$$\Delta V_{B2}^{max} = I_{LSB}(2^N - 1)R_L - (I_{LSB} + \Delta I_{LSB})(2^N - 1)(\Delta R_L + R_L) + \Delta V_t^{CAS} \quad (3.36)$$

Simplificando:

$$\Delta V_{B2}^{max} = I_{LSB}(2^N - 1)R_L(1 - (1 - \frac{\Delta I_{LSB}}{I_{LSB}})(1 - \frac{\Delta R_L}{R_L})) + \Delta V_t^{CAS} \quad (3.37)$$

Donde  $\frac{\Delta I_{LSB}}{I_{LSB}}$  esta dado por la ecuación (3.17),  $\Delta V_t^{CAS}$  y  $\Delta R_L$  por la ecuación (3.12).

Del mismo modo, utilizando la condición para que  $M_{CS}$  este en saturación:

$$V(2) > V_{B1} - V_t^{CS} \quad (3.38)$$

Remplazando  $V(2) = V_{B2} - \sqrt{\frac{2I}{\beta_{CAS}}} - V_t^{CAS}$ , donde  $I$  es la corriente esperada por la fuente de corriente analizada. Aplicando el mismo procedimiento:

$$V_{B2} - \sqrt{\frac{2I}{\beta}} - V_t^{CAS} > V_{B1} - V_t^{CS} \longrightarrow V_{B2}^{min} = V_{B1} + \sqrt{\frac{2I}{\beta_{CAS}}} + V_t^{CAS} - V_t^{CS} \quad (3.39)$$

De esta forma:

$$V_{B2}^{min} + \Delta V_{B2}^{min} = V_{B1} + \sqrt{\frac{2I + 2\Delta I}{\beta_{CAS} - \Delta\beta_{CAS}}} + V_t^{CAS} + \Delta V_t^{CAS} - V_t^{CS} - \Delta V_t^{CS} \quad (3.40)$$

Restando  $V_{B2}^{min}$  en ambos lados de la ecuación y simplificando:

$$\Delta V_{B2}^{min} = \sqrt{\frac{2I}{\beta}} \left( 1 - \sqrt{\frac{1 + \frac{\Delta I}{I}}{1 - \frac{\Delta\beta_{CAS}}{\beta_{CAS}}}} \right) + \Delta V_t^{CAS} - \Delta V_t^{CS} \quad (3.41)$$

Donde  $\Delta V_t^{CAS}$  y  $\frac{\Delta\beta_{CAS}}{\beta_{CAS}}$  esta dado por la ecuación (3.17). De este modo el diseño, debe cumplir:

$$V_{B2}^{min} + |S\Delta V_{B2}^{min}| < V_{B2} < V_{B2}^{max} - |S\Delta V_{B2}^{max}| \quad (3.42)$$

Estas características se pueden entender claramente en la *figura 3.8*. Debido a que  $\Delta V_{B2}^{max}$  y  $\Delta V_{B2}^{min}$ , dependen del valor de la fuente de corriente analizada, se debe aplicar el criterio de la ecuación (3.42) para la selección de las dimensiones de los transistores que conforman la fuente de corriente, para un mismo valor de  $V_{B2}$ .

### 3.3. Requerimientos de ruido de cuantización

En el *capítulo 1* introducimos el concepto de ruido de de cuantización, indicando que este tipo de ruido se considera como ruido blanco el cual se distribuye uniformemente en el ancho

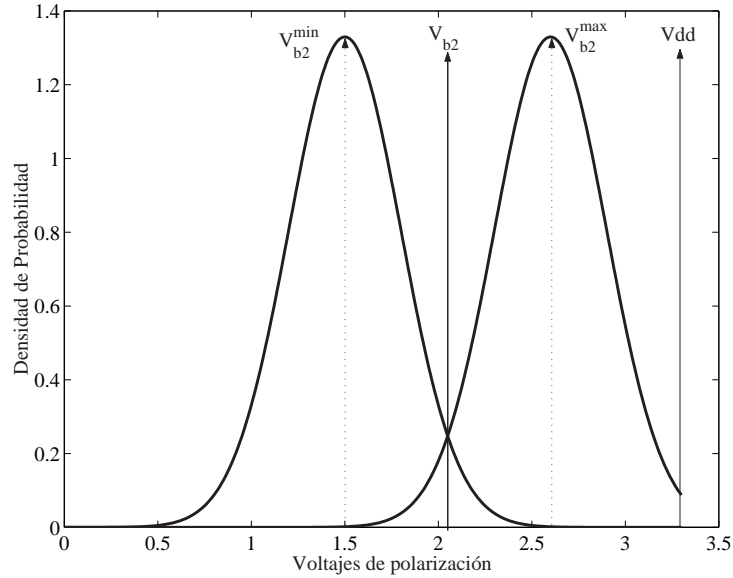


Figura 3.8: Efecto del mismatch sobre la polarización de los transistores

de banda de conversión  $0 < F < F_s/2$ , y cuya densidad espectral de potencia estaba dada por la ecuación (1.6):

$$S_q(f) = \frac{\Delta^2}{6F_s}$$

Un conversor digital-analógico no solo se ve afectado por el ruido de cuantización, también es necesario incluir el efecto del ruido térmico asociado a los elementos (transistores y resistencia) que conforman un DAC implementado en la arquitectura *current-steering*. En esta sección realizaremos el estudio de la componente de densidad de ruido térmico, comparándola con el valor de densidad de ruido de cuantización a la salida de un conversor digital-analógico, en la arquitectura *current-steering* segmentada diferencial. Lo anterior nos permitirá conocer el valor mínimo de corriente  $I_{LSB}$  que permita cumplir con el requerimiento de ruido de cuantización.

### 3.3.1. Cálculo de la densidad de ruido de cuantización para una configuración segmentada diferencial

El paso de conversión  $\Delta$  para una configuración segmentada diferencial está dado por [16]:

$$\Delta = 2 \cdot I_{LSB} \cdot R_L \quad (3.43)$$

De esta manera podemos calcular el valor de densidad de ruido de cuantización para una

configuración segmentada diferencial:

$$S_q(f) = \frac{\Delta^2}{6F_s} = \frac{2}{3} \frac{(I_{LSB} \cdot R_L)^2}{F_s} \quad (3.44)$$

Si comparamos este valor de densidad de ruido de cuantización, con el obtenido para una configuración no-diferencial [3]:

$$S_q(f) = \frac{(I_{LSB} \cdot R_L)^2}{6F_s} \quad (3.45)$$

Se hace evidente que para una configuración no-diferencial habrá un menor valor de  $S_q(f)$ , debido , como ya se anotó, a que en una configuración diferencial el paso de conversión  $\Delta$  es el doble que para una configuración no-diferencial.

### 3.3.2. Cálculo de la densidad de ruido térmico para una configuración segmentada diferencial

En un DAC en la arquitectura *current-steering* están presentes niveles importantes de ruido térmico, debido a los transistores empleados en la implementación de las fuentes de corriente y a la resistencia de carga a la salida del conversor. Para conocer el valor de la densidad de ruido térmico a la salida del DAC, es necesario determinar el valor de la componente ruido debido a cada una de las fuentes de corriente. Si consideramos el aporte de ruido térmico de la fuente LSB, teniendo en cuenta que los transistores que conforman las fuentes de corriente operan en saturación, la densidad de corriente de ruido térmico para la fuentes LSB estará dada por [16]:

$$(S_I(f))_{LSB} = \frac{8}{3}KT \cdot (g_m)_{LSB} \quad (3.46)$$

Donde  $K$  es la *constante de Boltzman* cuyo valor es  $1,38 \cdot 10^{-23} \frac{J}{K}$ ,  $T$  es la temperatura y  $(g_m)_{LSB}$  es la transconductancia del transistor  $M_{CS}$  de la fuente LSB. De esta forma, en una configuración *current-steering* segmentada diferencial, la densidad de corriente de ruido térmico debido a todas las fuentes de corriente, se escribe como:

$$S_I(f) = (2^N - 1) \cdot (S_I(f))_{LSB} = (2^N - 1) \cdot \frac{8}{3}KT \cdot (g_m)_{LSB} = (2^N - 1) \cdot \frac{8}{3}KT \cdot \frac{2 \cdot I_{LSB}}{V_{ov}} \quad (3.47)$$

Donde  $V_{ov}$  representa el voltaje de saturación ( $V_{B1} - V_t$ ) común a cada una de las fuente de corriente. La densidad de voltaje de ruido térmico a la salida del conversor, debido a los transistores que conforman las fuentes de corriente, está dada por:

$$(S_V(f))_{fuentes} = S_I(f) \cdot R_L^2 = (2^N - 1) \cdot \frac{8}{3}KT \cdot R_L \cdot \frac{2 \cdot I_{LSB}}{V_{ov}} \quad (3.48)$$

Del mismo modo, la componente de ruido térmico debido a la resistencia de carga  $R_L$ , puede ser modelada como ruido blanco, de acuerdo con la siguiente expresión:

$$(S_V(f))_{R_L} = 4KT \cdot (2 \cdot R_L) = 8KT \cdot R_L \quad (3.49)$$

El factor 2 es colocado debido a que se considera una configuración diferencial. Considerando todo lo anterior, la densidad de ruido térmico total a la salida del conversor estará determinado por:

$$S_t(f) = (S_V(f))_{fuentes} + (S_V(f))_{R_L} = \frac{16}{3}KT \cdot (2^N - 1) \cdot R_L \cdot \frac{I_{LSB}}{V_{ov}} + 8KT \cdot R_L \quad (3.50)$$

Al tener una estimación de la densidad del ruido térmico y del ruido de cuantización para un DAC en la arquitectura *current-steering* segmentada diferencial, es posible comparar estas dos magnitudes con el objetivo de evitar que el diseño final se vea afectado por la presencia de altos niveles de ruido térmico. Cuando el ruido de cuantización es menor que el valor del ruido térmico la resolución total del conversor no es exactamente igual al número de bits, debido a que la magnitud del voltaje de ruido térmico supera los niveles de conversión más bajos, lo cual hace que dentro de la resolución total del conversor no se puede incluir estos niveles. Por lo tanto, dentro del diseño de conversor digital-analógico debe elegir un valor de  $I_{LSB}$ ,  $V_{ov}$  y de  $R_L$ , tal que el ruido de cuantización supere al ruido térmico con un determinado margen de seguridad. Un margen recomendado en la literatura es de  $S_q(f) > 10 \cdot S_t(f)$  (con este margen se pierden 0.069bits de resolución) [16]. Utilizando esta consideración podemos deducir una relación que nos permita determinar el valor de  $I_{LSB}$  mínima para cumplir con el requerimiento de ruido de cuantización:

$$\frac{2 (I_{LSB} \cdot R_L)^2}{3 F_s} = 10 \left[ \frac{16}{3}KT \cdot (2^N - 1) \cdot R_L \cdot \frac{I_{LSB}}{V_{ov}} + 8KT \cdot R_L \right] \quad (3.51)$$

Esta expresión será utilizada en el *capítulo 5* para encontrar el valor de  $I_{LSB}$  mínimo en función de  $I_{LSB}$ ,  $V_{ov}$  y de  $R_L$ .



# Capítulo 4

## Requerimientos del comportamiento dinámico

En este capítulo se realizará el análisis de cada uno de los requerimientos que caracterizan el comportamiento dinámico, con el objetivo de conocer de manera detallada su impacto sobre las especificaciones del DAC. De esta manera se podrá tener un criterio cualitativo de cómo comprometer los requerimientos estáticos, estudiados en el capítulo anterior, con los requerimientos del comportamiento dinámico. Las expresiones que se mostraran en este capítulo, no son útiles en la realización de cálculos dentro del diseño, sin embargo, permitirán tener una idea más clara de como mejorar las especificaciones en pro de un diseño mucho más robusto.

### 4.1. Requerimiento de tiempo de establecimiento

El siguiente análisis es realizado para conocer la variación del voltaje de salida del convertidor en el tiempo, tomando como base la celda básica de fuente de corriente para luego extender este análisis para el DAC completo. En la *figura 4.1* se muestra el esquema circuital de una fuente de corriente en la configuración diferencial, incluyendo las capacitancias que aparecen en cada nodo. De aquí en adelante se desprejará el efecto cuerpo y la modulación de canal para los transistores MOS, de tal manera que se faciliten los cálculos.

En esta configuración la conmutación de  $M_{SW}$  y  $M'_{SW}$  es realizada en forma casi simultánea  $V_g^{SW} = V_{clk}$  y  $V_g^{SW'} = \bar{V}_{clk}$  (se consideran como señales ideales con las mismas características) y a una frecuencia mucho más rápida que la descarga de las capacitancias. Si se cumplen estas condiciones, los transistores  $M_{CAS}$  y  $M_{CS}$  estarán siempre en conducción.

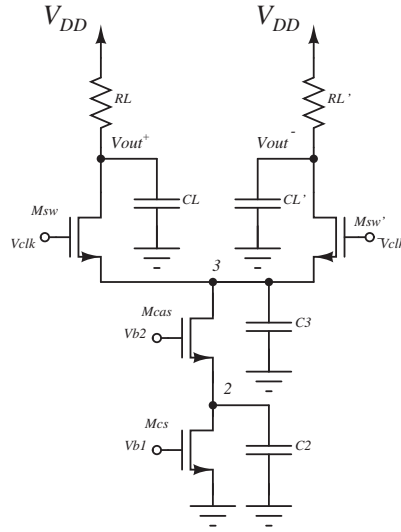


Figura 4.1: Fuente de corriente de una configuración diferencial

Teniendo en cuenta lo anterior, en la conmutación se puede distinguir 3 etapas según el estado de los transistores. Iniciamos el análisis suponiendo que el transistor  $M_{SW}$  conduce en estado de triodo y el transistor  $M'_{SW}$  está en corte, solo una fuente conmuta y que el circuito se encuentra en estado estable:

♣  $M_{SW}$  en triodo y  $M'_{SW}$  en corte.

El circuito equivalente que describe este estado se muestra en la *figura 4.2a*. En el momento en que  $V_{clk}$  comienza a aumentar, la corriente por la resistencia de carga comienza a disminuir de forma retardada por la presencia de  $C_L$ . La constante de tiempo asociada a esta capacitancia será aproximadamente  $\tau_L = R_L C_L$ . Cuando  $C_L$  empieza a cargarse, las capacitancias  $C_3$  y  $C_2$  inician su descargar por medio de los transistores  $M_{CAS}$  y  $M_{CS}$ , como lo indica la *figura 4.2a*. Estas capacitancias están conformadas por las capacitancias de *overlap*, el efecto capacitivo de la compuerta de los transistores MOS y las capacitancias parásitas de interconexión. La corriente que conduce el transistor  $M_{CS}$  permanece constante, debido a que se desprecia el efecto de modulación del canal y se asegura que  $M_{CAS}$  y  $M_{CS}$  permanecen en saturación. En este punto se cumple que:

$$I_{R_L} = I_{SW} - I_{C_L} \quad I_{SW} = I_{CAS} - I_{C_3} \quad I_{CAS} = I_{CS} - I_{C_2} \quad (4.1)$$

Teniendo en cuenta las expresiones anteriores tenemos:

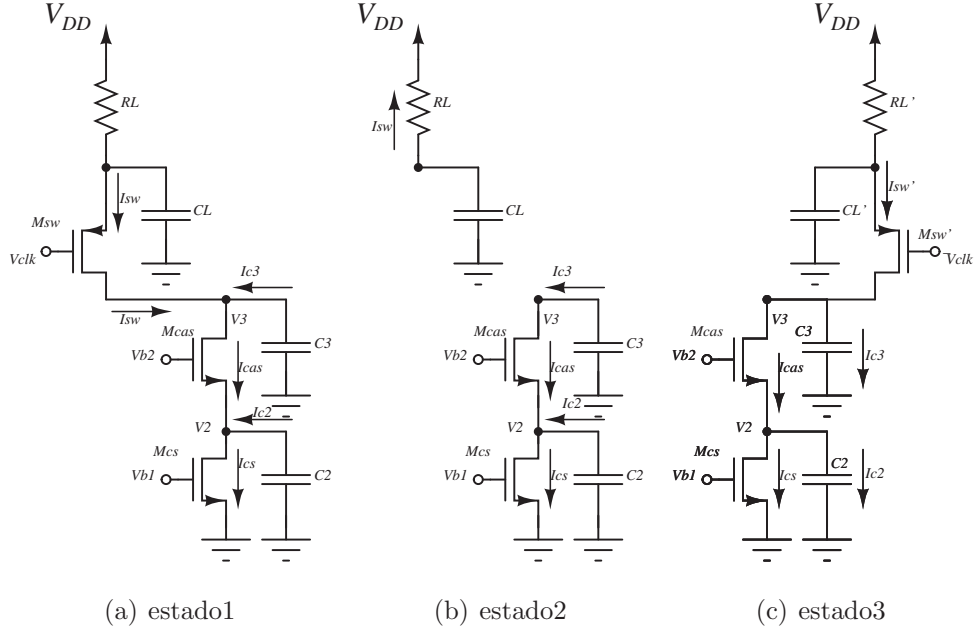


Figura 4.2: Circuitos equivalentes para la conmutación

$$\begin{aligned}
 I_{CAS} &= I_{CS} - I_{C_2} = I_{CS} - C_2 \cdot \frac{dV_2}{dt} + C_2 \cdot V_2(0) \\
 &= I_{CS} - C_2 \cdot \frac{d}{dt} \left( V_{B2} - \sqrt{\frac{2I_{CAS}}{\beta_{CAS}}} - V_t \right) + C_2 \cdot V_2(0) \quad (4.2)
 \end{aligned}$$

Donde  $V_2(0)$  es el voltaje  $V_2$  para  $t = 0^-$ . Resolviendo esta ecuación:

$$\begin{aligned}
 \frac{dV_{B2}}{dt} &= 0 \quad \frac{d}{dt} \left( \sqrt{\frac{2I_{CAS}}{\beta_{CAS}}} \right) = \frac{-1}{\sqrt{2I_{CAS}\beta_{CAS}}} \cdot \frac{dI_{CAS}}{dt} \quad \frac{dV_t}{dt} = 0 \\
 I_{CAS} &= I_{CS} - C_2 \cdot \frac{dI_{CAS}}{dt} \cdot \frac{1}{\sqrt{2I_{CAS}\beta_{CAS}}} + C_2 \cdot V_2(0) \quad (4.3)
 \end{aligned}$$

Para facilitar el análisis no se consideran las variaciones de  $gm_{CAS}$  con respecto a  $I_{CAS}$ , por lo tanto, fijamos a  $gm_{CAS} = \sqrt{2I_{CAS}\beta_{CAS}}$  como constante en el tiempo. De esta manera obtenemos:

$$I_{CAS} = I_{CS} - C_2 \cdot \frac{dI_{CAS}}{dt} \cdot \frac{1}{gm_{CAS}} + C_2 \cdot V_2(0) \quad (4.4)$$

De igual manera:

$$I_{SW} = I_{CAS} - I_{C_3} = I_{CAS} - C_3 \cdot \frac{dV_3}{dt} + C_3 \cdot V_3(0) \quad (4.5)$$

Teniendo en cuenta que  $V_3 \approx V_{dd} - I_{SW} \cdot R_L - I_{SW} \cdot r_{DS}$ :

$$I_{SW} = I_{CAS} - C_3 \cdot \frac{d}{dt} \left( V_{dd} - I_{SW} \cdot R_L - I_{SW} \cdot r_{DS} \right) + C_3 \cdot V_3(0) \quad (4.6)$$

Donde  $r_{DS} \approx \frac{1}{\beta_{SW} \cdot |V_{SG} - V_{t|_{SW}}}$ . Es evidente que el valor de  $r_{DS}$  cambia en función de  $V_{dk}$ , pero para simplificar el cálculo no se tiene en cuenta esta variación y queda establecido como una constante. Resolviendo esta ecuación obtenemos:

$$\begin{aligned} \frac{dV_{dd}}{dt} = 0 \quad \frac{d}{dt} \left( I_{SW} \cdot r_{DS} \right) &= \frac{dI_{SW}}{dt} \cdot r_{DS} \quad \frac{d}{dt} \left( I_{SW} \cdot R_L \right) = \frac{dI_{SW}}{dt} \cdot R_L \\ I_{SW} &= I_{CAS} - C_3 \cdot \frac{dI_{SW}}{dt} (r_{DS} + R_L) + C_3 \cdot V_3(0) \end{aligned} \quad (4.7)$$

Combinando (4.4) con (4.7) y aplicando la transformada de *Laplace*:

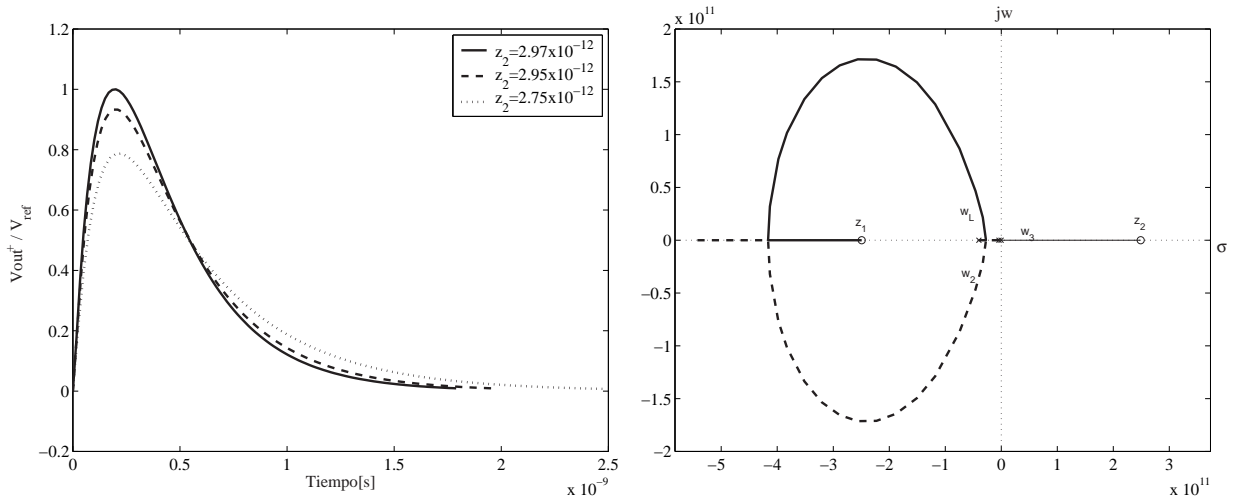
$$I_{SW} = \frac{I_{CS} + C_2 \cdot V_2(0) + C_3 \cdot V_3(0) \cdot \left( \frac{s}{w_3} + 1 \right)}{\left( \frac{s}{w_3} + 1 \right) \cdot \left( \frac{s}{w_2} + 1 \right)} \quad (4.8)$$

Donde  $w_3 = \frac{1}{(R_L + r_{DS})C_3}$  y  $w_2 = \frac{gm_{CAS}}{C_2}$ . Cabe anotar, que debido a que el valor de los polos depende de la corriente por una fuente específica y de las fuentes conectadas al nodo de salida, la constante de tiempo total varía en función del código digital de entrada. El voltaje  $V_{out}^+$  se expresa como:

$$V_{out}^+ = V_{dd} - \frac{R_L}{\left( \frac{s}{w_L} + 1 \right)} \left\{ \left[ I_{SW} \right]_{2^0} + \left[ I_{SW} \right]_{2^1} + \dots \right\} - \frac{V_{out}^+(0)}{\left( \frac{s}{w_L} + 1 \right)} \quad (4.9)$$

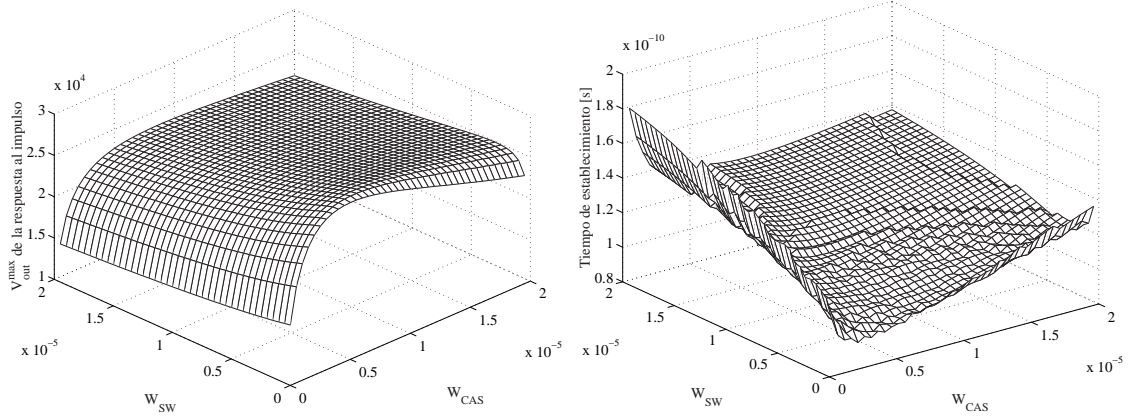
Donde  $w_L = \frac{1}{C_L \cdot R_L}$  y  $V_{out}^+(0)$  es el voltaje  $V_{out}^+$  en  $t = 0^-$

En la *figura 4.3a* se muestra la respuesta al impulso y la ubicación de los polos y ceros en el lugar de las raíces del sistema de la ecuación (4.9), para  $R_L = 25\Omega$ ,  $C_L = 1pF$ ,  $gm_2 = gm_3 = 1,8mA/V$ ,  $V_3(0) = 2V$ ,  $V_2(0) = 1V$  y  $V_{out}^+(0) = 3,3V$  ( $z_2 = 2,97 \times 10^{-12}$ ). Este comportamiento transitorio se presenta debido a que hay un cero situado en el plano derecho del eje  $iw$ . A medida que este cero se mueva hacia la izquierda, el sistema tendrá una respuesta transitoria con una pico menos pronunciado, como se muestra en la *figura 4.3b*, donde se toma como referencia  $V_{ref}$  el voltaje del máximo para  $z_2 = 2,97 \times 10^{-12}$ . Lo anterior lleva a que el tiempo de establecimiento de la señal aumente, disminuyendo el ancho de banda de conversión. Se realizaron variaciones de las dimensiones de los transistores que conforman la fuente de corriente  $W_{CAS}$  y  $W_{SW}$ , teniendo en cuenta que  $L_{CAS} = L_{SW} =$  mínima longitud,  $W_{CS} = 90\mu m$ ,  $L_{CS} =$



(a) Respuesta al impulso

(b) Lugar de las raíces

(c)  $V_{out}^{max}$  de la respuesta al impulso

(d) Variación del Tiempo de establecimiento

Figura 4.3: Características del sistema analizado

$12\mu\text{m}$  para el transistor<sup>1</sup>  $M_{CS}$  y utilizando los parámetros del proceso de fabricación de la tecnología empleada los resultados se muestran en la *figura 4.3 c y d*. De esta manera, se puede afirmar que a medida que reducimos  $W_{CAS}$ , para un mismo valor  $W_{SW}$ , la respuesta del sistema será más lenta, pero al mismo tiempo el pico de voltaje en el transitorio será menos pronunciado. Este mismo comportamiento se presenta si reducimos gradualmente  $W_{SW}$ , para un mismo valor  $W_{CAS}$ . Al realizar el diseño se debe ajustar estas dimensiones para comprometer ambos efectos. Cabe anotar, que la longitud de canal de  $M_{SW}$  y  $M_{CAS}$  se deben seleccionar al valor mínimo ya que el valor

<sup>1</sup>Las dimensiones de este transistor están fijadas por el comportamiento estático como se mostrará en el capítulo 5

de los polos del sistema aumentan con el cuadrado del valor de esta dimensión.

♣  $M_{SW}$  y  $M'_{SW}$  en corte.

Este estado se presenta debido a que  $|V_{out}^+ - V_{clk}| < |V_t|_{SW}$  y  $|V_{out}^- - \bar{V}_{clk}| < |V_t|_{SW}$  (figura 4.2b), considerando que  $M'_{SW}$  y  $M_{SW}$  tienen el mismo voltaje umbral. En este punto  $I_{SW} = 0$  y las capacitancias  $C_3$  y  $C_2$  se descargan a través de los transistores  $M_{CAS}$  y  $M_{CS}$  con una alta resistencia. Por lo tanto el voltaje  $V_3$  permanece aproximadamente constante hasta que  $|V_{out}^- - \bar{V}_{clk}| = |V_t|_{SW}$ , cuando el transistor  $M'_{SW}$  entra a triodo. La capacitancia  $C_L$  continua descargándose a través de  $R_L$ .

♣  $M_{SW}$  en corte y  $M'_{SW}$  en triodo.

De la misma manera que para la primera parte, a medida que  $\bar{V}_{CLK}$  disminuye la corriente a través del transistor  $M'_{SW}$  se incrementa hasta llegar a su estado estable, cargando de nuevo las capacitancias  $C_3$ ,  $C_2$  y  $C_L'$  (figura 4.2c). Este comportamiento es semejante al primer caso, por lo que es posible utilizar las mismas ecuaciones, llegando a que ( ecuación 4.9):

$$V_{out}^- = V_{dd} - \frac{R_L}{\left(\frac{s}{w_L} + 1\right)} \left\{ \left[ I'_{SW} \right]_{2^0} + \left[ I'_{SW} \right]_{2^1} + \dots \right\} - \frac{V_{out}^-(0)}{\left(\frac{s}{w_L} + 1\right)} \quad (4.10)$$

## 4.2. Características de la señal de conmutación

En la sección anterior se estudiaron las diferentes etapas que se pueden presentar en el proceso de conmutación de la celda de corriente diferencial. Aquí no se tuvo en cuenta si las señales que conmutan el par diferencial ( $V_{clk}$  y  $\bar{V}_{clk}$ ), permiten que solo un transistor conduzca a la vez, es decir, se caracterizaron los diferentes estados que pueden suceder en la conmutación sin incluir los inconvenientes de tener en triodo  $M_{SW}$  y  $M'_{SW}$  al mismo tiempo. Este caso se puede presentar si el punto de cruce de las señales de control, esta por debajo del nivel de voltaje en que ambos transistores  $M_{SW}$  y  $M'_{SW}$  estén en corte. Esta ultima característica se ilustra en la figura 4.4a. El resultado de esta condición será la aparición de *glitches* a la salida del conversor. Esto se puede explicar utilizando el siguiente ejemplo: en un instante de tiempo los transistores  $M_{SW}$  y  $M'_{SW}$  conducen con la misma resistencia de encendido, idealmente se cumplirá que  $V_{out}^+ = V_{out}^-$  y la señal diferencial será  $V_{out} = 0$ ; si en un  $\Delta t$  después  $M_{SW}$  se corta, la señal diferencial de salida cambiará súbitamente de valor  $\Delta V_{out}$ . En un caso extremo estas condiciones puede llevar a que  $M_{CAS}$  y  $M_{CS}$  pasen a triodo, si  $V_3 < V_{B2} - V_t$  ó  $V_2 < V_{B1} - V_t$ , reduciendo la resistencia de salida del DAC [3].

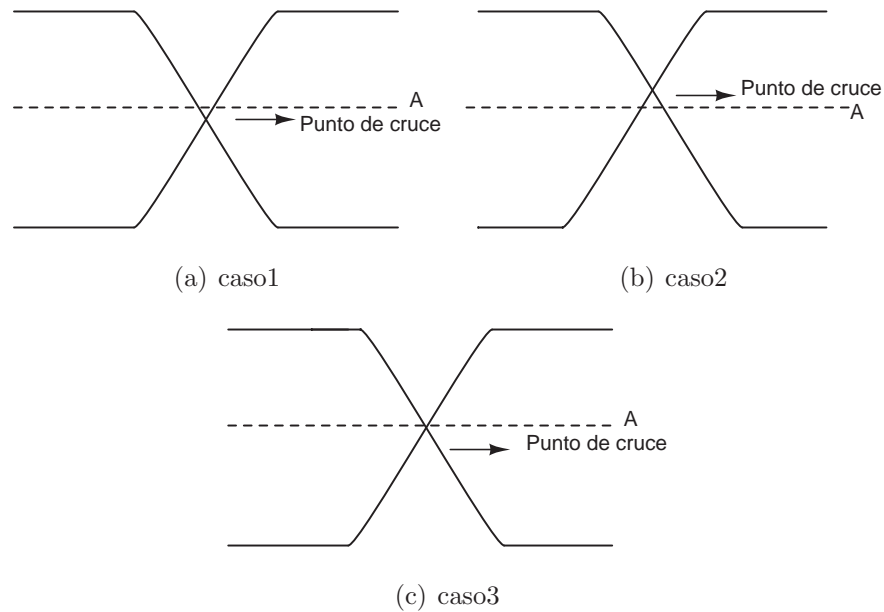


Figura 4.4: Características de la señal de conmutación

Si el punto de cruce sucede por encima de este nivel *figura 4.4b*, solo un transistor conduce a la vez, pero existirá un instante de tiempo donde ambos transistores estén en corte, así como ya se mencionó. Este caso tiene el inconveniente de que la conmutación será más lenta, debido a que en este tiempo no se realiza descarga o carga de capacitancias. El caso ideal se presenta en la *figura 4.4c*, en el cual solo un transistor está conduciendo en un instante de tiempo dado. Este caso permite una conmutación más rápida que el caso anterior. Aunque esta señal es muy difícil de obtener se puede utilizar el caso 2, tratando de minimizar el tiempo en el cual ambos transistores están en corte. Cabe anotar que el nivel  $A$  no solo depende del voltaje umbral de los transistores del par, si no también del voltaje diferencial de salida  $V_{out}$ . Debido a que este voltaje varía con el número de fuentes activas en un instante de tiempo, el valor de  $A$  depende de la palabra digital de entrada: si  $X$  aumenta  $V_{out}$  aumenta y el nivel  $A$  disminuye.

### 4.3. Clock Feedthrough (CFT)

En el *capítulo 1* se definió este problema, haciendo notar que este fenómeno se presenta debido a que las capacitancias de *overlap* y las capacitancias  $C_{gd}$ ,  $C_{gs}$  presentes en los transistores MOS, que acopla la entrada  $V_{clk}$  y  $\bar{V}_{clk}$  al drenador y al surtidor de cada transistor del par diferencial PMOS [3]. Cuando  $V_{clk}$  y  $V'_{clk}$  cambian de estado, a través de estas

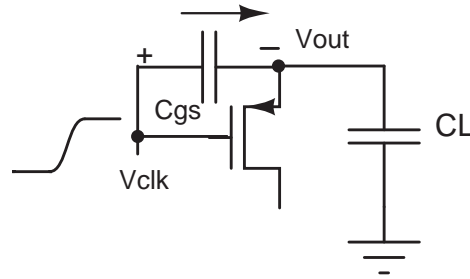


Figura 4.5: Circuito equivalente del CFT teniendo en cuenta capacitancia de overlap

capacitancias se inyectan cargas en el drenador y surtidor de  $M_{SW}$  y  $M'_{SW}$ . Cuando a este par de transistores están unidos por el drenador, las cargas inyectadas y repelidas en este nodo se anulan, por lo cual el CFT solo afecta a ambos nodos de la salida diferencial. Para facilitar el análisis se estudiará la componente que introduce  $C_{ov}$  compuerta-surtidor y  $C_{gs}$  por separado, para luego sumarmas y encontrar la variación total del voltaje de salida debido a este efecto.

♣ Componente de CFT debido a la capacitancia de *overlap*.

La capacitancia de *overlap* esta dado por:

$$C_{ov} = W \cdot L_{ov} \cdot C_{ox} \quad (4.11)$$

Donde  $W$  es el ancho de la compuerta y  $L_{ov}$  es la longitud de la compuerta solapada. La variación del voltaje de salida debido al cambio del voltaje en la compuerta del transistor, sin considerar la señal de salida deseada, se puede encontrar teniendo en cuenta el circuito equivalente mostrado en la *figura 4.5*.

$$(\Delta V_{out})_{ov} = \frac{\frac{1}{sC_L}}{\frac{1}{sC_L} + \frac{1}{sC_{ov}}} \cdot V_{out}^{max} \approx \frac{W \cdot L_{ov}}{C_L} \cdot Vdd \quad (4.12)$$

Esta aproximación se realiza con base en  $C_L \gg C_{ov}$  y asumiendo que para el peor caso el voltaje máximo de conmutación es el voltaje de alimentación  $Vdd$  [3]. Por lo tanto, el CFT se incrementa con el aumento de las dimensiones de los transistores  $M_{SW}$  y  $M'_{SW}$ , mientras que disminuye al aumentar la capacitancia de carga a la salida del conversor  $C_L$ .

♣ Componente de CFT debido a la capacitancia  $C_{gs}$

La carga atrapada en el canal cuando el transistor opera en la región triodo será aproximadamente:

$$Qch = W \cdot L \cdot C_{ox} \cdot V_{eff} \quad (4.13)$$

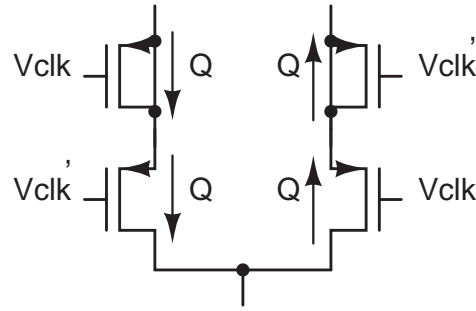


Figura 4.6: *Transistor dummy para disminuir el efecto del CFT*

Donde  $C_{ox}$  es la capacitancia por unidad de área de la compuerta y  $V_{eff}$  es el voltaje efectivo compuerta-surtidor, el cual para el peor caso será  $\approx V_{dd}$ . Cuando el transistor pasa de triodo a corte, aproximadamente la mitad de la carga acumulada en  $C_{ox}$  se inyecta en  $C_L$ . De esta manera es posible encontrar la variación del voltaje de salida debido a este efecto:

$$(\Delta V_{out})_{ch} = \frac{Q_{ch}}{2} \cdot \frac{1}{C_L} = \frac{W \cdot L \cdot C_{ox} \cdot V_{eff}}{2C_L} \quad (4.14)$$

Teniendo en cuenta todo lo anterior, la variación total del voltaje de salida debido al CFT, estará conformado por:

$$(\Delta V_{out})_{ch} + (\Delta V_{out})_{ov} \quad (4.15)$$

Una manera de reducir estos efectos, es usar los llamados transistores *dummy* (figura 4.6), los cuales funcionan como capacitancias que adsorben o repelen las cargas transportadas a los nodos salida por efecto del CFT. Estos transistores permanecen siempre en estado de corte debido a que el drenador y el surtidor están al mismo potencial. En la literatura, estos transistores suelen ser diseñados con la misma longitud de canal (para tener la misma  $L_{ov}$ ) y con la mitad de ancho del canal  $W$  del transistor original [3]. Este valor de  $W$  solo permite eliminar la componente  $(\Delta V_{out})_{ov}$ , para eliminar ambas componentes se debe seleccionar un valor un poco más grande.

## 4.4. No-liniedad en la conmutación

En general un DAC en *current steering* la transición de un código a otro, lleva a un cambio repentino de impedancia de salida y por lo tanto de la constante de tiempo. Esto hace que el tiempo de establecimiento de la señal de salida varíe en función del código digital

de entrada como, se mencionó en la *sección 4.1*. El tiempo de establecimiento será mayor si la diferencia entre los códigos de transición  $X(k) - X(k-1)$  se incrementa (*figura 4.7*). Para una transición  $X(k-1) \rightarrow X(k)$  la corriente de salida puede ser escrita como:

$$i_{RL}(t) = I_{RL}(k-1) + [I_{RL}(k) - I_{RL}(k-1)] \cdot \{1 - e^{-(t-(k-1)T)/\tau}\} \quad (4.16)$$

Donde  $(k-1) < t/T < k$ .  $I_{RL}(k-1) = I_{RL}([k-1]T)$  es la corriente a través de la resistencia de carga antes de la transición y  $I_{RL}(k) = I_{RL}([k]T)$  es el valor final,  $T$  es el periodo de entrega de datos, y  $\tau$  es la constante de tiempo de respuesta del sistema. El error del voltaje de salida con respecto a la señal de salida ideal, en un intervalo de tiempo esta descrito por:

$$\Delta I(t) = I_{RL}(k) - i_{RL}(t) = [I_{RL}(k) - I_{RL}(k-1)] \cdot e^{-(t-(k-1)T)/\tau} \quad (4.17)$$

El máximo valor de  $\Delta I(t)$  se da para  $t = kT$  donde  $k = 1, 2, 3 \dots$ , y entonces tenemos:

$$\Delta I(t)_{max} = I_{RL}(k) - i_{RL}(t) = [I_{RL}(k) - I_{RL}(k-1)] \cdot e^{-T/\tau} \quad (4.18)$$

Usando la ecuación (3.2) tenemos:

$$\Delta I(t)_{max} = \frac{I_{LSB} + Vdd \cdot G_{LSB}}{1 + G_{LSB} \cdot R_L} \cdot \frac{X(k) - X(k-1)}{X(k) - X(k-1)} \cdot e^{-T/\tau} \quad (4.19)$$

Esta ecuación muestra que el tamaño del error en el establecimiento de la señal:

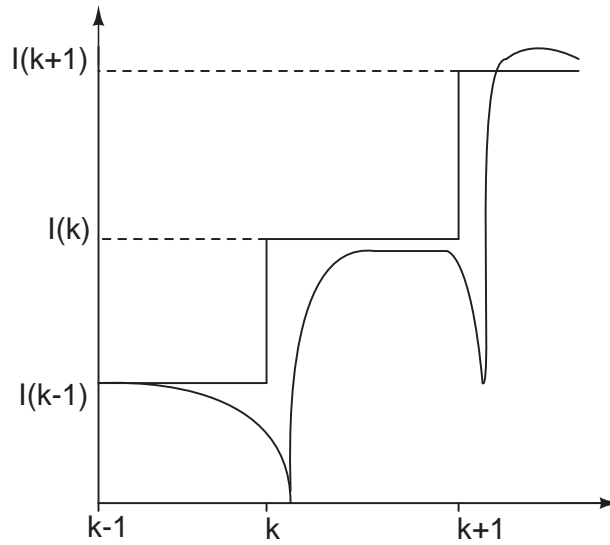


Figura 4.7: Características del voltaje de salida en una transición

- ♣ Aumenta si se incrementa T.
- ♣ Aumenta si la diferencia entre los códigos de entrada se incrementa.

Es evidente que el peor caso de  $\Delta I(t)_{max}$  se presenta para el código de transición  $000 \dots 0 \rightarrow 111 \dots 1$ . Esta no linealidad en la conmutación se manifiesta en distorsión armónica de la señal, la cual se hace importante para señales más rápidas y para frecuencias de entrega de datos elevadas.

Al realizar el diseño se debe estimar el error de establecimiento de la señal en el peor caso de transición, para de esta manera verificar que la señal de salida se establezca totalmente, a la frecuencia que se desea funcione el convertidor. Al mismo tiempo, se debe realizar mediciones de SFDR (a la frecuencia de entrega de datos) para determinar si los armónicos que introduce la no linealidad en la conmutación, limita el valor requerido para esta especificación. Si no se cumplen con los valores deseados dentro del diseño, se debe intentar reducir la constante de tiempo  $\tau$ , ecuación (4.19), ajustando las dimensiones de los transistores que conforman las fuentes de corriente ó aumentando el valor de la corriente  $I_{LSB}$ .



# Capítulo 5

## Estrategia de Diseño

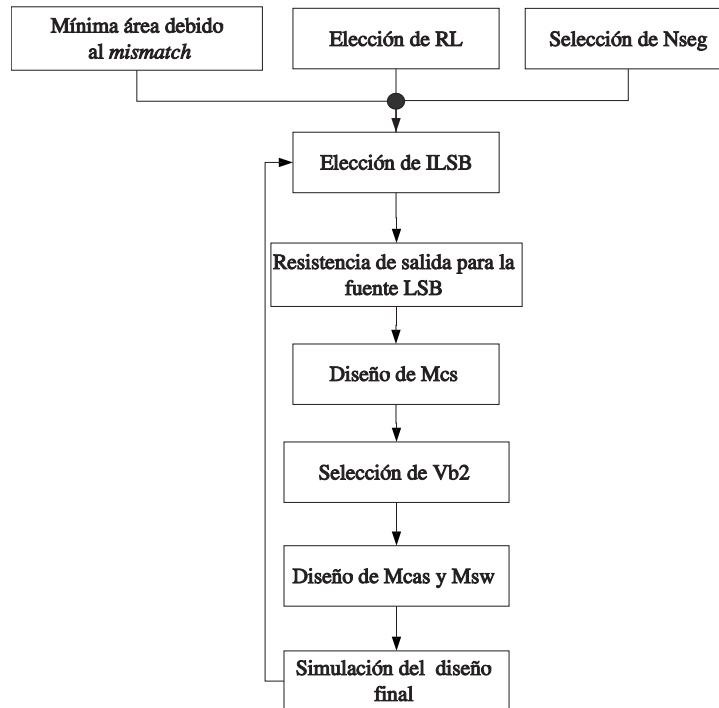
El presente capítulo está enfocado a explicar la estrategia que se utilizó para realizar el diseño del DAC. Aquí se retoman los resultados y consideraciones obtenidas en el *capítulo 3* (comportamiento estático) y en el *capítulo 4* (comportamiento dinámico), mostrando los pasos que se siguieron para cumplir cada uno de los requerimientos, y la manera en que se ajustaron las diferentes variables de diseño con el fin de alcanzar las especificaciones exigidas para un DAC dentro de un *transceiver* RF en el estandar *Bluetooth*. En la primera parte de este capítulo se expone la estrategia de diseño de las fuentes de corriente, siguiendo con el diseño del *latch* y en la parte final se muestran las consideraciones del diseño del decodificador. En la *tabla 5.1* se indican el valor de las especificaciones que se requieren alcanzar con la realización del diseño. Adicionalmente, en la *tabla 5.2* se muestran los parámetros de los transistores NMOS y PMOS en la tecnología AMS  $0,35\mu m$  C35B4, que serán utilizados dentro de los cálculos que involucra el desarrollo del diseño.

Tabla 5.1: *Especificaciones*

<b>Especificación</b>	<b>Valor requerido</b>
SFDR	$> 50dB$
INL	$< 0,5LSB$
DNL	$< 1LSB$
Ancho de Banda	$> 100MHz$

Tabla 5.2: *Parámetros de los transistores NMOS y PMOS, utilizados el diseño*

Parámetro	PMOS	NMOS
Voltaje umbral ( $V_t$ )	$-0,77V$	$0,55V$
Factor de ganancia ( $K_p$ )	$58\mu A/V^2$	$170\mu A/V^2$
Movilidad ( $\mu_o$ )	$131cm^2/Vs$	$467cm^2/Vs$
$A_{V_T}$	$14,9mV\mu m$	$8,2mV\mu m$
$A_\beta$	$0,4\% \mu m$	$0,2\% \mu m$
$A_R$	$12\% \mu m$	

Figura 5.1: *Estrategia de diseño de las fuentes de corriente*

## 5.1. Fuentes de corriente

En el *capítulo 3* y en el *capítulo 4*, se analizaron los diferentes requerimientos que se deben tener en cuenta en la realización del diseño de las fuentes de corriente, lo cual permite utilizar las ecuaciones obtenidas en estos dos capítulos, como herramientas para manipular las diferentes variables de diseño. Todo esto va encaminado en alcanzar las especificaciones que se plantearon en el *Capítulo 1*.

A continuación se enumeran los pasos seguidos en la estrategia de diseño de las fuentes

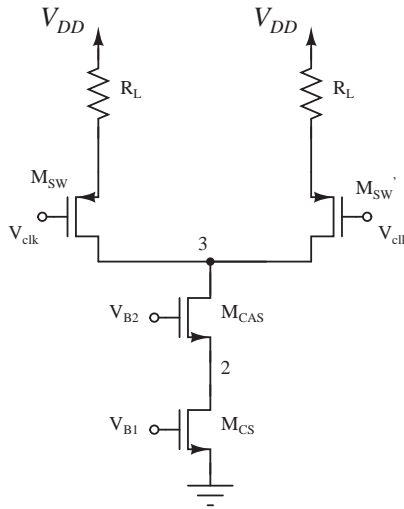


Figura 5.2: Fuente de corriente seleccionada

de corriente, los cuales se resumen en la figura 5.1.

### 1. Selección de $N_{seg}$

Cuando se definió la configuración segmentada se dejó claro que una de las variables de diseño sería el número de fuentes de peso único y el número de fuentes de peso binario de acuerdo con  $N = N_{seg} + N_{bin}$ . Las características de la configuración segmentada fueron estudiadas en el capítulo 2. El requerimiento de *mismatch* estudiado en el capítulo 3, para los parámetros DNL y INL, se utiliza como criterio para seleccionar el número de bits segmentados. Para este fin se emplea la ecuación (3.32):

$$N'_{seg} = N + 1 - \log_2 \left( \left( \frac{\sigma_{DNL}}{2\sigma_{INL}} \right)^2 \cdot (2^N - 1) + 1 \right)$$

Los parámetros  $DNL$  y  $INL$  tienen dos componentes de tipo estático: una debido al *mismatch* y otra atribuida a la resistencia de salida finita del DAC, las cuales se expusieron en el capítulo 3. Para tener en cuenta el efecto de ambas componentes sobre  $INL$  se realizó la siguiente selección:

$$INL_{total} = (INL)_{resistencia} + (INL)_{mismatch} = 0,25 + 0,25$$

Esto indica que el diseño se realizará para que la mitad del valor de INL sea producto de la resistencia de salida finita del DAC y la otra mitad se deba al efecto del *mismatch*. De esta manera, el valor de  $\sigma_{INL}$  en la ecuación (3.32) será igual a 0,25.

Cuando se hizo el análisis del efecto de la resistencia de salida finita de las fuentes de corriente, se mostró que el error DNL debido a este efecto es muy pequeño, lo cual permite despreciar esta componente y solo tener en cuenta la componente debido al *mismatch*. Sin embargo, es necesario tener en cuenta lo siguiente: la expresión (3.24) fue deducida teniendo en cuenta el peor caso para el error DNL, sin considerar el efecto total acumulado del valor  $DNL_k$  debido a la desviación de la corriente en cada fuente de corriente, es decir, el valor de  $\sigma_{DNL}$  en la ecuación (3.32) solo considera el peor de los casos  $DNL_k$  y no el valor de  $\sum_{i=1}^k DNL_i$ . La ecuación (1.14) en el *capítulo 1* muestra el efecto acumulado de  $DNL_k$  sobre el valor  $INL_k$ . Esta expresión permite tener un rango de selección de  $\sigma_{DNL}$ , teniendo en cuenta el peor caso debido al efecto del *mismatch*:

$$\left( \sum_{i=1}^k DNL_i \right)^{max} = INL_k^{max} - INL_0 = 0,25 - 0 = 0,25 \quad (5.1)$$

De esta forma, el valor de  $\sigma_{DNL}$  debe ser más pequeño que el valor máximo acumulado  $\sum_{i=1}^k DNL_i = 0,25$ . Se seleccionó un valor de  $\sigma_{DNL} = 0,125$ , es decir, un 50 % del valor  $DNL_k$  acumulado.

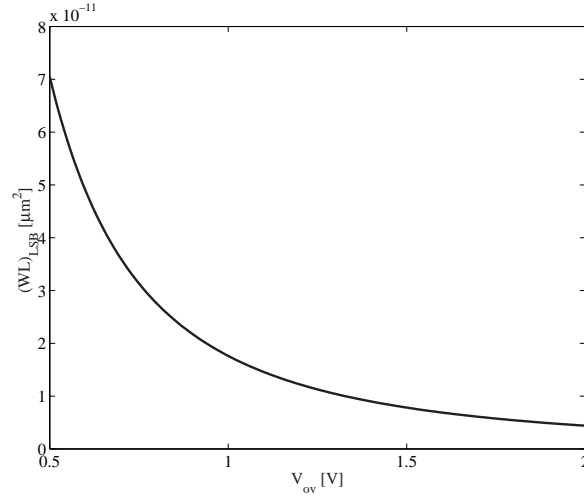
Al remplazar estos valores en la ecuación (3.32) se obtuvo  $N'_{seg} = 4,9$  utilizando para el diseño una segmentación de  $N_{seg} = 5bits$ . La anterior selección justifica la utilización de la ecuación (3.27) en el cálculo del área  $(WL)_{LSB}$ , el cual se realiza a continuación.

## 2. Mínima área requerida debido al *mismatch*.

Como se mencionó en el *Capítulo 3*, debido al efecto del *mismatch* es necesario emplear un área mínima para la fuente de corriente LSB, que permita cumplir con las especificaciones de DNL, INL y SFDR. Cabe aclarar que el área a la que se refiere este requerimiento es la del transistor  $M_{CS}$ , ya que este determina el valor de la corriente que circula por la fuente. Las siguientes expresiones (indicadas en el *capítulo 3*), permiten calcular el área mínima requerida para este transistor:

$$(WL)_{LSB} \geq \left( \frac{S}{2\bar{\sigma}_{INL}} \cdot \left\{ \frac{A_\beta}{\beta} + \frac{2A_{V_t}}{V_{ov}} \right\} \right)^2 \cdot (2^N - 1) \quad (5.2)$$

$$SFDR = 20 \cdot \log_2\left(\frac{3\pi}{4}\right) + 3N - \log_2\sigma_{I_{LSB}}^2 \quad (5.3)$$

Figura 5.3: Posibles valores para  $(WL)_{LSB}$ 

$$\sigma_{I_D} = \frac{A_\beta}{\sqrt{WL}} - \frac{2A_{V_t}}{V_{ov}\sqrt{WL}} \quad (5.4)$$

Se tomaron los siguientes valores:

$S=2$  (aproximadamente el 90 % de las muestras).

$$\bar{\sigma}_{INL} = 0,25$$

$$A_\beta = 0,2 \mu m \%$$

$$A_{V_t} = 8,2 \mu m \cdot mV$$

$V_{ov}$  = Se debe seleccionar un valor.

Debido a que  $A_\beta$  es de un valor muy pequeño  $\frac{A_\beta}{\beta\sqrt{WL}}$  se puede despreciar [16]. De esta manera obtenemos:

$$(WL)_{LSB} \geq \left( \frac{2}{0,5} \cdot \left\{ \frac{2 \cdot 8,2e - 9}{V_{ov}} \right\} \right)^2 \cdot (4095) \quad (5.5)$$

En la *figura 5.3* se ilustra el comportamiento de la ecuación (5.5) en función del voltaje de saturación del transistor  $M_{CS}$ . Aquí se muestra como a medida que  $V_{ov}$  aumenta, el área que se debe emplear para el diseño de  $M_{CS}$  disminuye. Sería entonces recomendable escoger un alto valor para  $V_{ov}$ , sin embargo, esta selección complicaría la correcta polarización de  $M_{CAS}$  y  $M_{SW}$  de las fuentes de corriente, lo cual lleva a que se deba emplear mayores dimensiones para estos transistores. Para la implementación del DAC diseñado se planea emplear un área de  $0,15 mm^2$ , la cual debe ser distribuida entre el decodificador, las fuentes de peso único, las fuentes de peso binario y el bloque de *latch-*

es y switches<sup>1</sup>. Al hacer una estimación del área total que se emplea en implementar los 38 transistores  $M_{CS}$  (7 en las fuentes de peso binario y 31 en las fuentes de peso único), se considera que se gastará un 50 % del área total deseada<sup>1</sup>. De esta forma, podemos realizar la siguiente selección:

$$Area_{fuentes} = (2^0 + 2^1 + \dots + 2^6) \cdot (WL)_{LSB} + 31 \cdot 2^7 \cdot (WL)_{LSB} = 4095 \cdot (WL)_{LSB} \quad (5.6)$$

Donde  $Area_{fuentes} = 0,4 \cdot 0,15mm^2$ . De esta manera se obtiene una estimación de  $(WL)_{LSB} \approx 17\mu m^2$ , lo cual permite seleccionar  $V_{ov} = 1V$  de la curva que se muestra en la figura 5.3.

De la misma manera, es necesario verificar que el valor de  $(WL)_{LSB} = 17\mu m^2$  cumple con el requerimiento de SFDR. Para realizar este cálculo se utiliza la expresión (5.4), la cual permite encontrar la desviación estándar de la corriente LSB, valor necesario dentro de la ecuación (5.3), despreciando  $\frac{A_{\beta}}{\beta\sqrt{WL}}$ .

$$\sigma_{I_{LSB}} = \frac{2 \cdot 8,2e - 9}{1 \cdot \sqrt{17e - 12}} = 0,004$$

Con lo cual se obtiene un  $SFDR = 76,6dBc$ . Este valor satisface el requerimiento de  $SFDR > 50dBc$ .

### 3. Elección de la resistencia de carga $R_L$

La elección de esta resistencia debe comprometer dos aspectos:

- ♣ Si  $R_L$  es muy grande, el ancho de banda se ve limitado debido que el polo  $w_L$  a la salida del convertor se hace más pequeño, y al mismo tiempo, la resistencia de salida de la fuente LSB debe ser muy elevada para cumplir con los requerimientos de INL, DNL y SFDR.
- ♣ Si  $R_L$  es demasiado pequeña se debe realizar un mayor esfuerzo para amplificar la señal de salida del convertor.

En la literatura se manejan valores de  $R_L$  que van de  $15\Omega$  a  $100\Omega$  [3]. Para realizar esta selección se tuvo en cuenta el valor resistencia mínimo que ofrece el proceso de fabricación AMS 0,35 $\mu m$  C35B4, el cual se utilizará para implementar el convertor digital-analógico diseñado. El valor de resistencia para el *poly2* en este proceso, es

---

<sup>1</sup>Para realizar esta estimación se tomó como referencia el estado del arte de los DACs de 12bits en tecnología CMOS de 0,35 $\mu m$

típicamente de  $50\Omega/\square$  y una densidad de corriente de  $0,3mA/\mu m$ . Si realizamos el diseño del DAC con una resistencia de carga de  $50\Omega$ , estaremos limitando el valor de ancho de banda y como consecuencia tendríamos que aumentar el consumo de potencia para cumplir con este requerimiento. Se pensó entonces en colocar varias resistencias en paralelo implementadas en *poly2*, con lo cual se conseguiría reducir el valor de resistencia, aumentando el área empleada en implementar las 2 resistencias de carga. Para comprometer estas consideraciones, se decidió utilizar sólo dos resistencias de  $50\Omega$  en paralelo para la implementación de  $R_L$ , por lo cual el diseño se realizó con un valor de  $R_L = 25\Omega$ .

#### 4. Selección de la corriente $I_{LSB}$

Este paso consiste en la elección del valor de la corriente de la fuente LSB, la cual es una variable crítica en el alcance de las especificaciones. De este valor depende directamente la disipación de potencia, el ancho de banda, el área ocupada, las características dinámicas y las características estáticas. Es muy difícil comprometer todas estas especificaciones al mismo tiempo y tener un criterio para escoger una cantidad determinada para esta variable. A pesar de esto, se tiene claro que existe un valor mínimo de corriente  $I_{LSB}$ , el cual está ligado al requerimiento del ruido de cuantización. Utilizando el valor  $V_{ov}$  y de  $R_L$  seleccionados anteriormente, se calculó el valor de  $I_{LSB}$  mínimo por medio de la expresión (3.51):

$$\frac{2}{3} \frac{(I_{LSB} \cdot R_L)^2}{F_s} = 10 \left[ \frac{16}{3} KT \cdot (2^N - 1) \cdot R_L \cdot \frac{I_{LSB}}{V_{ov}} + 8KT \cdot R_L \right]$$

De esta forma se obtuvo  $I_{LSB}^{min} = 2,25\mu A$  (el cálculo anterior se realizó con el archivo ruido.m que está en el CD). Sin embargo, este valor de corriente puede no ser el indicado para que el diseño alcance todos los requerimientos. Por lo tanto, será necesario verificar el cumplimiento de cada especificación en el transcurso del diseño y se debe volver a este punto, para elegir una corriente mayor en el caso de no cumplir con alguna de las especificaciones (*figura 5.1*). Al realizar pruebas con diferentes valores de corriente  $I_{LSB}$  con  $R_L = 25\Omega$ , se determinó que para cumplir con la especificación de ancho de banda  $F_s > 200MHz$  se debe emplear una corriente de  $I_{LSB} > 4,8\mu A$ . Para llegar a esta conclusión fue necesario efectuar diseños preliminares para diferentes valores de  $I_{LSB}$  empezando con  $I_{LSB}^{min}$ , aumentando este valor progresivamente y realizando mediciones de tiempo de establecimiento ( $T_e$ ) y de error INL (sólo teniendo en cuenta el error de establecimiento) para el valor corriente seleccionado y  $F_s = 200MHz$ , los cuales

Tabla 5.3: Valores de  $T_e$  y de INL obtenidos

$I_{LSB}$	$T_e$	INL
$2,25\mu A$	$3,4ns$	2LSB
$3,5\mu A$	$3,1ns$	1.2LSB
$4\mu A$	$3ns$	0.5LSB
$4,5\mu A$	$2,6ns$	0.2LSB
$4,8\mu A$	$2,8ns$	0.015LSB

se muestran en la *tabla 5.3*. Estas mediciones fueron realizadas para el peor caso de tiempo de establecimiento, es decir para la conmutación de  $00 \dots 0$  a  $11 \dots 1$ , suponiendo una resistencia de carga típica  $C_L = 10pF^2$ . Este proceso iterativo se ilustra en la *figura 5.1*. Los pasos subsiguientes de la estrategia de diseño se explicarán utilizando el valor de  $I_{LSB} = 4,8\mu A$ .

### 5. Resistencia de salida para la fuente LSB

En el *Capítulo 3* se explicó como la resistencia de salida finita de las fuentes de corriente, produce que la resistencia de salida total del conversor cambie en función de la palabra digital de entrada, y se indicó una expresión que describe la corriente que pasa por la resistencia de carga teniendo en cuenta este efecto (ecuación (3.2)):

$$I_{out} = \frac{I_{LSB} \cdot X + V_{DD} \cdot G_{LSB} \cdot X}{1 + G_{LSB} \cdot R_L \cdot X} \quad (5.7)$$

Esta ecuación es utilizada para hacer el cálculo de la resistencia de salida que permite alcanzar el requerimiento de INL y DNL, utilizando la definición de estos dos parámetros, ecuación (1.12) y (1.11). Este cálculo se muestra a continuación:

$X = 4095$  que es el código de entrada donde se presenta el peor caso de DNL y INL.

$R_L = 25\Omega$ ,  $V_{DD} = 3,3V$ .

$I_{LSB} = 4,8\mu A$ .

Aplicando la definición de INL para el peor caso:

$$INL = \frac{I_{out}(X = 4095) - I_{LSB} \cdot 4095}{2 \cdot I_{LSB}}$$

El factor 2 se debe a que se considera una configuración diferencial. Tomando el valor de  $INL = 0,25LSB$  ( $INL^{max}/2$ ) para este parámetro y teniendo en cuenta que

---

<sup>2</sup>Para escoger este valor de  $C_L$  se tomó como referencia el estado del arte de los DACs de 12bits en tecnología CMOS de  $0,35\mu m$ .

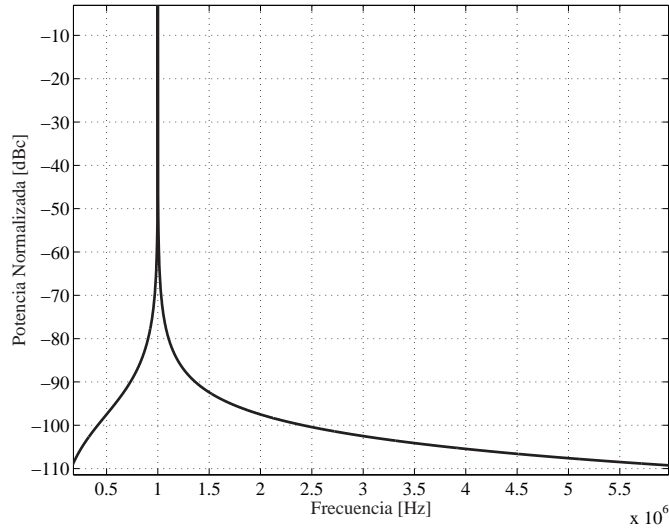


Figura 5.4: Medida del SFDR

$I_{out}(X = 4095) = 19,7mA$  (despejando de la ecuación anterior) podemos encontrar el valor mínimo de  $G_{LSB}$  (ecuación 3.4):

$$G_{LSB} = \frac{I_{LSB} \cdot X - I_{out}(X = 4095)}{I_{out}(X = 4095) \cdot X \cdot R_L - V_{DD} \cdot X} \approx 0,2p\Omega$$

Por lo tanto la fuente de corriente LSB debe tener una resistencia de salida de  $R_s \approx 5G\Omega$ , para cumplir con el requerimiento de INL esperado. Se considera que si alcanzamos la especificación de INL, teniendo en cuenta solo el requerimiento de resistencia de salida, la especificación de DNL estará suplida, como se indicó en el capítulo 3. Del mismo modo, es necesario verificar que este valor de resistencia de salida permite alcanzar el valor de SFDR exigido por la aplicación. Para este cálculo se debe emplear la transformada de *Fourier* como se discutió en el capítulo 3, debido a que el valor de  $1/p = 2 \times 10^8$  obtenido obliga a utilizar este metodo, lo cual se deduce de la figura 3.5a. De esta manera obtenemos  $SFDR \approx 95dBc$  a 1MHz como se muestra en la figura 5.4 (este cálculo se puede verificar con el archivo FT.m), valor que supera el requerimiento exigido de  $50dBc$ . Con la figura figura 5.4 se puede verificar como el piso de ruido limita la medida de SFDR a un máximo de  $\approx 95dBc$ .

## 6. Diseño de $M_{CS}$ .

En este paso del diseño, se debe seleccionar las dimensiones del transistor  $M_{CS}$  con base en los resultados obtenidos:

$$WL = 17\mu m^2$$

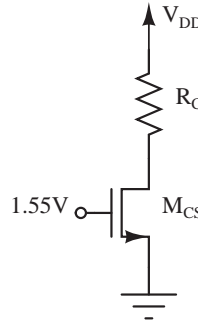


Figura 5.5: Circuito analizado

$$V_{B1} = V_{ov} + V_t = 1V + 0,55V = 1,55V$$

$$I_{LSB} = 4,8\mu A$$

Para verificar que el área  $(WL)_{LSB} = 17\mu m$  seleccionada para el transistor  $M_{CS}$  cumple con el valor de  $\sigma_{INL} = 0,25$ , sobre el circuito mostrado en la figura 5.5 se realizó una simulación de *monte carlo*<sup>3</sup> para conocer la desviación estándar de la corriente  $I_D$  por este transistor, para  $WL = 17\mu m$ . Al realizar esta simulación se debe garantizar que el transistor  $M_{CS}$  esté en saturación, razón por lo cual la resistencia de carga  $R_C$  se selecciona de un valor muy pequeño. La desviación de la corriente por  $M_{CS}$  debe ser aproximadamente, ecuación (3.22):

$$\sigma_{I_d} = \sigma_{I_{LSB}} \approx \frac{\sigma_{INL}}{0,5\sqrt{2^N - 1}} = \frac{0,25}{0,5\sqrt{4095}} = 0,78\%$$

Al final de la simulación se obtuvo  $\sigma_{I_D} = 0,79\%$  como se muestra en la figura 5.6, con lo cual se verifica que  $(WL)_{LSB} = 17\mu m$  cumple con el valor deseado de  $\sigma_{INL} = 0,25$ . Es importante hacer énfasis en que la medida de esta desviación debe incluir el 90% de las muestras, ya que de esta manera se permite tener una probabilidad del 90% de que la desviación de error INL no supere el valor deseado.

Para conocer las dimensiones del transistor  $M_{CS}$  de la fuente LSB, que permiten obtener una corriente  $I_{LSB} = 4,8\mu A$ , se utiliza la ecuación de la corriente de drenaje para cuando el transistor está en saturación:  $I_D = 0,5K_p \cdot (W/L)(V_{B1} - V_t)^2$ , con la cual se obtiene  $W/L = 0,14$ . Teniendo en cuenta que  $WL = 17\mu m$  obtenemos una aproximación de los valores requeridos  $W = 1,54\mu m$  y  $L = 11,02\mu m$ . Con ayuda del simulador se encontró un dato más preciso:  $W = 1,35\mu m$  y  $L = 12\mu m$ .

<sup>3</sup>Nombre que se le da a la simulación donde un parámetro del circuito está descrito por una distribución estadística.

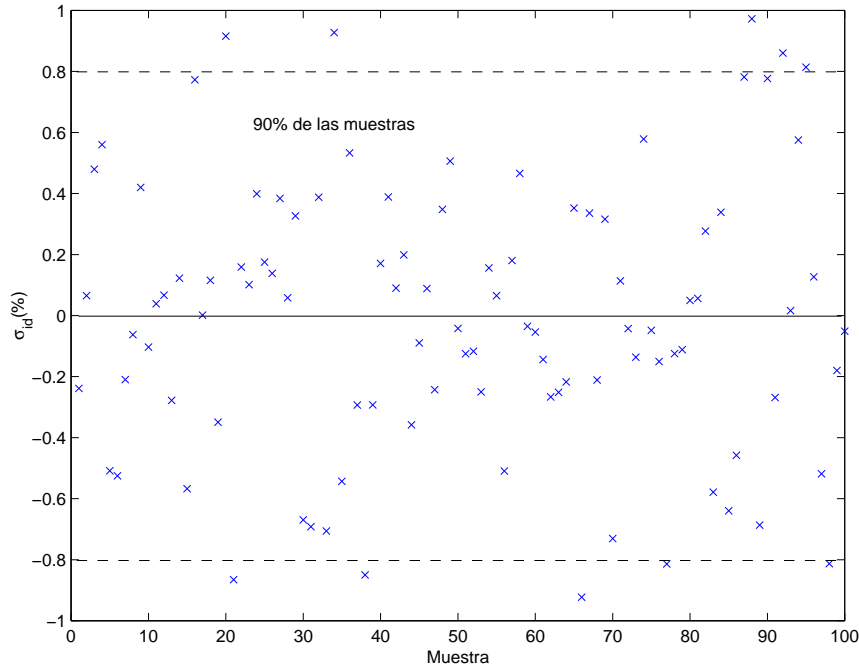


Figura 5.6: Resultados de la simulación monte carlo

## 7. Selección de $V_{B2}$

La selección de este voltaje de polarización es determinante, debido a que de esto dependen directamente las dimensiones mínimas con que los transistores  $M_{CAS}$  y  $M_{SW}$  se deben diseñar, para que funcionen en saturación y en triodo respectivamente. Una buena elección para  $V_{B2}$  podría ser el voltaje ( $V_{B2}^{opt}$ ) donde fuese máxima la resistencia de salida de la fuente LSB, el cual está en el punto medio entre  $V_{B2}^{max}$  (ecuación (3.34)) y  $V_{B2}^{min}$  (ecuación (3.39)) [17]. Si seleccionamos un  $V_{B2}$  pequeño ( $V_{B2} < V_{B2}^{opt}$ ), se dificulta la polarización de la configuración *cascodo* y como consecuencia  $M_{CAS}$  debe ser muy grande para permanecer en saturación. Si escogemos un valor alto de  $V_{B2}$  ( $V_{B2} > V_{B2}^{opt}$ ) ocurre justamente lo contrario. Sin embargo, se debe tener cuidado de que  $V_{B2}$  no sea muy cercano a  $V_{B2}^{max}$  o  $V_{B2}^{min}$  ya que el efecto del *mismatch* sobre la polarización de las fuentes de corriente, puede producir que  $M_{CAS}$  o  $M_{CS}$  pasen a triodo. Por lo tanto, se seleccionó  $V_{B2} = V_{B2}^{opt}$ .

Para realizar el cálculo de  $V_{B2}^{opt}$ , se redujo al mínimo las dimensiones de los transistores  $M_{CAS}$  y  $M_{SW}$  (peor caso de  $V_{ov}$  para ambos transistores) y se realizó un barrido de  $V_{B2}$  graficando  $V_{B2}^{min}$ ,  $V_{B2}^{max}$  y  $V_{B2}$  (archivo *celdaDC.sp*), teniendo cuidado de que para estas condiciones el transistor  $M_{SW}$  permaneciera en triodo y utilizando los resultados obtenidos anteriormente. Para simular el peor caso del voltaje de salida, se adicionó una

fuentes de corriente ideal de valor  $I_{LSB}(2^N - 1)$  a la salida de la fuente analizada. El resultado obtenido se muestra en la *figura 5.7*. Como se puede notar en la *figura 5.7a*, el valor de  $V_{B2} \approx 2V$  es el valor mínimo que permite que  $M_{CS}$  esté en saturación. Basándonos en las curvas de  $V_{B2}^{max}$  vs  $V_{B2}$ ,  $V_{B2}^{min}$  vs  $V_{B2}$  de la *figura 5.7a* y garantizando la condición de triodo del transistor  $M_{SW}$  (*figura 5.7b*), podemos aproximar a  $V_{B2}^{opt} \approx 2,8V$ .

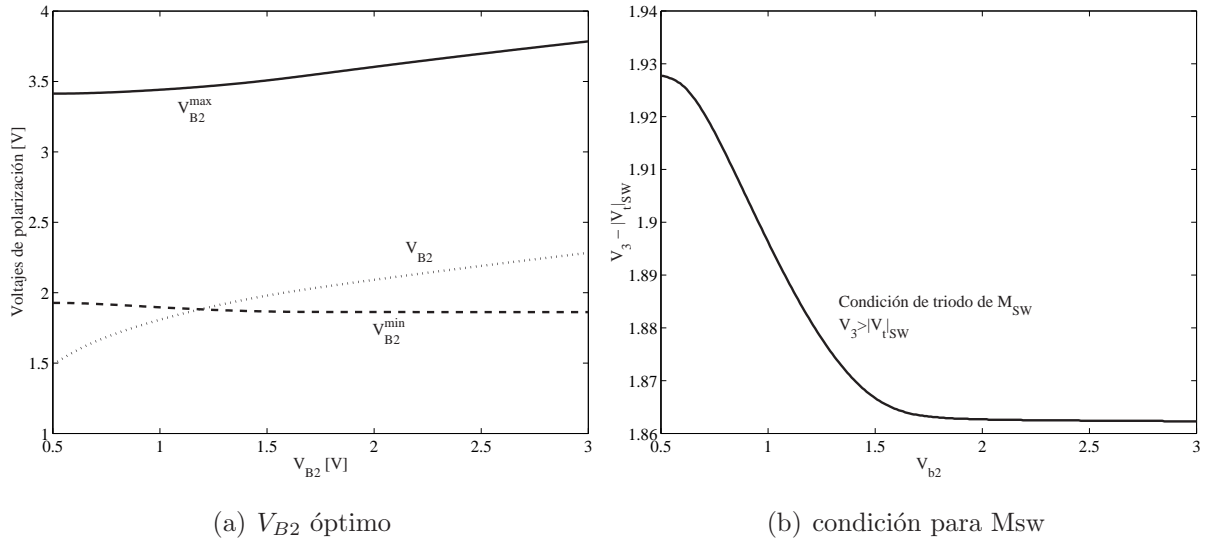


Figura 5.7: Elección del  $V_{B2}$  óptimo

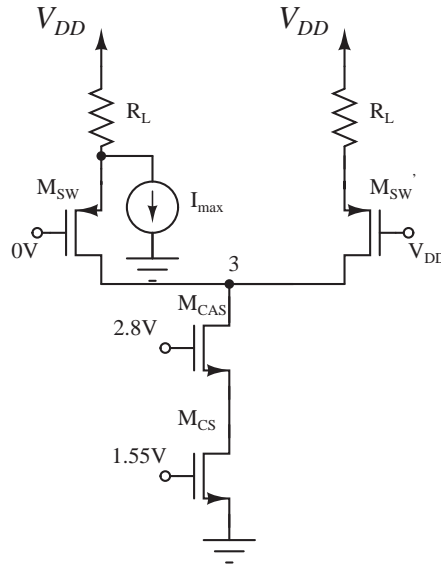
## 8. Selección de $M_{CAS}$ y $M_{SW}$

Para escoger las dimensiones de estos transistores, es necesario tener en cuenta los siguientes aspectos:

- Se debe garantizar que  $M_{CAS}$  y  $M_{SW}$  en el peor caso permanezcan en saturación y en triodo respectivamente.
- La resistencia de salida de la fuente LSB debe ser  $\approx 5G\Omega$ .
- Es necesario tener un margen de seguridad entre  $V_{B2}^{min} < V_{B2} < V_{B2}^{max}$  debido al efecto del *mismatch* sobre la polarización de los transistores.

Con base en estas consideraciones se realizaron las siguientes simulaciones sobre el circuito de la *figura 5.8*.

- ♣ Utilizando las variables ya seleccionadas, realizamos pruebas con diferentes valores de  $W_{CAS}$  y  $W_{SW}$  utilizando la longitud de canal mínima  $L = 0,35\mu m$ . Al reducir la longitud de canal al mínimo, permitimos maximizar el ancho de banda ya que los

Figura 5.8: *cicuito analizado*

polos varían con el cuadrado de  $L$ . De esta manera es posible encontrar los valores más pequeños de ancho de canal, que permiten que  $M_{CAS}$  esté en saturación y  $M_{SW}$  en triodo en el peor caso de voltaje de salida (archivo celdaDC.sp).

- ♣ Utilizando las dimensiones preseleccionadas, se debe realizar una simulación de *monte carlo* sobre el circuito de la *figura 5.8* utilizando los parámetros de  $A_{V_t}$ ,  $A_{\beta}$  y  $A_R$ , los cuales se indican en la *tabla 5.2*, para determinar si se cumple con el margen de seguridad que se debe garantizar debido al *mismatch* (archivo celdaDES.sp). Si es necesario se deben realizar ajustes sobre  $W_{CAS}$  y  $W_{SW}$ , para asegurar que (ecuación (3.42)):

$$V_{B2}^{min} + S\Delta V_{B2}^{min} < V_{B2} < V_{B2}^{max} - S\Delta V_{B2}^{max}$$

Un ejemplo del resultado de esta simulación se muestra en la *figura 5.9*, donde se observa como las variaciones de  $V_{B2}^{min}$  y  $V_{B2}^{max}$  debido al efecto del *mismatch*, deben permitir que la ecuación (3.42) se cumpla, con lo cual se garantiza con una alta probabilidad que los transistores  $M_{CS}$  y  $M_{SW}$  permanezcan en saturación.

- ♣ Se debe comprobar que la resistencia de salida de la fuente LSB, cumple con el valor requerido (esta prueba solo se realiza para la fuente LSB). Si no se alcanza  $R_s = 5G\Omega$  se debe ajustar la longitud del canal del transistor  $M_{CAS}$  de acuerdo

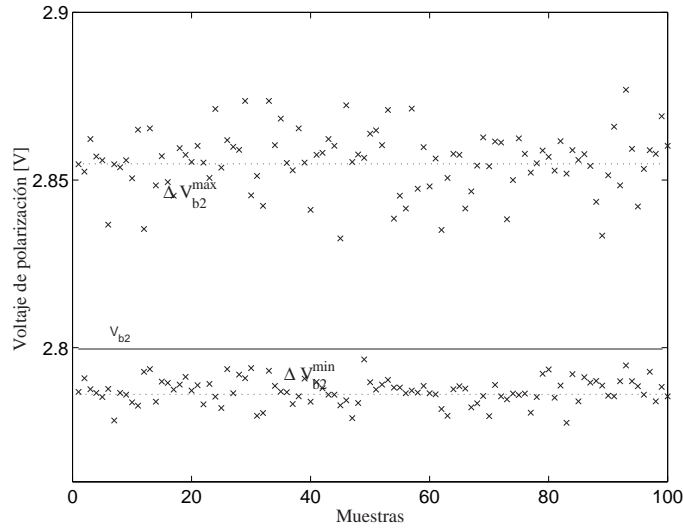


Figura 5.9: Ejemplo del resultado de la simulación de monte carlo

con [3]:

$$R_s \sim L_{CS} \sqrt{W_{CAS} L_{CAS}} \quad (5.8)$$

Para el diseño de cada fuente de corriente se debe escalar las dimensiones de transistor  $M_{CS}$  de acuerdo con la corriente deseada y se debe realizar, para cada una de ellas, la selección de las mínimas dimensiones de  $M_{CS}$  y  $M_{SW}$  de la manera que se explicó anteriormente. Con esto se asegura que cada celda funcione correctamente.

Hasta esta parte del diseño, sólo hemos tenido en cuenta los requerimientos del comportamiento estático dejando casi a un lado los requerimientos del comportamiento dinámico. Los pasos de la estrategia de diseño explicados anteriormente, se han enfocado ha tratar de reducir al mínimo las dimensiones de loas transistores que conforman las fuentes de corriente ( $M_{CS}$ ,  $M_{CAS}$ ,  $M_{SW}$ ) lo cual es la mejor opción teniendo en cuenta el tiempo de establecimiento, el CFT y la no-linealidad en la conmutación, como se explicó en el capítulo 4. Sin embargo, esta no será la mejor selección para reducir la magnitud del pico de voltaje que se presenta a la salida del conversor durante el transitorio, cuando las fuentes de corriente son conmutadas. Es posible llegar a un compromiso entre estas variables, realizando ajustes en las dimensiones de los transistores  $M_{CAS}$ ,  $M_{SW}$  de cada fuente de corriente utilizando las curvas de  $W_{CAS}, W_{SW}$   $v_s$  tiempo de establecimiento y  $W_{CAS}, W_{SW}$   $v_s$   $V_{out}^{max}$  de la respuesta al impulso de la sistema (ecuación (4.9)). Este ajuste no se hace necesario en la medida en que el valor de la capacitancia de carga a la salida del conversor, puede llegar ha ser lo suficiente grande como para mover hacia la izquierda los ceros que se encuentran en el plano derecho del lugar

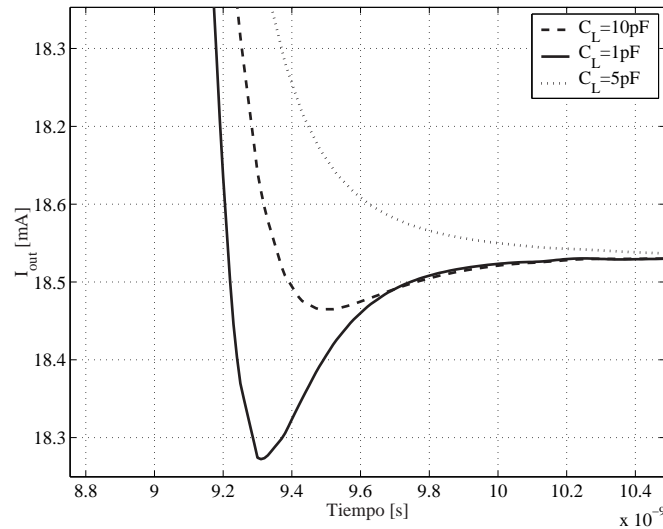


Figura 5.10: Variación del pico del voltaje durante el transitorio.

de la raíces del sistema, que describe la ecuación (4.9). Para verificar este comportamiento, se relizarón simulaciones del transitorio de conmutación (en el caso en que todas las fuentes LSB son desactivadas y al mismo tiempo todas las fuente MSB son activadas) para diferentes valores de  $C_L$ . Los resultados de esta simulación se muestran en la *figura 5.10*. Como se puede notar, para capacitancias de carga entre los  $5\text{pF}$  y  $10\text{pF}$  el valor del pico máximo durante el transitorio es muy reducido, por lo cual no se justifica realizar ajustes sobre el diseño de los transistores que conforman las fuentes de corriente, si el valor de  $C_L$  es muy elevado. El diseño del DAC fue realizado para soportar una resistencia de carga de  $10\text{pF}$  el cual, como ya se anotó, es un valor típico encontrado en la literatura para DACs de 12bits en tecnología CMOS de  $0,35\mu\text{m}$ .

## 5.2. Estrategia de diseño del *latch*

Las características dinámicas del conversor, están estrechamente ligadas a las características del *latch*, como se mencionó en el *Capítulo 4*, debido a que este dispositivo se encarga de generar la señal que controla la conmutación de las fuentes de corriente. La topología de *latch* que se utilizó en el diseño del DAC se muestra en la *figura 5.11*, tomada de la referencia [16]. Esta selección se llevó a cabo con base en simulaciones preliminares realizadas sobre varias topologías encontradas en al literatura, donde se hizo evidente que esta configuración de inversores permite obtener una alta velocidad y un buen comportamiento dinámico, empleando pocos elementos. Dicha estructura esta conformada por un arreglo de inversores estáticos,

que guardan momentáneamente el bit-dato durante dos ciclos consecutivos de reloj. A continuación se explica las dos etapas del funcionamiento de esta topología, las cuales se ilustran en el diagrama de tiempo de la *figura 5.12* :

- ♣ El dato que llega al nodo de entrada del *latch* se propaga a través de los inversores  $X1$ ,  $X2$  y  $X3$ , llevando a que en el drenador de los transistores de paso  $Ma$  y  $Ma'$  se establezca  $dato$  y  $\bar{dato}$  respectivamente, lo cual se debe mantener hasta que inicie el ciclo de reloj. Estos inversores ( $X1$ ,  $X2$  y  $X3$ ) se comportan como *buffers* [16].
- ♣ Cuando inicia el ciclo del reloj, el dato se carga en la configuración de inversores ( $X4$  y  $X5$ ) el cual se mantiene en los nodos de salida del *latch* durante todo el ciclo de reloj.

Este proceso se repite cada vez que se desee guardar un nuevo dato en la celda respectiva. El diseño de esta topología involucra las siguientes consideraciones:

1. El tiempo de propagación del bit-dato desde la entrada del latch hasta el drenador de  $Ma$  y  $Ma'$ , debe ser menor que el tiempo  $T_{su}$  (*figura 5.12*).

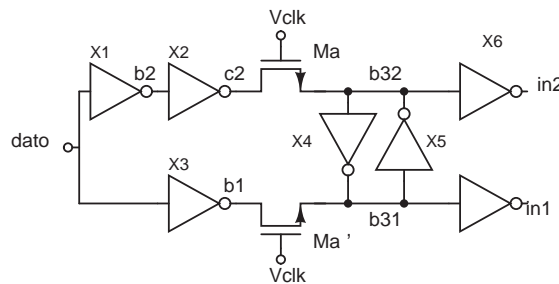


Figura 5.11: Topología de latch utilizada

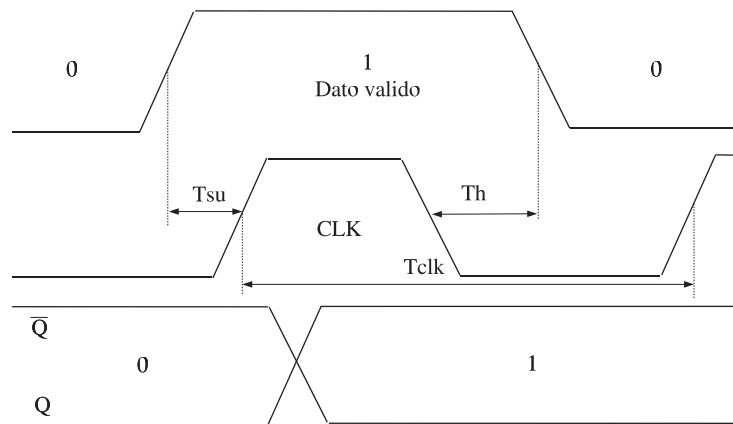


Figura 5.12: Diagrama de tiempo del funcionamiento del latch

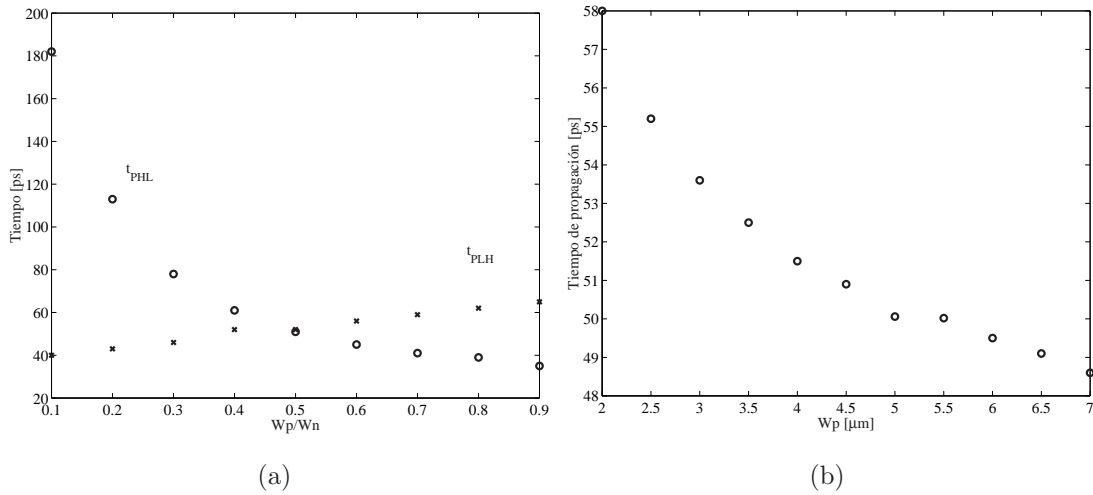


Figura 5.13: Resultados de simulación del inversor.

2. La caída de voltaje drenador-surtidor del transistor  $Ma$ , debe permitir que el dato se pueda cargar correctamente en el candado<sup>4</sup> que conforman los inversores  $X4$  y  $X5$ .
3. El punto de cruce de la señal de salida del *latch*, debe cumplir con las características discutidas en el *Capítulo 4*.
4. La señal de salida debe permitir que la conmutación sea simétrica.

Teniendo en cuenta las anteriores consideraciones se realizaron las siguientes simulaciones:

- ♣ Para el diseño de un inversor donde el tiempo de propagación subida ( $t_{PLH}$ ) y bajada ( $t_{PHL}$ ) sean iguales, se realizó un barrido de la relación  $W_p/W_n$  ( $L_p = L_n =$  mínima longitud) para los transistores que conforman el inversor, de acuerdo con las expresiones [20]:

$$t_{PHL} \approx \frac{1,7C_L}{k_n \left\{ \frac{W}{L} \right\}_n V_{DD}} \quad t_{PLH} \approx \frac{1,7C_L}{k_p \left\{ \frac{W}{L} \right\}_p V_{DD}} \rightarrow k_p \left\{ \frac{W}{L} \right\}_p = k_n \left\{ \frac{W}{L} \right\}_n \quad (5.9)$$

El resultado de esta simulación se muestra en la *figura 5.13a*, donde  $W_p/W_n = 0,5$  permite igualar los tiempos de propagación (Para esta simulación se utiliza el archivo *inversor.sp*). Cabe destacar que a medida que el ancho de canal de los transistores aumenta, conservando la relación  $W_p/W_n = 0,5$ , el tiempo de propagación del inversor se reducen de forma exponencial *figura 5.13b*. De esta manera los transistores que conforman el inversor tendrán la misma capacidad de cargar y descargar las capacitancias

<sup>4</sup>Este es el nombre que se le da en la literatura a esta configuración de inversores.

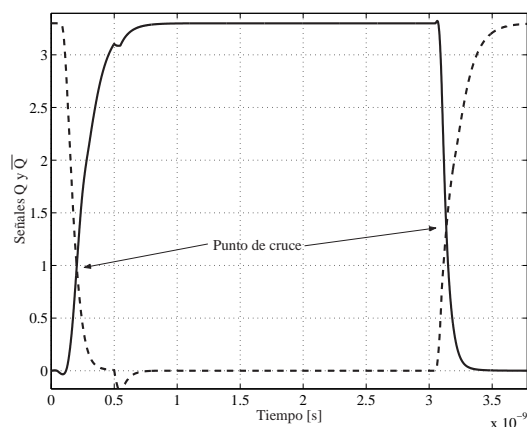


Figura 5.14: Puntos de cruce de la señal  $Q$  y  $\bar{Q}$

conectadas al nodo de salida de dicho inversor, con lo cual se trata de garantizar la consideración (4).

♣ El tiempo  $T_{su}$  que se indica en la *figura 5.12*, depende principalmente del tiempo de retraso del decodificador de código binario a código de peso único, y en menor proporción del tiempo de retraso de los inversores X1, X2 y X3. Por esta razón no se cuenta con un criterio determinante para la selección de estos dispositivos. Para escoger un valor intermedio de  $W_p$  ( $L_n = L_p =$  mínima longitud,  $W_n = 0,5W_p$ ) que cumpliera con los compromisos de área y de velocidad de conmutación se utilizó la *figura 5.13b*, en la cual para anchos de canal que estén por encima de  $W_p = 3,5\mu m$  la disminución en el tiempo de propagación no es tan significativa, debido a que entre  $W_p$  y el tiempo de propagación del inversor existe una relación casi exponencial. Con base en esta consideración, se escogieron los valores:  $W_p = 3,4\mu m$  y  $W_n = 1,7\mu m$

♣ Al realizar simulaciones preliminares sobre la configuración de la *figura 5.15a*, se hizo evidente que el punto de cruce de las señales  $Q$  y  $\bar{Q}$ , para ciertos valores de  $W_p$  ( $L_n = L_p =$  mínima longitud,  $W_n = 0,5W_p$ ) no es igual en ambos casos de conmutación:  $Q$  en bajada y  $\bar{Q}$  en subida,  $Q$  en subida y  $\bar{Q}$  en bajada, tal como se muestra en la *figura 5.14*. Este efecto se presenta debido a que el proceso para cargar un dato en el candado que conforman los inversores X4 y X5, se realiza sobre un lazo retroalimentado de forma no-lineal entre dos estados estables: a medida que  $Q$  crece la señal  $\bar{Q}$  decrece. Esto no permite cumplir con la consideración (3).

Para determinar el tamaño adecuado de los transistores que conforman los inversores X4 y X5, se utilizó el circuito mostrado en la *figura 5.15a*. Se realizó un barrido del

ancho de canal del transistor PMOS que conforma cada uno de los inversores, teniendo en cuenta que  $L_p = L_n =$  mínima longitud y que  $W_n = 0,5W_p$  (Para esta simulación se utiliza el archivo latch.sp). Adicionalmente, se ajustó las dimensiones del transistor  $Ma$  y  $Ma'$ , de forma tal que la conmutación del candado X4-X5 se realice correctamente. Aunque esta elección es arbitraria, permitirá determinar el comportamiento del punto de cruce de las señales  $Q$  y  $\bar{Q}$ , en función del ancho de canal del transistor PMOS que conforma estos inversores lógicos.

Los resultados de esta simulación se muestran en la *figura 5.15b*. Se determinó que para un  $W_p > 3,8\mu m$  el punto de cruce de las señales  $Q$  y  $\bar{Q}$  en ambos casos de conmutación son aproximadamente iguales. Este comportamiento se debe a que al aumentar las di-

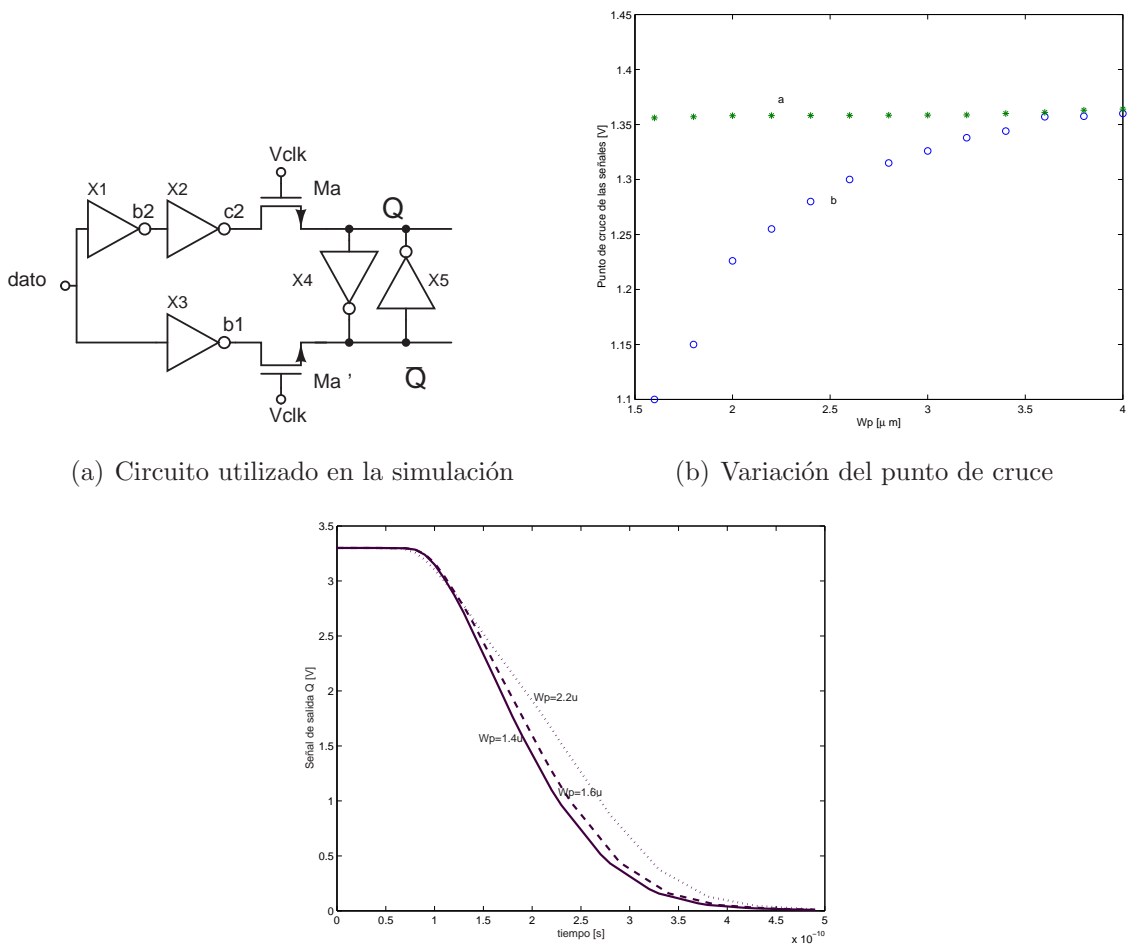
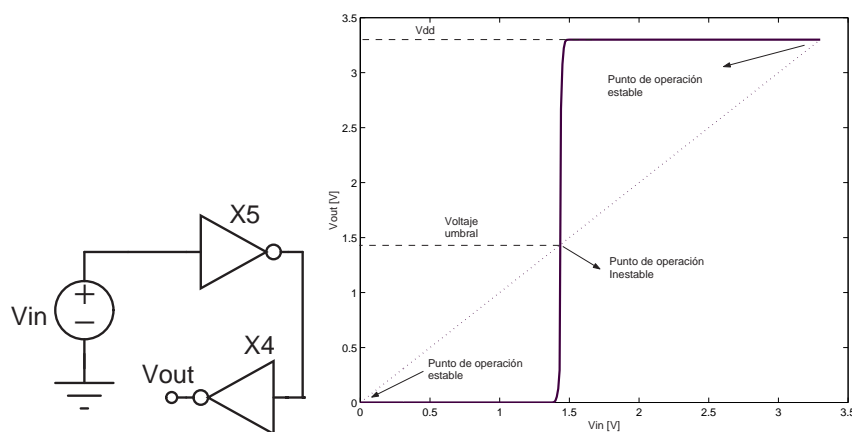


Figura 5.15: Resultados de simulación

mensiones de los transistores que conforman el candado se reduce la resistencia de encendido de los mismos, con lo cual se disminuye el efecto de no-linealidad en la conmutación (figura 5.15c). Esta misma simulación se llevó a cabo para diferentes dimensiones de  $Ma$  y  $Ma'$ , llevando a resultados muy semejantes a los obtenidos anteriormente en cuanto al punto de cruce de las señales. Lo anterior se debe a la estructura simétrica del circuito: en ambos nodos de  $Q$  y  $\bar{Q}$  se introduce el mismo valor de capacitancia como consecuencia de la presencia de  $Ma$  y  $Ma'$ . De esta forma se escogió  $Wp = 4\mu m$  (teniendo en cuenta que  $Lp = Ln =$  mínima longitud y que  $Wn = 0,5Wp$ ).

- ♣ Valiéndonos de los resultados obtenidos anteriormente, podemos encontrar las mínimas dimensiones de  $Ma$  y  $Ma'$  que permiten que el dato se cargue correctamente en el candado X4-X5. El primer paso es determinar el voltaje umbral de conmutación en la función de transferencia del par de inversores. Para este fin se utiliza el circuito de la figura 5.16a realizando un barrido de  $V_{in}$  y de esta manera obtenemos la figura 5.16b de la cual resulta que  $V_{umbral} = 1,435V$  (Para esta simulación se utilizó el archivo candado.sp). Este es el valor mínimo ( $V_{in}$  de  $V_{DD}$  a  $0V$ ) o máximo ( $V_{in}$  de  $0V$  a  $V_{DD}$ ) de voltaje  $V_{in}$  para que el candado pase de uno a otro estado estable. Los dos estados estables y el estado inestable del candado X4-X5 se muestran en la figura 5.16b.

El paso siguiente es analizar uno de los casos de conmutación del candado, ya que por simetría este análisis se puede aplicar de igual manera en ambos casos. Se tomó como referencia:  $Q$  subida y  $\bar{Q}$  en bajada. El momento en que  $Q$  inicia a conmutar de bajo



(a) Circuito utilizado en la simulación

(b)  $V_{out}$  en función de  $V_{in}$

Figura 5.16: Función de transferencia del candado X4-X5

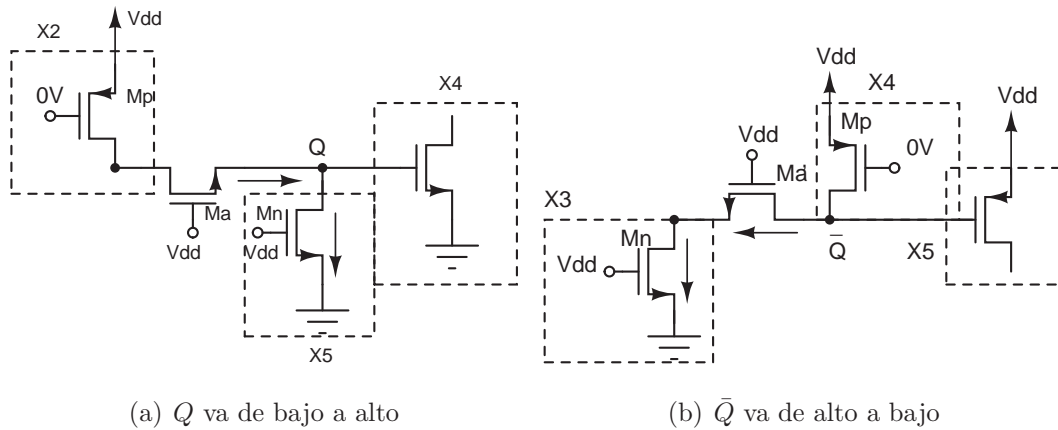


Figura 5.17: Circuitos que representan los casos de conmutación del candado  $X_4$ - $X_5$

a alto se presenta de acuerdo con el circuito de la *figura 5.17a*, en el cual se indica el camino que debe seguir la corriente en el momento que la señal  $Q$  se dispone a cambiar. Debido a que los transistores que conducen permanecen la mayor parte del tiempo en triodo, pueden ser reemplazados dentro del circuito por su resistencia de encendido  $r = 1/gm$ , simplificando el circuito a un divisor de voltaje.

$$V_x = \frac{V_{DD} \cdot r_{Mn}}{r_{Mp} + r_{Ma} + r_{Mn}} \quad (5.10)$$

El valor de resistencia  $r_{Ma}$  tal que el voltaje  $Q$  (inicialmente es igual 0V) sea mayor que  $V_{umbral}$  estará dado por:

$$r_{Ma} = \frac{V_{DD}}{V_x} r_{Mn} - r_{Mn} - r_{Mp} \quad (5.11)$$

Aunque esta ecuación es muy aproximada, permite tener de manera practica una idea de las dimensiones que debe tener el transistor  $Ma$ .

El momento en que  $\bar{Q}$  inicia la conmutación, se presenta de acuerdo con el circuito de la *figura 5.17b*. De igual manera, la resistencia  $r_{Ma'}$  debe permitir que el voltaje  $\bar{Q}$  sea menor que  $V_{umbral}$  (teniendo en cuenta que inicialmente es igual a  $V_{DD}$ ).

Estos dos casos deben cumplirse al tiempo, si uno no se lleva a cabo, el otro no se podrá realizar, debido a que este proceso es realimentado: si  $Q$  aumenta  $\bar{Q}$  disminuye. Por lo tanto se debe garantizar que las dimensiones de ambos transistores,  $Ma$  y  $Ma'$ , permitan cumplir con las condiciones de conmutación del candado y al mismo tiempo conservar la simetría de la señal de salida del *latch*. De esta manera  $Ma$  y  $Ma'$  se deberán seleccionar con las mismas dimensiones.

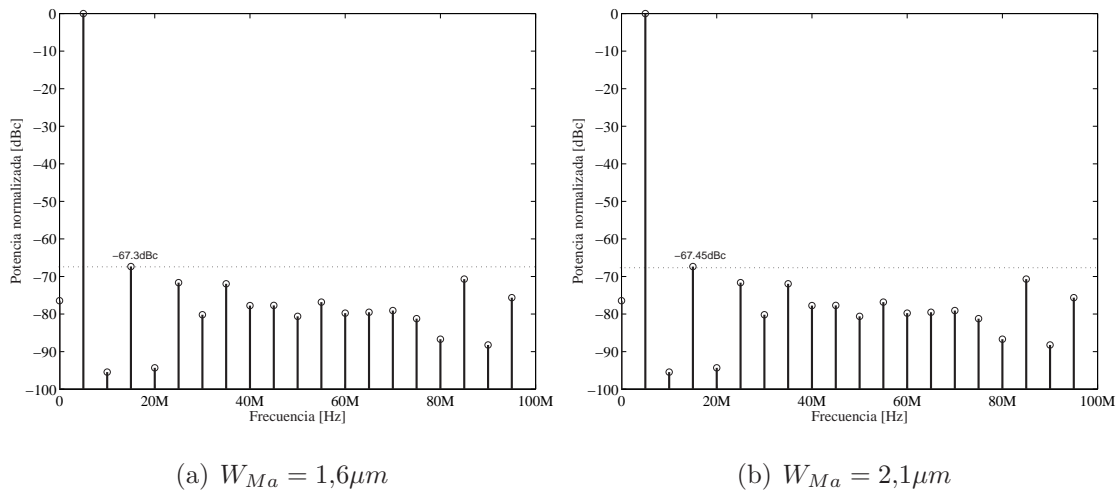


Figura 5.18: Variación del valor de  $SFDR$  a  $5MHz$  al incrementar el valor de  $W_{Ma}$

Se realizaron simulaciones sobre el circuito de la *figura 5.15a* (teniendo en cuenta las consideraciones de  $Ma$  antes mencionadas), para diferentes valores de ancho de canal (La longitud de canal se ajusto al mínimo valor), lo cual permitió encontrar un valor mínimo  $W_{Ma} = 1,6\mu m$ . A medida que aumentamos  $W_{Ma}$  reducimos la resistencia de encendido de este transistor, lo cual nos permite aumentar la velocidad de conmutación del candado. Este incremento en la velocidad del *latch*, trae como consecuencia un incremento significativo del tamaño del DAC<sup>5</sup>. El valor de  $W_{Ma} = 1,6\mu m$  ofrece un  $SFDR = 67,3dBc$  a  $5MHz$ ; si aumentamos el valor de  $W_{Ma}$  el incremento en  $SFDR$  no es muy significativo, tal como se muestra en la *figura 5.18* para un valor de  $W_{Ma} = 2,1\mu m$ . Por esta razón se seleccionó  $W_{Ma} = 1,6\mu m$  y  $L_{Ma}$  =mínimo valor, sin embargo, al realizar simulaciones sobre el *layout* fue necesario aumentar este valor a  $W_{Ma} = 2\mu m$ .

- ♣ El punto de cruce de las señales de salida del *latch* puede ser ajustado por medio de los inversores X7 y X9, donde los transistores PMOS deben ser más grandes que los NMOS debido a que tienen menor movilidad (el punto de cruce debe estar por encima de  $V_{DD}/2$ ) [16]. La selección de las dimensiones de los transistores que conforman este par de inversores, se realizó por medio de simulaciones iterativas (archivo *celdaTR.sp*), ajustando el punto de cruce de las señales de acuerdo con las características expuestas en el *Capítulo 4*. Cabe destacar, que el diseño de X6 y X7 para una fuente de corriente no será el más adecuado para otra fuente, ya que la carga capacitiva que verá el *latch*

<sup>5</sup>El número de transistores  $Ma$  y  $Ma'$  es igual al número de fuentes de corriente

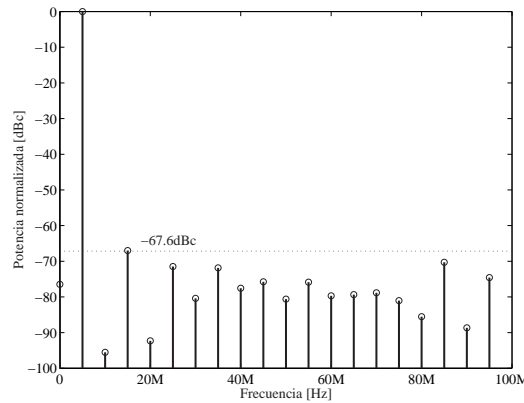
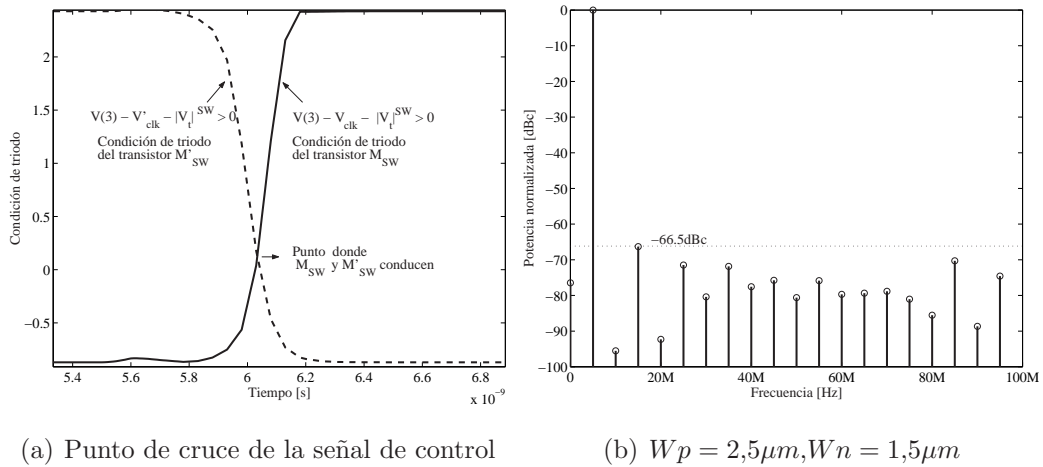


Figura 5.19: Ajuste del punto de cruce por medio del SFDR

no será la misma; sin embargo este efecto se puede minimizar al realizar ajustes en la dimensiones de los inversores X7 y X9, utilizando como referencia la medida de SFDR. Un ejemplo de esta situación se ilustra en la *figura 5.19*, donde se realiza el ajuste del punto de cruce de la señal de control del *latch* para la fuentes LSB (*figura 5.19a*) empleando la condición de triodo de  $M_{SW}$  y  $M'_{SW}$ . Como resultado se obtuvo que para las dimensiones  $W_p = 3,5\mu m$ ,  $W_n = 1,5\mu m$  y  $L_n = L_p = 0,35\mu m$  de los inversores X7 y X6, se consigue que solo un transistor ( $M_{SW}$  o  $M'_{SW}$ ) conduzca a la vez. Para esta condición se obtiene un valor de  $SFDR = -66,5dBc$ , a  $5MHz$  y  $F_s = 200MHz$ , como se muestra en la *figura 5.19b*. Realizando ajustes iterativos sobre estos valores se puede llegar a obtener un valor de  $SFDR = -67,6dBc$  (a  $5MHz$  y  $F_s = 200MHz$ ) para  $W_p = 3,1\mu m, W_n = 1,5\mu m$  y  $L_n = L_p = 0,35\mu m$ , lo cual representa  $1,1dB$  de mejora para esta especificación (*figura 5.19*).



# Capítulo 6

## Layout, conclusiones y recomendaciones

En este capítulo se presentará de manera resumida las consideraciones que se tuvieron en cuenta en la realización del *Layout* del DAC diseñado y los resultados de simulación *post-layout*. La mayoría de estas consideraciones buscan minimizar el impacto de las variaciones de los procesos de fabricación sobre los dispositivos que conforman el DAC, tratando de que después de implementado el circuito integrado se conserven las especificaciones del diseño realizado. Adicionalmente, se indicarán las ventajas de la organización de las fuentes de corriente de peso único que se utilizó en el diseño del *Layout*, sobre una configuración de fuentes contiguas. Al final de este capítulo se mostrarán las especificaciones alcanzadas con el diseño final, así como también las conclusiones, observaciones y recomendaciones obtenidas al culminar este trabajo.

### 6.1. Realización del *layout*

La realización del *layout* es una etapa fundamental en la implementación del DAC, ya que de esto depende que físicamente el diseño realizado pueda funcionar correctamente. Por esta razón se debe tratar que el diseño del *layout*, permita contrarrestar los efectos físicos que pueden afectar la operación del circuito. Como se mencionó en el *capítulo 2*, el *mismatch* es el principal fenómeno que perturba la implementación de un convertor digital-analógico en la arquitectura *current steering* empleando la tecnología CMOS. El impacto del *mismatch* sobre las especificaciones del DAC depende de las dimensiones, de la orientación y de la ubicación del dispositivo dentro la oblea de silicio.

Para entender claramente este fenómeno, trataremos de analizar como las características geométricas, la orientación y la ubicación del transistor, pueden generar variaciones en los parámetros de dicho transistor, e ilustraremos algunas estrategias que pueden ser empleadas para mitigar el efecto de este fenómeno. Para realizar este análisis se utilizó como herramienta de apoyo el libro *The art of analog Layout* de Alan Hastings [21], en el cual se hace un estudio detallado de las posibles fuentes de *mismatch* y se discuten algunas de las consideraciones que se deben tener en cuenta en la elaboración de *Layouts* en tecnología CMOS.

### 6.1.1. Características geométricas

Como se mencionó en el *capítulo 3*, un parámetro  $P$  en un par de dispositivos considerados como iguales, de dimensiones  $W \times L$  y separados una distancia  $D_x$ , varía de acuerdo con la ecuación (3.12):

$$\sigma^2(\Delta P) = \frac{A_p^2}{WL} + S_p^2 D_x^2$$

Esta ecuación deja claro que si dos dispositivos tienen diferentes dimensiones, el valor de  $\sigma^2(\Delta P)$  será mayor comparado con el caso en que fuesen iguales. La componente  $S_p^2 D_x^2$  no se tuvo en cuenta para el diseño preliminar de los transistores de las fuentes de corriente (en el *capítulo 5* solo se consideró el término de variaciones de corta distancia  $\frac{A_p^2}{WL}$ ), ya que no se tenía conocimiento de cuan separados estarían estos transistores dentro del *layout*. De acuerdo con esta expresión, la separación entre los dispositivos se convierte en una fuente de *mismatch*, la cual se puede minimizar si los transistores que se requieren sean iguales están ubicados lo más cerca posible. El libro *The art of analog Layout* recomienda implementar los transistores con grandes anchos de canal utilizando secciones o dedos (esta técnica divide los grandes transistores en pequeños transistores colocados en paralelo), indicando que cada una de estas secciones deben tener las mismas dimensiones que todas las demás secciones que conforman el transistor. Esta técnica permite obtener un *layout* mucha más compacto, reduciendo la distancia de separación entre los dispositivos.

Este concepto fue aplicado en la elaboración del *layout* de todo el DAC, principalmente en el diseño del *layout* de las fuentes de corriente de peso único y de peso binario, como se muestra en la *figura 6.1*. Los transistores que requieren grandes dimensiones fueron implementados utilizando dedos, tratando de reducir el espaciamiento entre las fuentes de corriente para de esta manera reducir el efecto del *mismatch*.

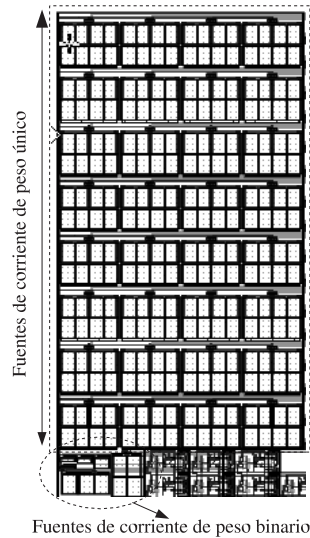


Figura 6.1: *Layout de las fuentes de corriente.*

### 6.1.2. Características de orientación

Se debe tratar que los transistores estén orientados en la misma dirección, para evitar variaciones en la movilidad. Esto se presenta debido a que la estructura molecular del silicio hace que los electrones tengan una menor movilidad, si los dispositivos están orientados en una dirección diferente en la que están orientadas las moléculas del cristal de silicio. Si un par de transistores con las mismas dimensiones están orientados en una sola dirección (*figura 6.2a*), tendrán la misma movilidad, lo cual no ocurre si están orientados en diferentes direcciones (*figura 6.2b*). En el diseño del *layout* de las fuentes de corriente, todos los transistores que conforman las fuentes de corriente están orientados en una misma dirección (*figura 6.1*) para evitar variaciones en la movilidad de los transistores que conforman las fuentes de corriente, lo cual genera errores de no-linealidad INL y DNL (al cambiar la movilidad de los transistor  $M_{CS}$  y  $M_{CAS}$  cambiará el valor de corriente esperado por la fuente de corriente).

Cuando se elaboran transistores utilizando dedos es muy útil emplear el concepto de *chirality*: es la fracción de los segmentos orientados a la derecha menos la fracción de los segmentos orientados a la izquierda. Esta definición se puede explicar con el siguiente ejemplo: si tenemos un transistor con la estructura de dedos  $ABC$ , donde el segmento A y el segmento C tienen orientación derecha (drenador-surtidor) y el segmento B tiene orientación izquierda (surtidor-drenador), tal como se muestra en la *figura (6.2c)*; por lo tanto tenemos que  $chirality = \frac{2}{3} - \frac{1}{3} = \frac{1}{3}$ . Los transistores que tiene igual *chirality* no presentaran variaciones entre ellos debido a la orientación. Esta se convierte en otra de las ventajas de utilizar dedos para im-

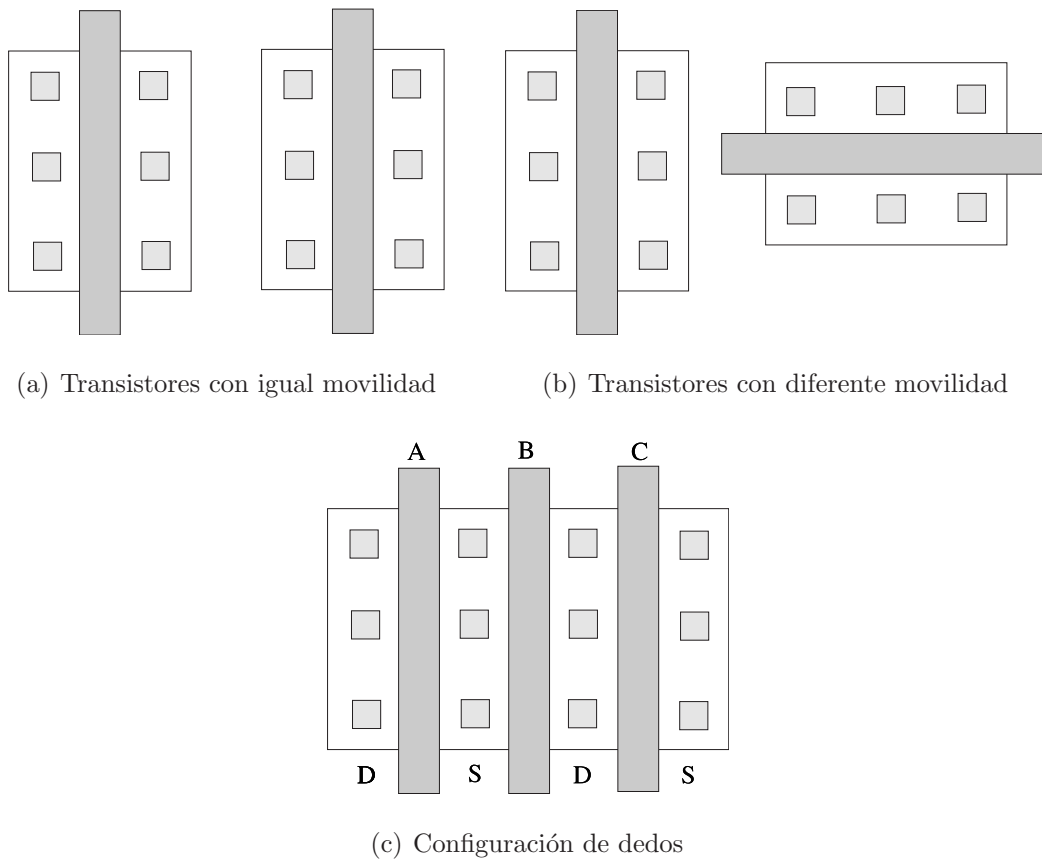


Figura 6.2: Características de orientación de los transistores.

plementar transistores con grandes anchos de canal. Este concepto es vital para el diseño del *layout* del transistor  $M_{CS}$  de las fuentes de corriente de peso único, las cuales deben manejar el mismo valor de corriente. Para el transistor  $M_{CS}$  se utilizó un *chirality* = 0 (dos segmentos drenador-surtidor y dos segmentos surtidor-drenador) y para  $M_{CAS}$  se empleó *chirality* = 0, tal como se ilustra en la *figura 6.3*.

### 6.1.3. Características de ubicación

Como ya se mencionó, si dos dispositivos considerados como iguales están muy separados, tendremos una mayor variación de los parámetros entre dichos dispositivos, comparado con el caso en que la distancia de separación entre ellos es reducida. Este efecto es crítico cuando se desean ubicar las fuentes de corriente de peso único, ya que cada una de ellas está constituida por transistores de grandes dimensiones y por lo tanto la distancia de separación entre fuente y fuente puede llegar a ser muy elevada. A este fenómeno se le suma el gradiente de temperatura, el cual hace que los parámetros de los transistores cambien en función de la temperatura y

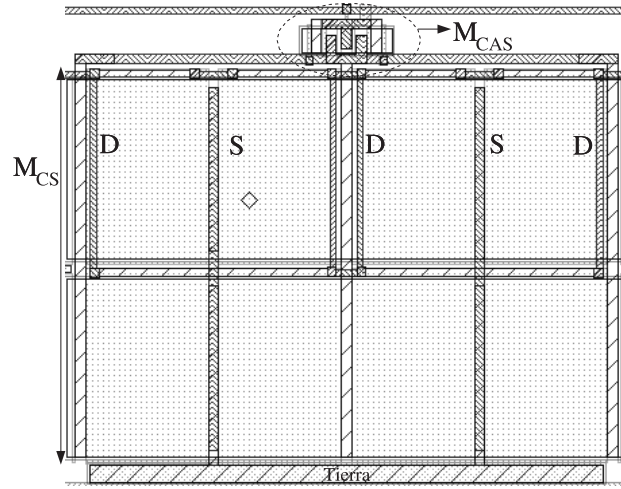


Figura 6.3: *Layout de la fuente de corriente de peso único.*

de la ubicación del dispositivo dentro de la oblea de silicio: entre más separados estén los dispositivos, mayor será el valor de  $\Delta T$  y mayor será el valor de  $\Delta P$ .

Para reducir el efecto del *mismatch* y del gradiente de temperatura, se han planteado en la literatura diferentes configuraciones para la organización de las fuentes de corriente de peso único, las cuales ofrecen mejores resultados a cambio de un aumento considerable en la complejidad de interconexión y en el área ocupada al implementar el DAC. Algunas de estas configuraciones son expuestas en el artículo [22]. Debido a que el diseño del DAC debe permitir obtener un dispositivo con dimensiones reducidas, se utilizó una de las configuraciones más sencillas presente en la literatura.

En la *figura 6.4a* se muestra la configuración matricial empleada para la elaboración del *layout* de las 31 fuentes de corriente de peso único ( $2^{N_{seg}} - 1$ ). El cuadro que aparece en negro representa la fuente 32 de la matriz de  $8 \times 4$  fuentes, la cual se incluye en el *layout* por simetría, pero no participa en el funcionamiento del DAC. Para comprender las ventajas y características de esta organización, se discutirá el siguiente ejemplo:

La desviación de la corriente de una fuente de peso único, considerando el efecto del *mismatch* y del gradiente de temperatura pueden ser aproximados a través de la serie de *Taylor* de la forma [22]:

$$\Delta I(x, y) = b_0 + b_1x + b_2y + b_3xy \dots \quad (6.1)$$

Donde  $(x, y)$  es la coordenada de ubicación de la fuente de corriente, de acuerdo con un punto de referencia. Tomando los términos lineales de esta ecuación y utilizando  $b_0 = 0$

20	24	28		30	26	22	18
16	12	8	4	2	6	10	14
13	9	5	1	3	7	11	15
17	21	25	29	21	27	23	19

(a) Configuración empleada

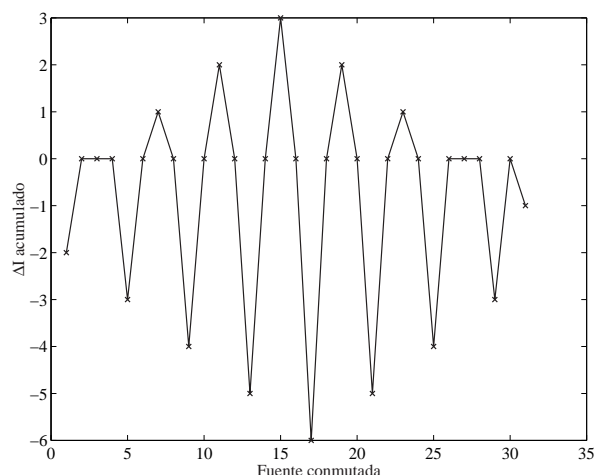
-2	-1	0		3	4	5	6
-3	-2	-1	0	2	3	4	5
-5	-4	-3	-2	0	1	2	3
-6	-5	-4	-3	-1	0	1	2

(b) Distribución de  $\Delta I(x, y)$ 

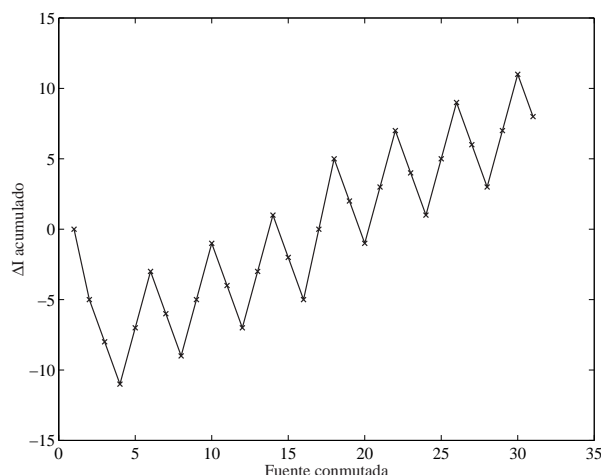
24	25	26	27	28	29	30	31
16	17	18	19	20	21	22	23
8	9	10	11	12	13	14	15
	1	2	3	4	5	6	7

(c) Configuración de fuentes contiguas

Figura 6.4: Configuración de fuentes de corriente de peso único.



(a) Configuración empleada



(b) Configuración de fuentes contiguas

Figura 6.5: Variación de  $\Delta I(x, y)$  acumulado.

y  $b_1 = b_2 = 1$  (estos valores son tomados por simplificar los cálculos),  $\Delta I(x, y)$  tendrá la distribución mostrada *figura 6.4b* (tomando como referencia el centro de la configuración). Un ejemplo de este cálculo sería: la coordenada de la fuente 6 es  $(x = 2, y = 1)$  y por lo tanto  $\Delta I(x, y) = 3$  en esta ubicación.

Si conmutamos la fuente 1 tendremos un  $\Delta I(x, y) = -2$ , si conmutamos la fuente 2 el valor acumulado de  $\Delta I(x, y)$  es igual a  $\sum_1^2 \Delta I(x, y) = -2 + 2 = 0$ . Al conmutar las fuentes 3 y 4 tendremos que  $\sum_1^4 \Delta I(x, y) = 0$ . Al conmutar una a una las 31 fuentes de corriente tendremos

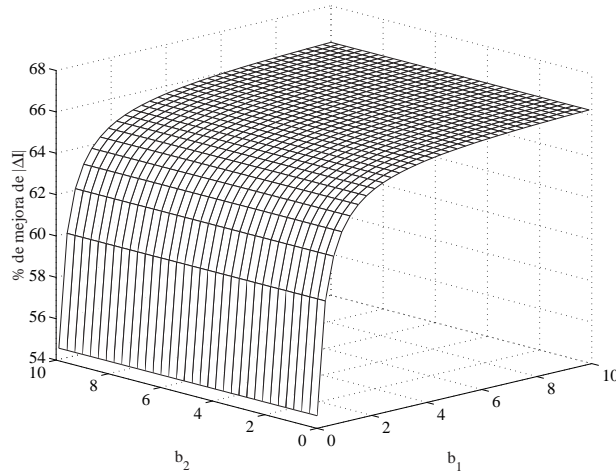


Figura 6.6: Porcentaje de mejora de  $|\Delta I|$  acumulado en función de  $b_2$  y  $b_1$ .

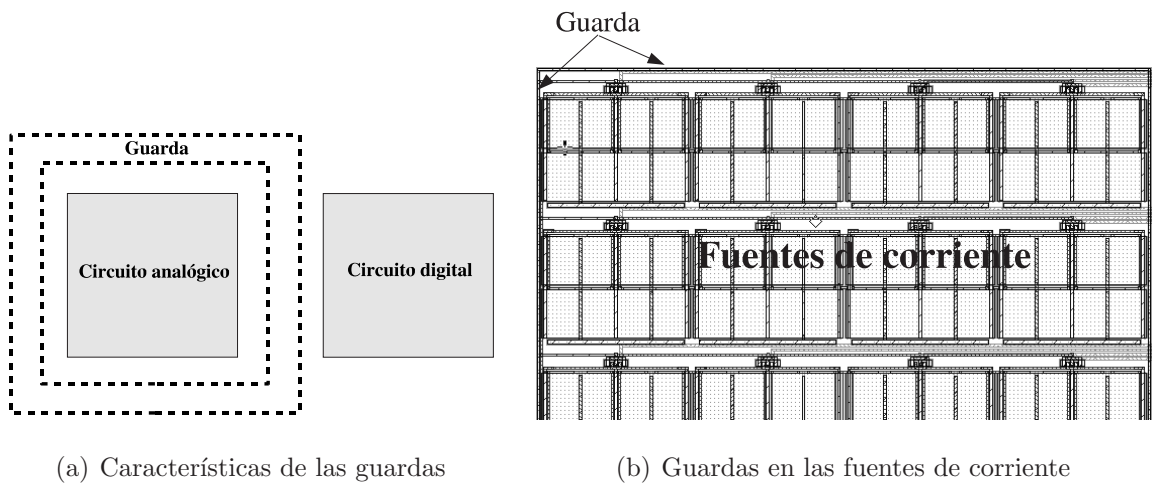
un valor máximo  $|\Delta I(x, y)|$  acumulado de 6, tal como se muestra en la *figura 6.5a*. Efectuando el mismo procedimiento para una configuración de fuentes contiguas como la mostrada en la *figura 6.4c*, obtenemos un valor máximo de  $|\Delta I(x, y)|$  acumulado de 11 (*figura 6.5b*). Para verificar que la configuración de la *figura 6.4a* es menos sensible que una configuración de fuentes contiguas al efecto del *mismatch* y al gradiente de temperatura, sin importar el valor de  $b_2$  y  $b_1$  de la ecuación (6.1), empleamos el siguiente procedimiento: variamos los coeficientes  $b_2$ ,  $b_1$  y para estos valores calculamos el porcentaje en que disminuye el máximo valor de  $|\Delta I(x, y)|$  acumulado, obteniendo la *figura 6.6*. Con este resultado podemos afirmar que la configuración que utilizamos para el diseño del *layout* de las fuentes de corriente de peso único (*figura 6.4a*), mejora en un 50 % a 70 % el valor máximo de  $|\Delta I(x, y)|$  acumulado que se obtiene con una configuración de fuentes contiguas. Cabe anotar, que esta configuración sólo permite mitigar los términos lineales de la ecuación (6.1), para eliminar los términos de mayor orden se emplean técnicas más complejas.

Hasta aquí hemos discutido sobre las variaciones de los parámetros de los transistores, considerando sólo las dimensiones, la orientación y la ubicación de dicho dispositivo. Sin embargo, es necesario tener en cuenta que al implementar el *layout* se pueden presentar fluctuaciones en los parámetros que caracterizan al transistor, debido a las características físicas de los procesos de fabricación. Para reducir este efecto, se tuvieron en cuenta algunas consideraciones para el diseño del *layout* del DAC, las cuales pueden ser aplicadas en general a cualquier diseño de *layout* en tecnología CMOS:

- No se deben ubicar contactos sobre áreas activas de la compuerta del transistor, ya que

esto produce variaciones del voltaje umbral. Se debe tratar de extender la compuerta para evitar realizar el contacto sobre estas regiones. El mismo efecto sucede si al realizar interconexiones entre dispositivos atravesamos regiones activas de la compuerta con metal.

- Para reducir las caídas de voltaje en las líneas de tierra, se debe realizar una adecuada conexión a sustrato utilizando varios contactos y empleando líneas lo suficientemente anchas, para de esta manera reducir la resistencia de la conexión.
- Cuando dentro de un mismo circuito integrado se manejaran señales digitales y analógicas, la parte digital del circuito puede acoplarse a la parte analógica a través del sustrato. Para evitar esta situación se utilizan las llamadas *guardas*, las cuales consisten en una línea de difusión que rodea al circuito analógico (o al circuito digital),



(a) Características de las guardas

(b) Guardas en las fuentes de corriente

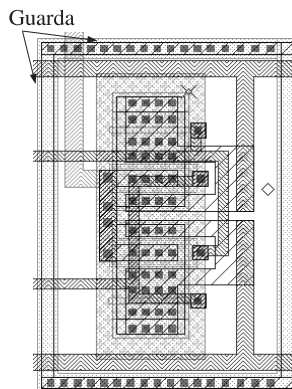
(c) Guardas en el *switch*

Figura 6.7: Características de las guardas.

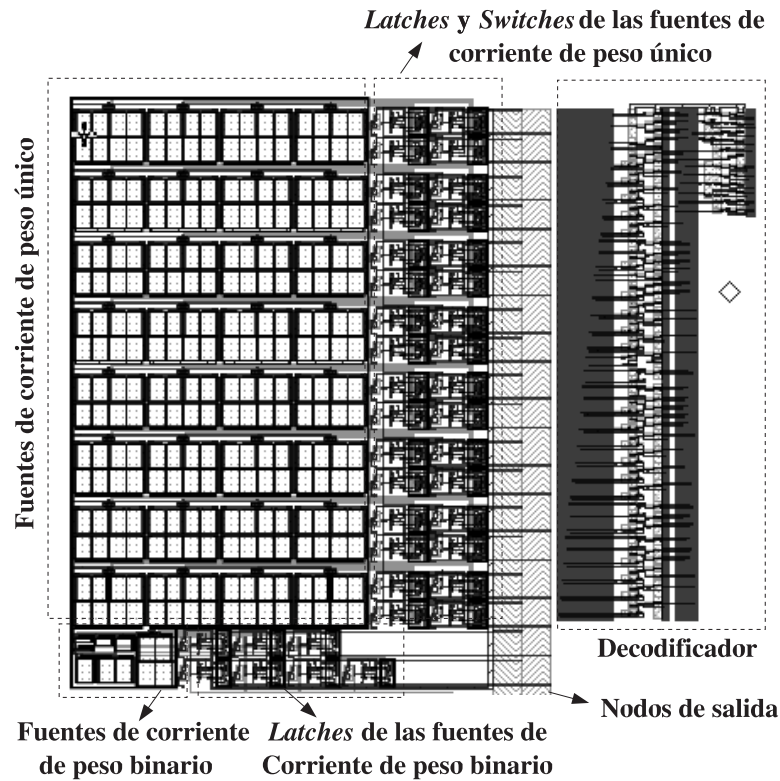


Figura 6.8: *Layout del convertor digital-analógico.*

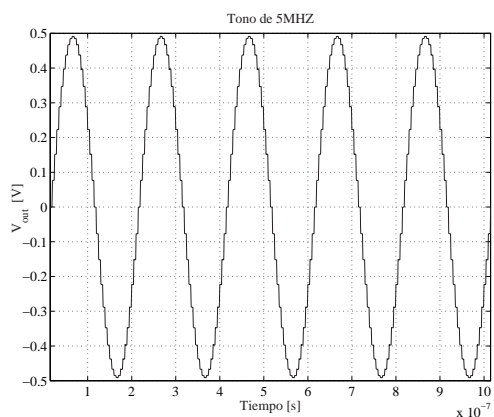
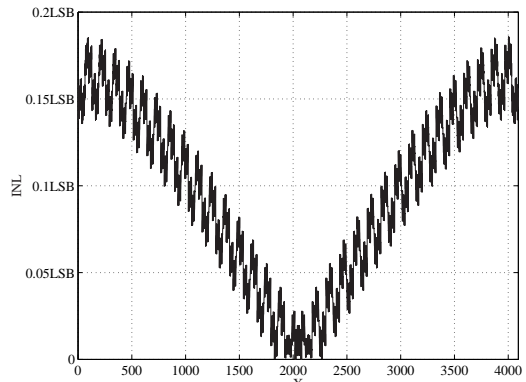
aislando de este forma las señales digitales de las señales analógicas. Este concepto se ilustra en la *figura 6.7a*. Las líneas de guarda pueden ser implementadas utilizando difusión-N o difusión-P, con conexión a tierra analógica o con conexión a un voltaje en modo común [3]. El conjunto de fuentes de corriente de peso único y de peso binario, fueron rodeadas con una guarda implementada con difusión-N y conexión a tierra analógica, tal como se muestra en la *figura 6.7b*. Lo mismo se hizo con cada uno de los *switches* (*figura 6.7c*), para evitar el acople de las señales digitales del decodificador y de los *latches* a la señal de salida del convertor.

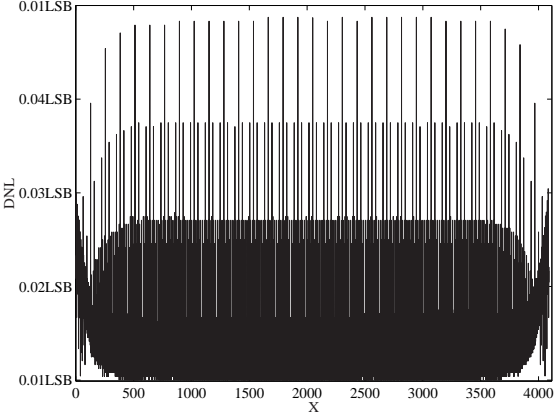
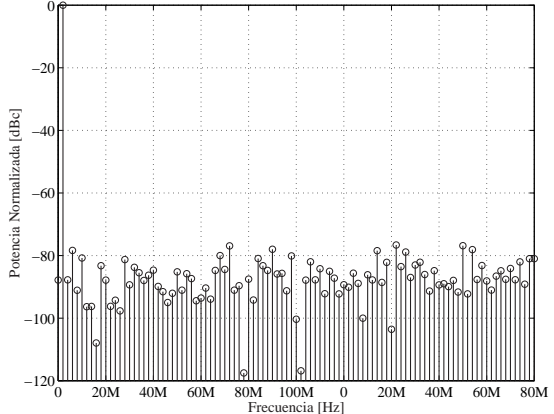
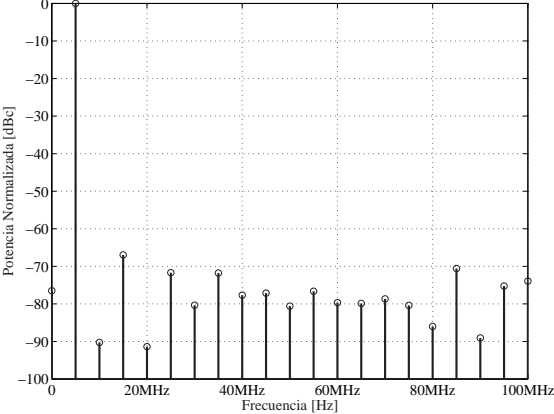
Para finalizar esta sección presentaremos el *layout* del convertor digital-analógico, el cual se muestra en la *figura 6.8*, indicando cada una de los bloques funcionales del DAC implementado en la arquitectura *current steering*. Cabe destacar que se utilizaron 3 niveles de metal para realizar la interconexión de los diferentes bloques, permitiendo reducir las capacitancias parásitas asociadas a cada nodo y al mismo tiempo cumplir con los requerimientos de ancho de camino, de acuerdo con el valor de corriente que se espera circule por dicho camino.

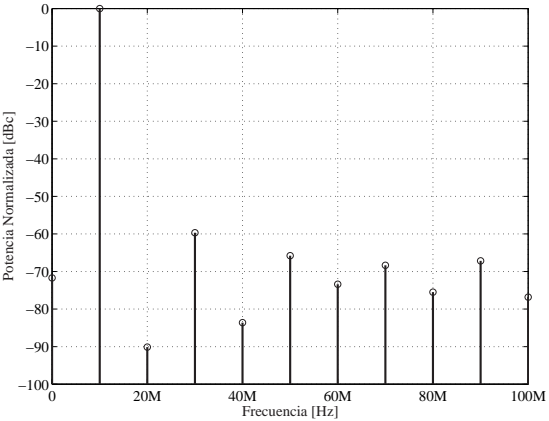
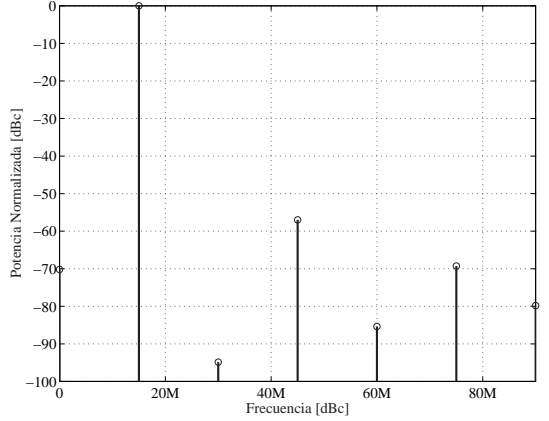
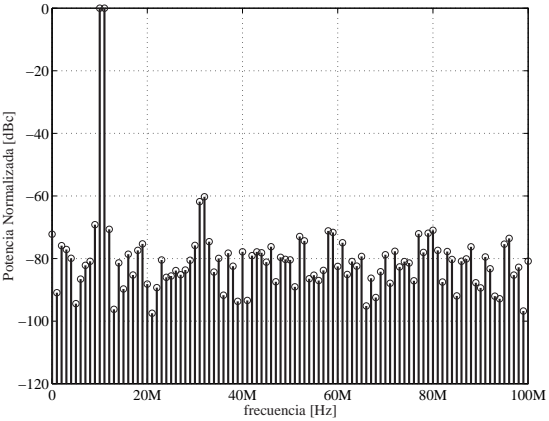
## 6.2. Especificaciones del DAC

En la *tabla 6.1* se indica el valor obtenido para cada una de las especificaciones del DAC diseñado, cumpliendo con todos los requerimientos del estándar *Bluetooth*.

Tabla 6.1: *Especificaciones del DAC diseñado*

Especificación	Valor	Grafica de simulación
Corriente de escala completa ( $I_{FS}$ )	$20\mu A$	
Voltaje de escala completa ( $V_{FS}$ )	$500mV$	
Error de <i>Offset</i>	0,04 %	
THD ( $F_s = 200MHz$ , $F_{out} = 1MHz$ )	0,64 %	
THD ( $F_s = 200MHz$ , $F_{out} = 5MHz$ )	0,78 %	
THD ( $F_s = 200MHz$ , $F_{out} = 10MHz$ )	1,32 %	
THD ( $F_s = 200MHz$ , $F_{out} = 15MHz$ )	1,45 %	
INL	0,18LSB	

Especificación	Valor	Grafica de simulación
DNL	0,04LSB	
SFDR ( $F_s = 200MHz$ , $F_{out} = 1MHz$ )	74dBc	
SFDR ( $F_s = 200MHz$ , $F_{out} = 5MHz$ )	68dBc	

Especificación	Valor	Grafica de simulación
SFDR ( $F_s = 200MHz$ , $F_{out} = 10MHz$ )	60dBc	 <p>Plot showing Normalized Power [dBc] vs Frequency [Hz]. The main signal is at 0 dBc. The next highest spurious signal is at approximately 30 MHz with a power of -60 dBc.</p>
SFDR ( $F_s = 200MHz$ , $F_{out} = 15MHz$ )	57dBc	 <p>Plot showing Normalized Power [dBc] vs Frequency [dBc]. The main signal is at 0 dBc. The next highest spurious signal is at approximately 45 MHz with a power of -57 dBc.</p>
IMD de tercer orden $F_s = 200MHz$ $F_{out} = 10MHz - 11MHz$	60dBc	 <p>Plot showing Normalized Power [dBc] vs Frequency [Hz]. The main signal is at 0 dBc. The next highest spurious signals are at approximately 10 MHz and 11 MHz with a power of -60 dBc.</p>

### 6.3. Conclusiones y observaciones

En este documento hemos presentado el diseño de un convertor digital-analógico, para ser utilizado dentro de la etapa de transmisión de un *transceiver* integrado en tecnología CMOS, cumpliendo con las especificaciones mínimas del estándar *Bluetooth*. Todas las consideraciones que se discutieron en este trabajo, han permitido iniciarme en el diseño de circuitos integrados, dándome herramientas para seleccionar y caracterizar un convertor digital-analógico. Haciendo uso de estas herramientas, pude como diseñador llegar a las siguientes conclusiones y observaciones.

- El primer paso para el diseño un convertor digital-analógico debe ser la selección del número de bits de la palabra digital de entrada, ya que las especificaciones de SNR y SFDR están restringidas por un valor límite, debido a la limitada resolución del convertor. Habrá un punto en el diseño en el que no se puede seguir aumentando estas especificaciones a nuestra voluntad, ya que el número de bits determina directamente la relación señal a ruido del convertor y el valor de SFDR no podrá ser mayor que este valor de SNR. Para un convertor de 12bits la máxima relación señal a ruido será de 76dB, en otras palabras, al introducir un tono al DAC tendremos una relación máxima entre la potencia del tono y el piso de ruido de 76dB. Lo anterior indica que el máximo valor que se puede obtener para la especificación de SFDR será de 76dB, en el caso ideal en que no existan armónicos. Por lo tanto el diseño debe iniciar el diseño seleccionando el número de bits con los cuales se puedan alcanzar las especificaciones de SNR y de SFDR.
- La velocidad a la cual se entregan los datos al convertor digital-analógico, se debe seleccionar de un valor superior al ancho de banda requerido por la aplicación, de manera que podamos reducir la complejidad del filtro pasa bajos a la salida del DAC. Sin embargo, si esta frecuencia es muy elevada estaremos invirtiendo cantidades excesivas de potencia y de área en la implementación del DAC, perdiendo todo sentido esta consideración. Al seleccionar la frecuencia de entrega de datos del convertor, el diseñador debe comprometer la complejidad en la implementación del DAC y la exigencia sobre el filtro, dándole un uso eficiente a los recursos.
- El efecto del *mismatch* sobre la especificaciones del DAC en la arquitectura *current steering*, puede ser mitigado empleando mayor área en el diseño de las fuentes de corriente y mediante técnicas más elaboradas para la realización del *Layout*. Debido a esto,

si queremos una alta probabilidad de que el circuito integrado funcione al ser implementado, debemos emplear transistores grandes lo cual limita el ancho de banda del convertidor. Para reducir este efecto podemos aumentar el número de fuentes segmentadas, ya que con esta técnica cambiamos fuentes de corriente MSBs realizadas con transistores grandes, por varias fuentes de menor peso y con transistores más pequeños. Sin embargo, cuando se utilizan muchas fuentes segmentadas conduce a una mayor complejidad del *layout* y por lo tanto mayor área ocupada por el *chip*.

- Para realizar el diseño de un DAC donde los parámetros INL y DNL estén por debajo del valor mínimo requerido para que el convertidor sea monótono, es necesario que durante el diseño se tenga en cuenta la componente de error debido al *mismatch* y la componente de error debido a las variaciones de resistencia de salida. No obstante, el parámetro DNL es menos sensible que el parámetro INL a las variaciones de resistencia de salida del DAC: si el valor de INL cumple con el requerimiento de 0.5LSB, el valor de DNL estará alrededor de  $1 \times 10^{-4}$ LSB (en la arquitectura *current-steering*). Por lo tanto durante el diseño de las fuentes de corriente la componente de error de no linealidad diferencial debido al *mismatch* puede ser despreciada.
- El diseño de las fuentes de corriente del DAC en la arquitectura *current steering*, debe estar enfocado principalmente a cumplir con los requerimientos debido al *mismatch*, ya que estos tienen mayor trascendencia que los demás requerimientos del comportamiento estático: el efecto del *mismatch* sobre las especificaciones del DAC, determina las dimensiones mínimas del transistor  $M_{CS}$  y el voltaje de polarización  $V_{B1}$ , además demarca un límite para las dimensiones de  $M_{CAS}$  y  $M_{SW}$  de acuerdo con las variaciones en la polarización debido a las fluctuaciones de  $V_t$  y  $\beta$ .
- Cuando se desea determinar un número adecuado de fuentes de corriente segmentadas que permita cumplir con las especificaciones que exige la aplicación, se emplea el requerimiento de INL y DNL debido al *mismatch* como criterio de selección. Sin embargo, el peor caso de error DNL debido a este requerimiento, debe ser mucho menor que el valor esperado para la especificación INL, ya que el error de no linealidad diferencial ( $DNL_k$ ) que se acumula en cada transición puede llegar a representar un error de no linealidad integral, superior al valor deseado. A medida que reducimos el valor esperado para el peor caso de DNL (por debajo del error INL), aumentará el número de fuentes segmentadas y al mismo tiempo se incrementará la complejidad de interconexión y el tamaño del decodificador que controla las fuentes de corriente de peso único. De esta manera, a

medida que la aplicación exija un menor valor de error DNL e INL, se deberá emplear más área en implementar el conversor digital-analógico.

- La selección del voltaje de polarización  $V_{B1}$  establece el área que se debe emplear para el transistor  $M_{CS}$  para cumplir con el requerimiento de error de no-linealidad debido al *mismatch*, para un determinado valor de  $A_\beta$  y de  $A_{V_t}$ . Si el proceso de fabricación tiene un alto valor de  $A_\beta$  y de  $A_{V_t}$ , será necesario utilizar un voltaje  $V_{B1}$  elevado o emplear mayor área para el diseño de las fuentes de corriente. Si las dimensiones del transistor son muy grandes habrá mayores capacitancias y por lo tanto el ancho de banda del conversor se verá limitado. De esta forma, un DAC tendrá mayor ancho de banda si el proceso de fabricación que se emplea en la implementación de dicho conversor, ofrece un mejor comportamiento de los parámetros del transistor al efecto del *mismatch*.
- Cuando se utilizan transistores NMOS para el diseño de las fuentes de corriente, se debe tener mucho cuidado en la selección del tipo de transistor que se utiliza como *switch* (NMOS o PMOS). Aparentemente se esperaría que la mejor selección con respecto a velocidad y área fuese un transistor NMOS debido a su mayor movilidad, sin embargo, se pudo demostrar que para nuestro caso (tecnología AMS 0,35 $\mu m$  C35B4) el transistor PMOS tendrá un mejor comportamiento de acuerdo con el requerimiento de velocidad y área, debido a que el transistor PMOS (como *switch* de una fuente NMOS) no presentan efecto cuerpo y como consecuencia tiene una menor resistencia de encendido que un transistor NMOS, con las mismas dimensiones.

## 6.4. Recomendaciones para trabajos futuros

Al valorar personalmente el trabajo de diseño que se lleva a cabo en este documento, salen a relucir ciertas consideraciones que pueden ser tenidas en cuenta en futuros trabajos de diseño, de manera que se puedan obtener mejores resultados.

- En el diseño de un conversor digital-analógico para ser utilizado dentro de un sistema de transmisión de radio frecuencias, se debe cuantificar el efecto que tienen los demás bloques que conforman el sistema sobre la señal que entrega el DAC, para de esta forma no llegar a sobredimensionar el diseño. Es claro que el diseño de un DAC para una aplicación de RF, parte de las especificaciones requeridas por el sistema y no de las características de los bloques que conforman dicho sistema. Sin embargo, un conocimiento detallado de cada uno de estos bloques permitirá determinar hasta que punto se puede llevar las especificaciones del conversor, de tal manera que al pasar a frecuencias RF la señal banda base que entrega el DAC, la señal resultante a la salida del sistema cumpla con las especificaciones exigidas por el estándar de modulación. Esto permitirá hacer un mejor uso de los recursos de área y potencia.
- La selección de una arquitectura adecuada para el diseño un conversor digital-analógico dentro de una determinada aplicación, debe estar acompañada de simulaciones preliminares. Esto nos permitirá conocer en detalle cada una de las ventajas y desventajas de una determinada arquitectura.
- El diseño de las fuentes de corriente dentro de la arquitectura *current-steering*, se puede realizar pensando en ajustar las mínimas dimensiones de los transistores que permitan cumplir con todos los requerimientos del comportamiento estático. Al reducir al mínimo valor requerido las dimensiones de los transistores, obtendremos un conversor digital-analógico con una alta velocidad pero con altos valores de picos de voltajes del transitorio, que ocurre durante la conmutación entre los diferentes estados de conversión. A pesar de esto, el valor de la capacitancia de carga a la salida del DAC podrá ser lo suficientemente grande para reducir estos picos a un valor moderado, lo cual hace que no sea necesario realizar nuevos ajustes sobre las dimensiones de los transistores que conforman las fuentes de corriente.
- Para tener una alta probabilidad de que después de implementado el DAC, el diseño cumpla con las especificaciones exigidas por la aplicación, se deben emplear técnicas de *layout* mucho más elaboradas. En este trabajo el *layout* se elaboró con la técnica más

sencilla encontrada en la literatura, ya que no se contaba con un *software* especializado para realizar la compleja interconexión que demandan estas técnicas. Se recomienda hacer un estudio mucho más fuerte sobre la elaboración del diseño del *layout*, si se requiere obtener un diseño mucha más robusto a las variaciones en los procesos de fabricación y al gradiente de temperatura.

- Para la selección de la corriente  $I_{LSB}$  se recomienda realizar un proceso iterativo empleando simulaciones de ancho de banda para diferentes valores de  $I_{LSB}$ , los cuales deben ser superiores al valor mínimo exigido debido al requerimiento de ruido de cuantización. En cada simulación se mide el error INL que introduce el error de establecimiento de la señal en el peor caso de velocidad de conmutación, eligiendo un valor de corriente  $I_{LSB}$  que permita obtener un valor de INL (debido al error de establecimiento) casi despreciable.



# Apéndice A

## *Setup* de simulación

Para la simulación del diseño del convertor digital-analógico, se utilizó el *software* de simulación **HSPICE**. A continuación ilustraremos las consideraciones más relevantes que se tuvieron en cuenta en las simulaciones realizadas.

### A.1. Simulación de la respuesta transitoria del DAC

Para configurar la simulación de la respuesta transitoria del DAC, se emplearon los siguientes comandos en el archivo de simulación.

```
.option absmos=1e-12 relmos=0.0001 relv=0.0001 absv=1e-11
+ dvdt=4 delmax=2e-9
.option trcon=-1 rmax=1
.tran 0.01n 1015n 15n
.vec datos
```

En primera instancia se debe configurar el simulador para que los datos de salida de corriente y de voltaje de los transistores MOS, tengan una baja tolerancia al error, ajustando las opciones `absmos=1e-12` (tolerancia al error de la corriente de drenado en los dispositivos MOSFETs), `relmos=0.0001` (tolerancia relativa al error de la corriente de drenado en los dispositivos MOSFETs de iteración a iteración), `relv=0.0001` (tolerancia relativa al error en el valor de un voltaje de iteración a iteración) `absv=1e-11` (mínimo valor absoluto del valor de un voltaje). De igual forma, para asegurar la conversión del análisis transitorio se debe desactivar el modo de ajuste automático del paso de iteración que tiene el simulador



```
.fft V(r2,r1) start=15n stop=1015n format=norm fmax=100e6 fmin=0 freq=5e6
NP=50000 window=harris
.fft V(r2,r1) start=15n stop=1015n format=norm fmax=100e6 fmin=0 freq=5e6
NP=50000 window=hann
.option fftout
```

El comando `.fft` permite encontrar la transformada discreta de *Fourier*, de la señal de salida del conversor, definiendo el tiempo inicial y tiempo final del transitorio que se quiere analizar por medio de las opciones `start=15n stop=1015n`, ajustando el número de puntos (NP) que se tomaran de esta señal para realizar la transformada discreta de *Fourier*. Adicionalmente, se puede configurar el simulador para que al generar el archivo de salida `.ft0`, la potencia de los armónicos este normalizada a la potencia del armónico principal a través de la opción `format=norm`. Para realizar el cálculo de THD se utiliza la opción `fftout` el cual entrega la distorsión armónica de la señal, considerando los armónicos de la frecuencia `freq` que se encuentren entre las frecuencias `fmax` y `fmin`. Para reducir el error de la transformada discreta de *Fourier* de una señal finita en tiempo, el *software HSPICE* utiliza algunos métodos numéricos, los cuales son usados de acuerdo con la medida que se va a realizar. En el manual de usuario de este *software* se encuentran las características de cada uno de estos métodos. Para realizar esta simulación se emplearon los métodos de *Hamming* (`window=hann`) y de *Blackman-Harris* (`window=harris`), los cuales ofrecen bajos niveles de error en la medida de la potencia de los armónicos. Para cada simulación se debe comparar los datos obtenidos al utilizar ambos métodos.

### A.3. Simulaciones de *Monte Carlo*

Las simulación de *Monte Carlo* fue utilizada para medir las variaciones de voltaje y de corriente que ocurren en las fuentes de corriente debido al *mismatch*. Para llevar a cabo esta simulación se utilizaron las siguientes líneas de comando:

```
.include modpsw.mod
.include modncas.mod
.include modncs.mod
.param w1=1.35u w2=0.7u w3=0.7u Lcs=12u lcas=0.425u
.param vtcas=agauss(0.5579,'8.2e-9/sqrt(w2*0.435u)',1)
```

```

vtcs=agauss(0.5579,'8.2e-9/sqrt(Lcs*w1)')
vtsw=agauss(-0.7715,'14.2e-9/sqrt(w3*0.35u)')
uocas=gauss(467.1,'0.01*0.2e-6/sqrt(w2*0.35u)')
uocs=gauss(467.1,'0.01*0.2e-6/sqrt(Lcs*w1)')
uosw=gauss(131.4,'0.01*0.4e-6/sqrt(w3*0.35u)')
.dc monte=100

```

Como se puede notar, para conocer el efecto del *mismatch* sobre los parámetros  $V_t$  y  $\beta$  de los transistores  $M_{CS}$ ,  $M_{CAS}$  y  $M_{SW}$ , se debe incluir como un parámetro de la simulación la variación en una distribución *Gaussiana* del valor de  $V_t$  y de  $\mu_o$  de cada transistor, por medio del comando `agauss` (variación nominal,  $V_t$ ) y `gauss` (variación relativa,  $\mu_o$ ). A estos comandos se le debe suministrar la media (valor real del parámetro en el modelo utilizado) y la desviación estándar (ecuación(3.12)) respectivamente, de cada uno de los parámetros.

Para realizar esta simulación, se debe incluir los nuevos valores de  $V_t$  y  $\mu_o$  en los modelos de cada transistor por separado, es decir, cada transistor tendrá un modelo diferente. Adicionalmente se debe utilizar el comando `.dc monte=100`, con lo cual se le indica al simulador que tome 100 muestras aleatorias del valor de  $V_t$  y  $\mu_o$ , y encuentre el punto de operación del circuito. Esta simulación generará un archivo de salida `.sw0` con el valor de cada variable de corriente y de voltaje, para cada una de las 100 muestras.

# Bibliografía

- [1] P. Hendriks, “Specifying communication DACs,” *IEEE J. Solid-State Circuits*, vol. 34, pp. 58–69, Julio 1997.
- [2] J. Wikner, “Studies on CMOS Digital-to-Analog Converters,” Master’s thesis, Department of Electrical Engineering Linköpings universitet, S-581 83 Linköping, Sweden, 2001.
- [3] M. Gustavsson, J. Wikner, and N. Tan, *CMOS Data Converter for Communication*. Kluwer Academic Publishers, 2002.
- [4] *Specification of the Bluetooth System v1.0A [Online]*. Available: <http://www.bluetooth.com>, Noviembre 2004.
- [5] S. Haykin, *Sistemas de comunicación*. Primera edición, Limusa Wiley, 2002.
- [6] P. Hendriks, “High Speed Data Converters and New Telecommunication Needs,” *IEEE 1999, Tucson, Arizona*, pp. 147–150, Abril 1999.
- [7] A. Bugeja, B.-S. Song, P. Rakers, and S. Gillig, “A 14b 100Msample/s CMOS DAC Designed for Spectral Performance,” *ISSCC*, pp. 148–149, feb 2002.
- [8] C.-H. Lin and K. Bult, “A 10-b, 500-Msample/s CMOS DAC in 0.6 $\mu$ m,” pp. 1948–1958, Dic 1998.
- [9] T. Miki, Y. Nakamura, M. Nakaya, S. Asai, Y. Akasaka, and Y. Horiba, “An 80-MHz 8-bit CMOS D/A Converter,” *IEEE J. Solid-State Circuits*, vol. 21, no. 6, pp. 983–988, Dic 1986.
- [10] Y. Nakamura, T. Miki, A. Maeda, H. Kondoh, and N. Yazawa, “A 10-b 70-MS/s CMOS D/A Converter,” *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 637–642, Abril 1991.

- [11] J. Bastos, M. Steyaert, and W. Sansen, "A high yield 12-bit 250-MS/s CMOS D/A converter," *IEEE 1996 Custom Integrated Circuits Conf. (CICC)*, pp. 20.6.1–20.6.4, Mayo 1996.
- [12] A. Marques and J. Bastos, "A 12-bit accuracy 300 MS/s update rate CMOS DAC," in *Proc. IEEE 1998 Int. Solid State Circuits Conf. (ISSCC)*, pp. 216–217, Feb 1998.
- [13] S. Chin and C. Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current Sources," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1374–1380, Nov 1994.
- [14] A. V. den Bosch, M. S. J. Steyaert, and W. Sansen, "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, Marzo 2001.
- [15] J. Hyde, T. Humes, C. Diorio, and M. Thomas, "A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 5, May 2003.
- [16] T. Gostner, "The Design of Current-Steering Digital-to-Analog Converter DAC in 0.13 $\mu$ m CMOS Technology," Master's thesis, Fachhochschule Technikum Karnten, 2000.
- [17] J. I. G. Miquel Albiol and E. Alarcón, "Mismatch and Dynamic Modeling of Current Sources in Current-Steering CMOS D/A Converters an Extended Design Procedure," *IEEE Transactions on Circuits and Systems*, vol. 51, no. 1, pp. 159–169, Enero 2004.
- [18] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Octubre 1989.
- [19] J. Wikner, "Modeling of CMOS Digital-to-Analog converters for Telecommunication," *IEEE Transactions on Circuits and Systems*, vol. 46, no. 5, pp. 1939–1944, mayo 1999.
- [20] A. S. Sedra, *Circuitos Microelectrónicos*. 4 edición, Oxford University, 1999.
- [21] A. Hastings, *The art of analog Layout*. Primera edición, PrenticeHall, 2001.
- [22] A. V. del Plas and J. Vandenbussche, "A 14-bit Intrinsic Accuracy  $Q^2$  Random Walk CMOS DAC," *IEEE J. Solid-State Circuits*, vol. 34, no. 12, Dic 1999.