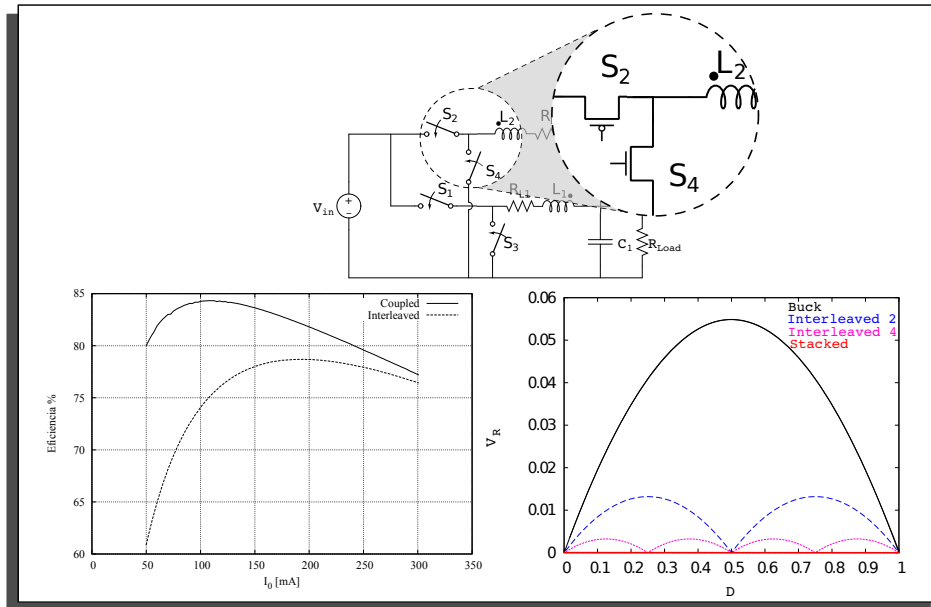


DISEÑO DE UN CONVERTOR DC-DC INTEGRABLE EN TECNOLOGÍA CMOS.



JAIRO GÜIZA ARGÜELLO

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE FISICOMECAICAS
ESCUELA DE INGENIERIAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES

Bucaramanga – noviembre de 2010



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN CONVERTOR DC-DC INTEGRABLE EN TECNOLOGÍA CMOS.

JAIRO GÜIZA ARGÜELLO

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director

MSc. ÉLKIM FELIPE ROA FUENTES

UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE FISICOMECAÑICAS
ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES

Bucaramanga – noviembre de 2010

*“ A Juampas, presencia de Dios en mi casa,
A mis padres, Raquel y Germán, por darme
la mejor lección de vida que haya podido recibir.”*

Agradecimientos

Agradezco a Dios por todas sus bendiciones y por permitirme culminar esta etapa en mi vida. A *mis viejos*, Raquel y Germán, por su gran amor y apoyo incondicionales, y por hacer de mí lo que hoy soy. A mis hermanos, Germán Andrés, Viviana, Daniela y Juan Pablo, por ser mis compañeros de crianza y ayudarme en mi formación personal. A Astrid Liliana, por todo su amor y por ser un soporte tan importante en mi vida.

A Élkim y el grupo de investigación CIDIC, por incentivar mi gusto por los circuitos integrados. A Andrés, Lucho, Villo, Sergio, Javier, Waro, Peña, Cabeto y Edinson, por ser tan excepcionales amigos. A Leo, Diego, Luis Carlos, Juan Carlos, Jhoan, Rastro y Héctor, por su enorme amistad y toda la ayuda brindada en la realización de este trabajo.

A la Universidad Industrial de Santander, por ofrecerme la oportunidad de ser un ingeniero.

Contenido

1. Introducción	14
1.1. Conversor <i>DC-DC</i>	15
1.2. <i>DC-DC Buck</i>	18
1.3. <i>DC-DC Boost</i>	21
1.4. <i>DC-DC Buck-Boost</i>	23
1.5. Especificaciones	24
1.6. Estado del arte	26
2. Topologías	29
2.1. Standard Interleaved	29
2.2. Stacked Interleaved	31
2.3. Stacked Coupled	32
2.4. Eficiencia	33
2.4.1. Conversor <i>Buck</i> .	34
2.4.2. <i>Standard Interleaved</i> .	35
2.4.3. <i>Stacked Interleaved</i> .	37
2.4.4. <i>Stacked Coupled</i> .	38
3. Diseño	42
3.1. Consideraciones Generales	42
3.1.1. Especificaciones del Diseño	43
3.1.2. Frecuencia de operación	43
3.1.3. Inductores	44
3.1.4. Interruptores	46
3.1.5. Punto Óptimo de Operación	49
3.2. Resultados	52
3.2.1. Análisis Estadístico	54
3.3. Observaciones y Conclusiones	56

3.4. Recomendaciones para trabajos futuros	57
Bibliografía	58

Lista de Figuras

1.1. Señal PWM	16
1.2. Modelo equivalente del capacitor. (Adaptada de [1]).	17
1.3. Tensión en el interruptor.	17
1.4. Circuito <i>DC-DC Buck</i>	18
1.5. Señales del convertor Buck.	19
1.6. Circuito <i>DC-DC Boost</i>	21
1.7. Señales del convertor Boost.	22
1.8. Circuito <i>DC-DC Buck-Boost</i>	23
1.9. Señales del convertor Buck-Boost.	24
2.1. Standard Interleaved.	30
2.2. Rizado en la tensión de salida.	31
2.3. Stacked Interleaved.	32
2.4. Corriente de rizo del inductor, convertor básico <i>Buck</i>	34
2.5. Corrientes de los inductores, topología <i>Standard Interleaved</i>	35
2.6. Corrientes de los inductores, arquitectura <i>Stacked Interleaved</i>	37
2.7. Arquitectura <i>Stacked Coupled</i>	38
3.1. Inductancia y resistencia parásita (fase principal).	44
3.2. Resistencia parásita del inductor de la fase primaria.	46
3.3. Resistencia parásita del inductor de la fase secundaria.	46
3.4. Implementación de los interruptores.	47
3.5. Determinación de pérdidas por conducción NMOS.	49
3.6. Determinación de pérdidas por conducción PMOS.	49
3.7. Eficiencia <i>Stacked Coupled</i>	50
3.8. Corrientes de rama 1 y 2, arquitectura <i>Stacked Coupled</i>	51
3.9. Eficiencia <i>Stacked Coupled</i> Vs. <i>Stacked Interleaved</i>	52
3.10. Corrientes de rama 1 y 2, topologías <i>Stacked Coupled</i> y <i>Stacked Interleaved</i>	52

3.11. Corrientes de rama 1 y 2, topologías <i>Stacked Coupled</i> y <i>Stacked Interleaved</i> . . .	53
3.12. Rizado en la tensión de salida.	54
3.13. Resultados del Análisis MonteCarlo para los interruptores.	55
3.14. Resultados estadísticos para la tensión de salida.	56

Lista de Tablas

1.1. Estado del arte.	28
3.1. Especificaciones.	43
3.2. Resistencias parásitas.	46
3.3. Dimensiones de los interruptores.	49
3.4. Resultados del circuito.	54

RESUMEN

TÍTULO:

DISEÑO DE UN CONVERTOR DC-DC INTGRABLE EN TECNOLOGÍA CMOS¹

AUTOR: JAIRO GÜIZA ARGÜELLO²

PALABRAS CLAVE: Convertor DC-DC, Administración de potencia, SoC.

DESCRIPCIÓN:

El aumento de las funciones integradas en los dispositivos electrónicos portátiles, y la cantidad limitada de energía ofrecida por la batería, resaltan un importante campo: la administración de potencia. El convertor $DC-DC$ es uno de los circuitos más utilizados en cualquier unidad de administración de potencia, el cual se destaca por su alta eficiencia y grandes relaciones de conversión. Generalmente, estos circuitos se implementan con elementos pasivos externos, lo cual involucra una mayor área ocupada. Siguiendo la tendencia SoC , se han propuesto algunas topologías con todos los elementos integrados, manifestándose en un aumento en la frecuencia de operación.

Este trabajo presenta el diseño de un convertor $DC-DC$, en tecnología UMC 90nm. La selección de la topología a implementar se realiza bajo el criterio de tensión de rizo en la salida y la eficiencia de los inductores integrados, con lo cual, dentro de las arquitecturas presentadas, se escoge la *Stacked Coupled* como la más adecuada, según las especificaciones ya mencionadas. El proceso de diseño se divide en tres: selección de la frecuencia de operación, diseño y caracterización de los inductores con ayuda del *software ASITIC*, y finalmente el diseño de los interruptores, usando para estos últimos el modelo BSIM4v4.

La validación del diseño se hace por medio de simulaciones, obteniendo como resultado una eficiencia máxima de 84.3% para una corriente de carga de 107.6 mA, a una tensión de salida de 700 mV. Finalmente, se realiza un análisis estadístico Monte Carlo, considerando las variaciones del proceso de fabricación, corroborando la robustez del diseño.

¹Proyecto de Grado

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.
Director MSc. Élkim Felipe Roa Fuentes.

ABSTRACT

TITLE:

DESIGN OF A DC-DC CONVERTER INTEGRATED IN CMOS TECHNOLOGY³

AUTHOR: JAIRO GÜIZA ARGÜELLO ⁴

KEYWORDS: DC-DC converter, power management, SoC.

DESCRIPTION:

The increase of the integrated functions in portable electronic devices, and the limited amount of energy supplied by the battery, stand out an important area: the power management. The *DC-DC* converter is one of the most used circuits in any power management unit, wich is known for its high efficiency and great input-output ratios. Usually, these circuits are implemented with external passive components, wich involves a greater area occupied. Following the SoC trend, some topologies have been proposed, fully integrated, increasing the operation frequency.

This work presents the design of a *DC-DC* converter in UMC 90nm Technology. The architecture selection is made under the criteria of output voltage ripple and efficiency of the integrated inductors, wich, within submitted topologies, Stacked Coupled is chosen as the most appropriate, according to the specifications mentioned above.

The design is divided into three: selection of the frequency operation, design and characterization of inductors, using the software *ASITIC*, and finally, the design of switches, using BSIM4.4 model.

The design validation is done through simulations, resulting in 84.3 % maximum efficiency, at 107.6 mA load current, and 700mV output voltage. Finally, a Monte Carlo statistical analysis is performed, considering mismatch and process variation, validating the robustness of design.

³Degree project

⁴Physical-Mechanical Engineering Faculty. Electrical, Electronics and Telecommunications School. Advisor MSc. Élkim Felipe Roa Fuentes.

Capítulo 1

Introducción

La administración de potencia en los sistemas electrónicos es un aspecto que toma cada vez más importancia, debido a factores como el aumento en la densidad de potencia y la disminución en la tensión de alimentación de los circuitos integrados generan nuevas tareas para los bloques administradores, pues se requieren rizados mínimos en la tensión de polarización y una rigurosa distribución de la potencia disponible. Con el cumplimiento de la *Ley de Moore* se disminuye el tamaño de cada transistor, por lo que en cada nueva tecnología se crece el número de transistores por área con respecto a la anterior. Esto hace que los sistemas electrónicos sean cada vez más integrables, abriendo la posibilidad de implementar más funciones en un solo dispositivo [2]; aunque la tensión en la puerta de los transistores disminuye, el consumo de potencia aumenta por la gran densidad de transistores. A esto se unen otros *problemas evolutivos* como el incremento en la frecuencia, ya que el consumo de potencia de un circuito digital es directamente proporcional a la frecuencia de operación. Este factor de consumo se ve levemente aliviado con la disminución en la tensión de alimentación [3], pero no es suficiente para contrarrestar el efecto provocado por la frecuencia de operación. El aumento en el uso de equipos portátiles intensifica el desafío, pues la autonomía del sistema depende de la duración de la batería, exigiendo una administración de potencia más estricta, teniendo en cuenta las funcionalidades que ofrecen los dispositivos electrónicos modernos [2]. Con este propósito se pensó en una unidad administradora de potencia o *PMU*,¹ la cual tiene como celdas básicas diferentes circuitos reguladores de potencia.

Un circuito regulador de potencia se encarga básicamente de suministrar de manera eficiente una tensión y corriente determinadas para una carga específica. Si se piensa en un sistema electrónico completo, cada uno de los bloques funcionales no operan necesariamente a la misma tensión, por lo que se requiere polarizarlos por separado. En potencia *DC* existen principalmente dos tipos de reguladores de potencia: reguladores lineales y convertidores

¹En la literatura se utiliza la sigla *PMU*, del inglés *Power Management Unit*.

$DC-DC$, cada uno de ellos con aplicaciones específicas.

Los reguladores lineales se usan generalmente en bloques sensibles al ruido, ya que no incluyen señales de reloj que puedan causar interferencias [2]. A groso modo su operación consiste en hacer un divisor de tensión entre el conversor y la carga, repartiendo no solo la tensión disponible, sino también la potencia. En un principio se utilizaban tanto en circuitos analógicos como en digitales, pero como éstos últimos pueden operar cada vez más a una menor tensión, la diferencia entre la fuente de alimentación y la tensión de polarización crece, resultando bastante inadecuados por su conversión lineal; por esta razón los reguladores lineales están limitados a aplicaciones que requieren conversiones pequeñas. Por su parte, los conversores $DC-DC$ pueden utilizarse en aplicaciones de mayor potencia, pues alcanzan eficiencias muy planas² generalmente del 80 y 90 % [2]. Además, estos conversores permiten alcanzar tensiones tanto menores como mayores al valor nominal de la fuente de alimentación, mientras que los lineales se limitan a la obtención de tensiones inferiores del voltaje disponible. Las desventajas más notorias de un $DC-DC$ son el área (generalmente, los inductores y capacitores son externos), su comportamiento ruidoso debido a las señales de reloj que utiliza, y el rizado presente en la tensión de salida. A pesar de sus inconvenientes, estos conversores son ampliamente utilizados, teniendo en cuenta que existen técnicas para minimizar sus problemas, las cuales serán explicadas en las siguientes secciones, luego de comprender el principio de funcionamiento de un conversor $DC-DC$. Por esto, los conversores $DC-DC$ serán el tema de interés del presente documento, y dejaremos a un lado los reguladores lineales.

1.1. Conversor $DC-DC$

Un conversor $DC-DC$ es el análogo en corriente continua del transformador, pues se encarga de convertir un nivel de tensión determinado en uno mayor o menor, según sea el caso. Sus componentes básicos son un transistor operando como interruptor, un capacitor, un inductor y un diodo. El número de elementos utilizados varía de una topología a otra, incluso, existen circuitos que no incluyen inductancias (como es el caso de los conversores de capacitores conmutados, si se consideran conversores $DC-DC$), pero en general es posible hablar de estos cuatro dispositivos. Como principio de funcionamiento se utilizan los fenómenos transitorios de la bobina y el capacitor de manera cíclica, controlados por el transistor, el cual los conecta y desconecta a la fuente de alimentación. La señal de control del transistor para arquitecturas

²La expresión *plana* se refiere a un rango amplio en el cual la variación no es significativa, para el caso, la variación de la eficiencia.

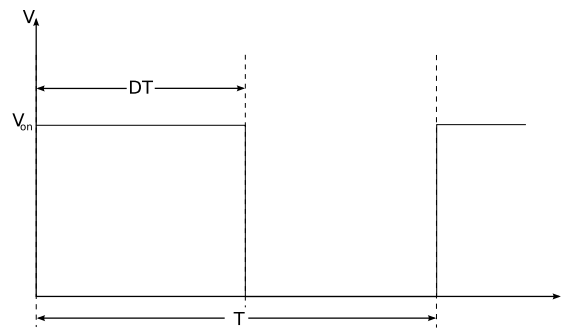


Figura 1.1: Señal PWM

*Chopper*³ es generada por un circuito *PWM*, cuyo ciclo de trabajo puede variar de acuerdo a las condiciones de carga. Es justamente su modo de operación lo que lo hace tan eficiente, pues los consumos de potencia considerables en el circuito se presentan en los cambios de estado, es decir, en los transitorios que ocurren en cada período de la señal de control. En las consideraciones de diseño se tienen en cuenta variables como la frecuencia de operación y las dimensiones de los elementos para reducir el consumo de potencia del circuito, manteniendo las demás características en un punto óptimo.

Al igual que un transformador, un conversor $DC-DC$ puede entregar tensiones mayores o menores que la tensión de entrada; de acuerdo a esto, las configuraciones básicas de un $DC-DC$ son *Buck* (reductor), *Boost* (elevador) y *Buck-Boost* (reductor-elevador), de las que se desprenden un sinnúmero de arquitecturas [4].

Para entender el funcionamiento de estos conversores, es importante aclarar las características de la señal utilizada para el control del interruptor; la señal *PWM* es periódica binaria (con periodo T), y solo puede tomar dos valores: V_{on} y V_{off} ; V_{on} es la tensión necesaria para que el transistor actúe como un interruptor encendido, y en V_{off} , el interruptor permanece abierto. El ciclo de trabajo D es la fracción del periodo T en el que la señal toma el valor de V_{on} . En la figura 1.1 se presenta una señal *PWM* ilustrando las características anteriormente descritas y que serán tomadas como convención en las siguientes secciones.

Los mayores inconvenientes de los conversores $DC-DC$ son producto de los efectos parásitos asociados a los elementos de circuito. Los condensadores, diodos y bobinas presentan una resistencia equivalente en serie, o *ESR*⁴ que modelan las pérdidas en el dieléctrico, en el movimiento de cargas y en el cobre, respectivamente. Estas *ESR* afectan directamente la eficiencia de todo el sistema, pues disminuyen la potencia que se puede entregar a la carga y afectan la tensión de salida, provocando rizado. El elemento más influyente en la tensión de

³*Chopper* es una forma de denominar los circuitos que convierten tensión DC en otro nivel de DC o en tensión AC *PWM* [4].

⁴Siglas del inglés *Equivalent Series Resistance*.

salida del conversor es la ESR del capacitor R_C , la cual genera la parte más significativa de la tensión pico de rizo. [1] En la figura 1.2 se aprecian las señales de tensión para el modelo no ideal del filtro capacitivo de un $DC-DC$. La componente senoidal (curva a trazos) es la tensión de una capacitancia pura, por efecto de una corriente variante en el tiempo; la tensión de carácter resistivo presenta la misma forma de la corriente, que es menos *suave*⁵ que la tensión capacitiva; Si aumenta el tamaño de la capacitancia C , para unas mismas condiciones de operación, la tensión V_C disminuye por la sencilla relación $V = \frac{Q}{C}$, mientras que V_{RC} permanece aproximadamente igual.

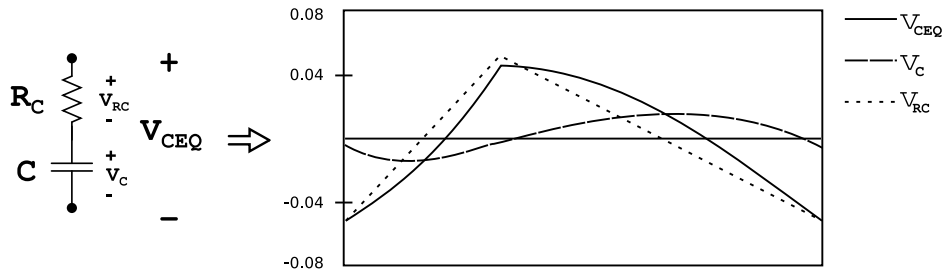


Figura 1.2: Modelo equivalente del capacitor. (Adaptada de [1]).

Además de las ESR , otro factor que incrementa las pérdidas es el transitorio presente en el interruptor al conmutar de un estado a otro, debido a la necesidad de cargar y descargar sus capacitancias parásitas. La figura 1.3 ilustra esta situación; el comportamiento luego de una transición sugiere que existe un consumo de potencia en el transistor, pues los picos de tensión se estabilizan en el valor final del estado del interruptor, lo cual corresponde a una disipación de energía en la resistencia propia del transistor. Considerando que por cada período de la señal de control se tienen dos transiciones en el interruptor, el aporte de este fenómeno en el consumo general de potencia es muy significativo.

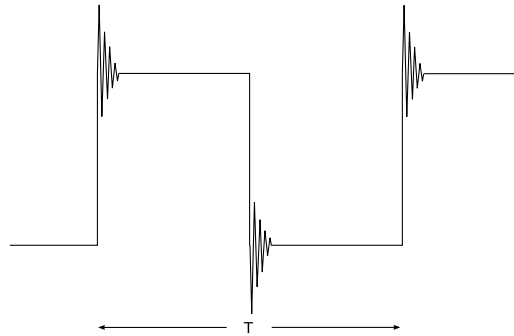


Figura 1.3: Tensión en el interruptor.

⁵hace referencia al cambio de pendiente a través del tiempo.

1.2. DC-DC Buck

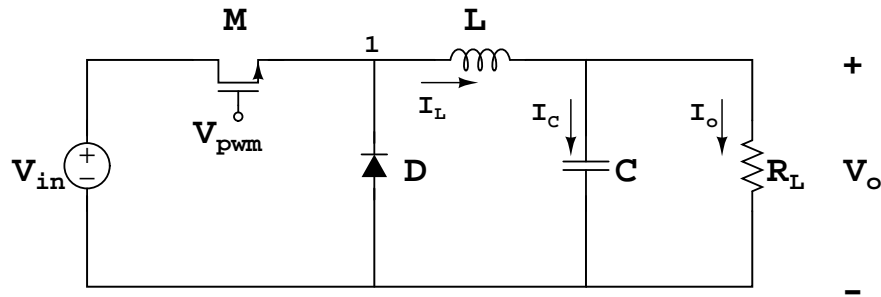


Figura 1.4: Circuito DC-DC Buck.

La estructura básica de un convertor *Buck* es como se muestra en la figura 1.4. La señal de control *PWM* se conecta a la puerta del transistor *M* que opera como interruptor. Cuando la señal de control está en alto, el interruptor se cierra, la tensión de entrada V_{in} queda directamente conectada al terminal de la bobina L (en el punto 1) y la corriente en el inductor crece; durante este periodo el diodo D se encuentra en polarizado inversamente. Cuando la señal *PWM* cambia a un estado lógico bajo, el transistor entra en estado de “no conducción”, desconectando la señal de entrada del circuito, por lo que resulta una red pasiva donde el capacitor y el inductor entregan la energía acumulada a la resistencia. La constante de tiempo del circuito se ajusta de manera apropiada para que el condensador mantenga la tensión en un valor casi constante, para obtener a la salida el menor rizado posible. La inductancia no permite cambios bruscos de corriente, por lo que I_L no se hace cero instantáneamente, sino que empieza a disminuir paulatinamente, forzando al diodo a conducirla. De acuerdo al ciclo de trabajo de la señal de control, el convertor puede operar en dos modos tomando como referencia la corriente I_L : modo continuo de conducción y modo discontinuo de conducción (*CCM* y *DCM* respectivamente)⁶; en el primero, la corriente de la inductancia nunca se hace igual a cero, y en el segundo, el comportamiento transitorio termina antes de que se cambie de estado, por lo que la corriente llega a ser cero. Es deseable que el sistema opere en *CCM* para alcanzar una alta eficiencia y para la correcta operación de los interruptores y componentes pasivos [1]. Las señales mostradas en la figura 1.5 son resultado de simulación de un circuito *Buck*, donde claramente se aprecia las características de operación en modo *CCM* y el rizado en la tensión de salida.

Para realizar el análisis matemático del circuito, es necesario considerar la ley de *Faraday* o el principio de balance de tensión en una inductancia, el cual establece que en estado estable, la

⁶Las siglas *CCM* y *DCM* se derivan del inglés *Continuous Conduction Mode* y *Discontinuous Conduction Mode*.

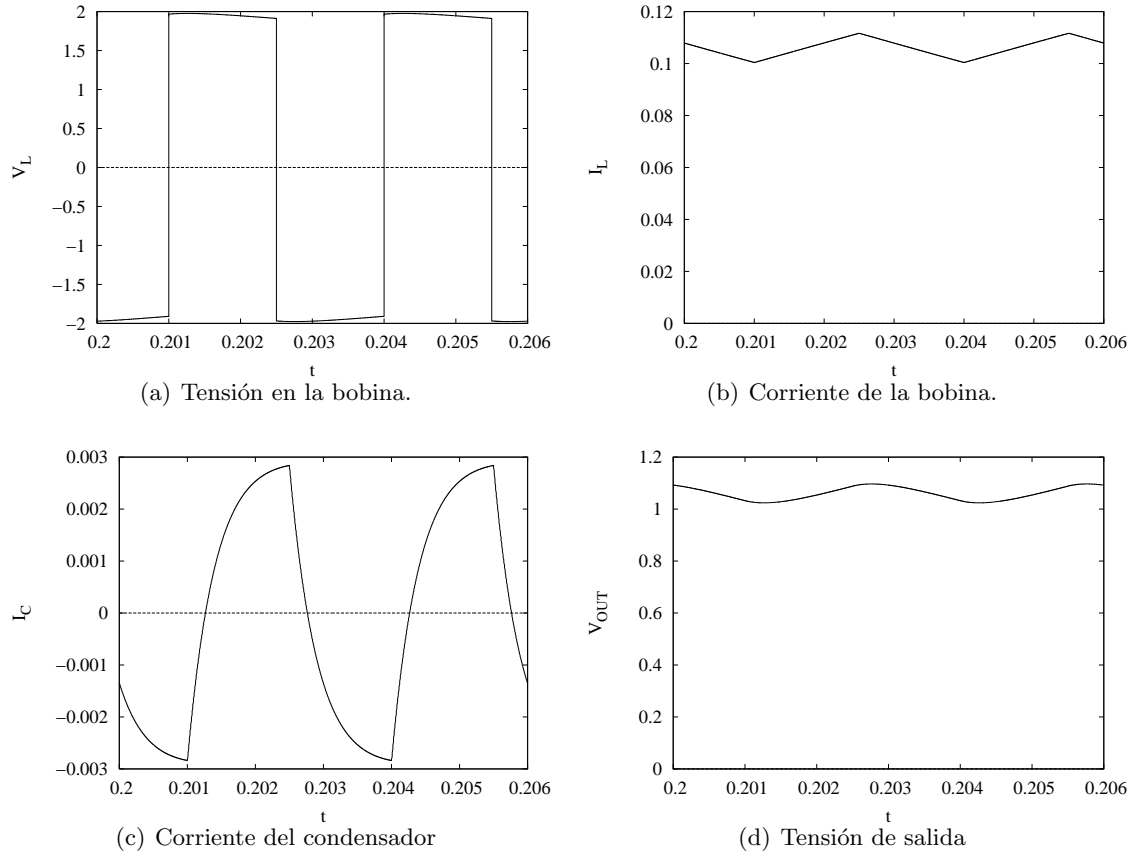


Figura 1.5: Señales del convertor Buck.

tensión DC aplicada a una bobina es cero. Teniendo en cuenta que el circuito opera en estado periódico estable, es posible utilizar esta ley en un periodo de la señal *PWM*, obteniendo así:

$$(V_{in} - V_o)D \cdot T - V_o(1 - D)T = 0 \quad (1.1)$$

despejando esta expresión se encuentra una función de transferencia para la tensión DC, que resulta:

$$\frac{V_o}{V_{in}} = D \quad (1.2)$$

con lo cual se comprueba que la tensión de salida siempre es una fracción de la tensión de entrada, o en el caso más extremo, son iguales.

En el estado del arte se encuentran muchos trabajos relacionados con este tipo de convertidores. Xiao y Peterchev en [5] buscan minimizar el consumo de potencia del convertor enfocado en aplicaciones móviles, utilizando dos modos diferentes para la señal de control

de los interruptores: *PWM* y *PFM*⁷. La primera es utilizada en los momentos en los que se trabaja a plena carga, como por ejemplo, en un teléfono celular durante la realización de una llamada telefónica; por su parte, la *PFM* se emplea cuando el teléfono trabaja con pequeña o mediana carga, es decir, mientras realiza alguna función adicional.

Wibben y Harjani en [6] proponen un conversor utilizando la técnica de convertidores en paralelo, denominada *stacked*, pero con los inductores *on-chip*, en tecnología de 130nm; para mejorar el rendimiento del circuito, acoplan los inductores de manera que la inductancia mutua incremente la inductancia propia de cada bobina. La intención de utilizar el *stacked coupled*⁸ es eliminar el rizado en la corriente de salida, y por tanto en la tensión entregada por el regulador. Para esto utilizan dos etapas operando en contrafase, con lo cual independientemente del ciclo de trabajo, los rizados se contrarrestan.

El trabajo de Bonizzoni y Maloberti [7] ataca dos frentes del problema: disminución de tamaño y alta eficiencia. En cuanto a la disminución de tamaño, el conversor *Buck* es de dos salidas, al igual que [8], se contribuye en la disminución del número de convertidores en un sistema. Para mejorar la eficiencia, utilizan un circuito lógico que decide el valor de la tensión con la que se polariza el cuerpo de los transistores que operan como interruptores, lo cual disminuye la resistencia de encendido, y por tanto el consumo de potencia.

Alimadadi y Sheikhaei presentan un circuito que combina un conversor *ZVS*⁹ y un árbol de reciclado de carga en el circuito de control [9]. La inyección de la carga acumulada en el circuito de control a la inductancia cumple dos propósitos: aporta potencia para el conversor y acelera el cambio de estado del reloj. La eficiencia reportada por este trabajo llama la atención, pues es mayor al 100 %, lo que se debe a la forma de medirla. Alimadadi entrega dos datos, eficiencia y eficiencia efectiva; ésta última es calculada de la siguiente forma:

$$\eta_{eff} = \frac{P_{out1}}{P_{in1} - P_{in2}}, \quad (1.3)$$

Donde P_{in1} y P_{in2} son las potencias de entrada del circuito propuesto y de una red convencional de reloj, respectivamente.

En [10] Ramadass y Chandrakasan exponen un circuito con lazo de seguimiento de mínima energía, el cual determina el consumo de energía necesario para la operación del circuito de carga, y hace que el conversor entregue estrictamente esa energía. Los transistores del lazo de seguimiento de energía operan en la región subumbral, ya que está enfocado a aplicaciones de mínimo consumo de potencia, como implantes corporales o sensores sin opción de recarga de baterías.

⁷*PFM* se refiere a *Pulse Frequency Modulation*.

⁸Se denomina de esta forma a la variación de la topología *stacked* en donde se utilizan bobinas acopladas.

⁹Siglas de *Zero Voltage Switching*, un conversor de última generación, según [4].

1.3. DC-DC Boost

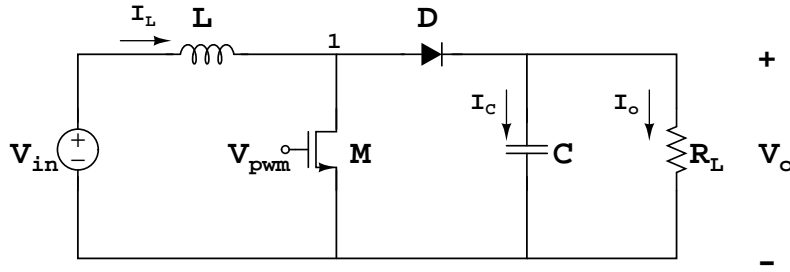


Figura 1.6: Circuito DC-DC Boost.

El esquema de la configuración básica del convertor *Boost* es mostrado en la figura 1.6. Al igual que en la topología *Buck*, la señal *PWM* se conecta en la puerta de *M*, controlando su comportamiento como interruptor. Cuando el transistor está en estado de conducción, el nodo 1 se lleva a tierra, lo que impone en la inductancia una tensión igual a la tensión de entrada V_{in} , mientras que el diodo queda polarizado inversamente y el capacitor se descarga a través la resistencia. Sin embargo la constante de amortiguamiento del circuito *RC* equivalente en tal estado se diseña para que la descarga no sea significativa, manteniendo aproximadamente la misma tensión V_o . Cuando la señal *PWM* cambia a un nivel lógico bajo, el interruptor se abre y la tensión en la bobina cambia a $V_{in} - V_o$. La corriente I_L impone al diodo un estado de conducción, inyectando ésta al circuito pasivo *RC*; una parte de la corriente carga la capacitancia, y otra fracción se disipa en la resistencia, y por lo tanto, I_L disminuye. Como en el análisis anterior, utilizando la ley de *Faraday* para la inductancia, se tiene:

$$V_{in}D \cdot T + (V_{in} - V_o)(1 - D)T = 0 \quad (1.4)$$

Para que la ecuación 1.4 sea válida, el término $V_{in} - V_o$ debe ser una cantidad negativa, por lo tanto, el valor absoluto de V_o es mayor que el V_{in} . Al despejar la ecuación anterior se encuentra una expresión para la función de transferencia del circuito:

$$\frac{V_o}{V_{in}} = \frac{1}{1 - D} \quad (1.5)$$

La ecuación 1.5 demuestra el supuesto de que la tensión de salida es mayor que la entrada. Para ilustrar el comportamiento del circuito, la figura 1.7 presenta resultados de simulación de la tensión y corriente de la bobina *L* la corriente del capacitor *C* y la tensión de salida del circuito, que resulta ser la misma tensión del capacitor.

Un ejemplo del estado del arte en convertidores *Boost* es el trabajo de Le y Chae [8], quienes se concentran en disminuir el consumo de área del circuito, buscando satisfacer la necesidad

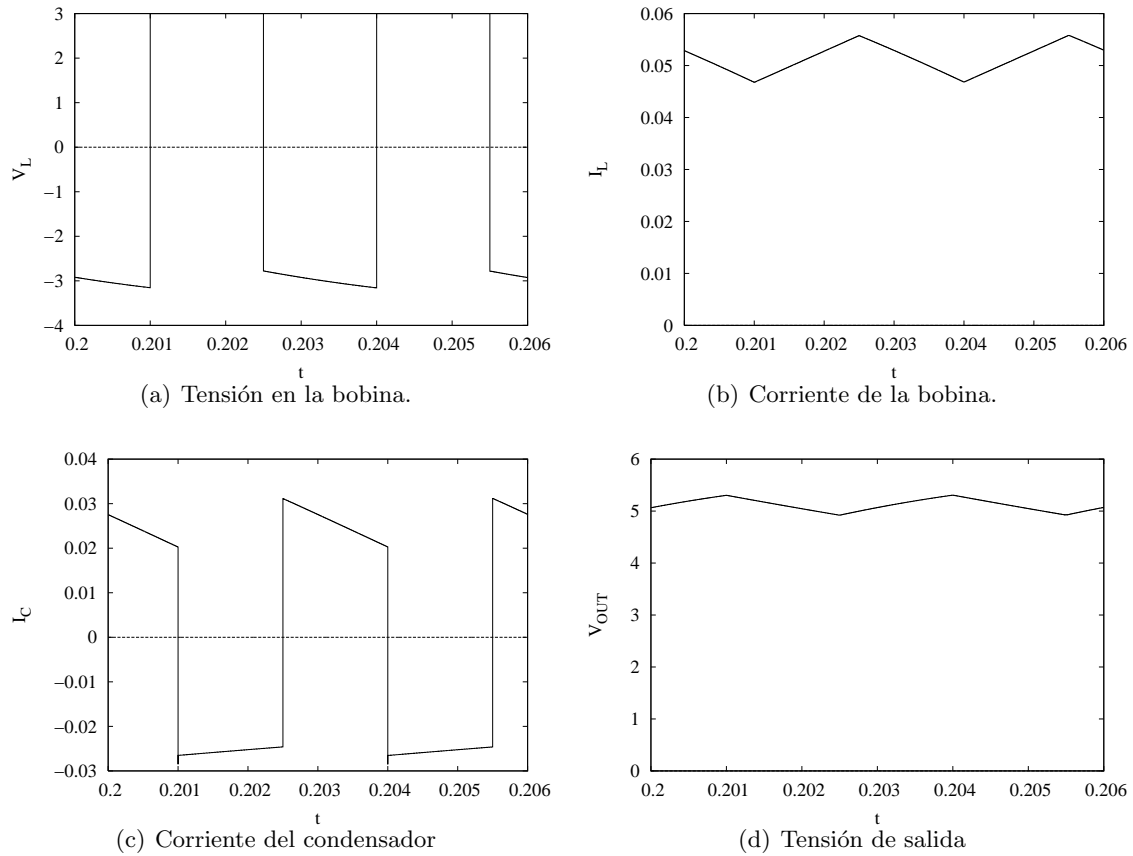


Figura 1.7: Señales del conversor Boost.

de integrar cada vez más los sistemas. La solución propuesta por [8] es un conversor de un sólo inductor y múltiples salidas (son 5, 4 de ellas independientes y una dependiente) configurables digitalmente. Además, utilizan un control prioritario de potencia distribuido *OPDC*, en el que las tres primeras salidas no necesitan lazo de compensación, pues los errores se acumulan para la cuarta etapa, la cual sí es compensada. El último valor de tensión de salida es consecuencia del valor de tensión de salida de la primera etapa, V_{O1} .

1.4. DC-DC Buck-Boost

El convertor *Buck-Boost* es la última topología básica de los convertidores *DC-DC*. En la figura 1.8 se muestra el esquema de esta configuración. Cuando la señal de control impone V_{on} en la puerta de M , éste conduce y fija sobre la inductancia una tensión idealmente igual a V_{in} ; la corriente del inductor L se incrementa, mientras que el diodo se polariza inversamente; el capacitor mantiene aproximadamente V_o en los terminales de la resistencia porque al igual que en las configuraciones anteriores, la constante de tiempo τ es mayor que un ciclo de la señal *PWM*. Al cambiar la tensión en la puerta de M , el interruptor se abre y resulta un circuito completamente pasivo, en el cual, la bobina entrega energía al capacitor y a la resistencia, y la trayectoria de la corriente I_L se completa a través del diodo D . Esta corriente se ve disminuída por la disipación de la resistencia. En este punto de operación, la tensión sobre la inductancia es V_o .

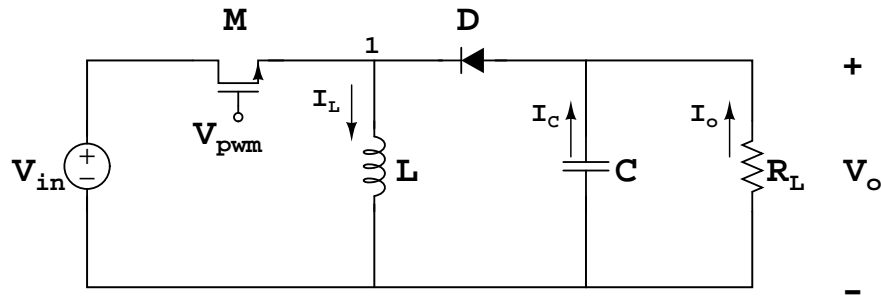


Figura 1.8: Circuito *DC-DC* Buck-Boost.

Utilizando de nuevo la ley de *Faraday* para analizar la tensión de la bobina en un período, y manipulando la expresión para obtener una función de transferencia, se tiene:

$$V_{in}DT + V_o(1 - D)T = 0 \quad (1.6)$$

$$\frac{V_o}{V_{in}} = -\frac{D}{1 - D} \quad (1.7)$$

La figura 1.9 permite ver algunas señales de interés de un convertor *Buck-Boost*. Como se puede notar, la tensión de salida es negativa, lo cual ya estaba contemplado en el resultado de la ecuación 1.7.

Belloni y Maloberti proponen metodologías en [11] para diseñar convertidores *Buck*, *Boost* y *Buck-Boost SIDO*¹⁰, con el fin de reducir el área del circuito final. En la metodología *Buck-Boost* muestran el comportamiento general de la estructura propuesta, resaltando que

¹⁰Por sus siglas en inglés hace referencia a *Single Inductor Double Output*.

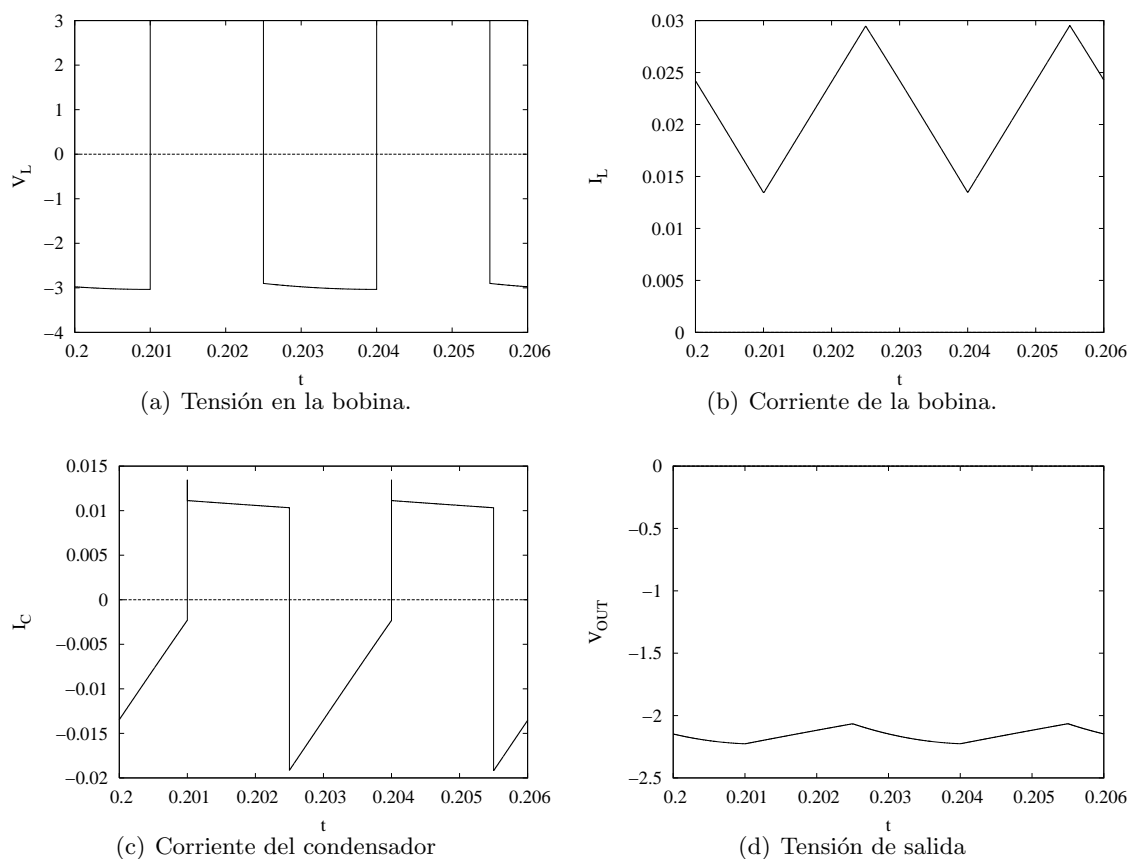


Figura 1.9: Señales del convertor Buck-Boost.

su diferencia con un convertor *SISO*¹¹ es solamente un transistor. En este documento se presenta como resultado la validación por simulación del convertor *Buck-Boost SIDO*, que demuestra la utilidad del método, pues las salidas son independientes y ajustables.

1.5. Especificaciones

Existen ciertos parámetros claves a tener en cuenta en el diseño de cualquier tipo de convertor *DC-DC*, los cuales influyen en el alcance de las especificaciones propuestas para el diseño final.

- **Frecuencia de operación.** La frecuencia de operación hace referencia a la frecuencia de conmutación de los transistores que funcionan como interruptores. Estos transistores tienen grandes capacidades de corriente, por lo que se les denomina transistores de potencia. Los transistores *MOSFET* de potencia por sus dimensiones tienen capacitancias

¹¹Single Inductor Single Output.

parásitas grandes, lo que puede generar problemas en la conmutación, por la carga y descarga de capacitancias altas. Es por esto que el diseño de los interruptores demanda especial cuidado, pues se quieren alcanzar altas frecuencias de operación, para reducir el tamaño del filtro LC del conversor y por tanto el área del $DC-DC$ en general. Además, este parámetro de diseño debe ser muy bien establecido, pues relaciona fuertemente el área del circuito con el consumo, ya que, a frecuencias muy elevadas, la reducción del filtro LC no justifica las pérdidas por conmutación en los transistores de potencia, lo que depende de cada topología en particular.

- **Tensiones de entrada y de salida.** La tensión de entrada es determinada por la fuente de alimentación que se escoja para energizar todo el sistema. En los teléfonos celulares, por ejemplo, el valor nominal de la batería es de $3,7V$, de donde se deben alimentar diferentes bloques circuitales que operan a distintos valores de tensión; En cualquier conversor $DC-DC$, la tensión de salida depende del ciclo de trabajo de la señal que controla el transistor de potencia, como lo muestran la ecuaciones 1.2, 1.5 y 1.7. Considerando la tensión de salida deseada y relacionándola con la tensión de entrada, se obtiene directamente el valor del ciclo de trabajo de la señal de control.
- **Corriente de salida.** Depende directamente de la carga; aunque el conversor tiene un amplio rango de corrientes de salida (comparado con un conversor LDO) [2], la eficiencia no es igual para todos los valores de corriente. Por lo tanto, el diseño debe enfocarse en una carga específica, para la cual, el suministro de corriente debe ser el máximo en eficiencia, o cercano a este valor.
- **Eficiencia.** Es la relación entre la potencia de salida y la potencia de entrada del conversor $DC-DC$. La diferencia entre estas dos potencias – salida y entrada – indica las pérdidas en el conversor, energía que no puede ser aprovechada por la carga. Principalmente, y como se vio en secciones anteriores, las pérdidas se producen en las ESR de los elementos del circuito y en las conmutaciones de los interruptores. Por tanto, la selección de la frecuencia de operación y la escala de los elementos pasivos de la bomba de carga establecen la eficiencia del diseño final, para una corriente de carga determinada.
- **Tensión de rizo.** El rizado¹² a la salida depende fuertemente de la ESR del capacitor del filtro LC , como ya se explicó anteriormente. Es muy común establecer la tensión de rizo de acuerdo a la tolerancia en la tensión de alimentación de la carga, pues los circuitos responden de manera distinta a esta variación en la alimentación. Para casos en los que el rizado supera los límites soportados por la carga, se recurre a un regulador lineal, pero

¹²En la literatura, se utiliza el término *ripple*.

si la diferencia de tensión entre la fuente y la carga es muy alta, se utiliza una etapa compuesta de $DC-DC$ y un regulador lineal, para mejorar la eficiencia. Normalmente, la tensión de rizo se expresa en un valor porcentual de la tensión nominal de salida del regulador.

- **Tamaño del filtro LC .** La red LC del conversor se encarga de eliminar la mayor cantidad de ruido posible para entregar una tensión DC aceptable. La componente indeseada de la tensión tiene la misma frecuencia de la señal de control del interruptor, pues son las conmutaciones las que interrumpen la señal de entrada. De ahí el compromiso entre la frecuencia de operación y los valores L y C del filtro, pues, si mayor es la frecuencia, menor es el tamaño de la red. Para un conversor $DC-DC$ es importante garantizar la operación en el modo CCM [1, 12], para el buen funcionamiento de los elementos del circuito. Teniendo en cuenta la transición entre los CCM y DCM , el valor de límite del inductor está dado por las ecuaciones 1.8, 1.9 y 1.10 para el conversor *Buck*, *Boost* y *Buck-Boost* respectivamente [1]:

$$L_x = \frac{(1-D)R}{2f} \quad (1.8)$$

$$L_x = \frac{(1-D)^2 DR}{2f} \quad (1.9)$$

$$L_x = \frac{(1-D)^2 R}{2f}. \quad (1.10)$$

Con la inductancia definida, el valor mínimo de la capacitancia del filtro se determina por la ecuación 1.11 para el conversor *Buck*, y por 1.12 para el caso *Boost* y *Buck-Boost* [1]:

$$C_{min} = \frac{(1-D)V_o}{8V_r L f^2} \quad (1.11)$$

$$C_{min} = \frac{DV_o}{V_r R f}. \quad (1.12)$$

De acuerdo a la nomenclatura ya estipulada.

1.6. Estado del arte

Buscando lidiar con los problemas típicos de los conversores $DC-DC$ y los retos que demanda la industria de los semiconductores, se han desarrollado muchos trabajos enfocados

principalmente a combatir solo uno de los problemas inherentes a los $DC-DC$, intentando a la vez obtener los mejores resultados en las demás prestaciones del convertidor. La tabla 1.1 muestra 6 trabajos presentados en los últimos 5 años.

En el contexto del trabajo realizado por el grupo de investigación *CIDIC*, en el tema de administración de potencia, se cuenta con un trabajo previo, el de Luis Gutiérrez, quien diseñó un regulador *LDO* [13]. El presente trabajo pretende continuar el estudio en ésta área, haciendo el diseño de un convertidor $DC-DC$ *Buck*, de manera tal que se obtenga la experiencia necesaria en los principales bloques reguladores de potencia, con el fin de alimentar la librería de bloques básicos propiedad del grupo *CIDIC* y que está conformada por todos los trabajos de grado anteriormente realizados.

Autor	Tecnología	V_{ENT} [V]	V_{SAL} [V]	I_{SAL} [mA]	V_{RIZO} [mV]	Frecuencia [MHz]	Área [mm ²]	Eficiencia
Xiao, Peterchev [5]	0,25 μ m CMOS	2,8-5,5	1-1,8	400	2	0,5-1,5	2	nr
Bonizzoni, Maloberti [7]	0,35 μ m CMOS	2,6-5	1,2- V_{ent}	200	31	1	2,43	93,3%
Alimadadi, Sheikhaei [9]	90 nm CMOS	1	0,5-0,7			3000	0,27	158%
Le, Chae [8]	0,5 μ m CMOS	2,5-4,5	10,2	5	160	0,7	8,7	80,8%
Wibben, Harjani [6]	130 nm CMOS	1,2	0,9	350	40	170	1,5	77,9%
Ramadass, Chandrakasan [10]	65 nm CMOS	1,2	0,5	0,2	nr	nr	1,176	86%

Tabla 1.1.: Estado del arte.

Capítulo 2

Topologías

Los esfuerzos realizados para mejorar la administración de potencia en los sistemas electrónicos, han generado una gran diversidad de convertidores $DC-DC$. Lin Luo menciona la existencia de más de 500 convertidores diferentes [4], por lo que él los clasifica en generaciones, tomando en cuenta las características comunes y aplicaciones. Esto demuestra que resulta inviable la selección de una topología en particular, a partir de la estricta revisión de todas las arquitecturas existentes de convertidores $DC-DC$; en su lugar, se consideran los circuitos presentados en trabajos actuales que se ajusten a las necesidades planteadas en este proyecto.

De acuerdo a las exigencias actuales de consumo mínimo de potencia, y el surgimiento de tecnologías que operan a tensiones cada vez más bajas, la mejora más demandada es la reducción de tensión de alimentación. El trabajo presentado en [14] argumenta esta situación, pues muestra un bloque completo de administración de potencia para aplicación en dispositivos móviles, en donde se utilizan 23 reguladores, de los cuales sólo hay un elevador de tensión, los 22 restantes son reguladores tipo *Buck*.

Como se evidencia en los trabajos recopilados en la tabla 1.1, la mayoría de los autores invierten gran trabajo de diseño en modificar el lazo de realimentación del convertidor, para conseguir así mejoras en el desempeño y el consumo de potencia, sin intervenir demasiado en la bomba de carga, que es el objetivo al cual apunta el presente trabajo. Esta situación reduce la cantidad de convertidores de interés y limita la búsqueda de propuestas a un grupo más específico. En este capítulo se hace una revisión de las arquitecturas encontradas, incluyendo a modo comparativo la topología básica del convertidor *Buck* explicada en el capítulo 1.

2.1. Standard Interleaved

La arquitectura *Standard Interleaved* consiste en un regulador con dos o más inductores en paralelo, llamados ramas o fases, las cuales comparten la alimentación y el nodo de conexión

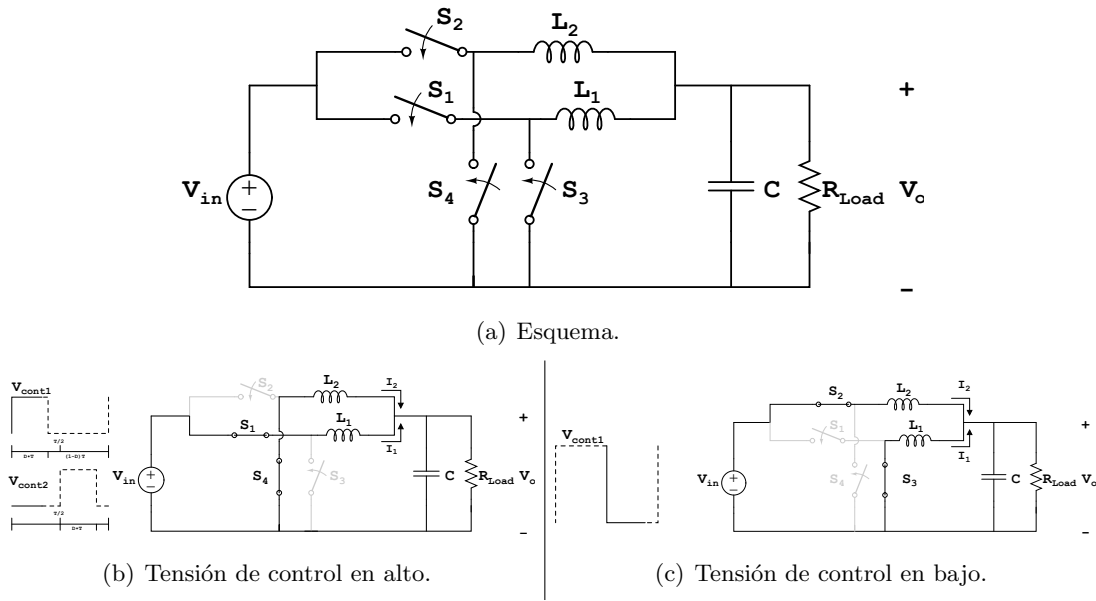


Figura 2.1: Standard Interleaved.

con el capacitor; dichas ramas pueden verse como varios convertidores dispuestos en paralelo. Todas las fases de esta topología necesitan operar con el mismo ciclo de trabajo, ya que, para cada rama, la relación entrada/salida está determinada por $V_o = D \cdot V_{in}$, y como la salida de todas las fases es común, se requiere que la tensión en este punto sea consistente. La Figura 2.1(a) muestra el esquema de esta topología para un convertidor de dos fases (L_1 y L_2). Cada rama está manejada por una señal de control diferente, las cuales tienen el mismo ciclo de trabajo y un ángulo de desfase definido por la relación

$$\Theta_n = \frac{360^\circ \cdot (n - 1)}{k} \quad (2.1)$$

donde k es el número total de fases y n es la señal de control en cuestión. Para el ejemplo de la Figura 2.1, la señal de control V_{cont2} está desfasada 180° respecto a V_{cont1} .

La función de las ramas adicionales (en el caso de la Figura 2.1(a), L_2) es reducir el rizado en la corriente; teniendo en cuenta que operan con el mismo ciclo de trabajo y con cierto desfase, en algún intervalo de tiempo las corrientes I_1 e I_2 tienen pendientes con signos diferentes (una corriente en incremento y otra en decremento), y por tanto, la corriente que resulta de la suma de las anteriores posee un rango de excursión menor; esta disminución del rizado se refleja de manera proporcional en la variación en la tensión de salida V_o . Adicionalmente, existen ciclos de trabajo para los cuales la eliminación del rizado en la corriente es completa, dependiendo del número de ramas que componen al convertidor; para uno de dos fases, esta condición se presenta con un ciclo de trabajo del 50%, ya que los intervalos de conexión y desconexión a la alimentación de cada rama son iguales ($T/2$ cada uno), y el desfase de 180°

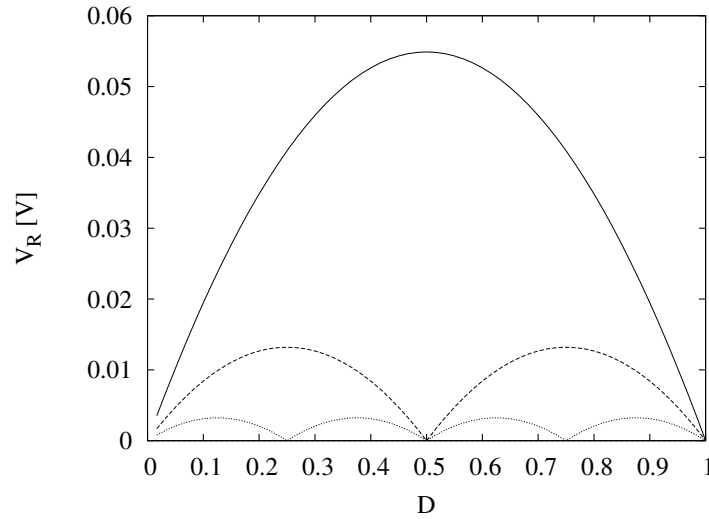


Figura 2.2: Rizado en la tensión de salida.

de las señales de control hace que las ramas operen en contrafase, por lo cual, en cualquier instante, la pendiente de la corriente de una fase es el complemento de la otra.

Cada rama extra contribuye a la disminución del rizado general y agrega otro ciclo de trabajo de compensación completa. La Figura 2.2 muestra el rizado en la tensión de salida en función del ciclo de trabajo para convertidores con varias fases, y evidencia que con un mayor número de éstas, el rizo de la tensión en la salida es menor, aunque, como se observa en la figura, a medida que aumenta el número de ramas, el aporte de cada fase adicional es menos significativo.

En [15] se muestra un convertidor utilizando esta arquitectura, compuesto por 4 fases para el cual, la cancelación total del rizado se alcanza con ciclos de trabajo de 25, 50 y 75 %, como se ilustra en la Figura 2.2. Contrastando el incremento en el área con la reducción del rizado en la tensión de salida, el espacio ocupado por cada rama adicional es un costo razonable, aunque, es preciso implementar soluciones más reducidas en área, tomando en cuenta la alta demanda de sistemas que ocupen el mínimo espacio posible [2].

2.2. Stacked Interleaved

Esta configuración está basada en la presentada anteriormente, y como se muestra en la figura 2.3(a), difiere de 2.1(a) únicamente en el capacitor C_2 ; este elemento adicional tiene como función acoplar las dos fases, permitiendo la circulación de corriente de la rama 2 hacia la salida, manteniendo ambas ramas aisladas en tensión, por lo que pueden tener voltajes distintos en sus nodos de salida, lo cual está restringido en la topología *Standard Interleaved*, como

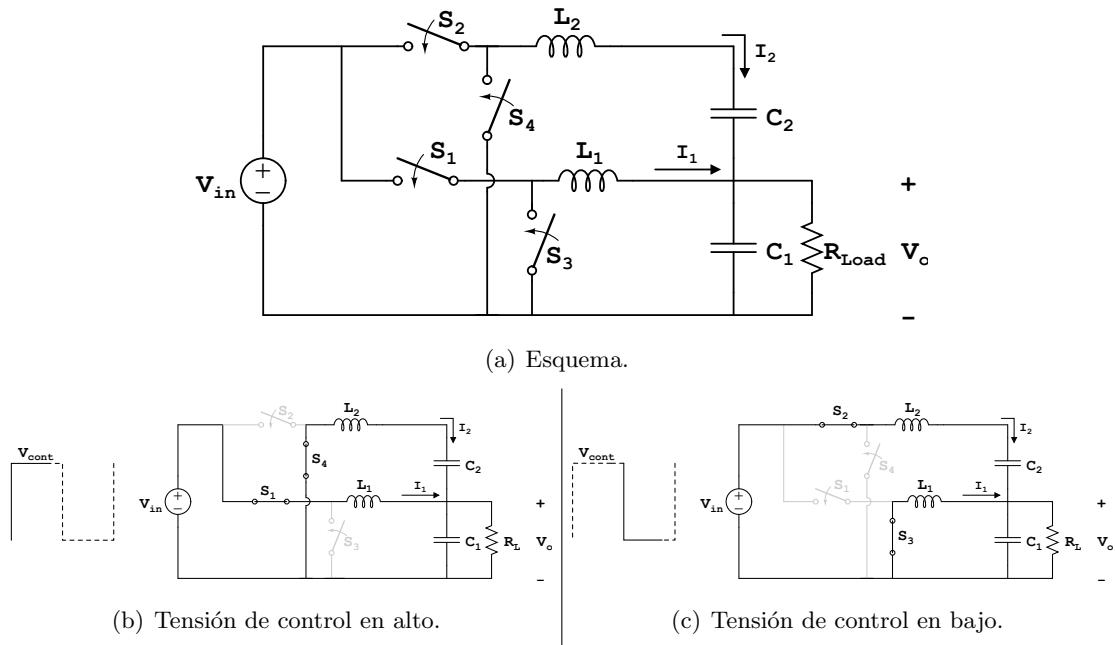


Figura 2.3: Stacked Interleaved.

se explicó anteriormente. Dicha mejora posibilita la anulación total del rizo en la corriente para cualquier ciclo de trabajo utilizando tan sólo dos fases [6].

Para que sea posible eliminar el rizo en todo instante de tiempo, es necesario cancelar el efecto incremental o decremental de la corriente con su contraparte. Para esto,

Para que la cancelación de todo el rizado de la corriente sea posible con dos ramas, éstas deben operar en contrafase, de modo que en cualquier instante de tiempo las corrientes sean complementarias en su pendiente (una en aumento y otra en decremento). Con las condiciones descritas, se deduce que una de las fases es controlada con un ciclo de trabajo D y la otra con el complemento, $(1 - D)$. Así, las tensiones de salida producidas por las ramas 1 y 2 son $D \cdot V_{in}$ y $(1 - D) \cdot V_{in}$ respectivamente; en la topología estándar estas salidas serían un problema para ciclos diferentes a 0.5, lo cual es resuelto con el capacitor C_2 en esta nueva arquitectura. Con estas características se obtiene un convertidor más eficiente y de menor área, tanto en número de fases como en el tamaño de los elementos, pues en las dimensiones del filtro no solo interviene la frecuencia de operación, sino también el rizado en corriente (inductor) o en tensión (capacitor) [16].

2.3. Stacked Coupled

La topología anterior reduce el número de fases al mínimo y ofrece los mejores resultados en rizado, lo cual aparentemente anula cualquier posibilidad de mejora, manejando el concepto de

compensación de rizado con ramas adicionales. Sin embargo, la arquitectura *Stacked Coupled* es la que realmente cierra la cadena evolutiva de este tipo de convertidores *DC-DC*, ofreciendo el mínimo de área al implementar inductores acoplados magnéticamente. Al igual que en un convertidor *Stacked interleaved*, se utilizan dos fases, pero se reduce físicamente el tamaño de los inductores aprovechando la inductancia mutua que se induce entre dos bobinas con acoplamiento magnético, o se mantienen las dimensiones de los inductores y se disminuye el rizo de cada rama al aumentar el valor de cada inductancia [16].

La inductancia mutua es el efecto que produce un inductor sobre otro cuando las líneas de flujo magnético del primero alcanzan al segundo, y se calcula de acuerdo a:

$$M_{12} = k \cdot L_2 \quad (2.2a)$$

$$M_{21} = k \cdot L_1 \quad (2.2b)$$

donde M_{12} es el efecto inducido en la bobina 1 por el inductor 2, M_{21} es la inductancia adicional en la bobina 2 por efecto del inductor 1, k es el factor de acoplamiento (que toma valores entre 0 y 1), L_1 y L_2 son los inductores acoplados magnéticamente. Si $L_1 = L_2$ y existe un acoplamiento perfecto ($k = 1$), el valor de cada inductor acoplado se aumenta en un 100 %.

Al igual que en su antecesora, en esta topología las ramas operan en contrafase, por lo que en cualquier instante las tensiones en los inductores tienen igual magnitud, pero signo contrario. Tomando en cuenta que las bobinas acopladas funcionan como un transformador, cada una induce una tensión en su homóloga, por lo que, para lograr el efecto deseado (aumento en la inductancia) el acoplamiento debe ser de carácter negativo.

2.4. Eficiencia

Luego de considerar el comportamiento de cada una de las topologías con respecto al rizado en la corriente de salida, resulta adecuado comparar la eficiencia de todas las arquitecturas. Teniendo en cuenta que un inductor integrado tiene un factor de calidad bajo (comparado con una bobina externa) [17], su *ESR* es considerable y su consumo de potencia, relevante. Por esta razón, el análisis de eficiencia se reduce a comparar el consumo de potencia aportado por los inductores de cada una de las topologías expuestas.

Dado que las corrientes que circulan por los inductores de cada arquitectura tienen iguales características, se parte del análisis del consumo en el convertidor básico *Buck* de una sola fase, y se extenderá para los demás.

2.4.1. Conversor *Buck*.

Como ya se explicó en el capítulo 1, la corriente del inductor no es constante, sino que en estado cuasiestable se presenta como un rizo (I_R) alrededor de un valor constante (I_0). Para analizar la corriente de rizo que circula por el inductor del *Buck* básico (figura 1.4), se asume que la tensión del capacitor se mantiene constante, en un valor igual a V_0 . De esta forma, la suma de tensiones de lazo cerrado para el conversor resulta:

$$V_{in} - L \frac{di_L}{dt} - V_0 = 0 \quad (2.3)$$

despejando la corriente, se tiene

$$\frac{di_L}{dt} = \frac{V_{in} - V_0}{L} \quad (2.4)$$

Para cuantificar la magnitud del rizado, sólo es necesario analizar el circuito en una sola fracción del periodo ($D \cdot T$ o $(1 - D)T$); para el caso, el intervalo considerado es $D \cdot T$, y sustituyendo $V_0 = D \cdot V_{in}$,

$$\frac{\Delta I_L}{D \cdot T} = \frac{(1 - D)V_{in}}{L} \quad (2.5)$$

lo cual, finalmente resulta en la corriente de rizo I_R en función de la tensión de entrada, el ciclo de trabajo, la inductancia y el periodo de conmutación, siendo válida para cualquier conversor *Buck*.

$$I_R = \Delta I_L = \frac{D(1 - D)V_{in}T}{L} \quad (2.6)$$

Para modelar el consumo de potencia del inductor, se describe la corriente $i_L(t)$ según se ilustra en la figura 2.4, donde se aprecian claramente sus dos componentes (I_0 e I_R).

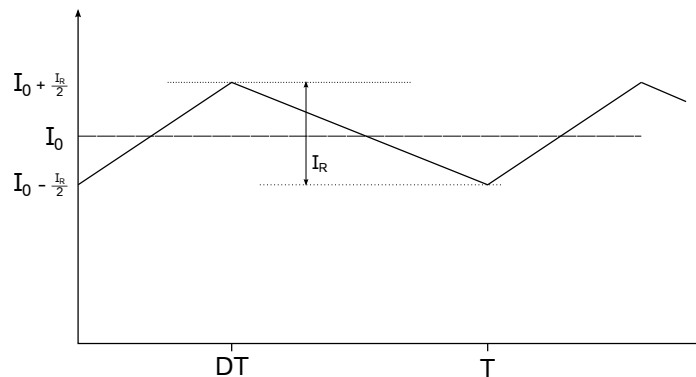


Figura 2.4: Corriente de rizo del inductor, conversor básico *Buck*.

La potencia disipada en la resistencia parásita de la inductancia es igual para las dos situaciones posibles de operación (conexión y desconexión de la alimentación), por lo cual basta considerar una de ellas; para este caso, se hará el análisis para el tramo creciente de la corriente de rizo (intervalo de conexión a la fuente de alimentación), el cual es una recta descrita por la ecuación 2.7

$$i(t) = \frac{I_R}{D \cdot T} t + I_0 - \frac{I_R}{2} \quad (2.7)$$

La potencia consumida por la resistencia es, entonces

$$P_{RL} = \frac{1}{D \cdot T} \int_0^{D \cdot T} i(t)^2 \cdot R_L dt = \frac{1}{D \cdot T} \int_0^{D \cdot T} \left(\frac{I_R}{D \cdot T} t + I_0 - \frac{I_R}{2} \right)^2 R_L dt \quad (2.8)$$

resolviendo la integral,

$$P_{RL} = \left(I_0^2 + \frac{I_R^2}{12} \right) R_L \quad (2.9)$$

lo cual corresponde al consumo de la inductancia de la topología *Buck*.

2.4.2. *Standard Interleaved*.

Para el caso del convertor *Standard Interleaved*, la situación cambia, pues cada inductor aporta una fracción de la corriente promedio final I_0 , dependiendo del número de ramas. La figura 2.5 es el resultado de la simulación de un convertor de dicha arquitectura con dos fases, donde se muestran las corrientes de cada inductor y la suma de éstas, ilustrando claramente la división de la corriente en sus ramas.

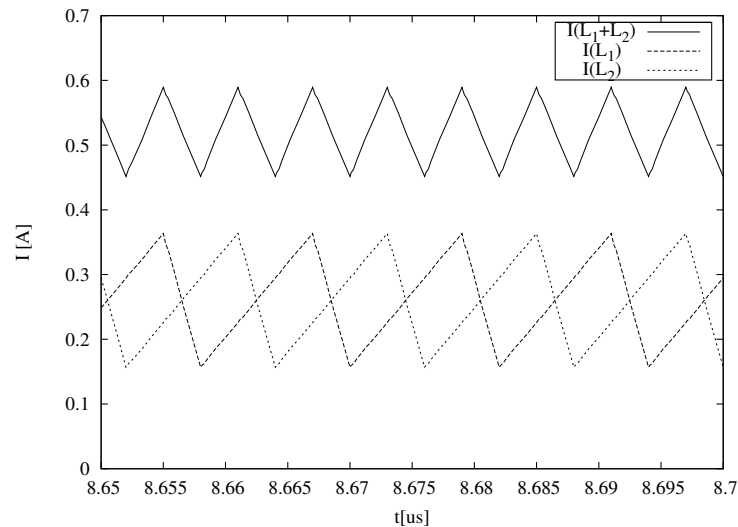


Figura 2.5: Corrientes de los inductores, topología *Standard Interleaved*.

Para modelar la corriente de rizo de los inductores de esta arquitectura, se parte del circuito de la figura 2.1(a) y se asume que la tensión de salida es constante, V_0 , y que opera con un ciclo de trabajo de 0.5 (su mejor condición de funcionamiento). El análisis se plantea para el intervalo correspondiente a $D \cdot T$ para la primera fase, lo cual implica el estado de operación en $(1 - D)T$ para la segunda, por encontrarse en contrafase (figura 2.1(b)). Así, las ecuaciones 2.19 y 2.20 describen las sumatorias de tensiones de lazo cerrado para cada etapa:

$$V_{in} - L_1 \frac{di_{L1}}{dt} - V_0 = 0 \quad (2.10)$$

$$L_2 \frac{di_{L2}}{dt} + V_0 = 0 \quad (2.11)$$

despejando di_{L1} y di_{L2} , sustituyendo dt según el caso e igualando V_0 a $D \cdot V_{in}$, se tiene

$$\frac{\Delta i_{L1}}{D \cdot T} = \frac{(1 - D)V_{in}}{L_1} \quad (2.12)$$

$$\frac{\Delta i_{L2}}{(1 - D)T} = -\frac{D \cdot V_{in}}{L_2} \quad (2.13)$$

de donde se obtienen las expresiones para las corrientes de rizo de las dos fases

$$I_{RL1} = \Delta i_{L1} = \frac{D(1 - D)V_{in}T}{L_1} \quad (2.14)$$

$$I_{RL2} = \Delta i_{L2} = -\frac{D(1 - D)V_{in}T}{L_2} \quad (2.15)$$

Es importante notar que la corriente I_{RL2} es negativa, debido a que decrece durante el estado de operación elegido, pero las magnitudes de 2.14 y 2.15 son iguales, y coincidentes con 2.6.

Por otra parte, la ecuación 2.16 describe el tramo de corriente ascendente para cualquiera de los inductores del convertidor en términos de I_0 e I_R

$$i(t) = \frac{I_R}{D \cdot T}t + \frac{I_0 - I_R}{2} \quad (2.16)$$

Siendo ésta la corriente de una de las bobinas, la potencia está determinada por

$$P_{RLX} = \frac{1}{D \cdot T} \int_0^{D \cdot T} i(t)^2 \cdot R_{LX} dt = \frac{1}{D \cdot T} \int_0^{D \cdot T} \left(\frac{I_R}{D \cdot T}t + \frac{I_0 - I_R}{2} \right)^2 R_{LX} dt \quad (2.17)$$

resolviendo la integral, se obtiene el consumo de alguno de los dos inductores

$$P_{RLX} = \left(\frac{I_0^2}{4} + \frac{I_R^2}{12} \right) R_{LX}. \quad (2.18)$$

2.4.3. *Stacked Interleaved.*

Para el tercer caso, el convertor *Stacked Interleaved*, el segundo inductor no contribuye en I_0 , ya que su corriente promedio es cero, como se explicó anteriormente, y como se ilustra en la figura 2.6, donde se nota que el inductor de la fase primaria (L_1) es quien determina la corriente promedio de salida, tal y como ocurre en el *Buck* básico, y que la segunda fase es exclusivamente de compensación.

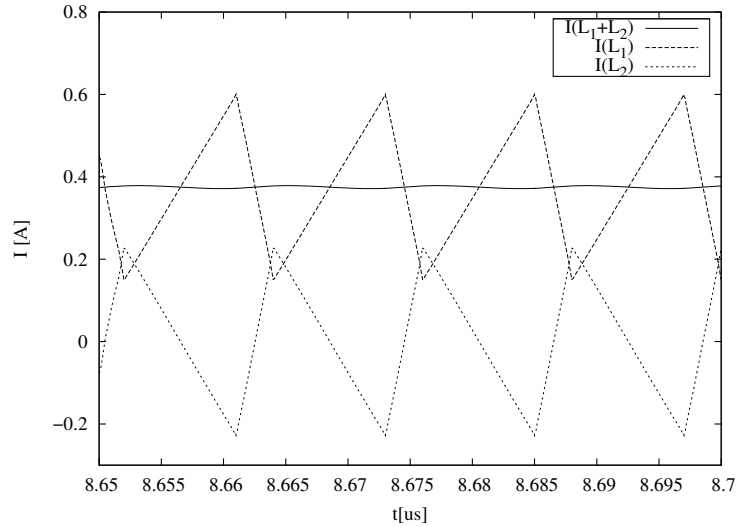


Figura 2.6: Corrientes de los inductores, arquitectura *Stacked Interleaved*.

La deducción de las corrientes de rizo de cada rama inicia con algunas consideraciones: la tensión de los capacitores C_1 y C_2 de la figura 2.3(a) son constantes, V_0 y V'_0 respectivamente. Utilizando sólo una fracción del ciclo de operación del convertor, el de conexión de la fase 1 a la fuente de alimentación, se obtienen las siguientes ecuaciones para la suma de tensiones de cada fase:

$$V_{in} - L_1 \frac{di_{L1}}{dt} - V_0 = 0 \quad (2.19)$$

$$L_2 \frac{di_{L2}}{dt} + V'_0 + V_0 = 0 \quad (2.20)$$

realizando el despeje adecuado, y sustituyendo $V_0 = D \cdot V_{in}$, $V'_0 = (1 - D)V_{in} - D \cdot V_{in}$ y $dt = D \cdot T$, se consiguen las expresiones para las corrientes de rizo

$$I_{RL1} = \Delta i_{L1} = \frac{D(1 - D)V_{in}T}{L_1} \quad (2.21)$$

$$I_{RL2} = \Delta i_{L2} = -\frac{D(1 - D)V_{in}T}{L_2} \quad (2.22)$$

Las ecuaciones 2.21 y 2.22 son equivalentes a los resultados del convertor *Standard Interleaved*, cumpliendo la ecuación general de la corriente de rizo de un convertor *Buck*.

En cuanto a las corrientes que circulan por las bobinas del convertor, para el inductor de la fase principal (L_1) el análisis es el mismo desarrollado para el *Buck* básico, mientras que para el inductor secundario (L_2), se tiene

$$i(t) = \frac{I_R}{D \cdot T} t - \frac{I_R}{2} \quad (2.23)$$

siendo la potencia consumida por la resistencia

$$P_{RL2} = \frac{1}{D \cdot T} \int_0^{D \cdot T} i(t)^2 \cdot R_{L2} dt = \frac{1}{D \cdot T} \int_0^{D \cdot T} \left(\frac{I_R}{D \cdot T} t - \frac{I_R}{2} \right)^2 R_{L2} dt \quad (2.24)$$

solucionando la integral

$$P_{RL2} = \left(\frac{I_R^2}{12} \right) R_{L2}. \quad (2.25)$$

2.4.4. *Stacked Coupled.*

Finalmente, la arquitectura *Stacked Coupled* revela ciertas diferencias en la corriente de rizo de cada rama, como se verá a continuación. Para comenzar, la figura 2.7 muestra la topología del convertor, resaltando el acoplamiento negativo entre las bobinas de las dos fases.

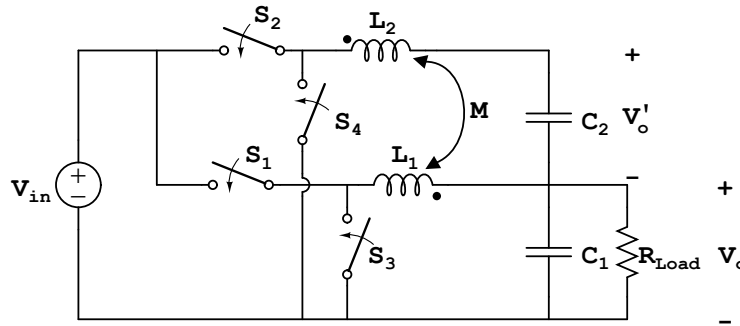


Figura 2.7: Arquitectura *Stacked Coupled*.

Asumiendo las tensiones V_0 y V'_0 constantes, las sumatorias de tensiones en las trayectorias cerradas correspondientes a las dos ramas son:

$$V_{in} - L_1 \frac{di_{L1}}{dt} + M \frac{di_{L2}}{dt} - V_0 = 0 \quad (2.26)$$

$$L_2 \frac{di_{L2}}{dt} - M \frac{di_{L1}}{dt} + V'_0 + V_0 = 0 \quad (2.27)$$

despejando en 2.26 $\frac{di_{L2}}{dt}$, reemplazando en 2.27 y agrupando términos resulta

$$\left(\frac{L_1 L_2 - M^2}{M}\right) \frac{di_{L1}}{dt} = \frac{L_2}{M} (V_{in} - V_0) - V_0 - V'_0 \quad (2.28)$$

realizando las sustituciones $V_0 = D \cdot V_{in}$, $V'_0 = (1 - D)V_{in} - D \cdot V_{in}$, considerando $L_1 = L_2 = L^1$, tomando como intervalo de tiempo $D \cdot T$, y despejando ΔI_{L1} se obtiene

$$\Delta I_{L1} = \left(\frac{L - M}{L^2 - M^2}\right) (1 - D)V_{in} D \cdot T = \left(\frac{1}{L + M}\right) (1 - D)V_{in} D \cdot T \quad (2.29)$$

Si se considera el acoplamiento mutuo como kL , se puede observar con claridad el efecto del acoplamiento magnético en la reducción de la corriente de rizo, pues si se tiene un acoplamiento total, $k = 1$, I_R se reduce a la mitad, comparada con la topología *Stacked Interleaved*.

$$I_R = \left(\frac{1}{(1 + k)L}\right) (1 - D)V_{in} D \cdot T = \left(\frac{1}{2L}\right) (1 - D)V_{in} D \cdot T \Bigg|_{k=1} \quad (2.30)$$

Por otro lado, el modelamiento de la corriente total de los inductores es el mismo que para el *Stacked Interleaved* (ecuaciones 2.7, 2.23), por lo cual la potencia consumida en los inductores queda expresada de la misma forma, teniendo en cuenta que

$$I_{R_{Coupled}} < I_{R_{Stacked}} \implies I_{R_{Coupled}} = \frac{I_{R_{Stacked}}}{2} \Bigg|_{k=1} \quad (2.31)$$

Adicionalmente, cabe notar que $I_{R_{Stacked}}$ es igual a I_R de las otras dos topologías, pues la magnitud de la corriente de rizo para cada inductor está determinada por el valor de la inductancia.

Con los análisis anteriormente descritos, es posible determinar la potencia consumida por los inductores de cada arquitectura, siendo éstas

$$P_{RL} = \left(I_0^2 + \frac{I_R^2}{12}\right) R_L. \quad \text{Buck básico} \quad (2.32)$$

$$P_{RL(1+2)} = \left(\frac{I_0^2}{4} + \frac{I_R^2}{12}\right) (R_{L1} + R_{L2}). \quad \text{Standard Interleaved} \quad (2.33)$$

$$P_{RL(1+2)} = I_0^2 R_{L1} + \frac{I_R^2}{12} (R_{L1} + R_{L2}). \quad \text{Stacked Interleaved} \quad (2.34)$$

$$P_{RL(1+2)} = I_0^2 R_{L1} + \frac{I_{R_{Coupled}}^2}{12} (R_{L1} + R_{L2}). \quad \text{Stacked Coupled} \quad (2.35)$$

Debido a que los consumos de potencia pueden ser comparativamente no muy claros, se pueden cuantificar las pérdidas de cada una de las topologías con el cálculo de las *pérdidas de*

¹En una arquitectura *Stacked*, las inductancias de las dos fases son iguales, procurando así un rizado en la corriente igual para ambas ramas.

*eficiencia*², ξ , evidenciando las diferencias entre ellas con mayor facilidad. Éste índice hace referencia al cociente de las pérdidas y la potencia de salida, que para el caso resultan ser las ecuaciones 2.40-2.43 divididas entre la potencia de salida, I_0V_0 . Al derivar cada una de las expresiones resultantes con respecto a I_0 e igualándolas a cero, se obtiene la corriente de carga óptima para cada convertor [16]:

$$I_{0_{opt}} = \frac{I_R}{\sqrt{12}}. \quad \text{Buck básico} \quad (2.36)$$

$$I_{0_{opt}} = \frac{I_R}{\sqrt{3}}. \quad \text{Standard Interleaved} \quad (2.37)$$

$$I_{0_{opt}} = \sqrt{\frac{R_{L1} + R_{L2}}{12R_{L1}}} I_R. \quad \text{Stacked Interleaved} \quad (2.38)$$

$$I_{0_{opt}} = \sqrt{\frac{R_{L1} + R_{L2}}{12R_{L1}}} I_{R_{coupled}}. \quad \text{Stacked Coupled} \quad (2.39)$$

Sustituyendo la corriente óptima en las *pérdidas de eficiencia*, se obtienen las siguientes expresiones en función de la corriente de rizo, la tensión de salida y las resistencias parásitas:

$$\xi_{buck} = \frac{R_L I_R}{\sqrt{3}V_0}. \quad (2.40)$$

$$\xi_{standard} = \frac{(R_{L1} + R_{L2})I_R}{2\sqrt{3}V_0}. \quad (2.41)$$

$$\xi_{stacked} = \sqrt{\frac{R_{L1}(R_{L1} + R_{L2})}{3}} \frac{I_R}{V_0}. \quad (2.42)$$

$$\xi_{coupled} = \sqrt{\frac{R_{L1}(R_{L1} + R_{L2})}{3}} \frac{I_{R_{coupled}}}{V_0} = \sqrt{\frac{R_{L1}(R_{L1} + R_{L2})}{3}} \frac{I_R}{2V_0}. \quad (2.43)$$

Claramente se aprecia que $\xi_{coupled}$ es la mitad de $\xi_{stacked}$, asumiendo acoplamiento máximo; aunque k no sea igual a 1, la primera va a ser menor que la segunda. Para comparar las pérdidas del convertor *Stacked Coupled* con las dos arquitecturas restantes, se dividen las pérdidas de éstas entre $\xi_{coupled}$

$$\frac{\xi_{buck}}{\xi_{coupled}} = \frac{\sqrt{4R_{L1}}}{\sqrt{R_{L1} + R_{L2}}} \quad (2.44)$$

$$\frac{\xi_{standard}}{\xi_{coupled}} = \sqrt{\frac{R_{L1} + R_{L2}}{R_{L1}}} \quad (2.45)$$

²Se hace referencia al término *Efficiency loss*, también reportado como *Dead-weight loss*.

En la relación 2.44 se considera la resistencia del inductor del convertidor *Buck* como R_{L1} , suponiendo ésta como la menor³. Para que la fracción sea menor a 1, es necesario que la resistencia de la segunda fase sea mayor al triple de R_{L1} , lo cual depende de la tecnología; para el caso de la ecuación 2.45, es claro que el resultado es siempre mayor que la unidad, lo cual implica que las *pérdidas de eficiencia* de la arquitectura *Stacked Coupled* son menores que las del convertidor *Standard Interleaved*.

Como conclusión, y con lo evidenciado en los análisis anteriormente realizados de tensión de rizo y eficiencia, la topología que ofrece el mejor desempeño es la *Stacked Coupled*, ya que soluciona el problema del rizado desde sus orígenes, la corriente del inductor, con lo cual reduce también la potencia disipada en las resistencias parásitas. Adicionalmente, el acoplamiento magnético permite mejorar el factor de calidad de las bobinas integradas, y es posible alcanzar las mismas prestaciones con un filtro *LC* de menor tamaño, en contraste con alguna otra arquitectura sin acoplamiento. Es por esto que la *Stacked Coupled* es la arquitectura seleccionada para la implementación del presente trabajo.

³Al fabricar las resistencias en capas de metal diferentes, la resistencia varía; la menor resistencia es ofrecida generalmente por el metal más exterior de la tecnología de fabricación

Capítulo 3

Diseño

Luego de la revisión de diversas topologías, el análisis sus características y la comparación de sus ventajas y desventajas, finalmente, en el capítulo 2 se seleccionó la arquitectura *Stacked Coupled* como la más conveniente para la implementación de un convertor *DC-DC* que se ajuste a los requerimientos planteados para este trabajo.

A continuación se presentarán de manera detallada las consideraciones en el diseño de la bomba de carga, resaltando los compromisos entre las distintas especificaciones y argumentando la prioridad establecida en ellas.

3.1. Consideraciones Generales

Un convertor *DC-DC* puede utilizarse para entregar altas cantidades de potencia, y generalmente se implementan con elementos pasivos discretos [2, 7, 8], lo cual implica un costo en área elevado; aún así, esta implementación se mantiene, pues las resistencias parásitas de inductores y capacitores externos son muy reducidas, en comparación con sus pares integrados. De igual forma, cuanto mayor es el valor de inductancia, más energía se puede almacenar, por lo que es posible operar a frecuencias bajas (no superiores a $1MHz$). En [6], el autor implementa la topología seleccionada, valiéndose del acoplamiento magnético para elevar el valor de la inductancia y así poder integrar la bomba completamente. Con este antecedente, es posible diseñar un convertor *DC-DC* totalmente integrado, usando la arquitectura *Stacked Coupled*, lo cual ofrece una ganancia en área del circuito.

A medida que se avanza en el escalamiento tecnológico de integración *CMOS*, los procesos de fabricación cuentan con mejoras adicionales, como son la implementación de un mayor número de metales, los cuales disminuyen en *resistencia por cuadro*¹ a medida que se ale-

¹La resistencia por cuadro es la forma de determinar la resistencia total de un metal de un proceso de fabricación CMOS

jan del sustrato, por lo que la selección de la tecnología a utilizar se convierte en un factor determinante en el circuito final. En [17], los autores presentan un análisis de inductores integrados en distintos procesos de fabricación, concluyendo que para obtener mejores resultados en eficiencia, se requieren tecnologías inferiores a los $130nm$, debido a la resistencia parásita de las bobinas integradas en metales de tecnologías más antiguas. Por esta razón, para la implementación del convertor $DC-DC$ se utiliza la tecnología $UMC90nm$.

3.1.1. Especificaciones del Diseño

Para definir los límites y alcances del diseño, se dictan las especificaciones, que son los resultados esperados para las prestaciones más importantes de un circuito. En el caso de este convertor $DC-DC$, se toman las características de salida como las que determinan el diseño final. La corriente de salida especificada es de $100[mA]$, tomando en cuenta que la capacidad de corriente de la fuente de alimentación de dispositivo portátil es en promedio de $1000mAh^2$. En una revisión del estado del arte, se concluye que es posible alcanzar eficiencias más altas con una tensión de salida cercana al 75% del voltaje de entrada [6,9]; de esta forma, se escoge un V_0 de $0.7[V]$ para el convertor, y una eficiencia mayor o igual al 80% . Finalmente, el rizado en la tensión de salida propuesto es de 5% , el cual es un valor cercano a los reportados en el estado del arte.

En la tabla 3.1 se enlistan los valores anteriormente mencionados, dejando abierta la selección de la frecuencia de operación, con el fin de alcanzar el mejor diseño sin tener un condicionamiento relacionado con esta especificación.

Especificación	Valor
V_0	$0.7 [V]$
I_0	$100 [mA]$
V_R	5%
Eficiencia	$\geq 80\%$

Tabla 3.1: Especificaciones.

3.1.2. Frecuencia de operación

La frecuencia con la cual se conecta y desconecta la bomba de carga a la fuente de alimentación, determina principalmente el tamaño del filtro LC , como lo revelan las ecuaciones 1.8 y 1.11 y como se explicó con anterioridad, tiene relación directa con la cantidad de energía

²La capacidad de corriente depende de las tareas que pueda realizar el dispositivo

a acumular en cada ciclo; además, la frecuencia afecta directamente el consumo de potencia, pues influye en las pérdidas dinámicas en los interruptores, como se verá más adelante. Por lo tanto, resulta de vital importancia seleccionar la frecuencia de operación adecuada, ya que involucra la reducción de área con la eficiencia del circuito final.

Tomando en cuenta los resultados presentados en [6, 15], para integrar inductores de manera eficiente, éstos deben ser de tan solo unos *nanoHenrios*, y la frecuencia de operación alcanza los cientos de *MHz*. Con tales antecedentes, se decide hacer un barrido en frecuencia entre 100 y 600 *MHz*, dimensionando las bobinas con la ecuación 1.8 y caracterizándolas con la ayuda del *software ASITIC*. La figura 3.1 muestra los resultados de este proceso, donde se nota que la disminución de la inductancia deja de ser significativa con el aumento de la frecuencia, y más aún, la resistencia parásita asociada a ésta.

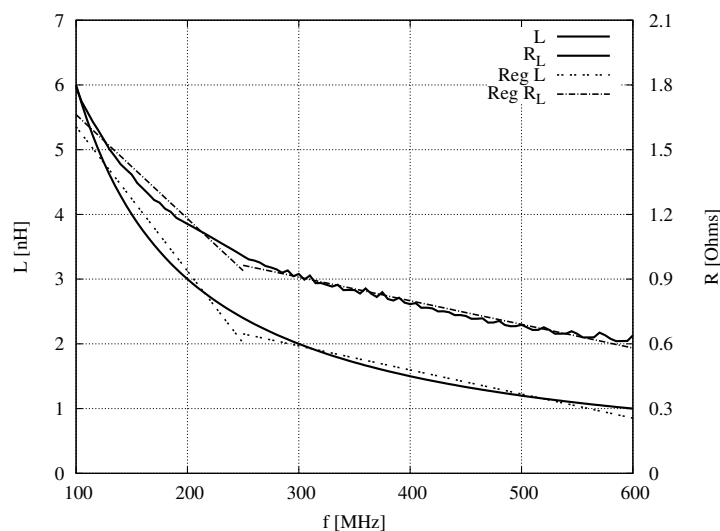


Figura 3.1: Inductancia y resistencia parásita (fase principal).

Para resaltar el cambio en la tendencia de los parámetros de las bobinas con respecto a la frecuencia de operación, es posible linealizar ambas curvas en dos tramos, como se ve en la figura 3.1 con líneas punteadas. Con dicha aproximación, se determina la frecuencia de la *rodilla* de las curvas como la frecuencia para el diseño del convertor, teniendo en cuenta que es el punto en el cual se aprovechan los beneficios de una fuerte disminución de *ESR* y área, y previniendo un aumento innecesario en el consumo dinámico de los interruptores. De acuerdo a lo anterior, la frecuencia de operación seleccionada es de 250 *MHz*.

3.1.3. Inductores

Con la frecuencia de operación establecida, se realiza el dimensionamiento de los elementos pasivos de la bomba de carga. En el caso de los inductores, es necesario tener en cuenta su

disposición en el circuito fabricado. Para que exista acoplamiento magnético entre las bobinas, el flujo magnético de cada una de ellas debe alcanzar a la otra. De acuerdo al análisis realizado en [16], la forma más eficiente para integrar inductancias planas acopladas es construyéndolas en dos capas de metal diferente, y superponiéndolas. El proceso de fabricación utilizado para el diseño de este circuito, *UMC 90nm* cuenta con nueve metales, un metal denso (Metal 9), dos metales intermedios (Metal 8 y 7), y los seis restantes, metales delgados³. La integración de inductores se realiza generalmente en las capas de metal más alejadas del sustrato, ya que éstas ofrecen menor resistencia en serie, y al estar más distanciadas del sustrato, se disminuyen las corrientes de *Eddy* [6, 15].

Con las consideraciones anteriores, se asignan los metales 9 y 7 para construir los inductores, dejando libre el metal 8 para las salidas internas de las dos bobinas. De acuerdo al análisis del capítulo 2, y como se refleja en la ecuación 2.43, por la fase principal circulan las corrientes de carga y de rizo, mientras que por la fase secundaria, sólo circula la segunda, lo cual sugiere que por eficiencia, la resistencia en serie de la fase principal sea menor que su contraparte. Por esta razón, se designa el Metal 9 para la rama primaria, y el 7 para la secundaria.

Para llevar a cabo la caracterización de los inductores en cada metal, se utiliza la herramienta *ASITIC*, la cual entrega el valor de inductancia y resistencia, de acuerdo al ancho del metal y al diámetro total del inductor. Las figuras 3.2 y 3.3 son el resultado de dichos procesos, y muestran el valor de la resistencia parásita en función del diámetro del *devanado*, para diferentes distancias de separación entre las vueltas de cada bobina. Considerando el balance de dos características del circuito, área y consumo de potencia, se pretende conseguir la menor *ESR* con el menor diámetro posible. Los mejores resultados de ambas caracterizaciones se presentan para una separación de $1\mu m$, y se enlistan en la tabla 3.2, donde se resalta el menor valor alcanzado para cada inductor. El mayor cambio resistivo entre un diámetro y otro se produce en la segunda fase, y es de 8Ω , contrastado con la diferencia de diámetros, que es de $105\mu m$. Ya que la reducción de área no produce un aumento significativo en la resistencia, la primera especificación prevalece sobre la segunda, por lo que para el diseño se escogen los resultados obtenidos para inductores con un diámetro de $655\mu m$. Finalmente, la opción de utilizar la dimensión más adecuada para cada inductor se descarta, pues al considerar el acoplamiento magnético como un parámetro asociado a la implementación física de los inductores, se revela una disminución de casi un 30% al utilizar dos diámetros diferentes. Por tales razones, se ratifica la selección anteriormente descrita.

³En un proceso de fabricación, los metales se disponen de acuerdo a su grosor, siendo los metales delgados los más cercanos al sustrato.

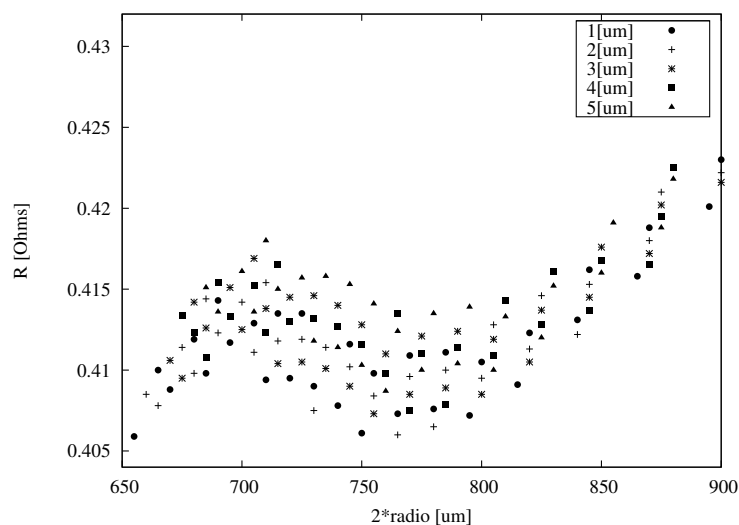


Figura 3.2: Resistencia parásita del inductor de la fase primaria.

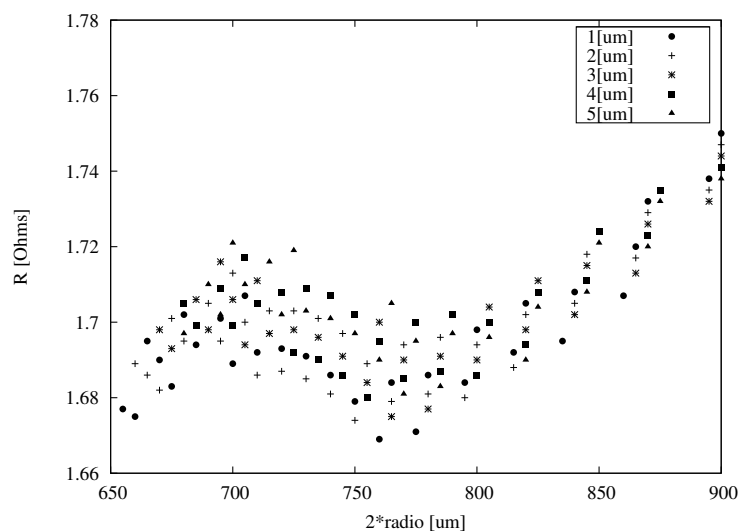


Figura 3.3: Resistencia parásita del inductor de la fase secundaria.

Diámetro [μm]	Resistencia L_1 [Ω]	Resistencia L_2 [Ω]	Acoplamiento
655	0.406	1.677	0.943
760	0.407	1.669	0.955

Tabla 3.2: Resistencias parásitas.

3.1.4. Interruptores

Los interruptores de un convertor $DC-DC$ tradicional se implementan con un transistor entre la fuente y la bomba, y un diodo entre el nodo de referencia y el terminal de la bobina,

denominado *diodo de libre paso*⁴, el cual ahorra una señal de control, pues se activa sólo cuando la bomba fuerza el paso de corriente a través de él. Sin embargo, un diodo tiene mayor tensión de corto que un transistor que funciona como interruptor [16]; adicionalmente, el diodo limita la conducción de corriente en un solo sentido, y un *DC-DC Stacked Coupled* maneja corrientes que circulan en los dos sentidos, ya que, por ejemplo, la corriente promedio de la segunda fase es cero. Por estas razones, se decide implementar ambos interruptores con transistores MOS, uno tipo P y otro tipo N, dispuestos en el convertidor como se ve en la figura 3.4.

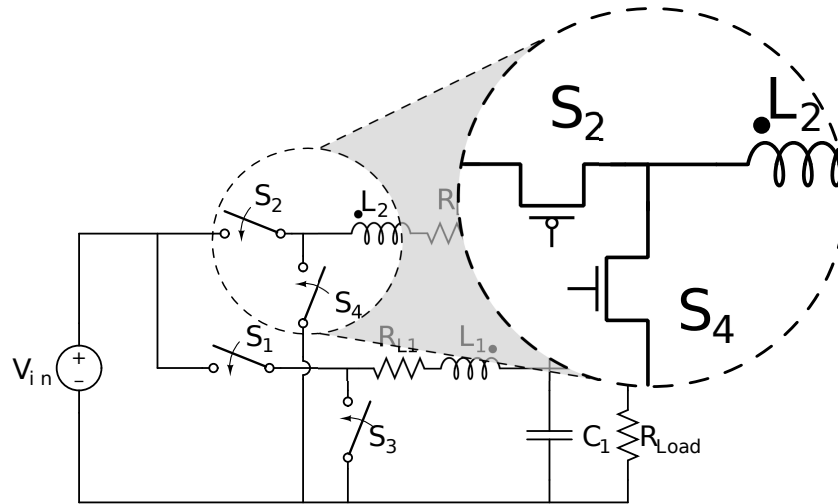


Figura 3.4: Implementación de los interruptores.

Dado que los transistores son complementarios, es posible manipularlos con una única señal de control, pero este ahorro en control, podría traer aumento en las pérdidas del circuito, y serios perjuicios en los transistores, ya que, si se controlan con la misma señal, es más probable que en algún instante durante la transición, ambos interruptores se encuentren encendidos, lo cual genera una trayectoria directa a tierra, circulando una corriente muy alta (idealmente infinita) por los transistores. Para contrarrestar este problema, se agrega un tiempo muerto al inicio y al final del ciclo de trabajo de una de las señales de control. Estos tiempos muertos dependen del ciclo de operación del convertidor [16], y el control de sus magnitudes se realiza con algunos circuitos lógicos en el lazo de control, cuyo diseño no hace parte de los alcances de este trabajo, razón por la que se implementan tiempos muertos constantes.

En cuanto a las pérdidas, se pueden considerar dos tipos: por conducción y capacitivas. Las primeras se asocian a la resistencia formada entre drenador y fuente al momento de estar encendidos, R_{DSon} , por la cual circula la misma corriente del inductor mientras el interruptor

⁴Hace referencia a la expresión inglesa *freewheeling diode*.

se encuentre cerrado (DT o $(1-D)T$, según sea el caso). Las pérdidas capacitivas se relacionan con las capacitancias parásitas del transistor y la frecuencia de operación. Esta situación se expresa matemáticamente con la ecuación 3.1 [6]:

$$P_{MOS} = \left((1-D)R_{DSonN} + D \cdot R_{DSonP} \right) \left(I_0^2 + \frac{I_R^2}{12} \right) + P_C(W_N + W_P)f \quad (3.1)$$

Si se parametriza la resistencia de encendido de cada transistor con respecto al ancho de éste, y teniendo en cuenta que por movilidad, los transistores P y N deben conservar una relación de aspecto, la ecuación se puede reescribir de la siguiente manera :

$$P_{MOS} = \left(\frac{(1-D)X_N}{W_N} + \frac{D \cdot X_P}{\varphi W_N} \right) \left(I_0^2 + \frac{I_R^2}{12} \right) + P_C(1 + \varphi)W_N f \quad (3.2)$$

Para determinar el ancho óptimo de los transistores, se deriva la ecuación 3.2 con respecto a W_N , se iguala a cero y se despeja

$$W = \sqrt{\frac{(1-D)X_N + (D \cdot X_P)/\varphi}{P_{Cap}(1 + \varphi)f} \left(I_0^2 + \frac{I_R^2}{12} \right)} \quad (3.3)$$

Ya que la expresión es dependiente de la relación de aspecto de los transistores N-P (φ), se deriva nuevamente la ecuación 3.2, esta vez con respecto a φ , e igualando a cero

$$\varphi = \sqrt{\frac{X_P D \left(I_0^2 + \frac{I_R^2}{12} \right)}{P_{Cap} W^2 f}} \quad (3.4)$$

sustituyendo 3.4 en 3.3, y viceversa, se obtienen expresiones independientes para W y φ :

$$W = \sqrt{\frac{X_N(1-D) \left(I_0^2 + \frac{I_R^2}{12} \right)}{P_{Cap} f}} \quad (3.5)$$

$$\varphi = \sqrt{\frac{X_P D}{X_N(1-D)}} \quad (3.6)$$

Para solucionar las ecuaciones anteriores, es necesario conocer los valores de los parámetros P_{Cap} , X_N y X_P . P_{Cap} se calcula como la suma de las capacitancias del dispositivo. Por su parte, X_N y X_P se determinan a través de repetidas simulaciones, barriendo el valor de la corriente de carga, midiendo el consumo de potencia en cada transistor y finalmente, haciendo una curva de ajuste a los datos, procesos ilustrados en las figuras 3.5 y 3.6. Con los resultados de los procesos anteriormente descritos, y solucionando las ecuaciones 3.5 y 3.6, se obtienen las dimensiones de los transistores enlistadas en la tabla 3.3.

Rama	W_N [mm]	W_P [mm]
1	3.7	6.3
2	2.3	2.3

Tabla 3.3: Dimensiones de los interruptores.

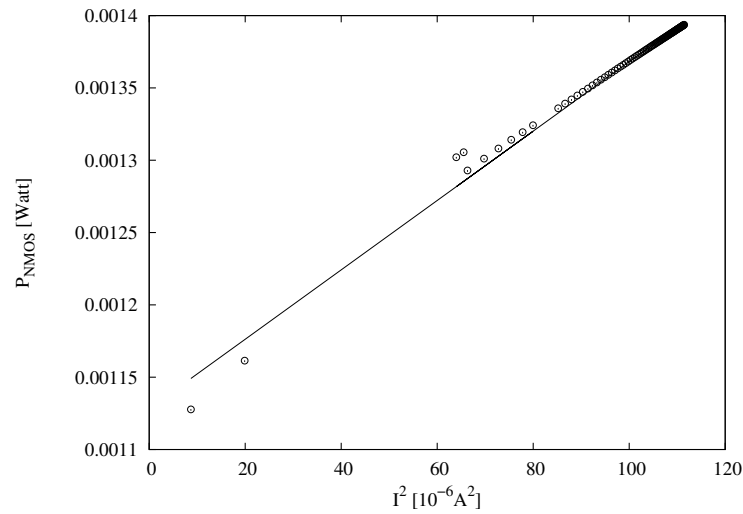


Figura 3.5: Determinación de pérdidas por conducción NMOS.

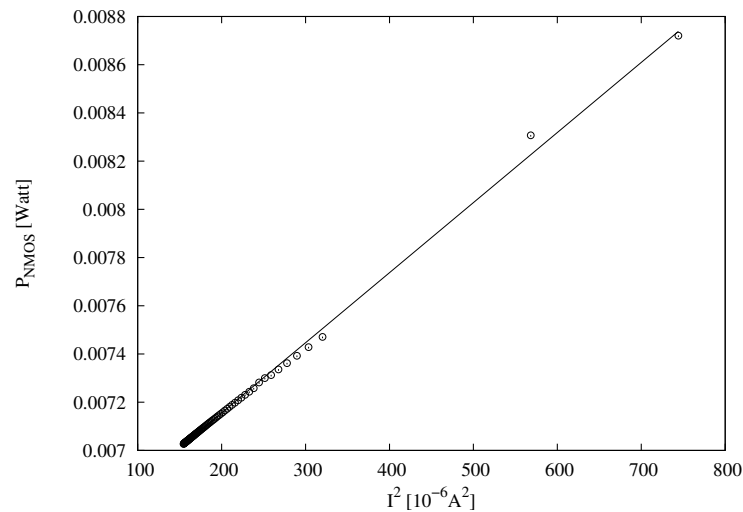


Figura 3.6: Determinación de pérdidas por conducción PMOS.

3.1.5. Punto Óptimo de Operación

Con el convertidor completamente dimensionado, se busca obtener el máximo desempeño en eficiencia para este diseño. Como se vio en el capítulo 2, la eficiencia del convertidor está ligada

a la corriente que circula por los inductores; además, considerando únicamente las pérdidas en éstos, es posible determinar una corriente óptima de carga para la topología *Stacked Coupled* (ecuación 2.39), la cual se puede tomar como punto de partida en la determinación de las condiciones de operación óptimas del circuito. Sustituyendo los respectivos valores de las resistencias parásitas, y utilizando la ecuación típica de corriente de rizo para un convertidor *DC-DC* (ecuación 2.6), en la cual se considera el incremento en la inductancia producto del acoplamiento magnético, se obtiene una aproximación a la mejor condición de carga, como se ve a continuación:

$$I_{0_{opt}} = \sqrt{\frac{R_{L_1} + R_{L_2}}{12R_{L_2}}} I_R = \sqrt{\frac{R_{L_1} + R_{L_2}}{12R_{L_2}}} \frac{D(1-D)V_{in}T}{L(1+k)} = 0,1173 \approx 117[mA] \quad (3.7)$$

Cabe resaltar que la aproximación se realiza con un ciclo de trabajo del 70 %, pensando idealmente en una tensión de salida de 700 [mV], ($V_0 = D \cdot V_{in}$). Haciendo un barrido en la corriente de carga, manteniendo constante el voltaje en la salida ($\approx 0.7[V]$) y midiendo la eficiencia de la bomba de carga, se obtiene la curva mostrada en la figura 3.7, donde se resalta el punto de máxima eficiencia, que corresponde a una corriente de salida de 107.6[mA], cercano a la aproximación de la ecuación 3.7. La diferencia entre la aproximación y el resultado se asocia con las pérdidas en los interruptores, las cuales no se contemplan en el cálculo inicial.

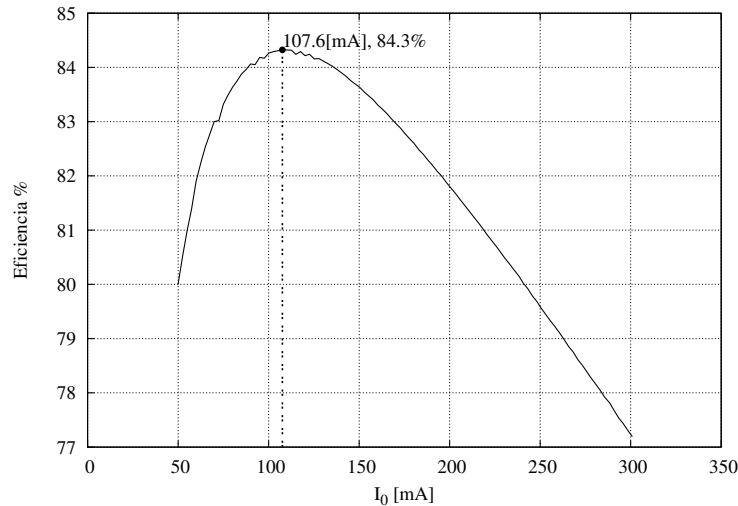


Figura 3.7: Eficiencia *Stacked Coupled*.

La figura 3.8 muestra el comportamiento de algunos parámetros del convertidor que ayudan a entender los cambios en la eficiencia en función de la corriente de carga. La disminución en el rizado de las corrientes reduce parcialmente el consumo de potencia en ambas ramas, pero el aumento de la corriente de carga contribuye al incremento de la potencia consumida.

Mientras el decremento de las corrientes de rizo es significativo con respecto a la corriente de salida, la eficiencia aumenta, hasta el punto en el que las pérdidas producidas por la corriente de carga en la rama 1 predominan sobre el descuento hecho por las corrientes de rizo, por lo cual la eficiencia se reduce nuevamente.

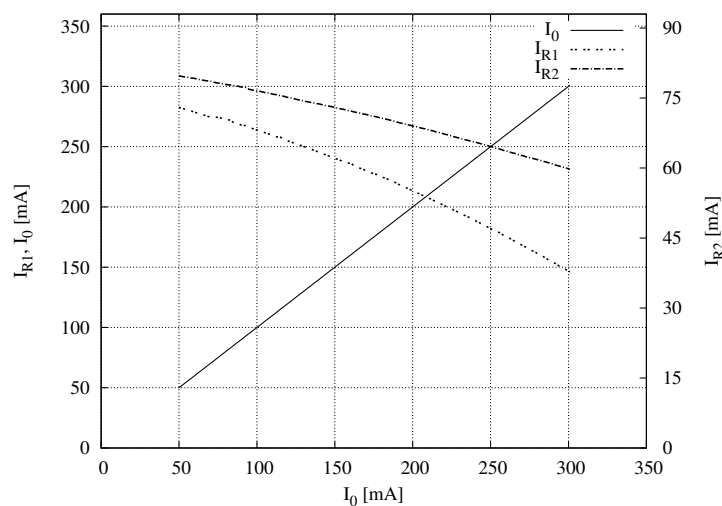


Figura 3.8: Corrientes de rama 1 y 2, arquitectura *Stacked Coupled*.

De manera comparativa, y para resaltar las prestaciones de la topología *Stacked Coupled* con respecto a otras explicadas anteriormente, se realizaron simulaciones de una bomba de carga implementando la arquitectura *Stacked Interleaved*, con las mismas dimensiones del diseño del presente trabajo. La figura 3.9 evidencia el mejoramiento en desempeño al utilizar la arquitectura seleccionada, ya que en todo el rango de corriente evaluado, supera al circuito *Stacked Interleaved*, y aunque la corriente de carga óptima de este convertidor es mayor al diseñado (cerca a los 200mA), el *DC-DC Stacked Coupled* sigue siendo más eficiente, aún en dicha condición de carga.

De la misma forma, se contrastaron los resultados para el rizado en las corrientes de las dos bombas de carga, teniendo en cuenta que como conclusión del análisis teórico, la arquitectura *Stacked Coupled* reduce el rizado en la corriente por el aumento en la inductancia que provee el acoplamiento magnético. La figura 3.10 constata esta situación, pues refleja las diferencias entre los rizados de las corrientes de ambas fases, para los respectivos convertidores.

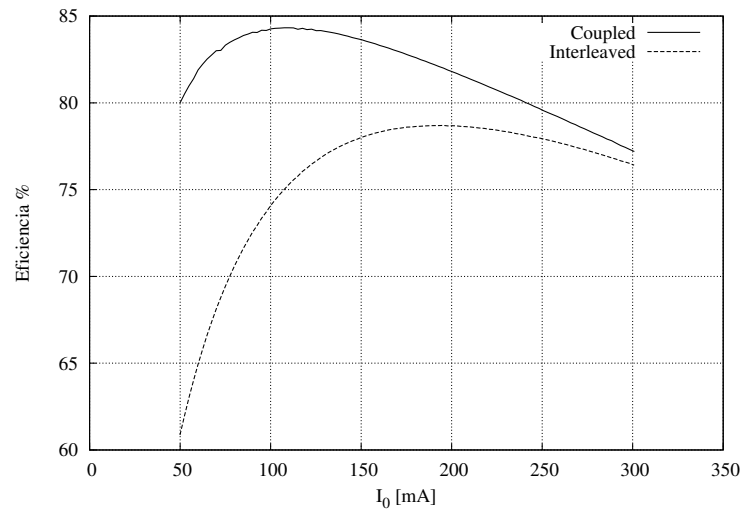


Figura 3.9: Eficiencia *Stacked Coupled* Vs. *Stacked Interleaved*.

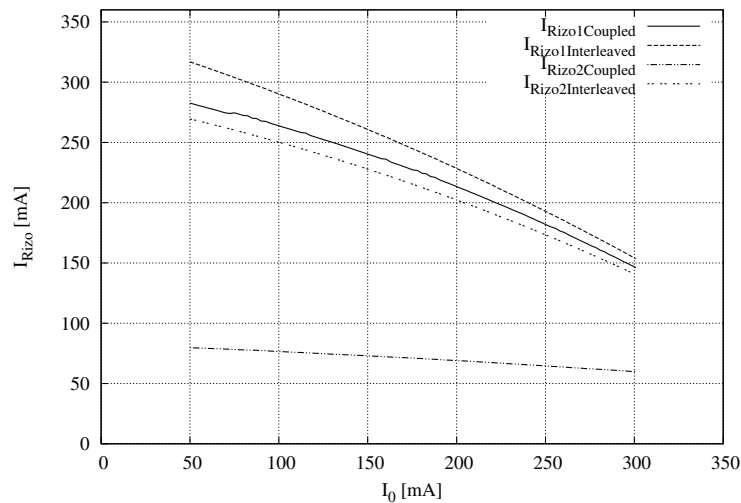


Figura 3.10: Corrientes de rama 1 y 2, topologías *Stacked Coupled* y *Stacked Interleaved*.

3.2. Resultados

Con el diseño del convertidor concluido, se examinan los resultados obtenidos de acuerdo a las especificaciones planteadas inicialmente, realizando de manera adicional un análisis estadístico para determinar los efectos que ocasionan las variaciones de los parámetros del proceso de fabricación en el circuito terminado.

Como se mostró en la figura 3.7, la máxima eficiencia alcanzada por la bomba de carga, operando a la tensión de salida propuesta (0,7[V]), es de 84.3%, con una corriente de carga de 107.6[mA]; además, se obtiene una eficiencia igual o mayor a 80% para corrientes de carga

entre 50 y 240.7 [mA].

Para determinar las condiciones límite de operación del convertor, se hacen dos barridos adicionales de la corriente de carga, para tensiones de salida de 0.6 y 0.5[V] respectivamente, y se evalúa su eficiencia junto con los resultados para $V_0 = 0,7[V]$. Estas tendencias se muestran en la figura 3.11, en donde se resalta en color oscuro la zona de la eficiencia que cumple con las expectativas del diseño. Como se ilustra en la gráfica, para una tensión de salida de 0.6[V], el circuito satisface los requerimientos iniciales para un rango de corrientes de carga de 22[mA] (95-117[mA]), lo cual demuestra las potencialidades de la arquitectura en cuanto a eficiencia.

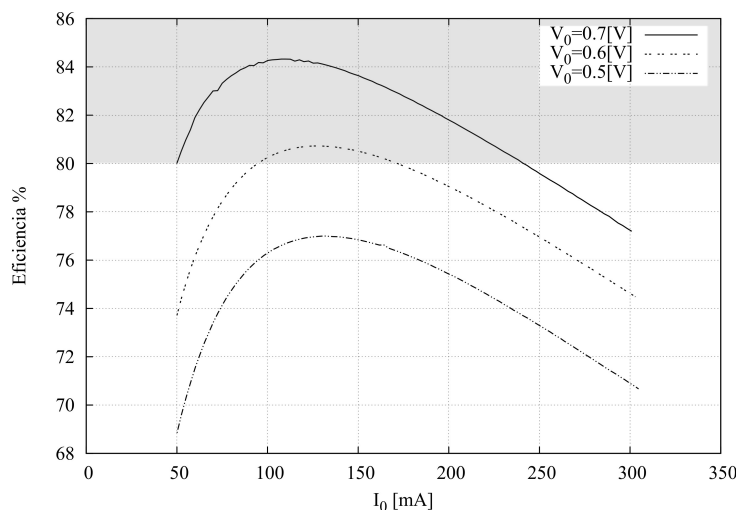
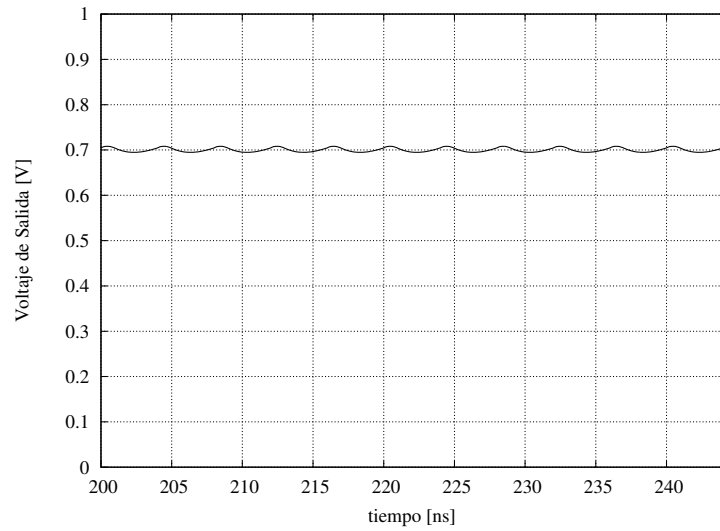


Figura 3.11: Corrientes de rama 1 y 2, topologías *Stacked Coupled* y *Stacked Interleaved*.

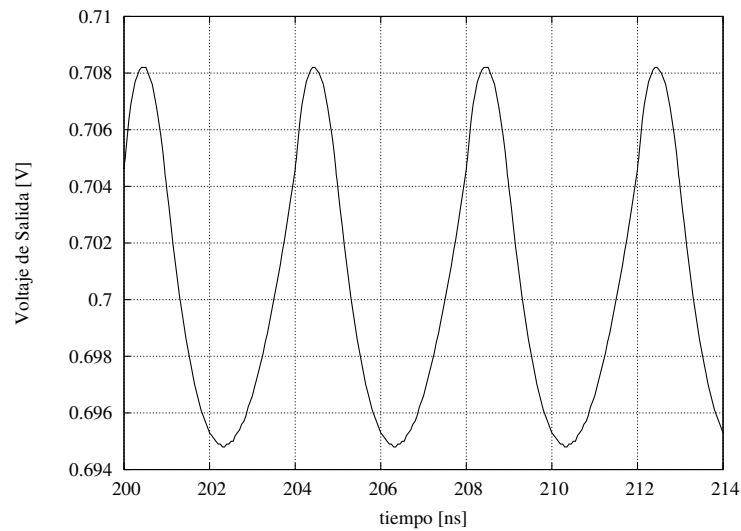
Por otra parte, los resultados para el voltaje rizo de salida del convertor operando en condiciones óptimas se presentan en la figura 3.12(a). En esta situación, los valores de tensión máximo y mínimo entregados por la bomba de carga son 708.2 y 698.4 [mV] respectivamente, como se detalla en la figura 3.12(b), lo cual corresponde a un rizo total de 13.4 [mV], es decir, 1.91% de la tensión de salida; este resultado sobrepasa el propuesto por las especificaciones (5% de la tensión de salida), con lo cual se satisface otro requerimiento planteado para el diseño.

Finalmente, el valor propuesto para la corriente de salida es igualmente satisfecho, aunque por una diferencia de 7[mA] no es el valor óptimo de carga, hace parte del intervalo de corrientes para los cuales el convertor cumple con la eficiencia propuesta (84.27%, a 100[mA] de carga), entregando potencias de salida entre los 45 y los 168.5[mW], con una eficiencia mayor o igual a la esperada.

La tabla 3.4 consigna las especificaciones planteadas y los valores alcanzados por la bomba de carga diseñada, resumiendo así los resultados obtenidos en el presente trabajo.



(a) Tensión de salida.



(b) Tensión de rizo (Detallada).

Figura 3.12: Rizado en la tensión de salida.

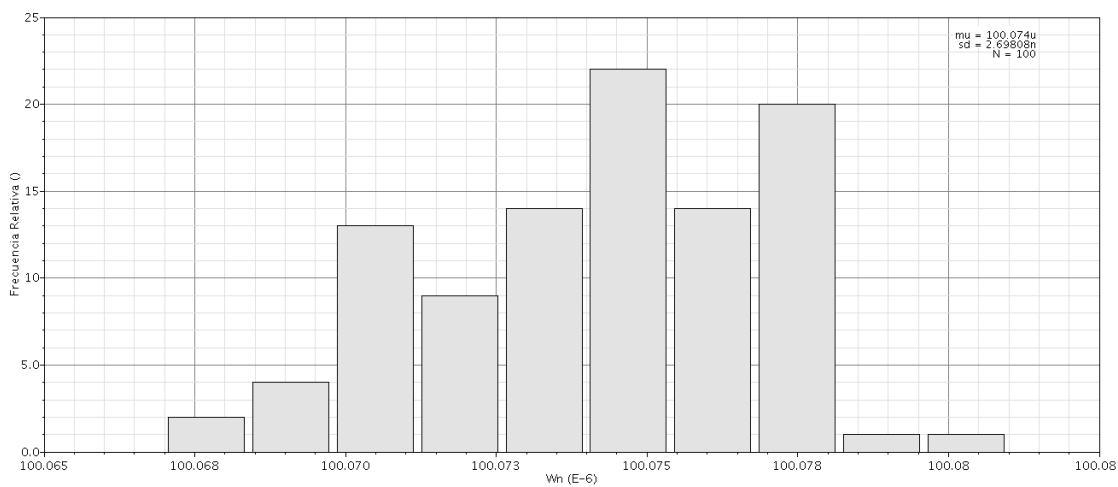
Especificación	V_0 [V]	I_0 [mA]	V_R %	Eficiencia %
Valor Propuesto	0.7	100	5	≥ 80
Valor Alcanzado	0.7	107.6		84.3

Tabla 3.4: Resultados del circuito.

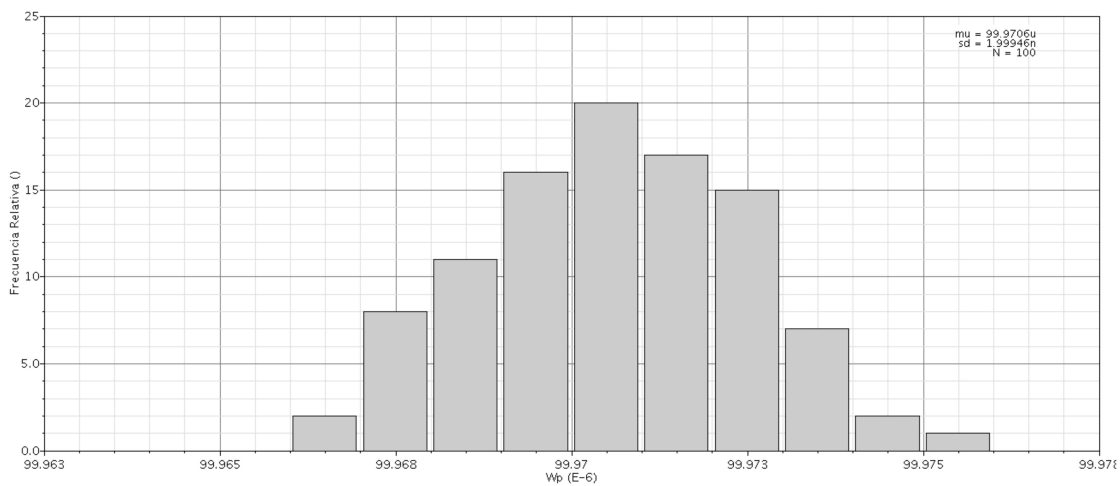
3.2.1. Análisis Estadístico

Finalmente, se realiza un análisis MonteCarlo, con el fin de verificar el diseño de la bomba de carga, teniendo en cuenta la variación de los parámetros del proceso de fabricación. Esta

prueba se realizó con 100 iteraciones, en las cuales se tuvieron en cuenta variaciones tanto del proceso como las debidas al *mismatch* de los dispositivos. En las figuras 3.13(a) y 3.13(b) se exponen la variación del ancho efectivo de los *dedos* de cada uno de los transistores. En el caso de los transistores *N*, se obtuvo una media de 100.07 $[\mu\text{m}]$ y una desviación estándar de 2.69 $[\text{nm}]$. Para el caso *P*, la media es de 99.97 $[\mu\text{m}]$ y la desviación estándar correspondiente 1.99 $[\text{nm}]$. En la figura 3.14 se muestra la fluctuación de la tensión de salida de la bomba de carga, utilizando un ciclo de trabajo fijo. Las curvas de salida se reparten en un rango de incertidumbre de 3 $[\text{mV}]$ aproximadamente, lo cual no representa una diferencia significativa en el desempeño del convertor.



(a) Ancho efectivo (NMOS).



(b) Ancho efectivo (PMOS).

Figura 3.13: Resultados del Análisis MonteCarlo para los interruptores.

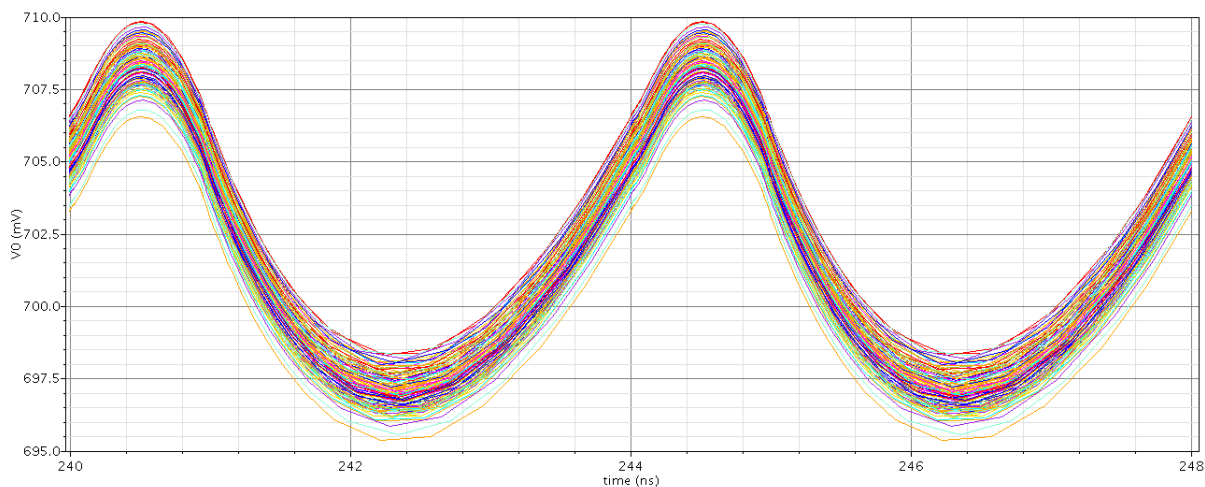


Figura 3.14: Resultados estadísticos para la tensión de salida.

3.3. Observaciones y Conclusiones

Una vez finalizado el diseño del convertor propuesto y el respectivo análisis de los resultados obtenidos, se hacen notar las siguientes observaciones y conclusiones con respecto a este proceso:

- ★ Con el diseño de la bomba de carga presentada en este trabajo, se demostró la superioridad de la topología *Stacked Coupled* sobre las otras arquitecturas analizadas en el capítulo 2, cumpliendo con las especificaciones planteadas y con un valor agregado muy importante: la integrabilidad completa del convertor.
- ★ La arquitectura *Stacked Interleaved* ofrece un buen desempeño en compensación de corriente de rizo, utilizando el mínimo posible de elementos circuitales. Sin embargo, es viable conseguir mejores prestaciones con este mismo circuito, aprovechando la presencia de un efecto generalmente indeseable: el acoplamiento magnético, el cual, utilizado correctamente, mejora la eficiencia del circuito y da origen a una nueva topología: *Stacked Coupled*.
- ★ Dentro del contexto de convertidores completamente integrados, la frecuencia de operación es quizás la especificación más importante, ya que compromete directamente otras prestaciones, como la eficiencia y el área del convertor. La primera es muy relevante, teniendo en cuenta que se desea el mínimo consumo por parte de los circuitos administradores de potencia, pues estos son una mejora del sistema; en cuanto al área, se prefiere ocupar el mínimo espacio posible para dar la posibilidad de una integración conjunta con todo el sistema.

- ★ La principal desventaja de integrar bobinas es su factor de calidad, el cual no es comparable con el asociado a un inductor externo. Esta característica ha tenido mejoras notables en cada nueva tecnología de integración, ya que se implementan metales con menor resistencia asociada.
- ★ Los resultados arrojados por el análisis Monte Carlo revelan variaciones poco significativas en el funcionamiento del convertor, lo cual valida el diseño realizado en el desarrollo de este trabajo.

3.4. Recomendaciones para trabajos futuros

Pensando en trabajos posteriores relacionados con el área de convertidores, se formulan algunas recomendaciones, producto del desarrollo del trabajo realizado.

- ★ Realizar el diseño a nivel de transistor del lazo de control de la bomba de carga, con el fin de cuantificar la potencia consumida por éste, y calcular la eficiencia total del convertor, concluyendo así el trabajo iniciado con este proyecto de grado.
- ★ Evaluar otras formas de controlar los interruptores del convertor, como *PFM*, cambiando totalmente el modo de operación del *DC-DC*, abriendo la posibilidad de comparar su desempeño, el cual, de acuerdo a la literatura, ofrece mejores resultados para condiciones de baja carga.
- ★ Utilizar herramientas de optimización, como la programación geométrica, con el fin de encontrar el diseño con las mejores prestaciones para las especificaciones dadas.
- ★ Ampliar la experiencia del grupo *CIDIC* en el campo de la administración de potencia, estudiando otras alternativas de convertidores, como son las topologías de capacitores conmutados.

Bibliografía

- [1] M. Rashid, *Power Electronics Handbook: Devices, Circuits and Applications*. Academic Press, 2006.
- [2] M. Manninger, “Power management for portable devices,” pp. 167–173, 2007.
- [3] Hans-Otto Sheck, “Beyond the law,” *IET Communications Engineer*, pp. 34–39, 2007.
- [4] H. Y. Fang Lin Luo, *Advanced DC/DC Converters*. CRC Press, 2004.
- [5] J. Xiao, A. Peterchev, J. Zhang, and S. Sanders, “A 4- μ A quiescent-current dual-mode digitally controlled buck converter IC for cellular phone applications,” *Journal of Solid State Circuits, IEEE*, vol. 39, pp. 2342–2348, 2004.
- [6] J. Wibben and R. Harjani, “A high efficiency DC-DC converter using 2nH integrated inductors,” *Journal of Solid State Circuits, IEEE*, vol. 43, pp. 844–854, 2008.
- [7] E. Bonizzoni, F. Borghetti, P. Malcovati, F. Maloberti, and B. Niessen, “A 200 mA 93 % peak efficiency single-inductor dual-output DC-DC buck converter,” in *ISSCC IEEE*, 2007, pp. 526–527, 619.
- [8] H. Le, C. Chae, K. Lee, S. Wang, G. Cho, and G. Cho, “A single-inductor switching DC-DC converter with five outputs and ordered power distributive control,” *Journal of Solid State Circuits, IEEE*, vol. 42, pp. 2706–2714, 2007.
- [9] M. Alimadadi, S. Sheikhaei, G. Lemieux, S. Mirabbasi, and P. Palmer, “A 3 GHz switching DC-DC converter using clock-tree charge recycling in 90 nm CMOS with integrated output filter,” in *ISSCC IEEE*, 2007, pp. 532–533, 620.
- [10] Y. Ramadass and A. Chandrakasan, “Minimum energy tracking loop with embedded DC-DC converter enabling ultra-low-voltage operation down to 250mV in 65nm CMOS,” *Journal of Solid State Circuits, IEEE*, vol. 43, pp. 256–265, 2008.

-
- [11] M. Belloni, E. Bonizzoni, and F. Maloberti, “On the desing of single-inductor double-output DC-DC Buck, Boost, and Buck-Boost converters,” *IEEE*, pp. 626–629, 2008.
- [12] A. I. Pressman, *Switching Power Supply Design*. McGraw-Hill, 1998.
- [13] L. C. G. Lázaro, “Diseño de un Regulador LDO Integrable en Tecnología CMOS,” Tesis de pregrado de la Universidad Industrial de Santander, 2008.
- [14] C. Shi, B. Walker, E. Zeisel, B. Hu, and G. McAllister, “A highly integrated power management IC for advanced mobile applications,” *Journal of Solid State Circuits*, vol. Volume 42, pp. 1723–1731, 2007.
- [15] P. Hazucha, G. Schrom, J. Han, B. A. Bloechel, P. Hack, G. E. Dermer, S. Narendra, D. Gardner, T. Karnick, V. De, and S. Borkar, “A 233Mhz 80%-87% efficient four-phase dc-dc converter utilizing air-core inductors on package,” *Journal of Solid State Circuits*, vol. Volume 40, pp. 838–845, 2005.
- [16] J. J. Wibben, “A High Efficiency, On-Chip Power Supply,” Master’s thesis, University of Minnesota, Minneapolis, 2007.
- [17] J. Lee, G. Hatcher, L. Vandenberg, and C. K. Yang, “Evaluation of Fully-Integrated Switching Regulators for CMOS Process Technologies,” in *ISSOC IEEE*, 2003, pp. 155–158.