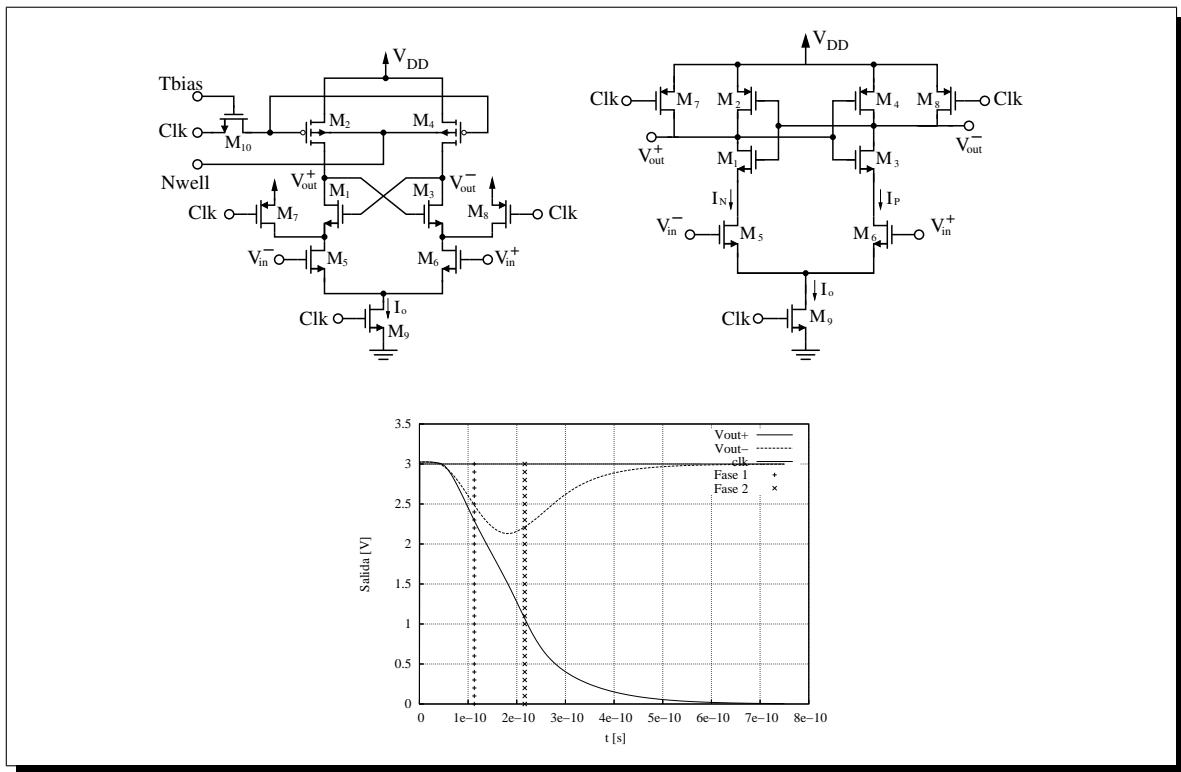


DISEÑO DE UN COMPARADOR INTEGRADO EN TECNOLOGÍA CMOS.



Héctor Iván Gómez Ortiz
Jhoan Alberto Salinas Delgado

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES

UNIVERSIDAD INDUSTRIAL SANTANDER

Bucaramanga – 2009



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones



DISEÑO DE UN COMPARADOR INTEGRADO EN TECNOLOGÍA CMOS.

Héctor Iván Gómez Ortiz
Jhoan Alberto Salinas Delgado

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director
MSc. Élkim Felipe Roa Fuentes

ESCUELA DE INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
UNIVERSIDAD INDUSTRIAL SANTANDER
Bucaramanga–Abril de 2009

*“ A mis padres, quienes con su apoyo incondicional me
brindaron la fuerza para superar cualquier obstáculo,
a fin de alcanzar mis metas.”*

Héctor.

*“ A mi familia,
el motivo por el cual me preparo y me seguiré preparando.”*

Jhoan.

Agradecimientos

Agradezco a Dios por permitirme vivir este momento. A mis padres y hermanos por creer en mí. A todos mis amigos por brindarme su apoyo y la convicción necesaria para no decaer. A mi familia, por mantener esa gran calidez. A doña Helena, por ser como una segunda madre para mí en los momentos finales de este proyecto. A mi compañero Jhoan por su esfuerzo y dedicación. Al profesor Élkim por su amistad y orientación en el desarrollo y culminación de este proyecto. A los integrantes del grupo CIDIC por su amistad. Y en general, a todas las personas que ayudaron de una u otra forma, en el proceso de mi formación y logro de esta meta. A todas mis más sinceros agradecimientos,

Héctor Iván Gómez

Agradezco a mi familia. A mi mamá y mi papá por su amor y su esfuerzo para brindarme todo para estar dedicado totalmente a estudiar. También a *Mafe* por traer alegría a casa.

Agradezco al profesor Élkim por el acceso a una cantidad invaluable de conocimiento nuevo sobre un área de la cual estoy convencido tiene un futuro en este país. Además por brindarme los recursos y comodidades necesarias para tener siempre el mejor lugar de trabajo. También a los integrantes del grupo CIDIC, especialmente a aquellos que participaron en la edición de este documento.

A la UIS, por la libertad y variedad que brinda, a los buenos profesores y a mis compañeros de estudio, principalmente a Héctor, por la dedicación que tuvo hacia el proyecto, trabajando de sol a sol para entregar a tiempo.

Jhoan Alberto Salinas

RESUMEN

TÍTULO:

DISEÑO DE UN COMPARADOR INTEGRADO EN TECNOLOGÍA *CMOS*¹

AUTORES: HÉCTOR IVÁN GÓMEZ ORTIZ ²

JHOAN ALBERTO SALINAS DELGADO ²

PALABRAS CLAVE: Comparador dinámico, *ADC*, bajo consumo de potencia, programación geométrica, *CMOS*.

DESCRIPCIÓN: La necesidad de conversores de datos que soporten la creciente frecuencia de operación de los sistemas digitales, manteniendo un consumo de potencia mínimo, obliga a un estudio riguroso de los bloques fundamentales que componen un conversor. Como consecuencia, en este proyecto se aborda el diseño de un comparador de alta velocidad y bajo consumo de potencia para aplicaciones en conversores analógico-digital de arquitectura pipeline.

En este documento inicialmente se analizan las principales especificaciones del comparador y su influencia en el funcionamiento del conversor. Luego, se revisan algunas de las arquitecturas presentes en el estado del arte, de las cuales se hace un estudio en detalle de dos topologías seleccionadas junto a una modificación propuesta para intentar mejorar el desempeño reduciendo la capacitancia en el nodo de salida.

La comparación de la figura de mérito, definida por la relación potencia-velocidad de cada topología, permite concluir cuál es más adecuada para un conversor, como el pipeline que utiliza bastantes comparadores. Dicho contraste se realiza aplicando una estrategia de diseño que utiliza la programación geométrica como herramienta de optimización para diseñar el circuito, buscando minimizar el consumo de potencia para determinada frecuencia de comparación.

Los resultados obtenidos se validan por medio de simulaciones transitorias y análisis Monte Carlo, teniendo en cuenta los modelos de transistor *BSIM3V3* y los parámetros de ajuste (*matching*), propios del proceso de fabricación *AMS C35B4C3*.

¹Proyecto de Grado.

²Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones. Director MSc. Élkim Felipe Roa Fuentes.

SUMMARY

TITLE:COMPARATOR DESIGN IN CMOS TECHNOLOGY ³**AUTHORS:** HÉCTOR IVÁN GÓMEZ ORTIZ ⁴JHOAN ALBERTO SALINAS DELGADO ⁴**KEY WORDS:** Dynamic comparator, ADC, low power, geometric programming, CMOS.

DESCRIPTION: The need for data converters that support the increasing operation frequency of digital systems, while keeping at minimum power consumption, requires a rigorous study of the basic blocks that make up a converter. For this reason, this project addresses the design of a comparator able to work at high speed maintaining low power consumption for applications in analog to digital converters, especially pipeline architecture.

This document begins with an analysis of the main specifications of the comparator and how they affect the operation of the converter. Then there is a review of different comparator architectures present in the state of the art, from which a detailed study of two selected topologies is made, together with a proposed modification that attempts to improve performance by reducing the capacitance on the output node.

Comparing the figure of merit, defined by the power-speed relation of each topology, it is possible to conclude about which topology is more suitable for a converter, such as the pipeline that uses several comparators. Such comparison is done through a design strategy that uses geometric programming as a optimization tool for the design of the circuit. Its objective is to minimize power consumption of the circuit for a defined operation frequency.

Results are validated with transient simulations and Monte Carlo analysis. These simulations use BSIM3V3 level 49 transistor models and matching parameters for Austria Micro Systems AMS C35B4C3 technology.

³Degree project.

⁴Physics Mechanical Engineering Faculty. Electrical, Electronic and Telecommunications Engineering School. Advisor MSc. Élkim Felipe Roa Fuentes.

Contenido

1. Introducción	1
1.1. El circuito comparador: especificaciones	3
1.1.1. Velocidad o tasa de comparación	4
1.1.2. Resolución	6
1.1.3. Consumo de potencia	8
1.2. El comparador en el <i>ADC pipeline</i>	9
1.3. Estado del arte	13
1.4. Organización del documento	15
2. Selección de la arquitectura	17
2.1. Resolución con alta velocidad	18
2.2. De estático a dinámico: Reduciendo el consumo de potencia	20
2.3. Incorporando el umbral	23
2.4. Arquitectura seleccionada	27
3. Diseño del comparador dinámico	31
3.1. Arquitectura de Sumanen	31
3.1.1. Operación	32
3.1.2. Tiempo de decisión	33
3.1.3. Tiempo de <i>reset</i>	35
3.1.4. Resolución	38
3.2. Arquitectura de Goll	44
3.3. Esquema que reduce la capacitancia en el nodo de salida	47
3.4. Estrategia de diseño y validación	50
3.5. Observaciones y conclusiones	53
3.6. Recomendaciones para trabajos futuros	55

Lista de figuras

1.1. Sistema de procesamiento de señal.	3
1.2. El circuito comparador.	3
1.3. Tiempo de retardo de propagación del preamplificador [5].	5
1.4. Respuesta transitoria en pequeña señal para un preamplificador [5].	5
1.5. Modelo de la etapa <i>latch</i> y su respuesta en el tiempo.	6
1.6. Arquitectura <i>time-interleaved pipeline</i> [34].	10
1.7. El comparador en el ADC <i>pipeline</i>	11
1.8. Secuencia de operación de un ADC <i>pipeline</i>	12
1.9. Efecto del comparador en el ADC <i>flash</i>	13
2.1. Banco de comparadores de un ADC <i>flash</i> usando inversores [28].	19
2.2. Ejemplo de un comparador regenerativo estático.	20
2.3. Ejemplos de comparadores regenerativos dinámicos.	21
2.4. Esquema de Goll optimizado para alta velocidad [12].	22
2.5. Comparador de divisor resistivo [23].	23
2.6. Comparador de par diferencial [33].	24
2.7. Comparador de carga distribuida [33].	25
2.8. Comparador con corrección dinámica [21].	26
2.9. Comparador propuesto por [13].	27
2.10. Comparador en sub-umbral [15].	28
3.1. Comparador dinámico propuesto por [31].	32
3.2. Respuesta transitoria del comparador.	32
3.3. Dependencia de los tiempos de decisión respecto a V_{CM} para $V_{DD} = 2[V]$ y $\Delta V_{IN} = 10[mV]$	37
3.4. Variación de la relación $\frac{C_L}{g_{m,eff}}$ con respecto a los anchos del <i>latch</i> para una corriente dada.	37
3.5. Tiempo de comparación contra variación de dimensiones.	38

3.6. Variación de la rampa del reloj.	40
3.7. Respuesta transitoria del comparador de Sumanen simulado a 1 GHz.	43
3.8. Esquema de Goll optimizado para alta velocidad [12].	45
3.9. Respuesta transitoria del comparador de Goll simulado a 1 GHz.	48
3.10. Esquema que reduce la capacitancia en el nodo de salida.	49
3.11. Respuesta transitoria de la opción propuesta simulado a 1 GHz.	51
3.12. Análisis Monte Carlo del comparador para potencia trabajando a 1 GHz.	54
3.13. Análisis Monte Carlo del comparador para umbral de decisión trabajando a 1 GHz.	54
3.14. Análisis Monte Carlo para el retardo a 1 GHz.	54

Lista de tablas

1.1. Algunos comparadores implementados en tecnología <i>CMOS</i>	14
2.1. Especificaciones del comparador en cada etapa.	29
3.1. Planteamiento del programa geométrico.	42
3.2. Dimensiones con diseño manual.	44
3.3. Dimensiones con diseño PG.	44
3.4. Especificaciones con diseño manual.	44
3.5. Especificaciones con diseño PG.	44
3.6. Dimensiones con diseño manual.	47
3.7. Dimensiones con diseño PG.	47
3.8. Especificaciones con diseño manual.	47
3.9. Especificaciones con diseño PG.	47
3.10. Dimensiones con diseño manual.	50
3.11. Dimensiones con diseño PG.	50
3.12. Especificaciones diseño manual.	50
3.13. Especificaciones con diseño PG.	50

Capítulo 1

Introducción

La electrónica y el procesamiento de señales son áreas complementarias. Ambas han ayudado al avance de disciplinas como el entretenimiento, las comunicaciones, la exploración espacial y la medicina, entre otras. Un papel que ha ejercido la electrónica es el de materializar aquello que los teóricos del procesamiento de señal han imaginado. Debido a esto, es común encontrar sistemas electrónicos que se encargan de adquirir una señal externa, tomar alguna información de interés contenida en ésta y usarla para cualquier propósito seleccionado por el diseñador.

Antes de 1960, el procesamiento de señales fue implementado casi exclusivamente con tecnología analógica en tiempo continuo, pero la rápida evolución de los computadores y microprocesadores digitales junto con varios avances teóricos como la FFT ¹, causaron un cambio de paradigma al introducirse el procesamiento digital. Actualmente éste último prevalece, por las siguientes razones (descritas en [11]):

- Flexibilidad para reconfigurar las operaciones del procesador digital de señal simplemente cambiando un programa. En un sistema analógico esto implica repetir el proceso de diseño del *hardware* seguido de la medición (*testing*) y la verificación.
- Mayor control sobre la precisión que se puede lograr con los sistemas digitales, al especificarse en términos de longitudes de las palabras y otros factores similares. Por su parte en un sistema analógico las tolerancias dificultan al diseñador controlar la precisión.
- Posibilidad de almacenar el algoritmo y el resultado del procesamiento digital en un medio magnético sin deteriorar o perder su fidelidad.
- Mayor sofisticación que se puede lograr con los algoritmos implementados digitalmente.

¹Siglas de Transformada Rápida de Fourier (*Fast Fourier Transform*).

- Facilidades existentes para el diseño digital. El grado de desarrollo de las herramientas *CAD*² digitales, permiten automatización en el diseño y verificación funcional previa a la fabricación. Esto es, en parte, porque las señales digitales no se distorsionan y por la robustez que presentan los circuitos digitales frente a variaciones de la fuente de alimentación.

Teniendo en cuenta lo anterior, se podría pensar en el uso exclusivo de tecnología digital; sin embargo existen dos aspectos que impiden esta globalización: Primero, las señales procesadas son de naturaleza analógica;³ segundo, los seres humanos perciben y retienen información de manera analógica. Debido a esto, sistemas como el representado en la figura 1.1 adquieren vigencia e importancia porque mezclan el procesamiento analógico con el digital y sus beneficios; no obstante originan la necesidad de circuitos que provean el vínculo entre los dos dominios, razón por la cual el área de los circuitos de conversión de datos está en constante estudio y desarrollo.

Específicamente, el convertidor analógico-digital (*ADC*) es uno de los circuitos que se encarga de realizar el muestreo y digitalización de una señal para su posterior procesamiento. En su diseño se busca mantener un desempeño comparable en velocidad con los circuitos digitales para no originar un cuello de botella en el recorrido de la señal. Sin embargo, lograr este desempeño es particularmente difícil porque, mientras el principal compromiso en los sistemas digitales es entre velocidad y potencia, en los sistemas analógicos se involucran velocidad, potencia y precisión (que incluye resolución, rango dinámico y linealidad).

El funcionamiento de un *ADC*, en general, se basa en varios bloques fundamentales, como los circuitos *SEH*,⁴ amplificadores, interruptores, etapas de decodificación y comparadores. Para que el diseño de un conversor cumpla con unas especificaciones deseadas, se debe realizar un estudio detallado de cada bloque, dirigido a buscar las variables de diseño que afectan el desempeño y los diferentes compromisos entre los requerimientos.

Entre estos bloques, el comparador es un componente en el cual el desempeño que se alcanza en velocidad de muestreo, resolución, área y consumo de potencia, limita estas mismas especificaciones para todo un conversor implementado en una arquitectura con gran cantidad de comparadores como la *pipeline* o la *flash*. Lamentablemente no se ha optimizado un comparador en todas estas características porque existen compromisos entre ellas, de los cuales sobresalen dos: incrementar la velocidad de operación eleva el consumo de potencia, y aumentar la resolución exige generalmente el uso de preamplificadores que incrementan el área y el

²Siglas de diseño asistido por computador (*Computer Aided Design*).

³Una señal analógica se define como aquella que está definida para cada valor de tiempo y toma valores pertenecientes a un intervalo continuo [11].

⁴Siglas de circuito de muestreo y retención (*Sample and Hold*).

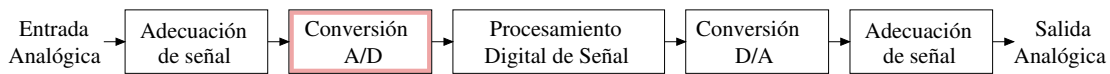


Figura 1.1: Sistema de procesamiento de señal.

consumo de potencia, así como pueden afectar la velocidad máxima de operación.

En este contexto, motivado por la necesidad de un estudio que permita conocer las restricciones del comparador y determine una metodología clara para realizar el diseño, el presente proyecto plantea el diseño de un circuito comparador de alta velocidad de muestreo y bajo consumo de potencia, como parte del *ADC* configurable capaz de operar bajo los estándares *Bluetooth* y *GSM* planteado en [34], quien determinó la arquitectura y las especificaciones a nivel de sistema del conversor, mientras que para los bloques fundamentales profundizó en el amplificador de transconductancia (*OTA*) con el cual se implementa el circuito *SEH*.

Con el propósito de brindar al lector un marco teórico que formalice el contexto en el cual se desarrolla este proyecto, el presente capítulo define la función del comparador, sus especificaciones y el papel que juega en la arquitectura del *ADC* propuesto en [34]. Finalmente se presentan algunos trabajos del estado del arte de este circuito.

1.1. El circuito comparador: especificaciones

Un comparador es un circuito que mediante un nivel lógico indica si el nivel de una señal, que puede ser una corriente o una tensión, es mayor o menor a otra. Su función lo hace útil para convertidores A/D (arquitecturas *flash*, *pipeline*, de aproximaciones sucesivas, etc) y aplicaciones como transmisión de datos o reguladores conmutados [6]. Las figuras 1.2(a) y 1.2(b) muestran el símbolo y la curva de transferencia de tensión de un comparador ideal.

El objetivo en el diseño de un comparador es lograr un circuito rápido, con una resolución adecuada para la aplicación y un reducido consumo de potencia. Es importante conocer las características que alejan el funcionamiento de un comparador real de la representación ideal.

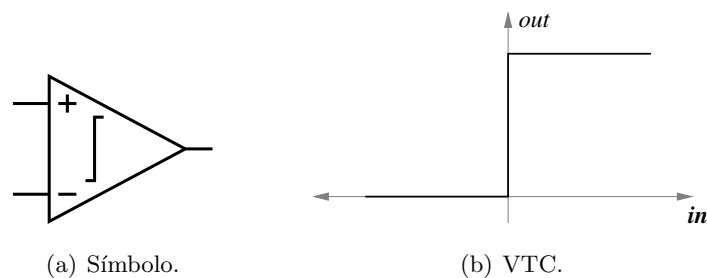


Figura 1.2: El circuito comparador.

Estas características junto con los compromisos existentes entre ellas forman la base para plantear correctamente el problema de diseño. En esta sección se describen las especificaciones más relevantes del diseño propuesto en este trabajo, agrupadas en tres aspectos fundamentales: velocidad, resolución y consumo. Una revisión más amplia se puede encontrar en [1, 4].

1.1.1. Velocidad o tasa de comparación

La tasa de comparación es la máxima frecuencia de reloj en la cual el comparador puede recuperarse de una decisión tomada para responder correctamente a una entrada posterior. Esta tasa es limitada por el tiempo de retardo de propagación del preamplificador y la constante de tiempo de regeneración del *latch*.⁵

Retardo de propagación: Idealmente la respuesta que realiza el preamplificador debe ser instantánea. Sin embargo, en un circuito real existe un retardo entre la excitación de entrada y la respuesta de salida. Esta diferencia de tiempo es llamada *retardo de propagación*, la cual es un parámetro muy importante, ya que limita la tasa de conversión de un convertidor A/D. La figura 1.3 muestra la respuesta a una entrada como una función del tiempo y define el retardo de propagación t_p .

El retardo de propagación generalmente varía en función de la amplitud de la entrada diferencial [4, 5]. Una diferencia amplia en la entrada resulta en un tiempo pequeño de retardo. Existe un límite superior a partir del cual, aunque se aumente el voltaje de entrada no afecta significativamente el retardo. Este modo de operación define el *slew-rate* del comparador.

Típicamente la respuesta en frecuencia del preamplificador se modela como una función de transferencia de primer orden, con una ganancia de DC $A_v(0)$ y frecuencia de -3 dB $\omega_c = 1/\tau_c$. Además conociendo la mínima diferencia de salida necesaria para manejar un circuito posterior ($V_{OH} - V_{OL}$), es posible definir la mínima diferencia de entrada como:

$$V_{in(min)} = \frac{V_{OH} - V_{OL}}{A_v(0)} \quad (1.1)$$

En la figura 1.4 se muestra la respuesta en el tiempo del preamplificador a una entrada escalón de tensión, en donde se observa la forma de onda exponencial, que está determinada por la aproximación de primer orden ya mencionada. Dependiendo de la relación existente entre la diferencia de entrada y $V_{in(min)}$, para una entrada escalón se puede escribir el retardo de propagación como:

$$t_p = \tau_c \ln\left(\frac{2k}{2k - 1}\right) \quad (1.2)$$

⁵Latch: Pequeña celda que mantiene temporalmente un valor lógico. El valor de entrada se toma al ocurrir algún evento, como un flanco de subida. Para la revisión de las especificaciones se asume que el comparador esta compuesto por el preamplificador y el *latch* aunque en la práctica no siempre es así.

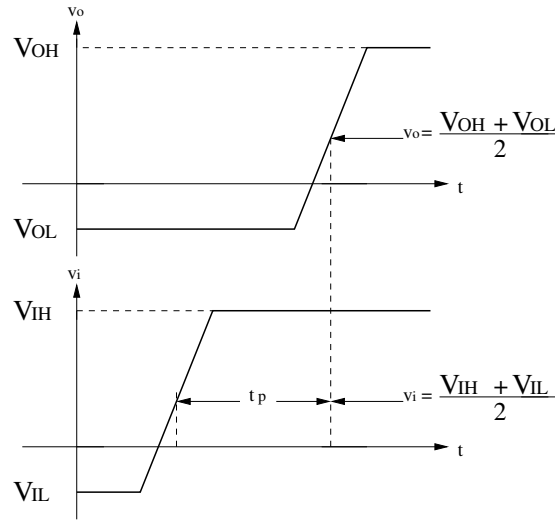


Figura 1.3: Tiempo de retardo de propagación del preamplificador [5].

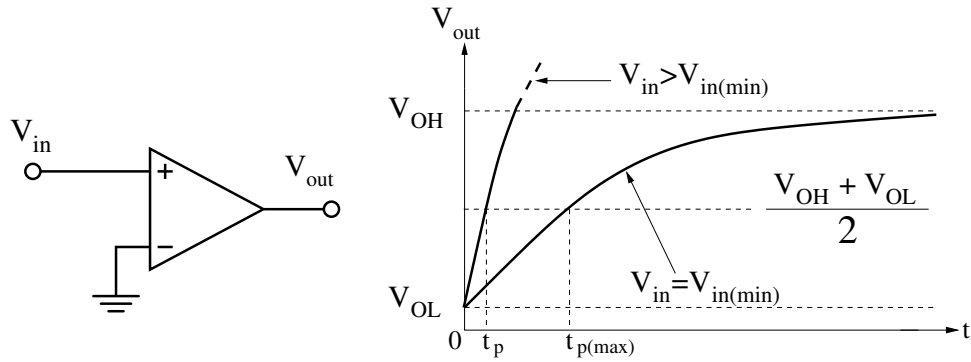


Figura 1.4: Respuesta transitoria en pequeña señal para un preamplificador [5].

donde

$$k = \frac{V_{in}}{V_{in(min)}}. \tag{1.3}$$

Por otra parte, el tiempo pico máximo ($t_{p(max)}$) puede determinarse cuando la diferencia de entrada V_{in} es igual a $V_{in(min)}$, e indica el máximo retardo posible para que el preamplificador puede responder a una entrada.

Como consecuencia de la limitación de corriente para cargar y descargar los capacitores, en el circuito existe un *slew-rate* límite. Si se escribe el tiempo de propagación en función del *slew-rate* (SR) del comparador, se tiene

$$t_p = \frac{\Delta V}{SR} = \frac{V_{OH} - V_{OL}}{2 * SR}. \tag{1.4}$$

En este caso, para disminuir el tiempo de propagación, se debe aumentar la capacidad de fuente o sumidero del circuito y así aumentar el *slew-rate* límite.

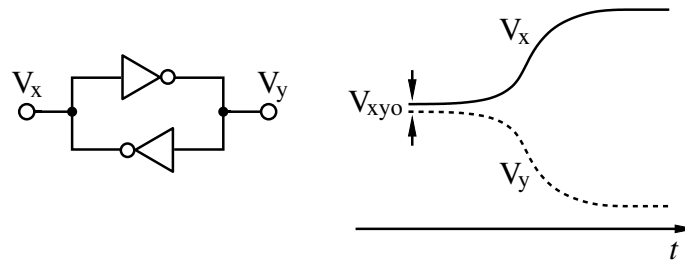


Figura 1.5: Modelo de la etapa *latch* y su respuesta en el tiempo.

Constante de tiempo de regeneración: Determina el tiempo que la etapa de *latch* se demora en completar la regeneración, es decir, en establecer los niveles lógicos 1 y 0. Como se puede ver en la figura 1.5, cuando el circuito comparador se encuentra en la etapa de regeneración, puede ser modelado como dos inversores *back-to-back* con constante de tiempo $\tau/(A_0 - 1)$ [1]. Con la consideración anterior, es posible calcular el tiempo necesario para producir un nivel lógico después que el circuito ha muestreado una pequeña diferencia. Si $V_x - V_y$ logra cierto valor V_{xy1} antes de que este sea interpretado como un valor lógico válido, entonces el tiempo necesario para la regeneración es

$$T_1 = \frac{\tau}{A_0 - 1} \ln \frac{V_{xy1}}{V_{xy0}}. \quad (1.5)$$

La ecuación (1.5) indica que T_1 es una función de $\tau/(A_0 - 1)$ también como de la diferencia inicial de voltaje V_{xy0} .

1.1.2. Resolución

Es la mínima diferencia de entrada que logra una correcta salida digital. Está limitada por el *offset* referido a la entrada y el ruido del preamplificador y el *latch*. Esta mínima entrada es llamada 1 *LSB*⁶ (también expresada como V_{LSB}). A continuación se revisan algunas características que limitan la resolución.

Ruido: El ruido es un problema inherente en los circuitos. Su efecto en un comparador es crear una incertidumbre en su región de transición, a partir de la cual sólo se logra una salida confiable para valores de entrada mayores a un nivel mínimo definido por el ruido referido a la entrada del circuito. Su existencia en el circuito se debe a varios factores como:

- Los ruidos propios de los dispositivos, tales como ruido térmico y *flicker*, entre otros.
- Las variaciones en la fuente ocasionadas por la conmutación de la sección digital del circuito a la que son sometidos los comparadores en circuitos de señal mixta. El efecto

⁶Least Significant Bit

de una variación en la alimentación de $\pm 10\%$ puede ser tan grande como el ruido térmico inherente del comparador [22].

- Cuando se usan comparadores regenerativos, las grandes variaciones de tensión en los nodos de regeneración son acopladas a la entrada del comparador a través de las capacitancias parásitas de los transistores. Éstas pueden causar alteraciones en la tensión de entrada dado que los circuitos que preceden al comparador no tienen impedancia cero. Esta perturbación usualmente es llamada ruido *kickback* [20].

Offset: Idealmente la salida debe cambiar si la diferencia en la entrada sobrepasa los 0 [V]. Si la salida no cambia hasta que la diferencia en la entrada sobrepasa V_{os} [V], se dice que hay un *offset* de V_{os} [V]. Este puede ser inherente a la arquitectura o ser causado por el desajuste o no coincidencia en los dispositivos, que depende del tamaño de los mismos.

Mismatch: El *mismatch* es la variación en el rendimiento de dos o más dispositivos, que idealmente deberían ser idénticos porque su disposición en el *layout* es la misma. Este es reconocido ampliamente como la clave en la precisión del diseño analógico de ICs. Específicamente en un comparador el *mismatch* ocasiona fenómenos como el *offset* en el circuito. En convertidores con arquitecturas *flash* el *mismatch* en el instante de muestreo entre comparadores adyacentes puede ocasionar, lo que se denomina en la literatura, burbujas (*sparkles*) [1], que degradan la relación señal a ruido (*SNR*) y dificultan la decodificación.

Tasa de error de bits (BER): En un conversor analógico digital, en especial de tipo paralelo de alta velocidad [4], se toman muchas decisiones durante el proceso de conversión. En el momento en que una mala decisión es tomada, el código interno es convertido en un código erróneo de salida. Esta situación se puede dar por una condición metaestable de un comparador, que lleva a un nivel de código de salida que no confirma los niveles lógicos 1 o 0. Para determinar el número de conversiones erróneas realizadas, es definida la tasa de error de bits (*BER*). Una forma de mejorar el desempeño del comparador con respecto a este parámetro, es disminuir la corriente de entrada y así aumentar el tiempo en el que es tomada una decisión; de esta forma se puede extrapolar hasta qué nivel de corriente de entrada es posible una buena decisión. La *BER* se calcula por medio de la relación entre la máxima señal de entrada (nivel lógico) y la mínima señal de corriente de entrada para obtener una buena decisión. También es posible calcular la *BER* del circuito, usando la ecuación (1.6), para obtener (1.7), utilizando una relación de 10 entre las señales de entrada δV_0 y determinando a partir de simulación la diferencia de tiempo δt resultado de una comparación.

$$V_1 = \delta V_0 e^{\frac{A_0 - 1}{\tau} t} \quad (1.6)$$

$$\frac{A_0 - 1}{\tau} = \frac{\ln(10)}{\delta t}. \quad (1.7)$$

Donde τ y A_0 corresponden respectivamente a la constante de tiempo y la ganancia *DC* de los inversores de la etapa de regeneración del comparador [4]. Con un tiempo de comparación t_{comp} , la *BER* se convierte en

$$BER = e^{-\frac{A_0 - 1}{\tau} t_{comp}}. \quad (1.8)$$

Sin embargo, es necesario mencionar que δt debe ser determinado en niveles pequeños de la señal de entrada para el comparador [4].

1.1.3. Consumo de potencia

El consumo de potencia de un diseño determina que tanta energía es consumida por operación, y que tanto calor es disipado por el circuito. Ésta, es una característica importante en un diseño que afecta viabilidad, costo y confiabilidad, determinando por ejemplo el número de circuitos que pueden ser integrados en un *chip* y que tan rápido ellos pueden conmutar [3].

Dependiendo del problema de diseño que se presente, deben ser consideradas diferentes medidas de disipación. Por ejemplo, la potencia pico P_{peak} es importante cuando se estudia las dimensiones de los rieles de alimentación. Cuando se agrega refrigeración o requerimientos de batería, predomina el interés en el consumo de potencia promedio P_{av} , medidas definidas por las ecuaciones (1.9),(1.10):

$$P_{peak} = i_{peak} V_{supply} = \max[p(t)] \quad (1.9)$$

$$P_{av} = \frac{1}{T} \int_0^T p(t) dt = \frac{V_{supply}}{T} \int_0^T i_{supply}(t) dt. \quad (1.10)$$

Donde $p(t)$ es la potencia instantánea, $i_{supply}(t)$ es la corriente de la tensión de alimentación V_{supply} sobre el intervalo $t \in [0, T]$, y i_{peak} es el máximo valor de $i_{supply}(t)$ en el intervalo.

La disipación puede descomponerse en estática y dinámica. La componente dinámica ocurre solo durante transiciones, cuando la puerta está conmutando. Ésta es atribuida a la carga de capacitores y caminos temporales de corriente entre los rieles de alimentación, por lo tanto es proporcional a la frecuencia de conmutación. Por el contrario, la componente estática está presente cuando no hay conmutación y es causada por los caminos fijos de corriente entre los

rieles de alimentación o por corrientes de fuga. Siempre se presenta, incluso cuando el circuito está en espera.

En circuitos conversores, la velocidad es una característica importante que como ya se mencionó, lleva consigo asociado el consumo de potencia y debido a que un *ADC* hace parte de un gran número de aplicaciones, donde están presentes grandes restricciones de energía, lograr que éste sea lo más eficiente posible en el ahorro de energía es fundamental.

Otra operación importante es la comparación, y que en arquitecturas *flash* el número de comparadores está dado por $2^n - 1$ (n=número de *bits* del *ADC*), el consumo de potencia se ve afectado significativamente por esta condición; la que también influye en la disipación de arquitecturas tipo *pipeline*, donde cada una de sus etapas posee un *sub-ADC*, comúnmente implementado tipo *flash* por su alta velocidad y por lo tanto, el número de comparadores es considerable.

Como consecuencia, el diseño de un comparador de bajo consumo de potencia trae consigo la disminución en la disipación del *ADC* y hace más fácil mantener la temperatura de operación a un nivel adecuado [34].

1.2. El comparador en el *ADC pipeline*

La arquitectura seleccionada para el *ADC* configurable diseñado en [34], combina dos ramas *pipeline* idénticas que funcionan alternadamente (topología conocida como *time-interleaved pipeline*). La figura 1.6 ilustra la topología general y la manera como el conversor se configura para operar con cada uno de los estándares. En este punto se debe resaltar que la labor de diseño se centra en el *ADC pipeline* de la rama superior y los bloques de abajo son réplicas de sus equivalentes de la parte superior. Consecuencia de lo anterior, esta sección se enfoca en exponer el funcionamiento de la arquitectura *pipeline* y la ubicación del comparador dentro de él.

Un *ADC pipeline* (figura 1.7(a)) consta de varias etapas individuales en cascada. Aplica el concepto de tubería (*pipelining*), que puede imaginarse similar a una línea de ensamblaje, donde en un instante cualquiera cada etapa procesa una muestra diferente. Por esta razón, es posible el funcionamiento con alta velocidad de muestreo y resolución al distribuir la cuantización a lo largo de la cadena *pipeline*.

La figura 1.8 muestra un esquema que permite explicar el principio de funcionamiento para un *ADC* de cuatro etapas. En el primer periodo de reloj (*CLK*) se toma una primera muestra de la tensión de entrada (m_1), seguidamente la etapa 1 procesa este valor, después su salida es procesada por la etapa 2 mientras la etapa 1 maneja la siguiente muestra (m_2) y así sucesivamente. Nótese cómo se obtiene una salida completa para m_1 después de cinco

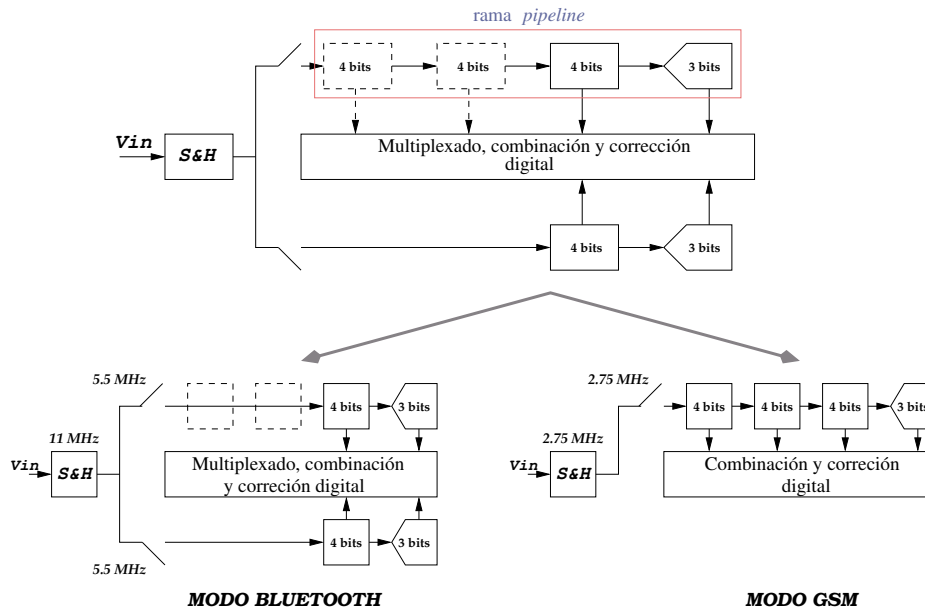


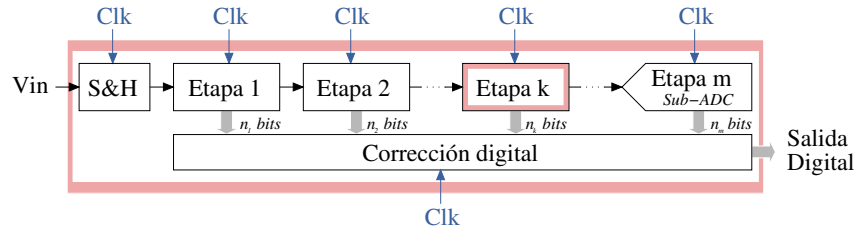
Figura 1.6: Arquitectura *time-interleaved pipeline* [34].

periodos de reloj, explicando la latencia prolongada que puede tener esta arquitectura. Sin embargo, el tiempo de conversión entre muestras corresponde a un periodo de reloj; además, la tasa con la que la información es convertida por el *ADC* (*throughput rate*) depende de la velocidad de cada etapa y el tiempo de adquisición del siguiente circuito de muestreo [1].

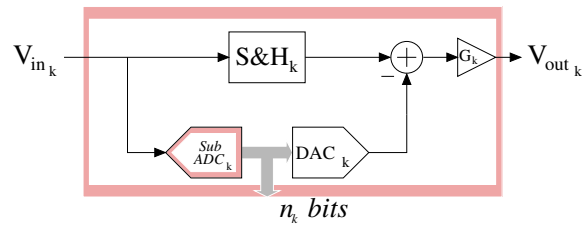
Cada etapa *pipeline* (figura 1.7(b)) contiene generalmente: un *S&H* (que elimina la necesidad de esperar que todo el sistema procese una tensión de entrada para continuar con el siguiente valor), un *ADC* (*Sub-ADC*), un *DAC*, un restador y un amplificador de residuo.⁷ Se generan dos salidas: los n_k bits requeridos y la diferencia (residuo) entre la entrada y el *DAC* interno, amplificada preferiblemente por un factor igual a 2^{n_k} para permitir que en cada etapa el rango de entrada sea el mismo, mejorando así la precisión y facilitando el uso de las mismas tensiones de referencia en todas las etapas [2].

La conversión de los n_k bits correspondientes a la etapa k -ésima se efectúa con el *Sub-ADC*, el cual por la necesidad de baja resolución y alta velocidad es implementado comúnmente usando una arquitectura *flash* (figura 1.7(c)), que potencialmente es la más rápida por su funcionamiento en paralelo, realizando la conversión en un sólo periodo de reloj. El esquema *flash* está basado en la consigna de identificar en cuál intervalo de cuantización se encuentra la tensión de entrada V_{in} , comparándola con todos los puntos de transición de los intervalos

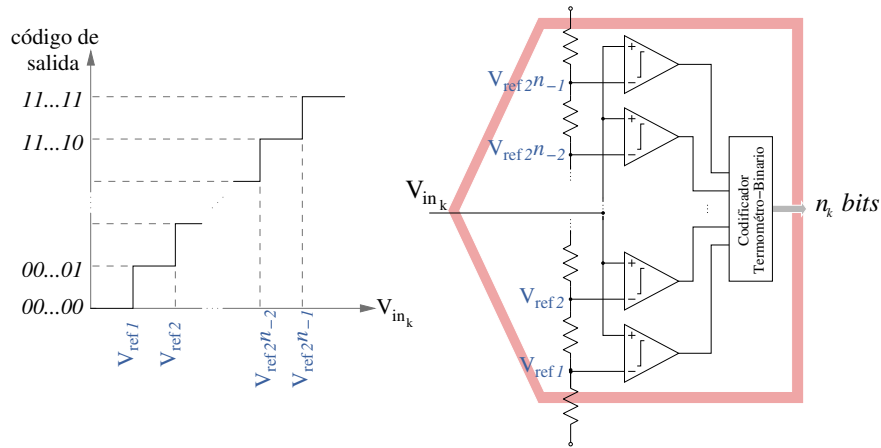
⁷ Es común combinar dos o más funciones en un solo circuito. Por ejemplo en implementaciones con circuitos con capacitores conmutados (*switched capacitors*), la operación de muestreo y retención (*S&H*), la conversión D/A y la amplificación del residuo, se realizan en un solo bloque conocido como *MDAC* (*Multiplying DAC*), que consiste en un *Op-Amp* y un arreglo de capacitores e interruptores *MOS* [34].



(a) ADC pipeline.



(b) Etapa pipeline.



(c) sub-ADC flash.

Figura 1.7: El comparador en el ADC pipeline.

S&H	m1	m2	m3					
Etapa 1		m1	m2	m3				
Etapa 2			m1	m2	m3			
Etapa 3				m1	m2	m3		
Etapa 4					m1	m2	m3	
Digital						m1	m2	m3
Clk	0	1	2	3	4	5	6	7

Figura 1.8: Secuencia de operación de un *ADC pipeline*.

de cuantización; para ello consta de un arreglo de comparadores (típicamente $2^{n_k} - 1$ para una resolución de n_k bits) cada uno con una entrada conectada a V_{in} y la otra conectada a su respectiva referencia. Las referencias para cada comparador generalmente se implementan a través de divisor resistivo con 2^{n_k} resistores iguales. La salida de los comparadores (código termómetro) va a un decodificador que lo convierte en una salida digital válida.

El funcionamiento de esta arquitectura es determinado por la exactitud de las referencias y el desempeño de los comparadores. La figura 1.9(a) representa varios aspectos en los que el comparador influencia la operación del conversor. A continuación se describen los más importantes:

- La gran cantidad de comparadores presentes en la arquitectura *flash* influyen de forma apreciable en el consumo de potencia del circuito y la capacitancia asociada a la entrada, generando un retardo para la señal de entrada que varía con su nivel de tensión.
- Se presentan problemas cuando los nodos de las referencias se acoplan con nodos donde la tensión tenga grandes variaciones (por ejemplo la señal de reloj, la salida del comparador o la otra entrada). Este acople produce perturbaciones indeseables en las referencias, que pueden afectar en gran medida el funcionamiento del conversor.
- El desbalance en los tiempos de decisión o del instante de comparación de diferentes comparadores ocasiona la aparición de burbujas, códigos erróneos originados por decisiones incorrectas.
- Cuando el comparador no alcanza a generar una salida lógica válida, porque su entrada es muy pequeña, se presentan los errores de metaestabilidad. La ambigüedad de estas salidas causa que algunas de las etapas posteriores los interpreten como “1” y otras como “0”, corriendo el riesgo de causar graves errores en la conversión.
- El *offset* de los comparadores ocasiona que las transiciones de las regiones de cuantización del conversor se vean desplazadas, de tal forma que dañen su característica

entrada-salida y el residuo generado en la salida de la etapa donde está ubicado. Este fenómeno está simbolizado en la figura 1.9(b).

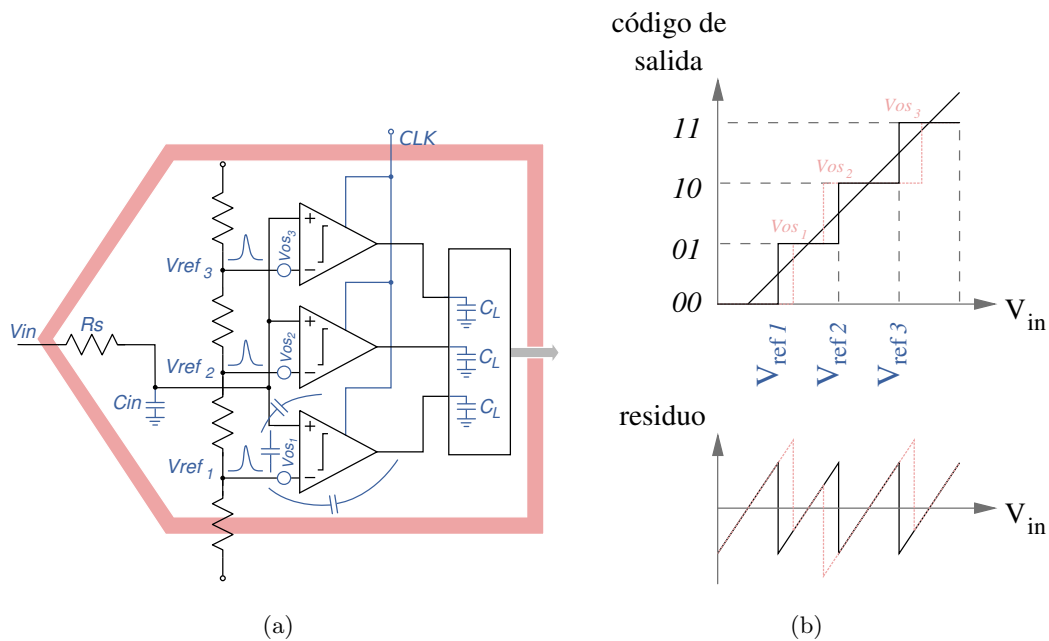


Figura 1.9: Efecto del comparador en el *ADC flash*.

Una vez mencionadas las especificaciones de un comparador y su ubicación en el contexto del *ADC*, incluyendo el análisis del impacto en el desempeño del conversor; se realiza la ubicación del circuito en el estado del arte para observar las tendencias en su diseño y presentar las propuestas encontradas en la literatura (ya sea como parte de un *ADC* o como circuito particular), utilizadas para mejorar su funcionamiento frente a los diferentes compromisos.

1.3. Estado del arte

En la literatura se encuentran diferentes formas de implementar circuitos comparadores. Por ejemplo Sumanen [33] propone una nueva arquitectura basado en el circuito de [23], logrando una mayor robustez frente al *mismatch* de los dispositivos, permitiendo un mejor control del *offset*. Posteriores trabajos se han enfocado hacia el aumento de la velocidad con consumo de potencia reducido como en el caso de [13], incorporando el umbral del comparador por medio de la modificación de la capacitancia en un nodo de salida del par diferencial de entrada, para eliminar la escalera de resistores utilizada en el *ADC*. Otro enfoque similar es el propuesto en [15], centrado en la disminución de potencia con velocidad moderada a

través de un circuito operando en la región de inversión débil haciendo que el umbral del comparador sea integrado por medio del apilamiento de dispositivos. [18] por el contrario, busca la disminución de potencia manteniendo una alta velocidad por medio de la inclusión de inductores, que trae como principal desventaja un gran aumento del área. Goll [12, 24] en sus trabajos propone diferentes alternativas con tendencia al aumento de la velocidad. En [24] busca garantizar un buen rendimiento del comparador manteniendo un desbalance inicial amplio para asegurar que no haya decisiones incorrectas, mientras que en [12], logra un funcionamiento a altas frecuencias evitando el uso de transistores de *reset* que degradan la velocidad de respuesta por las capacitancias parásitas que aportan.

El estudio de los diversos trabajos publicados permite percibir algunos límites para el diseño a realizar y establece un punto de comparación. La tabla 1.1 resume las características de varios diseños de comparadores implementados recientemente en tecnología *CMOS*. Se identifica en el diseño del comparador una tendencia para operar a frecuencias cada vez mayores, manteniendo un bajo valor de V_{DD} y consumo de potencia. También se observa un aparente abandono en la especificación de *offset* debido a que la mayoría de arquitecturas son completamente dinámicas.⁸ Para reducir *offset* se debe recurrir al uso preamplificadores y técnicas de capacitores conmutados, que traen como principal desventaja un incremento en el consumo de potencia del circuito.

Trab. ref.	Tasa de muestreo [MHz]	Consumo [mW]	Área [μm^2]	V_{DD} [V]	Offset [mV]	Tecnología <i>CMOS</i>	Año
[23] ^a	100	0.36	760	3	200	0.35	2002
[19]	100	0.58	1520	3	80	0.35	2002
[17]	10000	37	7500	1.2	-	0.11	2005
[24]	2000	0.36	154	1.5	-	0.12	2005
[18]	3840	1.58	15000	1.8	-19 a 28	0.18	2006
[12]	600-6000	0.018-2.65	462	0.5-1.5	-	0.12	2007
[15]	0.002-17.5	0.002 ^b	-	0.2-0.9	-	0.18	2008
[13]	1750	0.820 ^c	-	1	-	0.09	2008

Tabla 1.1: Algunos comparadores implementados en tecnología *CMOS*.

^aVersión rediseñada por Sumanen [19] en tecnología *BiCMOS* 0.35 μm .

^bConsumo total del *ADC flash* de 6 bits operando a 400 kHz.

^cConsumo total del *folding ADC* que contiene 16 comparadores.

⁸En el capítulo 2 se analiza por qué estas son sensibles al *mismatch*.

1.4. Organización del documento

La elaboración de este documento está orientado a presentar el diseño de un comparador integrado en tecnología *CMOS*, enfocado a la implementación en un *ADC*. Este desarrollo es llevado a cabo a través de este libro por medio de un estudio de las diferentes arquitecturas encontradas en la literatura, profundizando en dos de ellas para elaborar el diseño y posteriormente definir una estrategia. Con el propósito de orientar al lector, a continuación se expone la organización del documento.

En el capítulo 2 se hace una revisión de las diferentes propuestas para implementar un comparador encontradas en estado del arte, presentando sus ventajas y desventajas para luego realizar la selección de dos de ellas. El diseño de las mismas es abordado en el capítulo 3 donde se incluye el planteamiento de una estrategia de diseño. También se propone una modificación en una arquitectura convencional y se compara los resultados obtenidos con los diseños de los circuitos seleccionados. Además se realiza la validación del diseño de la arquitectura con mejor figura de mérito por medio de análisis Monte Carlo. Por último se presentan las observaciones y conclusiones, incluyendo una sección final con las recomendaciones para trabajos futuros.

Capítulo 2

Selección de la arquitectura

La comprensión de las especificaciones claves en el diseño de un comparador y la manera como estas influyen el funcionamiento de todo un conversor *pipeline*, conforman el principal resultado del capítulo anterior. El paso a seguir consiste en estudiar acerca de los distintas formas de implementar un circuito comparador y seleccionar la arquitectura más adecuada para alcanzar las especificaciones. A continuación se presentan las alternativas encontradas:

- 1 Implementar un comparador por medio de un amplificador de ganancia elevada (idealmente debería ser infinita) por ejemplo un *Op-Amp*. Es una opción sencilla pero muy limitada, principalmente por el compromiso existente entre la ganancia y el ancho de banda: a mayor ganancia, menor velocidad de respuesta del circuito.
- 2 Utilizar un inversor *CMOS* para implementar el comparador, aprovechando las similitudes entre sus curvas de transferencia de tensión. Esta opción es la más simple pues se trata de un circuito con dos transistores ocupando poca área y disipando poca potencia.
- 3 Emplear realimentación positiva para obtener alta ganancia a una alta velocidad sin necesidad de usar múltiples amplificadores de baja ganancia en cascada. No obstante, se hace necesario controlar la operación con un reloj externo para definir una fase de comparación y una de *reset*.
- 4 Disminuir el consumo de potencia manejando arquitecturas dinámicas, cuyo funcionamiento se basa en decidir y dejar de consumir, pero se presenta el reto de mejorar el rendimiento y reducir el nivel de ruido *kickback* y *offset*.
- 5 Incluir un umbral predefinido en el comparador para eliminar la necesidad de la red de resistores que genera las referencias. De esta forma se reduce el consumo de potencia y área, pero se presentan dificultades debidas al *mismatch*, siendo necesario que el conversor tenga esquemas de calibración para compensar su efecto.

Cada alternativa tiene sus propias ventajas y desventajas, haciendo importante seleccionar correctamente la arquitectura; pues cuando el diseñador decide qué circuito usar, está restringiendo las especificaciones que puede obtener y en gran medida define el éxito o fracaso del diseño. Por lo tanto el objetivo del presente capítulo es hacer una revisión de las diferentes alternativas para implementar un comparador en tecnología *CMOS* y seleccionar la arquitectura más conveniente. Para ello, se exponen algunos conceptos, ventajas y desventajas de cada una de las diferentes opciones encontradas en la literatura. Como se mencionó en el capítulo 1, existen diferentes enfoques para la implementación de un circuito comparador. Por lo tanto la presentación de cada alternativa se hace por medio de la clasificación en tres enfoques principales: mantener resolución al aumentar velocidad, reducir consumo de potencia e incorporar umbral en la operación del comparador. Después, con base en la revisión realizada se selecciona una arquitectura teniendo en cuenta las especificaciones que el *ADC pipeline* impone sobre el comparador.

2.1. Resolución con alta velocidad

La curva de transferencia de tensión de un comparador ideal (figura 1.2(b), página 3) sugiere la necesidad de un circuito capaz de amplificar la diferencia de entrada con una ganancia muy elevada, idealmente infinita. Esto sugiere dos formas iniciales para implementar el comparador: utilizar un amplificador o un inversor.

La primera opción requiere de topologías y técnicas de diseño para amplificadores operacionales, buscando obtener un circuito con una ganancia capaz de generar una decisión correcta mediante un nivel lógico válido, teniendo en la entrada diferencias mayores a un mínimo que determina la resolución del comparador. Además, debe garantizar un ancho de banda y *slew rate* que aseguren una velocidad adecuada de operación, algo difícil de conseguir, para lo cual es necesario en primera instancia prescindir de la compensación interna e incluso trabajar con arquitecturas que distribuyen la ganancia total a través de varias etapas de ganancia reducida y alto ancho de banda. La principal desventaja de esta opción, es el elevado consumo de potencia y área que puede tener el comparador. Una discusión más detallada de este tipo de comparadores puede encontrarse en [5, 6, 7, 8].

Implementar el comparador con un inversor *CMOS*, es una alternativa atractiva por la sencillez del circuito. [28] realiza un esquema similar al representado en la figura 2.1, donde cada inversor se diseña para que su *VTC* quede centrada en el valor de su respectiva referencia. La principal desventaja que presenta es la necesidad de diseño individual para cada celda, y la dificultad para generar los respectivos *layout*. También aparecen los problemas de no manejar un diseño diferencial como lo es la mayor susceptibilidad a perturbaciones de modo común.

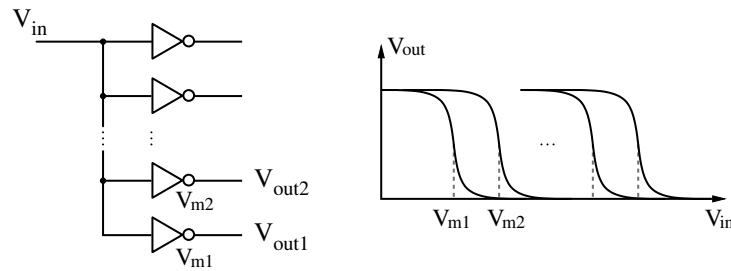


Figura 2.1: Banco de comparadores de un *ADC flash* usando inversores [28].

Similarmente, el umbral varía con la fuente de alimentación y con las tolerancias del proceso. Otro problema que aparece es el gran consumo del circuito cuando el nivel de la entrada se encuentra cerca del umbral de referencia.

Una forma de incrementar la velocidad de respuesta manteniendo una ganancia alta es aplicar realimentación positiva para regenerar rápidamente una diferencia pequeña en la entrada a un nivel lógico válido. Generalmente se utilizan dos inversores en antiparalelo (figura 1.5, página 6) que forman un *latch*, una estructura usualmente empleada como amplificador de sentido (*sense amplifier*) en memorias *RAM*. Es importante resaltar que para este tipo de implementación es indispensable que el circuito sea controlado por un reloj externo, que maneja varios interruptores cuya función es colocar el comparador en un estado de equilibrio (metaestable) antes de realizar una decisión y así evitar la histéresis. El resultado es un circuito que compara la señales de entrada en un instante específico determinado por el reloj.

La principal desventaja de los comparadores regenerativos es el gran efecto que ocasiona en la resolución la falta de simetría, provocando un mayor *offset* comparado con las otras alternativas anteriormente mencionadas [7]. Para tratar con este problema, existen circuitos que mantienen las ventajas en velocidad de los comparadores regenerativos y simultáneamente mejoran la resolución, usando un preamplificador de una ganancia no muy alta antes del núcleo regenerativo, tal como se ilustra en la figura 2.2. La mejora de la resolución se da en un factor igual a la ganancia del preamplificador; también pueden aplicarse técnicas de capacitores conmutados para mejorar aún más la resolución [16]. La preamplificación brinda precisión, pero aumenta el área y el consumo de potencia del circuito, principalmente por la presencia de un camino permanente para la corriente entre V_{DD} y GND , incluso cuando no hay señal de entrada. Esto representa una seria limitante en el diseño de conversores de datos de reducido consumo de potencia.

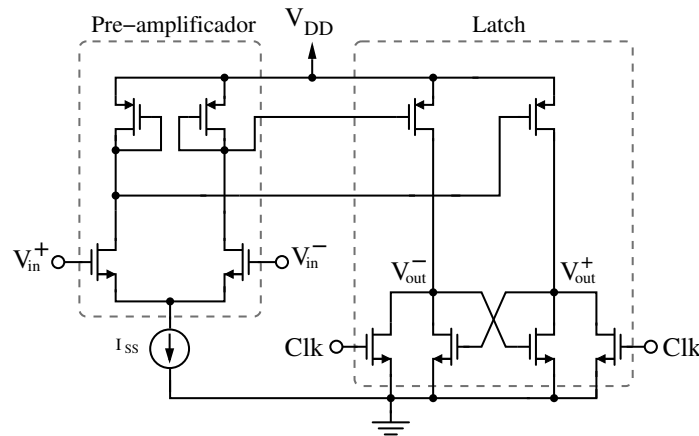


Figura 2.2: Ejemplo de un comparador regenerativo estático.

2.2. De estático a dinámico: Reduciendo el consumo de potencia

Como fue mencionado en el capítulo 1, el consumo de potencia de un comparador puede dividirse en dos componentes principales, uno dinámico y otro estático. El primero es la parte consumida durante los transitorios cuando hay conmutación dentro del circuito, el otro componente es la potencia que requiere el circuito aún cuando no esté decidiendo. De este panorama nace la necesidad de minimizar el consumo de potencia estático. Para ello, actualmente existe la tendencia de implementar arquitecturas que minimizan el consumo gracias a un funcionamiento cuya consigna es decidir y dejar de consumir, de esta forma sólo existe consumo en los intervalos de tiempo donde se cargan y descargan las capacitancias internas necesarias para realizar la decisión, luego el circuito en estado estable no consume corriente.

Ejemplos de este tipo de arquitectura se ilustran en la figura 2.3(a) y 2.3(b). Su operación se puede resumir así: En una fase de reloj los interruptores de *reset* ponen el comparador en una posición de partida para el proceso de decisión (que ocurre en la siguiente fase de reloj), en el cual las tensiones de entrada provocan un desbalance inicial que el *latch* se encarga de regenerar en un nivel lógico de salida. Cuando la decisión se ha tomado, todos los posibles caminos para la corriente entre el nodo de la tensión de alimentación y el nodo de referencia se interrumpen.

La mayor desventaja de las arquitecturas dinámicas es el alto *offset* que presentan, en gran parte debido a la sensibilidad del *latch* respecto al *mismatch*, que obliga al uso de preamplificadores en aplicaciones donde se requiere alta resolución para el comparador. Dentro de los esfuerzos por mejorar la resolución se encuentran intentos como los reportados en [24, 25, 26, 27]. De [24, 25, 26] se destaca el uso de pequeñas modificaciones en las arquitecturas

básicas para mejorar la resolución, buscando garantizar que el desbalance inicial para el *latch* sea amplio y así disminuir la posibilidad de una decisión incorrecta. Esto lo realiza atrasando el reloj de los interruptores de *reset* en la arquitectura de la figura 2.3(a) [24] y modificando las corrientes de cola del comparador de la figura 2.3(b) simultáneamente [25] o por aparte cada una [26]. Por su parte, [27] emplea un esquema de autocalibración con un capacitor y una bomba de carga para compensar los desbalances directamente en el par diferencial de entrada.

Para mejorar la velocidad, típicamente se debe agilizar la respuesta del *latch*, para lo cual se debe incrementar la corriente de tal forma que aumente la transconductancia, o disminuir la capacitancia C_L del nodo de salida. Para enfrentar la tendencia de trabajar los circuitos con frecuencias de operación cada vez mayores sin incrementar la disipación de potencia, es deseable acudir a la segunda premisa. En esto se han basado trabajos como el de [12] (esquema de la figura 2.4), que alcanza una alta velocidad de operación al evitar el uso de transistores adicionales para implementar el *reset* porque degradan la velocidad de respuesta por las capacitancias parásitas que aportan. Para lograrlo, reutiliza los transistores de *reset* (M_{10} y M_{11}) como carga activa en la etapa de decisión. También está la alternativa de Park [18] que emplea inductores *on-chip* para mejorar la velocidad de muestreo, reduciendo la constante de tiempo regenerativa, pero el área adicional que ocupan los inductores puede ser inaceptable en aplicaciones que demanden gran cantidad de comparadores.

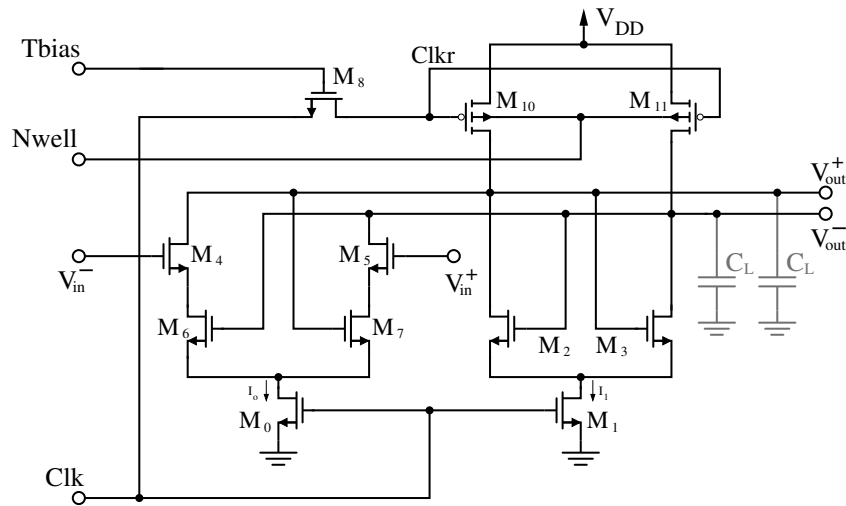


Figura 2.4: Esquema de Goll optimizado para alta velocidad [12].

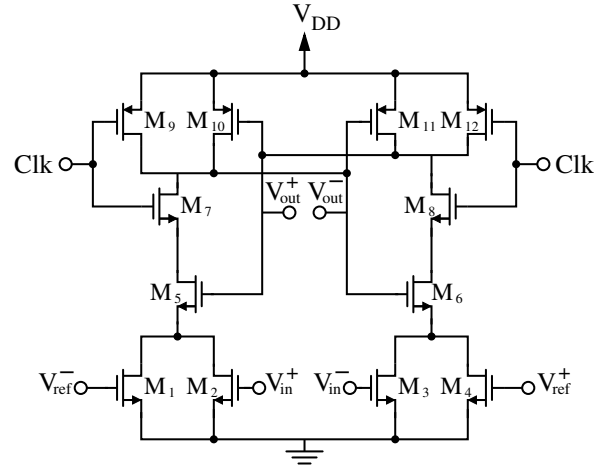


Figura 2.5: Comparador de divisor resistivo [23].

2.3. Incorporando el umbral

De acuerdo al propósito de minimizar el consumo de potencia del conversor, la implementación de un comparador con el umbral incorporado toma importancia ya que permite excluir la escalera resistiva usada para generar las referencias necesarias en un *ADC flash*, eliminando así otra fuente de consumo de potencia estática.

En la literatura existen diferentes circuitos para la incorporación del umbral, en los cuales se busca generar de forma intencional un *offset* que determine el umbral deseado. En [23] (figura 2.5), se presenta un comparador dinámico por divisor resistivo y su funcionamiento está marcado por la operación de los transistores de entrada en región de *triode* como resistores lineales, los cuales son función de las tensiones de entrada. Los valores de estos resistores se modifican en gran medida con errores en las entradas y en las dimensiones de los transistores.

La entrada de tensión para la cual el comparador cambia de estado, está dada por

$$V_{in}^+ - V_{in}^- = \frac{W_B}{W_A}(V_{ref}^+ - V_{ref}^-) \quad (2.1)$$

donde

$$W_B = W_1 = W_3 \quad (2.2)$$

y

$$W_A = W_2 = W_4. \quad (2.3)$$

El umbral del comparador puede ser ajustado a un nivel deseado por el dimensionamiento de los anchos W_A y W_B . De (2.1), asumiendo que los transistores M_{5-12} están perfectamente acoplados, se puede ver que el *offset* depende principalmente del *mismatch* de los transistores M_{1-4} , por lo que no es posible determinar con exactitud el umbral que se desee. [33] busca

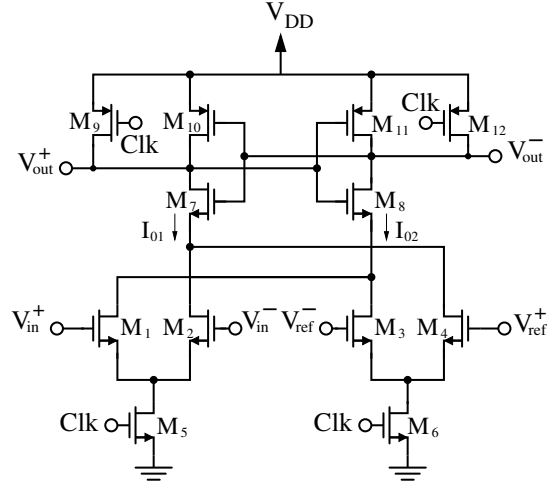


Figura 2.6: Comparador de par diferencial [33].

una solución a la dependencia del *mismatch* de los transistores y con base en el trabajo hecho por [23] propone la arquitectura de la figura 2.6, que es un comparador dinámico de par diferencial.

El valor de tensión que produce un cambio en la decisión del comparador, es definido como el punto en el que las corrientes I_{O1} e I_{O2} son iguales. A partir de los dos pares diferenciales acoplados y cruzados M_{1-4} y asumiendo que $W_1 = W_2$ y $W_3 = W_4$, es posible determinar las corrientes I_{O1} e I_{O2} y obtener la ecuación

$$2de^2 I_{D6} \frac{W_1}{L} - K' e^4 V_{ref}^2 \left(\frac{W_1}{L}\right)^2 = 2I_{D6} \frac{W_3}{L} - K' V_{ref}^2 \left(\frac{W_3}{L}\right)^2 \quad (2.4)$$

En donde

$$V_{in} = V_{in}^+ - V_{in}^- \quad (2.5)$$

$$V_{ref} = V_{ref}^+ - V_{ref}^- \quad (2.6)$$

$$V_{in} = eV_{ref} \quad (2.7)$$

$$I_{D5} = dI_{D6}. \quad (2.8)$$

Los parámetros e y d son escogidos de acuerdo al *trip point* deseado y las dimensiones de los transistores W_1 y W_3 pueden ser interpoladas de la ecuación (2.4).

Como conclusión, debido a que los términos que dependen de las dimensiones de cada uno de los transistores están en un solo lado de la ecuación (2.4) con signo diferente, el *mismatch* es en parte cancelado, lo que indica robustez contra el *mismatch* [33]. Además de este resultado,

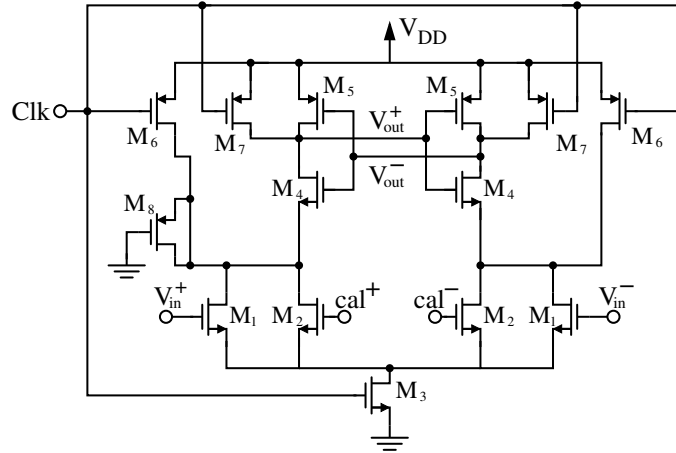


Figura 2.9: Comparador propuesto por [13].

objetivos: en el caso de [33], se centró en aumentar la robustez del comparador en cuanto al *mismatch* de los dispositivos para tener mejor control del umbral, mientras que [13, 15, 21] buscan evitar el uso de la escalera de referencias para disminuir el consumo del convertor. También [15] propone el circuito operando en región de inversión débil, con lo cual consigue un consumo de potencia muy reducido pero orientado a aplicaciones de moderada velocidad; por otra parte, en la propuesta de [13] se observa una velocidad considerablemente mayor pero con resolución moderada. En el caso de [21] se enfoca en la disminución de potencia, dejando a un lado la robustez y utilizando la calibración para reducir los errores, alcanzando así una velocidad comparativamente alta.

La revisión de las alternativas encontradas en el estado del arte, permite una clara visión de las ventajas y desventajas que presentan cada una, con la que se obtiene el criterio para decidir el circuito que se va a diseñar, teniendo en cuenta las especificaciones requeridas.

2.4. Arquitectura seleccionada

Habitualmente, en el diseño de distintas etapas *pipeline* se utiliza un solo bloque comparador generado con las especificaciones más exigentes que impone el sistema, como consecuencia de la necesidad de agilizar la producción de los circuitos integrados. Esto puede llevar a casos en los que se sobre especifica el circuito de alguna etapa, consumiendo recursos de forma innecesaria, pues es posible obtener un diseño más ajustado a las necesidades, que consuma menos potencia o área, por ejemplo. La tabla 2.1 resume las especificaciones del comparador en las diferentes etapas.

Debido a que las dos primeras etapas *pipeline* se utilizan solamente cuando el *ADC* trabaja con el estándar *GSM* a una frecuencia de 2.75 MHz , el tiempo de decisión de los comparadores

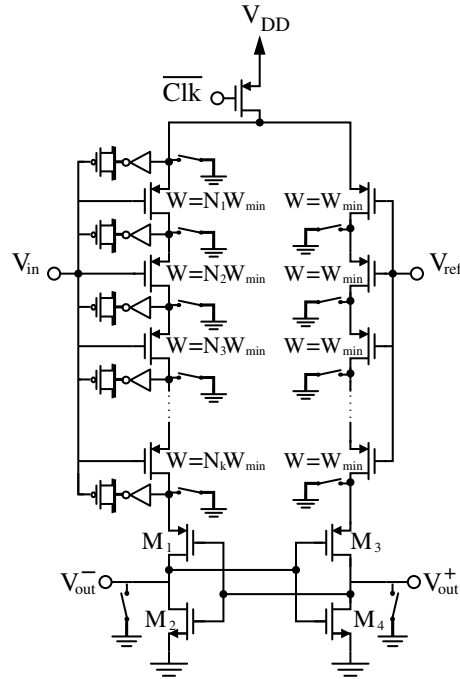


Figura 2.10: Comparador en sub-umbral [15].

debe mantenerse por debajo de 182 *ns*. En la tercera y cuarta etapa esta especificación debe ser de 91 *ns*, determinado por la frecuencia de operación del estándar *Bluetooth*. El esquema de corrección digital por bit redundante (*RSD*), relaja la especificación de resolución del comparador hasta un nivel donde se garantice que en el *sub-ADC* no se pierda ningún intervalo de cuantización. El *offset* y ruido referidos a la entrada del comparador se deben mantener en un nivel inferior a 62.5 *mV* en las etapas donde el *sub-ADC* sea de 4 bits y 125 *mV* donde es de 3 bits.

El nivel y la duración de las perturbaciones en los nodos de referencia ocasionados por el acople con los nodos donde existen grandes variaciones de tensión (*kickback*), debe reducirse a un punto que asegure una correcta decisión del comparador. Esta y todas las anteriores especificaciones deben mantenerse para todo el rango de entrada de modo común del circuito. Como consideración adicional, la tensión de modo común (V_{CM}) bajo la cual se diseña es de 1.65 V, debido a que el *ADC* opera con este V_{CM} .

Entonces, teniendo en cuenta la necesidad de reducir consumo de potencia para determinada frecuencia de operación, los niveles de *offset* que acepta la aplicación, se decide realizar la labor de diseño sobre arquitecturas completamente dinámicas, sin necesidad de preamplificadores para buscar minimizar el consumo de potencia. Se determina que se van explorar en profundidad dos arquitecturas, la de Sumanen (figura 2.6) y la arquitectura de Goll (figura 2.4). Ésta elección se hace con el propósito de estudiar en detalle dos arquitecturas para esta-

blecer posteriormente conclusiones cuantitativas acerca de cual resulta ser la más apropiada para la aplicación.

En el capítulo 3 se hace un análisis del comportamiento de las arquitecturas presentando un diseño de cada una buscando minimizar la relación potencia-velocidad. Posteriormente se establece una estrategia de diseño utilizando programación geométrica y por último se realiza la validación del diseño por medio de análisis Monte Carlo.

Parámetro	<i>Etapa 1-2</i>	<i>Etapa 3</i>	<i>Etapa 4</i>
Tiempo [<i>ns</i>]	182	91	91
Resolución [<i>mV</i>]	62.5	62.5	125
potencia	minimizar		

Tabla 2.1: Especificaciones del comparador en cada etapa.

Capítulo 3

Diseño del comparador dinámico

Con las arquitecturas seleccionadas y las diferentes especificaciones definidas en el capítulo anterior, se realiza ahora un análisis en detalle del funcionamiento y los compromisos presentes en las arquitecturas de Sumanen [33] y Goll [12]. El objetivo principal de este análisis es concluir acerca de cual topología tiene la menor relación entre consumo de potencia y velocidad. Este resultado es producto de una comparación entre las figuras de mérito $\mu\text{W}/\text{GHz}$ de cada topología.

En el desarrollo de esta comparación se propone una estrategia de diseño utilizando la programación geométrica como herramienta de optimización. Esta estrategia busca brindar una secuencia clara y rápida para lograr un diseño funcional, bajo diferentes aplicaciones o tecnologías.

Luego de concluir acerca de cual arquitectura es más eficiente en consumo de potencia, se valida la estrategia con el diseño de un comparador operando a una frecuencia de 1 GHz. El resultado de los diseños es verificado mediante el análisis Monte Carlo, teniendo en cuenta las variaciones del proceso de fabricación. Por último, se consignan observaciones, conclusiones y recomendaciones para trabajos futuros generadas en el desarrollo de este proyecto.

3.1. Arquitectura de Sumanen

El circuito comparador de Sumanen descrito en la figura 2.6 se basa en un esquema propuesto por [31] conocido como amplificador de sentido (*sense amplifier*), el cual se representa en la figura 3.1. Por esta razón, un análisis de esta topología, como el realizado por [30], es muy provechoso para el objetivo de entender la arquitectura seleccionada.

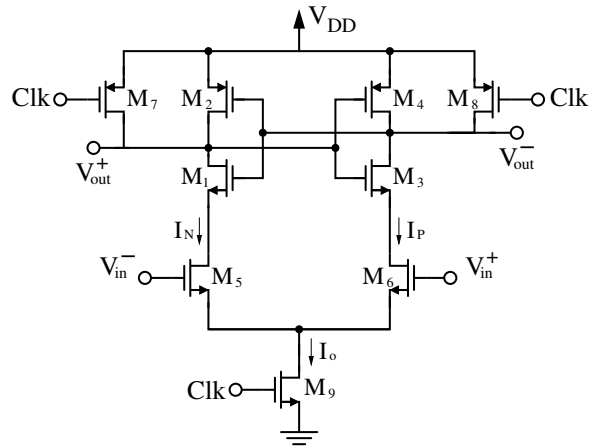


Figura 3.1: Comparador dinámico propuesto por [31].

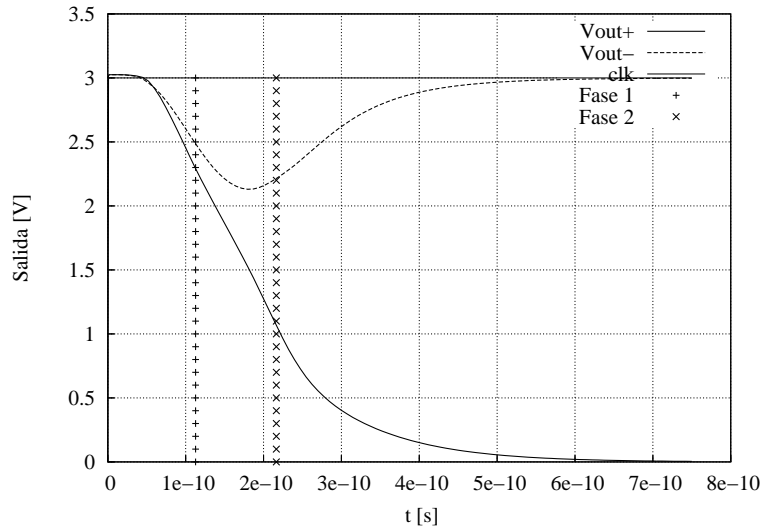


Figura 3.2: Respuesta transitoria del comparador.

3.1.1. Operación

La figura 3.2 ilustra las respuestas que exhiben las salidas del comparador de la figura 3.1 en el proceso de decisión. Cuando el reloj se encuentra en bajo, después de que han cesado las respuestas transitorias del circuito, no hay flujo significativo de corriente y dominan las corrientes de fuga (*leakage currents*). Los interruptores M_7 y M_8 llevan los nodos de salida (V_{out}^+ y V_{out}^-) a una tensión de equilibrio igual a V_{DD} , que dejan el comparador listo para decidir. Cuando el reloj cambia a alto, empieza la etapa de comparación con el encendido de M_9 . De inmediato una corriente de operación I_o fluye y el nodo V_{com} es llevado a tierra. Seguidamente, los transistores del par de entrada M_5 y M_6 se encienden (idealmente se asume un retardo igual a cero). Ahora, tres fases pueden ser distinguidas en el proceso de decisión. Durante la

primera fase, la corrientes de los drenadores de M_5 y M_6 empiezan a descargar las salidas V_{out}^+ y V_{out}^- . Con una diferencia de tensión entre las entradas, las corrientes de los drenadores de M_5 y M_6 son diferentes. Este desbalance causa diferentes velocidades de descarga en V_{out}^+ y V_{out}^- , por lo que la diferencia aumenta. Si los nodos de salida están precargados a V_{DD} , los transistores M_2 y M_4 permanecen apagados hasta que las tensiones de salida alcancen $V_{DD} - V_{thp}$. Esto marca la transición de la primera fase a la segunda. En la segunda fase, la fuerte realimentación positiva mejora la diferencia de salida establecida al terminar la primera fase. El *latch* completa su intervención en la tercera fase cuando se apague M_1 o M_3 . El consumo de corriente se interrumpe al terminar todas las transiciones, minimizando así el consumo de potencia estática.

3.1.2. Tiempo de decisión

Para realizar el análisis del tiempo de decisión del comparador es útil expresar las tensiones de entrada V_{in}^+ y V_{in}^- en términos de la diferencia ΔV_{in} que se va a comparar y el nivel de tensión de modo común V_{CM} .

$$\begin{aligned} V_{in}^+ &= V_{CM} + \frac{\Delta V_{in}}{2} \\ V_{in}^- &= V_{CM} - \frac{\Delta V_{in}}{2} \end{aligned} \quad (3.1)$$

Si ΔV_{in} es positivo, V_{out}^+ se aproxima a V_{DD} y V_{out}^- a cero. El tiempo total de la decisión puede expresarse como:

$$t_{total} = t_o + t_{latch}. \quad (3.2)$$

donde el tiempo t_o representa la descarga de la capacitancia C_L (en los nodos de salida) hasta que el primer transistor *PMOS* se enciende (primera fase) y t_{latch} es el retardo impuesto en la segunda fase por la regeneración de los dos inversores cruzados y acoplados.

Debido a que ΔV_{in} es positivo, el nodo V_{out}^- se descarga más rápido que V_{out}^+ ya que la corriente I_P del transistor M_6 es mayor que la corriente I_N del transistor M_5 . En la primera fase ambas corrientes pueden asumirse constantes [30]; por lo tanto, el tiempo gastado en la descarga se aproxima a:

$$t_o = \frac{C_L V_{thp}}{I_P}. \quad (3.3)$$

Al finalizar la primera fase, entre los nodos de salida se presenta una diferencia de tensión V_o que es regenerada por el *latch* durante la segunda fase hasta un valor ΔV_{out} . El valor de

V_o puede calcularse con:

$$\begin{aligned}
V_o &= |V_{out}^+(t = t_o) - V_{out}^-(t = t_o)| \\
&= V_{thp} - \frac{I_N t_o}{C_L} \\
&= V_{thp} \left(1 - \frac{I_N}{I_P}\right) \\
&= V_{thp} \sqrt{\frac{8\beta_{5,6}}{I_o} \Delta V_{IN}}, \tag{3.4}
\end{aligned}$$

donde $\beta_{5,6}$ corresponde al parámetro de transconductancia de M_5 y M_6 .

El tiempo que gasta el *latch* en regenerar la diferencia ΔV_o a partir de V_o puede expresarse como [6]:

$$t_{latch} = \frac{C_L}{g_{m,eff}} \ln \frac{\Delta V_{out}}{V_o}. \tag{3.5}$$

donde la transconductancia efectiva de los inversores¹ es la que se presenta en la ecuación (3.6) en función de las transconductancias y resistencias drenador-fuente de M_3 y M_4 [9].

$$g_{m,eff} = g_{m3} + g_{m4} - \frac{1}{R_{DS3}} - \frac{1}{R_{DS4}} \tag{3.6}$$

De (3.3) y (3.5) se expresa el tiempo total de las dos fases de decisión como:

$$t_{total} = \frac{2C_L V_{thp}}{I_o} + \frac{C_L}{g_{m,eff}} \ln \left(\frac{1}{2V_{thp}} \sqrt{\frac{I_o}{2\beta_{5,6}}} \frac{\Delta V_{out}}{\Delta V_{IN}} \right), \tag{3.7}$$

La corriente I_o puede ser calculada con la ecuación 3.8

$$I_o = \frac{K_i (\sqrt{K_{r1} V_h^2 + 4W_{r1} V_{ch} (V_{DD} - 0,5V_{hc})} - \sqrt{K_{r1} V_{cd}})^2}{K_d^2}, \tag{3.8}$$

aquí las constantes se vienen dadas en la ecuación (3.9) en términos de los anchos de los transistores W_5 y W_9 , la longitud de canal L_5 , la tensión de alimentación V_{DD} y la tensión de modo común V_{CM} .

$$W_{r1} = \frac{W_5}{W_9}, \quad K_{r1} = \frac{K_{n9}}{K_{n5}}, \quad K_i = K_{n5} K_{r1} \frac{W_5}{L_5}, \quad K_d = K_{r1} + 2W_{r1}, \tag{3.9}$$

$$V_h = V_{DD} - V_{thn}, \quad V_{ch} = V_{CM} - V_{thn}, \quad V_{hc} = V_{CM} + V_{thn}, \quad V_{cd} = V_{DD} - V_{CM}.$$

De la ecuación (3.7) se puede explicar el efecto que causan varios parámetros, por ejemplo la necesidad de aumentar la corriente, ya sea usando transistores con relaciones de aspectos

¹A pesar de ser un fenómeno transitorio con variaciones amplias de tensión comparadas con la condición de pequeña señal, la estimación con parámetros propios del modelo en pequeña señal no tiene errores significativos en la estimación de t_{latch} [18].

mayores o una tensión de modo común mayor para disminuir el t_{total} . Aunque el dimensionamiento exagerado de los transistores lleva a un aumento en la capacitancia equivalente en el nodo de salida, dificultando así la carga y deteriorando la velocidad.

3.1.3. Tiempo de *reset*

En la etapa de *reset*, se busca llevar las salidas a una condición de equilibrio para borrar cualquier posible memoria y preparar el circuito para la siguiente decisión. El tiempo para cargar la capacitancia equivalente en el nodo de la salida desde cero voltios hasta V_{DD} debe ser menor a medio periodo de reloj, para evitar malas decisiones en el caso de que en la siguiente comparación la diferencia de entrada sea de signo contrario al anterior.

Es posible estimar el tiempo de *reset* mediante la expresión (3.10), similar a la empleada para calcular el tiempo de subida de inversor *CMOS*.

$$t_{reset} = 0,69 R_{eqn} C_L, \quad (3.10)$$

donde R_{eqn} es la resistencia promedio de encendido de $M_{7,8}$ y C_L la capacitancia equivalente en el nodo de salida en el intervalo en cuestión.

Con el tiempo de decisión y el tiempo de reset, se define la frecuencia máxima de operación con la que puede operar el comparador como:

$$f_{max} = \frac{1}{T_{min}} = \frac{1}{2 \max\{t_{decis}, t_{reset}\}}, \quad (3.11)$$

Cabe mencionar adicionalmente que a medida que la especificación de velocidad del circuito se aproxima a los límites de la arquitectura no se obtiene una respuesta completa como la de la figura 3.2. Sin embargo, el circuito sigue siendo funcional si su salida puede cumplir con los requerimientos de margen de ruido que imponen las etapas posteriores. Es por esta razón, que para el diseño a elaborar, con una tensión de alimentación $V_{DD} = 3,3 \text{ V}$, se considera que una decisión correcta debe tener un nivel lógico *cero* con tensiones en el rango $0-825 \text{ mV}$ y un *uno* lógico con tensiones entre $2,48 \text{ V}$ y $3,3 \text{ V}$.

A partir del estudio realizado en los tiempos de decisión, es posible establecer las restricciones en velocidad que posee el circuito.

1. Según la ecuación (3.8), se deduce que es posible disminuir el tiempo de la primera fase si se incrementa la corriente; como consecuencia, es necesario un dimensionamiento mayor de M_5 y M_6 ya que la corriente de operación I_o depende proporcionalmente de $W_{5,6}$. Además debido a la relación existente entre W_9 y W_5 es necesario aumentar las dimensiones de M_9 ; de lo contrario se está sobreespecificando $M_{5,6}$ pues su capacidad de corriente crece pero M_9 no permite el paso de más corriente.

2. Como t_{latch} es inversamente proporcional a $g_{m,eff}$, es posible reducir su valor aumentando la corriente, dimensionando el *latch* para elevar la capacidad de corriente de $M_{1,3}$ y $M_{2,4}$. Es necesario distinguir la función de cada transistor en el *latch*. Los transistores *NMOS* son los responsables de llevar una salida, en este caso V_{out}^- , a tierra; por su parte, los transistores *PMOS* son responsables de la velocidad con la que la salida que va a uno, en este caso V_{out}^+ , alcance V_{DD} . Por esta razón se dimensionan los transistores *NMOS* para que tengan mayor capacidad de corriente que los *PMOS*, porque en el proceso de regeneración, el rango que debe variar la tensión V_{out}^- es mayor al que debe variar V_{out}^+ . Sin embargo, es necesario mantener cierta capacidad en $M_{2,4}$ para puedan lograr su objetivo sin deteriorar la respuesta del comparador.

3. Un aumento de $W_{2,4}$ produce un incremento mucho más significativo en la capacitancia de carga que en el caso de $W_{1,3}$; mientras que el incremento de $W_{1,3}$, produce un crecimiento significativamente mayor en $g_{m,eff}$ que el aumento de $W_{2,4}$. En la figura 3.4 se observa como varía la relación $\frac{C_L}{g_{m,eff}}$ (constante de tiempo) con respecto al dimensionamiento del *latch* para una corriente dada, comprobando lo mencionado anteriormente. En esta figura, la relación crece considerablemente cuando los transistores tipo *p* son de mayor, mientras que la disminución significativa ocurre con el crecimiento en el tamaño de los tipo *n*. De manera que, para conseguir una mayor disminución en el tiempo de regeneración, es necesario que $W_{1,3}$ sea mayor $W_{2,4}$.

En conclusión, aumentar la velocidad del comparador exige un aumento en las dimensiones del circuito, pero aumentarlas desmesuradamente ocasiona un crecimiento en las capacitancias parásitas del nodo de salida. Además, el hecho de utilizar tamaños más grandes, dificulta la fase de *reset*, porque M_7 y M_8 necesitan más capacidad de corriente para cargar la capacitancia del nodo de salida. En consecuencia, es necesario aumentar el ancho de los transistores de *reset* para mejorar la respuesta temporal. En la figura 3.5, se observa el comportamiento del retardo del comparador a medida que se aumentan las dimensiones del circuito ($1\mu \leq W \leq 60\mu$), manteniendo proporciones de

$$W_9 = 2,5W \quad W_{5,6} = 5W \quad W_{7,8} = 5W \quad W_{2,4} = 2W \quad W_{1,3} = 4W$$

escogidas arbitrariamente. La disminución en el tiempo de comparación, va acompañado del aumento de la capacitancia de carga. En consecuencia, el aumento en las dimensiones produce tal crecimiento en los elementos parásitos del circuito, que a pesar de la capacidad de corriente del mismo, no es posible cargar o descargar lo suficientemente rápido las capacitancias de salida debido a sus valores elevados.

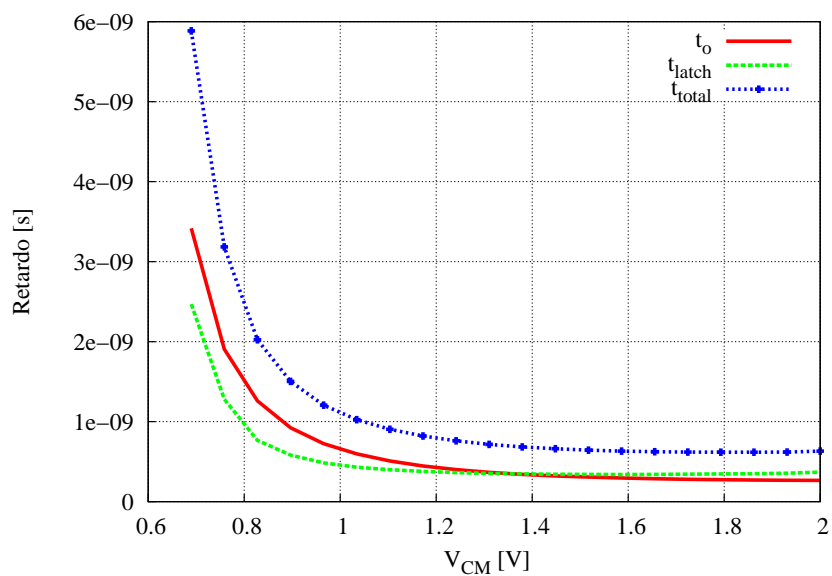


Figura 3.3: Dependencia de los tiempos de decisión respecto a V_{CM} para $V_{DD} = 2[V]$ y $\Delta V_{IN} = 10[mV]$.

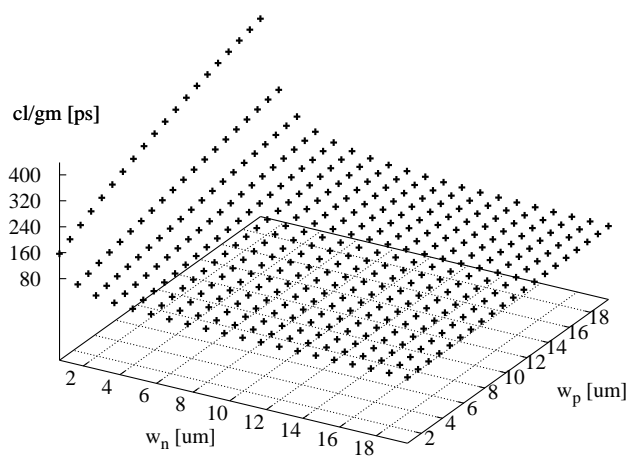


Figura 3.4: Variación de la relación $\frac{C_L}{g_{m,eff}}$ con respecto a los anchos del latch para una corriente dada.

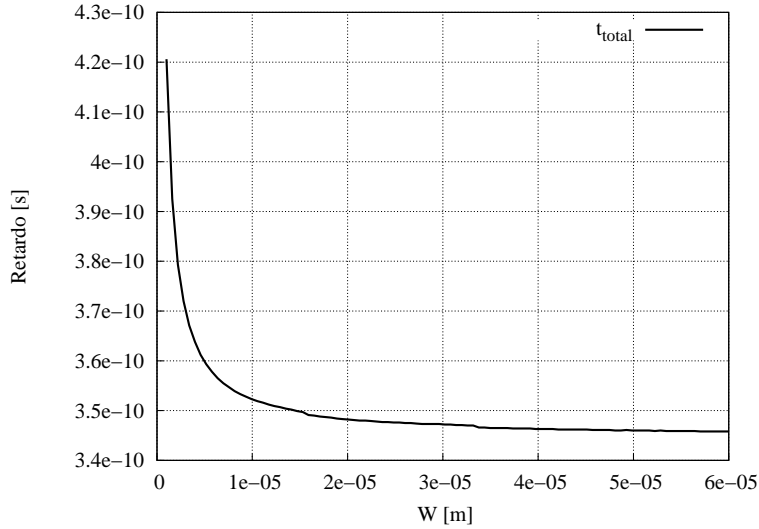


Figura 3.5: Tiempo de comparación contra variación de dimensiones.

3.1.4. Resolución

El aspecto clave para una buena resolución del comparador es que la diferencia inicial que el *latch* regenera sea lo máxima posible, de tal forma que se reduzca la posibilidad de que el ruido o el *mismatch* causen que él decida de forma equivocada.

[30] resalta como un nivel menor de la tensión modo común aumenta esta diferencia inicial, mejorando con ello el desempeño. Una menor tensión de modo común, aumenta el efecto que ejercen las tensiones a comparar sobre las corrientes que descargan los nodos de salida. De esta forma, se mejora la diferencia inicial que el *latch* regenera en las siguientes etapas.

Ejemplo de diseño

Basado en los aspectos analizados anteriormente, se realiza el diseño del comparador alimentado con una tensión $V_{DD} = 3,3\text{ V}$ destinado a operar a una frecuencia de 1 GHz para diferencias de entrada mayores a $\Delta V_{in} = 50\text{ mV}$ y una tensión de modo común $V_{cm} = 1,65\text{ V}$.

La diferencia de entrada de 50 mV corresponde al peor caso del tiempo de decisión del circuito, de tal forma que se realizan los cálculos de los tiempos con este valor para ΔV_{in} . Además, debe mencionarse que se restringen todas las longitudes de canal al valor mínimo que admite la tecnología para minimizar la magnitud de las capacitancias intrínsecas de los transistores.

El diseño se inicia con la suposición de que el tiempo de decisión se distribuye por igual entre t_o y t_{latch} . Se elige $t_o = 200\text{ ps}$ y $t_{latch} = 200\text{ ps}$ para garantizar una decisión que no

demore más de 500 ps. Se debe definir una relación entre los anchos $W_{r1} = W_5/W_9$ para poder utilizar la ecuación (3.8) y calcular I_o , en este caso se define $W_{r1} \equiv 1,4$:

$$I_o = 96,629 W_5,$$

$$I = 96,629.$$

Luego, a partir de las ecuaciones (3.3) y (3.5), se despejan las relaciones $\frac{C_L}{W_5}$ y $\frac{C_L}{g_m}$:

$$\frac{C_L}{W_5} = 0,5 (96,629) \frac{t_o}{V_{thp}} = 1,3496 \times 10^{-8} \frac{F}{m} \quad (3.12)$$

$$\frac{C_L}{g_m} = \frac{t_{latch}}{\log\left(\frac{1}{2V_{thp}} \sqrt{\frac{0,5 I (0,35 \times 10^{-6})}{K_5} \frac{\Delta V_{out}}{V_{in}}}\right)} = 9,1089 \times 10^{-11} s \quad (3.13)$$

Se selecciona W_5 , en este caso $W_5 = 5 \mu m$, para calcular la capacitancia C_L y la transconductancia g_m a partir de (3.12) y (3.13):

$$C_L = \frac{C_L}{W_5} W_5 = 6,7478 \times 10^{-14} F$$

$$g_m = C_L / \frac{C_L}{g_m} = 7,4080 \times 10^{-4} \frac{A}{V},$$

como consecuencia, se encuentran los valores de:

$$I_o = I W_5 = 483,15 \mu A$$

$$W_9 = W_5/W_{r1} = 3,5863 \mu m.$$

Se selecciona W_4 , en este caso $W_4 = 3 \mu m$, y con (3.6) se despeja W_3 :

$$W_3 = \frac{g_m + 0,5 I_o (\lambda_p + \lambda_n) - \sqrt{I_o K_p W_4 / 0,35 \times 10^{-6}}}{K_n I_o / 0,35e - 6} = 3,1249 \mu m, \quad (3.14)$$

finalmente, se selecciona W_7 de tal forma que tenga capacidad de corriente suficiente para llevar a cabo la labor de *reset* en medio periodo de reloj. La tabla 3.2 recopila las dimensiones encontradas anteriormente, la tabla 3.4 contiene las especificaciones simuladas del comparador y la la figura 3.7(b) muestra la respuesta en el tiempo simulada de las tensiones de salida.

Para realizar las simulaciones y comprobar el funcionamiento de los diseños, es necesario especificar el reloj. Para decidir sus características deben tenerse en cuenta profundas consideraciones a nivel de sistema. Específicamente, para el comparador se debe tener en cuenta aparte del periodo, el tiempo de subida y bajada que tiene la señal de reloj. Esto se debe a que estos tiempos determinan el pico máximo de la corriente que alimenta el circuito y en menor proporción la potencia promedio.

Para elegir un valor adecuado se realiza un barrido de este parámetro (asumiendo tiempo de subida igual al de bajada) para observar el comportamiento del pico máximo de corriente.

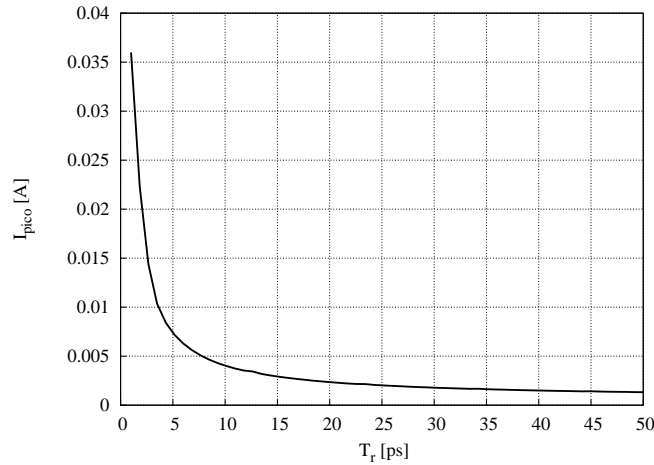


Figura 3.6: Variación de la rampa del reloj.

En la figura 3.6 se presenta la variación de esta corriente, y se observa como para rampas de 30 ps y superiores este valor llega a un mínimo que permanece casi constante, lo que sirve como criterio para tomar este valor como parámetro de simulación. Adicionalmente debe tenerse en cuenta que el tiempo de subida de la rampa no debe ser tan grande debido a que no permitiría el tiempo suficiente para que el reloj esté en V_{DD} o cero, con lo cual no se alcanzaría una decisión o una recuperación de *reset* correcta, degradando así la respuesta. La potencia no se incluye como criterio de decisión, ya que la variación en esta especificación no es significativa.

Diseño con programación geométrica

Las expresiones obtenidas anteriormente para cuantificar las diferentes especificaciones del comparador, se retoman para plantear una estrategia de diseño asistida por la programación geométrica (PG).

La aproximación que se realiza para modelar un problema como un programa geométrico es intentar expresar el problema en la forma estándar que requiere el PG, el cual se presenta en la ecuación (3.15). En el mejor caso la formulación es exacta, cuando no es posible, es necesario plantear una aproximación.

$$\begin{aligned}
 &\text{minimizar } f_0(x) \\
 &\text{sujeto a } f_i(x) \leq 1, \quad i = 1, \dots, m, \\
 &\quad \quad g_i(x) = 1, \quad i = 1, \dots, p,
 \end{aligned} \tag{3.15}$$

donde g_i son funciones monomios² y f_i funciones posinomios³.

La tabla 3.1 reúne las restricciones que componen el programa geométrico planteado. Se observa como la restricción del tiempo t_o (3.3) se transforma directamente en un monomio. Por su parte, la ecuación (3.5) para t_{latch} no es compatible con el PG debido a su dependencia logarítmica. La alternativa seleccionada para superar este problema consiste en aproximar en cierto intervalo de interés la función logaritmo con una ecuación de la forma:

$$\ln(x) \approx A_1 x^{A_2} + A_3 x^{A_4} \quad (3.16)$$

La corriente I_o y las transconductancias g_{mp} y g_{mn} se modelan con monomios, cuyos ajustes exhiben errores menores al 10% en un rango de W de $1\mu\text{m}$ a $20\mu\text{m}$. Por otra parte, debido al amplio error que presentan en este rango, se modela el tiempo de *reset* t_{reset} y la capacitancia de salida C_L con funciones *max-monomiales*.

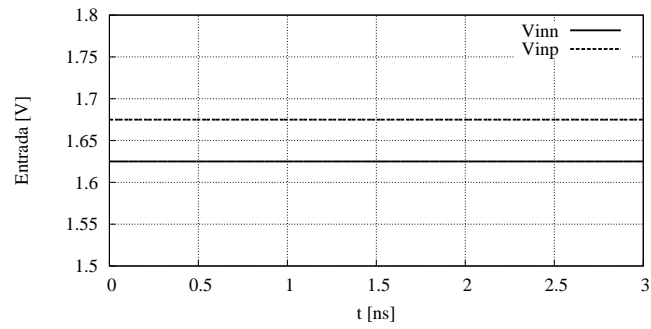
De la ejecución del programa geométrico se obtienen las dimensiones listadas en la tabla 3.3 que en simulación producen las especificaciones resumidas en la tabla 3.5. La figura 3.7(c) muestra la respuesta en el tiempo del comparador trabajando con una frecuencia de 1 GHz. Se observa como la respuesta del circuito corresponde a una decisión correcta teniendo en cuenta el margen de ruido definido previamente. El programa geométrico dimensiona de tal forma que reduce el consumo de potencia y no malogra la respuesta del circuito.

²Un monomio es una función de la forma $f(x) = cx_1^{a_1} x_2^{a_2} \dots x_n^{a_n}$ con $c > 0$ y $a_i \in \mathbf{R}$

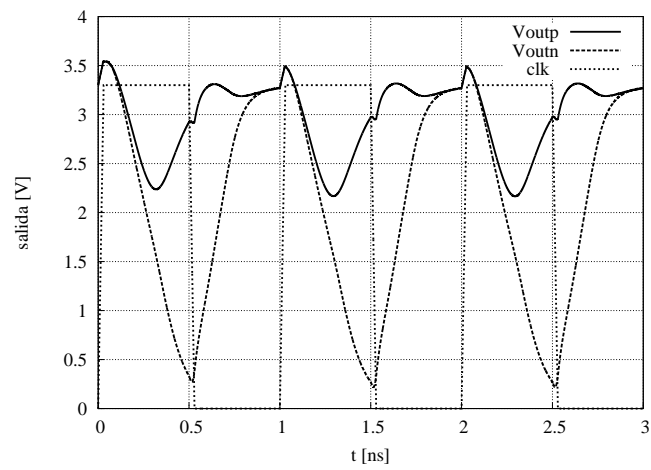
³Un posinomio es la suma de dos o mas monomios: $f(x) = \sum_{k=1}^K c_k x_1^{a_{1k}} x_2^{a_{2k}} \dots x_n^{a_{nk}}$

Minimizar potencia	$P = C_L V_{DD}^2$
Sujeto a	
$W_r = \frac{W_5}{W_9} \quad W_p = \frac{W_1}{W_2} \quad W_s = W_7$	
$C_{l1} = k_1 (W_5^{a11})(W_r^{a12})(W_a^{a13})(W_p^{a14})(W_s^{a15})$	
$C_{l2} = k_2 (W_5^{a21})(W_r^{a22})(W_a^{a23})(W_p^{a24})(W_s^{a25})$	
$C_{l3} = k_3 (W_5^{a31})(W_r^{a32})(W_a^{a33})(W_p^{a34})(W_s^{a35})$	
$t_{r1} = r_{11} (W_5^{r12})(W_r^{r13})(W_n^{r14})(W_p^{r15})(W_s^{r16});$	
$t_{r2} = r_{21} (W_5^{r22})(W_r^{r23})(W_n^{r24})(W_p^{r25})(W_s^{r26});$	
$t_{r3} = r_{31} (W_5^{r32})(W_r^{r33})(W_n^{r34})(W_p^{r35})(W_s^{r36});$	
$C_{l1} \leq C_L$	
$C_{l2} \leq C_L$	
$C_{l3} \leq C_L$	
$t_{r1} \leq t_d$	
$t_{r2} \leq t_d$	
$t_{r3} \leq t_d$	
$I_o = K (W_5^{b1})(W_r^{b2})(V_{cm}^{b3})$	
$g_{mp} = K_p \left(\left(\frac{I_o}{2} \right)^{p1} \right) (V_{ds1}^{p2}) (W_2^{p3}) (L^{p4})$	
$g_{mn} = K_n \left(\left(\frac{I_o}{2} \right)^{n1} \right) (V_{ds2}^{n2}) (W_1^{n3}) (L^{n4})$	
$2v_{thp} C_L I_o^{-1} \leq t_o$	
$t_{la} = 0,5 C_L (g_{mp}^{-0,5}) (g_{mn}^{-0,5}) A_1 \left(\sqrt{\frac{L}{8 * k_{nm5}}} \left(\frac{dv_{out}}{V_{thp} V_{in}} \right) \right) A_2 \left(\frac{I_o}{W_5} \right) \left(\frac{A_2}{2} \right)$	
$t_{lb} = 0,5 C_L (g_{mp}^{-0,5}) (g_{mn}^{-0,5}) A_3 \left(\sqrt{\frac{L}{8 * k_{nm5}}} \left(\frac{dv_{out}}{V_{thp} V_{in}} \right) \right) A_4 \left(\frac{I_o}{W_5} \right) \left(\frac{A_4}{2} \right)$	
$t_{la} + t_{lb} \leq t_{latch}$	
$t_{latch} + t_o \leq \frac{1}{2f}$	
$t_d \leq t_{reset}$	
$t_{reset} \leq \frac{1}{2f}$	

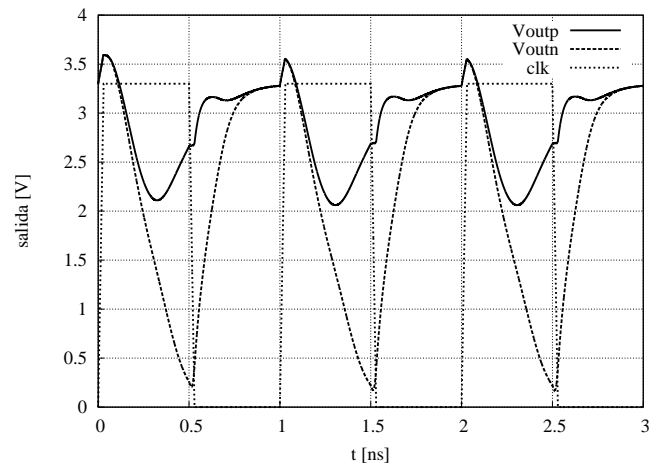
Tabla 3.1: Planteamiento del programa geométrico.



(a) Tensiones de entrada.



(b) Diseño manual.



(c) Diseño con PG.

Figura 3.7: Respuesta transitoria del comparador de Sumanen simulado a 1 GHz.

Arquitectura De Sumanen

Variable	Valor [μm]
W_1	3.124
W_2	3
W_5	5
W_7	4
W_9	3.586

Tabla 3.2: Dimensiones con diseño manual.

Variable	Valor [μm]
W_1	1
W_2	1
W_5	3.32
W_7	3.1
W_9	3.32

Tabla 3.3: Dimensiones con diseño PG.

Variable	Valor	Unidades
Potencia	859.0	μW
t_o	166.7	ps
t_{latch}	237.6	ps
t_{reset}	384.3	ps

Tabla 3.4: Especificaciones con diseño manual.

Variable	Valor	Unidades
Potencia	544.1	μW
t_o	154.5	ps
t_{latch}	265.5	ps
t_{reset}	345.3	ps

Tabla 3.5: Especificaciones con diseño PG.

3.2. Arquitectura de Goll

En esta topología la modificación del *latch* convencional para utilizar los transistores *PMOS* simultáneamente como carga activa e interruptores de *reset*, ahorra el uso de transistores adicionales que cargan capacitivamente los nodos de salida.

Operación

Para dar una mejor explicación del funcionamiento se retoma el circuito a analizar en la figura 3.8. La operación de reloj permite distinguir dos modos de operación en el circuito. Cuando el reloj está en bajo, los nodos de salida están a V_{DD} debido a que M_{10} y M_{11} están encendidos mientras que M_0 y M_1 están apagados. En el modo de comparación (reloj en alto), los transistores M_0 y M_1 se encienden mientras que M_{10} y M_{11} se vuelven cargas activas ya que el transistor M_8 proporciona una tensión de puerta $V_{clk} - V_{th8}$. En este instante los nodos de salida están cargados con V_{DD} , y por tanto, los transistores M_6 y M_7 están encendidos mientras que M_2 y M_3 tienen una tensión de puerta cercana a V_{DD} . Este hecho hace posible que el comparador puede operar a una tensión de alimentación reducida [12]. El *latch* regenera la salida dependiendo de la diferencia de tensión a la entrada en los transistores M_4 y M_5 . Para reducir el flujo de corriente estático después de que la decisión es tomada, los transistores M_6 y M_7 son ubicados debajo de M_4 y M_5 , para cortar el flujo en una rama dependiendo de cuál de los nodos de salida vaya a cero.

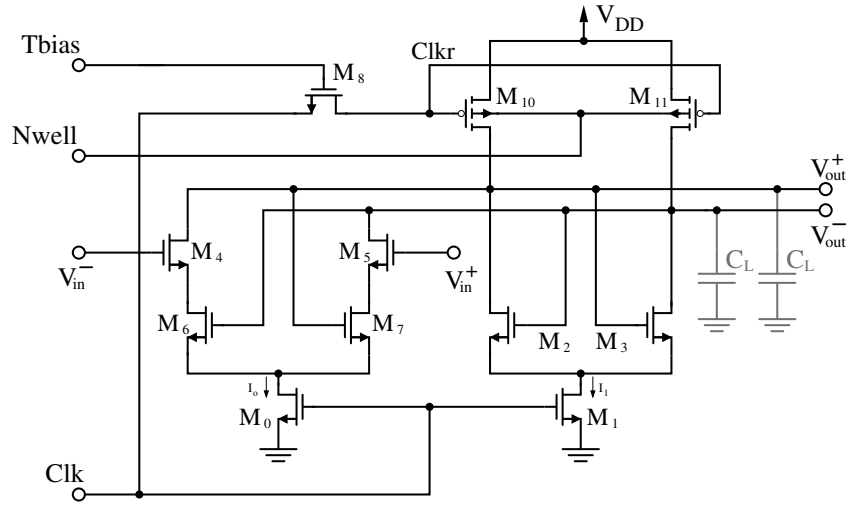


Figura 3.8: Esquema de Goll optimizado para alta velocidad [12].

Tiempo de decisión

Un análisis similar al de [30] puede ser realizado. La principal diferencia radica en la activación de todo el circuito (par diferencial de entrada y *latch*) en el instante de comparación; permitiendo una mayor velocidad de descarga de los nodos de salida, disminuyendo el retardo en la primera fase. El tiempo del *latch* es beneficiado, ya que no se carga el nodo de salida con la utilización los interruptores *PMOS* para *reset*; sin embargo, debido a la estructura del circuito (par diferencial y *latch* por aparte), la capacitancia de salida aún está bajo la influencia de varios transistores. Ahora bien, en la etapa de *reset*, los transistores *PMOS* (usados como carga activa en la etapa anterior) se encargan de llevar las salidas a V_{DD} y preparar el circuito para una nueva decisión. En consecuencia, los tamaños de estos transistores deben ser lo suficientemente grandes para alcanzar la capacidad de corriente adecuada, que permita cumplir las dos funciones, tanto carga activa, como interruptores de *reset*, siendo esta última las más crítica. Por lo tanto, el aumento en las dimensiones de M_{10} y M_{11} limita la velocidad de respuesta, por el aumento en la capacitancia equivalente en el nodo de salida, con el incremento de sus anchos. Para estudiar el retardo, se puede asumir que los transistores M_0 , M_4 y M_5 forman un par diferencial con entrada ΔV_{in} (despreciando M_6 y M_7) y los transistores M_1 , M_2 y M_3 forman otro par diferencial con entrada ΔV_{out} . De esta manera, la diferencia de tensión a la salida en función del tiempo, puede expresarse como:

$$\Delta V_{out}(t) = (\sqrt{2\beta_5 I_0} \Delta V_{in} + \sqrt{2\beta_2 I_1} \Delta V_{out}(t)) \frac{t}{C_L} \quad (3.17)$$

y tomando (3.18) como el tiempo de la primera fase, establecido a partir de la saturación del transistor M_{11} es posible encontrar el tiempo del *latch* (ecuación (3.19)).

$$t_o = \frac{2C_L V_{dsat}}{I_0 + I_1} \quad (3.18)$$

$$t_{latch} = \frac{C_L}{g_{m,eff}} \ln \left(\frac{(I_0 + I_1 - 2V_{dsat}\sqrt{2\beta_2 I_1})\Delta V_{out}}{2V_{dsat}\sqrt{2\beta_5 I_0}\Delta V_{in}} \right) \quad (3.19)$$

Resolución

Para mejorar la resolución, [25, 26] plantea una ecuación para la diferencia inicial que regenera el *latch*, expresada en (3.20), que permite identificar a las dos corrientes de cola como las que determinan en gran parte la resolución del circuito.

$$V_o = \frac{2\Delta V_{in} V_{dsat} \sqrt{2\beta_5 I_0}}{I_0 + I_1 - 2V_{dsat} \sqrt{2\beta_2 I_1}} \quad (3.20)$$

Ejemplo de diseño

La estrategia de diseño implementada para el circuito de Sumanen, puede ser aplicada a la arquitectura de [12], ya que el planteamiento del tiempo de comparación se hace de forma similar. La aplicación de las ecuaciones (3.18) y (3.19) condujo a las dimensiones expuestas en la tabla 3.6. La selección de la tensión T_{bias} obedece a la necesidad de proporcionar la capacidad de corriente suficiente para llevar la salida respectiva a V_{DD} en la fase de comparación, de modo que no debe ser muy grande. Sin embargo no debe ser muy pequeña para evitar que la tensión V_{gs} sea grande y genere un aporte capacitivo puerta-drenador que degenere la velocidad de respuesta. Teniendo en cuenta esto, se seleccionó esta tensión igual a 2.6 V. Para el caso de la tensión N_{well} , se tomó como 3.3 V, para eliminar el efecto cuerpo y evitar que la unión *PN* de surtidor-cuerpo se polarice directamente. W_8 se elige para mantener la forma de onda del reloj en el nodo Clkr.

Diseño con programación geométrica

Para el desarrollo del programa geométrico, se hizo el modelado de la capacitancia de salida, el tiempo de *reset* y los tiempos de la primera y segunda fase. Los rangos de modelado fueron cerrados guiados por la respuesta temporal del comparador. El criterio de selección de W_8 es el mismo que en el diseño anterior. La función objetivo estuvo enfocada de nuevo a la potencia, pero en esta ocasión, no solo potencia dinámica por lo que se definió la corriente estática como:

$$I_t = I_1 + I_0 = \frac{2C_L V_{dsat}}{t_o} \quad (3.21)$$

y se sumó a la función objetivo para ser minimizada. La solución del programa geométrico se reporta en la tabla 3.7:

La principal desventaja de este circuito con respecto al de Sumanen es la poca capacidad de los transistores de *reset* y la carga en los nodos de salida. Este se refleja en que es necesario unos transistores *PMOS* más grandes que los demás transistores del circuito. Además, este comparador no es totalmente dinámico ya que después de tomar la decisión, hay una corriente estática reducida por los transistores W_7 y W_6 pero no eliminada. Esta corriente junto a la carga capacitiva en los nodos de salida causa que en general esta arquitectura consuma mayor potencia a una frecuencia dada en comparación con la de Sumanen, a pesar de ocupar menor área.

Arquitectura De Goll

Variable	Valor [μm]
W_0	1.6
W_1	1.6
W_2	1.6
W_4	1.4
W_7	1.4
W_{10}	4.2

Tabla 3.6: Dimensiones con diseño manual.

Variable	Valor [μm]
W_0	1
W_1	1.22
W_2	2.44
W_4	1
W_7	1
W_{10}	4.2

Tabla 3.7: Dimensiones con diseño PG.

Variable	Valor	Unidades
Potencia	866.6	μW
t_o	124.6	ps
t_{latch}	242.0	ps
t_{reset}	479.6	ps

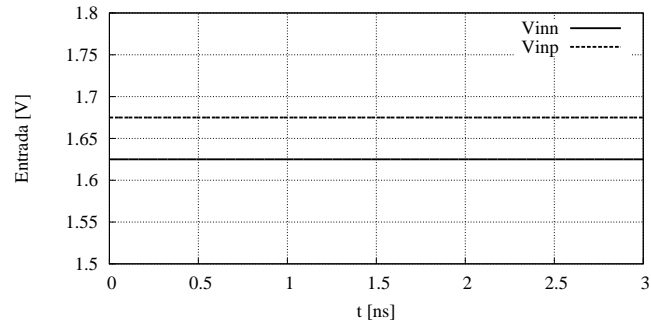
Tabla 3.8: Especificaciones con diseño manual.

Variable	Valor	Unidades
Potencia	816.6	μW
t_o	157.9	ps
t_{latch}	178.2	ps
t_{reset}	455.2	ps

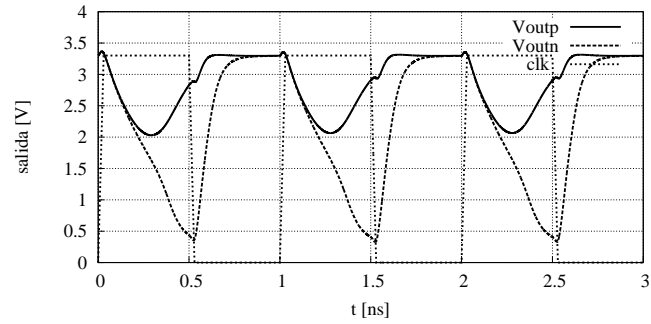
Tabla 3.9: Especificaciones con diseño PG.

3.3. Esquema que reduce la capacitancia en el nodo de salida

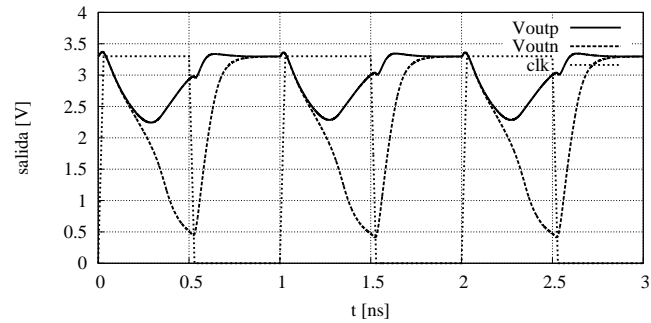
La fuerte dependencia que tiene el tiempo de decisión con el esfuerzo necesario para cargar y descargar rápidamente el nodo de salida pone de manifiesto la utilidad de mantener al mínimo la capacitancia equivalente de este nodo. Una nueva revisión a las figuras 3.1 y 3.8 muestra como en la arquitectura de Sumanen, participan en la salida los aportes capacitivos de cinco transistores. Aún prescindiendo de nodos de *reset* adicionales, la arquitectura de Goll también cuenta con el aporte capacitivo de cinco transistores en los nodos de salida. Esta situación motiva la modificación a la arquitectura de Sumanen representada en la figura



(a) Tensiones de entrada.



(b) Diseño manual.



(c) Diseño con PG.

Figura 3.9: Respuesta transitoria del comparador de Goll simulado a 1 GHz.

3.10, en la cual en cada uno de los nodos de salida participan los aportes capacitivos de tres transistores, reduciendo así el esfuerzo para cargar tales nodos. El funcionamiento es equivalente al de las otras arquitecturas, con la diferencia que los transistores adicionales M_7 y M_8 ayudan a inyectar corriente en la cada rama para dar solvencia en la etapa de *reset*. W_{10} se elige con el mismo criterio que en el diseño de Goll para este diseño y el siguiente con programación geométrica.

El análisis para encontrar una expresión para los tiempos de decisión y *reset* es similar al realizado para las arquitecturas anteriormente expuestas. El tiempo de la primera fase de comparación t_o va desde que el reloj llega a uno lógico hasta que M_2 o M_4 pase de la región de operación lineal a saturación.

$$t_o = \frac{2C_L V_{dsat}}{I_0} \tag{3.22}$$

$$t_{latch} = \frac{C_L}{g_{m,eff}} \ln \left(\frac{1}{2V_{dsat}} \sqrt{\frac{I_o}{2\beta_{5,6}}} \frac{\Delta V_{out}}{\Delta V_{IN}} \right), \tag{3.23}$$

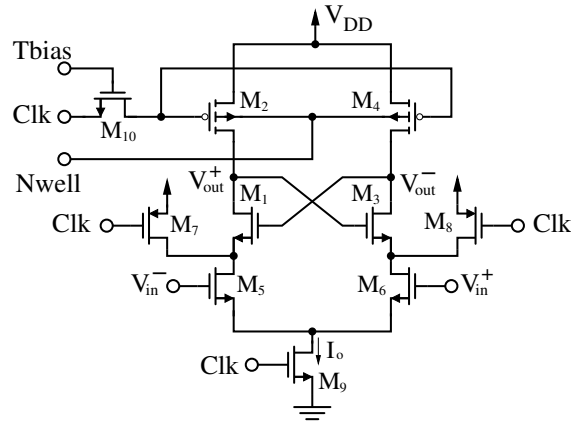


Figura 3.10: Esquema que reduce la capacitancia en el nodo de salida.

Ejemplo de diseño

Para efectuar el diseño de este circuito, se puede partir de los resultados del diseño de la tabla 3.2, debido a las similitudes que presentan las dos arquitecturas. Se mantienen iguales las dimensiones de los transistores *NMOS*. Para M_2 y M_4 su anchos se determinan como el promedio de M_7 y M_2 de la tabla ya mencionada. Para los transistores M_7 y M_8 se dimensionan de tal forma que la función de *reset* sea adecuada. La tensión T_{bias} y N_{well} se eligen con los mismos criterios que los descritos en el diseño de la arquitectura de Goll.

Arquitectura propuesta

Variable	Valor [μm]
W_1	3.124
W_2	3.5
W_5	5
W_7	1.5
W_9	3.586

Tabla 3.10: Dimensiones con diseño manual.

Variable	Valor [μm]
W_1	1.00
W_2	1.68
W_5	3.00
W_7	1.00
W_9	3.00

Tabla 3.11: Dimensiones con diseño PG.

Variable	Valor	Unidades
Potencia	978.5	μW
t_o	219.3	$p\text{ s}$
t_{latch}	255.2	$p\text{ s}$
t_{reset}	421.1	$p\text{ s}$

Tabla 3.12: Especificaciones diseño manual.

Variable	Valor	Unidades
Potencia	583.7	μW
t_o	190.1	$p\text{ s}$
t_{latch}	252.9	$p\text{ s}$
t_{reset}	499.1	$p\text{ s}$

Tabla 3.13: Especificaciones con diseño PG.

Diseño con programación geométrica

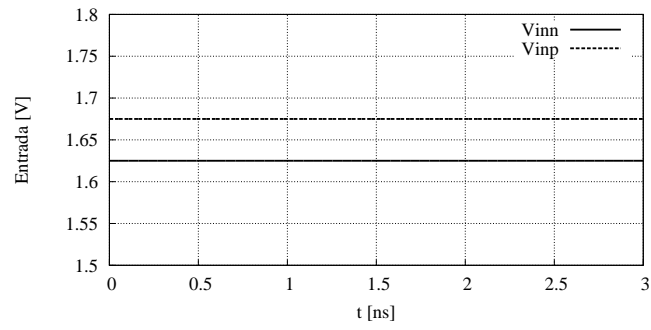
La similitud de esta alternativa con la de Sumanen, permite que el planteamiento del programa geométrico sea análogo al presentado en la tabla 3.1. La tabla 3.11 muestra el dimensionamiento del óptimo encontrado por el programa geométrico, la tabla 3.13 muestra las especificaciones alcanzadas por el comparador y la figura 3.11(c), la respuesta en el tiempo para el circuito operando a 1 GHz.

3.4. Estrategia de diseño y validación

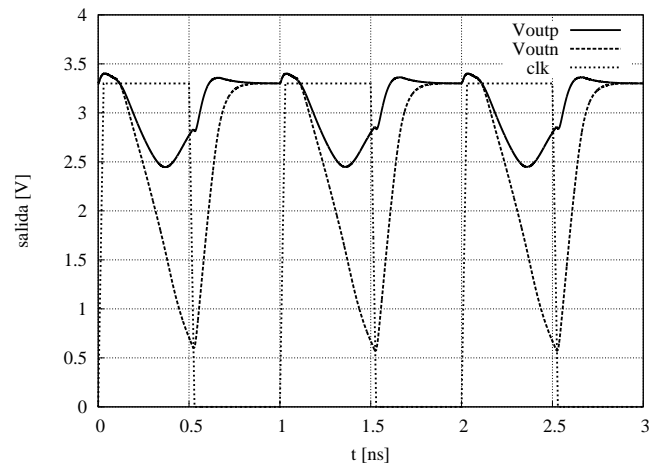
El estudio y comparación de arquitecturas realizado anteriormente establece un soporte para concluir qué arquitectura se desempeña mejor. Además permite plantear una secuencia de cómo diseñar un circuito comparador. Los resultados obtenidos de aplicar la programación geométrica permiten establecer que la arquitectura clásica de Sumanen logra mejor relación velocidad-consumo de potencia que las otras dos opciones verificadas.

Partiendo del conocimiento de la tensión de alimentación, tensión de modo común, resolución mínima de comparación, frecuencia de operación, se lleva a cabo el modelado de las expresiones necesarias para el programa geométrico, que son corriente, capacitancia, tiempo de *reset* y transconductancia de los transistores del *latch*.

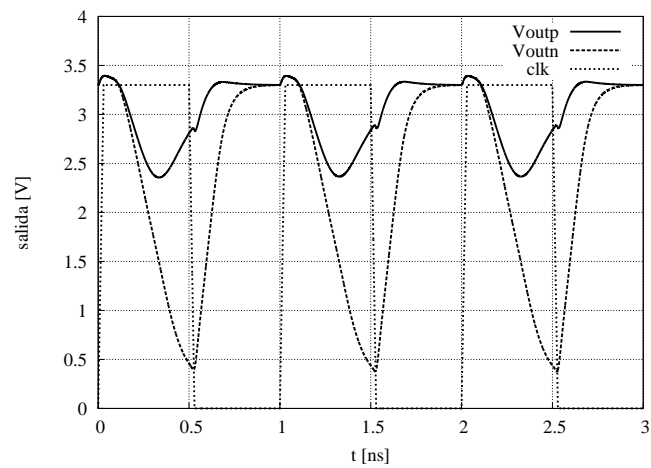
Luego, estos modelos se exportan en el programa geométrico, cuya solución se compara con los resultados de simulación. Se establece un lazo en el cual dependiendo del error entre los resultados del PG y la simulación se determina si es necesario remodelar en una



(a) Tensiones de entrada.



(b) Diseño manual.



(c) Diseño con PG.

Figura 3.11: Respuesta transitoria de la opción propuesta simulado a 1 GHz.

zona más ajustada, centrada en la primera solución. En caso de no cumplir totalmente las especificaciones, estas se relajan para observar el límite que puede tener la arquitectura.

Resultados

Luego de la aplicación de la estrategia de diseño expuesta anteriormente, es necesario validar y analizar los resultados obtenidos para las arquitecturas diseñadas. A continuación se exponen los resultados obtenidos al realizar simulaciones que tienen en cuenta las variaciones del proceso de fabricación. Se realizaron análisis Monte Carlo usando la herramienta *CADENCE*⁴ y los modelos *BSIM3V3* nivel 53 propios del proceso de fabricación *C35B4C3* de *AMS*.

En general el método de Monte Carlo es una técnica que se basa en un muestreo aleatorio para encontrar una solución, que en este caso corresponde a la estimación de la forma en que varía cualquier especificación del circuito debido a las variaciones propias del proceso de fabricación. Las principales ventajas del análisis de Monte Carlo son de acuerdo a [10] la precisión en la estimación que realiza, la facilidad para su implementación y lo representativos que pueden ser los resultados para el diseñador.

Para su implementación los simuladores como *Spectre* o *Hspice* generan N muestras aleatorias (contenidas en el dominio que define la tecnología de fabricación) de aquellos parámetros del modelo del transistor que se desean variar y realiza N simulaciones. Luego mide la especificación de interés y realiza una estimación de la distribución estadística que obedece dicha especificación.

Para el caso del diseño del comparador, se realizó análisis de Monte Carlo para determinar como varían la resolución, la velocidad y el consumo de potencia del circuito. Este análisis se realizó para variaciones de los anchos de los transistores W y las tensiones umbral V_{th} de todos los transistores presentes en el diseño del circuito de Sumanen realizado con la estrategia descrita anteriormente. La validación se realiza con un análisis Monte Carlo de 500 muestras. En la figura 3.12 se presentan los resultados obtenidos en potencia, donde es posible observar que el consumo principalmente se encuentra por debajo de los $550 \mu W$, verificando el funcionamiento a una potencia menor a la consumida en el caso típico ($566 \mu W$). En la figura 3.13 se muestra la distribución para la decisión del circuito con una diferencia de entrada $\Delta V_{in} = 50 mV$. La figura muestra que todas las decisiones son tomadas de forma correcta teniendo en cuenta que el margen de ruido adoptado para el nivel lógico uno es del 75 % del valor de la tensión de alimentación; en la mayoría de los casos la decisión es tomada con un amplio rango de confiabilidad, garantizando la resolución de $50 mV$ para una frecuencia de operación de 1 GHz. La figura 3.14 corrobora esta conclusión, ya que el retardo varía sobre

⁴Se usaron licencias compartidas vía red con la Universidad de Sao Pablo (USP).

valores por debajo de los 500 ps de duración máxima en la decisión que impone la frecuencia de operación de 1 GHz.

3.5. Observaciones y conclusiones

En este trabajo se trataron los aspectos más relevantes a tener en cuenta en el diseño de un comparador de uso en conversores analógico-digitales *pipeline*. Se realizó una revisión de las principales especificaciones y la forma en que repercuten en el funcionamiento del conversor. Se hizo una revisión del estado del arte, útil para la selección de una arquitectura. Además, se implementó una estrategia de diseño, que utiliza la programación geométrica como herramienta de optimización para diseñar el circuito, buscando minimizar el consumo de potencia para determinada frecuencia de comparación.

En el desarrollo de la estrategia de diseño, se efectuó un estudio comparativo de diferentes arquitecturas dinámicas de comparador, con el fin de concluir acerca de cual logra mayor relación velocidad-potencia. Luego de realizar diseños empleando la programación geométrica como esquema de optimización para las arquitecturas de Wicht [30] y Goll [12], se concluye que la primera arquitectura presenta la mayor relación velocidad-potencia. Aunque se probó una modificación buscando disminuir la capacitancia en los nodos de salida, en general la velocidad no mejoró porque si bien se facilitó la decisión, la fase de *reset* se vio limitada. La razón por la cual la arquitectura de Goll no rindió de la misma forma que se reporta en el trabajo original se debe a la imposibilidad de implementar en el proceso *AMS C35B4C3* transistores de bajo V_t , como se reporta en [12], con los cuales se puede garantizar mayor capacidad de corriente con transistores más pequeños, reduciendo así las capacitancias de los nodos de salida.

La implementación de un método de optimización utilizando programación geométrica permite establecer una estrategia semi-automática para el diseño del comparador. La principal ventaja de usar esta estrategia es la capacidad de producir diseños apropiados para la aplicación sin incurrir en la sobrespecificación, evitando así el empleo de recursos adicionales, que en ciertas aplicaciones marcan la diferencia. En el caso del comparador en el *ADC pipeline*, los comparadores de la tercera y cuarta etapa *pipeline* deben ser capaces de operar a frecuencias mayores que las dos primeras etapas. Sin embargo, la resolución de las últimas etapas puede ser menor a la de las primeras.

Otra ventaja de implementar la programación geométrica (PG) como una herramienta *CAD*, es la posibilidad que brinda de conocer el circuito y ganar experiencia y dominio sobre el comportamiento del mismo. Esto facilita que el diseñador preste atención a los compromisos y tendencias entre las variables de diseño, lo cual acarrea a identificar sectores que lleven a la optimización del sistema completo. Lo anterior se asegura una vez se definan correctamente

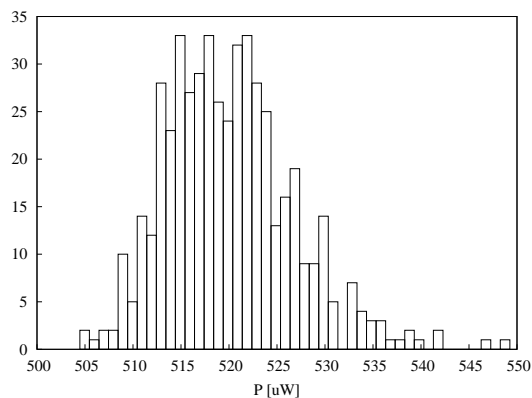


Figura 3.12: Análisis Monte Carlo del comparador para potencia trabajando a 1 GHz.

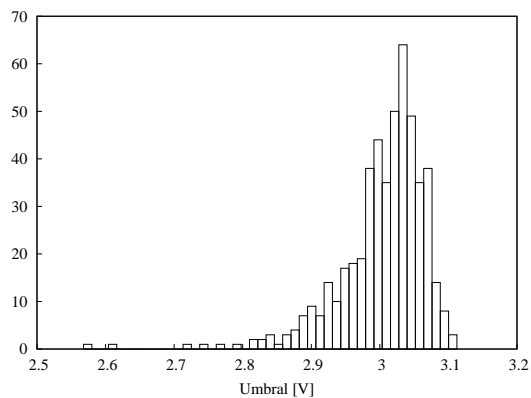


Figura 3.13: Análisis Monte Carlo del comparador para umbral de decisión trabajando a 1 GHz.

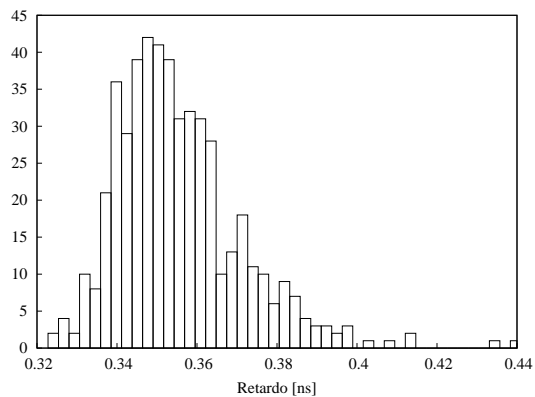


Figura 3.14: Análisis Monte Carlo para el retardo a 1 GHz.

las restricciones del problema al cual se aplica, ya que se asegura que la solución del programa geométrico es un óptimo.

3.6. Recomendaciones para trabajos futuros

- Para mejorar la relación potencia-velocidad, se recomienda el uso de esquemas para cambiar la tensión de las placas de los capacitores, que puedan resultar en una arquitectura de comparador donde se reduzcan los rangos que deben variar las tensiones de salida facilitando la carga y descarga de los nodos de salida del circuito.
- Realizar un análisis que permita confirmar o descartar la opción de incluir en el circuito comparador inductores del orden de pH que no ocupen área significativa y mejoren la velocidad de operación.
- Adicionalmente, se recomienda un estudio de técnicas que modifiquen la tensión de umbral V_t de los transistores para proporcionar diferentes capacidades de corriente según el circuito lo requiera, manteniendo las dimensiones lo más pequeñas posibles.
- Con el objetivo de fabricar un prototipo, es indispensable el diseño de una estructura integrada de mediciones y un plan de pruebas.
- Un próximo paso en la elaboración de este trabajo consiste en realizar el esquema de optimización con programación geométrica teniendo en cuenta técnicas de diseño para manufactura (*DFM*).
- Con la necesidad de disminuir cada vez el consumo de potencia, varios autores plantean el diseño de conversores analógico digital empleando bloques fundamentales capaces de operar con una polarización reducida. Sin embargo, el escalamiento tecnológico incrementa la dificultad para implementar bloques analógicos. Por ejemplo, en el diseño de un *Op-Amp*, a medida que la tensión de operación disminuye, los rangos dinámicos y la ganancia decrecen monótonamente [32]. Ante este panorama que plantea el escalamiento, el comparador puede tener un papel crucial con el desarrollo de técnicas de circuito, como la propuesta en [14] donde se propone un *ADC* con los circuitos de capacitores conmutados implementados con comparadores que reemplazan los *Op-Amps*. Por esta razón se recomienda para un futuro trabajo un estudio de esta técnica, conocida como *CBSC: comparator based switched capacitor circuits*, para el diseño de un *ADC* capaz de operar con una alimentación reducida, que no utilice *Op-Amps*.
- En el diseño de conversores tipo *flash*, incorporar el umbral en la función del comparador reduce el consumo de potencia ya que permite eliminar el uso la escalera de resistores.

Sin embargo, surge la necesidad de desarrollar métodos de calibración dentro del sistema para compensar los efectos del *mismatch* [15, 29]. Si bien en este trabajo se discuten este tipo de comparadores, hace falta un estudio adicional de los esquemas de incorporación de umbral y los métodos de calibración necesarios para implementar un conversor analógico digital de muy bajo consumo de potencia, que no utilice escalera resistiva de referencias.

Bibliografía

- [1] B. Razavi, *Principles of Data Conversion System Design*. IEEE Press, 1995.
- [2] F. Maloberti, *Data Converters*. Springer, 2007.
- [3] J. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits: A Design Perspective*. Prentice Hall, 2002.
- [4] R. V. de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, 2003.
- [5] P. Allen and D. Holberg, *CMOS Analog Circuit Design*. Oxford University Press, 2004.
- [6] D. Johns and K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc, 1997.
- [7] C. Toumazou, G. Moschytz, and B. Gilbert, *Trade-Offs in Analog Circuit Design*. Kluwer Academic Publishers, 2002.
- [8] R. Gregorian, *Introduction to CMOS Op-Amps and Comparators*. John Wiley & Sons, Inc, 1999.
- [9] B. Wicht, *Current Sense Amplifiers for Embedded SRAM in High-Performance System-on-a-Chip Designs*. Springer, 2003.
- [10] M. Orshansky, S. Nassif, and D. Boning, *Design for Manufacturability and Statistical Design: A Constructive Approach*. Springer, 2008.
- [11] J. G. Proakis and D. G. Manolakis, *Digital Signal Processing*. Prentice Hall, 1996.
- [12] B. Goll and H. Zimmermann, “A 0.12 μ m CMOS Comparator Requiring 0.5V at 600MHz and 1.5V at 6GHz,” *ISSCC Dig. Tech. Papers*, pp. 316–317, 2007.
- [13] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. Van der Plas, “A 2.2mW 5b 1.75GS/s Folding Flash ADC in 90nm Digital CMOS,” *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, pp. 252–611, Feb. 2008.
- [14] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H. S. Lee, “Comparator-Based Switched-Capacitor Circuits for Scaled CMOS Technologies,” *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2658–2668, 2006.

- [15] D. C. Daly and A. P. Chandrakasan, "A 6b 0.2-to-0.9V Highly Digital Flash ADC with Comparator Redundancy," *ISSCC Dig. Tech. Papers*, pp. 554–555, 2008.
- [16] B. Razavi and B. A. Wooley, "Design Techniques for High-Speed, High Resolution Comparators," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1916–1926, 1992.
- [17] Y. Okaniwa *et al.*, "A 40-Gb/s CMOS Clocked Comparator with Bandwidth Modulation Technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 8, pp. 1680–1687, 2005.
- [18] S. Park and M. P. Flynn, "A Regenerative Comparator Structure With Integrated Inductors," *IEEE Trans. Circuits Syst.*, vol. 53, no. 8, pp. 1916–1926, 2006.
- [19] L. Sumanen, M. Waltari, V. Hakkarainen, and K. Halonen, "CMOS dynamic comparators for pipeline A/D converters," *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 5, pp. V–157–V–160 vol.5, 2002.
- [20] P. Figueiredo and J. Vital, "Kickback noise reduction techniques for CMOS latched comparators," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 53, no. 7, pp. 541–545, July 2006.
- [21] G. Van der Plas, S. Decoutere, and S. Donnay, "A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process," *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, pp. 2310–, 6-9, 2006.
- [22] K.-L. Wong and C.-K. Yang, "Offset compensation in comparators with minimum input-referred supply noise," *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 5, pp. 837–840, May 2004.
- [23] T. Cho and P. Gray, "A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 166–172, 1995.
- [24] B. Goll and H. Zimmermann, "A low-power 2-GSample/s comparator in 120 nm CMOS technology," *Solid-State Circuits Conference, 2005. ESSCIRC 2005. Proceedings of the 31st European*, pp. 507–510, Sept. 2005.
- [25] —, "A Low-Power 4GHz Comparator in 120nm CMOS Technology with a Technique to tune Resolution," *Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European*, pp. 320–323, Sept. 2006.
- [26] —, "A clocked, regenerative comparator in 0.12um CMOS with tunable sensitivity," *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, pp. 408–411, Sept. 2007.

- [27] M. Miyahara, Y. Asada, D. Paik, and A. Matsuzawa, “A low-noise self-calibrating dynamic comparator for high-speed ADCs,” *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian*, pp. 269–272, Nov. 2008.
- [28] D. Lee, J. Yoo, and K. Choi, “Design method and automation of comparator generation for flash A/D converter,” *Quality Electronic Design, 2002. Proceedings. International Symposium on*, pp. 138–142, 2002.
- [29] B. Verbruggen, J. Craninckx, M. Kuijk, P. Wambacq, and G. Van der Plas, “A 2.2 mW 1.75 GS/s 5 Bit Folding Flash ADC in 90 nm Digital CMOS,” *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 3, pp. 874–882, March 2009.
- [30] B. Wicht, T. Nirschl, and D. Schmitt-Landsiedel, “Yield and Speed Optimization of a Latch-Type Voltage Sense Amplifier,” *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 7, pp. 1148–1158, Jul 2004.
- [31] T. Kobayashi, K. Nogami, T. Shirotori, and Y. Fujimoto, “A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architecture,” *Solid-State Circuits, IEEE Journal of*, vol. 28, no. 4, pp. 523–527, Apr 1993.
- [32] A. Matsuzawa, “Design Challenges of Analog-to-Digital Converters in Nanoscale CMOS,” *IEICE Trans Electron*, vol. E90-C, no. 4, pp. 779–785, 2007.
- [33] L. Sumanen, “Pipeline Analog-to-Digital Converter for Wide-Band Wireless Communications,” Ph.D. dissertation, Helsinki University of Technology, 2002.
- [34] W. Carvajal, “Diseño de un Conversor Analógico-Digital Configurable Integrado en Tecnología CMOS,” Proyecto de pregrado de la Universidad Industrial de Santander, 2007.