



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL INTEGRADO EN TECNOLOGÍA *CMOS*.

Jorge Enrique Vargas Solano

Universidad Industrial de Santander
Facultad de Ingenierías Físico Mecánicas
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga Noviembre de 2007



UNIVERSIDAD INDUSTRIAL DE SANTANDER
Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones
Perfecta combinación entre Energía e Intelecto



DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL INTEGRADO EN TECNOLOGÍA *CMOS*.

Jorge Enrique Vargas Solano

Trabajo de grado para optar por el título de Ingeniero Electrónico

Director
Elkim Felipe Roa Fuentes
Co-director
Jaime Guillermo Barrero

Universidad Industrial de Santander
Facultad de Ingenierías Físico Mecánicas
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Bucaramanga Noviembre de 2007

A mi mamá e Ibeth, porque siempre estuvieron a mi lado.

AGRADECIMENTOS

Primero que todo, le agradezco a mi familia por todo el apoyo que me han brindado durante este largo camino. Ellos son la razón principal de mi vida, y todo lo que soy es gracias a su compañía.

Doy muchas gracias a Ibeth por darme la oportunidad de compartir muchas experiencias y siempre estar presionándome para poder dar lo mejor de mí y por todo el cariño que me ha brindado.

A todos mis compañeros y amigos del grupo CIDIC muchísimas gracias por todo su apoyo, colaboración y porque siempre creyeron en mis capacidades. Sin su constante ayuda esta meta no se habría logrado. Agradecimientos especiales a mi gran amigo Armando por estar siempre dándome fuerzas para seguir y al profesor Elkim Roa, quien mas que el director del proyecto es un amigo que siempre me motivó para darle un nuevo rumbo a mi vida y me transmitió su pasión por la microelectrónica.

RESUMEN

TÍTULO: DISEÑO DE UN CONVERTOR ANALÓGICO-DIGITAL INTEGRADO EN TECNOLOGÍA CMOS¹

Autor: Jorge Enrique Vargas Solano²

Palabras claves: *Pipeline, ADC, RF, Bluetooth, OTA.*

Descripción

Este proyecto plantea el diseño de un convertor analógico-digital (*ADC*) completamente integrado en un chip, para su posterior aplicación en un sistema de recepción de radiofrecuencia (*RF*) en tecnología CMOS.

En este trabajo el problema de diseño del *ADC* en tecnología CMOS con arquitectura *pipeline*, es abordado mediante la adaptación de una metodología de diseño ya existente en la literatura, cumpliendo con los compromisos entre cada una de las variables de diseño para una aplicación *Bluetooth 2,45 GHz*. El diseño de los bloques básicos del convertor, como es el caso del amplificador de transconductancia *OTA*, se ha realizado con base en una metodología que aplica la programación geométrica, buscando un diseño optimizado teniendo en cuenta un compromiso basado en el bajo consumo de potencia. Con el fin de realizar un trabajo que sea acorde con el estado del arte de circuitos integrados analógicos para radiofrecuencia, los análisis presentados en este trabajo son derivados mediante la adaptación y revisión cuidadosa de diferentes trabajos especializados.

El diseño del *ADC* fue realizado para el proceso de fabricación $0,35\mu\text{m}$ CMOS *C35B4* de *AMS (Austria-MicroSystems)*. Algunas de las especificaciones de desempeño del sistema, obtenidas mediante simulación, son las siguientes: frecuencia de muestreo 40MS/s , resolución total 12bits y un consumo de potencia total estimado de 200 mW para una tensión de alimentación de $3,3\text{V}$.

¹Modalidad: Trabajo de grado.

²Facultad de Ingenierías Físicomecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: MPE Jaime Guillermo Barrero

SUMMARIZE

TITLE: DESIGN OF AN ANALOG TO DIGITAL CONVERTER INTEGRATED IN CMOS TECHNOLOGY*

Author: Jorge Enrique Vargas Solano**

Key words: *Pipeline, ADC, RF, Bluetooth, OTA.*

Description

This project presents the design of an analog to digital converter (ADC) that is fully integrated into a chip, for subsequent application to a radiofrequency (RF) receiving system in CMOS technology.

In this work the design problem of the ADC in CMOS technology with pipeline architecture, it is addressed by adapting a design methodology existed in the literature, complying with the commitments between each of the design variables of a Bluetooth 2,45GHz application. The design of the building blocks of the converter, such as the transconductance amplifier (OTA), has been conducted, based on a methodology that applies geometric programming, looking for a design optimized taking into account a compromise based on the low power consumption. In order to do a job that is commensurate with the state of the art of analog integrated circuits for radiofrequency, the analysis presented in this paper are derived by adapting and careful review of various specialized work.

The design of ADC was made to the manufacturing process 0,35 μm CMOS C35B4 by AMS (Austria-MicroSystems). Some of the performance specifications of the system, obtained through simulation are as follows: sampling frequency 40 MS/s, full 12-bit resolution and an estimated total power consumption of 200 mW for a supply voltage of 3.3 V.

*Degree Project.

**Physics Mechanical Engineering Faculty. Electric, Electronic and Telecommunications School. Director: MSc. Elkim Felipe Roa Fuentes. Co-Director: MPE Jaime Guillermo Barrero

Contenido

1. Introducción	1
1.1. Especificaciones de un <i>ADC</i>	2
1.1.1. Resolución	3
1.1.2. Cuantización	3
1.1.3. No-linealidad	4
1.1.4. Relación señal a ruido	5
1.1.5. Relación de señal a ruido más distorsión	6
1.1.6. Rango dinámico	7
1.1.7. Rango dinámico libre de espurios	7
1.2. Revisión de arquitecturas de <i>ADC</i>	7
1.2.1. Flash <i>ADC</i>	8
1.2.2. Semi-Flash <i>ADC</i>	9
1.2.3. <i>ADC</i> paralelo	9
1.2.4. <i>ADC</i> s Sigma-Delta sobremuestreados	10
1.2.5. <i>Pipeline ADC</i>	11
1.2.6. Selección de la arquitectura para el <i>ADC</i>	11
1.3. Organización del documento	12
2. Diseño de <i>OTAs</i> y comparadores	13
2.1. Programación Geométrica	13
2.2. Diseño del <i>OTA</i>	16
2.2.1. Especificaciones del <i>OTA</i>	16
2.2.2. Resultados del <i>OTA</i>	17
2.3. Diseño del comparador	20
3. Análisis de resultados	23
3.1. Simulaciones	23
3.1.1. Circuito <i>S/H</i>	23
3.1.2. <i>sub-ADC</i>	26
3.2. <i>Layout</i>	27
3.3. Conclusiones y observaciones	29
3.4. Recomendaciones para trabajos futuros	30
A. Arquitectura <i>Pipeline</i>	31
A.1. Fundamentos	31
A.1.1. Operación de la etapa <i>Pipeline</i>	31
A.1.2. Formación del código de salida	32
A.2. Selección de parámetros del conversor	32

A.2.1. Tasa de muestreo	32
A.2.2. Rango dinámico	33
A.3. Sub- <i>ADC</i>	34
A.3.1. Revisión de topologías de comparadores	36
A.4. DAC multiplicador (MDAC)	39
A.4.1. Requerimientos para aplicaciones SC	39
A.4.2. Amplificadores Operacionales	42
B. Circuitos de muestreo	47
B.1. Fundamentos sobre muestreo y retención	47
B.1.1. Espectro de las señales muestreadas	49
B.1.2. Tópicos de ruido en circuitos <i>S/H</i>	52
B.2. Arquitecturas básicas de circuitos <i>S/H</i>	53
B.2.1. Arquitecturas de lazo abierto	54
B.2.2. Arquitecturas de lazo cerrado	57
B.2.3. Resumen de arquitecturas de <i>S/H</i> para el <i>ADC</i>	59
Bibliografía	61

Lista de figuras

1.	El <i>ADC</i> visto como una caja negra.	2
2.	Principio básico del <i>ADC</i>	3
3.	Error de cuantización para un <i>ADC</i> de 3 bits.	4
4.	Descripción de los errores DNL e INL.	5
5.	Espectro de un <i>ADC</i> no ideal, para medir el SFDR.	7
6.	Principio de la conversión A/D.	8
7.	Flash <i>ADC</i> de N-bits.	8
8.	Convertor Semi-flash.	9
9.	Diagrama de bloques de un <i>ADC folding</i>	9
10.	<i>ADC</i> paralelo de cuatro canales.	10
11.	Modulador sigma-delta de segundo orden.	10
12.	<i>ADC</i> con arquitectura <i>pipeline</i>	11
13.	Amplificador Cascodo doblado.	17
14.	Ganancia y fase del <i>OTA</i>	18
15.	Verificación del <i>slew rate</i> del <i>OTA</i>	19
16.	Rangos de excursión para el <i>OTA</i>	19
17.	Característica de entrada/salida del comparador de tensión.	20
18.	Sub <i>ADC</i> con las selección del comparador.	21
19.	Función de transferencia del comparador.	22
20.	Esquemático del circuito <i>S/H</i> diseñado.	24
21.	Establecimiento de las muestras en el circuito <i>S/H</i>	24
22.	Resultados de simulación para el <i>S/H</i>	25
23.	Simulación de la salida del sub <i>ADC</i>	26
24.	<i>Layout</i> del <i>ADC</i> diseñado.	27
25.	Especificación de rango dinámico en el <i>ADC</i>	33
26.	Selección del número de etapas y el número de bits por etapa.	34
27.	Convertor analógico digital de 1,5 <i>bits</i>	35
28.	Comparador divisor resistivo.	36
29.	Comparador par diferencial.	37
30.	Comparador par diferencial con distribución de carga.	38
31.	Circuito convertor digital-analógico multiplicador.	40
32.	Amplificador con compensación de <i>Miller</i>	43
33.	Amplificador compensado al estilo <i>Ahuja</i>	43
34.	Amplificador Cascodo Telescópico.	44
35.	Amplificador Cascodo doblado.	45

36.	OTA con preamplificador de baja ganancia.	46
37.	Forma de onda de salida de diferentes circuitos S/H	47
38.	Métrica de desempeño en el dominio del tiempo de circuitos S/H	49
39.	Espectro de una señal muestreada.	50
40.	Espectro de una señal muestreada y retenida.	51
41.	Un circuito S/H simple (a) y un circuito S/H práctico (b).	54
42.	Un circuito S/H simple utilizando un <i>buffer</i> seguidor de fuente	55
43.	Esquemático simplificado del circuito S/H mostrado en [1].	55
44.	S/H utilizando un <i>buffer</i> seguidor de fuente linealizado [2].	56
45.	Circuito de muestreo y retención utilizando capacitancia de retención de Miller [3].	57
46.	Un circuito S/H de lazo cerrado básico.	57
47.	Un circuito S/H de capacitores conmutados.	58
48.	Esquemático simplificado de un circuito S/H usando transconductancias conmutadas.	59
49.	Un circuito de capacitores conmutados presentado en [4].	60

Lista de Tablas

1.	Parámetros de los <i>OTAs</i>	17
2.	Dimensiones y fuentes de polarización para el <i>OTA</i>	18
3.	Resultados de simulación para el <i>OTA</i>	18
4.	Desempeño de los comparadores.	39
5.	Comparación de amplificadores de una etapa.	46

Capítulo 1

Introducción

Una de las manifestaciones de la tendencia humana por generar entornos confortables, se evidencia en su afán por suplir la necesidad básica de comunicación. Tener la posibilidad de acceder a la información en cualquier lugar, condición y tiempo ha impulsado la demanda de sistemas portátiles. Como respuesta a esta creciente demanda, la academia y la industria electrónica han desarrollado sistemas de transmisión y recepción inalámbricos (*transceivers*¹), los cuales han adquirido gran importancia en el escenario tecnológico mundial.

En sistemas de telecomunicación como telefonía móvil, acceso inalámbrico a Internet, sistema de posicionamiento global, entre otros, la tendencia existente es aumentar las tasas de transmisión de datos, anchos de banda y mejorar la relación de señal a ruido. Debido a esta tendencia, existe una necesidad por conversores de datos con altas velocidades de conversión y mayor resolución, entre otras características. Una parte de esta mejora en desempeño viene con la evolución tecnológica.

Inicialmente, la industria desarrolló circuitos de radiofrecuencia en tecnologías de buen desempeño a altas frecuencias (*Bipolar*, *GaAs*, *BiCMOS*). No obstante, los altos costos de esas tecnologías y la incompatibilidad de integración con los circuitos de procesamiento de datos digitales comprometen la disminución de costos y tamaño². Gracias al incremento en los niveles de integración, se consiguen sistemas con menor número de chips. La meta es lograr integrar todo en un sólo chip (SoC³), para que tanto los circuitos analógicos como los digitales sean integrados en la misma oblea de silicio, esto representa retos adicionales para el diseño analógico.

Los principales retos en el diseño de conversores de datos son los bajos voltajes de alimentación, la variación de parámetros en procesos *MOS* y el desarrollo de herramientas de diseño y simulación. En los conversores analógico-digital (*ADCs*), el diseño se realiza con base en los compromisos existentes entre los requerimientos de linealidad, tasa de conversión, resolución y consumo de potencia.

En este trabajo se realiza el diseño de un conversor analógico-digital integrado en tecnología *CMOS*, para su posterior implementación en un sistema *transceiver*, dejando abierta la

¹Se utilizará este término en inglés debido a que la traducción utilizada por algunos autores, la cual corresponde a transceptor, no ha sido plenamente aceptada por la academia internacional y no encierra la esencia del dispositivo al que se hace referencia. En adelante, los términos en inglés usados se presentarán en letra cursiva.

²Los circuitos digitales son comúnmente realizados en tecnología *CMOS*, debido a que el continuo escalamiento de las dimensiones de los dispositivos en esta tecnología ha permitido mayor integración y mejor desempeño de estos circuitos. Adicionalmente el aumento en la frecuencia de operación ha perfilado la tecnología *CMOS* como una opción viable para implementación de circuitos RF [5].

³SoC del inglés System On a Chip.

posibilidad de trabajar con varios estándares de comunicación, entre ellos *Bluetooth*.

Este capítulo presenta un breve análisis de las principales especificaciones de un *ADC* destacando aquellas de mayor relevancia para su posterior diseño. Luego de esto, se hace una recopilación de algunas de las arquitecturas de *ADCs* más rápidas para analizar sus ventajas y desventajas. Todo esto con el fin de ambientar el problema de diseñar un conversor analógico-digital en tecnología *CMOS*. Lo que se presenta a continuación es una recopilación y adaptación basada en las tesis doctorales de Mikko Waltari [6], D. W. Cline [7], y los libros de Gustavsson [8] y Razavi [9], que son considerados como los principales materiales de referencia en el tema de conversores de datos.

1.1. Especificaciones de un *ADC*

Los requerimientos del sistema de comunicación en el cual se desea integrar el conversor analógico-digital, en este caso el estándar *Bluetooth*, definen las especificaciones del diseño, no obstante, antes de empezar a diseñar con base en especificaciones, es necesario estudiar las características de un conversor. Esta sección presenta los fundamentos y características más relevantes en el tema de conversores de datos, para conocer las limitaciones del *ADC* y como estas afectan el desempeño del sistema.

Un *ADC* se define como un dispositivo que convierte las señales obtenidas del mundo real (analógico) en códigos digitales, en otras palabras, toma una señal de entrada analógica usualmente en la forma de un voltaje o una corriente y la convierte en un valor digital de N bits como se muestra en la figura 1.

Las señales analógicas tienen un rango continuo de valores, similar a la recta de números reales como se ve en la figura 2, el *ADC* toma un rango de la señal y lo divide en subrangos, cada subrango es denominado *paso* del *ADC* y generalmente se denota por la letra Δ , usualmente es de tamaño uniforme, pero en algunas aplicaciones puede ser variable. El parámetro Δ se define como

$$\Delta = \frac{FS}{2^N}, \quad (1.1)$$

donde, FS^4 es el rango de valores que se tiene a la entrada, y N el número de bits del conversor. Durante el proceso de conversión la entrada previamente muestreada es tomada y comparada para decidir a que subrango corresponde y envía el código digital apropiado a la salida.

A continuación se presentan brevemente las características más relevantes de un *ADC*, todo para definir el entorno de diseño y conocer mejor el funcionamiento de un *ADC*, para una revisión más detallada se puede referir a [7, 8]

⁴FS es la abreviación en inglés de Full Scale y se entiende como el rango dinámico de entrada.

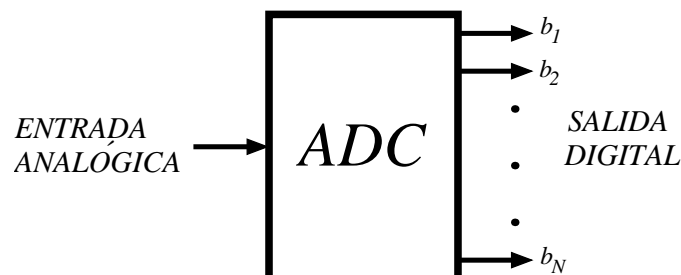
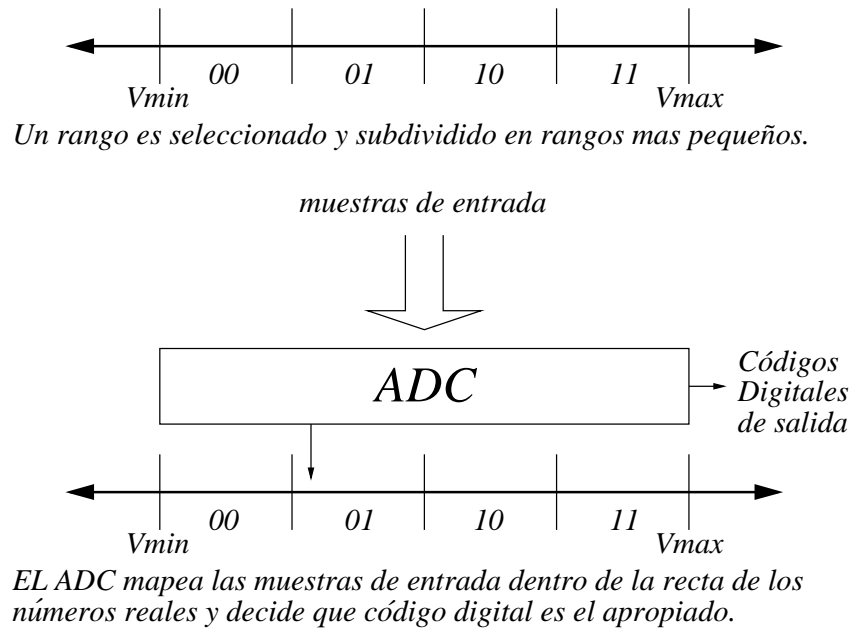


Figura 1: El *ADC* visto como una caja negra.

Figura 2: Principio básico del *ADC*.

1.1.1. Resolución

La resolución describe la fineza de la cuantización realizada por el *ADC*. Un *ADC* con alta resolución divide el rango de entrada en un mayor número de subrangos que uno de baja resolución. La resolución es usualmente definida como el logaritmo base 2 del número de subrangos del *ADC*. Esta cantidad está referida como el número de bits resuelto por el *ADC*, es decir, para una señal de entrada fija, un *ADC* de alta resolución puede resolver señales más pequeñas que las que uno de baja resolución puede resolver. Usualmente la resolución de un *ADC* es degradada ya sea por ruido o por no-linealidad, sin embargo, hay muchas técnicas para caracterizar la verdadera resolución de un *ADC* midiendo el ruido y la no-linealidad [7].

1.1.2. Cuantización

El número de códigos en un conversor de datos es aproximadamente 2^N , si se utiliza un código efectivo. Por esta razón solamente una cantidad limitada de niveles de amplitud analógica aparecen en el conversor de datos, llevando a un error de conversión inherente. El error de cuantización de un *ADC* de 3 bits se muestra en la figura 3. Se observa que la amplitud del error es $\pm\Delta/2$ y se divide en 2^N segmentos. En cada segmento el error cambia linealmente como una función de la señal de entrada, si la resolución del conversor es alta, es razonable asumir que el error de conversión puede ser tratado como ruido blanco, teniendo la misma probabilidad de caer dentro del rango $\pm\Delta/2$. Se puede calcular la potencia de la señal de ruido (su valor rms) como

$$P_n(t) = x_{rms}^2(t) = \int_{-\infty}^{\infty} e^2 \cdot p(e, t) de. \quad (1.2)$$

Donde $x(t)$ es la señal de ruido, $p(e, t)$ es la función de densidad de probabilidad y e es una variable de integración. Entonces si se asume que el ruido de cuantización tiene una función

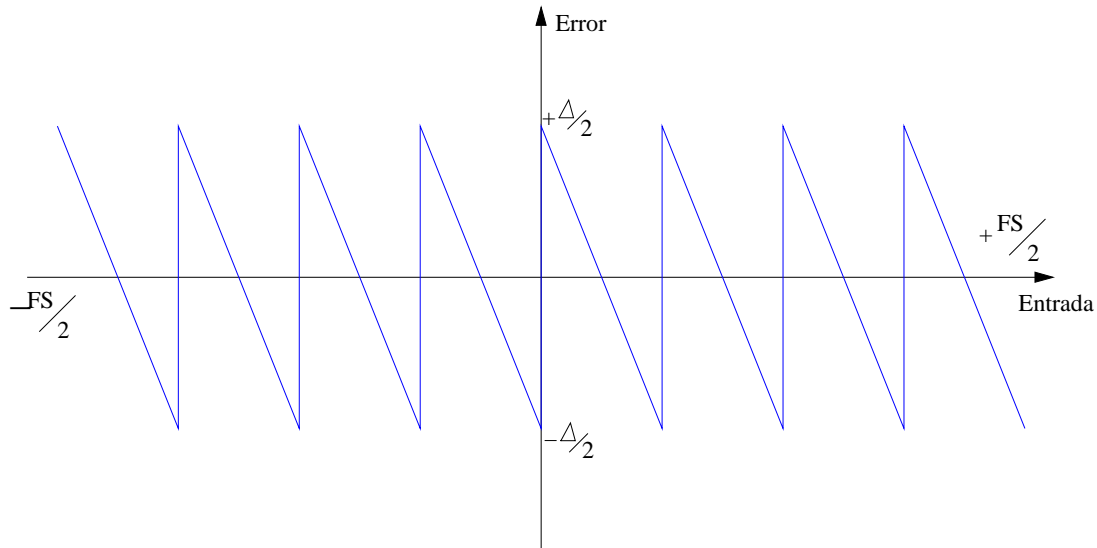


Figura 3: Error de cuantización para un *ADC* de 3 bits.

de densidad de probabilidad uniforme y no es función del tiempo,

$$p(e, t) = \begin{cases} \frac{1}{\Delta}, & -\frac{\Delta}{2} < e < \frac{\Delta}{2} \\ 0, & \text{para otro } e. \end{cases} \quad (1.3)$$

La potencia rms de la señal de ruido de cuantización, se puede calcular como

$$P_n = \int_{-\Delta/2}^{\Delta/2} e^2 \cdot \frac{1}{\Delta} de = \frac{\Delta^2}{12}. \quad (1.4)$$

1.1.3. No-linealidad

Algunas aplicaciones requieren intencionalmente que un *ADC* sea no-lineal, sin embargo, en la mayoría de *ADC*s se pretende tener una característica de transferencia que se aproxime a una línea recta. En la figura 4 se muestra la función de transferencia para un *ADC* ideal y no-ideal, en ella se observa la característica de transferencia, por esta razón, la no-linealidad está incluso presente en conversores ideales debido a esta función de transferencia escalonada, la desviación en el paso en un conversor práctico contribuye a una mayor no-linealidad [7]. Existen dos tipos de no-linealidades que ayudan a caracterizar la desviación en el paso de cuantización.

1.1.3.1. No-Linealidad Diferencial

La *no-linealidad Diferencial* (DNL) mide la diferencia existente entre el tamaño de paso actual de conversión y el tamaño de paso nominal Δ , puede ser escrita como

$$DNL_k = \tilde{X}_{t,k+1} - \tilde{X}_{t,k} - \Delta \quad (1.5)$$

donde $\tilde{X}_{t,k+1}$ y $\tilde{X}_{t,k}$ son valores reales de la función de transferencia para el paso actual y anterior respectivamente.

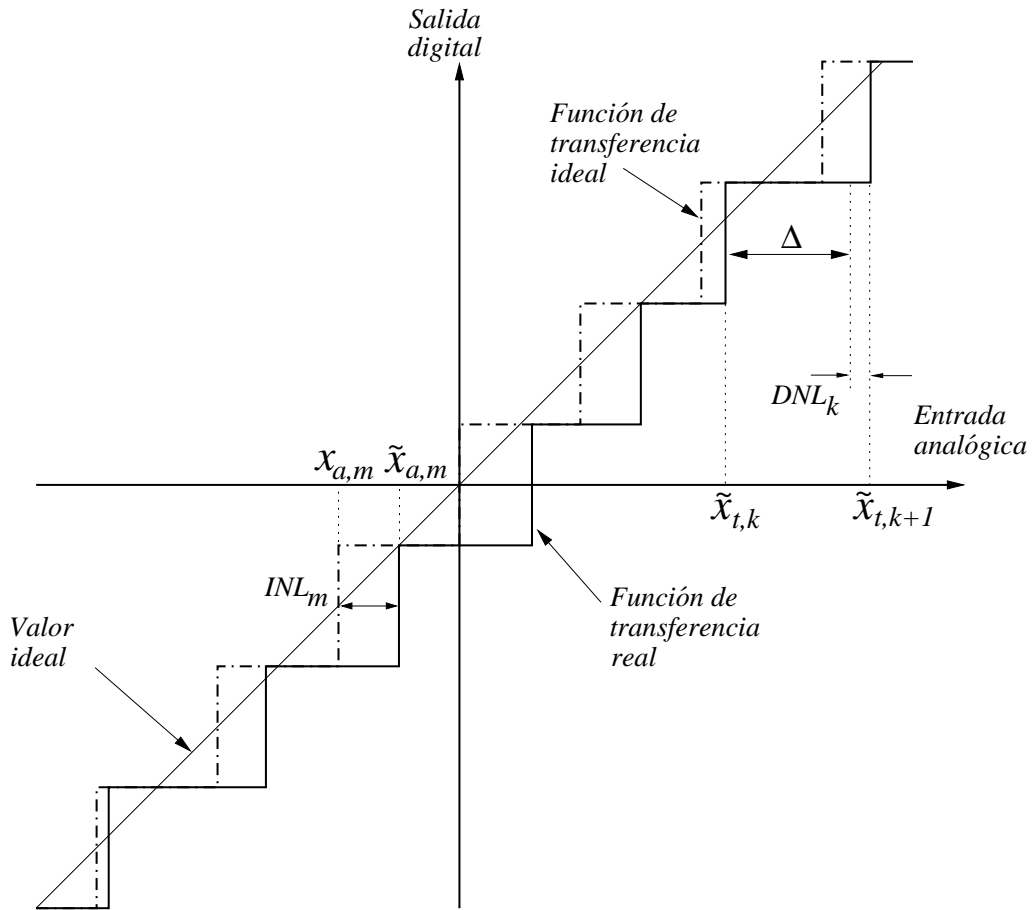


Figura 4: Descripción de los errores DNL e INL.

1.1.3.2. No-Linealidad Integral

La *no-linealidad Integral* (INL) es la diferencia entre la característica de transferencia actual y la línea recta característica donde el ADC se intenta aproximar, se escribe como

$$INL_k = \tilde{X}_{a,k} - X_{a,k} - \Delta \quad (1.6)$$

donde $\tilde{X}_{a,k}$ es el valor real de la función de transferencia y $X_{a,k}$ es el valor ideal. DNL e INL son ambos graficados como una función del código, y son generalmente expresados en términos de LSB⁵ de la entrada del conversor, el LSB de la entrada del conversor es equivalente al paso de conversión. En la figura 4 se ilustra el DNL como la diferencia (en valor absoluto) entre el paso actual y el paso nominal, mientras que el INL es la diferencia entre el valor de conversión actual y el valor ideal [8].

1.1.4. Relación señal a ruido

La relación de señal a ruido, es la relación entre la potencia de la señal y la potencia del ruido en la salida del ADC. Una forma de caracterizar un conversor de datos es medir el ruido usando una señal sinusoidal, para luego calcular el SNR del ADC para tal señal de entrada [8]. La máxima amplitud sin causar saturación de una señal sinusoidal de entrada

⁵Del término inglés Least Significant Bit

es $\Delta \cdot 2^{N-1}$ y la potencia promedio esta dada por

$$P_s = \frac{(\Delta \cdot 2^{N-1})^2}{2}. \quad (1.7)$$

El SNR de un *ADC* ideal para una señal sinusoidal de entrada puede ser calculado como

$$SNR = \frac{P_s}{P_n} = \frac{(\Delta \cdot 2^{N-1})^2/2}{\Delta^2/12} = 1,5 \cdot 2^{2N}, \quad (1.8)$$

o expresado en decibeles

$$SNR_{dB} = 10 \cdot \log 1,5t + 20N \cdot \log 2 = 6,02 \cdot N + 1,76[dB]. \quad (1.9)$$

Donde P_s y P_n son la potencia de la señal y la potencia del ruido respectivamente. Cuando se determina el SNR, la relación entre la frecuencia de la señal senoidal y la frecuencia de muestreo debe ser irracional. Si la señal de entrada se desvía de la señal senoidal, el término constante, que depende del valor *rms* de la amplitud de la forma de onda, difiere de 1,76 dB. La ecuación 1.9 indica que cada bit adicional da un aumento de 6,02 dB en el SNR. Si se utiliza sobremuestreo, lo cual significa que la tasa de muestreo f_s es mucho mayor que el ancho de banda de la señal f_{sig} , el ruido de cuantización se promedia en un ancho de banda mayor y la relación señal a ruido aumenta,

$$SNR = 10 \cdot \log \left(\frac{3}{2} 2^{2N} OSR \right) = (6,02 \cdot N + 1,76 + 10 \log(OSR))[dB], \quad (1.10)$$

donde la tasa de sobremuestreo OSR esta dada por

$$OSR = \frac{f_s}{2 \cdot f_{sig}}. \quad (1.11)$$

La ecuación 1.10 sugiere que la relación señal a ruido incrementa en 3 dB por octava de sobremuestreo.

1.1.5. Relación de señal a ruido más distorsión

La relación de Señal a Ruido más Distorsión (*SNDR*) se usa también para medir el rendimiento de un *ADC*. La *SNDR* mide la degradación debida a los efectos combinados del ruido, errores de cuantización y la distorsión armónica. La *SNDR* de un sistema es usualmente medida para una señal sinusoidal a la entrada y como una función de la frecuencia y la amplitud de la señal de entrada. Cuando una señal sinusoidal es aplicada al sistema, la salida contiene una componente de señal en la frecuencia de entrada y otras componentes debido a la distorsión. Un *ADC* usualmente muestrea una señal con una tasa finita, como resultado, algunos de los productos de la distorsión armónica son repetidos (*aliased*) a frecuencias más bajas.

$$SNDR = 10 \cdot \log \left(\frac{\text{Potencia de la señal}}{\text{Potencia del ruido más distorsión}} \right). \quad (1.12)$$

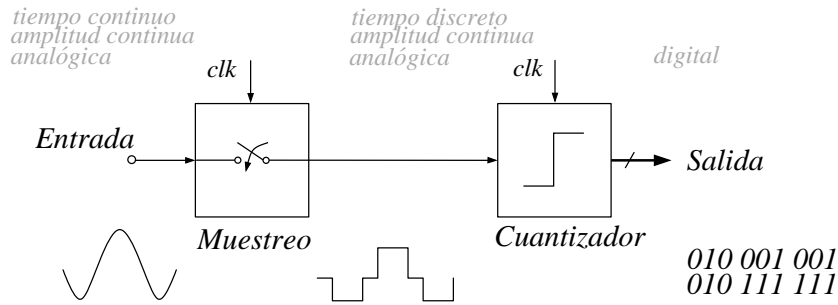


Figura 6: Principio de la conversión A/D.

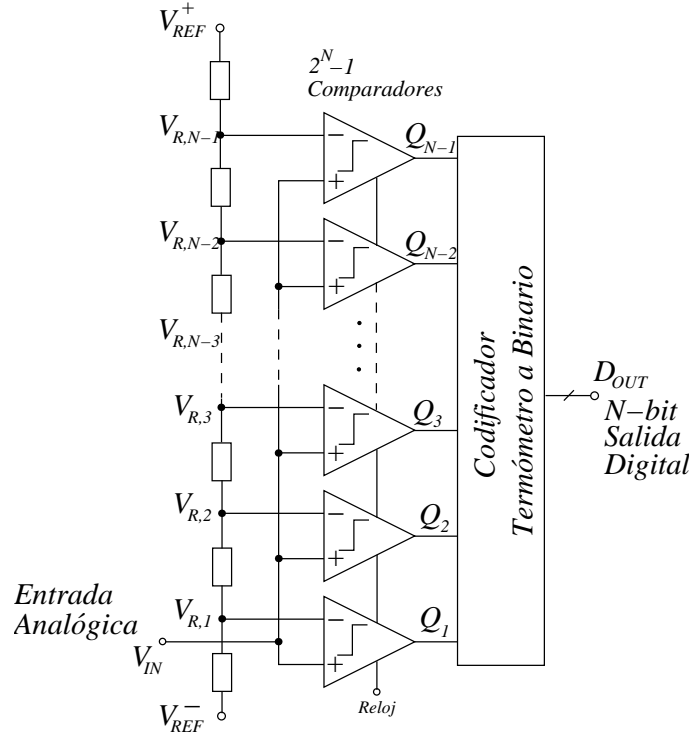


Figura 7: Flash ADC de N-bits.

el muestreo y la cuantización usualmente están separados, y de esta forma, se puede optimizar el desempeño de los circuitos de manera independiente, disminuyendo de esta manera los compromisos existentes entre los dos circuitos. Con este orden de ideas se tiene que la velocidad de cada arquitectura de conversor depende de como se optimice su desempeño. En lo restante de esta sección se analizarán de manera breve algunas de las arquitecturas de conversores consideradas de alta velocidad, destacando sus ventajas y desventajas.

1.2.1. Flash ADC

Flash ADC es la arquitectura más simple y más rápida para los ADC. La configuración típica se muestra en la figura 7. Se tienen $2^N - 1$ niveles de cuantización y un número igual de comparadores. Los voltajes de referencia para los comparadores son generados usando una escala de resistores, que están conectados entre las referencias positiva (V_{ref}^+) y negativa (V_{ref}^-) que determinan el rango a escala completa. Las salidas de los comparadores forman un código de $2^N - 1$ bits, llamado código termómetro. Un decodificador es usado para generar

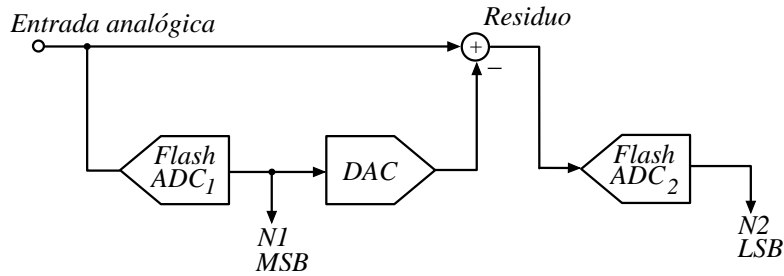
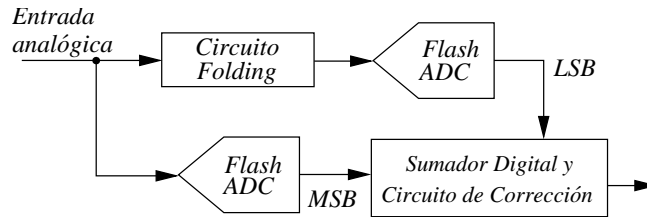


Figura 8: Conversor Semi-flash.

Figura 9: Diagrama de bloques de un *ADC folding*.

una representación más conveniente a la salida. Ya que la señal de entrada esta conectada directamente a la entrada de los comparadores, la velocidad esta limitada solamente por los comparadores. El principal problema con esta arquitectura es que el número de comparadores incrementa exponencialmente con el número de bits, lo cual aumenta tanto el área como el consumo de potencia del circuito. Por esta razón, los *ADC* diseñados con la arquitectura flash están limitados a 6 o 7 bits de resolución.

1.2.2. Semi-Flash *ADC*

Un conversor Semi-Flash consiste en dos etapas, cada una con un conversor flash, como se muestra en la figura 8. En este tipo de conversor hay un *ADC* para los bits más significativos (coarse *ADC*), luego la diferencia entre la señal de entrada y la señal convertida de D/A del primer *ADC* (esta diferencia es llamada residuo), es convertida por un segundo *ADC* (fine *ADC*) resultando los bits menos significativos. Aunque el tiempo de conversión de un *ADC* semi-flash sea más largo que para uno flash, esta es una arquitectura muy rápida. Además, el conversor semi-flash requiere solamente $2 \cdot 2^{N/2} - 2$ comparadores, resultando en el uso de conversores semi-flash en aplicaciones de mayor resolución.

La arquitectura de *ADC* plegable (*folding*) es una sub-aplicación de la arquitectura semi-flash. En esta arquitectura, el *DAC* y el bloque sumador son reemplazados por un circuito de preproceso analógico llamado circuito *folding*. El principio de la técnica de *folding* es realizar la conversión en dos pasos, pero ambos conversores funcionan en paralelo como se muestra en la figura 9 [7].

1.2.3. *ADC* paralelo

En la figura 10 se muestra el diagrama de bloques de una arquitectura en la cual cuatro *ADC*s son usados en paralelo para alcanzar cuatro veces la tasa de muestreo de un conversor sencillo, ya que se pueden convertir cuatro veces más muestras que con un solo conversor. Esto también es conocido como arquitectura de intercalado en tiempo, ya que la operación de

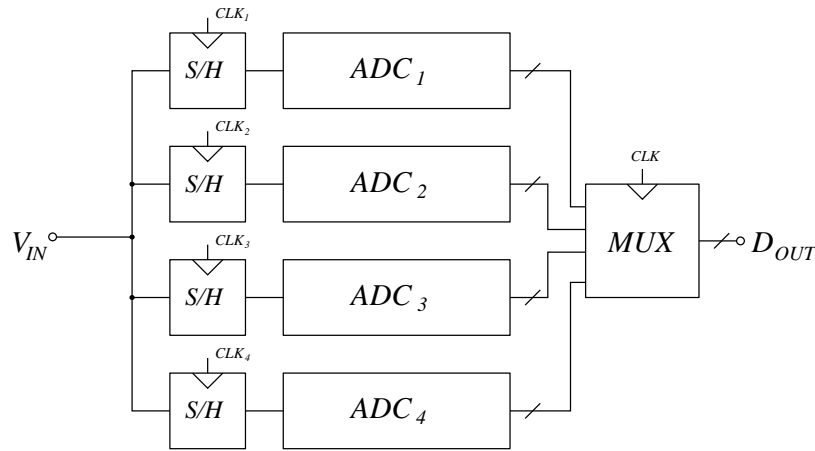


Figura 10: ADC paralelo de cuatro canales.

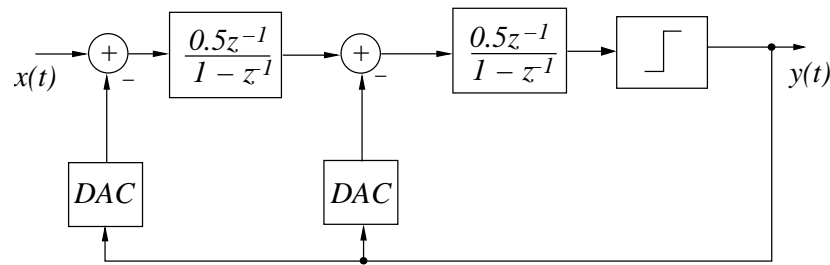


Figura 11: Modulador sigma-delta de segundo orden.

los canales *ADC* está intercalada de tal manera que un canal procesa cada cuarta muestra. La salida digital de los canales es combinada con un multiplexor en una salida sencilla.

Los principales problemas que se tienen con esta arquitectura provienen del *mismatch* entre canales. Debido a que los canales pueden tener diferentes voltajes de *offset* o sus ganancias absolutas pueden ser diferentes.

1.2.4. *ADCs* Sigma-Delta sobremuestreados

Los *ADCs* sigma-delta ($\Sigma\Delta$) están basados en el principio de que el error de conversión puede ser filtrado y luego removido por filtros digitales en un procesador de señales. Los requerimientos de las partes analógicas son relajados y se pueden alcanzar altas resoluciones. La desventaja de este tipo de conversores es que para altas resoluciones el ancho de banda de la señal se reduce con respecto a la frecuencia de operación, debido al sobre-muestreo. En la figura 11 se ilustra un modulador $\Sigma\Delta$ de segundo orden. El modulador consiste en dos integradores en tiempo-discreto, dos DACs y un cuantizador. Si el error de cuantización es modelado como ruido blanco la salida esta dada por

$$Y(z) = z^{-2}X(z) + (1 - z^{-1})^2E(z), \quad (1.15)$$

donde $E(z)$ es el ruido de cuantización en el cuantizador y $X(z)$ es la señal de entrada. El ruido de cuantización es filtrado pasa-altos mientras la señal de entrada es solamente retardada.

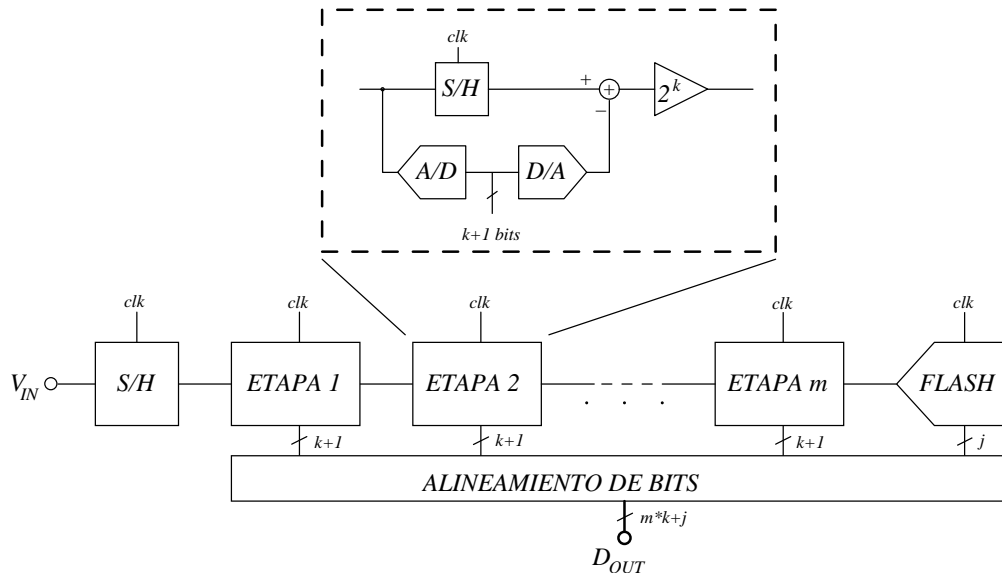


Figura 12: *ADC* con arquitectura *pipeline*.

1.2.5. *Pipeline ADC*

La arquitectura *pipeline* o multi-etapa es una de las más populares para aplicaciones de alta velocidad. En la figura 12 se puede observar que un conversor *pipeline* consiste de m etapas en cascada, cada una de las cuales genera k bits más un bit de redundancia, el cual se traslapa con los bits de la etapa siguiente. La última etapa del *pipeline* es seguida por un conversor *flash*, que genera j bits. Como resultado, la resolución final N es $m \cdot k + j$. En la práctica, la resolución de todas las etapas no es necesariamente la misma, dependiendo de la aplicación específica. En cada bloque funcional el voltaje de entrada es muestreado por el circuito *S/H* y simultáneamente es digitalizado por el sub-*ADC*. El resultado de la conversión es inmediatamente convertido a la forma analógica y restado de la señal muestreada. El residuo resultante es amplificado por G_i , el cual es nominalmente igual a 2^k [6].

Generalmente la operación de muestreo y retención, conversión *D/A*, resta y amplificación son realizadas por un bloque circuital denominado conversor digital-analógico multiplicador (*MDAC*⁶), el cual consiste en un *opamp* junto con capacitores conmutados. El sub-*ADC* de baja resolución es un conversor *flash*, constituido por comparadores, puertas lógicas y conmutadores. Debido al uso del *pipeline* la palabra de salida es retardada varios ciclos de reloj, por lo que se hace necesario un circuito que retarde y organice los *bits* de salida de cada etapa.

1.2.6. Selección de la arquitectura para el *ADC*

Al momento de escoger una arquitectura que se ajuste a las especificaciones de diseño deseadas, como lo son alta velocidad, alta resolución y bajo consumo de potencia, se analizó cada arquitectura de manera separada. Al observar la arquitectura *Flash* se tiene la más alta velocidad de trabajo, pero con el inconveniente de que a altas resoluciones el número de comparadores utilizados se eleva en escala exponencial, llevando a un alto consumo de potencia y mayor utilización de área de integración. Con el conversor *Semi-Flash* sucede algo similar ya que solo se divide el número de comparadores a la mitad. Para la arquitectura

⁶Del término en inglés *multiplying digital-to-analog converter*.

Sigma-Delta se tiene una implementación digital, lo cual facilita su diseño, pero el uso de una frecuencia sobremuestreada aumenta el consumo de potencia. En el convertor Paralelo se tienen frecuencias de operación menores que las anteriores, y el *hardware* utilizado es menor que en los casos anteriores, pero la utilización de varias etapas *Pipeline* en paralelo hacen que la sincronización sea un reto en el diseño, llevando a la selección del convertor *Pipeline* debido a que su implementación es relativamente sencilla, el consumo de potencia es menor que en los casos anteriores por trabajar a frecuencias más bajas y contar con menos *hardware* cuando se trabaja a altas resoluciones.

1.3. Organización del documento

En el capítulo 2 se presenta el diseño de los circuitos que conforman la base del *ADC*, que son el *OTA* y los comparadores. En el capítulo 3 se discuten los resultados de simulación obtenidos y se presentan las observaciones y conclusiones de este trabajo. Finalmente el anexo A se presentan las principales características del funcionamiento general del convertor con arquitectura *pipeline*, así como cada bloque circuital que lo conforma, revisando las principales topologías de amplificadores operacionales y comparadores. En el anexo B se recopilan los tópicos relacionados con el circuito de muestreo y retención, junto con las principales arquitecturas de muestreo de lazo abierto y lazo cerrado, esto con el fin de contar con una base bien justificada para la escogencia de la topología de circuito mas acorde con las especificaciones requeridas por el sistema.

Capítulo 2

Diseño de *OTAs* y comparadores

Luego de haber revisado las características de desempeño y las principales topologías de conversores, a continuación se presenta el diseño de los circuitos que son la base del conversor, el amplificador y el comparador. Antes de continuar, se hace referencia al anexo A que es donde se encuentra consignado lo referente al funcionamiento del *ADC pipeline*, junto con la presentación de las diferentes topologías de comparadores y amplificadores operacionales, esto ha sido recopilado de las tesis doctorales de Lauri Sumanen [10] y Mikko Waltari [6]. Se consideran al amplificador y al comparador los circuitos básicos, porque son el núcleo de cada etapa *pipeline* y en ellos recaen las limitaciones de desempeño. En el caso del sub-*ADC*, esta conformado por varios comparadores en paralelo sensando la señal muestreada para convertirla en datos digitales. El amplificador operacional es el componente principal tanto del *MDAC* de cada etapa, como del circuito *S/H* a la entrada del conversor. En este capítulo se trata el diseño mediante el empleo de la programación geométrica (PG), que es una herramienta *CAD*¹ utilizada para minimizar el consumo de potencia en estado estable de los circuitos. El uso de la PG como estrategia en el diseño de circuitos permite la optimización del desempeño de acuerdo a los requerimientos específicos.

2.1. Programación Geométrica

Tomando como base la experiencia de diseño realizada en [11], los resultados y conclusiones allí obtenidos son aplicados y adaptados en el diseño de los circuitos utilizados en el conversor. De esta manera el marco de referencia utilizado puede ser extraído de [11–13]. Una de las principales dificultades encontradas en el diseño utilizando la PG, es el modelado de los transistores, ya que es necesario entregar estos modelos de manera que se puedan implementar en el programa geométrico, por esta razón se necesita hacer una traducción de los modelos existentes en expresiones matemáticas que sean entendidas por el programa geométrico, como lo son el modelo monomial y el max-monomial (también llamado *pwl*). Para este efecto se puede contar con una primera aproximación con ayuda del modelo de nivel 1, pero para efectos del diseño presentado en este proyecto se ha utilizado el *BSIM3v3* nivel 49 que es utilizado por simuladores como *hspice*.

Para poder realizar lo anterior, se necesita crear un espacio de modelado con ayuda de datos obtenidos con *hspice*, partiendo de unas regiones iniciales de modelado. Luego de esto se utilizan técnicas de ajuste de datos para funciones *n*-dimensionales. Debido a que los resultados obtenidos dependen de las especificaciones, prever posibles regiones de modelado

¹Computer Assisted Design

es algo complicado, por lo que se hace necesario utilizar inicialmente modelos que cubran regiones amplias para cada variable de diseño. Pero, a medida que se aumenta el espacio de modelado, el error del modelo aumenta. Por esta razón, para incrementar la exactitud del diseño se realizan nuevos modelados con base en los primeros resultados obtenidos para delimitar regiones de modelado menores, que permitan obtener modelos con menor error. Luego se utiliza la PG nuevamente con estos modelos mejorados y se verifican los resultados con ayuda del simulador. El flujo de diseño puede resumirse de la siguiente manera:

1. Formulación matemática del circuito en la forma estándar de un PG.
2. Modelado de los parámetros del transistor que sean necesarios.
3. Construcción del programa geométrico, teniendo como entradas los modelos y las especificaciones de diseño.
4. Verificación de resultados usando el simulador.
5. Si los resultados no son óptimos, se identifican nuevas regiones de modelado y se regresa al punto 2.

En la práctica, el modelado se hace directamente con la supervisión del diseñador, pero es deseable que este proceso sea llevado a cabo de manera autónoma por las herramientas *software*, esto es un paso adelante en la automatización del diseño de circuitos integrados, que es uno de los objetivos actuales del grupo CIDIC. Como se mencionó anteriormente el modelado se lleva a cabo en dos fases, primero se crea un espacio de modelado delimitado por los límites máximo y mínimo en los cuales se desea modelar cada variable del transistor, con estos espacios de variables se simula con ayuda de *hspice* y se obtiene una matriz de datos de simulación. El siguiente paso es hallar mediante ajuste de datos los modelos tanto monomiales como posinomiales de cada parámetro del transistor. Luego de modelar, el paso a seguir es ejecutar el programa geométrico, si los resultados obtenidos están acordes con las regiones de modelado, entonces se procede a reducir el espacio de modelado, esto con el fin de que los errores en el modelado sean menores. Este proceso es repetido varias veces hasta que se logren modelos con errores pequeños.

Cuando ya se tiene una respuesta óptima del programa geométrico, se procede a verificar éstos resultados con ayuda de *hspice*, si los valores coinciden, entonces el diseño está terminado. En caso contrario se procede a definir nuevas regiones de modelado basados en los resultados obtenidos y se repite el proceso anterior. Al final de este largo proceso se obtiene el circuito diseñado y listo para ser utilizado en la siguiente fase de diseño. En este punto surge la siguiente pregunta, ¿se alcanzaron las especificaciones del diseño?, la respuesta es sí, ya que con la ayuda del programa geométrico se pueden obtener resultados muy cercanos a la verificación mediante el simulador. Pero, ¿qué sucede si se quieren cambiar de manera drástica las especificaciones del diseño?, esta pregunta se presenta generalmente cuando se quiere diseñar el mismo circuito para ser utilizado bajo situaciones diferentes, como por ejemplo, en circuitos que trabajan con varios estándares de comunicación, o cuando se tienen circuitos de varias etapas en los que las primeras etapas tienen las especificaciones más rigurosas, mientras que en las últimas se tienen especificaciones relajadas. La respuesta es, se debe iniciar otra vez el flujo de diseño, tomar nuevas decisiones para obtener los espacios de modelado, y hacer todo el proceso de nuevo. Una solución a este problema es hacer una herramienta que

mediante un diseño preliminar pueda realizar un diseño con las especificaciones cambiadas, todo esto de manera automática. Durante el desarrollo de este proyecto se planteó la elaboración de ésta herramienta de ayuda en el diseño y se trató de aplicar en el diseño del *OTA*.

Dentro de los logros obtenidos con esta herramienta, está el modelado automático de los parámetros monomiales de cada transistor, con lo cual se pueden obtener regiones de modelado para las cuales se tienen errores menores al 2%. Esta primera aproximación a la automatización del diseño mediante programación geométrica fue de gran ayuda al momento de hacer los *OTAs* de este proyecto, ya que se disminuyó el tiempo de diseño requerido al momento de reducir las regiones de modelado y bajar los errores en los modelos. Al momento de automatizar el modelado posinomial o *pwl* surgen algunas dificultades debido a la naturaleza no lineal de los modelos, y son las siguientes:

Los modelos *pwl* no tienen un número de términos bien definido, por esta razón al momento de modelar se puede utilizar cualquier número de términos.

Al momento de modelar, el ajuste de datos escoge un punto inicial que es aleatorio, por esta razón para un mismo número de términos se pueden encontrar diferentes coeficientes en los modelos y también diferentes errores.

Cuando se define el número de términos en el modelado, esto no indica que el resultado tenga igual número de coeficientes, es solamente un límite superior, debido a esto en ocasiones se generan modelos con un solo término y éstos no son compatibles con el programa geométrico.

Cuando se aumenta el número de términos no es garantía de un mejor modelo, se observan casos en que modelos con más de cuatro términos pero con errores mayores a modelos con dos o tres términos.

Adicionalmente a esto, el modelado *pwl* es demorado dependiendo del punto de arranque del ajuste y del número de términos que se utilice, haciendo necesaria la elaboración de una herramienta que optimice este tipo de modelado. Debido al limitado tiempo con el se cuenta para el desarrollo del proyecto, y teniendo en cuenta que hacer dicha herramienta consume mucho tiempo y recursos se recomienda que su elaboración se lleve a cabo en un proyecto aparte con las siguientes recomendaciones:

El programa debe contar con el diseño de un circuito preliminar que será la base tanto para las regiones de modelado, como para las especificaciones de diseño, esto con el fin de garantizar que el programa inicie y no demore demasiado en obtener una solución que sea válida.

Al momento de hacer el modelado *pwl* se recomienda el uso de programación paralela que pueda explotar mejor los recursos suministrados por los sistemas de computo actuales.

Es mejor trabajar con una especificación cada vez que se utilice la herramienta, aunque se tiene en cuenta que en algunos circuitos las especificaciones están directamente relacionadas, como por ejemplo, en el diseño del *OTA* la especificación de *slew rate* se encuentra ligada con el ancho de banda del circuito.

El incremento de la especificación o paso de trabajo puede ser dinámico, es decir, que al inicio se pueden dar saltos de mayor tamaño que en los pasos finales, donde se necesita mayor precisión en los modelos.

Es recomendable que cada vez que se obtenga una solución válida del programa geométrico, ésta se guarde para hacer una base de datos de circuitos con diferentes especificaciones, de esta manera abriendo la posibilidad de su utilización para trabajos futuros.

El uso de un lenguaje de programación basado en *shell* de linux (como por ejemplo *bash*), es de gran utilidad ya que se cuenta con la opción de ejecutar diversos comandos con una gran versatilidad, además de mejorar la apariencia tanto de los resultados como de la herramienta en sí.

En resumen, derivado de la aplicación de diversas herramientas de diseño automatizadas se obtiene el diseño del *OTA* con ayuda de la programación geométrica. Algunas de éstas herramientas fueron desarrolladas como parte del proyecto, otras fueron adaptadas de proyectos anteriores [11, 13], y están formadas por un paquete de funciones para ser utilizadas con *octave*², además de utilizar varios comandos de *shell* en Linux para mejorar la visualización y ejecución de programas alternos, entre ellos *MOSEK* y *hspice*. A continuación se presenta el diseño del *OTA* y del comparador, con sus respectivos resultados.

2.2. Diseño del *OTA*

Debido a que el *OTA* es uno de los circuitos más importantes en el diseño de un *ADC*, se realizó una selección con base en las principales especificaciones y requerimientos de desempeño, tales como precisión, velocidad, ganancia, ancho de banda y *slew rate*, además de la naturaleza capacitiva de las cargas que manejan este tipo de circuitos. Teniendo en cuenta lo anterior y después de haber revisado con detalle las diferentes topologías de amplificadores operacionales, se concluyó que las arquitecturas que presentan un mejor desempeño general son las de amplificadores de una etapa, tales como los *OTAs* con cascode telescópico y cascode doblado. Para este diseño se prefiere el uso de la topología de *OTA* con cascode doblado mostrada en la figura 13 sobre la implementación telescópica debido a que posee mayor rango dinámico de entrada y salida en modo común. Estos rangos de excursión son críticos para esta aplicación debido a la presencia de señales diferenciales con amplitudes del orden de $V_{FS}/2 = 1V$, especialmente en el *S/H* a la entrada del convertidor. Las principales desventajas del *OTA* con cascode doblado frente al telescópico son la respuesta en frecuencia y el mayor consumo de potencia, pero no son tan críticos como en implementaciones multietapa [8, 10]. En [13] se presenta de manera más detallada la revisión del diseño del *OTA* usando la programación geométrica. Los resultados y análisis obtenidos en ésta referencia son utilizados de manera que al cambiar las especificaciones de diseño se obtienen los resultados para la implementación de los diferentes *OTAs* utilizados en este proyecto.

2.2.1. Especificaciones del *OTA*

En este punto se presentan los parámetros más importantes del *OTA* como parte de un circuito *S/H* y dentro del *MDAC*, y estos son, la ganancia *DC* (A_0), la frecuencia de ganancia

²Octave es un *Software* matemático creado bajo la licencia GNU, y que posee características similares a *Matlab*®

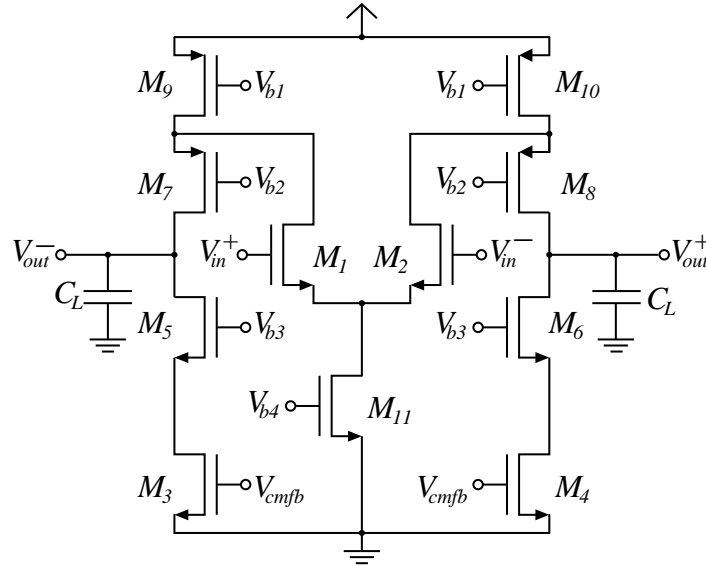


Figura 13: Amplificador Cascodo doblado.

Tabla 1: Parámetros de los *OTAs*.

Especificación del <i>OTA</i>	Circuito <i>S/H</i> y <i>MDAC</i>
Ganancia DC, A_0 (dB)	65
Frecuencia de ganancia unitaria, GBW (MHz)	120
<i>Slew rate</i> , SR (V/ μ s)	400
Margen de fase, PM ($^\circ$)	60
Fuente de alimentación, V_{DD} (V)	3,3
Consumo de potencia	mínimo

cia unitaria o producto ganancia-ancho de banda (GBW), el *slew rate* y el margen de fase. Como se dijo anteriormente en [13] se presenta un análisis más detallado de la obtención de estos parámetros para diferentes estándares de comunicación, pero el diseño presentado en este proyecto se trata de un *ADC* a la medida, es decir, con especificaciones que están sobredimensionadas al momento de trabajar con el estándar *Bluetooth*, pero se intentan obtener características cercanas a las presentadas en el estado del arte. Entonces se intenta llevar la tecnología al límite de su desempeño pero teniendo como figura de mérito el bajo consumo de potencia. En la tabla 1 se presentan los parámetros que fueron extraídos para el diseño de los *OTAs*, de acuerdo con su aplicación. Debido a que tanto el circuito de muestreo y retención como el *MDAC*, trabajan con capacitores conmutados (*SC*), las especificaciones a nivel de circuito son muy similares, por esta razón se utilizará el mismo *OTA* para ambos circuitos.

2.2.2. Resultados del *OTA*

El resultado del diseño se encuentra consignado en la tabla 2, en ella se muestran las dimensiones de los transistores y los voltajes de polarización necesarios. También se muestran las especificaciones finales del *OTA* en la tabla 3 verificados mediante simulación. La respuesta en frecuencia del *OTA* se puede observar en la gráfica 14, aquí se aprecia que el

Tabla 2: Dimensiones y fuentes de polarización para el OTA.

$W_{1,2}/L_{1,2}$	$52,3\mu\text{m}/1,45\mu\text{m}$	V_{DD}	3,3 V
$W_{3,4}/L_{3,4}$	$68,9\mu\text{m}/3\mu\text{m}$	V_{b1}	1,065 V
$W_{5,6}/L_{5,6}$	$38,5\mu\text{m}/0,6\mu\text{m}$	V_{b2}	1,219 V
$W_{7,8}/L_{7,8}$	$178,4\mu\text{m}/0,725\mu\text{m}$	V_{b3}	1,943 V
$W_{9,10}/L_{9,10}$	$165,5\mu\text{m}/2,825\mu\text{m}$	V_{b4}	0,817 V
W_{11}/L_{11}	$131,5\mu\text{m}/0,65\mu\text{m}$	C_L	1,5 pF V

Tabla 3: Resultados de simulación para el OTA.

Especificación	Valor
Ganancia DC, A_0 (dB)	68,47
Frecuencia de ganancia unitaria, GBW (MHz)	154
<i>Slew rate</i> , SR (V/ μ s)	430
Margen de fase, PM ($^\circ$)	69,86
Rangos de excursión, DR_{in} , DR_{out} (V)	> 1,5
Consumo de potencia (mW)	6,284

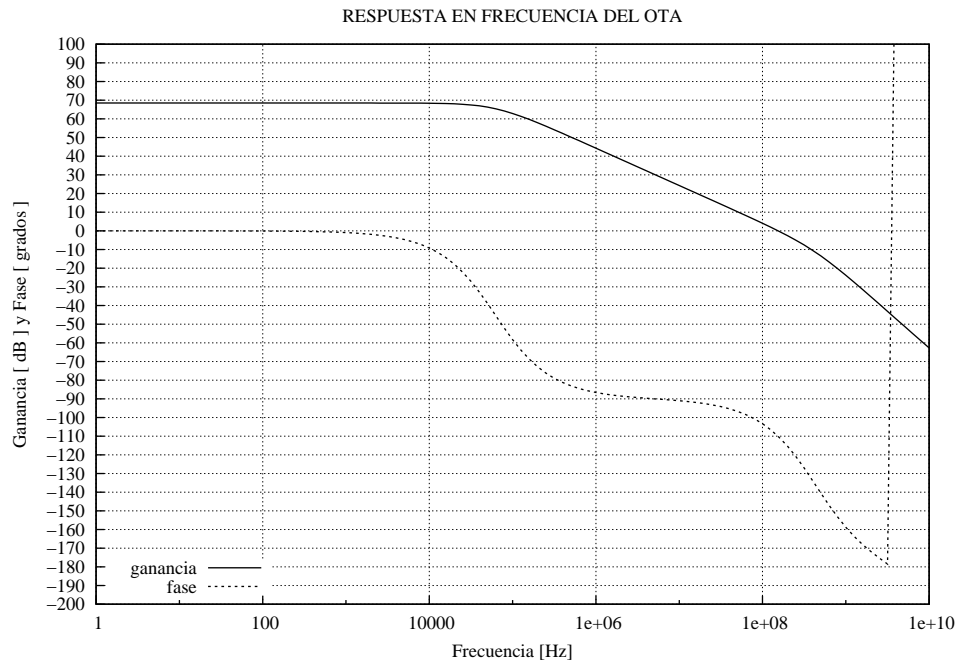


Figura 14: Ganancia y fase del OTA.

amplificador se comporta como un circuito con un polo dominante y se verifica que se cuenta con un amplio margen de fase, garantizando la estabilidad cuando el circuito es realimentado. A continuación en la figura 15 se puede observar la medición del *slew rate* del OTA cuando se aplica en la entrada un escalón de 2 V con tiempo de subida igual a 5 ns, se aprecia como la salida sigue paralelamente a la entrada. Finalmente en la gráfica 16 se muestra la medición del rango dinámico tanto de entrada como de salida en modo común, en 2.16(a) se hace

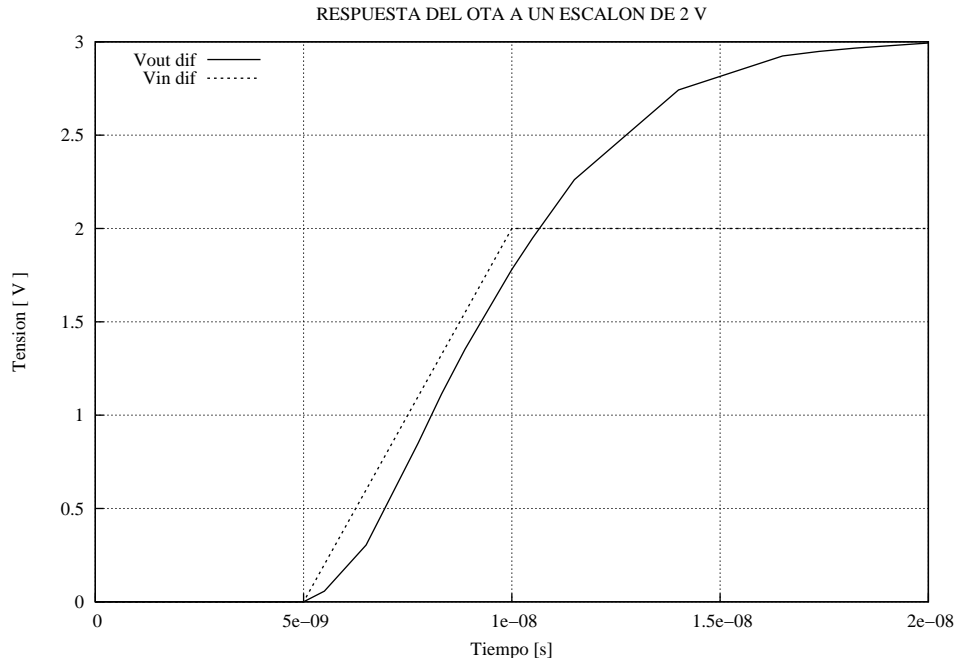
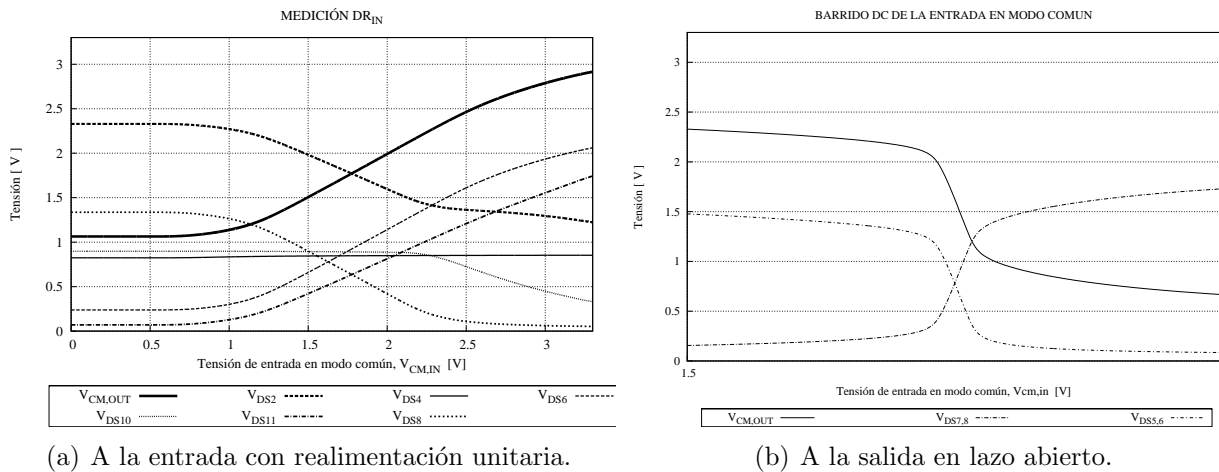


Figura 15: Verificación del *slew rate* del *OTA*.



(a) A la entrada con realimentación unitaria.

(b) A la salida en lazo abierto.

Figura 16: Rangos de excursión para el *OTA*

variar el nivel de *DC* en la entrada con el amplificador conectado en realimentación negativa, para observar el comportamiento del rango de excursión a la entrada, éste depende de la operación de los transistores M_{11} y M_8 , ya que cuando salen de la región de saturación y entran en triodo la salida del circuito sale de la región lineal. En la grafica 2.16(b) se muestra la respuesta del voltaje en modo común a la salida cuando se tienen variaciones en el voltaje de modo común de entrada con el amplificador conectado en lazo abierto. Aquí se puede observar la dependencia del rango de excursión a la salida con la región de operación de los transistores conectados al nodo de salida.

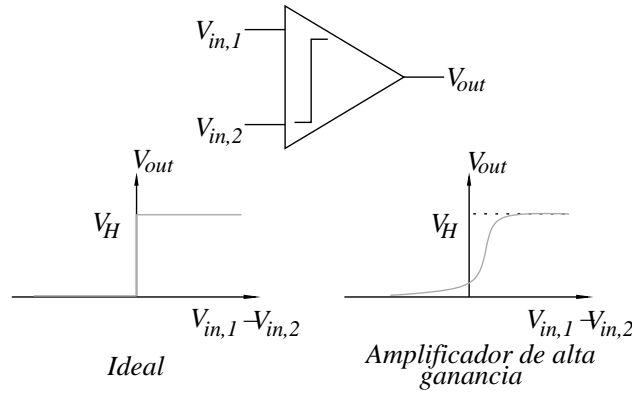


Figura 17: Característica de entrada/salida del comparador de tensión.

2.3. Diseño del comparador

El desempeño del sub-ADC y en general cualquier conversor tipo *flash*, depende de las características de los comparadores que lo conforman. La mayoría de estos circuitos utilizan comparación de voltajes en lugar de corrientes, debido a que la distribución de tensiones entre un gran número de comparadores es de cierta forma más fácil [9], además, generalmente existen circuitos que proporcionan voltajes de referencia y no corrientes de referencia. La comparación consiste en un fenómeno binario que produce una salida lógica de 1 o 0 dependiendo del valor de una entrada determinada. De esta forma, como se puede observar en la figura 17 en la función de transferencia de un comparador ideal, se tiene una transición abrupta cuando existe una diferencia positiva entre los voltajes a comparar. Este comportamiento no lineal se puede aproximar mediante un amplificador de alta ganancia, cuya pendiente alrededor de $V_{in,1} = V_{in,2}$ corresponde a su ganancia en pequeña señal (A_0) y su salida alcanza el límite V_H si la diferencia en su entrada es lo suficientemente grande. Los comparadores de alto desempeño deben amplificar pequeñas diferencias de voltaje a la entrada hasta un nivel lógico lo suficientemente grande como para ser detectado por la posterior circuitería digital dentro de un lapso de tiempo corto. Entonces, estos circuitos deben tener simultáneamente alta ganancia y amplio ancho de banda. Sin embargo, en los amplificadores el incremento de este par de especificaciones es usualmente excluyente, ya que el aumento en A_0 conlleva a la reducción del ancho de banda, y viceversa. A partir de que la amplificación requerida en los comparadores no necesita ser lineal o de lazo cerrado, la realimentación positiva puede ser empleada para obtener una ganancia virtualmente infinita. Sin embargo, para evitar el efecto indeseado de la saturación, este amplificador con realimentación positiva o *latch* debe ser habilitado sólo en el momento apropiado. En el capítulo 2 se revisaron las principales topologías de comparadores y se tomó la decisión de utilizar un comparador dinámico basado en pares diferenciales con acople cruzado como el que se muestra en la figura 18. Este comparador tiene la ventaja de ser insensible al descasamiento entre transistores, por lo que su requerimiento de *offset* no es crítico. Si se asume que las dimensiones de los pares de transistores en cada par diferencial de entrada son iguales, $W_1/L = W_2/L$ y $W_3/L = W_4/L$ el umbral de comparación se puede extraer usando las ecuaciones de larga señal de corriente para los pares diferenciales como se analiza en [10, 14]. De ahí se obtienen las siguientes ecuaciones:

$$I_{D1} - I_{D2} = \beta_1 V_{in} \sqrt{\frac{2I_{D5}}{\beta_1} - V_{in}^2} \quad (2.1)$$

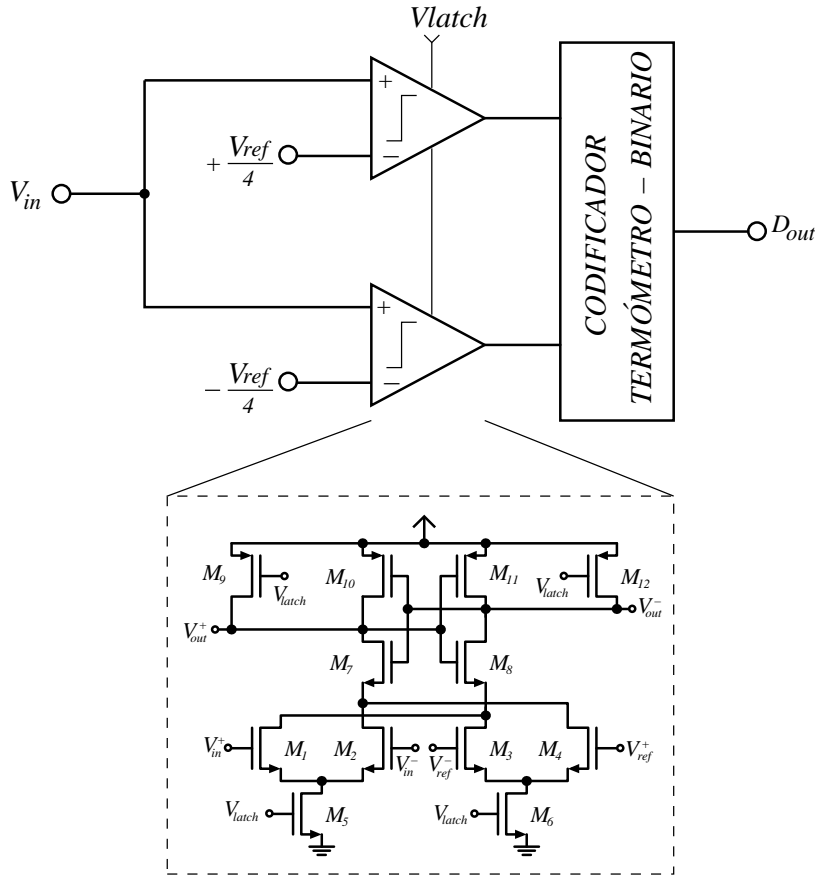


Figura 18: SubADC con las selección del comparador.

y

$$I_{D4} - I_{D3} = \beta_3 V_{in} \sqrt{\frac{2I_{D6}}{\beta_3} - V_{ref}^2} \quad (2.2)$$

donde $\beta_i = \frac{1}{2} \mu C_{ox} \frac{W_i}{L}$, $V_{in} = V_{in}^+ - V_{in}^-$ y $V_{ref} = V_{ref}^+ - V_{ref}^-$. El comparador cambia su estado cuando las corrientes de ambas ramas de salida se hacen iguales, es decir, $I_{D1} + I_{D3} = I_{D2} + I_{D4}$. Para facilitar el diseño, se puede asumir la relación entre las corrientes de polarización de los pares como d , $I_{D5} = dI_{D6}$ y denotando el umbral de comparación como e , de manera que, $V_{in} = eV_{ref}$, resultando en la siguiente condición:

$$2de^2 I_{D6} \frac{W_1}{L} - \mu C_{ox} e^4 V_{ref}^2 \left(\frac{W_1}{L} \right)^2 = 2I_{D6} \frac{W_3}{L} - \mu C_{ox} V_{ref}^2 \left(\frac{W_3}{L} \right)^2 \quad (2.3)$$

De acuerdo a la selección de parámetros del subADC hecha en el capítulo 2, el voltaje de referencia necesario para una resolución por etapa de 1.5 bits es $V_{ref}/4$. Según esto se tiene que el umbral de comparación necesario es $V_{in} = V_{ref}/4$, entonces e es igual a $1/4$. De acuerdo con este resultado y teniendo en cuenta que escogiendo los parámetros d y e de acuerdo al umbral deseado, las dimensiones de los transistores W_1 y W_3 pueden hallarse con ayuda de la ecuación 2.3. Para los transistores utilizados en el latch, es deseable contar con dimensiones mínimas para aumentar su velocidad por tratarse de interruptores MOS. A continuación se presentan los resultados obtenidos para el comparador, en la figura 19 se observa la función de transferencia del comparador al variar el voltaje de entrada desde 0 hasta 3,3 V, teniendo

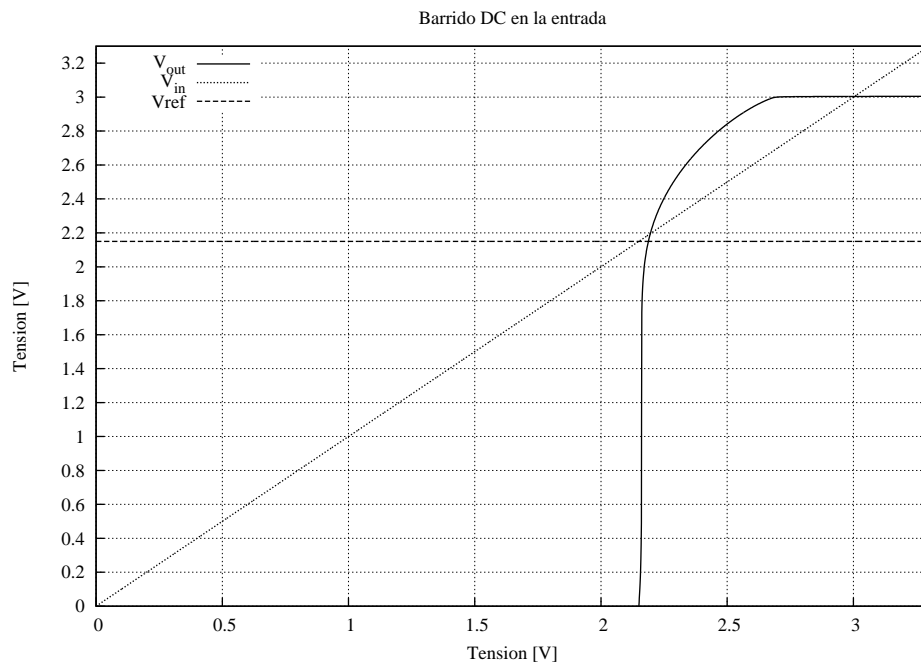
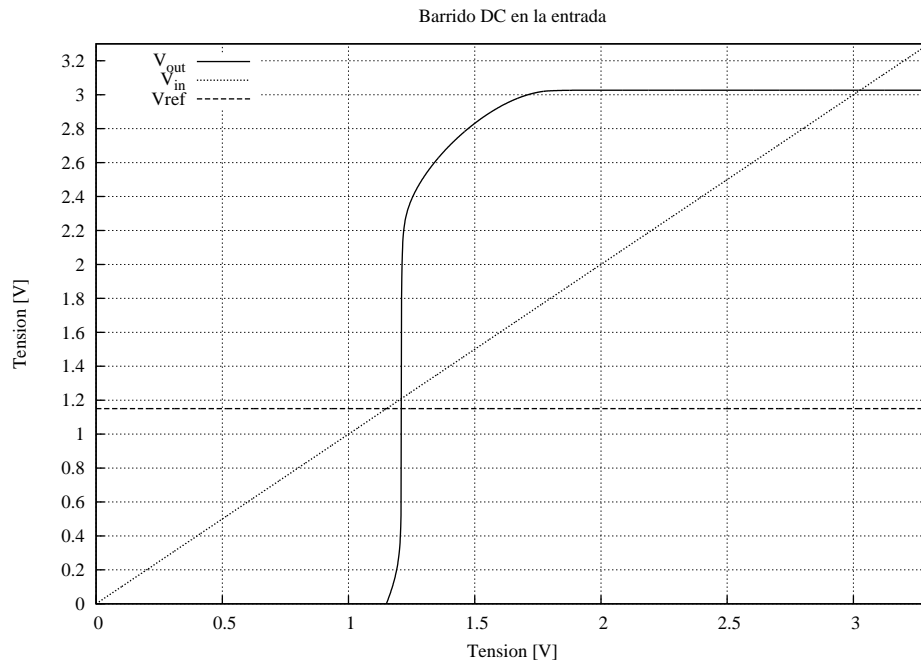


Figura 19: Función de transferencia del comparador.

como voltajes de referencia 1,15 V y 2,15 V respectivamente, se puede ver que la salida cambia de valor cuando el voltaje de entrada supera la tensión de referencia.

Capítulo 3

Análisis de resultados

Inicialmente se hizo una amplia revisión de características y arquitecturas en el capítulo 1 para contextualizar el diseño del *ADC*, luego se desarrolló una estrategia de diseño basada en la programación geométrica en el capítulo 2, y se han mostrado algunos resultados de los circuitos diseñados. Después de haber completado estas etapas, solo falta presentar los resultados finales del diseño y concluir sobre lo que se ha hecho. Este capítulo presenta los resultados obtenidos para cada bloque circuital que conforman al conversor. Luego se presenta el *layout* del circuito diseñado, junto con algunos detalles sobre su elaboración. Finalmente se presentan las conclusiones, observaciones y recomendaciones que surgieron de la realización del proyecto.

3.1. Simulaciones

Esta primera sección presenta los resultados conseguidos mediante simulaciones con *hspice*¹ para la verificación y validación del diseño de los diferentes bloques funcionales que conforman el *ADC* con arquitectura *pipeline*. Las gráficas mostradas a continuación facilitan la comprensión del proceso de conversión analógico-digital de señales eléctricas, el cual es desarrollado a lo largo de la cadena conversora. Para dar soporte a la idea anterior, el orden de presentación de las simulaciones efectuadas coincide con la trayectoria que siguen las señales a lo largo del *ADC*: ingresan por el *S/H*, siguen al *sub-ADC*, y de forma tanto simultánea como subsecuente, son procesadas por el *MDAC*.

3.1.1. Circuito *S/H*

El circuito de muestreo y retención (*S/H*) diseñado es el encargado de recibir la señal entrante analógica y discretizarla en el tiempo. Para ello, este bloque toma y retiene muestras de la señal de tensión a la frecuencia de operación deseada. De esta forma, a manera de ejemplo se tiene funcionando bajo el estándar *Bluetooth*, muestreando a $f_s = 11$ MS/s y también a $f_s = 40$ MS/s. El circuito *S/H* diseñado se muestra en la figura 20, se observa que se utilizó una topología totalmente diferencial, ya que con ello se pueden reducir los errores debido a la señal en modo común. Debido a que el *S/H* es la interfaz de entrada del *ADC*, este bloque funcional debe estar en la capacidad de manejar señales en el rango de excursión completa (V_{FS}) de acuerdo a las especificaciones extraídas en el anexo B. Asimismo,

¹La licencia de *hspice* es adquirida vía red en calidad de préstamo por parte de la *Universidade de São Paulo (USP)*.

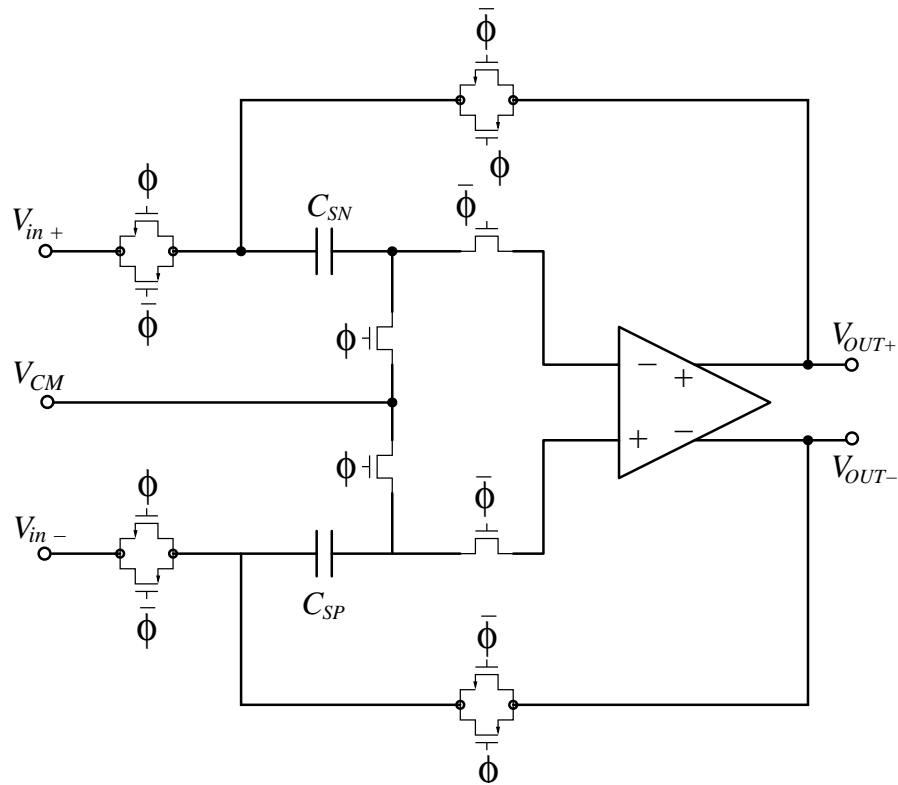


Figura 20: Esquemático del circuito S/H diseñado.

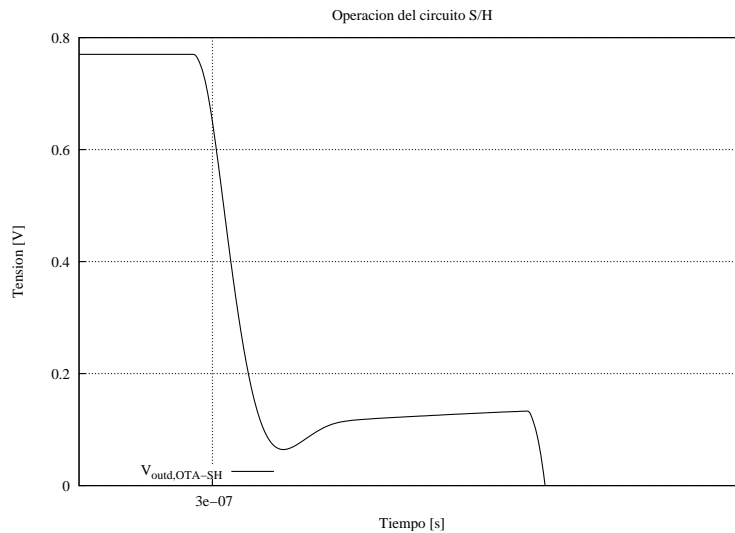


Figura 21: Establecimiento de las muestras en el circuito S/H .

debe procesar señales cuya máxima frecuencia está dada por el ancho de banda máximo en bandabase, el cual es una especificación que está asociada al estándar de comunicación inalámbrico aplicado. Este último requerimiento es de 500 kHz para *Bluetooth*, aunque el circuito diseñado esta en capacidad de manejar señales con frecuencias mayores.

A partir de las consideraciones anteriores, se presentan los resultados de las simulaciones en *hspice* para el funcionamiento del S/H bajo diferentes condiciones de operación. Debe recordarse que la especificación de SR determinada para el OTA , es suficiente para que el

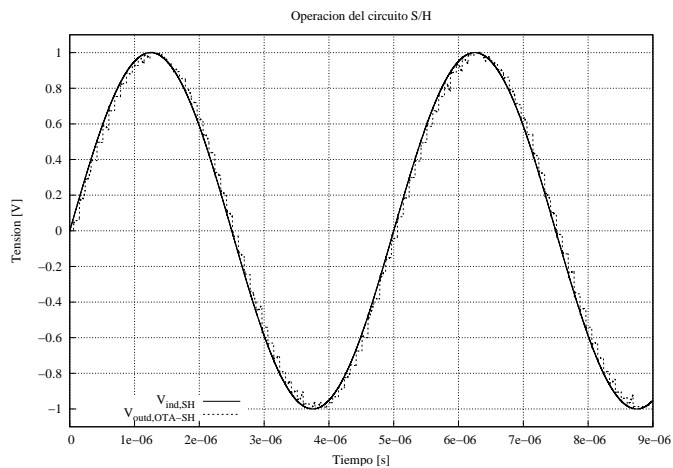
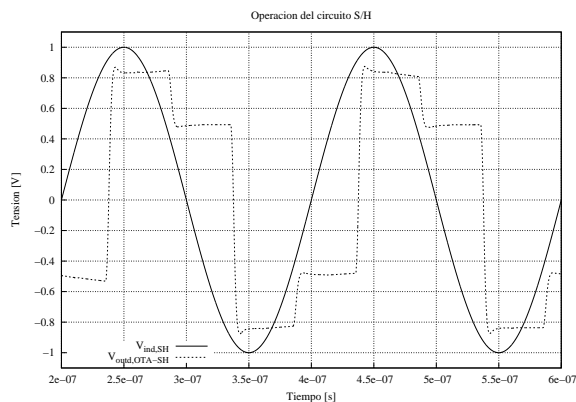
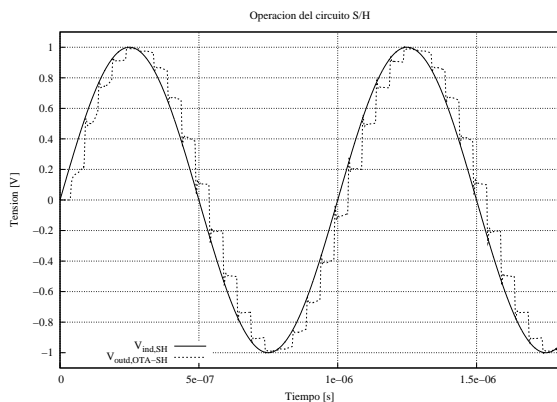
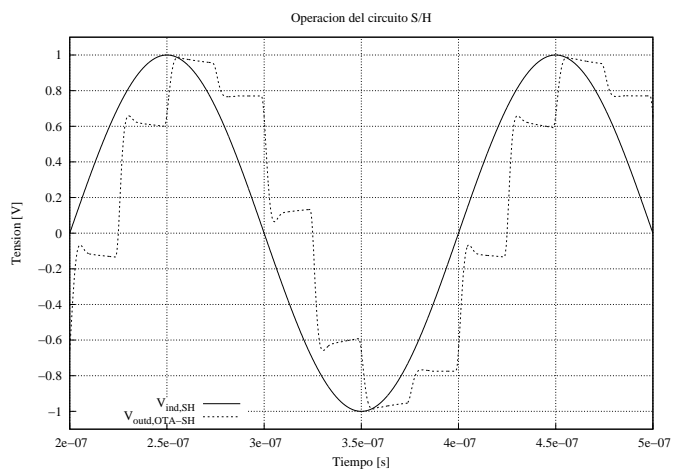
(a) Bluetooth ($f_s = 11$ MS/s) con $f_{in} = 200$ kHz.(b) Operando a $f_s = 20$ MS/s con $f_{in} = 1$ MHz. (c) Operando a $f_s = 20$ MS/s con $f_{in} = 5$ MHz.(d) Operando a $f_s = 40$ MS/s con $f_{in} = 5$ MHz.

Figura 22: Resultados de simulación para el S/H.

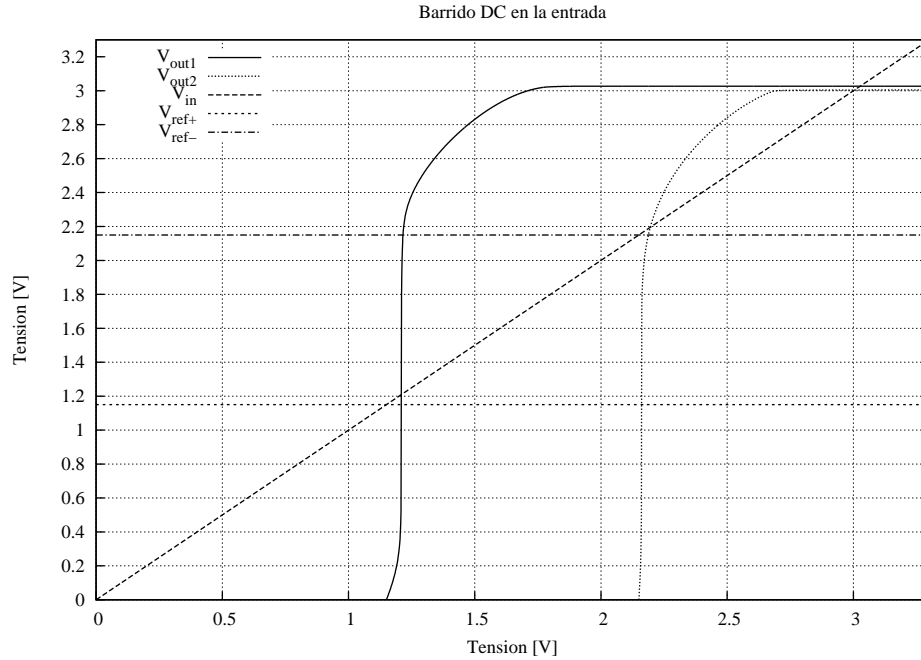


Figura 23: Simulación de la salida del subADC.

slewing en el máximo escalón de tensión a la salida del S/H tenga una duración del tiempo especificado para esa primera componente de asentamiento no lineal. Posteriormente, la especificación de GBW del amplificador permite que el valor final de la muestra retenida se establezca de forma lineal dentro de una precisión de $\pm LSB/2$. Este último comportamiento es ilustrado en la figura 21. Asimismo, algunas condiciones de operación son exhibidas en las figura 22 incluyendo la operación del estándar *Bluetooth*.

A medida que la frecuencia de la señal entrante es disminuída, el circuito de muestreo y retención es menos exigido, debido a que sus muestras están mas cercanas en amplitud, esta diferencia se exhibe en las figuras 3.22(b) y 3.22(c). Finalmente, los *glitches* que se aprecian en las cercanías de $\pm V_{FS}/2$ en las simulaciones de la figura 22, se originan por la variación no lineal de la resistencia de encendido de algunos de los interruptores. Adicionalmente, estos transitorios surgen por la disminución de la resistencia de los transistores cascode a la salida del OTA , debido a su funcionamiento cada vez más cercano a la región de triodo para $V_{in} = \pm V_{FS}/2$. Dicha reducción en la resistencia de salida (r_o) para estos transistores se manifiesta en constantes de tiempo asociadas mayores, lo cual resulta en transitorios con duración más prolongada y con mayor amplitud.

3.1.2. *sub-ADC*

En cada celda básica se emplean cuantizadores de baja resolución que utilizan la arquitectura *flash* para generar los *bits* de salida en código termómetro. Las once primeras etapas *pipeline* contienen *sub-ADCs* de 1.5 *bits*, es decir, que utilizan 1 bit de redundancia para la aplicación de corrección digital mediante el algoritmo de *RSD*. De otro lado, la conversión A/D que es llevada a cabo en la última etapa de la cadena *pipeline* emplea 2 bits sin redundancia y sus pasos de cuantización son uniformes. El funcionamiento del circuito subADC se ilustra en la figura 23, aqui se puede observar que las salidas de cada comparador cambian cuando el voltaje de entrada es mayor a cada voltaje de referencia.

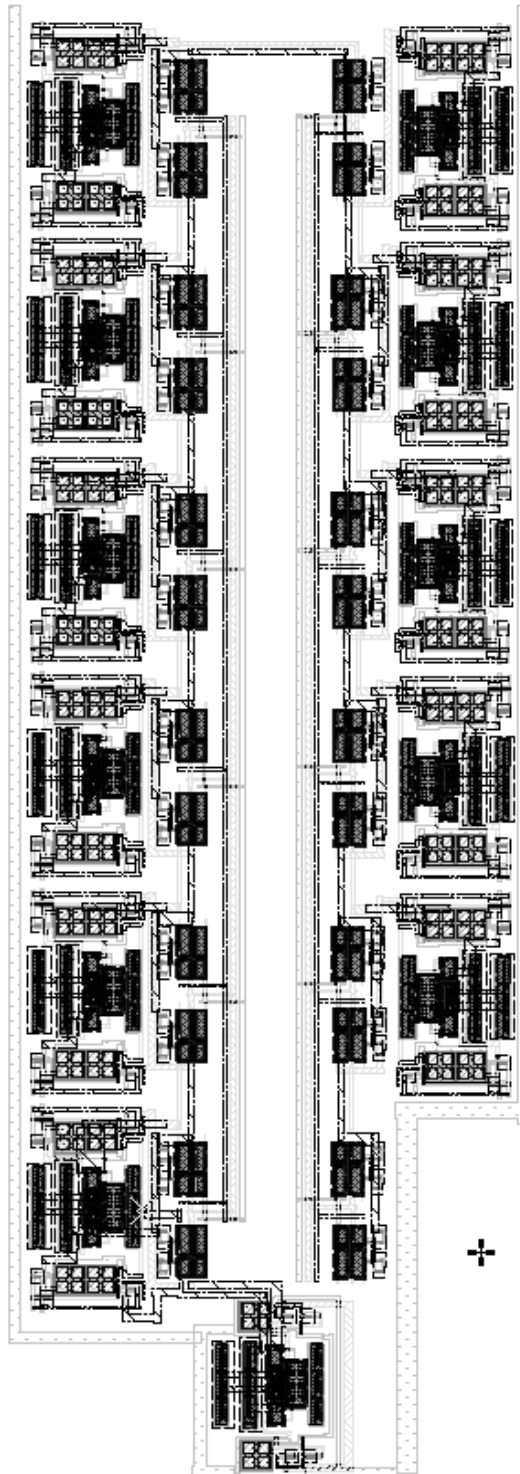


Figura 24: *Layout* del ADC diseñado.

3.2. *Layout*

Una de las etapas finales en el flujo de diseño de circuitos integrados es la realización del *layout*, que es la materialización gráfica de todos los datos geométricos obtenidos del diseño, es decir, los anchos y largos de los transistores. Aquí se evidencian un poco más los fenóme-

nos inherentes al proceso de fabricación que se han tenido en cuenta a lo largo de la cadena de diseño, como lo son las capacitancias parásitas y el *mismatch* entre los transistores. Al momento de elaborar el *layout* se deben tener en cuenta algunas estrategias o recomendaciones que buscan minimizar el impacto de las variaciones de los procesos de fabricación sobre los dispositivos que conforman el *ADC*. Todo esto, para que los resultados obtenidos con el circuito integrado final estén acordes a las especificaciones de su diseño inicial.

Debido a la gran importancia que representa un buen diseño del *layout* para el desempeño del *ADC*, se hacen las siguientes consideraciones:

Se debe idear un plan que contenga todo lo que se desea medir con el circuito fabricado, esto para tener en cuenta la localización de los pines de entrada, de salida y señales que deben ser medidas. Este plan es llamado plan de pruebas, y en el se consignan cada una de las pruebas que se van a realizar en el circuito una vez fabricado

Una vez elaborado el plan de pruebas, se ubican las entradas del sistema lo más cerca posible de los *pads* de conexión, esto con el fin de evitar que las capacitancias parásitas se incrementen, ya que éstas dependen del tamaño de las pistas, y entre más largo sea el camino de metal para interconectar elementos, más grandes estas capacitancias, lo cual puede degradar el desempeño del conversor.

En el núcleo del circuito los dispositivos se deben ubicar de manera que se minimice el *mismatch* entre ellos, por esto los transistores de los *OTAs* se ubicaron lo más cerca posible, en la misma orientación e intentando crear un eje de simetría entre las ramas del amplificador diferencial. Al disminuir en lo posible los efectos de *mismatch* se evita que la linealidad del sistema se deteriore.

Para proteger el circuito de efectos parásitos como el *latch-up*², es necesario hacer anillos de guarda, que son protecciones alrededor de cada transistor para evitar corrientes parásitas y la introducción de ruido. Es por esta razón que los transistores que son muy anchos ($W \gg L$), se hagan en paralelo o en dedos como se dice comúnmente. Además de facilitar la ubicación de los anillos de guarda, hacer un transistor en dedos reduce la resistencia y capacitancia parásita asociada con la compuerta, y conlleva un mejor desempeño con respecto a ruido.

Los capacitores unitarios y de muestreo fueron implementados utilizando capacitores integrados entre las dos capas de polisilicio (*Poly1-Poly2*), disponibles para el proceso de fabricación utilizado.

Al momento de conectar los diferentes capacitores de muestreo, los terminales por donde se recibe la señal entrante a la etapa o circuito son unidos a la placa inferior (*Poly1*) del mismo. La razón de esto es intentar disminuir el acople de capacitancias parásitas con el sustrato, lo cual puede degradar las características de la tensión a muestrear.

Se debe evitar en la medida de lo posible ubicar contactos o vías sobre áreas activas de la compuerta del transistor, ya que esto puede producir variaciones en el voltaje umbral. Para evitar esto se pueden ubicar los contactos en una extensión de la compuerta. El

²Este efecto se refiere a la formación de un tiristor parásito que puede dañar de manera permanente el circuito.

mismo efecto sucede si al realizar interconexiones entre dispositivos atravesamos regiones activas de la compuerta con metal, pero este efecto disminuye cuando se utilizan capas de metales superiores.

Para evitar que la resistencia asociada al nodo de tierra se aumente, se realizó una adecuada conexión al sustrato utilizando varios contactos y empleando líneas de conexión suficientemente anchas, para reducir la resistencia asociada con la conexión.

Se debe evitar el uso de pistas de metal muy anchas, ya que aumentan el valor de las capacitancias parásitas asociadas a sus nodos, por esto el ancho de las pistas de metal fue seleccionado de acuerdo a la densidad de corriente soportada por el material de interconexión utilizado y la corriente máxima que se espera que circule por cada trazo de metal.

Siguiendo con la recomendación del plan de pruebas, se colocaron varios pads de referencia (*GND*) con el propósito de facilitar posteriores pruebas del circuito diseñado.

Para finalizar, en la figura 24 se presenta el *layout* correspondiente al *ADC* diseñado e integrado en un chip. El *layout* realizado cumple con las reglas de diseño vigentes para el proceso de fabricación $0,35\ \mu\text{m}$ *CMOS C35B4C3* de *AMS*.

3.3. Conclusiones y observaciones

La utilización de herramientas *CAD* dentro del flujo de diseño de circuitos integrados, como es el caso de la programación geométrica, ha ayudado a dar un gran paso hacia adelante para conseguir diseños óptimos. Además se plantea la posibilidad de llegar a conseguir la automatización de gran parte del diseño de un circuito integrado, sin que esto signifique que logre reemplazar la labor del diseñador, ya que en el momento de diseñar se presentan retos que solo pueden ser resueltos por una persona experta en el diseño de circuitos. Gracias al uso de éstas nuevas herramientas de diseño, el diseñador obtiene una mayor experiencia, ya que se puede conocer más a fondo el comportamiento del circuito, incluso permitiendo que se preste mayor atención a la forma como los parámetros, requerimientos del circuito y las tendencias de las variables de diseño interactúan. Gracias a esto, se pueden identificar posibles formas de optimizar el desempeño del sistema. Como es el caso del *ADC* presentado en este trabajo.

Es posible realizar una metodología de diseño de circuitos, que este basada en la minimización del consumo de potencia, y, con la ayuda de una herramienta de diseño automatizado, junto a la correcta especificación de parámetros, alcanzar el diseño de un circuito óptimo para los requerimientos del sistema donde se desea aplicar nuestro circuito.

Aplicando las estrategias de diseño propuestas, se diseñó un conversor Analógico-Digital integrado en tecnología $0,35\ \mu\text{m}$ *CMOS*, que cumple con los requerimientos mínimos del estándar *Bluetooth*. Adicionalmente se elaboró el *layout* de este circuito, cumpliendo con las reglas vigentes del proceso de fabricación, y se verificó mediante simulación, el funcionamiento y desempeño del sistema realizado.

Gracias a la experiencia adquirida con el diseño asistido por programación geométrica, se elaboró una herramienta que consiste en la automatización de modelos monomiales

que son utilizados por el PG. Esto se hizo con el fin de ayudar en el diseño, y con esto se da el primer paso para conseguir la automatización de esta etapa del flujo de diseño.

Gracias a la utilización de la programación geométrica en este proyecto, es posible alejarse de la estrategia de diseño tradicional para los *ADCs* con arquitectura *pipeline*, en la cual generalmente se invierte el tiempo de diseño en la primera etapa, siendo la que posee requerimientos más exigentes. De esta manera, las etapas posteriores son copias a las que se les han hecho algunos ajustes o escalamiento de sus dispositivos. Con la ayuda de la PG es posible diseñar de manera independiente y optimizada cada etapa, haciendo el diseño mucho más robusto.

El estudio que se hace al momento de obtener las restricciones del PG para obtener las diferentes especificaciones del circuito, permitió comprender que pese a la existencia de una herramienta que trata de automatizar el diseño, el conocimiento y el análisis cuidadoso de los circuitos, tal como en el método convencional de diseño, son una parte fundamental de este proceso. Lo anterior soporta aún más la idea de que el diseño de circuitos analógicos no puede ser programado o automatizado en su totalidad, debido a que siempre se requiere el componente de creatividad y experiencia por parte del diseñador, quien es el que da solución a detalles y especificaciones particulares.

3.4. Recomendaciones para trabajos futuros

Se hace notoria la falta de información más detallada en la literatura sobre particularidades en los circuitos, tales como la implementación circuital de los diferentes bloques funcionales del *ADC*. Ésto fue un obstáculo permanente durante la ejecución del proyecto. De esta manera, algunos aspectos de gran relevancia al momento de adaptar las técnicas de diseño existentes en la literatura, al principio parecen algo sencillo, pero retrasaron e hicieron más difícil la realización de algunos pormenores. Tal es el caso presentado en el diseño de los comparadores en el *subADC*, cuando se intentan sincronizar con el circuito de muestreo, no existe información sobre las duraciones y retrasos relativos de las diferentes fases de reloj empleadas, así como la forma en que la salida digital del *sub-ADC* controla la conmutación de los capacitores en el *MDAC*. Como recomendación para trabajos futuros, algunos tópicos de este tipo se encuentran en literatura no tan reciente, ya que en ocasiones estas particularidades ya han sido abordadas con un mayor grado de detalle.

En este trabajo se planteó la elaboración de una herramienta que apoyada en el uso de PG trate de automatizar el diseño de circuitos. Se ha hecho un programa que es una primera aproximación al ejercicio planteado y que particularmente consiste en la automatización del modelado monomial requerido en la PG del *OTA* diseñado en este proyecto. Se recomienda que este proceso sea continuado en los proyectos que actualmente se llevan a cabo al interior del grupo CIDIC, para que en el futuro se pueda contar con una poderosa herramienta que ayude en el diseño de diversos circuitos.

Se recomienda que para trabajos futuros se haga un análisis completo del verdadero requerimiento de resolución del convertidor, dependiendo de su aplicación, permitiendo de esta forma una mejor caracterización del problema y obtener mejores resultados. De la misma manera, se debe extender éste análisis a la resolución óptima por etapa teniendo como especificación principal el consumo de potencia.

Anexo A

Arquitectura *Pipeline*

Luego de hacer una extensa revisión de la literatura existente sobre conversores de datos, se ha escogido un par de tesis doctorales de la Universidad de Helsinki (Finlandia) del año 2002 presentadas por Lauri Sumanen y Mikko Waltari [6,10], como referencias principales para este trabajo. Por esta razón en los anexos A y B se presenta una recopilación de su trabajo, por ser de relevante importancia al momento de realizar una selección de las arquitecturas y topologías de circuitos que son usados en este trabajo.

Se sabe que en un *ADC pipeline*, la cuantización es distribuída a lo largo de una cadena *pipeline* de señales resultando en una arquitectura efectiva para *ADCs* de alta resolución y velocidad. Mediante el *pipeline* de señales, una alta entrega de bits puede ser alcanzada introduciendo un tiempo de latencia que es linealmente dependiente del número de etapas. A continuación la arquitectura *pipeline* es revisada en general, y cada bloque funcional es revisado detalladamente, para conocer sus principales especificaciones y parámetros de desempeño.

A.1. Fundamentos

El principio en la conversión Analógico/Digital con *pipeline* es encontrar un conjunto de voltajes de referencia cuya suma iguale a la muestra de la señal que está siendo convertida. Esto es realizado mediante la sustracción secuencial de diferentes voltajes de referencia de la muestra hasta que el residuo sea cero, indicando que la suma de las referencias sustraídas iguale el valor de la muestra original [6]. En el *ADC* el residuo es amplificado entre los pasos de sustracción por un factor de 2^B , donde B es el número de *bits* que resuelve cada etapa si las etapas son iguales, permitiendo que en cada etapa del conversor la amplitud de entrada sea la misma, mejorando con esto la precisión y disminuyendo los requerimientos de linealidad de cada comparador, así como reducir el error debido al *offset*.

A.1.1. Operación de la etapa *Pipeline*

Para cada etapa la señal de entrada es la salida de la etapa previa ($V_{OUT,i-1}$), excepto para la primera etapa, para la cual es el voltaje de entrada V_{IN} . La etapa evalúa la señal entrante con un *coarse ADC*, el cual entrega el código de salida digital Q_i . Ahora, como la magnitud de la señal de entrada es conocida de manera aproximada, el múltiplo más cercano del voltaje de referencia ($Q_i \cdot V_{Ref,i}$) puede ser restado de ésta, y la señal residuo resultante

es amplificada por la ganancia de la etapa G_i , produciendo el voltaje de salida:

$$V_{OUT,i} = G_i (V_{OUT,i-1} - Q_i \cdot V_{Ref,i}), \quad (\text{A.1})$$

el cual es usado como la entrada para la siguiente etapa. Las etapas operan concurrentemente, es decir, en cualquier momento, la primera etapa funciona con la muestra más reciente mientras que las demás etapas trabajan sobre residuos de etapas previas. Las etapas consecutivas operan con ciclos de reloj opuestos, esto para garantizar la sincronía del circuito. Las salidas digitales de cada etapa son retardadas para que sus valores correspondan a la misma muestra de entrada.

A.1.2. Formación del código de salida

En principio, la conversión puede continuar por un número infinito de ciclos, cada uno de ellos incrementa la precisión del resultado. En un circuito real el resultado no mejora después de cierto punto debido a el ruido y el *mismatch* de los componentes. Una vez el número deseado de ciclos de conversión se ha alcanzado, el resultado final de la conversión es la suma de los voltajes de referencia sustraídos, referidos a la entrada del *ADC*:

$$V_{OUT} = \overline{Q}_i \cdot \overline{V}_{Ref,1} + \sum_{i=2}^m \left(\overline{Q}_i \cdot \overline{V}_{Ref,i} / \prod_{j=1}^{i-1} G_j \right), \quad (\text{A.2})$$

donde \overline{Q}_i es la salida digital de la i ésima etapa dado como un vector de *bits* y $\overline{V}_{Ref,i}$ es un vector de igual longitud conteniendo los voltajes de referencia de la etapa. El código de salida correspondiente a la ecuación (A.2) se obtiene reemplazando los voltajes de referencia con sus valores digitales. Típicamente la resolución final es incrementada ejecutando una conversión A/D (sin formar un residuo) para la última señal de residuo.

A.2. Selección de parámetros del conversor

Los sistemas de comunicación inalámbrica usualmente definen los requerimientos del receptor especificando los niveles de señal referidos al conector de la antena. Los requerimientos para cada bloque del receptor, pueden ser determinados mediante la apropiación de señales en la cadena del receptor para asignar ganancia, rango dinámico, linealidad de segundo y tercer orden, y la figura de ruido de cada bloque. Las especificaciones resultantes para el *ADC*, siendo el último bloque con señal analógica en esta cadena, dependen fuertemente de la arquitectura del receptor, es decir, de la cantidad de ganancia y filtrado precediendo al *ADC*. De acuerdo con esto, entre los requerimientos mas relevantes del *ADC* están la tasa de muestreo y el rango dinámico, mientras que simultáneamente se busca minimizar el consumo de potencia, yendo en concordancia con la filosofía de investigación del CIDIC, y convirtiendo esta especificación en uno de los objetivos del diseño.

A.2.1. Tasa de muestreo

Según el teorema de muestreo, la tasa de muestreo debe ser al menos el doble del ancho de banda de la señal. Como se señala en la ecuación (1.10), al estar limitado por el ruido de cuantización, el SNR aumenta en pasos de 3 dB cuando el OSR es incrementado. Por esta

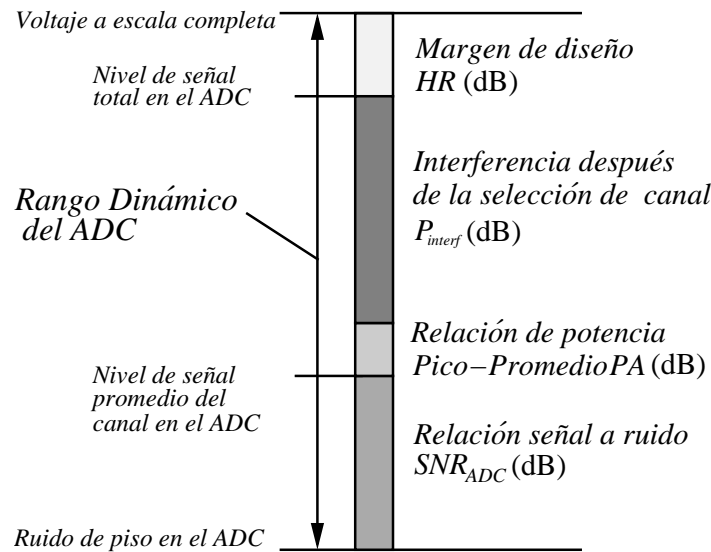


Figura 25: Especificación de rango dinámico en el *ADC*.

razón, se prefiere una tasa de muestreo alta, mientras el consumo de potencia, impone el límite superior para la maximización [10].

A.2.2. Rango dinámico

La resolución del conversor analógico digital está relacionada con su especificación de rango dinámico, la cual puede ser derivada de la sensibilidad, la máxima potencia de entrada y las especificaciones de prueba de bloqueo para una arquitectura dada. Un diagrama conceptual del rango dinámico del *ADC* basado en [10] se muestra en la figura 25. Esencialmente el rango dinámico requerido por el *ADC* está basado en la tasa de error deseada (*BER*) en la recepción, lo cual impone la mínima *SNR* a la salida del *ADC*. Como al *ADC* no se le permite deteriorar la *SNR*, su contribución de ruido debe estar por debajo de la mínima relación señal a ruido SNR_{ADC} para un nivel particular de *BER*. El otro componente importante en el rango dinámico es la relación de potencia pico-a-promedio de la señal (*PA*), esta busca evitar el recorte de picos o el repentino aumento de la señal de entrada, el cual generaría distorsión armónica. Según el tipo de modulación empleada la *PA* puede llegar a ser hasta de 12 dB, pero para esquemas de modulación envolvente constante, un mínimo de 3 dB puede ser utilizado para esta especificación.

Los residuos de interferencias que permanecen después de la selección de canal P_{interf} son uno de los aportes más significativos al rango dinámico. Esta especificación se relaciona con el tratamiento que recibe la señal desde la antena hasta la entrada del conversor. Finalmente, el *headroom* (*HR*) se trata de un margen de diseño superior que cubre el *offset* en DC, errores de ganancia y transitorios en la amplitud de la señal de entrada. Los dispositivos inalámbricos se fabrican para ofrecer movilidad para el usuario, por esta razón su fuente de energía es una batería, la cual generalmente es de gran tamaño y de elevado costo. Teniendo en cuenta que existe la tendencia del bajo consumo de potencia, se busca prolongar el tiempo de duración de las baterías y así aumentar la autonomía de los sistemas inalámbricos, por esta razón, el *ADC*, por ser uno de los bloques principales dentro de un receptor, y sabiendo que usualmente consume mas de la tercera parte de la potencia total, es necesario diseñar el *ADC* de manera que el bajo consumo de potencia sea el objetivo principal de este proyecto. Otro de

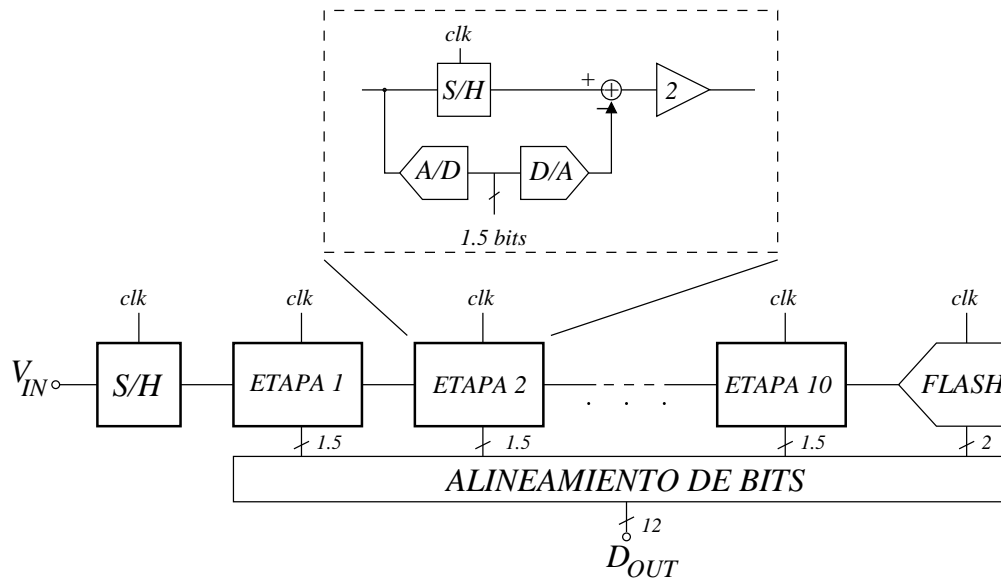


Figura 26: Selección del número de etapas y el número de bits por etapa.

los objetivos del proyecto es integrar el *ADC* a un sistema de comunicación inalámbrico, un posible ejemplo es hacerlo bajo el estándar *Bluetooth*, para este caso, la resolución mínima necesaria para el *ADC* sería cercana a los 6 *bits*. Dentro del contexto actual del grupo CI-DIC se está trabajando en el diseño de circuitos para diferentes estándares de comunicación inalámbrica, es por esta razón que el diseño del conversor también debe estar dentro de este marco, haciendo que se realice el diseño pensando en configuraciones con mayores prestaciones a las requeridas por *Bluetooth*, siendo el ejemplo de diseño lograr una resolución total del conversor de 12 *bits*. Además de la resolución se hace necesario definir una frecuencia de muestreo que este muy cercana a las presentadas en la literatura, (actualmente se han reportado conversores con frecuencias de muestreo en un rango de 20 MS/s¹ hasta 100 MS/s), por esto se tomó la decisión de trabajar con una frecuencia de muestreo igual a 40 MS/s, haciendo el énfasis en el compromiso existente con el consumo de potencia.

A.3. Sub-*ADC*

Usualmente, el sub-*ADC* sensa directamente la entrada de la etapa y opera simultáneamente con el circuito *S/H* en paralelo, como se puede observar en la figura 26. Por lo tanto, especialmente en la primera etapa, la cual tiene una señal de entrada uniforme continua en el tiempo, la abertura de tiempo entre el muestreo del *S/H* y la cuantización de la señal en el sub-*ADC* debería minimizarse para evitar errores de conversión dependientes de la señal. Además, para maximizar el tiempo de establecimiento de la salida del MDAC, es decir, alcanzar una alta velocidad de conversión, los sub-*ADC*s deben ser capaces de proveer su salida al sub-DAC tan pronto como sea posible después que el circuito *S/H* muestree la entrada y entre al modo de retención. Por consiguiente, el sub-*ADC* de conversores A/D *pipeline* son del tipo *flash*. Un *ADC flash* consiste en comparadores de voltaje en paralelo como se muestra en la figura 27, uno por cada paso de cuantización. El número de pasos de

¹Mega muestras por segundo

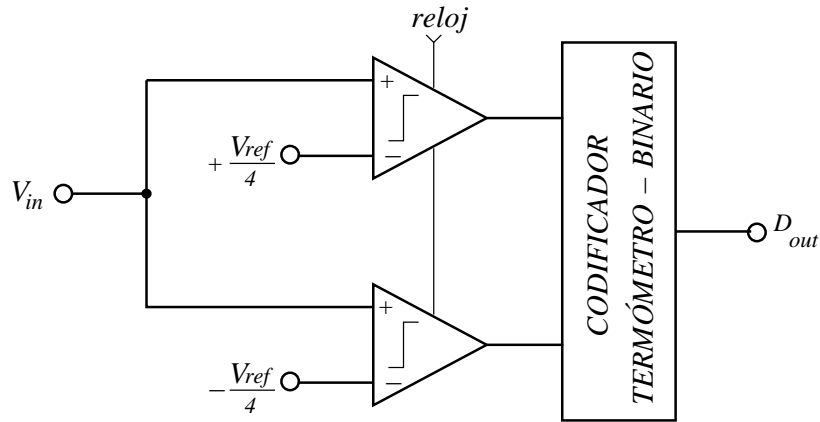


Figura 27: Conversor analógico digital de 1,5 bits.

cuantización Q está dado por:

$$Q = 2^{B+r} - r - 1, \quad (\text{A.3})$$

donde B es el número de bits que resuelve cada etapa y r es el bit de redundancia. Cada comparador toma la entrada de la etapa y realiza la comparación con los voltajes de referencia correspondientes $V_{ref,n}$, cuyo valor está dado por:

$$\pm V_{ref,n} = \pm \left(\frac{n}{2^B} + \frac{r}{2^{B+r}} \right) V_{ref}, \quad (\text{A.4})$$

donde n es un entero tal que $n \in [0, n_{max}]$ y

$$n_{max} = 2^{B+r-1} - r - 1, \quad (\text{A.5})$$

con esto se obtienen los siguientes valores para los voltajes de referencia $V_{ref}/4$ y $-V_{ref}/4$. La operación del ADC flash es la siguiente; si el voltaje de entrada V_{in} es mayor que el voltaje de referencia $V_{ref,n}$ de un comparador específico, resulta en una salida correspondiente a un uno lógico, de otra manera la salida es un cero lógico. La comparación resulta en un código termómetro, donde idealmente los bits menos significativos son iguales a uno hasta el punto donde la señal de entrada es más pequeña que la referencia del comparador correspondiente al bit de código forzando a los bits más significativos a cero. Finalmente, el código termómetro es codificado en una salida binaria. Como la salida del sub-ADC también es usada en la conversión D/A, el código termómetro debe ser codificado en forma apropiada para el MDAC. El requerimiento de precisión para el sub-ADC es determinado por la resolución del coarse ADC de la etapa, la especificación de precisión de la conversión A/D para cada etapa es igual a su resolución efectiva. El desempeño de un conversor flash de baja resolución está limitado principalmente por la precisión de los comparadores y de las referencias. Una manera muy popular de implementar un comparador es tener un sensor de señal preamplificador seguido por un latch regenerativo. El voltaje de offset, generado por el mismatch de los componentes y variaciones en los parámetros de proceso, es reducido por la pre-amplificación. Sin embargo, con las especificaciones relajadas de offset, comparadores dinámicos más robustos, con menos consumo de potencia y menos área sin ninguna pre-amplificación en tiempo continuo pueden ser usados en los sub-ADCs. Además del banco de comparadores cuantizadores, en el sub-ADC se necesitan un codificador de termómetro a binario y una pequeña lógica de decodificación para generar las señales de control del MDAC.

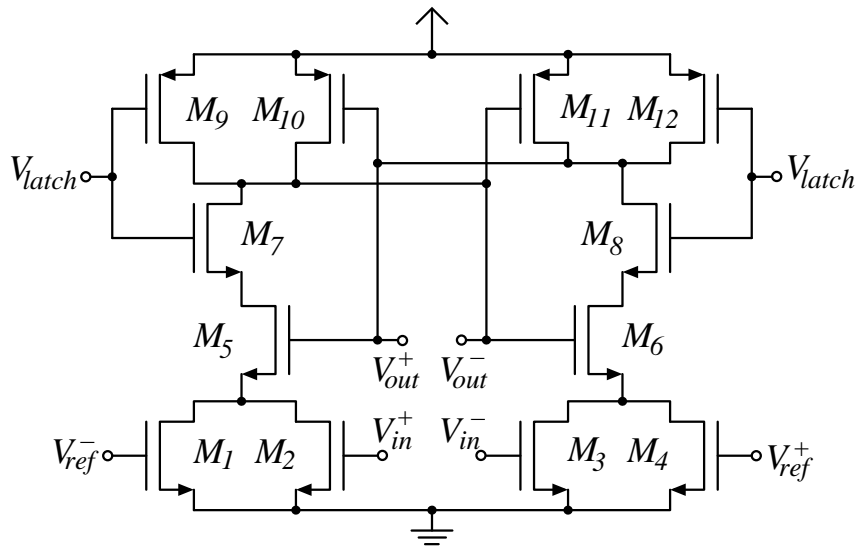


Figura 28: Comparador divisor resistivo.

A.3.1. Revisión de topologías de comparadores

Los comparadores forman el núcleo de todas las arquitecturas de *ADC*. Las propiedades de los comparadores, especialmente *offset*, velocidad y consumo de corriente, tienen un efecto esencial en la precisión y el consumo de potencia del *ADC* completo. El *offset* no es un parámetro tan crítico cuando se emplea la corrección digital con redundancia *RSD*². Este simple algoritmo de corrección puede tolerar *offsets* del comparador hasta de $\pm V_{ref}/2^b$ en una etapa con b bits efectivos cuando el voltaje de referencia es V_{ref} . Por esto, la potencia puede ser comprometida con la precisión usando comparadores dinámicos sin preamplificación en tiempo continuo. Esto reduce el consumo de potencia considerablemente. Se prefiere el uso de transistores muy pequeños para minimizar el área también. Las especificaciones más importantes en los comparadores son *offset*, consumo de potencia e inmunidad al ruido y al *mismatch*. En un circuito de señal mezclada tal como un *ADC*, se prefieren señales analógicas totalmente diferenciales para obtener un mejor rechazo a la fuente de alimentación (PSRR) e inmunidad al ruido en modo común. A continuación se muestran algunas topologías de comparadores dinámicos totalmente diferenciales, incluyendo voltajes de referencia diferenciales, que son discutidos ampliamente en [10].

A.3.1.1. Comparador divisor resistivo

Uno de los comparadores dinámicos ampliamente usados está basado en un amplificador diferencial sensor. Este comparador llamado divisor resistivo, es presentado en la figura 28. Los transistores M_1 - M_4 , polarizados en la región lineal, ajustan el umbral del comparador resistivamente y los transistores M_5 - M_{12} forman un *latch*.

La operación del circuito es la siguiente. Cuando la señal de control del *latch* es bajo ($V_{latch} = 0V$) los transistores M_9 y M_{12} están conduciendo y M_7 y M_8 están cortados, lo cual fuerza ambas salidas diferenciales a V_{DD} y no existe camino de corriente entre las fuentes de alimentación. Simultáneamente M_{10} y M_{11} están cortados y los transistores M_5 y M_6 conducen. Esto implica que M_7 y M_8 tienen un voltaje de V_{DD} sobre ellos. Cuando el reloj que controla

²Del término *Redundant Sign Digit*.

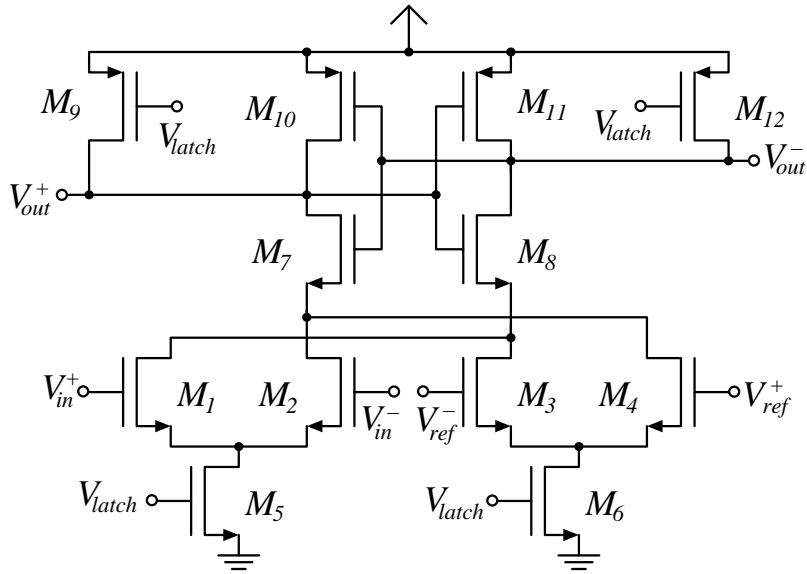


Figura 29: Comparador par diferencial.

el comparador cambia de estado ($V_{latch} \rightarrow V_{DD}$) M_7 y M_8 son encendidos. Inmediatamente después del momento de regeneración, las puertas de los transistores M_5 y M_6 aún están a V_{DD} y ellos entran a saturación. Si todos los transistores $M_5 - M_{12}$ se diseñan de forma simétrica, el desbalanceo de las conductancias de las ramas izquierda y derecha, formadas por $M_1 - M_2$ y $M_3 - M_4$, determinan cual de las salidas será V_{DD} y cual será 0 V. Después que se alcanza el estado estable (V_{latch} es alto), ambas ramas están cortadas y las salidas preservan su valor hasta que la señal de *latch* sea conmutada a 0 V.

A.3.1.2. Comparador par diferencial

Este comparador está basado en dos pares diferenciales acoplados de forma cruzada con fuentes de corriente conmutadas cargadas con un *latch* CMOS, como se puede observar en el circuito de la figura 29. La puesta a punto del umbral de comparación se obtiene mediante el desbalanceo entre los pares acoplados por la fuente. Debido a las fuentes de corriente dinámicas, junto con el *latch* conectado directamente entre los pares diferenciales y la fuente de alimentación, el comparador no consume potencia en DC. El funcionamiento del comparador es el siguiente. Cuando el comparador está inactivo la señal del *latch* está a 0 V, entonces las fuentes de corriente M_5 y M_6 están desconectadas y no existe camino de corriente entre los voltajes de alimentación. Simultáneamente, los transistores de conmutación M_9 y M_{12} hacen que las salidas se conecten a V_{DD} . Los transistores M_7 y M_8 del *latch* conducen y fuerzan a los drenadores de todos los transistores de entrada $M_1 - M_4$ a V_{DD} , mientras los voltajes de drenador de M_5 y M_6 dependen del voltaje de entrada del comparador.

Cuando el voltaje del *latch* se cambia a V_{DD} , las salidas se desconectan de la alimentación positiva, y las fuentes de corriente M_5 y M_6 se encienden, y $M_1 - M_4$ comparan $V_{in}^+ - V_{in}^-$ con $V_{ref}^+ - V_{ref}^-$. Como los dispositivos del *latch* $M_7 - M_8$ están conduciendo, el circuito amplifica regenerativamente la diferencia de voltaje en los drenadores de los pares de entrada. El voltaje de umbral del comparador es determinado por la división de corriente en los pares diferenciales y entre las ramas cruzadas.

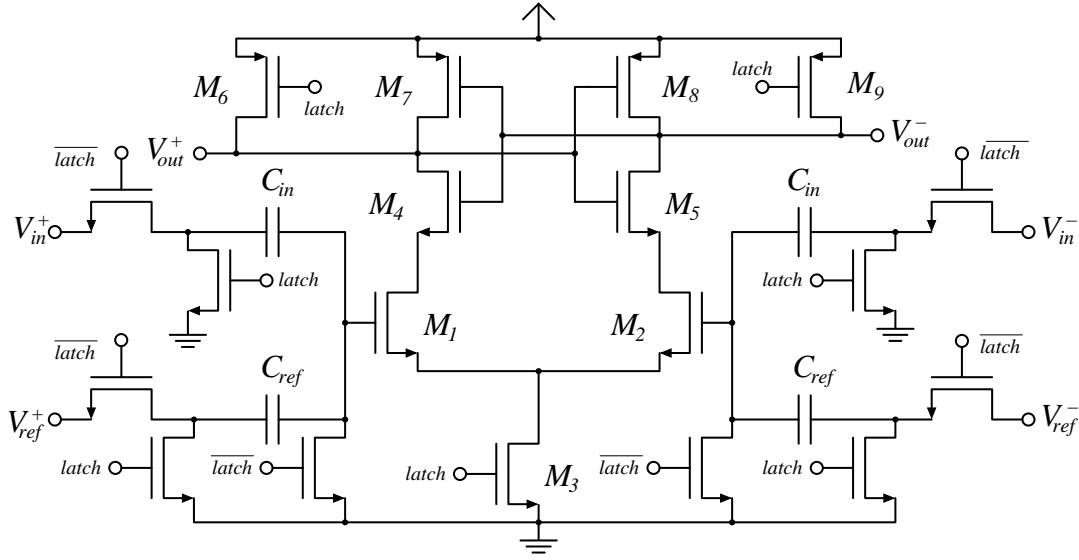


Figura 30: Comparador par diferencial con distribución de carga.

A.3.1.3. Comparador con distribución de carga

La implementación consiste en un par diferencial capacitivo, derivado del circuito usado en [15] y se muestra en la figura 30. El núcleo del comparador consiste de un amplificador diferencial conmutado con un latch CMOS de carga. El comparador de la figura 30 requiere dos fases de reloj; durante la fase \overline{latch} un par de capacitores de acople es precargado a $V_{in} = V_{in}^+ - V_{in}^-$ y el otro par a $V_{ref} = V_{ref}^+ - V_{ref}^-$. El núcleo del comparador está inactivo y los transistores de conmutación M_6 y M_9 están reiniciando las salidas complementarias a V_{DD} , lo cual fuerza a M_4 - M_5 a conducir forzando también los drenadores del par de entrada a V_{DD} mientras la fuente de corriente dinámica M_3 es apagada. Cuando la señal $latch$ es liberada, el par diferencial amplificador se activa, las salidas son desconectadas de la fuente de alimentación, y las placas inferiores de los capacitores son aterrizadas permitiendo que las cargas de los capacitores de entrada (C_{in}) y de referencia (C_{ref}) sean transferidas entre sus placas superiores. El par diferencial amplifica la diferencia en los nodos sumadores y el $latch$ es regenerado. De acuerdo a la preservación de la carga, el umbral del comparador está dado por

$$V_{in}^+ - V_{in}^- = \frac{C_{ref}}{C_{in}} (V_{ref}^+ - V_{ref}^-) \quad (A.6)$$

La ecuación (A.6) implica que el voltaje de umbral del comparador puede ser ajustado linealmente con la relación de capacitancia. El *offset* de esta topología de comparador está determinado por dos factores principales. Primero, el voltaje de *offset* es directamente proporcional al *mismatch* entre los capacitores C_{in} y C_{ref} , incluso en un proceso CMOS con capacitores dedicados, el *matching* de capacitores es fácilmente alcanzado. Segundo, el *offset* del par diferencial amplificador tiene la dependencia en el *mismatch* del voltaje de umbral ΔV_T , la resistencia de carga ΔR_L y las dimensiones del transistor $\Delta\beta$ y sus correspondientes valores promedio V_T , R_L y β . El voltaje de *offset* sigue la ecuación:

$$V_{os} = \Delta V_T + \frac{V_{gs} - V_T}{2} \left(\frac{\Delta R_L}{R_L} + \frac{\Delta\beta}{\beta} \right). \quad (A.7)$$

El voltaje de *offset* en este comparador es dominado por el *mismatch* de las dimensiones del transistor, $\Delta\beta$, mientras que $V_{gs} - V_T$ es dado por la corriente de la fuente. En esta topología

Tabla 4: Desempeño de los comparadores.

	Divisor resistivo	Par diferencial	Distribución de carga
Área[μm^2]	1200	1520	2800
P_D [mW]	0,32	0.58	0.81
$V_{os,max}$ [mV]	290	80	75
Ruido $_{kb,pico}$ [V]	0,01	0,21	0,12
Velocidad decisión[ns]	1	0,75	1

también es necesario un reloj de dos fases y el área del comparador aumenta gracias a los capacitores. Por otro lado, el nivel de ajuste del umbral capacitivo es lineal y muy robusto.

A.3.1.4. Resumen de características

El desempeño de las topologías de comparadores dinámicos se discute en [10], donde se realizaron mediciones en estructuras de prueba, fabricadas en un proceso de $0.35 \mu\text{m}$ BiCMOS utilizando solamente transistores MOS. En la tabla 4 se muestran los resultados obtenidos para el área del comparador, el consumo de potencia, el peor voltaje de *offset* medido, el ruido *kickback* y la velocidad de decisión, para una velocidad de 100MS/s y un voltaje de referencia entre 1,1V y 1,9V. Se puede observar que el comparador divisor resistivo tiene el más alto *offset*, el cual es dominado por el *mismatch* de los transistores saturados del *latch*, mientras que la topología de distribución de carga y el par diferencial cuentan con menor *offset*. En conclusión, con similares áreas y consumo de potencia, las topologías basadas en distribución de carga y pares diferenciales con acople cruzado, son más robustas cuando existen variaciones en el proceso y *mismatch* entre los transistores. De acuerdo a lo anterior se prefiere el uso de un comparador basado en pares diferenciales ya que en conjunto presenta óptimo desempeño para trabajar a altas frecuencias y posee un bajo consumo de potencia.

A.4. DAC multiplicador (MDAC)

Como se puede observar en la figura 31, el MDAC está formado generalmente por un circuito de capacitores conmutados (SC) junto con un circuito de selección de los voltajes de referencia, que funciona como el subDAC. En esta sección se hace una revisión de los requerimientos para los circuitos SC y se hace una comparación de las más importantes topologías de amplificadores operacionales.

A.4.1. Requerimientos para aplicaciones SC

La velocidad máxima y el consumo de potencia de los circuitos SC son determinados por el *opamp*. El *opamp* para circuitos SC tiene requerimientos únicos, el más importante de ellos es la impedancia de entrada, la cual debe ser puramente capacitiva para garantizar la conservación de la carga [6]. Consecuentemente, la entrada del *opamp* tiene que ser un transistor MOSFET.

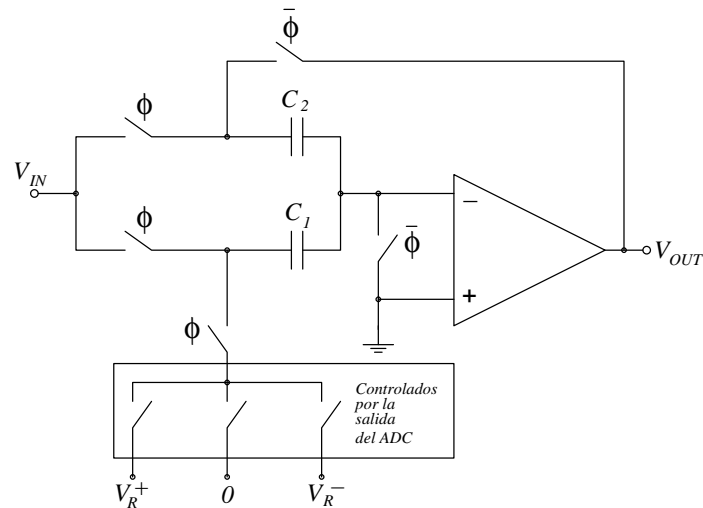


Figura 31: Circuito conversor digital-analógico multiplicador.

A.4.1.1. Impedancia de salida

Otra de las características de los circuitos SC es la carga a la salida del *opamp*, que es típicamente capacitiva. Como resultado, ya que no hay necesidad de cargas resistivas, la impedancia de salida del *opamp* puede ser alta, haciéndose posible el uso de amplificadores operacionales de transconductancia (*OTAs*³). La etapa de salida de un *OTA* provee ganancia de voltaje significativa, permitiendo alcanzar la ganancia requerida con menor número de etapas.

A.4.1.2. Rango de voltaje de salida

El rango de voltaje a la salida tiene un alto impacto en la relación señal a ruido, como consecuencia, maximizando la variación de voltaje es importante en aplicaciones de bajo voltaje y alta resolución. Desafortunadamente, una etapa de salida con alta excursión de voltaje usualmente no puede proveer alta impedancia de salida, incrementando el número de etapas del *opamp*. Una alta excursión a la salida también puede incrementar el ruido ya que las fuentes de corriente de la etapa de salida no se pueden optimizar en tamaño para obtener bajo ruido.

A.4.1.3. Ganancia DC

La precisión en el tiempo de establecimiento está limitada por la ganancia DC finita del *opamp*. Típicamente, los requerimientos de ganancia en DC están desde 60 *dB* hasta los 100 *dB*. En algunos circuitos, tales como los circuitos de muestreo y retención, una ganancia en DC del *opamp* insuficiente, resulta solamente en un error de ganancia que usualmente es tolerable. Sin embargo, la ganancia en DC, tiene que ser constante sobre el rango de excursión a la salida para evitar distorsión armónica [6]

³Del término inglés *Operational Transconductance Amplifiers*

A.4.1.4. Ancho de banda y margen de fase

Cuando se utiliza un modelo de un solo polo para el *opamp*, el tiempo de establecimiento está determinado por el producto de ganancia por ancho de banda (*GBW*) del *opamp* y el factor de retroalimentación del circuito. En circuitos prácticos, siempre hay más de un polo, al igual que varios ceros. Sin embargo, para utilizar el *opamp* en una configuración de lazo cerrado, debe ser diseñado de tal manera que su frecuencia de respuesta esté cerca de la respuesta de un solo polo. Consecuentemente, hay un polo dominante en baja frecuencia, mientras que los otros polos y ceros están a frecuencias mucho más altas. En la respuesta en frecuencia su presencia es vista como un desplazamiento de la fase en altas frecuencias. Por esto, el margen de fase en la frecuencia de ganancia unitaria también tiene un efecto en el tiempo de establecimiento. Si el *opamp* no es utilizado en retroalimentación de ganancia unitaria, el margen de fase requerido no está definido en la frecuencia de ganancia unitaria sino en la frecuencia de ganancia de lazo cerrado, y esto es relativamente más sencillo de obtener.

A.4.1.5. *Slew Rate*

Junto con el ancho de banda, el tiempo de establecimiento está limitado por el hecho de que el *opamp* puede proveer solo una corriente finita al capacitor de carga. Como consecuencia, la salida no puede cambiar más rápido que el *slew rate*, el cual está dado por:

$$SR = \frac{I_{SR}}{C_L}, \quad (\text{A.8})$$

donde C_L es la capacitancia de carga e I_{SR} es la corriente de *slewing* disponible. Cuando se diseña un *opamp*, el capacitor de carga es conocido y el *slew rate* requerido ($SR = k \cdot V_{max}/T_S$) puede ser calculado del paso de voltaje más grande (V_{max}) y el período del reloj (T_S), la mitad del cual es típicamente disponible para el establecimiento. Una regla utilizada comunmente sugiere que una tercera parte del tiempo de establecimiento debe ser reservada para *slewing*, resultando en una k igual a seis. La corriente de *slewing* requerida es:

$$I_{SR} = \frac{k \cdot V_{max} C_L}{T_S}. \quad (\text{A.9})$$

Esta corriente es linealmente dependiente de la frecuencia del reloj, mientras que la corriente necesaria para obtener el ancho de banda del *opamp* tiene una dependencia cuadrática, lo que significa que en circuitos de alta velocidad la corriente del *opamp* necesita ser más alta que la requerida por el *slew rate* [15]

A.4.1.6. Ruido

En *ADCs* de alta velocidad el ruido del *opamp* es dominado por el ruido térmico, mientras que el ruido $1/f$ es menos importante. Por razones de ruido, no hay caso en usar un par de entrada tipo pMOS (que inherentemente tiene un bajo ruido $1/f$) en el *opamp*. La contribución total de ruido de todos los dispositivos en el *opamp* es usualmente tomada como una fuente de voltaje a la entrada del amplificador. Asumiendo que las fuentes de ruido no están correlacionadas, el ruido total es obtenido como la raíz de la suma de los cuadrados de las fuentes individuales de ruido referidas a la entrada. La contribución de ruido de los dispositivos en la primera etapa del *opamp* es la más significativa, y usualmente el ruido

de las otras etapas puede ser despreciado, ya que es atenuado por la ganancia de voltaje precedente. Para *MOSFETs* la densidad de ruido térmico referida a la puerta está dada por

$$\overline{\nu_n^2} = 4\gamma \frac{kT}{g_m} \Delta f, \quad (\text{A.10})$$

donde T es la temperatura absoluta, k la constante de Boltzmann, Δf es el ancho de banda, g_m es la transconductancia del transistor y γ es el factor de exceso de ruido, que es $2/3$ para dispositivos de canal largo ($L > 1.7\mu\text{m}$). En dispositivos de canal corto los efectos de portadores calientes incrementan el ruido, llevando a un valor mayor de γ . Experimentalmente se ha mostrado [16] que para dispositivos de $0,7\mu\text{m}$ el valor de γ varía de 2,5 a 9, dependiendo de las condiciones de polarización. En general, γ se incrementa cuando el voltaje de puerta-fuente se decrementa y/o cuando el voltaje dreno-fuente se incrementa.

A.4.2. Amplificadores Operacionales

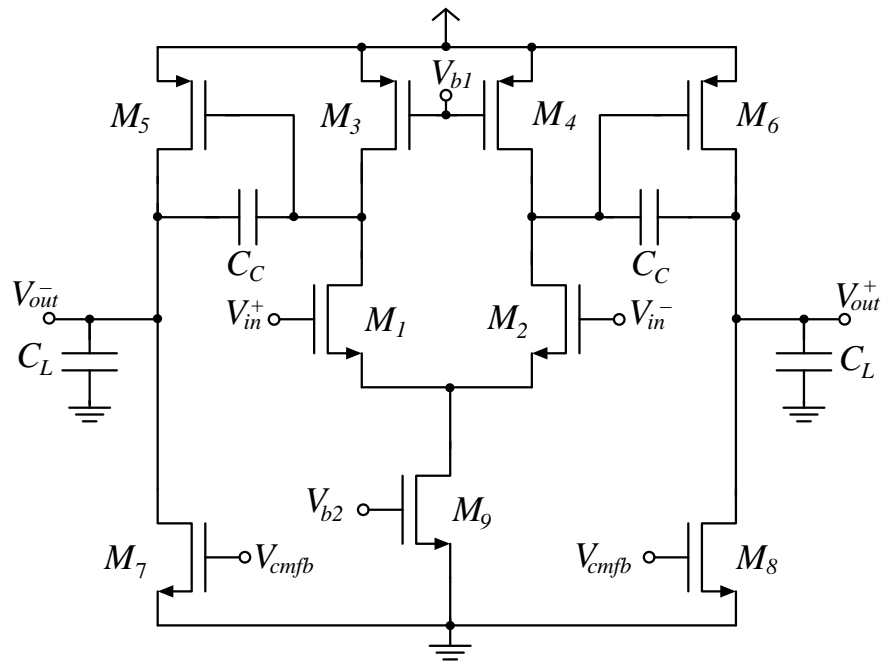
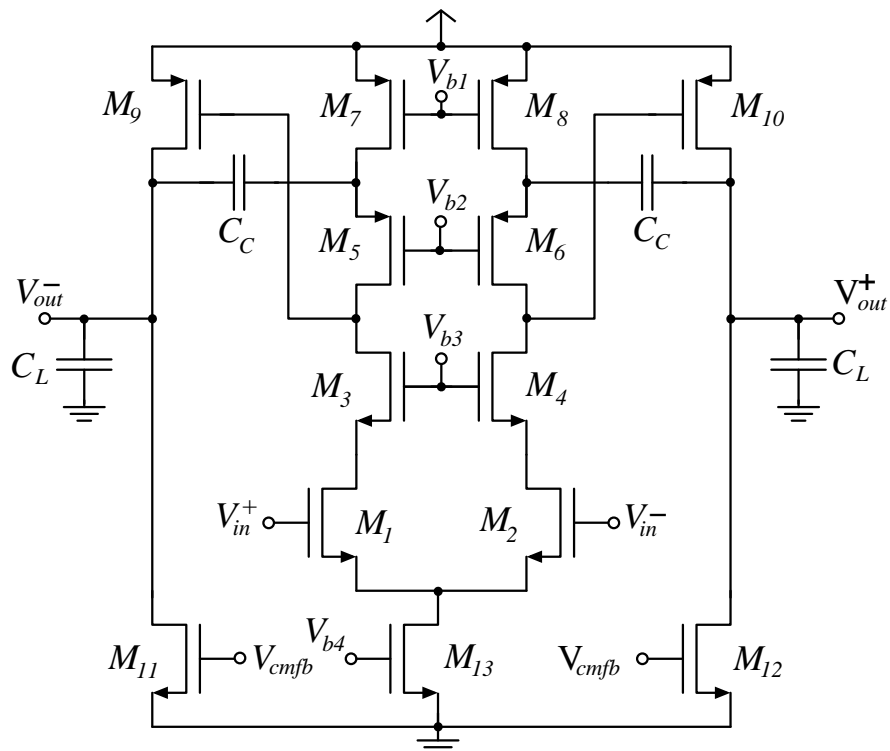
Los amplificadores operacionales forman el núcleo del MDAC. Por lo tanto, es uno de los componentes fundamentales de la arquitectura *pipeline*. Entre los parámetros fundamentales del amplificador se pueden mencionar una alta ganancia, un amplio ancho de banda y un alto *slew rate*. Mientras que la primera característica está relacionada con la precisión del *ADC*, las dos siguientes determinan la máxima frecuencia de reloj para el conversor [10]. Ahora se hará un breve análisis de las diferentes configuraciones de amplificadores de una y dos etapas, con el fin de establecer cual se adapta mejor, tanto a las características deseadas para el amplificador como a los objetivos de este trabajo.

A.4.2.1. Amplificador con compensación de *Miller*

Una de las alternativas para los amplificadores de dos etapas se muestra en la figura 32, el cual se denomina amplificador con compensación de Miller. La ventaja principal de esta arquitectura es que provee un amplio rango de excursión diferencial a la salida, que está dado por $2V_{DD} - 4V_{ds,sat}$, junto con un bajo ruido térmico. Puede usarse con voltajes de alimentación de $V_T + 3V_{dsat}$. Sin embargo, en general, cuando se requiere un margen de fase grande, el *opamp* de Miller no puede alcanzar un ancho de banda tan grande como el de un *OTA* de una etapa [6, 10].

A.4.2.2. Amplificador compensado al estilo *Ahuja*

Una posibilidad para incrementar el desempeño del amplificador con compensación de Miller, es la compensación al estilo *Ahuja* que se observa en la figura 33. En esta arquitectura el capacitor se conecta al nodo de baja impedancia, lo cual incrementa el *slew rate* del amplificador. Además, la ganancia del circuito y el rechazo a las variaciones de la fuente se incrementan en comparación con el amplificador con compensación de Miller. En adición a estas mejoras de desempeño en el amplificador el rango de excursión a la salida presenta un comportamiento similar al amplificador operacional anterior. Entre las desventajas de esta configuración se puede mencionar que el par de polos complejos introducidos por la compensación deterioran el margen de fase y pueden crear problemas de estabilidad [10]. A continuación se presentan los amplificadores de una etapa con alta ganancia, también denominados *OTAs*. Las arquitecturas de una sola etapa ofrecen un amplio ancho de banda y un buen margen de fase con bajo consumo de potencia. Además, no se requiere compensación

Figura 32: Amplificador con compensación de *Miller*.Figura 33: Amplificador compensado al estilo *Ahuja*.

en frecuencia, ya que la arquitectura está auto-compensada (el polo dominante está determinado por la capacitancia de carga). Por otra parte, la alta impedancia de salida es obtenida sacrificando la excursión de voltaje a la salida.

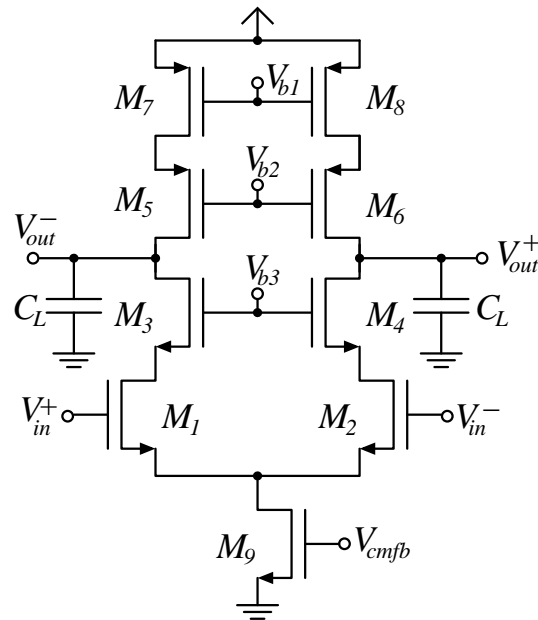


Figura 34: Amplificador Cascodo Telescópico.

A.4.2.3. OTA con cascode telescópico

La aproximación más simple a un amplificador operacional de alta ganancia se presenta en la figura 34, esta configuración recibe el nombre de cascode telescópico. Este circuito permite obtener magnitudes de ganancia, velocidades de respuesta, rechazo a las variaciones de fuente y anchos de banda relativamente altos. Además su configuración de solo una etapa sugiere un bajo consumo de potencia. La desventaja principal del cascode telescópico es el rango de excursión a la entrada y salida del circuito. Típicamente este parámetro está determinado por $V_{DD} - 5V_{dsat}$. Con esta máxima excursión posible el rango de entrada en modo común es cero. En la práctica, se debe reservar algún rango de entrada en modo común, lo cual reduce el rango de salida, para permitir imprecisiones y transitorios en el establecimiento en los niveles de señal de modo común. Con voltajes de alimentación de 5V o mayores, la excursión de salida es suficiente, así que se pueden insertar cascos extras para mejorar la ganancia en DC. Pero, cuando la alimentación es 3V o menos, la excursión es muy pequeña para la mayoría de aplicaciones SC.

A.4.2.4. OTA con cascode doblado

Esta configuración mostrada en la figura 35 es probablemente la arquitectura de *opamp* más comunmente usada en circuitos SC. Provee un mayor rango de excursión a la salida y rango de entrada en modo común que en el *OTA* telescópico con la misma ganancia en DC y sin mayor pérdida de velocidad. La excursión a la salida está dada por $V_{DD} - 4V_{dsat}$, de esta forma, dicho parámetro es más pequeño que en la configuración de *Miller*, pero más grande que en el cascode telescópico. La respuesta en frecuencia del amplificador se deteriora debido a la baja movilidad de los transistores PMOS. Sin embargo, típicamente se obtienen anchos de banda más amplios que con la configuración de *Miller*. La presencia de dos etapas sugiere un mayor consumo de potencia, no obstante, esto se compensa mediante el grado de libertad que se obtiene para comprometer las corrientes, la ganancia y el ancho de banda. Adicionalmente, el rechazo de variación de la fuente y el rechazo de señales de modo común

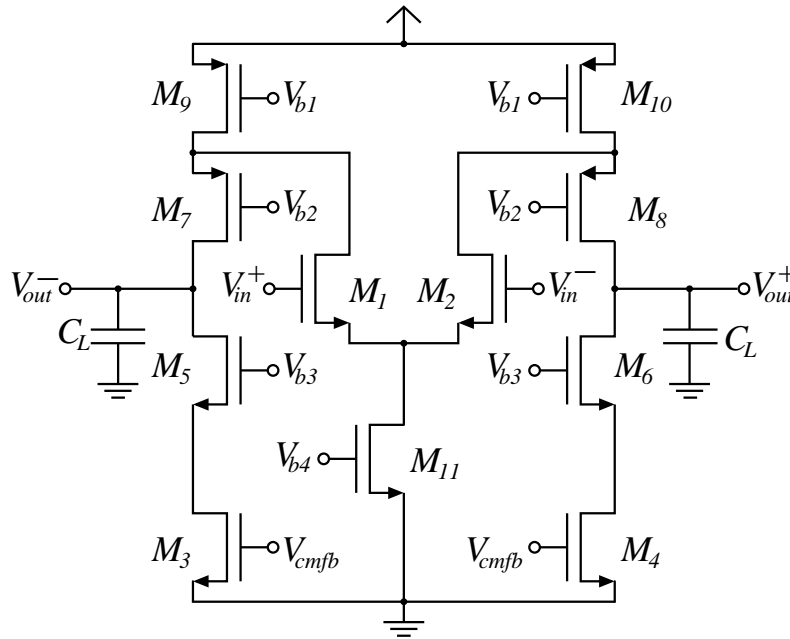


Figura 35: Amplificador Cascodo doblado.

son tan buenos como en el caso del cascode telescópico.

A.4.2.5. Etapa cascode con preamplificador de baja ganancia

Adicionalmente al cascode doblado, otra forma de obtener la corriente del par de entrada a la etapa de salida cascode es el espejado de corriente. El circuito resultante provee un mejor *slew rate* que el cascode doblado, pero introduce otro polo no-dominante, el cual disminuye al incrementar la relación de la corriente espejada. Esta arquitectura se muestra en la figura 36. En lugar de un espejo de corriente, la carga de la primera etapa es un par de dispositivos nMOS conectados en puerta común (M_3 y M_4) y la señal es tomada en la etapa de salida del lado nMOS. Como resultado, el uso de dispositivos pMOS en el camino de la señal es evitado, dando un mayor *GBW* y empujando los polos no-dominantes hacia las altas frecuencias. Hay sin embargo, dos polos no-dominantes, uno asociado con la salida de la primera etapa y el otro con el nodo del cascode, lo cual hace que la fase del circuito caida abruptamente una vez que inicia. Para asegurarse que el polo de salida de la primera etapa sea lo suficientemente alto, la transconductancia de M_3 y M_4 debe ser grande, limitando la ganancia de la primera etapa (o la relación del espejado de corriente) a valores suficientemente bajos, típicamente menores que dos. Desafortunadamente, el ruido térmico incrementa mientras la ganancia de la primera etapa disminuye lo que hace a esta topología descartable cuando se requiere bajo ruido. Haciendo una comparación de los amplificadores mencionados anteriormente, se tiene que las topologías de más velocidad son los amplificadores de una etapa (*OTAs*), con esto se garantizan altos *slew rate* y anchos de banda. Las principales características de estas topologías se presentan en la tabla 5, donde g_{m_x} es la transconductancia del transistor M_x , C_L es la capacitancia de carga, C_{n_x} es la capacitancia parásita asociada con el nodo n_x , e I_S es la corriente del par de entrada. En el tercer *OTA*, m es la relación de aspecto de M_6 y M_3 y n es la relación de la corriente de la etapa de salida con la corriente de la etapa de entrada. El ruido está dado por el factor de exceso de ruido γ_{OA} . Se puede observar que cada arquitectura tiene sus pros y sus contras, por lo cual la elección se debe hacer con base en

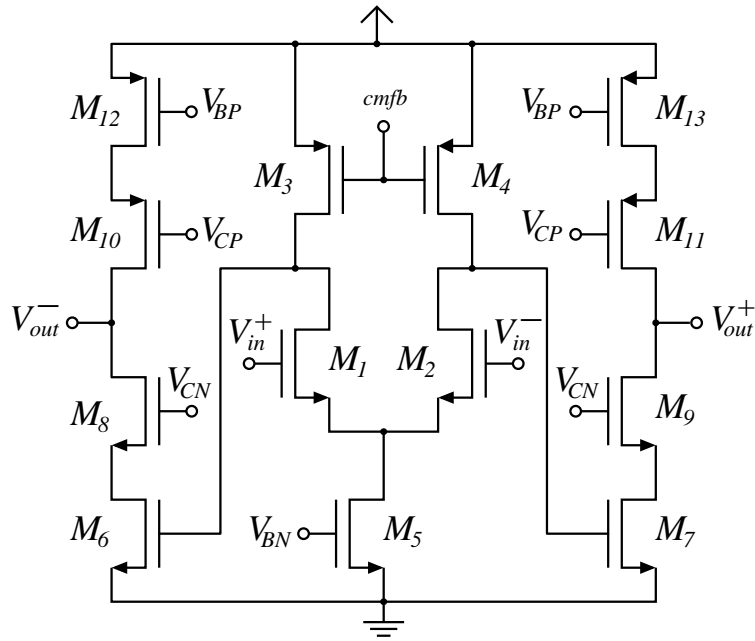


Figura 36: OTA con preamplificador de baja ganancia.

Tabla 5: Comparación de amplificadores de una etapa.

	Cascodo Telescópico	Cascodo doblado	OTA con Preamplificador
Ganancia en DC	$\frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$	$\frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$	$\frac{g_{m1}}{g_{m3}} \cdot \frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$
GBW	$\frac{g_{m1}}{C_L}$	$\frac{g_{m1}}{C_L}$	$\frac{g_{m1}}{g_{m3}} \cdot \frac{g_{m6}}{C_L}$
2do polo	$\frac{g_{m3}}{C_{n1}}$	$\frac{g_{m8}}{C_{n1}}$	$\frac{g_{m3}}{C_{n1}}, \frac{g_{m7}}{C_{n3}}$
I_{SLEW}	I_S	I_S	mI_S
$I_{V_{DD}}$	I_S	$2I_S$	$I_S + nI_S$
Ruido γ_{OA}	$\frac{\gamma_7 g_{m7}}{\gamma_1 g_{m1}}$	$\frac{\gamma_9 g_{m9}}{\gamma_1 g_{m1}} + \frac{\gamma_3 g_{m3}}{\gamma_1 g_{m1}}$	$\frac{g_{m3}}{\gamma_1 g_{m1}} \left(\gamma_3 + \frac{g_{m3}}{g_{m6}} \left(\gamma_6 + \frac{\gamma_{12} g_{m12}}{g_{m6}} \right) \right)$
excursión salida	$V_{DD} - 5V_{dsat} - v_{incm}$	$V_{DD} - 4V_{dsat}$	$V_{DD} - 4V_{dsat}$
MC de entrada	0 a $V_{DD} - 5V_{dsat}$	$V_{DD} - V_T - 2V_{dsat}$	$V_T - V_{dsat}$
Mínimo V_{DD}	$V_T + 2V_{dsat}$ o $5V_{dsat}$	$V_T + 2V_{dsat}$	$2V_T + 2V_{dsat}$

las especificaciones más relevantes para la aplicación deseada.

Anexo B

Circuitos de muestreo

Continuando con el estudio de los circuitos utilizados en el *ADC*, en este anexo se presentan inicialmente los fundamentos y características más relevantes de diseño de los circuitos de muestreo y retención (*S/H*¹). Esto con el fin de identificar cuales son los parámetros más importantes al momento de revisar las principales topologías. Luego se presenta la estrategia general de diseño y los compromisos que se tienen para el diseño de los circuitos utilizados en el *ADC*.

B.1. Fundamentos sobre muestreo y retención

La función principal de un circuito *S/H* es tomar muestras de la señal de entrada y mantener estas muestras en su salida por un periodo de tiempo. Típicamente, las muestras son tomadas en intervalos de tiempo uniformes, por lo tanto, la tasa de muestreo (o tasa de reloj) se puede determinar. La operación de un circuito *S/H* se puede dividir en el modo de muestreo ² y el modo de retención, cuyas duraciones no son necesariamente iguales. En modo de retención, la salida del circuito es igual al valor de entrada previamente muestreado. En el modo de muestreo, la salida puede ser un seguidor de la señal de entrada, en tal caso el circuito se denomina circuito de seguimiento y retención (*T/H*), o puede ser un valor fijo. En algunos circuitos la salida se mantiene durante todo el periodo de reloj de muestreo. Esto se logra al utilizar circuitería separada para desempeñar las operaciones de muestreo y retención. Los

¹Del término en inglés *Sample and Hold*

²También referido como modo de adquisición

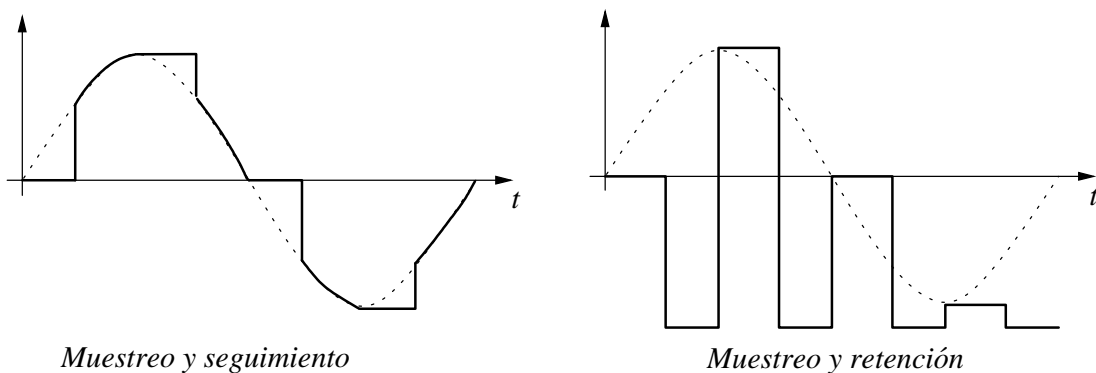


Figura 37: Forma de onda de salida de diferentes circuitos *S/H*.

términos más comunes y la métrica de desempeño utilizada en conjunción con los circuitos S/H [9, 17] son introducidos a continuación de manera breve. Para determinar cuales de los parámetros son más importantes, se debe conocer la aplicación del circuito S/H , así como también la tecnología utilizada, todo esto para conocer con base en que especificaciones se va a diseñar el circuito. Para caracterizar completamente un circuito S/H , las especificaciones, tanto en el dominio del tiempo como en el dominio de la frecuencia, deben estar bien definidas.

- El *tiempo de adquisición* es el tiempo comprendido entre el comando de conmutar del modo de retención al modo de muestreo y el momento cuando el circuito está listo para tomar una nueva muestra. El tiempo de adquisición es uno de los parámetros que define la máxima tasa de muestreo alcanzable.
- El *tiempo de apertura* o *retardo de apertura*, es el tiempo fijo entre el comando de muestreo y el momento cuando la muestra es tomada.
- La variación aleatoria en el momento de muestreo es conocida como *incertidumbre de apertura*.
- El *tiempo de establecimiento en modo de retención* determina el tiempo desde el momento de muestreo hasta cuando la salida del circuito se ha establecido dentro de la precisión especificada a su valor de estado estable. Si el circuito S/H es usado en la entrada de un ADC , el ADC puede digitalizar la salida del circuito S/H en ese momento. El tiempo de establecimiento en modo de retención tiene su mayor impacto en la máxima tasa de muestreo del circuito S/H .
- La señal puede escapar del circuito cuando está en modo de retención. La tasa de cambio en la salida que resulta de este escape de señal es especificada por la *tasa de caída*.
- El *paso de retención* o *error de pedestal* es la diferencia en el valor de salida al final del seguimiento y durante el modo de retención. Este paso está definido usualmente para circuitos de seguimiento y retención. El pedestal puede ser dependiente de la señal y por esto producir distorsión armónica.
- Durante el modo de retención la señal en la entrada del circuito puede acoplarse a la salida. La fracción de la señal de entrada vista a la salida está especificada por la alimentación hacia adelante³ en modo de retención.
- Usualmente, los circuitos S/H tienen ganancia unitaria, pero otros valores de ganancia también pueden ser utilizados. El *error de ganancia* determina la desviación de la ganancia del valor nominal.
- El *rango dinámico* es la diferencia en decibeles entre el máximo voltaje de entrada permitido y el mínimo voltaje de entrada que puede ser muestreado con un nivel de precisión especificado.
- La no-linealidad en el circuito S/H causa distorsión. Para una señal de entrada sinusoidal, la *distorsión armónica total (THD)* es la relación entre la suma del error de

³*Feedthrough*, de manera análoga a la retroalimentación pero en sentido contrario, es decir, de la entrada a la salida.

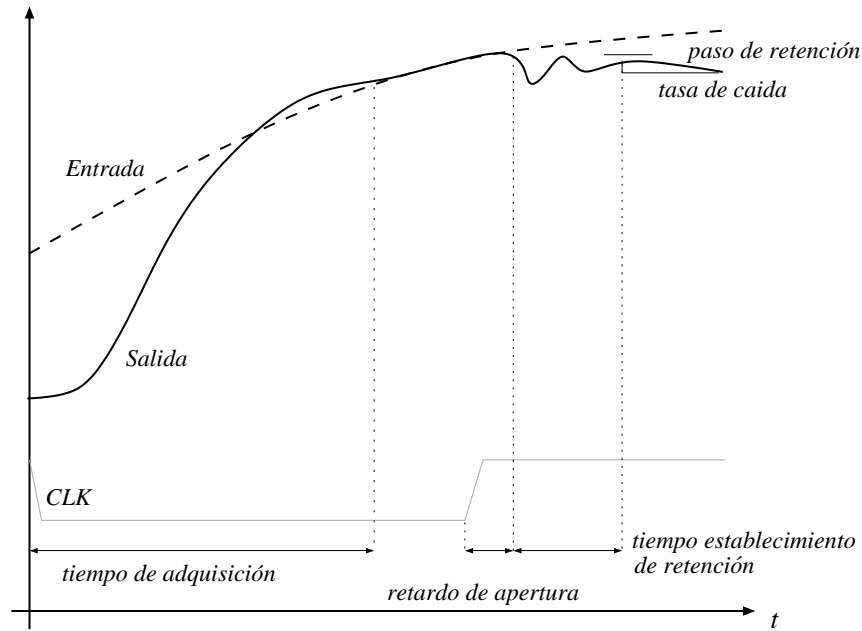


Figura 38: Métrica de desempeño en el dominio del tiempo de circuitos S/H .

energía en las frecuencias relacionadas armónicamente a la frecuencia de entrada, y la energía de la señal en la frecuencia fundamental. La THD puede ser expresada como un porcentaje o en decibeles.

- Cuando un circuito S/H es empleado en el *front-end*⁴ de un ADC es adecuado hablar de *resolución*, la cual es expresada como un número de bits. La resolución es otra forma de expresar el $SNDR$ para la máxima señal de entrada y se obtiene mediante $(SNDR - 1,76)/6,02$.

B.1.1. Espectro de las señales muestreadas

Un circuito S/H ideal toma muestras de una señal de entrada a intervalos uniformes de tiempo, T . En el dominio del tiempo esto corresponde a multiplicar la señal por un tren de impulsos,

$$y(t) = x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT), \quad (\text{B.1})$$

donde $\delta(t)$ representa la función delta de Dirac. El resultado es un tren de impulsos cuyos valores corresponden a los valores instantáneos de la señal de entrada. El espectro de la señal muestreada es una convolución del espectro de entrada y el espectro del tren de impulsos, lo cual es también un tren de impulsos,

$$Y(f) = X(f) * \sum_{n=-\infty}^{\infty} \frac{1}{T} \delta(f - \frac{n}{T}). \quad (\text{B.2})$$

Esto es ilustrado en la figura 39, donde f_s es la frecuencia de muestreo y B el ancho de banda de la señal. El espectro resultante es el espectro original más un número infinito de imágenes

⁴Término utilizado para definir la entrada de un circuito o sistema.

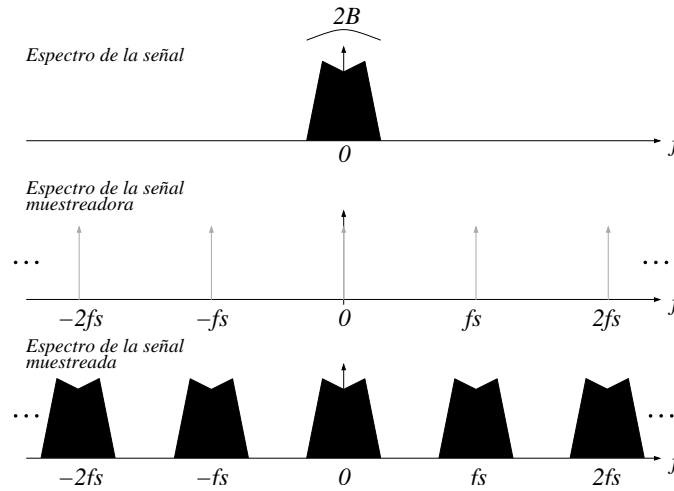


Figura 39: Espectro de una señal muestreada.

del espectro original centradas en los múltiplos de la frecuencia de muestreo. En la figura 39 también se muestra que mientras el ancho de banda de la señal de entrada sea menor que la mitad de la frecuencia de muestreo, las imágenes no se solapan y la señal original puede ser restaurada mediante filtrado. Si esta condición -conocida como el criterio de Nyquist- no es satisfecha, una parte del espectro imagen es trasladado dentro de la banda de señal deseada, causando una distorsión irreversible. Por esta causa, la señal de entrada usualmente tiene que estar limitada en banda antes de muestrearse para evitar el trasladamiento del ruido y otras señales no deseadas presentes fuera de la banda de señal deseada.

B.1.1.1. Espectro de una señal muestreada y retenida

En la práctica, la forma de onda de salida de un circuito de muestreo no puede ser un tren de impulsos infinito. En la mayoría de implementaciones prácticas la muestra es retenida en la salida del circuito hasta que la próxima muestra es tomada.

Si el procesamiento de la señal después del circuito S/H es realizada en tiempo discreto, tal es el caso de los ADC s con un circuito S/H en el *front-end*, el espectro es como en el caso ideal, un espectro periódico como el de la figura 39. Por otra parte, si la forma de onda de salida del circuito S/H es usada como una señal de tiempo continuo, el espectro es diferente. La representación en el dominio del tiempo de una señal muestreada y retenida es una convolución de la señal muestreada y un pulso cuadrado

$$y(t) = \left[x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT) \right] * \Pi\left(\frac{t}{T} - \frac{1}{2}\right), \quad (\text{B.3})$$

donde $\Pi(t/T - 1/2)$ denota un pulso cuadrado desde $t = 0$ hasta $t = T$. En el dominio de la frecuencia la convolución corresponde a la multiplicación y entonces el espectro de la señal muestreada y retenida es el espectro de la señal muestreada multiplicada por el espectro del pulso cuadrado, el cual tiene la forma de $\text{sin}(x)/x$. Usando esta relación el espectro de la señal puede ser escrito como

$$Y(f) = e^{-j\pi ft} \cdot \frac{\text{sin}(\pi ft)}{\pi ft} \sum_{n=-\infty}^{\infty} X\left(f - \frac{n}{T}\right). \quad (\text{B.4})$$

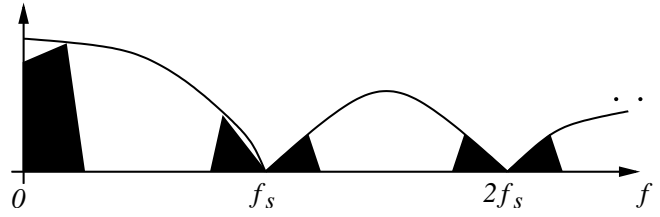


Figura 40: Espectro de una señal muestreada y retenida.

Un espectro de potencia de esta forma es mostrado en la figura 40. En muchos casos la atenuación de la función *sinc* no es tolerable y la señal debe ser predistorsionada antes de la operación de retención o corregida después de ella.

B.1.1.2. Función de muestreo

Cuando impulsos ideales (función delta de Dirac) son utilizados para describir operaciones en procesamiento de señales analógicas en tiempo continuo, se debe estar alerta. Sale a relucir que es imposible realizar un circuito desempeñando el muestreo de acuerdo a (B.1). En la práctica, un circuito no puede tomar el valor instantáneo de su señal de entrada, pero si puede tomar un valor promedio de la entrada durante una ventana de tiempo alrededor del momento de muestreo. Matemáticamente, esto es igual a integrar el producto de la señal de entrada y la función de muestreo desde menos infinito hasta infinito en el dominio del tiempo. Para una sola muestra esto puede ser escrito como:

$$y(t_0) = \int_{-\infty}^{\infty} x(t)h(t - t_0)dt, \quad (\text{B.5})$$

donde t_0 es el instante de muestreo y $h(t)$ la función de muestreo. Lo mismo para una secuencia infinita de muestras es:

$$y(nT) = \sum_{-n=-\infty}^{\infty} \int_{-\infty}^{\infty} x(t)h(t - nT)dt \quad (\text{B.6})$$

$$= \sum_{-n=-\infty}^{\infty} x(nT) * h(-nT) \quad (\text{B.7})$$

$$= |x(t) * h(-t)| \sum_{n=-\infty}^{\infty} \delta(t - nT). \quad (\text{B.8})$$

La integral en la ecuación (B.6) puede identificarse como una convolución resultando en (B.7). Esto puede ser interpretado como una forma muestreada de la integral de convolución. En (B.8) se representa lo mismo utilizando la función delta de Dirac. Usando esto, la señal en el dominio de la frecuencia puede obtenerse fácilmente con la transformada de Fourier:

$$Y(f) = |X(f) \cdot H(-f)| * \sum_{n=-\infty}^{\infty} \delta\left(f - \frac{n}{T}\right). \quad (\text{B.9})$$

Esto muestra que en el dominio de la frecuencia el efecto de la función de muestreo es visto como una multiplicación por la conjugada de la transformada de Fourier de la función de muestreo. Como la transformada de Fourier de un impulso es 1, la ecuación (B.9) es consistente con (B.2).

B.1.2. Tópicos de ruido en circuitos S/H

B.1.2.1. Ruido kT/C

Cualquier circuito de muestreo puede ser considerado como consistente de al menos un interruptor y un capacitor. El interruptor siempre tiene alguna resistencia de encendido finita que genera ruido térmico. La densidad espectral de potencia de este ruido es $4kTRV^2/Hz$, donde k es la constante de Boltzmann, T es la temperatura absoluta, y R la resistencia. El ruido de la muestra de voltaje, es el ruido del resistor filtrado por el circuito pasa-bajo formado por el capacitor de muestreo y la resistencia de encendido del interruptor. Integrando la densidad espectral de ruido del resistor ponderada por la función pasa-bajo, se obtiene la media cuadrática del voltaje de ruido en el capacitor:

$$\sigma^2 = 4kTR \int_0^\infty \frac{1}{1 + (2\pi fRC)^2} df \quad (\text{B.10})$$

$$= \frac{4kTR}{(2\pi RC)^2} \Big|_0^\infty 2\pi RC \arctan(2\pi fRC) = \frac{kT}{C}. \quad (\text{B.11})$$

Observando este resultado se ve por qué esta clase de ruido térmico es referido como ruido kT/C . Un punto interesante es que el ruido del voltaje no depende del valor de la resistencia de encendido del interruptor, y el único parámetro que puede ser utilizado para controlar el ruido es el valor del capacitor de muestreo. Aunque el ancho de banda de señal deseado es típicamente al menos un orden de magnitud menor que el ancho de banda del ruido del circuito muestreador, el ruido muestreado está determinado aún por (B.11). Esto es debido al hecho que la operación de muestreo translada toda la energía del ruido dentro de la banda de Nyquist. En los ADC s un requerimiento común es que la potencia del ruido térmico es más pequeña que la potencia del ruido de cuantización, el cual se puede mostrar que es $LSB^2/12$. Esto impone el límite más bajo para el valor C del capacitor como se ve en la ecuación

$$C > \frac{kT \cdot 12}{LSB^2} = \frac{kT \cdot 12}{2^{-2N} V_{FS}^2}, \quad (\text{B.12})$$

donde N es el número de bits y V_{FS} es el voltaje correspondiente a la escala completa del ADC . Algunas veces el requerimiento es más exigente, permitiendo solo 1 dB de degradación del SNR , lo cual cambia el factor 12 de la ecuación por el factor 46,3. De acuerdo a (B.12), en el caso en que el voltaje a escala completa sea 1, los valores de los capacitores requeridos para resoluciones de 10 y 16 bits son 0,0052 pF y 210 pF respectivamente, lo cual indica que los valores de los capacitores para resoluciones altas comienza a ser muy grande para integración.

B.1.2.2. *Jitter* en el reloj de muestreo

Variaciones aleatorias en el instante de muestreo son conocidas como *jitter*. Se originan del ruido de fase del generador de reloj y del ruido del circuito de muestreo. La forma como el *jitter* es transformado en error de amplitud en los voltajes muestreados es la siguiente: el error en el voltaje muestreado es igual al cambio en el voltaje de entrada entre el instante de muestreo ideal y el instante de muestreo actual. El cambio de voltaje en el turno es proporcional al *jitter* y a la tasa de cambio de la señal de entrada, es decir, es derivativo. Para una entrada sinusoidal la derivada es la función coseno multiplicada por la función esquina, lo cual significa que el error de voltaje es proporcional a la frecuencia y a la amplitud de la

señal de entrada. Se puede demostrar [18] que la relación señal a ruido limitada por el *jitter* es:

$$SNR = -20\log(2\pi f\Delta t), \quad (\text{B.13})$$

donde f es la frecuencia de la señal de entrada y Δt es el valor rms del *jitter*. Se puede observar que incrementando la amplitud de la señal de entrada no mejora el SNR, ya que también se incrementa el error de voltaje.

B.1.2.3. Otros tópicos de ruido

La mayoría de circuitos S/H necesitan un amplificador *buffer* o un *opamp*, al menos en el modo de retención. Las fuentes internas de ruido del amplificador adicionan potencia al ruido térmico de las resistencias de encendido de los interruptores. En muestreo pasivo, el ruido está limitado en banda por la constante de tiempo RC del circuito de muestreo. Cuando un amplificador contribuye a la función de transferencia del circuito, como es el caso del modo de retención y algunas arquitecturas de lazo cerrado, su ancho de banda finito tiende a ser el factor dominante en el límite de banda. Para reducir la cantidad de ruido trasladado, el ancho de banda del amplificador se debe mantener tan bajo como sea permitido por los requerimientos de establecimiento [19]. Esto es importante, ya que si el circuito S/H es seguido por un ADC el ruido del circuito S/H durante el modo de retención también es trasladado debido al muestreo desempeñado por el ADC . En adición al ruido blanco, el circuito S/H también sufre de ruido *flicker*⁵. Sin embargo, en aplicaciones de alta velocidad, como es el caso de este proyecto, el ruido blanco es dominante.

B.2. Arquitecturas básicas de circuitos S/H

En modo de retención, un circuito S/H recuerda el valor de la señal de entrada en el momento de muestreo, y además puede considerarse como una celda analógica de memoria. Los elementos básicos de circuitos que pueden ser empleados como una memoria son los capacitores e inductores, de los cuales los capacitores almacenan la señal como un voltaje (o carga) y los inductores como una corriente. Además del inductor, una memoria de corriente necesita un interruptor que sea un buen corto circuito cuando esté cerrado. Similarmente un interruptor que sea buen circuito abierto en su estado apagado es necesario para una memoria de voltaje. Ya que los capacitores e interruptores con una alta resistencia de apagado son mucho más fáciles de implementar en una tecnología de circuito integrado que los inductores e interruptores con una baja resistencia de encendido, todos los circuitos de muestreo y retención están basados en muestreo de voltajes. También existen circuitos S/H en modo de corriente, pero ellos siempre incluyen conversores de voltaje-a-corriente y corriente-a-voltaje lo cual permite que la cantidad muestreada sea voltaje.

Las arquitecturas de circuitos S/H pueden ser divididas en arquitecturas de lazo abierto y lazo cerrado. La principal diferencia entre ellas es que en las arquitecturas de lazo cerrado, el capacitor en el cual el voltaje es muestreado, está incluido en un lazo de retroalimentación, al menos en modo de retención.

⁵También conocido como ruido $1/f$

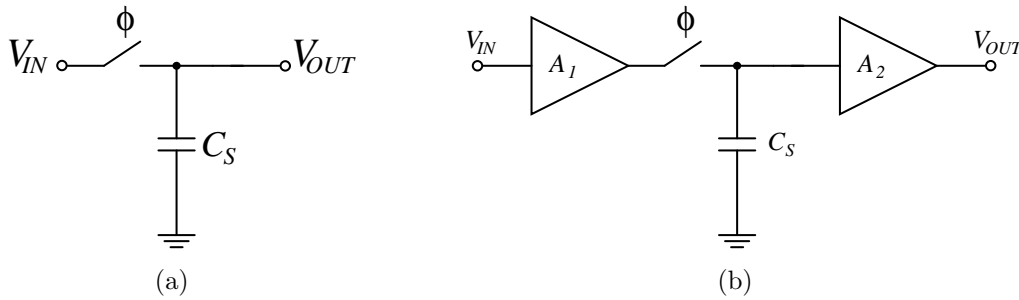


Figura 41: Un circuito S/H simple (a) y un circuito S/H práctico (b).

B.2.1. Arquitecturas de lazo abierto

El circuito S/H más simple consiste en un interruptor y un capacitor como se muestra en la figura B.41(a). En el modo de muestreo el interruptor está cerrado y el voltaje en el capacitor sigue la señal de entrada. Durante la transición a modo de retención, el interruptor está abierto y el valor de voltaje de entrada en el momento de apertura del interruptor se mantiene en el capacitor. Este circuito, sin embargo, no es práctico ya que no es capaz de alimentar ninguna carga. Por esta razón, un *buffer*⁶ debe ser utilizado para alimentar la carga. Un *buffer* de entrada también se puede necesitar para ajustar el nivel de la señal a uno ajustado para el interruptor y para reducir la alimentación hacia adelante en el modo de retención. Un circuito S/H con *buffer* de entrada y de salida y es mostrado en la figura B.41(b).

La principal ventaja de la arquitectura de lazo abierto es su alta velocidad. La precisión, sin embargo, está limitada por la distorsión armónica aumentada por la ganancia no lineal de los amplificadores *buffer* y la inyección de carga dependiente de la señal en el interruptor. Estos problemas se agudizan especialmente con una tecnología *CMOS*. A continuación se presentan algunos ejemplos de esta arquitectura encontrados en publicaciones recientes.

B.2.1.1. Circuito S/H con *buffer* seguidor de fuente

En la figura 42 se muestra un circuito S/H simple usando un *buffer* seguidor de fuente. Idealmente, la corriente de canal de un transistor *MOS* depende solamente del voltaje puerta-fuente del dispositivo. Consecuentemente, un transistor *MOS* polarizado con una corriente constante produce un cambio de voltaje puerta-fuente constante. El circuito tiene solamente impedancia de entrada capacitiva y baja impedancia de salida, y así parece como una solución ideal para conducir una carga almacenada en un capacitor. Sin embargo, existen dos no-idealidades que introducen dependencia del voltaje de entrada en el voltaje de puerta-fuente. Éstas son: el efecto cuerpo, el cual es la dependencia de la corriente del canal en el voltaje de fuente-cuerpo, y la resistencia de salida finita vista desde el drenó del transistor. La impedancia de salida de la fuente de corriente utilizada para polarizar el seguidor de fuente también tiene un efecto, debido a que la impedancia de salida es inversamente proporcional a la longitud del canal del transistor, en los transistores *MOSFET* de canal corto tiene gran importancia. Probablemente la única forma de eliminar el efecto cuerpo es conectar la fuente y el cuerpo del transistor juntos. Esto requiere que el transistor pueda ser colocado en un pozo propio, lo cual sólo es posible con transistores *pMOS* en un proceso *CMOS* típico, que

⁶Circuito utilizado para almacenar datos o aumentar la capacidad de carga de otro circuito.

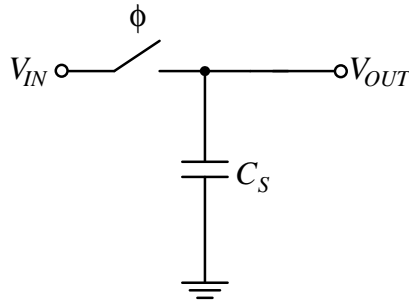


Figura 42: Un circuito S/H simple utilizando un *buffer* seguidor de fuente

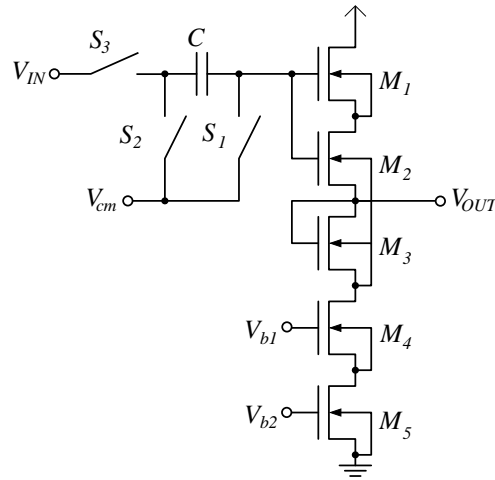


Figura 43: Esquemático simplificado del circuito S/H mostrado en [1].

utilice un sustrato tipo p. La penalidad en que se incurre al usar transistores pMOS es la menor velocidad en comparación con una solución $nMOS$. Un circuito S/H empleando un *buffer* seguidor de fuente $nMOS$, implementado en un proceso $CMOS$ no típico es presentado en [1]. Una implementación usando un proceso $CMOS$ estándar y un seguidor de fuente $pMOS$ está reportado en [2]. Los circuitos S/H de [1] y [2] se muestran en las figuras 43 y 44 respectivamente.

En el circuito de la figura 43, el efecto de la resistencia finita de salida del transistor seguidor de fuente M_2 , es reducido haciendo su voltaje de drenador-fuente casi constante mediante el cascode con el transistor M_1 . Para mantener M_2 en saturación su voltaje de umbral efectivo se hace mayor que el voltaje umbral de M_1 polarizando su cuerpo con el transistor conectado como diodo M_3 . La impedancia de salida de las fuentes de corriente de polarización es aumentada mediante la cascada del transistor fuente de corriente M_5 con el transistor M_4 . Como un resultado de los cinco transistores apilados, el circuito requiere un voltaje de alimentación cercano a 6 Voltios y la variación de señal aún está limitada a 800 mV. El circuito difícilmente alcanza 60 dBc de linealidad a una tasa de reloj de 100-MHz con una frecuencia de señal de 10-MHz.

Un voltaje de alimentación más bajo (~ 3 V) puede utilizarse con el circuito presentado en el figura 44. El voltaje drenador-fuente del seguidor de fuente M_1 está atado con un circuito consistente de M_2 y R . Aunque esto no está explicado en la referencia, el resistor R es usado en lugar de una fuente de corriente, probablemente para minimizar el voltaje de alimentación. Si una fuente de corriente fuera usada, conectando la puerta de M_1 a través de S_1 a la tierra,

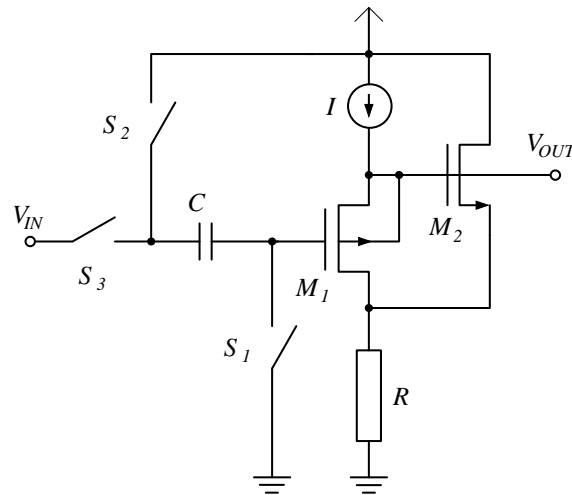


Figura 44: S/H utilizando un *buffer* seguidor de fuente linealizado [2].

causaría que la fuente de corriente saliera de saturación, lo cual reduciría la velocidad de la transición en modo de retención. Para mantener la fuente de corriente en saturación, S_1 debería conectarse a un potencial mayor, incrementando el voltaje de alimentación requerido y la complejidad del circuito. La desventaja de usar el resistor es la corriente relativamente alta fluyendo a través M_2 . Esto es debido al hecho que la corriente de polarización I determina el mínimo voltaje en el resistor R , por lo tanto no puede ser muy alta para mantener M_1 en saturación cuando su puerta esté conectada a tierra. La corriente obtenida de M_2 debería generar una variación de voltaje en el resistor R que es igual a la variación de la señal.

En ambos circuitos la inyección de carga dependiente del voltaje de los transistores conmutados se evita mediante la toma de la muestra abriendo el interruptor S_1 antes que el interruptor de entrada S_2 . Ya que S_1 está conectado a un potencial constante en ambos circuitos, la carga que inyecta al capacitor de muestreo es constante.

B.2.1.2. Circuito S/H usando capacitancias de Miller

En [3] un acercamiento interesante es usado para reducir la inyección de carga dependiente de la señal. La idea es utilizar el efecto Miller para aumentar la capacitancia efectiva en el modo de retención con el fin que el paso de voltaje resultante de la inyección de carga sea insignificante. El muestreo es rápido y el tamaño de los interruptores puede mantenerse pequeño gracias al menor valor físico del capacitor de muestreo, que no es multiplicado por el efecto Miller en el modo de muestreo. El circuito propuesto se muestra en la figura 45. La capacitancia de muestreo se forma de la combinación en paralelo de los capacitores C_1 y C_2 , ambos conectados a la baja impedancia de salida del *opamp*. En el instante de muestreo los transistores de conmutación M_1 y M_2 están apagados. El transistor M_2 opera a un potencial constante y así la carga que inyecta en C_1 no produce distorsión. El transistor M_1 , sin embargo, inyecta carga dependiente de la entrada en el nodo x . Como la ruta de retroalimentación alrededor del *opamp* está rota, el valor efectivo de C_2 es multiplicado por $(A+1)$, donde A es la ganancia de lazo abierto del *opamp*. Como resultado de la capacitancia incrementada, la carga inyectada produce solamente un cambio de voltaje insignificante en el nodo x .

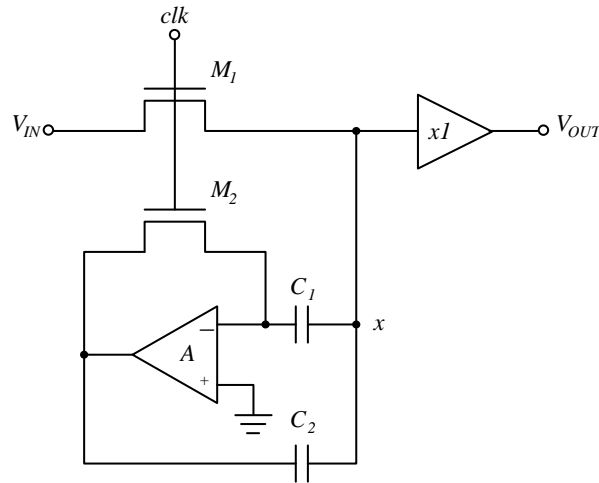


Figura 45: Circuito de muestreo y retención utilizando capacitancia de retención de Miller [3].

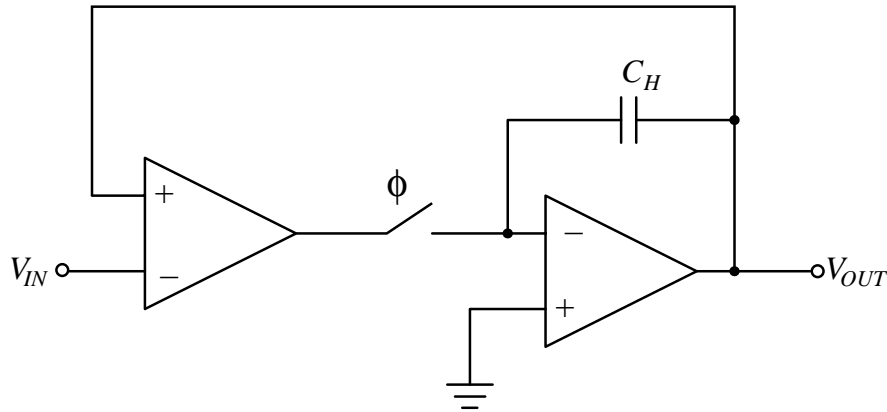


Figura 46: Un circuito S/H de lazo cerrado básico.

B.2.2. Arquitecturas de lazo cerrado

Una conocida técnica para mejorar la linealidad es la utilización de retroalimentación negativa. La retroalimentación puede ser utilizada internamente en los amplificadores *buffer* con una arquitectura de lazo abierto como en la figura B.41(b). Sin embargo, esto no ayuda con la distorsión inducida por el interruptor. La inyección de carga dependiente de la señal puede ser evitada mediante la operación del interruptor con un potencial constante, lo cual puede realizarse encerrando el interruptor en un lazo de retroalimentación para crear una tierra virtual. En la figura 46 se muestra un circuito S/H de lazo cerrado básico.

Como un resultado de la retroalimentación la salida sigue a la entrada en el modo de muestreo. El interruptor está conectado a la tierra virtual generada por el segundo amplificador operacional y esto introduce solo un error de carga constante. Cuando el interruptor se abre, el lazo de retroalimentación global se rompe y el voltaje de entrada es muestreado en el capacitor C_H . El capacitor está conectado permanentemente en un lazo de retroalimentación sobre el segundo amplificador operacional, el cual es utilizado como *buffer* tanto en modo de seguimiento como en modo de retención. Como el lazo de retroalimentación incluye dos amplificadores en el modo de seguimiento, el circuito debe ser fuertemente compensado para evitar inestabilidad. Esto naturalmente reduce la velocidad del circuito.

Otra desventaja potencial es la alimentación hacia adelante en el modo de retención

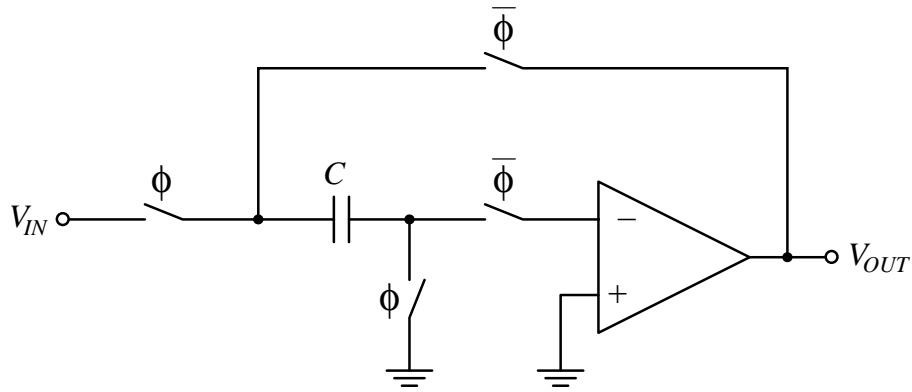


Figura 47: Un circuito S/H de capacitores conmutados.

por medio de las capacitancias parásitas de entrada del primer amplificador operacional. En la figura 47 se muestra una arquitectura S/H de lazo cerrado, comúnmente utilizada en circuitos de capacitores conmutados (SC). El muestreo se desempeña pasivamente, es decir, se realiza sin el *opamp*, lo que hace más rápida la adquisición de datos. En modo de retención el capacitor de muestreo se desconecta de la entrada y se coloca en un lazo de retroalimentación alrededor del *opamp*, como en el circuito de la figura 46. La inyección de carga dependiente de la señal proveniente de los interruptores se evita mediante una técnica llamada muestreo de placa inferior, la cual se apoya en un temporizado especial de las señales de control de los interruptores [6]. En este modo aparece una de las principales ventajas de la utilización de SC , ya que la muestra es retenida a la salida mediante el lazo de realimentación negativa formado por el *opamp* y el muestreo. Este lazo de realimentación ayuda a contrarrestar algunas de las no linealidades de los circuitos S/H , al mismo tiempo que el amplificador permite tolerar cargas efectivas de acuerdo a su impedancia de salida [6].

B.2.2.1. Arquitectura de S/H con transconductancia conmutada

La idea principal de esta arquitectura es desempeñar el muestreo apagando un MOSFET polarizado en la región de saturación, opuesto a la práctica común de operar un transistor como interruptor en el región de triodo. La ventaja de polarizar el interruptor en saturación está en el hecho que después, el canal del transistor es estrangulado al final del drenaje. Entonces, la carga liberada cuando el transistor es apagado se inyecta a la fuente del dispositivo, y no se distorsiona la señal muestreada. Sin embargo, ya que el voltaje en el drenador de un MOSFET saturado no está bien definido, el interruptor debe estar dentro de un lazo de retroalimentación.

En la figura 48 se muestra un esquemático simplificado de la arquitectura. En el modo de muestreo el lazo de retroalimentación está cerrado y el voltaje de salida, al igual que el voltaje en el capacitor de muestreo, sigue la señal de entrada. El muestreo es llevado a cabo apagando la etapa de salida del *opamp* al cortocircuitar las compuertas de los transistores de salida a sus fuentes. En el modo de retención el lazo de retroalimentación está roto y el voltaje muestreado en el capacitor es conducido por el *buffer* de ganancia unitaria [20].

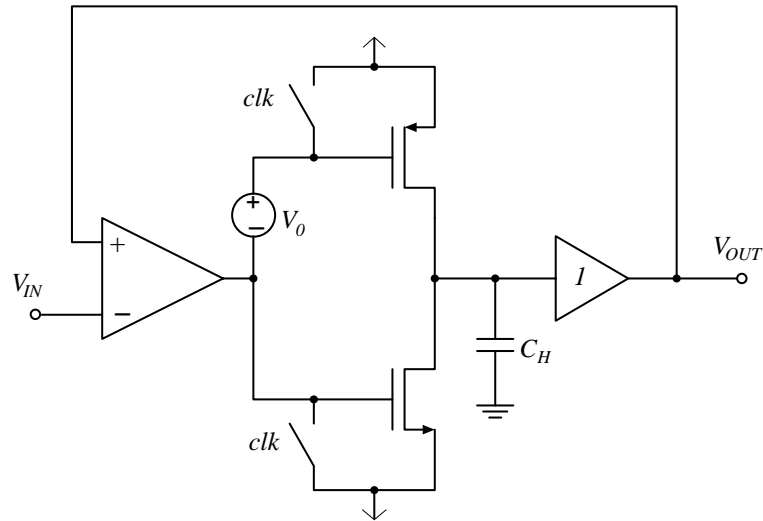


Figura 48: Esquemático simplificado de un circuito S/H usando transconductancias conmutadas.

B.2.2.2. Circuito S/H con ganancia definida por la relación de capacitores

Cuando se necesita un circuito S/H con una ganancia precisa⁷, la mejor solución es un circuito de capacitores conmutados con una ganancia definida por la relación de capacitores. El circuito utilizado en el diseño de un ADC pipeline [4] se muestra en la figura 49. El voltaje de entrada es muestreado pasivamente en los capacitores C_1 y en modo de retención la carga muestreada es transferida a los capacitores C_2 . La relación del voltaje de salida retenido entre el voltaje de entrada muestreado está definido por C_1/C_2 . En el modo de muestreo los capacitores C_2 , al igual que las salidas del *opamp* son reinicializados. El factor de retroalimentación del circuito depende de la relación de capacitores y por ende de la ganancia. Mientras más grande sea la ganancia, el factor de retroalimentación se hace más pequeño, incrementando el tiempo de establecimiento del circuito. Una modificación de este circuito para lograr un establecimiento más rápido, se realiza mediante una configuración de muestreo alterada. En lugar de re-inicializar el capacitor C_2 en el modo de muestreo, éste es conectado en paralelo con C_1 . Consecuentemente, el valor de C_1 debe ser reducido por el valor de C_2 para obtener la misma ganancia que con el circuito original. La reducción del valor de C_1 incrementa el factor de retroalimentación en modo de retención, lo cual aumenta la velocidad del establecimiento. El mejoramiento es significativo solo con valores de ganancia pequeños (~ 2).

B.2.3. Resumen de arquitecturas de S/H para el ADC

Luego de revisar las arquitecturas de muestreo y retención, así como las principales topologías de circuitos S/H , se escoge una arquitectura de muestreo de lazo cerrado, ya que ésta presenta una mejora en la linealidad debido al lazo de realimentación. Se selecciona la topología de capacitores conmutados básica, ya que el uso de SC disminuye la fase de adquisición de datos al realizarse de manera pasiva. No se utilizan las técnicas de transconductancia conmutada, ni la de ganancia definida por la relación de capacitores, debido a que su implementación es más complicada y requiere de mayor circuitería.

⁷Generalmente diferente de 1.

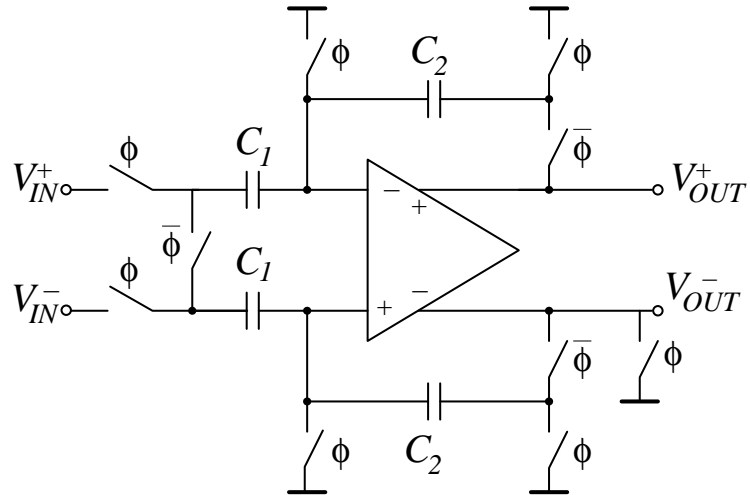


Figura 49: Un circuito de capacitores conmutados presentado en [4].

Bibliografía

- [1] K. Hadidi, T. Watanabe, M. Sasaki, D. Muramatsu, and T. Matsumoto, "A 103MHz Open-Loop Full CMOS Highly-Linear Sample-and-Hold Amplifier," *European Solid-State Circuits Conference*, pp. 396–399, 1997.
- [2] B. Razavi, "Design of Sample-and-Hold Amplifiers for High-Speed Low-Voltage A/D Converters," *IEEE 1997 Custom Integrated Circuits Conference*, pp. 59–66, 1997.
- [3] B. A. W. P. J. Lim, "A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance," *IEEE J. of Solid-State Circuits*, vol. 26, pp. 643–651, Abr 1991.
- [4] P. R. G. H. Lewis, "A Pipelined 5-Msamples/s 9-bit Analog-to-Digital Convert," *IEEE J. Solid-State Circuits*, vol. sc-22, pp. 1132–1938, Dec 1987.
- [5] "The International Technology Roadmap for Semiconductors," S.I.A, San Jose, CA, 2005. [Internet]. Visite: <http://www.itrs.org>
- [6] M. Waltari, "Circuit Techniques for Low-Voltage and High-Speed A/D Converters," Ph.D. dissertation, Helsinki University of Technology, 2002.
- [7] D. W. Cline, "Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters," Ph.D. dissertation, University of California at Berkeley, 1994.
- [8] M. Gustavsson, J. J. Wikner, and N.Ñ. Tan, *CMOS Data Converters for Communications*. Kluwer Academic Publishers, 2002.
- [9] B. Razavi, *Principles of Data Conversion System Design*. IEEE Press, 1995.
- [10] L. Sumanen, "Pipeline Analog to Digital Converters for Wide-Band Wireless Communications," Ph.D. dissertation, Helsinki University of Technology, 2002.
- [11] D. J. Cabrera and J. A. Oliveos, "Aplicación de la Programación Geométrica en el Diseño de Amplificadores Operacionales Integrados en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, 2006.
- [12] M. del Mar Hershenson, "CMOS Analog Circuit Design Via Geometric Programing," Ph.D. dissertation, Stanford University, November 1999.
- [13] W. C. Ossa, "Diseño de un Conversor Analógico-Digital Configurable Integrado en Tecnología CMOS," Proyecto de grado de la Universidad Industrial de Santander, 2007.
- [14] L. Sumanen, M. Waltari, and K. Halonen, "A Mismatch Insensitive CMOS Dynamic Comparator for Pipeline A/D Converters," in *Proceedings of the IEEE International Conference on Circuits and Systems*, Dec 2000, pp. I–32–35.

-
- [15] M. Waltari and K. A. I. Halonen, “1-V 9-bit Pipeline Switched Opamp ADC,” *IEEE J. of Solid-State Circuit*, vol. 36, pp. 129–134, Jan 2001.
- [16] A. A. Abidi, “High-Frequency Noise Measurements on FET’s with Small Dimensions,” *IEEE Trans. Electron Devices*, vol. 33, pp. 1801–1805, Nov 1986.
- [17] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, 2003.
- [18] T. W. M. Shinagawa, Y. Akazawa, “Jitter Analysis of High-Speed Sampling Systems,” *IEEE J. of Solid-State Circuit*, vol. 25, pp. 220–224, Feb 1990.
- [19] G. C. T. R. Gregorian, *Analog MOS Integrated Circuits for Signal Processing*. John Wiley and Sons, Inc, 1986.
- [20] L. Dai and R. Harjani, “CMOS Switched-Opamp Based Sample-and-Hold Circuit,” *Proc. IEEE Internacional Symposium on Circuits and Systems*, vol. 1, pp. 476–479, 1998.