

**DISEÑO Y MONTAJE DE UN SISTEMA DE ADQUISICIÓN DE
SEÑALES DE VOLTAJE PARA LA MEDIDA DEL ESPECTRO DE
IMPEDANCIA ELÉCTRICA EN TEJIDO HUMANO.**

JUAN CARLOS VARGAS OLIVARES

CRISTIHAN JAVIER GARCIA GARCIA

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAÑICAS
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA
2005**

**DISEÑO Y MONTAJE DE UN SISTEMA DE ADQUISICIÓN DE
SEÑALES DE VOLTAJE PARA LA MEDIDA DEL ESPECTRO DE
IMPEDANCIA ELÉCTRICA EN TEJIDO HUMANO.**

**JUAN CARLOS VARGAS OLIVARES
CRISTIHAN JAVIER GARCIA GARCIA**

Proyecto de grado presentado para optar por el título de Ingeniero
Electrónico

Director
JAIME BARRERO PEREZ
Magíster en Potencia Eléctrica

Codirector
DAVID ALEJANDRO MIRANDA MERCADO
Físico e Ingeniero Electrónico

**UNIVERSIDAD INDUSTRIAL DE SANTANDER
FACULTAD DE INGENIERÍAS FISICOMECAÑICAS
ESCUELA DE INGENIERÍA ELÉCTRICA, ELECTRÓNICA Y
TELECOMUNICACIONES
BUCARAMANGA
2005**

DEDICATORIA

*Ofrezco este logro;
a mi madre Graciela, mi padre José Elías,
y a mi hermana Mary Nelsy
gracias por su apoyo en todo momento.*

Juan Carlos Vargas

*No hay en el mundo personas que se merezcan este triunfo más que ustedes mis
amigos, mi soporte, mi alegría, para ustedes papas....*

*Aunque no estés aquí yo se que seguirás siendo mi apoyo en todos mis propósitos
desde el mas allá, te quiero abuelo....*

Cristhian Javier

TABLA DE CONTENIDO

	pag.
INTRODUCCION.....	8
1 CONCEPTOS BÁSICOS	19
1.1 ESPECTRO DE IMPEDANCIA ELÉCTRICA EN TEJIDO BIOLÓGICO ..	19
1.2 ACONDICIONAMIENTO DE LA SEÑAL, CONVERSIÓN ANÁLOGO/DIGITAL Y PROCESAMIENTO DIGITAL DE SEÑALES.....	21
1.2.1 Acondicionamiento de la Señal	21
1.2.2 Conversión Analógica a Digital.....	22
1.2.3 Procesamiento Digital de Señales.....	24
2 DISEÑO DEL HARDWARE DEL SISTEMA	27
2.1 DESCRIPCION GENERAL DEL SISTEMA DE ADQUISICIÓN DE SEÑALES DE VOLTAJE	27
2.2 FAMILIA DSP56F80X.....	29
2.2.1 DSP56F805	30
2.2.2 Interfase Paralela JTAG	32
2.2.3 Entradas Salidas de Propósito General.....	34
2.2.4 Modulo PLL	34
2.2.5 Modulo de Conversión Analógico Digital	36
2.2.6 Modulo de Temporizacion	36
2.2.7 Memoria	37

2.2.8	Interfase De Memoria Externa.....	38
2.2.9	Interfase Serial de Comunicaciones.....	38
2.2.10	Interfase Periférica Serial SPI.....	39
2.3	ETAPA DE CONVERSION ANALOGICO/DIGITAL.....	40
2.3.1	El Conversor Analógico/Digital ADS804.....	41
2.3.2	Conversión Analógica Digital.....	44
2.4	ETAPA DE ACONDICIONAMIENTO DE LA SEÑAL.....	45
2.4.1	Amplificador Operacional OPA642.....	45
2.4.2	Acondicionamiento de la Señal.....	46
2.5	ETAPA DE ALMACENAMIENTO DE DATOS.....	50
2.5.1	Memoria Externa STATIC RAM CY7C1041CV33.....	51
2.5.2	Almacenamiento de Datos.....	52
2.6	ACCESO DIRECTO A MEMORIA.....	55
2.7	ETAPA DE VISUALIZACION.....	57
2.7.1	Pantalla de Cristal Líquido LCD HG25601-C.....	57
2.7.2	Visualización en la LCD.....	58
2.8	ETAPA DE ALIMENTACIÓN.....	63
2.8.1	Regulador PTH0808W.....	63
2.8.2	Regulador MC33269-3.3.....	64
2.8.3	Regulador PT5022.....	65
2.8.4	Regulador PT5062.....	66
3	TÉCNICAS DE DISEÑO DEL PCB.....	68
3.1	TECNOLOGIA DE DISEÑO E INTERFERENCIA.....	68
3.2	SEGREGACIÓN DEL PCB EN ÁREAS FUNCIONALES, COLOCACIÓN DE COMPONENTES Y ENRUTADO DE PISTAS.....	69
3.3	METODOLOGÍAS DE CONEXIÓN A TIERRA Y DE DISTRIBUCIÓN DE POTENCIA.....	73

3.4	DESACOPLE DE FUENTES DE POTENCIA.....	73
3.5	LONGITUD DE LAS PISTAS DE TRANSMISIÓN.....	77
3.6	ANCHO DE LAS PISTAS Y SEPARACIÓN ENTRE ELLAS	77
3.7	IMPEDANCIA DE LAS PISTAS POR EFECTO INDUCTIVO.....	80
4	PROGRAMACION.....	84
4.1	CONFIGURACIÓN DE LA CPU	85
4.2	ADQUISICIÓN DE MUESTRAS Y ALMACENAMIENTO EN MEMORIA	86
4.3	SINCRONIZACIÓN DE TIEMPOS PARA LA ADQUISICIÓN DE MUESTRAS EN EL CONVERTOR ANÁLOGO A DIGITAL.....	88
4.4	VISUALIZACIÓN DE LOS DATOS EN LA LCD	90
5 PRUEBAS 95		
5.1	ETAPA DE ACONDICIONAMIENTO DE LA SEÑAL.....	95
5.2	ETAPA DE CONVERSION DE LA SEÑAL.....	96
5.3	ETAPA DE ALMACENAMIENTO DE DATOS	97
5.4	ETAPA DE VISUALIZACION.....	99
6	CONCLUSIONES.....	101
7	RECOMENDACIONES.....	103
8	BIBLIOGRAFIA.....	104

LISTA DE FIGURAS

	pag.
Figura 1. Rangos de dispersión.	21
Figura 2. Tarjeta de adquisición de señales.....	27
Figura 3. Diagrama de bloques del sistema de adquisición.	28
Figura 4. Diagrama de bloques del DSP56F805.....	30
Figura 5. Diagrama de pines del DSP56F805.....	31
Figura 6. Diagrama de bloques de la Interfase paralela JTAG.	32
Figura 7. Circuito de implementación de la Interfase JTAG.	33
Figura 8. Distribución de pines de los puertos de GPIO.	34
Figura 9. Rango recomendado de operación el PLL.....	35
Figura 10. Conexión del oscilador de cristal.	36
Figura 11. Diagrama de la Interfase de comunicación serial RS-232.	39
Figura 12. Circuito de implementación de la interfase RS-232.	39
Figura 13. Configuración de pines del convertor A/D ADS804.....	42
Figura 14. Diagrama de tiempos del convertor A/D ADS804.	43
Figura 15. Conexiones entre el DSP y el convertor ADS804.	45
Figura 16. Configuración de pines del OPA642.	46
Figura 17. Circuito de acondicionamiento de la señal de entrada.....	48
Figura 18. Etapa de acondicionamiento y acople de la señal para convertor.	49
Figura 19. Análisis en el dominio de la frecuencia del circuito de acople.	49
Figura 20. Análisis en el dominio del tiempo del circuito de acople.	50
Figura 21. Diagrama de bloque y de pines de la memoria CY7C1041CV33.	52
Figura 22. Conexiones entre el DSP y la memoria externa.	54
Figura 23. Esquema del acceso directo a memoria.	56

Figura 24. Código ASCII generado por la LCD.....	59
Figura 25. Configuración pantalla de texto.....	60
Figura 26. Configuración pantalla de gráficos.....	60
Figura 27. Diagrama de bloques del circuito de potencia.	63
Figura 28. Configuración de conexión del regulador 5V para la pantalla LCD.....	64
Figura 29. Diagrama de pines del regulador MC33269.	65
Figura 30. Configuración de conexión del PT5022.	65
Figura 31. Configuración de conexión del regulador -15V para la LCD.....	67
Figura 32. Segregación de circuitos del PCB diseñado.	69
Figura 33. Diseño del PCB en el editor de circuitos impresos <i>EAGLE</i>	72
Figura 34. Ubicación de condensadores del desacople en PCB.	74
Figura 35. Método de conexión de los <i>pads</i> en montaje superficial.....	74
Figura 36. Desacople para fuente y tierra análoga.	76
Figura 37. Configuración de desacople para el ADS804.	76
Figura 38. Inspector de <i>Bean</i> de la CPU: 56F805.	85
Figura 39. <i>Beans</i> configurados para el control del sistema.....	87
Figura 40. Diagrama de bloques del algoritmo de adquisición de muestras.....	89
Figura 41. Diagrama de tiempos.....	90
Figura 42. Diagrama de bloques de la rutina de interpolación.....	93
Figura 43. Diagrama de bloques de la rutina de visualización.....	94
Figura 44. Señal de entrada dentro de las frecuencias de corte del filtro.	95
Figura 45. Señal de salida dentro de las frecuencias de corte del filtro.	96
Figura 46. Visualización en el analizador lógico de una conversión.	97
Figura 47. Datos almacenados de una señal cuadrada de 1MHz.....	98
Figura 48. Datos almacenados de una señal sinusoidal de 600kHz.....	98
Figura 49. Datos almacenados de una señal sinusoidal de 3MHz.	98
Figura 50. Imagen de presentación en la pantalla LCD.....	99
Figura 51. Señal de entrada obtenida con el sistema de adquisición de datos...	100
Figura 52. Señal de entrada obtenida con el sistema de adquisición de datos...	100

LISTA DE TABLAS

pag.

Tabla 1. Tarjetas de adquisición de datos en el mercado.....	25
Tabla 2. Descripción de pines del ADS804.....	42
Tabla 3. Tiempos característicos del ADS804.	44
Tabla 4. Configuración del Bus de direccionamiento.	53
Tabla 5. Estructura de la memoria expandida a 256 KWord.	53
Tabla 6. Tabla de la verdad, de lectura y escritura de la memoria expandida.	55
Tabla 7. Descripción de pines de la LCD.....	57
Tabla 8. Comandos de control de la LCD.....	62
Tabla 9. Bits de conexión con la LCD.....	62
Tabla 10. Descripción de pines del regulador SLTS027B.	66
Tabla 11. Distribución de circuitos integrados.	70
Tabla 12. Distribución de Conectores.....	71

LISTA DE ANEXOS

pag.

ANEXO A. TARJETAS DE CIRCUITO IMPRESO Y TÉCNICAS PARA LA COMPATIBILIDAD ELECTROMAGNÉTICA.....	107
ANEXO B. CODIGOS DE PROGRAMACION.....	118

RESUMEN

TÍTULO: “DISEÑO Y MONTAJE DE UN SISTEMA DE ADQUISICIÓN DE SEÑALES DE VOLTAJE PARA LA MEDIDA DEL ESPECTRO DE IMPEDANCIA ELÉCTRICA EN TEJIDO HUMANO.*

AUTORES: GARCIA GARCIA, CRISTIHAN JAVIER, y, VARGAS OLIVARES, JUAN CARLOS**

PALABRAS CLAVES: cáncer cervical, espectro de impedancia, rango de dispersión β DSP, 56F805, pantalla de cristal líquido, compatibilidad electromagnética.

DESCRIPCIÓN:

El sistema de adquisición de señales de voltaje forma parte de un proyecto macro que tiene como objetivo la detección temprana del cáncer en cuello cervi-uterino por medio de la medida del espectro de impedancia eléctrica en tejido cervical. El espectro de impedancia eléctrica es una propiedad inherente de los materiales y puede ser utilizada para la caracterización de los tejidos y sistemas biológicos de forma no invasiva.

El sistema adquiere señales de tensión de 1 Vpp que se obtienen del tejido después de haberlo excitado con una fuente de corriente de pulsos bifásicos o de ondas sinusoidales, en un rango de frecuencia comprendido entre 100kHz y los 3MHz, las cuales se encuentran dentro del rango de dispersión β (0,1-10 MHz), rango característico para el diagnostico temprano de cáncer cervical. El proceso de adquisición de señales comprende una primera etapa acondicionamiento de la señal, luego una de conversión de la señal de analógica a digital, seguida por un

almacenamiento en memoria SRAM para su posterior procesamiento digital y por ultimo una visualización de la señal obtenida en una pantalla de cristal liquido. Todo este proceso lo controla el procesador digital de señales DSP56F805 de Motorola, escogido como unidad de procesamiento central. Para realizar el proceso de conversión y almacenamiento de las muestras el sistema utiliza dispositivos externos al DSP, pues los módulos que este posee no cumplen con los requerimientos del sistema. Para la elaboración de la tarjeta de circuito impreso PCB se tuvieron en cuenta las recomendaciones del estándar IPC2221 para la compatibilidad electromagnética.

* Trabajo de Grado.

** Facultad de Ingeniería Físico-mecánicas. Ingeniería Electrónica. Jaime Guillermo Barrero Pérez.

SUMMARY

TITLE: “DESIGN AND ASSEMBLE OF A VOLTAGE SIGNALS ACQUISITION SYSTEM FOR THE MEASUREMENT OF THE ELECTRICAL SPECTRUM IMPEDANCE IN HUMAN TISSUE”

AUTHORS: GARCIA GARCIA, CRISTIHAN JAVIER, AND, VARGAS OLIVARES, JUAN CARLOS**

KEY WORDS: cervical cancer, impedance spectrum, β dispersion range, DSP, 56F805, liquid crystal display, electromagnetic compatibility.

DESCRIPTION:

The voltage signal acquisition system is part of a macro project, the targets of this system is the early cervical cancer detection The electrical impedance spectrum is a material's inherent property that may be used to characterize the tissues and biological systems in a non invasive way using the measurement of the electrical impedance spectrum in cervical tissue.

The system acquires voltage signals with an amplitude of 1Vpp that is obtained from the tissue after it has been excited with a bifasic pulse and sinusoidal current source, in a frequency range between 100kHz and 3MHz, which is into the β dispersion range, characteristic range for early cervical cancer detection. The signal acquisition process includes a signal conditioning stage, after that a analogical to digital conversion stage followed by a storing stage in a SRAM for its posterior digital processing and a final visualization stage of the signal in a liquid crystal display. The whole process is controlled by the digital signal processor DSP56F805 build by Motorola, which was chosen as central processing unit. In

order to achieve the conversion and storing process of the samples the system uses DSP off-chip devices, because the A/D conversion modulus and the memory do not satisfy the system requirements. The IPC2221 standard was followed to make the circuit printed board for electromagnetic compatibility.

* Work of Grade.

** Faculty of Engineering Physical-mechanics. Engineering Electronic. Jaime Guillermo Barrero Pérez

INTRODUCCIÓN

El sistema de adquisición de señales de voltaje forma parte de un proyecto de maestría cuyo objetivo es la detección temprana del cáncer en cuello cervi-uterino por medio de la medida del espectro de impedancia eléctrica en tejido cervical. El sistema adquiere señales de tensión de 1 Vpp que se obtienen del tejido después de haberlo excitado con una fuente de corriente en un rango de frecuencia comprendido entre 100kHz y los 3MHz, las cuales se encuentran dentro del rango de dispersión β (0,1-10 MHz) rango característico para el diagnostico temprano de cáncer cervical.

El proceso de adquisición de señales comprende una primera etapa de conversión de la señal de analógica a digital, seguida por un almacenamiento en memoria y por ultimo una visualización de la señal obtenida. Todo este proceso lo controla un procesador digital de señales DSP.

En el capitulo 1 se explica la relación entre la medida del espectro de impedancia eléctrica en tejido cervical con la detección precoz de cáncer cervical. Igualmente se expone lo referente al los procesos de conversión análogo/digital, el procesamiento digital de la señal.

En el capitulo 2 se explica la configuración del hardware diseñado y ensamblado con el cual se implementó el sistema de adquisición de señales, esta descripción incluye una justificación de la selección de dispositivos para la elaboración del sistema y una descripción de la etapa de alimentación y potencia para todos los dispositivos del sistema, la etapa de acondicionamiento de la señal, la etapa de

conversión analógica/digital, la etapa de almacenamiento de datos del sistema y la etapa de interfaz gráfica para visualizar las señales de voltaje adquiridas y el esquema de control de cada periférico.

El capítulo 3 trata sobre las características del diseño, elaboración y montaje de la tarjeta de circuito impreso del sistema en tecnología *SMT* Tecnología de Montaje Superficial, se describen algunas técnicas básicas de diseño para la compatibilidad electromagnética.

En el capítulo 4 se presenta la estructura de programación implementada para obtener la señal y la forma como se visualiza por medio de una pantalla de cristal líquido.

En el capítulo 5 se describe las pruebas y evaluación final del dispositivo.

1 CONCEPTOS BÁSICOS

1.1 ESPECTRO DE IMPEDANCIA ELÉCTRICA EN TEJIDO BIOLÓGICO

Para un correcto diseño del sistema de adquisición de señales es importante tener en cuenta las características de la señal de entrada que ofrecen información relevante en el propósito de la detección precoz del cáncer cervical, esta información es proporcionada por la medida del espectro de impedancia eléctrica la cual es una propiedad inherente de los materiales y puede ser utilizada para la caracterización de los tejidos y sistemas biológicos de forma no invasiva. Los primeros trabajos datan de la década de 1890, cuando G.N. Stewart usó la conductividad eléctrica de la sangre para caracterizar los tiempos de circulación por los diferentes órganos. En las décadas de 1930 y 40 Kenneth S. Cole presenta sus primeros trabajos sobre partículas esféricas, desarrollando modelos matemáticos, circuitos equivalentes y descripciones para los vectores de impedancia. Hoy en día se continúa utilizando sus modelos en la caracterización de las medidas espectrales de impedancia. Éstas técnicas se desarrollaron gracias a los trabajos, entre otros, de Herman P. Schwan (Schwan, 1955), que estudió las propiedades eléctricas de los diferentes tejidos biológicos y desarrolló técnicas para realizar las medidas en diferentes márgenes frecuenciales. Estas aplicaciones se han visto complementadas por otros estudios, como son los de crecimientos celulares, composición corporal, movimiento de fluidos y distinción entre tejidos sanos y cancerosos, entre otros, que han constituido el núcleo de trabajo para las medidas de bioimpedancia, ya sean a una frecuencia o mediante el estudio de su espectro.

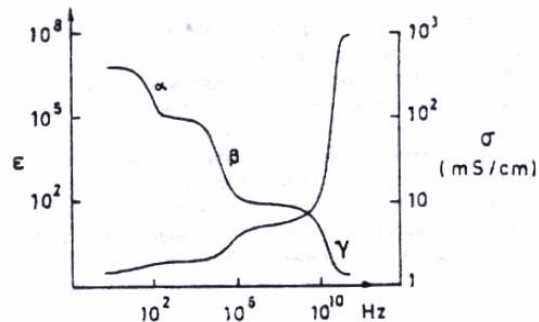
La obtención del espectro de impedancia eléctrica es una técnica que consiste en medir la impedancia eléctrica $Z(f) = V(f)/I(f)$ de un medio a varias frecuencias. En forma polar ésta se representa como $Z(f) = |Z| \angle \theta$ o en forma rectangular $Z = R + jX$, para tejidos biológicos priman las componentes capacitivas por lo tanto la fase θ o la parte reactiva jX son valores negativos. El espectro de impedancia eléctrica constituye la serie de medidas de impedancia las cuales pueden graficarse como Magnitud de Impedancia vs. Frecuencia y Fase vs. Frecuencia.

La constitución propia de los tejidos biológicos, su disposición celular y el tamaño de los núcleos de las células, entre otras, influyen en las propiedades tanto resistivas como capacitivas del tejido ante el flujo de corriente eléctrica, la magnitud de la impedancia y su dependencia de la frecuencia es una función de la composición del tejido, existen demostraciones tanto prácticas como teóricas que relacionan las estructuras diferentes del tejido biológico con bandas de frecuencias diferentes dentro de un espectro de impedancias, por ejemplo en la banda de frecuencias llamada rango de dispersión β (frecuencias entre 100KHz a 10MHz), las estructuras celulares son el principal determinante de la impedancia en el tejido; en el rango de dispersión γ de frecuencias altas (100 MHz a algunos GHz) la estructura molecular es el factor determinante y el rango de dispersión α de bajas frecuencias (menores a 100 Hz) corresponde a rasgos macroscópicos¹. En la figura 1 se observa los tres rangos de dispersión. En este proyecto el rango de frecuencias de interés para estudios diagnósticos temprano de cáncer se encuentra dentro del rango de dispersión β (0,1-10 MHz) ya que el cambio de las

¹ SCHWAN H.P. “*Electrical Properties of Tissues and Cell Suspensions: Mechanisms and Models*”, Bioengineering Department, University of Pennsylvania Philadelphia, 1994 IEEE.

estructuras celulares producidas por la aparición y avance de la enfermedad determinan los cambios propios de impedancia en el tejido.

Figura 1. Rangos de dispersión.



Fuente: SCHWAN H.P. Op. Cit.

1.2 ACONDICIONAMIENTO DE LA SEÑAL, CONVERSIÓN ANÁLOGO/DIGITAL Y PROCESAMIENTO DIGITAL DE SEÑALES

1.2.1 Acondicionamiento de la Señal

El acondicionamiento de una señal análoga se basa en dos operaciones, la amplificación y el filtrado. La amplificación de la señal se realiza porque los transductores producen señales que tienen poca energía, lo que puede representar un problema al momento de hacer un procesamiento confiable de ésta; en cambio si la señal aumenta su energía, este procesamiento se puede llevar a cabo de manera más confiable. Un parámetro importante en las etapas de amplificación de señales es la linealidad que éstas deben presentar para no modificar ni agregar nueva información a la señal, por lo tanto el resultado deseado de un proceso de amplificación es una réplica exacta de la señal de entrada aumentada cierta

cantidad de veces. Esta operación de la señal se puede resumir de la siguiente manera:

$$V_0 = A * V_I$$

El filtrado de las señales se realiza para eliminar o suprimir las componentes de frecuencia indeseadas, a este tipo de filtros se les puede llamar como seleccionadores de frecuencias, pasan señales cuyo espectro de frecuencias está dentro de una banda específica y detienen señales cuyo espectro de frecuencias cae fuera de esta banda. Idealmente en estos filtros, el rango de frecuencias de la banda o bandas pasantes tiene una ganancia unitaria y en cambio el rango de las bandas suprimidas tiene ganancia cero. Existen cinco tipos de filtros, el filtro pasa-bajos que deja pasar solo las frecuencias que están debajo de cierto valor, el filtro pasa-bandas que deja pasar las frecuencias que están dentro de un rango de frecuencias entre un límite inferior y un límite superior, el filtro pasa-altos que permite el paso de las frecuencias que están sobre un determinado valor, el filtro elimina bandas que suprime las señales de cierto rango de frecuencias y el filtro pasa todo que no elimina frecuencias de la señal.

1.2.2 Conversión Analógica a Digital

Para procesar las señales análogas es necesario transformarlas en señales discretas; esta transformación se realiza con el proceso de Conversión Digital de Señales. Este proceso se basa en el hecho de que una señal continua puede representarse y reconstruirse por completo a partir de muestras de ésta, tomadas en espacios de tiempo iguales. Este proceso de conversión se justifica en el hecho de que el tratamiento de las señales es más flexible con señales discretas que con señales continuas, sin perder información de la señal análoga original. Todo el proceso de conversión se basa en el teorema del muestreo que dice: *si una señal es de banda limitada, es decir, si su transformada de Fourier es cero fuera de la*

banda finitas de frecuencias, y si las muestras son tomadas lo suficientemente cercanas unas de otras en relación con la frecuencia más alta presente en la señal, entonces las muestras especifican unívocamente a la señal y podemos reconstruirla perfectamente²

El proceso de conversión análoga a digital se lleva a cabo en tres etapas:

1. Muestreo de la señal: esta operación se realiza mediante una multiplicación de un tren de pulsos periódicos y la señal analógica, en el cual se definen parámetros como la función de muestreo $p(t)$, T el periodo de muestreo y ω_s la frecuencia de muestreo, que es la velocidad con la que se toman las muestras.

$$p(t) = \sum_{-\infty}^{\infty} \delta(t - nT)$$

2. Cuantificación. Esta es la conversión de una señal en tiempo discreto con valores continuos a una señal en tiempo discreto con valores discretos (señal digital). El valor de cada muestra de la señal se representa mediante un valor seleccionado de un conjunto finito de valores posibles. La diferencia entre la muestra sin cuantificar $x(n)$ y la salida cuantificada $X_q(n)$ se denomina error de cuantificación.

3. Codificación. En el proceso de codificación, cada valor discreto $x_a(n)$ se representa mediante secuencia binaria de bits.

La información digital es diferente de su contraparte continua, pues en el proceso de muestro se pierde algo de información; pero para que esa diferencia sea lo menos apreciable se deben optimizar los procesos y cumplir el teorema de

² OPPENHEIM, ALAN V. Señales y Sistemas, 2ª edición, Prentice Hall. Mexico, 1997.

muestreo y el teorema de Nyquist que dice para muestrear una señal periodica, el periodo de muestreo debe ser menor a la mitad el periodo de la señal³, esto quiere decir que se deben tomar mínimo dos muestras por periodo. De esta manera los cambios que ocurran en la señal de entrada, entre estos tiempos de muestreo, son completamente ignorados. El muestreo no da lugar a una pérdida de información ni introduce distorsión en la señal si su ancho de banda es finito. Cuando el hardware implementado no logra cumplir con las condiciones para el proceso de muestreo antes descritas, se puede hacer uso de la teoría de muestreo por desfase⁴ el cual enuncia: *sea $f(t)$ una señal periódica en el tiempo, de periodo T conocido y τ el periodo de muestreo utilizado para obtener una señal digital $g(n)$ con N muestras por periodos y un numero total de muestras $\mu = M N$. si se cumple la relación $\tau = T/N(1 \pm 1/M)$ entonces es posible reconstruir, para la señal discreta, un periodo con $\mu = M N$ muestras espaciadas regularmente en el tiempo.* Este teorema se utiliza para cubrir el rango de dispersión β hasta 3MHz

1.2.3 Procesamiento Digital de Señales

El procesamiento digital de señales es una operación que se realiza a una señal en un hardware digital y que sigue reglas bien definidas las cuales son introducidas al hardware a través de un software que maneja lenguajes de programación.

Actualmente en el mercado se pueden encontrar una gran cantidad de tarjetas de adquisición de datos basadas en DPS's con una gran variedad de características y aplicaciones. Se realizo una busqueda acerca de los diferentes tipos de tarjetas

³ J.G. Proakis, D.G.Manolakis. Tratamiento digital de señales, 3ª edición. Prentice Hall. España. 2000.

⁴ MIRANDA, David. Teorema de muestreo por desfase. IX simposio internacional de Tratamiento de imágenes y señales IEEE, Manizales, Colombia. Septiembre 2004 ISBN.958-9322-91-3

que se pueden encontrar junto con sus principales características para hacer una comparación de estas con el sistema diseñado, esto se observa en la tabla 1:

Tabla 1. Tarjetas de adquisición de datos en el mercado.

REFERERENCIA	DSP	MHZ	FRECUENCIA DE MUESTREO	CANALES	RESOLUCIÓN	MEMORIA
Audio4-5410 Portable DSP Data Acquisition with MS320VC5410	TMS320VC5410 (T.I.)	100	8kHz a 48kHz	4	16 bits	External flash ROM - 128K by 16-bits
Audio4-USB-BV	DSP56307 (Freescale)	100	8kHz a 48kHz	4	16 bits	External flash ROM - 128K by 8-bits
DT9841-SB	TMS320C6713 (T.I.)	300	200-100kHz	8	24 bits	128 MB SDRAM and 2 MB Flash
A4D4 Omnibus Module	TMS320C6416(TI) 2 to 6 MGATE Virtex-II FPGA		200kHz	4	16 bits	N/A
DT9841	DSP32C		100kHz	8	24 bits	128MB SDRAMM and 2MB Flash memory
Quixote		1GHz	105MHz	N/A	64bits	32 MB SDRAM, 8 MB ZBT SBSRAM
DSPA64/HLF		50	138kHz	64 canales multiplexados	16bits	1MB SRAM
Conejo	TMS320C6711 (TI)	150	10MHz	4	14 bits	32MBSDRAM
DSP56F805EVM	DSP56F805	80	80MMz	4	16	SRAM 64Kx16-BIT PM 64Kx16-BIT DM
DAQ56805	DSP56F805(Freescale)	80	6MHz	1	12bits	256kWords SRAM

FABRICANTE	COMUNICACIÓN	PORTÁTIL	PRECIO (DOLARES)
Omain Technologies	USB	Si	900
Omain Technologies	USB	Si	1000
Data Translation	USB 2.0	N/A	3995

Entegra	PCI	No	N/A
Symres	N/A	No	2500
Innovative Integration	PCI 64/32bits	N/A	
FREESCALE	Serial	No	375
	Serial	Si	700

Fuente: Autores del proyecto

Observando esta tabla se puede ver que las diferentes compañías diseñan sistemas de desarrollo con diferentes prestaciones y solo la conejo alcanza una frecuencia de muestro lo suficientemente alta para los propósitos del proyecto, todos estos sistemas usan conversores A/D externos al DSP. Los costos de adquisición de uno de estos sistemas es elevado lo que hace al sistema desarrollado una buena opción teniendo en cuenta la relación costo beneficio.

2 DISEÑO DEL HARDWARE DEL SISTEMA

Figura 2. Tarjeta de adquisición de señales



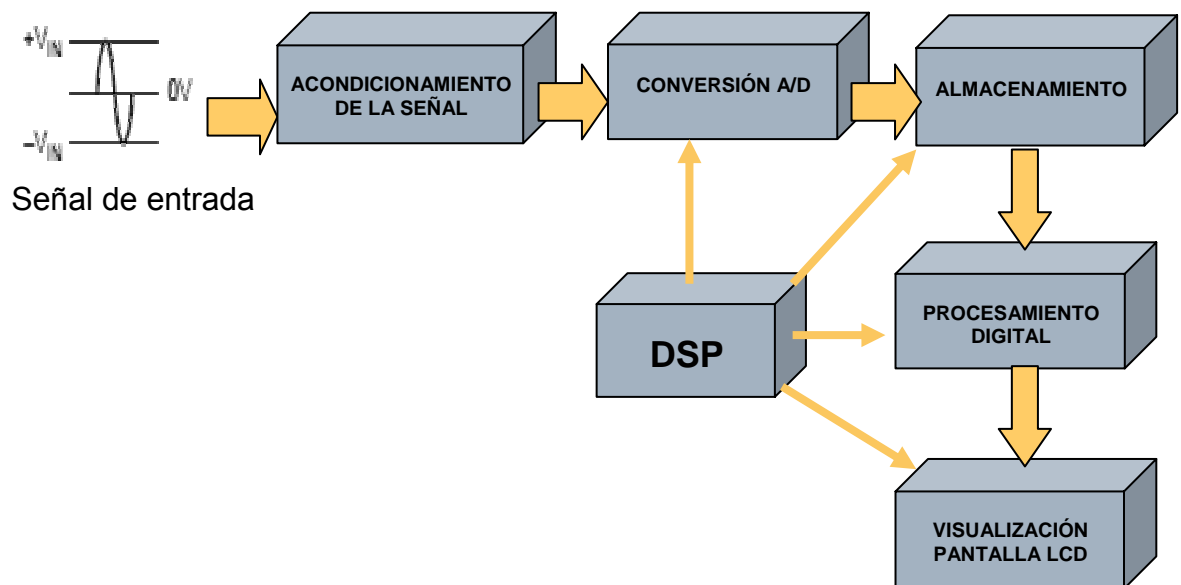
Fuente: Autores del proyecto

2.1 DESCRIPCIÓN GENERAL DEL SISTEMA DE ADQUISICIÓN DE SEÑALES DE VOLTAJE

El sistema de adquisición de señales de voltaje permite muestrear una señal analógica de 1Vpp en un rango de frecuencias de 0.1MHz a 3MHz la cual está dentro del rango de dispersión β (0,1-10MHz) y almacenar las muestras tomadas en memoria. La señal de entrada proviene de una etapa de acondicionamiento previo por lo que no se hace necesario un tratamiento de la señal riguroso. El proceso de muestreo y almacenamiento es controlado por el DSP56F805 de

Motorola. Este DSP posee conversores análogos digitales internos, sin embargo no fue posible usarlos para cumplir los requerimientos de este sistema debido a su baja frecuencia de muestreo, alrededor de 500kHz, por esta razón se usó un conversor A/D externo; la señal de entrada es acondicionada de acuerdo a los requerimientos del conversor externo y es muestreada con una resolución de 12 bits para su posterior procesamiento digital en el DSP y visualización en la pantalla LCD. Así mismo se implementó una expansión de la RAM del DSP, debido a la poca capacidad de almacenamiento de datos que este ofrece para los requerimientos del sistema. No se implementó una etapa de protección a ruido rigurosa debido a que los dispositivos digitales son inmunes al ruido⁵. La figura 3 muestra el diagrama de bloques general del sistema de adquisición de señales.

Figura 3. Diagrama de bloques del sistema de adquisición.



Fuente: Autores del proyecto

⁵ J.G. Proakis, D.G.Manolakis. Op Cit. Pag 4-8

En este capítulo se hace una descripción del funcionamiento de los componentes escogidos y la manera como se integran para aprovechar sus características y así llevar a cabo una adquisición de datos eficiente además de dar al sistema una capacidad y una dinámica que permita en un futuro aprovechar estas características para otras aplicaciones diferentes a la originalmente planeada.

2.2 FAMILIA DSP56F80X

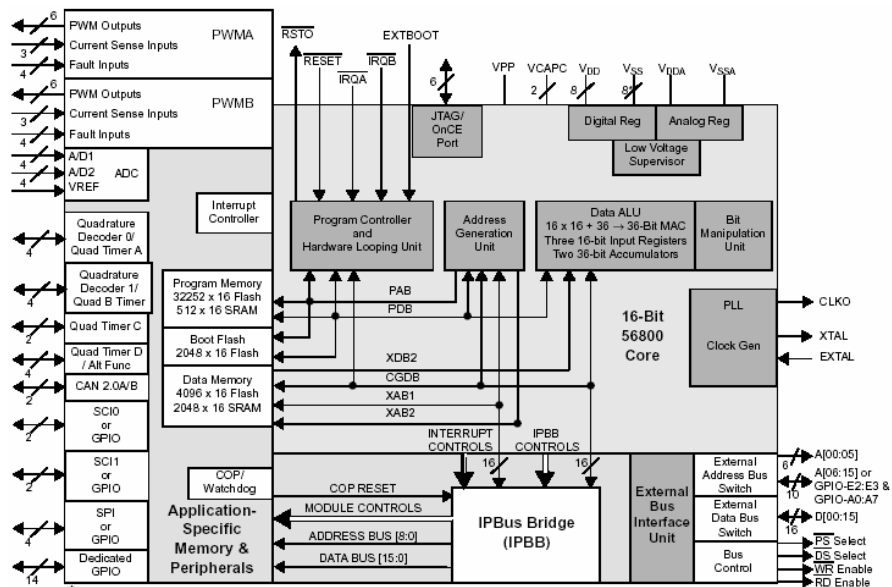
La familia DSP56F80X es una familia de procesadores digitales de señales que tiene bajo consumo de potencia y un rendimiento de cómputo promedio. El DSP 56F800 es una unidad de procesamiento central de propósito general, con una unidad de direccionamiento de 16 bits, diseñado tanto para procesamiento digital de señal como para un gran variedad de operaciones de control. Posee un *set* de instrucciones con diferentes operaciones aritméticas y movimientos de memoria individual y dual que ocurren en paralelo con una operación aritmética.

Una variedad de periféricos estándar pueden configurados en el DSP tales como modulo de programación JTAG, temporizadores de propósito general, puerto de entrada y salida de propósito general (GPIO), modulo de memoria Flash y RAM de datos y de programa con posibilidad de expansión, interfase de comunicación serial (SCI), interfase periférica serial (SPI). Trabaja a 40MIPS y una frecuencia de 80MHz. Requiere alimentación de 3.3V. Tiene un modo fácil de programación pues posee compilador de lenguaje C.

2.2.1 DSP56F805 ⁶

El DSP56F805 es un miembro de la familia de procesadores digitales híbridos de señales 56F800 de Motorola escogido como unidad central del procesamiento. Posee 32 líneas de entradas/salidas de propósito general (GPIO) de las cuales 14 son dedicadas exclusivamente a esta función y las 18 restantes dependen de la configuración de los puertos de los periféricos, dos líneas de interrupción externas (IRQ), dos conversores análogos/digitales (ADC) de 4 cuatro canales, con resolución de 12 bits, dos módulos de PWM (modulación por ancho de pulso), dos decodificadores de cuadratura, dos interfaces de comunicación serial (SCI), una interfaz periférica serial (SPI) y cuatro temporizadores de propósito general (Modulo *Quad Timer*). En la figura 4 se muestran los diferentes módulos del DSP56F805 y en la figura 5 el diagrama de pines.

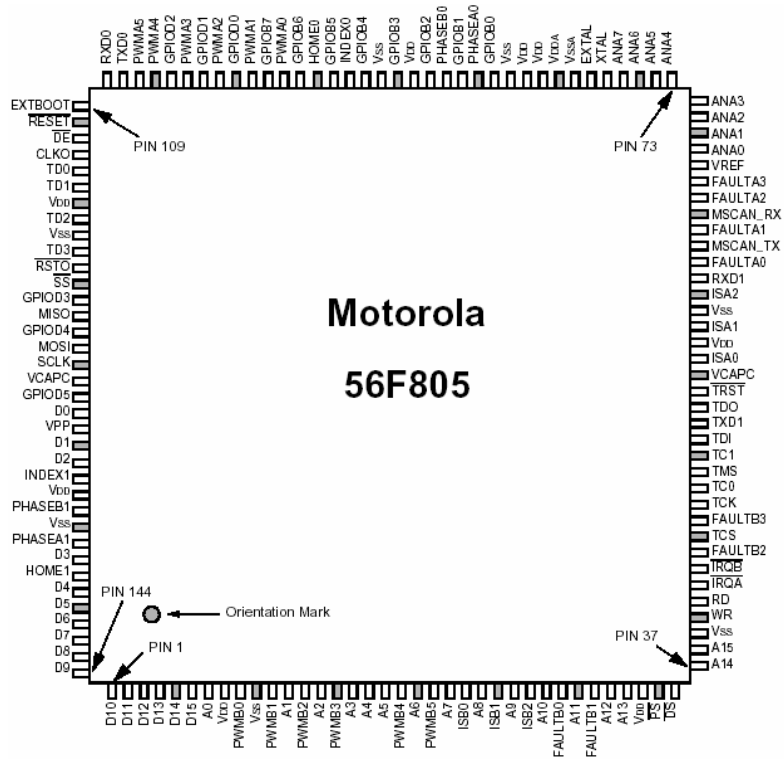
Figura 4. Diagrama de bloques del DSP56F805



Fuente: Fabricante del dispositivo.

⁶ Technical Data DSP56F805 16-bit Hybrid Controller. Rev 12.0. Freescale 2004.

Figura 5. Diagrama de pines del DSP56F805.



Fuente: Fabricante del dispositivo

Este dispositivo fue escogido debido a que cuenta con características que le permiten trabajar con una serie de dispositivos periféricos que dan como resultado un sistema con una buena relación costo beneficio. Entre los módulos por los cuales fue seleccionado el DSP56F805 entre los DSP de la familia 56F800 para el diseño del sistema están:

- Puerto de 32 GPIO (entradas/salidas de propósito general) , el cual permite el control de las otras etapas del sistema de adquisición de señales de voltaje.

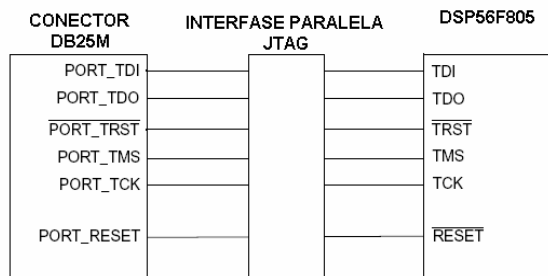
- La interfase de memoria externa (EMI) la cual permite la expansión de memoria del sistema.
- El modulo *Quad Timer* fue usada para la generación de señales de reloj.

El papel del DSP56F805 es el de controlar todos los procesos que se llevan a cabo, tales como el controlar el muestreado, permitir el almacenamiento de los datos y controlar la visualización de la señal de voltaje a partir de los datos muestreados por medio de una pantalla LCD.

2.2.2 Interfase Paralela JTAG

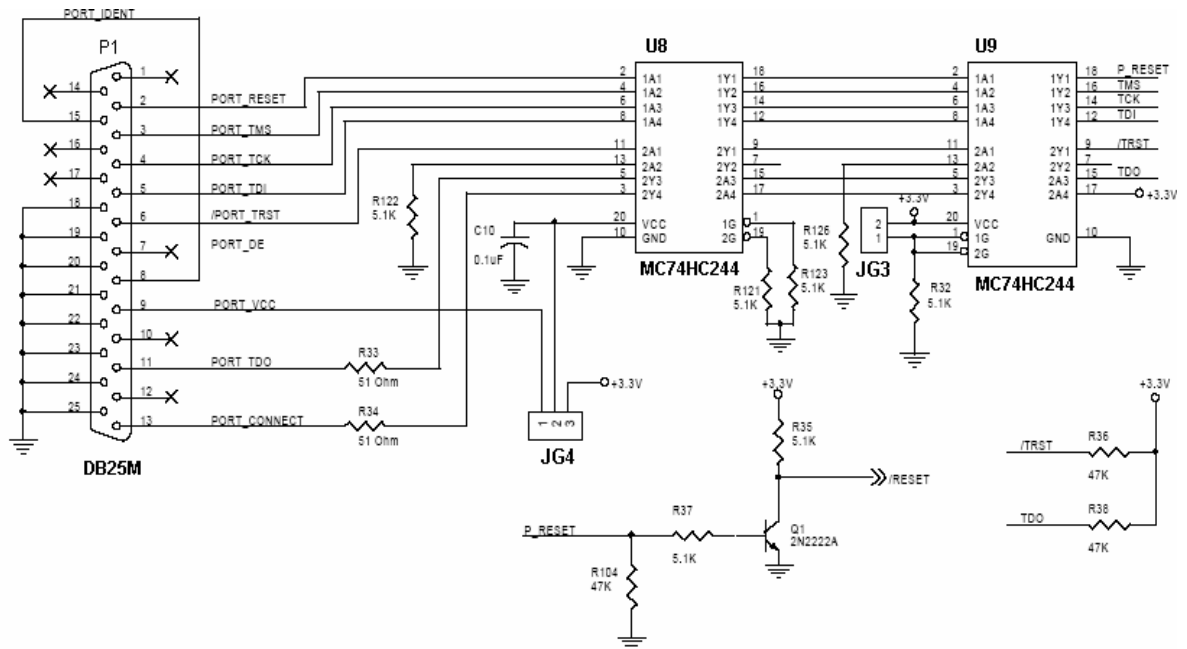
La interfase paralela JTAG permite que el DSP56F805 se comunice con el puerto paralelo de un computador programar el DSP, trabaja con los registros de cada uno de los periféricos internos del dispositivo. En la figuras 6 y 7 se muestra el diagrama de bloques de la interfase y el circuito que lo implementa.

Figura 6. Diagrama de bloques de la Interfase paralela JTAG.



Fuente: Autores del proyecto.

Figura 7. Circuito de implementación de la Interfase JTAG.



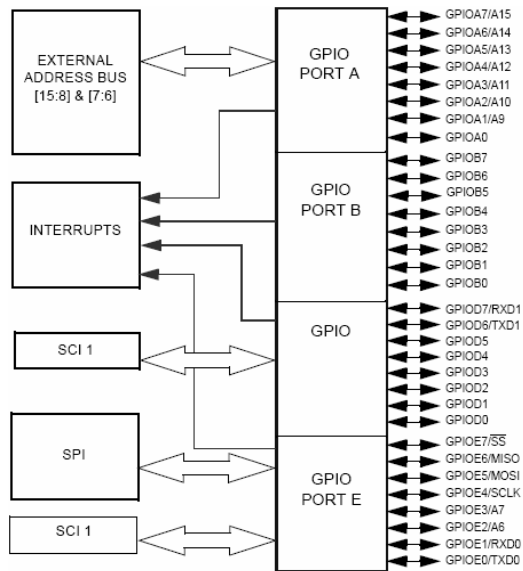
Fuente: Autores del proyecto

La comunicación entre el DSP y el puerto paralelo de un PC se realiza por medio del circuito mostrado en la figura 7, el cual usa dos buffer MC74HC244A de ON Semiconductor, estos circuitos integrados están identificados en el PCB como U8 y U9, y proveen la comunicación entre el conector de puerto paralelo DB25M con los pines del DSP del del JTAG los cuales son: TDO, TDI los cuales proveen la salida y entrada de datos, el pin TCK provee la señal de reloj para sincronizar la comunicación serial del JTAG, y los pines de control TMS, /TRST, /DE. Cuando se use la interfase JTAG para programar el DSP, se debe quitar el *jumper* JG3 y para proveer alimentación de 3.3 V desde la tarjeta se realiza conectando el pin 3 y 2 del *jumper* JG4, el conector paralelo DB25M se denota en el PCB con P1.

2.2.3 Entradas Salidas de Propósito General

Los pines de entrada salida de propósito general están diseñados para compartir su función con otros periféricos del DSP. Si un periférico no es requerido el respectivo pin es programado como entrada, salida o interrupción. Los GPIO están agrupados en 4 grupos de 8 bits, de las cuales 14 son GPIO dedicadas, la totalidad del puerto B y GPIOD0-D5. En la figura 8 se ilustra la distribución de los pines de los puertos de la GPIO junto con los periféricos con los cuales son compartidos.

Figura 8. Distribución de pines de los puertos de GPIO.



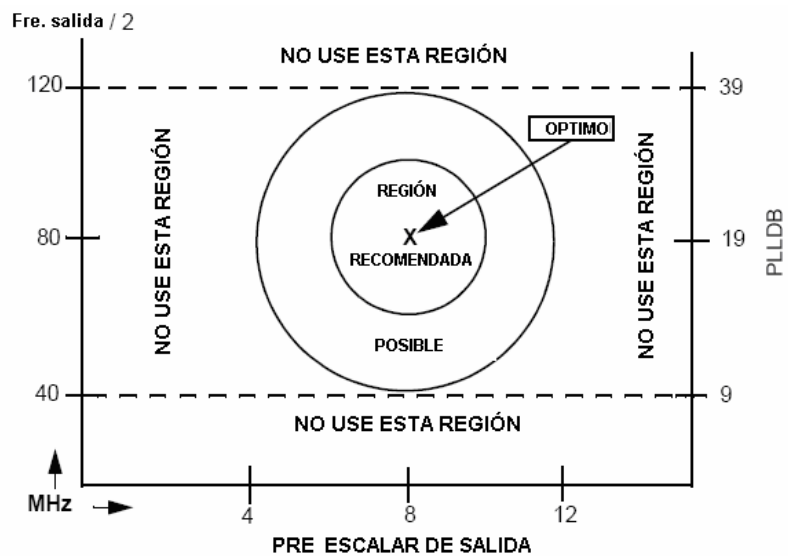
Fuente: Fabricante del dispositivo.

2.2.4 Modulo PLL

El DSP56F805 utiliza un oscilador de cristal externo de 8MHz conectado a las entradas EXTAL y XTAL del PLL. Este módulo genera una frecuencia interna que

varia en un rango entre los 80MHz y los 240MHz, por medio del registro PLLDB se ajusta este valor, la region posible de trabajo del PLL donde se garantiza que se puedan realizar las tareas que se programan en el DSP es hasta 156MHz. Asi mismo hay una region segura representada por la circunferencia externa, comprende un rango de frecuencias hasta 120MHz y la frecuencia optima de 80MHz con la cual se llevaron a cabo los procesos de este sistema. Con frecuencias mayores a 156MHz el sistema se hace inestable. La figura 9 ilustra el rango recomendado de frecuencias de salida disponibles.

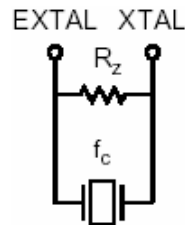
Figura 9. Rango recomendado de operación el PLL.



Fuente: Fabricante del dispositivo

Una ventaja de la arquitectura de este módulo es que no necesita tener capacitores externos, sólo es necesario colocar una resistencia R_z de 10MHz, como se puede apreciar en la figura 10.

Figura 10. Conexión del oscilador de cristal.



Fuente: Fabricante del dispositivo

2.2.5 Modulo de Conversión Analógico Digital

El DSP56F805 posee un modulo de conversión análoga digital de cuatro canales, con una resolución de 12 bits y una frecuencia de muestreo de aproximadamente 600kHz⁷. Debido a que esta frecuencia es inferior a la que se requiere (6MHZ), fue necesaria la implementación de un conversor análogo digital externo con el que se pudiera incrementar la frecuencia de muestreo. Este proceso de conversión esta explicado en la sección 2.3

2.2.6 Modulo de Temporizacion

El DSP56F805 posee cuatro módulos de temporización, TA, TB, TC y TD. Los módulos de temporización C (TC0-1) y D (TD0-3) tienen pines dedicados a esta función, y el modulo A y B tienen sus pines compartidos con otros periféricos del dispositivo. Con los temporizadores se pueden obtener señales de reloj cuya frecuencia depende del valor de preescalamiento del reloj del Bus IP. El sistema utiliza el temporizador TD3 para fijar la frecuencia de muestreo del conversor. Esta

⁷ RUIDIAZ Yair y TIJARO Omar. Analizador de espectros portátil utilizando la familia de DSP5680X de Motorola. Bucaramanga, 2005.

se configura por medio del bean *Timer out* del procesador experto, con un periodo de 0. 150 μ s, lo que hace que la frecuencia de muestreo sea de un valor fijo de 6.67MHz.

2.2.7 Memoria

El DSP56F805 tiene dos espacios independientes de memoria, un espacio para memoria de datos y otro para memoria de programa usando una arquitectura Harvard. La memoria del dispositivo esta distribuida de la siguiente manera:

- 31.5K palabra de memoria Flash de programa.
- 512 palabra de RAM de programa.
- 4K palabra de memoria Flash de datos.
- 2K palabra de RAM de datos.
- 2K palabra de memoria Flash de arranque.

Además permite hacer una expansión de la memoria de hasta 64K palabra de memoria de datos y de memoria de programa.

El procedimiento en el que se implementa el sistema requiere hacer 8 mediciones a cada paciente. Cada una de las mediciones almacena 1024 muestras de la señal de entrada⁸, para lo que se necesita una capacidad de almacenamiento de por lo menos 8KX16-bit Word. A partir de esta estimación se evidencia la necesidad de ampliar la capacidad de memoria de datos del DSP. La implementación de esta ampliación de la memoria se explicara mas adelante.

⁸ MIRANDA D. A. “*Detección precoz de cáncer de cuello uterino basa en espectro de impedancia eléctrica*” Trabajo de investigación para obtener el titulo de Magíster en Ingeniería Electrónica. 2004.

2.2.8 Interfase De Memoria Externa

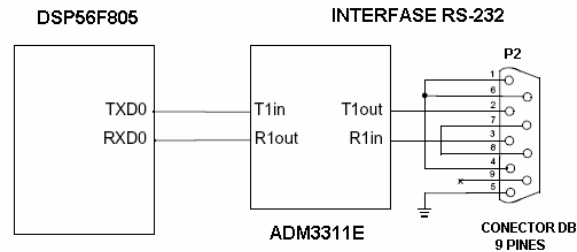
La interfase con la memoria externa (EMI), que corresponde al puerto A del DSP se usa para ampliar la capacidad de almacenamiento del sistema. El puerto EMI cuenta con 16 pines para el bus de direccionamiento externo (A0-A15), que permiten ampliar la memoria a 64Kx16 Bits, 16 pines para el bus de datos externo (D0-D15) y 4 pines del bus de control, habilitador de escritura /RD, habilitador de lectura /WR, seleccionador de memoria de programa /PS y seleccionador de memoria de datos /DS, todas activas en bajo.

2.2.9 Interfase Serial de Comunicaciones

El DSP56F805 posee dos interfases seriales de comunicación SCI0 y SCI1 cada una con dos pines, TXD0 y RXD0 para el SCI0 y TXD1 y RXD1 para el SCI1. Los datos se transmiten por el pin TXD y se reciben por el pin RXD. Este modulo permite comunicación serial asíncrona con dispositivos periféricos.

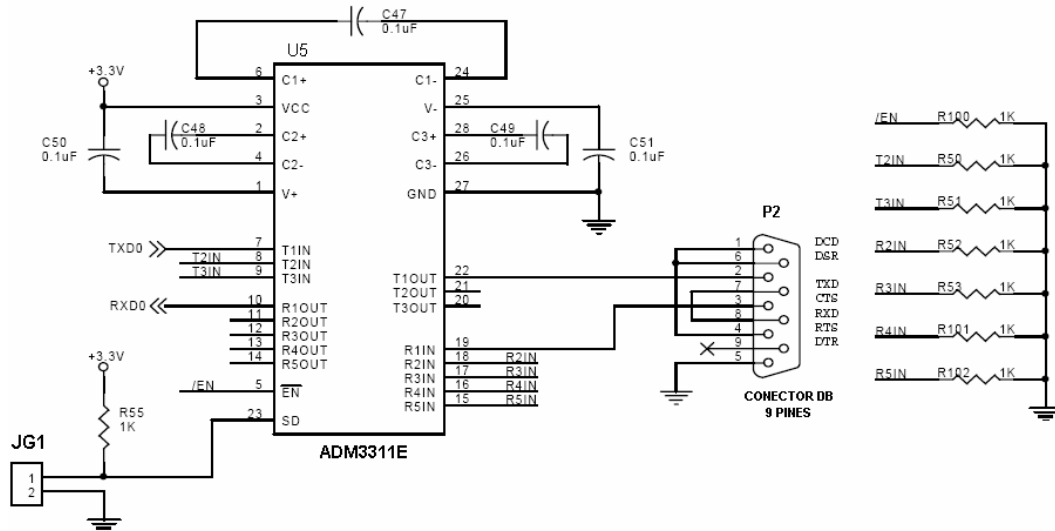
Se dispuso en el sistema una configuración de comunicación serial por medio del SCI0, esta interfase de comunicación serial permite una comunicación con un PC por medio del circuito mostrado en la figura 11 y 12, el cual usa el circuito integrado ADM3311 de *Analog Device* proveyendo una interfase RS-232, con el *jumper* JG1 del PCB es posible habilitar o deshabilitar esta interfase.

Figura 11. Diagrama de la Interfase de comunicación serial RS-232.



Fuente: Autores del proyecto

Figura 12. Circuito de implementación de la interfase RS-232.



Fuente: Autores del proyecto

2.2.10 Interfase Periférica Serial SPI

La interfase periférica serial es un subsistema independiente de comunicación serial, el cual permite al DSP56F805 comunicación sincrona, serial, full duplex con dispositivos periféricos incluyendo otros controladores de 16 bits. Tiene cuatro

pinos MISO, MOSI, SCLK y SS. El SPI tiene dos modos de funcionamiento como maestro o como esclavo.

El SPI opera en modo maestro cuando el bit maestro del SPI, SPMSTR del registro de estado y control (SPSCR), esta en alto. Solo un modulo SPI maestro puede iniciar la transmisión. Con el SPI habilitado, se inicia la transmisión de software, escribiendo al registro de transmisión de datos del SPI. El registro de estatus de control del PSI (SPSCR) controla al generador de la tasa de baudios, determinado la velocidad el registro de cambios. Así mismo el dispositivo maestro controla el registro de cambios del periférico esclavo por medio de reloj SCLK. En la comunicación los datos salen del dispositivo maestro a través del pin MOSI, y entran del esclavo a través del pin MISO

El SPI trabaja en modo esclavo cuando el bit SPMSTR esta en cero. Antes que una transmisión de datos ocurra, el pin SS del SPI esclavo debe estar en bajo y así debe permanecer hasta que la transmisión se complete o sino se incurre en un error. Después que una transmisión completa entra al registro de cambio del SPI esclavo, se transfiere al registro de recepción de datos (SPDDR). Cuando un SPI maestro comienza una transmisión, los datos en el registro de cambios del dispositivo esclavo entran por el pin MOSI y salen por el pin MISO. Las funciones de transmisión y recepción a través de los pines MISO y MOSI pueden hacerse simultáneamente.

2.3 ETAPA DE CONVERSION ANALOGICO/DIGITAL

El sistema esta diseñado para adquirir señales bipolares sinusoidales y de pulso bifásico, periódicas que están comprendidas en una rango de frecuencias entre 10KHz y 3MHz y tienen una amplitud de 1Vpp, sin embargo el sistema esta en

capacidad de adquirir señales con diferentes formas de onda. Para propósitos de prueba se usaron señales sinusoidales y cuadradas suministradas por un generador de señales.

2.3.1 El Conversor Analógico/Digital ADS804.

El conversor utilizado para el sistema es el conversor paralelo ADS804 de Texas Instruments de tecnología CMOS el cual fue seleccionado principalmente por su velocidad de muestreo (10MHz), su resolución. Sus características más importantes son:

Impedancia de entrada: 1.25M Ω y 16pF

Rango de entrada: 2Vpp

Resolución: 12 bits.

Numero de bits: 4096 (2^{12})

Factor de ponderación del LSB (Tamaño del paso): 0.48mV

Velocidad de muestreo: 10MHz máximo (típico 6MHz)

Voltaje de modo común: 2.5V

Error diferencial lineal: 0.146mV (± 0.3 LSB)

Error de cuantificación: ± 0.24 mV ($\pm \frac{1}{2}$ LSB)

Relación señal a ruido (SNR): 69 dB

Ruido de entrada referenciada: 0.23 LSB

Salidas digitales CMOS compatible con TTL

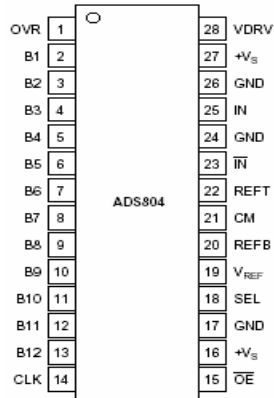
Voltaje de alimentación: 5V

Disipación de potencia: 180mW

Este conversor posee una arquitectura *pipelined*, la que permite la salida de la muestras tomadas con una diferencia de seis ciclos de reloj, proporciona una referencia interna que permite que el rango de la señal de entrada sea de 2 Vpp,

las señales pueden entrar diferencialmente por los pines IN e /IN aunque el sistema implemento una única entrada (por medio de la entrada no inversora IN), la que es referenciada a tierra. Las salidas digitales (B1-B12) del ADS804 están diseñadas para ser compatibles tanto con familias TTL y CMOS de alta velocidad. Por medio del pin VDRV del conversor es posible ajustar el nivel de voltaje de los datos de salida este pin esta conectada a 3.3V para obtener salidas en el bus de datos CMOS de 3V. La figura 13 y la tabla 2 muestran la configuración de pines del conversor ADS804 de empaquetamiento SSOP de 28 pines.

Figura 13. Configuración de pines del conversor A/D ADS804.



Fuente: Fabricante del dispositivo

Tabla 2. Descripción de pines del ADS804.

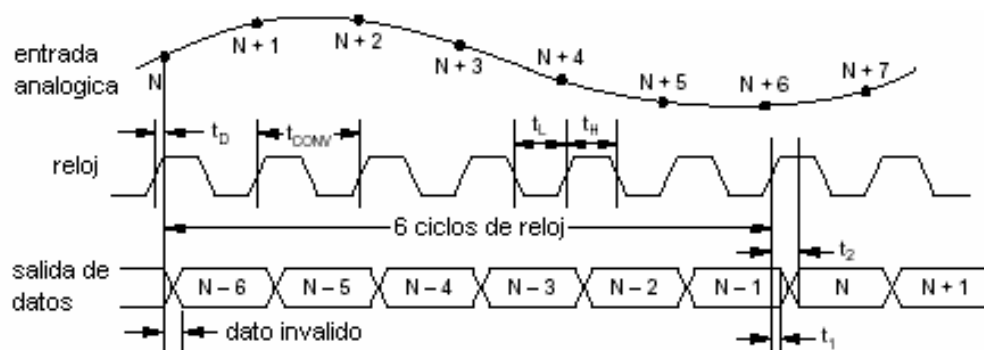
PIN	NOMBRE	DESCRIPCIÓN
1	OVR	Over-Range
2	B1	Data bit 1 D11 MSB
3-12	B2-B11	Data bit2-data bit 11
13	B12	Data bit 12 D0 LSB
14	CLK	Entrada de reloj
15	OE	Habilitador de salida

716	V_S	Fuente de +5V
17	GND	Tierra
18	SEL	Selección del rango de entrada
19	V_{REF}	Selección del voltaje de referencia
20	REFB	Referencia superior
21	CM	Voltaje de modo común
22	REFT	Referencia superior
23	IN (neg)	Entrada analógica (-)
24	GND	Tierra
25	IN	Entrada analógica (+)
26	GND	Tierra
27	V_S	Fuente de +5V
28	VDRV	Controlador del voltaje de salida

Fuente: Autores del proyecto.

El diagrama de tiempo de este convertor se muestra en la figura 14 y la tabla 3, en esta se puede ver, como se había dicho antes, debido a la arquitectura del convertor, este toma una muestra de la señal en un tiempo t_0 y la coloca en la salida 6 ciclos de reloj después.

Figura 14. Diagrama de tiempos del convertor A/D ADS804.



Fuente: Hoja de datos del ADS804

Tabla 3. Tiempos característicos del ADS804.

Símbolo	Descripción	Mínimo	Típico	Máximo	Unidades
t_{conv}	Periodo del reloj de conversión	100		100 μ s	ns
t_L	Pulso de reloj en bajo	48	49		ns
t_H	Pulso del reloj en alto	48	49		ns
t_O	Retardo por apertura		2		ns
t_1	Tiempo de retención el dato	3,9			ns
t_2	Tiempo de retardo de nuevo dato			12	ns

Fuente: Hoja de datos del ADS804.

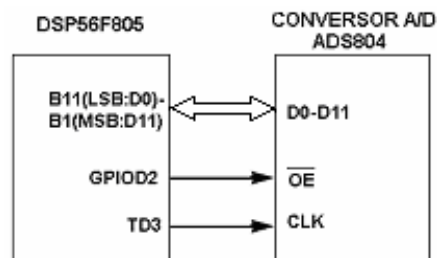
La señal de entrada es una señal de 1 Vpp sin componente de DC. Para convertir esta señal a discreta es necesario primero hacer un acondicionamiento de la señal. Este procedimiento de acondicionamiento de la señal es explicado mas adelante.

2.3.2 Conversión Analógica Digital

La señal proveniente del tejido entra al conversor ADS804 por la entrada no inversora IN . La interconexión de datos del conversor con el DSP56F805 se realizó por medio de la interfase de memoria externa EMI, por 12 de los 16 pines del bus de datos externo: D11-D0, la frecuencia de muestreo de la señal es de 6.2MHz para cualquier frecuencia de la señal, con lo que se esta asegurando un correcto proceso de muestreo cumpliendo el teorema de Nyquist. La señal de reloj para controlar la velocidad de muestreo es proporcionada por el pin TD3 del

modulo de temporización del DSP. En este proceso no se presenta efecto de sobremuestro para la señales de menor frecuencia. La señal del reloj esta conectada al pin CLK del conversor. El pin GPIOD2 del DSP se conecto al pin /OE del conversor el cual habilita el dispositivo. La figura 15 muestra el esquema de conexiones entre el DSP y el conversor.

Figura 15. Conexiones entre el DSP y el conversor ADS804.



Fuente: Autores del proyecto

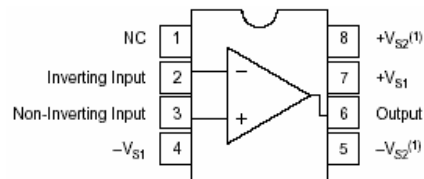
2.4 ETAPA DE ACONDICIONAMIENTO DE LA SEÑAL

2.4.1 Amplificador Operacional OPA642

El OPA642 es un amplificador operacional de *Texas Instruments*. Tiene un ancho de banda a ganancia unitaria de 400MHz, una ganancia de lazo abierto de 95dB, un producto de ganancia por ancho de banda (GPB) de 210MHz y una corriente de salida de 60mA. Entre las aplicaciones recomendadas por el fabricante se encuentra trabajar como buffer amplificador para conversores A/D y D/A, aplicación que se le da en este proyecto. El OPA642 da una distorsión baja a señales de alta frecuencia y poca ganancia. La respuesta en frecuencia del OPA642 en lazo cerrado con una ganancia de 2V/V es de 150MHz este ancho de

banda no afecta el rango de frecuencias que se trabaja en el sistema. La configuración de pines se ilustra en la figura 16.

Figura 16. Configuración de pines del OPA642.



Fuente: Fabricante del dispositivo

2.4.2 Acondicionamiento de la Señal

El acondicionamiento realizado a la señal esta dado en parte por los requisitos propios del conversor ADS804 y en parte para limitar el ancho de banda de la señal. En cuanto a requisitos del conversor, su señal de entrada debe ser sólo de componentes positivas y se escogió la referencia de 2Vpp como rango de muestreo. Ya que la señal de entrada es de 1Vpp se amplifico con ganancia de 2Vpp para usar todo el rango del conversor, la amplificación de la señal se realizo por medio de una red de retroalimentación negativa para brindar una ganancia estable, disminuir la posibilidad de agregar ruido a la señal en la salida, mejorar la relación señal a ruido y disminuir la impedancia de salida para hacer un mejor acople entre las etapas de acondicionamiento y conversión. La expresión con la

que se calculó esta ganancia es $G = 1 + \frac{R_F}{R_G}$ donde R_F y R_G tienen un valor de

470Ω, estos valores se escogieron debido a consideraciones tenidas en cuenta para reducir el efecto de las capacitancias parásitas del OPAM, la cual junto con las resistencias de la red de retroalimentación establecen un polo en el sistema.

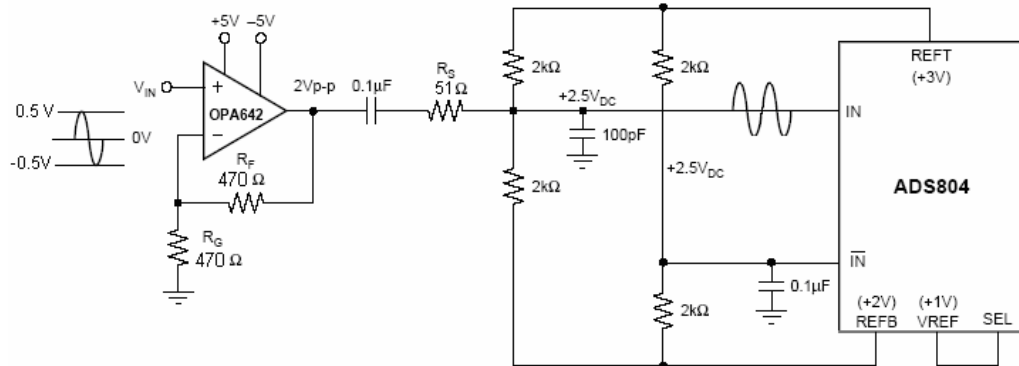
Para que no se presente un limitante en el ancho de banda establecido se aleja este polo tanto como sea posible de las frecuencias de corte, para ello se escogieron valores de resistencia de 470Ω , de esa manera la combinación en paralelo de las resistencias interactúa con la capacitancia parásita total que es de aproximadamente 2pF ⁹, con lo que el polo se establece muy por arriba de los 400MHz . Así mismo se adicionó un nivel de *offset* a la señal de entrada de 2.5V DC y se realizó un filtrado que permite el paso de señales con frecuencias entre 10KHz y 30MHz aproximadamente, limitando el ancho de banda de la señal a las frecuencias de interés. Su función de transferencia es:

$$T(S) = \frac{S \frac{1}{R_s C_2}}{S^2 + S \left(\frac{R_s C_1 + R_2 C_2 + C_1 R_2}{R_s C_1 R_2 C_2} \right) + \frac{1}{C_1 C_2 R_s R_2}}$$

Esta etapa de filtrado esta conformado por un filtro pasa-bajas con frecuencia de corte $f_1 = 31\text{MHz}$ y un filtro pasa-altas con una frecuencia de corte de $f_2 = 1.6\text{kHz}$. Esta etapa de acondicionamiento de la señal para obtener la señal adecuada para la entrada del conversor se implementó básicamente con el amplificador operacional OPA642 de Texas Instruments, el cual es recomendado por el fabricante del conversor. Un esquema del circuito de acople se muestra en la figura 17.

⁹ OPA642 Data sheet. Texas Instruments. Febrero de 1998

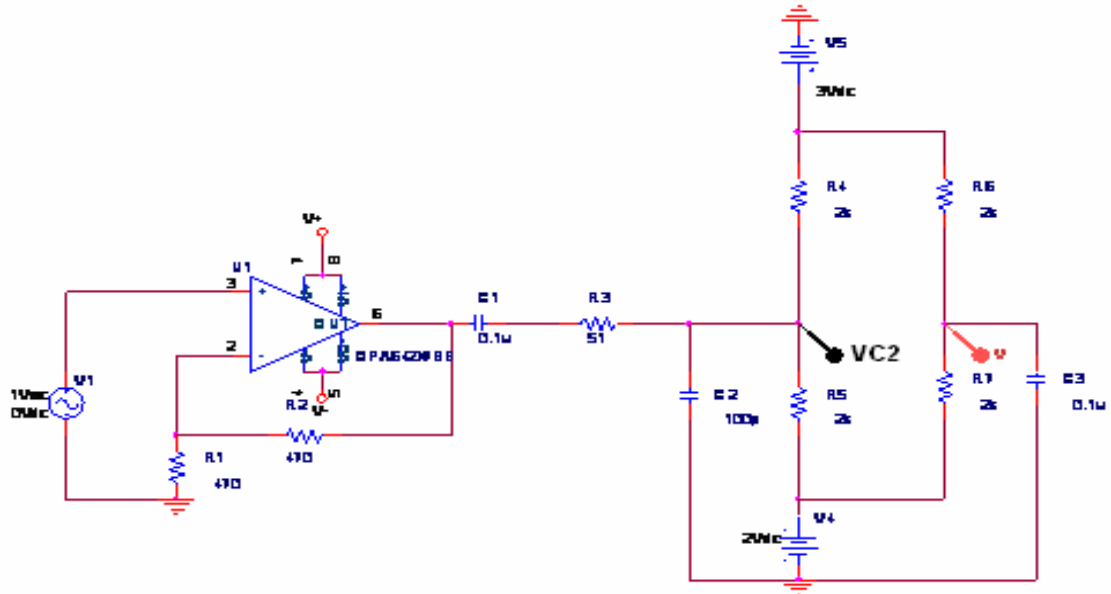
Figura 17. Circuito de acondicionamiento de la señal de entrada.



Fuente: Autores del proyecto

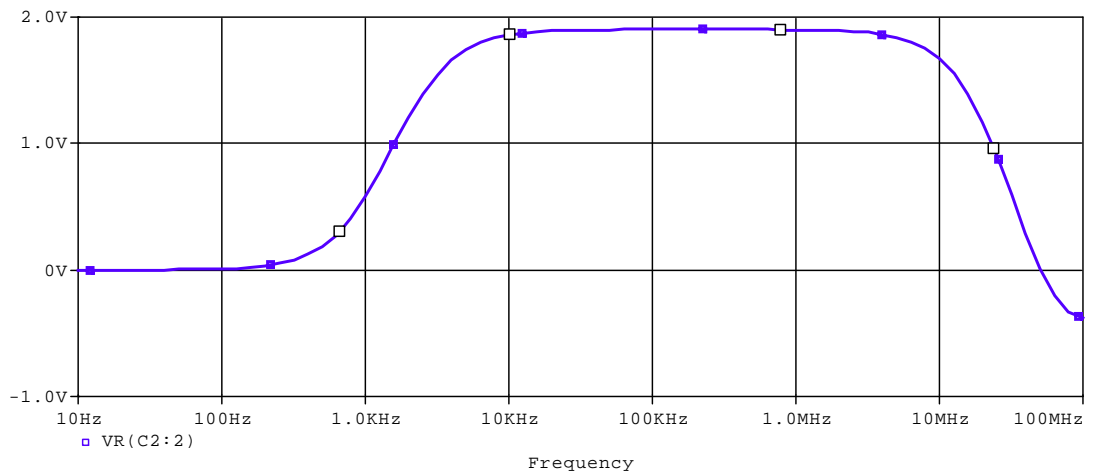
Con el pin VREF conectado al pin SEL, el rango de entrada se define a 2VPP. Esta señal es acoplada en AC usando el amplificador operacional OPA642. La señal de entrada está conectada a la entrada no inversora del amplificador operacional por medio de un conector BNC. La adición de 2.5V de *offset* a la señal de entrada es necesaria para operar al ADS804 con una oscilación de rango completo, esto se logra utilizando las referencias superior e inferior (REFT, REFB) internas del conversor, las cuales proveen un voltaje de salida de +3V y +2V respectivamente y junto con los dos pares de resistencias se crea el voltaje de 2.5VDC en el pin IN del conversor. La simulación en el simulador de circuitos eléctricos: *OrCAD* de esta etapa de acondicionamiento de la señal se muestra en la figura 18. Las figuras 19 y 20, muestran los resultados de la etapa de acondicionamiento de señal en el dominio de la frecuencia y en el dominio del tiempo respectivamente. Se amplió el ancho de banda para ver la respuesta del tejido en un rango de frecuencias menor al rango de dispersión β .

Figura 18. Etapa de acondicionamiento y acople de la señal para conversor.



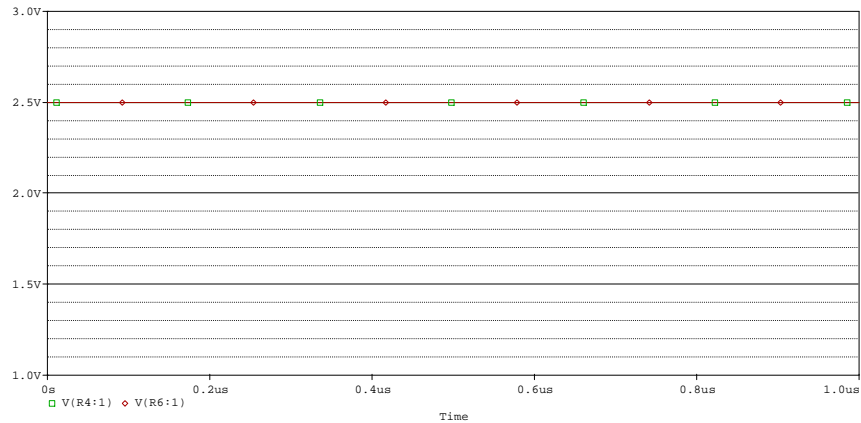
Fuente: Autores del Proyecto.

Figura 19. Análisis en el dominio de la frecuencia del circuito de acople.



Fuente: Autores del proyecto

Figura 20. Análisis en el dominio del tiempo del circuito de acople.



Fuente: Autores del proyecto

Una ventaja de hacer el acople AC es que el amplificador sigue operando con una oscilación de la señal referida a tierra. Esto mantendrá el rendimiento de la distorsión en su punto óptimo mientras la oscilación de la señal permanezca en una región lineal del OPAM. Se usa la configuración inversora para minimizar los errores inducidos por el CMR del amplificador. La adición de una pequeña resistencia en serie R_S entre la salida del OPAM y la entrada del ADS804 junto con un capacitor de 100pF establece un filtro pasa bajas pasivo, limitando el ancho de banda de la señal de ruido, lo que ayuda a mejorar la relación señal a ruido.

2.5 ETAPA DE ALMACENAMIENTO DE DATOS

Como ya se había mencionado para cada medición es necesario almacenar 1024 muestras de la señal de entrada, haciendo un total de ocho mediciones por paciente, por lo que se necesita una capacidad de almacenamiento de por lo menos 8KX16-bit Word. Una posibilidad que tiene el sistema de adquisición de

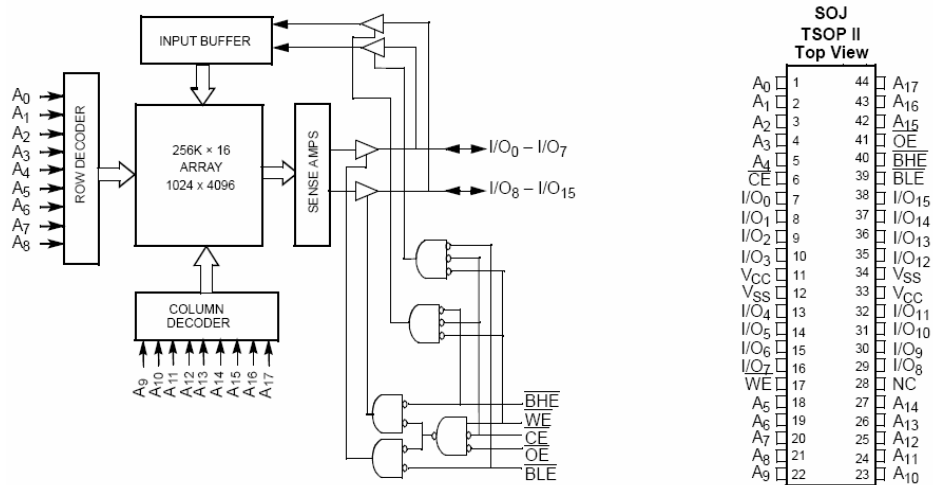
señales de voltaje es permitir almacenar una alta cantidad de datos muestreados. Para lograr esto se implemento una expansión de memoria por medio de la interfase de memoria externa EMI del DSP56F805 la cual se llevo acabo con la memoria *Static* RAM CY7C1041CV33 fabricada por CYPRESS.

2.5.1 Memoria Externa STATIC RAM CY7C1041CV33

Las características más importantes en la elección de la memoria Static RAM CY7C1041CV33 de CYPRES son su capacidad almacenamiento de 256K x 16Bit organizada en 262144 palabras de 16 bits, tiempo de acceso de 15 ns, bajo consumo de potencia, 324 mW (máximo), pines de control /BHE, /BLE para habilitar y deshabilitar la salida de datos, Retención de los datos a 2.0V, tecnología CMOS, Entradas y salidas compatibles con la tecnología TTL, tiene un apagado automático cuando no es seleccionada.

En la figura 21 se observa la configuración de pines de la memoria CY7C1041CV33 y el diagrama de bloque de la memoria, los pines de direccionamiento son A0-A17, los pines de datos de entrada salida corresponden a I/O0 – I/O15 , los pines de control son /BHE, /BLE, /WE, /CE, /OE.

Figura 21. Diagrama de bloque y de pines de la memoria CY7C1041CV33.



Fuente: Fabricante del dispositivo

2.5.2 Almacenamiento de Datos

El sistema de adquisición de señales de tensión cuenta con ampliación de memoria de 256KWords, cuatro veces lo que se puede ampliar con sólo el bus de direccionamiento de la EMI del DSP. Esta memoria, está distribuida en cuatro sectores cada uno de 64Kx16-bits, dos para memoria de programa y dos para memoria de datos. Para lograr el direccionamiento de esta expansión de memoria, se hace necesario adicionar dos bits al bus de direccionamiento del DSP, esto se hace utilizando el pin *program selector* /PS (seleccionador de programa) y el pin de entrada/salida de propósito general GPIOD5, los cuales se conectan a los pines A17 y A16 de la memoria respectivamente. De esta manera se accede a la mitad de la memoria cuando se requiere trabajar con memoria de programa y a la otra mitad cuando se accede a memoria de datos.

El pin */PS* del bus de control de la EMI tiene como función dividir la memoria externa en memoria para programa y en memoria para datos según el estado del pin. El bit más significativo del bus de direccionamiento es */PS* seguido de GPIOD5 y los bits de direcciones de la memoria A15-A0, esta distribución se ilustra en la tabla 2. En la tabla 5 se muestra la división de la memoria de 256KW en 4 secciones de 64KW dependiendo de los estados de PS, GPIOD5 y del bus externo de direccionamiento A15 a A0.

Tabla 4. Configuración del Bus de direccionamiento.

<i>/PS</i> A17	GPIOD5 A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
-------------------	---------------	-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

Fuente: Autores del proyecto.

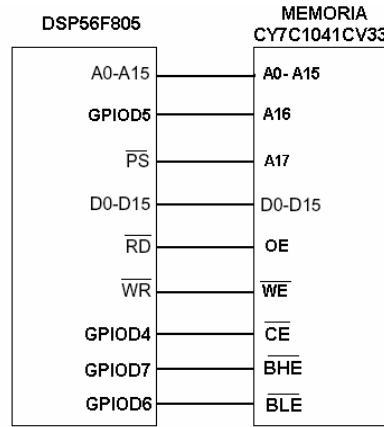
Tabla 5. Estructura de la memoria expandida a 256 KWord.

64KWord PS=0 GPIOD5=0 A15-0=0 o 1	64KWord PS=1 GPIOD5=0 A15-0= 0 o 1
64KWord PS=0 GPIOD5=1 A15-0= 0 o 1	64KWord PS=1 GPIOD5=1 A15-0= 0 o 1

Fuente: Autores del proyecto

Para el control de la memoria externa en el sistema de adquisición de señales se usaron pines de propósito general y los pines de lectura escritura de la EMI. El control de la memoria externa por medio de la EMI lo realiza automáticamente el sistema. La manera como se conectan estos pines se muestra en la figura 22.

Figura 22. Conexiones entre el DSP y la memoria externa.



Fuente: Autores del proyecto.

Para escribir en la memoria se deben colocar en bajo el pin */CE* (*Chip Enable*, habilitador del chip) y el pin */WE* (*Write Enable*, habilitador de escritura). Si al mismo tiempo se coloca en bajo el pin */BLE* (*Byte Low Enable*) de la memoria, entonces se escriben los datos $I/O_0-I/O_7$ en la dirección especificada por los pines de direccionamiento A_0-A_{17} . Si se coloca el pin */BHE* (*Byte High Enable*) de la memoria en bajo entonces se escriben los datos $I/O_8-I/O_{15}$ en la dirección especificada por los pines de direccionamiento A_0-A_{17} .

Para leer desde la memoria se deben colocar en bajo */CE* y *Output Enable OE* (habilitador de salida), al mismo tiempo que se coloca en alto *WE*. Si *BLE* esta en bajo se leen los datos que están desde $I/O_0-I/O_7$ en la dirección especificada. Si *BHE* esta en bajo entonces los datos que se leen son los que están entre $I/O_8-I/O_{15}$. Los pines de entrada/salida se colocan en estado de alta impedancia cuando el dispositivo no esta seleccionado, las salidas están deshabilitadas, *BHE* y *BLE* están deshabilitadas o durante una operación de escritura. La tabla 6, muestra las opciones de lectura y escritura de los datos de la memoria. La lectura y escritura de datos por parte del DSP a la memoria externa se hace en forma

automática con los comandos de movimiento de datos y por medio de la programación.

Tabla 6. Tabla de la verdad, de lectura y escritura de la memoria expandida.

/CE	/OE	/WE	BLE	BHE	I/O₀-I/O₇	I/O₈-I/O₁₅	MODO	ESTADO
H	X	X	X	X	Alta Z	Alta Z	Apagado	<i>standby</i>
L	L	H	L	L	Datos salen	Datos salen	Se leen todos los bits	Activo
L	L	H	L	H	Datos salen	Alta Z	Se leen solo los bits mas bajos	Activo
L	L	H	H	L	Alta Z	Datos salen	Se leen solo los bits mas altos	Activo
L	X	L	L	L	Datos entran	Datos entran	Se escriben todos los bits	Activo
L	X	L	L	H	Datos entran	Alta Z	Se escriben solo los bits mas bajos	Activo
L	X	L	H	L	Alta Z	Datos entran	Se escriben solo los bits mas altos	Activo
L	H	H	X	X	Alta Z	Alta Z	Se deshabilitan las salidas.	Activo

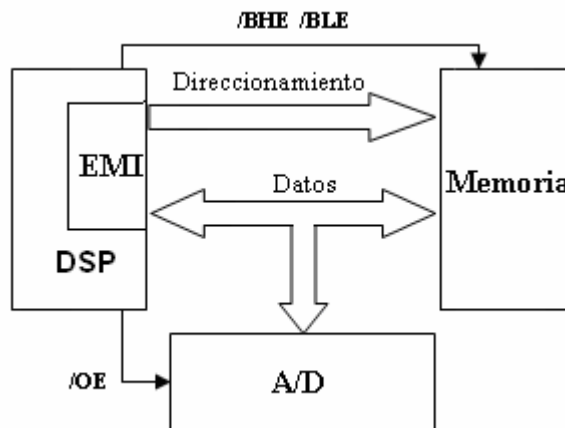
Fuente: Autores del proyecto.

2.6 ACCESO DIRECTO A MEMORIA

En el sistema implementado, la EMI del DSP56F805, el convertor análogo digital ADS804 y la memoria CY7C1041CV33 comparten el bus de datos; esta característica permite hacer un acceso directo a memoria utilizando los bits de control de estos tres dispositivos. La lectura de los datos a la salida del convertor se hace dando al DSP una orden de lectura en una posición de la memoria externa habiendo deshabilitado las salidas previamente, por medio de los pines /BHE y /BLE. El dato presente en la salida el convertor es llevado a una posición

de la memoria interna, haciendo un direccionamiento directo del dato. Cuando se alcanza cierta cantidad de datos en la memoria interna, se deshabilita la salida de conversor análogo digital, se habilita la entrada de la memoria externa y se procede a direccionar los datos antes almacenados en memoria interna a una porción de la memoria externa, después de este procedimiento se puede reiniciar la toma de muestras. Non fue posible hacer acceso directo a la memoria externa debido a que la velocidad de acceso a esta era menor a la velocidad que se requería para capturarlas y por ello se perdían muestras. Un esquema de esta etapa se ilustra en la figura 23.

Figura 23. Esquema del acceso directo a memoria.



Fuente: Autores del proyecto.

2.7 ETAPA DE VISUALIZACION

2.7.1 Pantalla de Cristal Líquido LCD HG25601-C

Se selecciono una pantalla de cristal líquido de HG25601-C de *Hyundai*, esta es utilizada por el sistema de adquisición de señales de voltaje para visualizar las señales previamente muestreadas y almacenadas en memoria. La pantalla de cristal líquido tiene dos páginas, una de texto y otra grafica, en diferentes posiciones de memoria. La pantalla de cristal líquido utiliza como 8 pines de entrada de datos, cinco de control y uno para el nivel de contraste. La descripción de pines se observa en la tabla 7.

Tabla 7. Descripción de pines de la LCD.

PIN #	SÍMBOLO	NIVEL	FUNCIÓN
1	Fg	0	Tierra de carcasa
2	Vss	0	Tierra
3	Vdd	5	Voltaje de fuente
4	Vo	-	Nivel de voltaje de operación de la LCD
5	/RES	H/L	Reset
6	/RD	H/L	Lectura
7	/WR	H/L	Escritura
8	/CS	H/L	Selección de la señal
9	A0	H/L	Señal de selección de tipo de dato
10	DB0	H/L	Dato1
11	DB1	H/L	Dato2
12	DB2	H/L	Dato3
13	DB3	H/L	Dato4
14	DB4	H/L	Dato5
15	DB5	H/L	Dato6
16	DB6	H/L	Dato7
17	DB7	H/L	Dato8

Fuente: Autores del proyecto

La LCD HG25601-C es controlada por el protocolo SED1330, el cual es un controlador versátil, especializado en manejar pantallas de graficas y texto en paneles de tamaño medio. El SED1330 puede mostrar textos y gráficos en varias capas, recorrer la pantalla en cualquier dirección y dividir el *display* en varias pantallas; almacena texto, códigos de carácter y graficas mapeadas por bits en memoria externa.

Características:

- Modos de *display* de texto, graficas o combinado
- Tres pantallas graficas en modo grafico
- Resolución del panel de 640x256
- Control de cursor programable
- Desplazamiento horizontal y vertical del cursor
- Hasta 64KB de memoria SRAM externa
- Generación de caracteres interno

2.7.2 Visualización en la LCD

La pantalla de cristal líquido de HG25601-C es usada en el sistema de adquisición de señales de voltaje para visualizar las señales muestreadas y almacenadas en memoria.

Para desplegar texto, la matriz de direcciones que se tiene como resultado de la inicialización de la pantalla es de: 16 filas por 32 columnas. Para posicionar un carácter en el panel de *display*, se debe multiplicar el número de la fila menos uno por 32 y sumarle el número de la columna menos uno. Si se quisiera colocar texto en la segunda fila tercera columna, la posición correspondiente seria $1*32+2=37$

Otra característica especial que se debe conocer es que una vez escrito un carácter el cursor se desplaza a su siguiente posición (derecha, izquierda, arriba o abajo) según se configure el movimiento del mismo. Entonces para mostrar un carácter se debe posicionar el cursor en la dirección 0x0000, elegir el movimiento del cursor hacia la derecha y enviar el código ASCII del carácter a la posición calculada.

Cada carácter tiene una altura por defecto de 8 bits, aunque este tamaño se puede variar por programación. El espacio total para mostrar texto es de 4096 bits, lo que permite mostrar hasta 512 caracteres. Para desplazarse horizontalmente se suma 0x01h a la posición actual y para desplazarse verticalmente se suma 0x20h. El espacio para texto en memoria esta entre 0x0h y 0x0FFF.

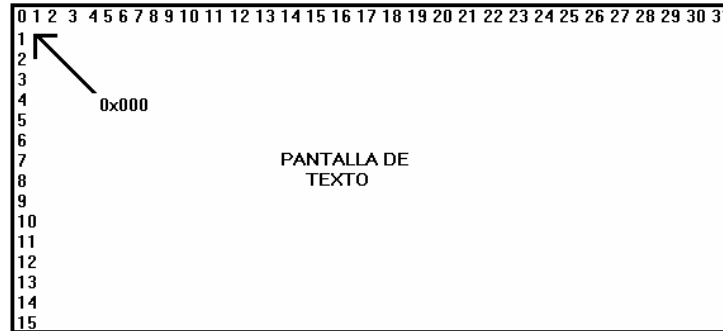
Para la pantalla de texto el generador de código ASCII presenta los caracteres que se muestran en la figura 24 y la configuración de la pantalla se muestra en la figura 25.

Figura 24. Código ASCII generado por la LCD.

		Character code bits 0 to 3															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
Character code bits 4 to 7	2		!	"	#	\$	%	&	'	()	*	+	,	-	.	/
	3	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
	4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
	5	P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
	6	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
	7	p	q	r	s	t	u	v	w	x	y	z	{		}	~	+
	A		!	"	#	\$	%	&	'	()	*	+	,	-	.	/
	B	0	1	2	3	4	5	6	7	8	9	:	;	<	=	>	?
	C	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
	D	P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
	E	`	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
	F	p	q	r	s	t	u	v	w	x	y	z	{		}	~	+
	1																

Fuente: Autores del proyecto.

Figura 25. Configuración pantalla de texto.

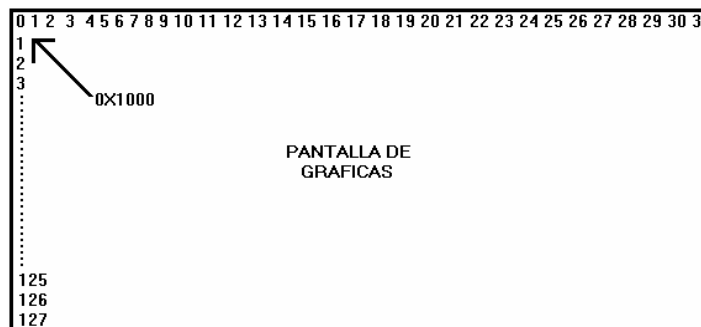


Fuente: Autores del proyecto.

Para desplegar gráficos (figura 26) se cuenta con una matriz de 32 columnas y 128 filas, es decir un espacio en memoria también de 4096 Bytes, que empezaría en la dirección de memoria 0x1000h hasta 0x1FFF.

Para desplazarse en la pantalla grafica, al igual que en la pantalla de texto, se suma de a 0x01 para moverse en las columnas, para hacerlo por filas se suma 0x20h o 32d, hay que especificar si el movimiento es hacia la derecha, la izquierda, arriba o bajo.

Figura 26. Configuración pantalla de gráficos.



Fuente: Autores del proyecto

La LCD cuenta con unas palabras de control que configuran el sistema para desarrollar determinada función, detallados en la tabla 8.

- System set: inicializa el dispositivo, establece el tamaño de la pantalla y selecciona el formato de interfaz de la LCD.
- Sleep in: coloca la LCD en modo stand by.
- Disp on/off: habilita y deshabilita el display y el display intermitente
- Establece la dirección en la que comienza el display y las regiones del display
- Scroll: escoge le tipo de cursor
- CSRFORM: Establece la dirección de comienzo de la RAM generadora de caracteres
- CGRAM ADR: Establece la dirección de movimiento del cursor
- CSR DIR: Establece la dirección horizontal del cursor
- OVLAY: Establece el formato de cubierta del display
- CSRW: Establece la dirección del cursor
- CSRR: Lee la posición del cursor
- MWRITE: Escribe en la memoria del display.
- MREAD: Lee de la memoria del display.

Además de estas palabras de control, la LCD se configura con unos datos que hacen mas especifica la tarea que realizan cada uno de los comandos anteriormente descritos.

Tabla 8. Comandos de control de la LCD.

Class	Command	Code										Hex	Command Description	Command Read Parameters		
		RD	WR	A0	D7	D6	D5	D4	D3	D2	D1			D0	No. of Bytes	Section
System control	SYSTEM SET	1	0	1	0	1	0	0	0	0	0	0	40	Initialize device and display	8	3.2.1
	SLEEP IN	1	0	1	0	1	0	1	0	0	1	1	53	Enter standby mode	0	3.2.2
Display control	DISP ON/OFF	1	0	1	0	1	0	1	1	0	0	D	58, 59 Enable and disable display and display flashing	1	3.3.1	
	SCROLL	1	0	1	0	1	0	0	0	1	0	0	44 Set display start address and display regions	10	3.3.2	
	CSRFORM	1	0	1	0	1	0	1	1	1	0	1	5D Set cursor type	2	3.3.3	
	CGRAM ADR	1	0	1	0	1	0	1	1	1	0	0	5C Set start address of character generator RAM	2	3.3.6	
	CSRDIR	1	0	1	0	1	0	0	1	1	CD 1 CD 0	4C to 4F Set direction of cursor movement	0	3.3.4		
	HDOT SCR	1	0	1	0	1	0	1	1	0	1	0	5A Set horizontal scroll position	1	3.3.7	
	OVLAY	1	0	1	0	1	0	1	1	0	1	1	5B Set display overlay format	1	3.3.5	
Drawing control	CSRW	1	0	1	0	1	0	0	0	1	1	0	46 Set cursor address	2	3.4.1	
	CSRR	1	0	1	0	1	0	0	0	1	1	1	47 Read cursor address	2	3.4.2	
Memory control	MWRITE	1	0	1	0	1	0	0	0	0	1	0	42 Write to display memory	—	3.5.1	
	MREAD	1	0	1	0	1	0	0	0	0	1	1	43 Read from display memory	—	3.5.2	

Fuente: Autores del proyecto

El DSP56F805 envía los datos a la LCD en forma paralela por medio del bus GPIOB (GPIOB0 a GPIOB7) y los datos de control a través de los pines GPIOD0, GPIOD1 y el *switch* S2 para el reset de la pantalla, la relación de los pines del DSP se observa en la tabla 9.

Tabla 9. Bits de conexión con la LCD.

PIN	FUNCIÓN
GPIOB0	Dato0
GPIOB1	Dato1
GPIOB2	Dato2
GPIOB3	Dato3
GPIOB4	Dato4
GPIOB5	Dato5
GPIOB6	Dato6
GPIOB7	Dato7
GPIOD1	/WR
GPIOD0	A0

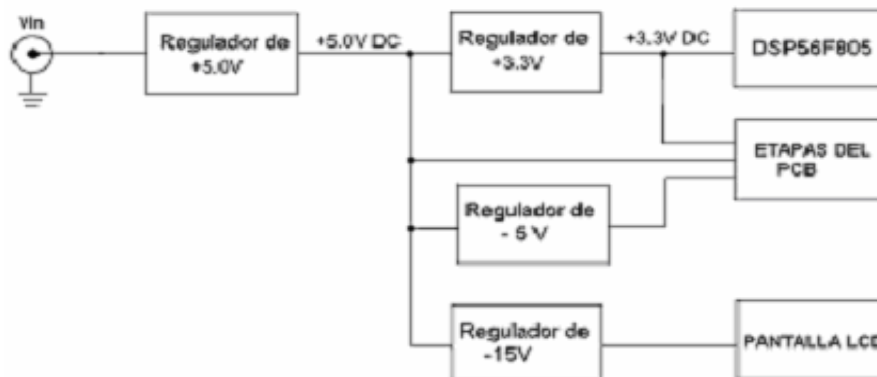
Fuente: Autores del proyecto

2.8 ETAPA DE ALIMENTACIÓN

El esquema del circuito de alimentación de la tarjeta de adquisición de datos provee 4 líneas de alimentación, +5V, -5V, 3.3V y -15V y por supuesto el voltaje de referencia, tierra. Para ello se utilizaron cuatro reguladores, el PTH0808W para la alimentación de +5V, el MC33269D-3.3 para la alimentación de +3.3V, el PT50222 para la alimentación de -5V y el regulador PT5062 para el voltaje de -15V. La tarjeta de adquisición de datos se alimenta de baterías.

El circuito de potencia consta de los cuatro reguladores para proveer de energía a todos los dispositivos del PCB. La figura 27 muestra el diagrama de bloques de la etapa de alimentación, con el suministro general de todo el sistema de 9V DC.

Figura 27. Diagrama de bloques del circuito de potencia.



Fuente: Autores del proyecto.

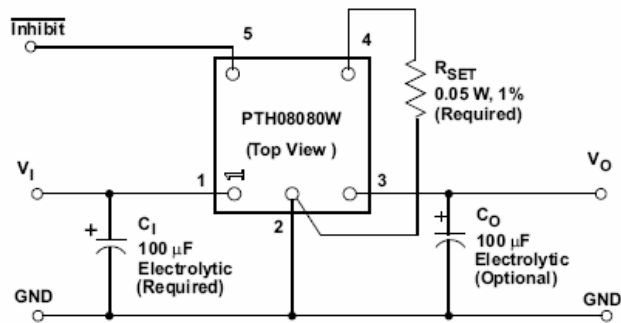
2.8.1 Regulador PTH0808W

El PTH0808W es un módulo regulador de voltaje que suministra 5V y maneja hasta 2.25A de corriente de salida. El voltaje de entrada de este circuito varía

entre 4.5V y 18V, y puede suministrar voltajes a la salida en un rango que esta entre 0.9V y 5.5V el cual puede ser ajustado por medio de una resistencia externa. En este caso para obtener una salida de 5V Rset tiene un valor de 348Ω.

Se escogió este circuito como elemento regulador de voltaje a la entrada del sistema por su alta eficiencia, hasta un 93%, que brinda una estabilidad que permite mantener el voltaje a pesar que las baterías que alimentan el sistema se descarguen, logrando de esta manera que los resultados obtenidos no se vean afectados debido a la disminución en el suministro de energía. La figura 28 muestra el diagrama de conexión de este regulador.

Figura 28. Configuración de conexión del regulador 5V para la pantalla LCD.



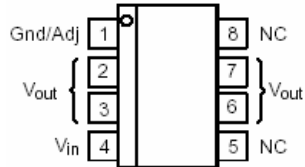
Fuente: Fabricante del dispositivo

2.8.2 Regulador MC33269-3.3

El regulador MC33269D-3.3 fue seleccionado por ser un regulador específicamente diseñado para uso en aplicaciones de voltaje bajo de entrada (Figura 29), ofrece una solución económica para regulación de voltaje con precisión manteniendo al mismo tiempo una pérdida de potencia mínima. El voltaje de entrada es de hasta 12V DC y voltaje de salida de 3.3V DC. Tiene una

corriente de salida de 800mA, protección para altas temperaturas, protección para cortocircuitos y tienen una salida de 1% de tolerancia.

Figura 29. Diagrama de pines del regulador MC33269.

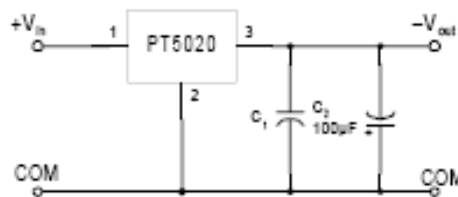


Fuente: Fabricante del dispositivo

2.8.3 Regulador PT5022

El regulador PT5022 de *TEXAS INSTRUMENTS*, es un regulador de voltaje que convierte un voltaje de entrada positivo de 5V a un voltaje de salida de -5V, su rango de voltaje de entrada varia entre 4.75V y 7V y presenta una eficiencia de cerca del 80%. Presenta tres pines, uno de entrada, uno de salida y el otro de tierra. Este es utilizado en la tarjeta de adquisición de datos para suministrar la alimentación negativa de -5V del OPA642. En la figura 30 se muestra la configuración de la conexión del regulador.

Figura 30. Configuración de conexión del PT5022.



Fuente: Fabricante del dispositivo

2.8.4 Regulador PT5062

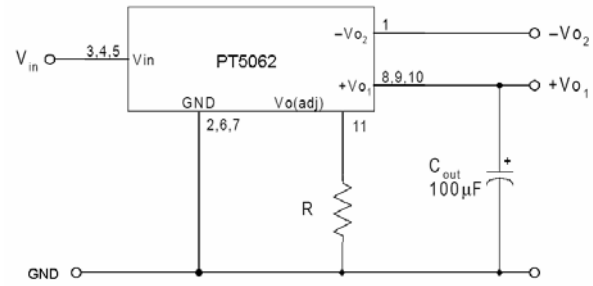
El regulador PT5062 de la serie PT5060 de TEXAS INSTRUMENTS es utilizado para ajustar el nivel de voltaje de operación de la LCD, provee una salida de voltaje de -15V con una entrada de +5V. Además tiene la posibilidad de ajustar el voltaje de salida con una resistencia externa. Presenta una eficiencia del 85% y un amplio rango de voltajes. Este regulador se conecta al pin 4 del la LCD por medio de un potenciómetro que se encarga de obtener el voltaje necesario para el contraste de la pantalla LCD. En la figura 31 se muestra la forma como se conecta este integrado y en la tabla 10 la descripción de pines, para una salida negativa de -15V en el pin 1 (-Vo2) es necesario conectar una resistencia entre el pin 11 (Vo Adj) y tierra de 1.7KΩ de 1% de tolerancia.

Tabla 10. Descripción de pines del regulador SLTS027B.

PIN	FUNCIÓN
1	-Vo ₂
2	GND
3	V _{IN}
4	V _{IN}
5	V _{IN}
6	GND
7	GND
8	+Vo ₁
9	+Vo ₁
10	+Vo ₁
11	Vo Adj
12	NC

Fuente: Autores del proyecto.

Figura 31. Configuración de conexión del regulador -15V para la LCD.



Fuente: Fabricante del dispositivo.

3 TÉCNICAS DE DISEÑO DEL PCB

3.1 TECNOLOGIA DE DISEÑO E INTERFERENCIA

El PCB se desarrollo en una placa de doble cara con tecnología de montaje superficial *SMT*, ya que representa las mejores ventajas para diseño de sistemas con circuitos digitales debido al reducido tamaño de elementos de pegado superficial y que permite el enrutado de las pistas por ambos lados del PCB, esto logro una alta densidad de elementos y conexiones en la tarjeta. Además para buscar un correcto funcionamiento de la tarjeta de adquisición de datos, se tuvieron en cuenta algunas consideraciones básicas de diseño de tarjetas de circuitos impresos (PCB) de doble cara como la compatibilidad electromagnética EMC la cual establece los limites para evitar interferencia electromagnética EMI, interferencia de radio frecuencia RFI, etc.

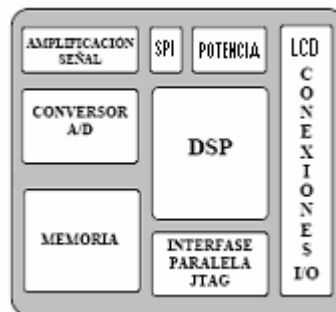
Para las fuentes de interferencia en el PCB se hizo un filtrado de las señales ofensivas con un capacitor de 0.1 uF, este problema se presento en la etapa de acople de señal entre el amplificador operacional OPA642 y el conversor A/D ADS804.

Para eliminar la interferencia de RF dentro de un PCB, se uso donde fue posible, el concepto de cancelación o minimización de flujo magnético, el cual consiste en tener un camino de retorno adyacente y paralelo a su fuente, la suma de los campos magnéticos emitidos se cancela o minimiza debido a que estos campos tienen aproximadamente la misma magnitud pero direcciones opuestas.

3.2 SEGREGACIÓN DEL PCB EN ÁREAS FUNCIONALES, COLOCACIÓN DE COMPONENTES Y ENRUTADO DE PISTAS ¹⁰

El sistema de adquisición de señales de voltaje, se subdividió en bloques funcionales especialmente alrededor del DSP. La figura 32 muestra la segregación en áreas funcionales del PCB diseñado. Se distribuyeron las diferentes áreas de acuerdo a su función y tipo de señal, estas áreas funcionales fueron: la etapa de acondicionamiento de la señal análoga, el subsistema de conversión de la señal de entrada, las etapas de potencia, la etapa de la memoria externa, el puerto de comunicación serial, la interfaz SPI y el puerto paralelo para el JTAG, y la etapa de interfaz con la LCD, se procuro buscar la mejor ubicación de cada área funcional en el PCB. Señales que unen las áreas funcionales, como el bus de datos que unen el convertor A/D con el DSP y el DSP con la memoria, se posiciono en bordes comunes de las áreas que interconectan, de esta manera el bus de datos es lo más corto posible y permite que solo las pistas necesarias se dirigen directamente a otras y no se mezclan inútilmente con pistas de otras etapas.

Figura 32. Segregación de circuitos del PCB diseñado.



Fuente: Autores del proyecto

¹⁰ KEITH ARMSTRONG C. Eng MIEE MIEEEM Design Techniques for EMC Part 5: PCB Design and Layout. www.emc-journal.co.uk, 2005.

Los componentes digitales, se colocaron primero, tan cerca del centro de sus áreas funcionales respectivas como sea posible, es por esto que el DSP, el conversor, la memoria y otros IC fueron colocados en el centro de sus áreas funcionales respectivas y alrededor de ellos la red de resistencias, capacitores, etc., necesarios para sus respectivas funciones. Después las distribuciones de reloj digital (señales muy agresivas) fueron las "siguientes redes" que se enrutaron, y se procuró ubicarlas en una sola capa del PCB y adyacentes a pistas de tierra tanto como fue posible, debido a que estas pistas deben ser de poca longitud fue necesario experimentar con la posición de cada componente para alcanzar longitudes mínimas. Luego se enrutaron buses digitales y entrada-salidas de gran velocidad de una manera similar. Se enrutaron pistas de señales teniendo presente la necesidad de cancelación de flujo magnético en las señales con alta interferencia de RF.

En la figura 33 se observa el diseño del PCB y en la tabla 11 y 12 la distribución de los componentes de las etapas del sistema como circuitos integrados, conectores, *jumpers* y demás elementos.

Tabla 11. Distribución de circuitos integrados.

ELEMENTO	DESCRIPCIÓN	REFERENCIA
U1	Conversor Análogo/Digital	ADS804
U2	Amplificador Operacional	OPA642
U3	Memoria Externa STATIC RAM	CY7C1041CV33
U4	Procesador Digital de Señales	DSP56F805
U5	Conversor RS-232	ADM3311
U6	Regulador de Voltaje +3.3V	MC33269D-3.3
U7	Regulador de Voltaje +5V	PTH0808W

U8, U9	Buffer	MC74HC244A
U10	Regulador de Voltaje -5V	PT5022
U11	Regulador de Voltaje -15V	PT5062

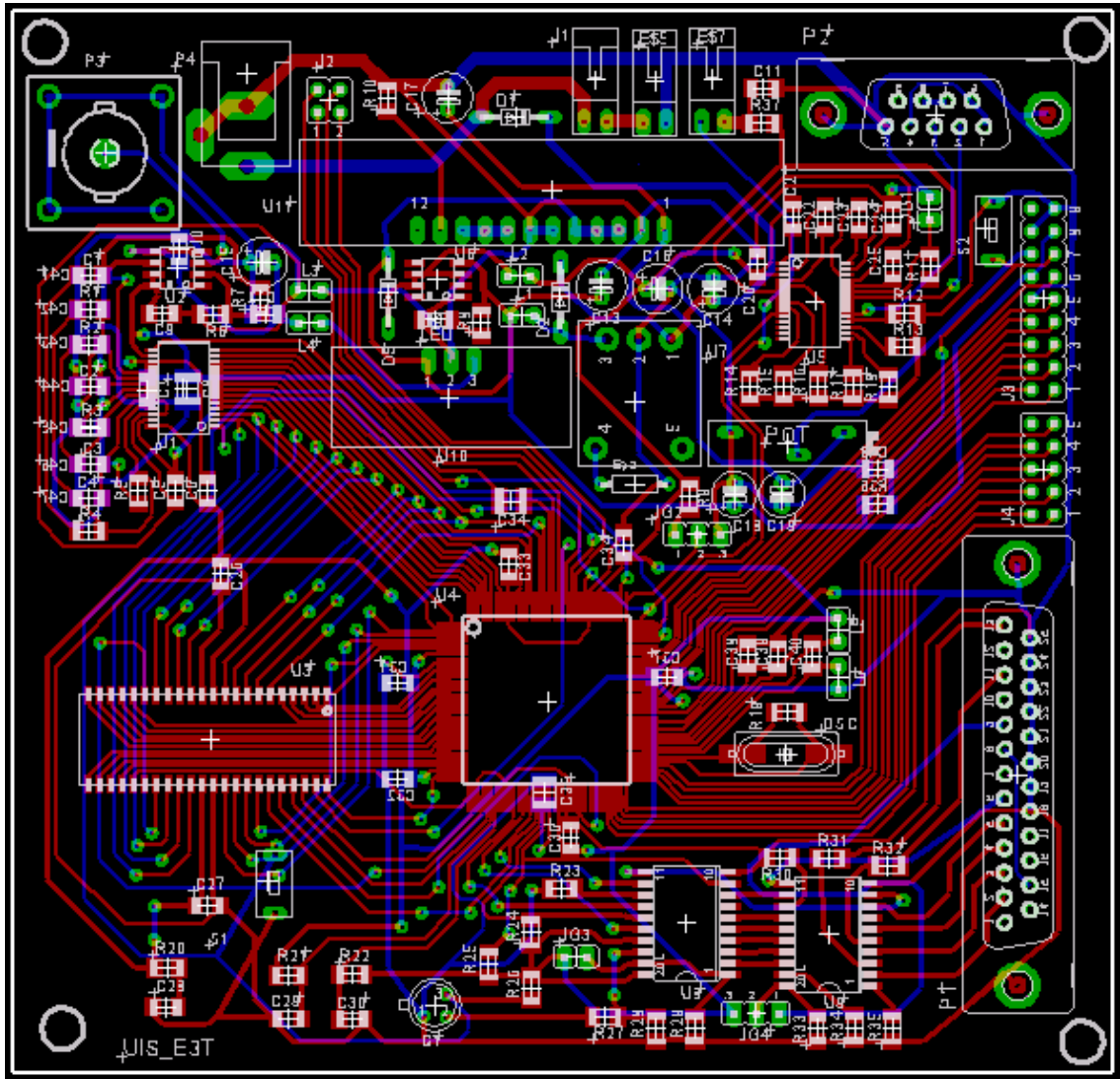
Fuente: Autores del proyecto.

Tabla 12. Distribución de Conectores.

JUMPER/ELEMENTO	DESCRIPCIÓN
J1	Conector de Voltaje Baterías DC +9V
J2	Interfase periférica serial SPI
J3	Conector a pantalla LCD
J4	Conector a convertor interno A/D
JG1	Removido deshabilita el SCI0
JG2	Habilitador de memoria de programa externa pin 1-2
JG3	Removido habilita la interfase JTAG
JG4	Selección de alimentación para JTAG
P1	Conector a puerto paralelo DB25M
P2	Conector a puerto serial DE9F
P3	Conector Coaxial BNC
P4	Conector a Voltaje DC
S1	Switch Reset del DSP
S2	Switch Reset de la LCD

Fuente: Autores del proyecto.

Figura 33. Diseño del PCB en el editor de circuitos impresos *EAGLE*.



Fuente: Autores del proyecto.

3.3 METODOLOGÍAS DE CONEXIÓN A TIERRA Y DE DISTRIBUCIÓN DE POTENCIA

Debido a que el PCB que se diseñó tiene frecuencias superiores a 1 MHz, el tipo de conexión de tierra que se implementó es la conexión a tierra multipunto que usa planos de tierra por ser la más adecuada. En esta todas las conexiones de 0V de los circuitos integrados o elementos discretos se unen por múltiples puntos o conexiones al plano de tierra, la baja impedancia que proporciona los planos de tierra se debe principalmente a la mínima inductancia característica de los planos de cobre grandes, a diferencia de las delgadas pistas de la conexión de tierra de único punto.

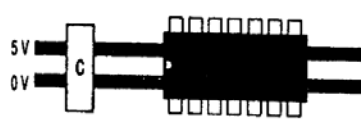
En el PCB se implementó el sistema de distribución de potencia por medio del enrutado radial o estrella el cual consiste en que las pistas emanan de una única fuente hasta los dispositivos; se procura que estas pistas y las pistas de tierra o los planos de tierra viajen paralelas y adyacentes una de otra para prevenir lazos de corriente en el sistema de distribución de potencia, que pueden crearse por el ruido de alta frecuencia de otros circuitos o de señales de control, estas pistas de señales de potencia y tierra no regresan a la fuente común por otro lugar, para evitar que se formen lazos de corriente, estas dos situaciones se aprecian en la figura A1.

3.4 DESACOPLE DE FUENTES DE POTENCIA

Los condensadores de desacople fueron ubicados lo más cerca posible de los dispositivos ya que la disminución de la longitud de las pistas es el factor más fácil de manejar para lograr reducir el ruido de alimentación. En la figura 34 se observan la implementación óptima que se usó en el PCB, en la ubicación de capacitores de desacople para componentes con pines de alimentación y tierra

ubicados en un único y en diferentes lados del dispositivo, con longitudes pequeñas de las pistas.

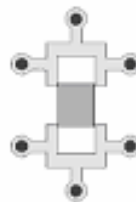
Figura 34. Ubicación de condensadores del desacople en PCB.



Fuente: KEITH ARMSTRONG C. Op. Cit.

La mayoría de conexiones de capacitores de desacople elaboradas en el PCB corresponde a conexiones como el observado en la figura 35 debido a que la existencia de pistas de poca longitud reduce la inductancia total de las interconexiones. En el diseño del PCB se usó un tamaño aumentado de los *pads* de montaje superficial SMT logrando que sea mayor el área de contacto entre el elemento y el PCB y además con múltiples pistas y vías de interconexiones a tierra o a alimentación logrando un mejoramiento en el desempeño de alta frecuencia.

Figura 35. Método de conexión de los *pads* en montaje superficial.



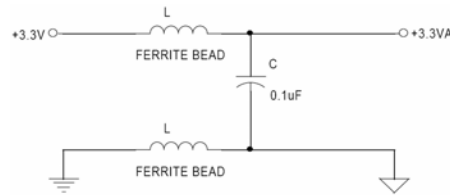
Fuente: KEITH ARMSTRONG C. Op. Cit.

Varios de los fabricantes de los circuitos integrados adquiridos para este diseño especifican el valor de sus capacitores de desacople, en algunos casos especifican el tipo de condensador e incluso los modelos de diseño de desacople preferidos para sus productos. Las fuentes de alimentación de cada componente fueron desacopladas con capacitores apropiados, dependiendo del nivel de voltaje de alimentación, para los circuitos integrados que tiene varios pines de suministro de energía, cada pin de alimentación se conecto a un condensador propio de desacople.

Los condensadores electrolíticos de aluminio están ubicados en los reguladores de voltaje de 5V, 3.3V y el conversor DC de -15V de la etapa de potencia, estos son apropiados para subsistemas de la fuente de alimentación. Los condensadores de desacople electrolíticos de 100 μ F se ubicaron en los pines de entrada y salida del regulador de +5V PTH0808W, a la salida del regulador MC33269DT_3.3 se ubico otro capacitor de 47 μ F y para el PT5022 se ubicaron 2 capacitores en paralelo, uno de 1 μ F y otro de 100 μ F. La mayoría de los capacitores de desacople son de 0.1 μ F para cada una o de los dispositivos según recomendaciones de cada uno de los respectivos fabricantes.

En el caso del DSP tiene 9 capacitores de desacople cerámicos de 0.1 μ F entre alimentación y tierra, 8 capacitores en los pines VDD y uno en el pin VDDA el cual es un pin de alimentación de bajo ruido y dos capacitores de 2.2 μ F en los pines VCCAP, se siguió la recomendación del fabricante de ubicar los capacitores máximo a media pulgada (12mm.) del DSP. En la figura 36 se observa la manera de desacoplar la fuente de alimentación y tierra para suministrar el voltaje análogo de bajo ruido: VDDA y la tierra análoga: VSSA que requiere la parte análoga del DSP, se usaron dos inductores EXC-ELSR35S y un capacitor de 0.1 μ F.

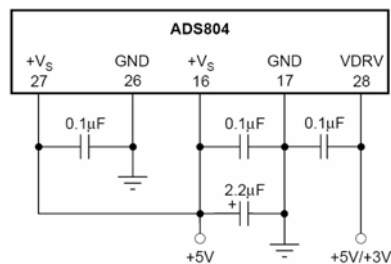
Figura 36. Desacople para fuente y tierra análoga.



Fuente: KEITH ARMSTRONG C. Op. Cit.

El conversor análogo-digital ADS804 tiene 4 capacitores de desacople, el fabricante recomienda: una configuración propia de desacople como se ve en la figura 37, esta tiene capacitores de $0.1\mu\text{F}$ entre los pines de alimentación Vs:27,16 y GND: 26,17 y otro entre los pines VDRB:28 y GND:17 y otro capacitor de $2.2\mu\text{F}$ entre los pines Vs:16 y GND:17

Figura 37. Configuración de desacople para el ADS804.



Fuente: Fabricante del dispositivo.

El amplificador operacional OPA642 tiene dos capacitores de desacople de $0.1\mu\text{F}$ en los pines +Vs:8 y el pin -Vs:5.

Para la interfase de comunicación serial RS-232 el pin de alimentación Vcc: 23 del circuito integrado ADM3311 es desacoplado con una combinación en paralelo de un capacitor de $10\mu\text{F}$ de tantalio y un capacitor de $0.1\mu\text{F}$ cerámico.

Los capacitores de desacople de la memoria se asumieron del mismo valor 0.1uF ya que sus periodos de conmutación y niveles de corriente son similares.

3.5 LONGITUD DE LAS PISTAS DE TRANSMISIÓN

Para la memoria CY7C1041CV3 de Cypress los tiempos de caída y elevación de los pulsos de las señales es aproximadamente 3ns y el convertor ADS804 de 2ns según sus *data sheets*. Una regla común para calcular la longitud de las pistas y mantener la integridad de la señal se basa en los tiempos de caída y levantamiento de las señales. La máxima longitud de una línea de transmisión depende del tiempo de tránsito de los pulsos a lo largo de la ruta, entonces para 3ns según las ecuaciones A1 sobre la velocidad de propagación de las señales y la ecuación A2 sobre la longitud de las pistas, la señal viajaría aproximadamente 53 cm por sus pistas, entonces como se recomienda, en la mitad del tiempo de levantamiento recorrería una longitud de 25cm y las líneas de transmisión deben ser máximo de este valor. Ya que los valores mas pequeños de *tr* corresponden a 3ns, se procuro al máximo que todas las líneas de transmisión estuvieran por debajo de 25 cm y fueran lo mas cortas posibles para lograr la integridad adecuada de las señales.

3.6 ANCHO DE LAS PISTAS Y SEPARACIÓN ENTRE ELLAS

Se puede determinar la corriente eficaz máxima admisible en una pista de un PCB por medio de gráficos como el indicado en la figura A4, para un PCB de espesor total de 1,6 mm.¹¹ El minino ancho y espesor de las pistas conductoras en capas

¹¹ KEITH ARMSTRONG C. Eng MIEE MIEEEM Design Techniques for EMC Part 5: PCB Design and Layout. www.emc-journal.co.uk, 2005.

externas de PCB (*microstrip*) es calculado de la figura A4 proporcionado por el estándar de diseño de circuitos impresos IPC 2221 como se vera mas adelante; las temperaturas corresponden a los incrementos posibles sobre la temperatura ambiente. Tomando como referencia que las corrientes que fluyen en la tarjeta de circuito impreso no son mayores a un amperio y observando la figura A4-a del anexo 1 y decidiendo que el cambio de de temperatura en el PCB sea el más bajo: 20 °C sobre la temperatura ambiente, se observa que la secciones transversal de la pistas es de 0.01mm^2 , entonces observando la figura A4-b para secciones transversales de 0.01mm^2 y observando las tres rectas de la figura que corresponde a los tres valores típicos de espesor de las pistas de cobre ($70\mu\text{m}$, $35\mu\text{m}$, $17.5\mu\text{m}$), podemos calcular que los anchos posibles de las pistas son respectivamente 0.15mm, 0.3mm, 0.6 mm. Para garantizar mejor la distribución de corriente tomamos el mayor ancho calculado que corresponde a 0.6mm para el menor espesor posible de las pistas, además en estos cálculos se supone que el espaciamiento entre conductores es por lo menos igual a su ancho. Debido a que el espaciamiento entre algunas las pistas del PCB es menor a su ancho, se aplico un factor de corrección del 15% a la corriente, entonces adicionando el 15% mas al ancho calculado, el valor mínimo de las pistas para consumos inferiores a un amperio es de aproximadamente de 0.7mm.

La máxima corriente que el sistema consume es de 330mA, por lo tanto las pistas de la red de distribución de potencia tienen son las de mayor ancho en el PCB, de esta manera el mínimo ancho calculado para la pista, de 0.7mm, garantiza suficientemente el transporte de la mayor cantidad de corriente de operacion posible. Las demás pistas presentan valores menores de voltaje y corriente que las pistas del sistema de distribución de potencia por lo tanto el ancho de de ellas es menor, varios valores de ancho de pistas corresponden al ancho de los *pad* donde son soldados los pines de los dispositivos y los circuitos integrados, las pistas más angostas corresponden a las pistas que distribuyen la señales del DSP

y son de 10 mil (mil: milésima de pulgada) de ancho o sea 0.25mm y se fueron aumentando a medida que se aproximan a pines más anchos de otros dispositivos.

El espaciado entre las pistas conductoras es aconsejable que se la máxima posible, pero debido al limitado espacio de la tarjeta, se tuvo en cuenta la mínima separación aceptable de las pistas. El mínimo espacio entre conductores, es proporcionado por el Stándar IPC2221 de la tabla A1 para un variado rango de voltajes y de tipos de PCB.¹²

La mayoría de niveles de voltaje en la tarjeta desarrollada están por debajo de los 5V , solo una parte de la red de alimentación (el conversor DC) tiene valores de -20V, de acuerdo con la Tabla A1, el PCB diseñado corresponde al Tipo B2 de conductores externos desnudos en el PCB y la mínima separación recomendada entre conductores es de 0.1mm, sin embargo se procuró que los espaciados fueran mayores para asegurar un buen aislamiento eléctrico, es por eso que el mínimo espaciado de la mayoría de las pistas en PCB corresponde a la misma separación entre pines de cada componente o circuito integrado, de acuerdo con esto el mínimo espaciado en la tarjeta es de 0.25mm. y corresponde a las pistas de las señales que interconectan el DSP con los otros componentes, otros valores de separaciones entre pistas corresponden al ancho de las mismas pistas. La separación del plano de referencia de tierra y las demás pistas es de 0.5mm.

¹² Generic Standard on Printed Board Design IPC-2221. Institute for Interconnecting and Packaging Electronic Circuits, 2001.

3.7 IMPEDANCIA DE LAS PISTAS POR EFECTO INDUCTIVO

Para algunas pistas de alta frecuencia se calculó su máxima impedancia la cual se presenta a las mayores frecuencias como las señal de reloj que va desde el DSP al conversor, la cual tiene una longitud de aproximadamente 5 cm. y 0.3mm de ancho, a 10MHz entonces $Z = L \cdot Z_i \cdot K$, observando en la figura A5 y A6 a una frecuencia de 10MHz la $Z_i = 0.65\Omega$ la relación longitud/ancho = $50/0.35 = 142$ entonces $K = 1.3$ aproximadamente, entonces $Z = 5 * 0.65 * 1.3 = 4,22 \Omega$.

A frecuencia considerables existe un gran incremento de impedancia en las pistas, el factor más importante para reducir este parámetro es reducir al máximo posible la longitud de las pistas, para lograrlo se recurrió a ubicar los elementos: circuitos integrados, resistencias, etc. de la manera mas apropiada ensayando las posibles ubicaciones hasta encontrar el mas adecuado, de esta manera la mayoría de de pistas como el bus de datos entre memoria, conversor y DSP y otras señales digitales no sobrepasa los 5 cm.

El siguiente es el resumen de las consideraciones para el diseño de la tarjeta de circuito impreso.

1. Se realizo un diseño lo más sencillo posible con la más simple la distribución de componentes, se separaron los circuitos del PCB en unidades funcionales (segregación) buscando con ello el aislamiento entre circuitos diferentes, supresión de interferencia electromagnética entre las áreas del sistema, entre otra ventajas.
2. Las señales de la red de distribución de potencia se enrutaron en forma radial, adyacente y paralelas a pistas de tierra o planos de tierra para evitar la formación de lazos de corriente.

3. Se colocaron los componentes más ruidosos tales como microcontroladores, circuitos integrados, tan cerca del centro de sus áreas funcionales respectivas como sea posible, enrutando primero las señales críticas de gran velocidad como las señales de reloj, procurando que no cambien de capas en el PCB ya que éstos causan cambios súbitos en la impedancia de las líneas y ubicándolas adyacentes a pistas o planos de tierra tanto como fue posible, luego se enrutaron los buses de datos y el resto de señales menos críticas donde para sus correctas conexiones sea necesario que cambien de cara en el PCB.
4. Se efectuó el enrutado manual buscando reducir el número de pistas necesarias que interconectan las áreas funcionales y evitando que las pistas de una área no entren a otras áreas si no es necesario.
5. Se diseñaron planos de tierra y pista de alimentación suficientemente anchas para lograr supresión de interferencia RF desarrollada en el interior del PCB ya que estos planos contribuyen intrínsecamente a reducir la impedancia de la red distribución de potencia, otra manera de supresión de interferencia para el diseño final es encerrar el PCB en una caja con recubrimiento conductivo (blindaje) o usar un chasis de metal.
6. Cada circuito integrado lleva capacitores de desacople lo más cerca posible del componente, para reducir el ruido de alimentación en modo diferencial y minimizar el ruido de tierra en modo común, la mayoría son de $0.1\mu\text{F}$; otros valores dependen de la recomendación del fabricante para cada componente.

7. La longitud de las pistas son lo más cortas posibles para mantener la integridad de la señales, evitar líneas eléctricamente largas y evitar la impedancia por efecto inductivo.
8. El ancho de las pistas dependió de la intensidad de corriente que vaya a circular por ellas. Se calculo el mínimo ancho de las pistas en 0,7 mm para flujos de corriente sobredimensionado de 1 Amperio para ofrecer de esta manera una red de distribución de potencia de baja impedancia y un margen aceptable de seguridad en el transporte de corriente, las demás pistas como las de señal son inferiores a 0.7 mm.
9. Para la separación entre pistas próximas y puntos de soldadura, se observo la máxima tensión eléctrica especificada en la tabla A1, de acuerdo a esta, el mínimo permitido es de 0.1mm, aunque en la mayoría de pistas, la separación corresponde al mismo ancho y otras separaciones son las máximas permitidas por el espacio del PCB.
10. Se hicieron coincidir las pistas con los bordes de la placa (pistas paralelas a los bordes de la tarjeta) o formando un ángulo de 45° con éstas, y los puntos de soldadura con las intersecciones de las líneas. Y todos los componentes se colocaron paralelos a los bordes de la placa.
11. No se realizaron pistas con ángulos de 90° , cuando fue preciso efectuar un giro en una pista, se hizo con dos ángulos de 135° . Si bien eléctricamente es lo mismo, conviene hacerlo así porque al momento de aplicar el ácido al cobre es más probable que una pista se corte si su ángulo es en recto ya que tendrá menor área de contacto.

12. Los puntos de soldadura de las vias (camino entre los dos lados del PCB) tienen diámetros de 1.42 mm.
13. La distancia mínima entre pistas o elementos y los bordes de la placa fue de aproximadamente medio centímetro para permitir la manipulación mecánica en su elaboración y prever la sujeción de la placa a un chasis o caja.
14. Como norma general, se debe dejar mínimo 2mm de separación entre vías y pines de los componentes que lo necesitan.

4 PROGRAMACION

La implementación de la programación se llevo a cabo con el compilador Code Warrior 6.1 de Metrowerks, utilizando lenguaje C y lenguaje ensamblador, se escribieron códigos con extensiones .C y .H para optimizar la visualización del programa y de esa manera hacer un mejor seguimiento del algoritmo.

Las rutinas de programación escritas permiten controlar todos los periféricos, tanto internos como externos, del sistema. Se hizo uso del procesador experto de *Metrowerks*, el cual permite configurar automáticamente los periféricos internos del DSP de una forma fácil, mediante el uso de los *beans*, los cuales contienen los elementos funcionales básicos de los periféricos pertenecientes al DSP, y así hacer un rápido desarrollo de la aplicación con la seguridad de no cometer errores en esa tarea y concentrarse en el desarrollo del diseño del sistema.

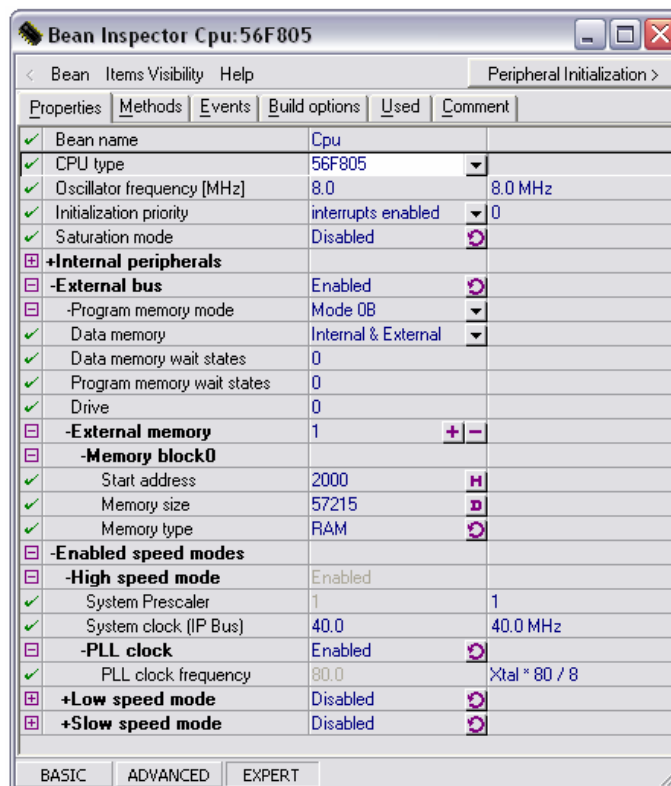
La programación del sistema se dividió en las siguientes etapas:

- Configuración de la CPU
- Adquisición de muestras y almacenamiento en memoria.
- Sincronización de tiempos para la adquisición de muestras en el conversor
- Almacenamiento de datos en la memoria externa
- Visualización de los datos en la LCD

4.1 CONFIGURACIÓN DE LA CPU

La configuración de la CPU del DSP se basa en la aplicación del procesador experto para estructurar los registros correspondientes a cada uno de los periféricos internos del dispositivo.

Figura 38. Inspector de *Bean* de la CPU: 56F805.



Fuente: Code Warrior

Como se aprecia en la figura 38, la CPU se configuró sin necesidad de manipular los registros disponibles. La CPU trabaja inicialmente a una frecuencia de 80MHz

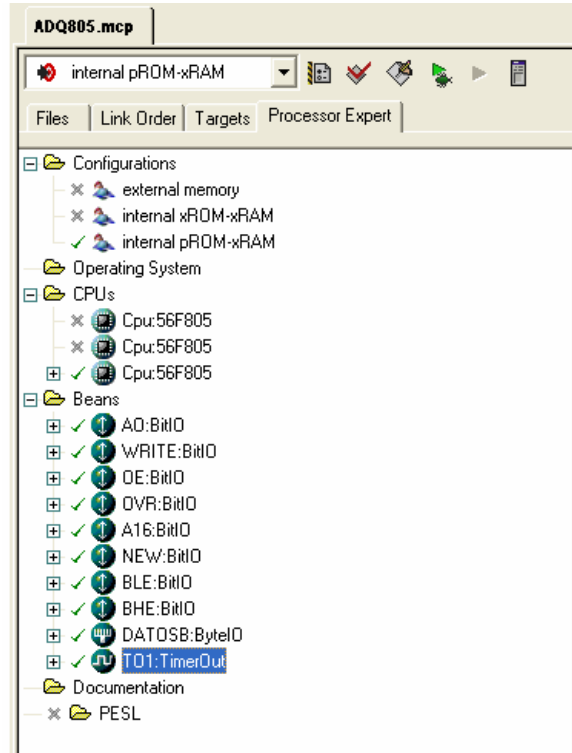
con un reloj del bus IP de 40MHz. Así mismo, se habilitó la interfaz de memoria externa EMI tanto para memoria de programa como para la de datos, con el fin de ampliar la memoria del DSP. Se escogieron los modos 0B para la memoria de programa y una mezcla de memoria interna con externa para la memoria de datos¹³. El espacio de memoria de datos que se expandió es de 57215 bytes en cada uno de los dos espacios de memoria lo cuales se habilitan en la memoria externa. Cabe decir que para algunas rutinas fue necesario configurar los registros manualmente con el fin de hacer un algoritmo óptimo y flexible según la tarea de control que el DSP debía cumplir en uno u otro momento.

4.2 ADQUISICIÓN DE MUESTRAS Y ALMACENAMIENTO EN MEMORIA

En la etapa de adquisición de la señal se hizo uso de la interfaz de memoria externa (EMI), que comprende el bus de direccionamiento, el bus de datos y las señales de control lectura-escritura en la memoria, también se hizo uso de siete bits de control para la memoria y el convertidor y un temporizador encargado de establecer la velocidad de muestreo, esta configuración se realizó utilizando los **Beans** que se pueden ver en la figura 39. Las señales de control configuradas son **CE** para habilitar la memoria externa, **BHE** para habilitar los ocho bits más significativos de la memoria, **BLE** para habilitar los ocho bits menos significativos de la memoria, **OE** para habilitar la salida de las muestras del convertidor, **NEW** que inicia la toma de muestras, **A16** bit con el que se lleva a cabo la expansión de la memoria junto con la señal **PS** de la interfaz de memoria externa, **T01 timer** TD3 del DSP el cual suministra la señal de reloj del convertidor ADS804, el T01 se ajustó con una frecuencia de 6MHz (más exactamente de 6.66MHz).

¹³ Se puede mas detalles sobre los modos de memoria en el manual del usuario de la familia 56F800 de Freescale

Figura 39. Beans configurados para el control del sistema.



Fuente: Code Warrior

El muestreo de la señal consiste en tomar los datos muestreados del bus de datos de la EMI, habilitando la memoria externa y las salidas del conversor análogo digital pero deshabilitando todas las salidas de la memoria externa, de esta manera se hace un llamado a los datos que están presentes en el bus en una posición cualquiera de la memoria externa y direccionandolos a una posición de memoria interna; esto se hace hasta alcanzar un numero determinado de muestras adquiridas¹⁴. Cuando se alcanza ese número de muestras almacenadas

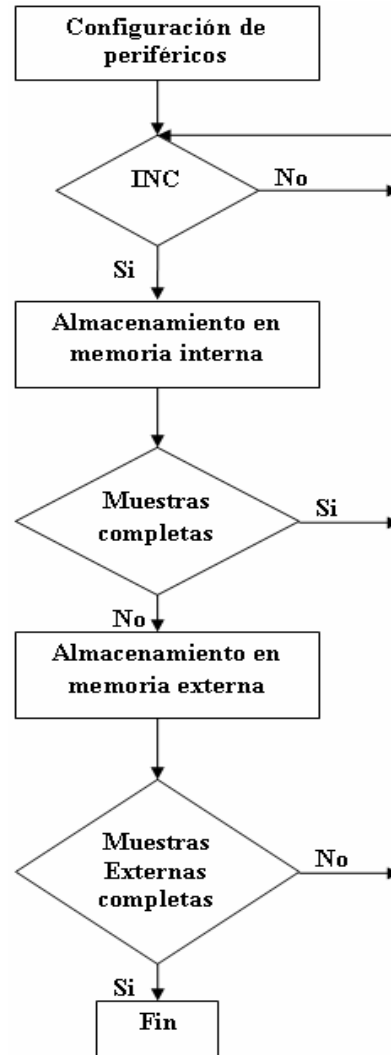
¹⁴ El número de muestras almacenadas en memoria interna depende del número de periodos que se desea muestrear.

en la memoria interna se procede a enviarlas a memoria externa para luego reiniciar el proceso de guardado en la memoria interna.

4.3 SINCRONIZACIÓN DE TIEMPOS PARA LA ADQUISICIÓN DE MUESTRAS EN EL CONVERTOR ANÁLOGO A DIGITAL.

El proceso de muestreo de la señal se implemento por medio de la rutina ADQUISICION, este proceso de toma y almacenamiento de muestras fue implementada con una combinación entre lenguaje C y lenguaje ensamblador. Durante el proceso de toma de muestras, las salidas del conversor permanecen habilitadas, lo que permite que siempre haya un dato en el bus de datos del sistema y que se actualice de acuerdo a la señal de reloj, la frecuencia del reloj es de 6.66MHz dada por el timer del DSP con esta frecuencia se cumple el requisito de la frecuencia de Nyquist sea mayor al doble de la maxima frecuencia de las señales sinusoidales y de pulso bifasico que corresponde a 3MHz. Para tomar el dato presente en el bus, se hizo un movimiento desde una posición de memoria externa, la cual tiene en ese momento los pines de entrada/salida deshabilitados, a una posición de memoria interna; este proceso se repite una cantidad de veces definida de acuerdo a la cantidad de muestras de la señal que se desean tomar; las posiciones de la memoria interna se incrementan a medida que se almacenan datos en ella. El algoritmo escrito se detalla en el Anexo B1. La figura 40 muestra el diagrama de bloques del algoritmo de adquisición de muestras.

Figura 40. Diagrama de bloques del algoritmo de adquisición de muestras.

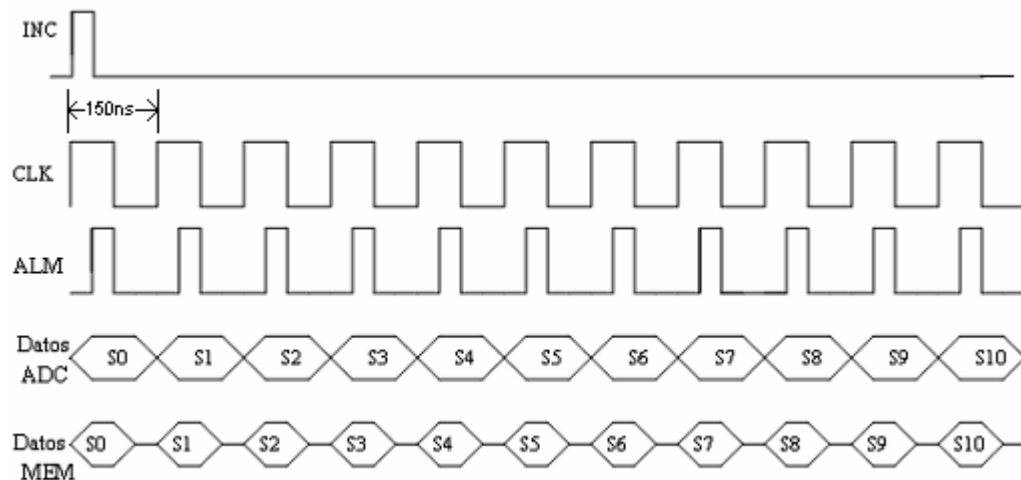


Fuente: Autores del proyecto

En el algoritmo se utilizó la función DO la cual es una manera de hacer lazos (loops), que permite llevar a cabo una tarea la cantidad de veces que esta lo indique. En el caso de este algoritmo el direccionamiento de las muestras se realizó 1024 veces. Con la función *Move* se realizaron los movimientos desde las

salidas del conversor (en el bus de datos) a posiciones de memoria interna, y los *nop* se utilizaron para sincronizar la toma de datos con el reloj del conversor. La rutina *guardar* se implemento para enviar los datos almacenados anteriormente en memoria interna a posiciones de memoria externa. Para hacer estos movimientos fue necesario deshabilitar las salidas del conversor y habilitar las entradas de la memoria externa. La rutina VISULIZACION se explicara más adelante. En la figura 41 se ilustra el diagrama de tiempos del proceso de muestreo y almacenamiento, la señal CLK es el reloj de 6.66MHz.

Figura 41. Diagrama de tiempos.



Fuente: Autores del proyecto

4.4 VISUALIZACIÓN DE LOS DATOS EN LA LCD

La última etapa corresponde a la de visualización de los datos muestreados. Esta rutina está compuesta por otras subrutinas que están encargadas de configurar la LCD, de transformar el vector de 16 bits almacenado en la memoria externa en un

vector de 8 bits (necesario por la limitación de píxeles de la LCD) y de formar la imagen de la señal. Para controlar la LCD el algoritmo utiliza 2 bits, **WRITE** y **AO**, ambos pines de propósito general, con los cuales se implementan todas las rutinas que manejan el set de instrucciones de la pantalla. **WRITE** se utiliza para controlar la escritura de datos en la pantalla y **AO** determina si el dato que se envía a la pantalla es un comando o un dato. La programación consiste en una lista de comandos que van siendo utilizados según la necesidad que se tenga, seguido de estos van uno o varios datos.

A partir de la información obtenida del fabricante, la LCD se configuró de la siguiente manera:

- Generador interno de caracteres.
- 8 líneas por carácter.
- Panel simple.
- Tamaño vertical del carácter: 8 píxeles.
- Tamaño horizontal del carácter: 8 píxeles.
- 128 líneas de *display*.
- Ancho de la pantalla virtual: 32 direcciones.
- Bloque en memoria de texto: 0x0000 a 0x0FFF. (4096 Espacios.)
- Bloque en memoria de gráfico: 0x1000 a 0x1FFF. (4096 Espacios.)

Los algoritmos encargados de enviar las palabras de control a la LCD son `ESCRIBIR_COMANDO(byte comando)` para los comandos y `ESCRIBIR_DATO(byte dato)` para escribir los datos. El set de instrucciones de la LCD se puede ver en la tabla 6. La rutina con la que se configuró la LCD es `INIC_LCD()` con la que se establecieron los parámetros, antes descritos, bajo los cuales trabaja la pantalla. Una vez se ha configurado la pantalla se procede a

mostrar una imagen de presentación¹⁵, el algoritmo de las imágenes de presentación se puede encontrar con el nombre de PORTADA() que se encuentra en el archivo LCD.C. Así mismo se conformaron los marcos de la pantalla de graficación de la señal muestreada con el algoritmo MARCOS().

La rutina de visualización inicia transformando el vector de las muestras adquiridas de 12 bits a 8 bits; esto se hizo dando un valor entre 0 y 120 (escala máxima para graficar en la pantalla) a cada uno de los valores posibles, para ajustar los datos tomados al tamaño de la LCD. La ecuación con la que se hizo esta transformación es la siguiente:

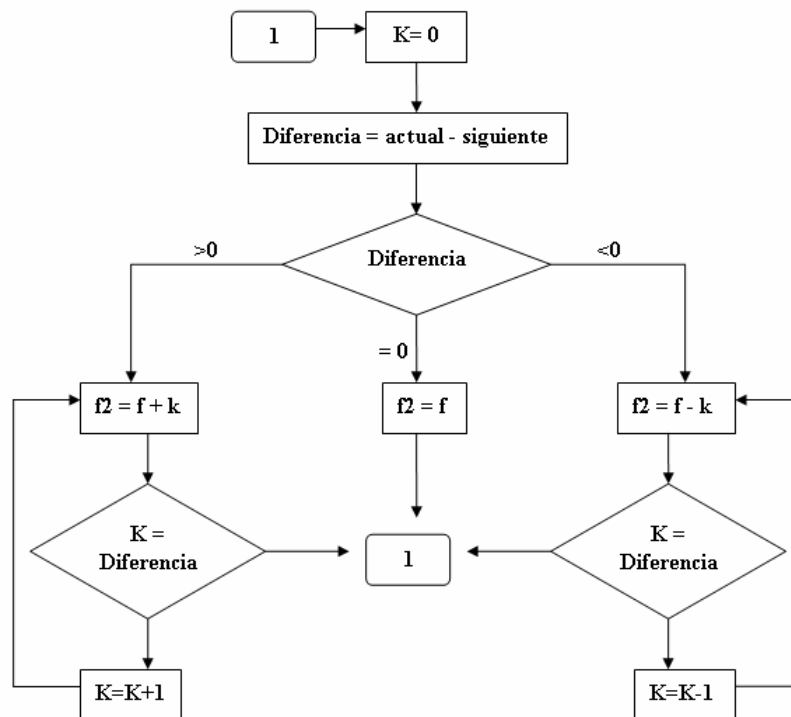
$$DATO = -\left(\frac{muestra * 120}{4096} - 120\right)$$

Donde el dato representa el número de 8 bits y la muestra el número de 12 bits. Además para que el cero se posicione en la parte inferior de la grafica y el 120 se posicione en la parte superior hay necesidad de restar 120 y multiplicarlo por -1. Los datos obtenidos son almacenados en la memoria interna del DSP en el vector f[j]. En la señal graficada, cero representa el nivel más bajo posible de la señal, 60 el valor cero y 120 el mayor valor posible. Una vez se ha conformado este vector se procede a formar la grafica uniendo cada uno de los puntos del vector f[j]; para ello se escribió la rutina INTERPOLACION GRAFICA en la que se hace el calculo de la distancia entre un par de muestras consecutivas y ese resultado resulta ser el espacio a rellenar con el valor actual de los datos. Ese nuevo vector que almacena los datos interpolados es f2[j]; La grafica 42 muestra el diagrama de bloques de la rutina de interpolación.

¹⁵ Elaboración del software para la caracterización de una celda electroquímica utilizando DSP familia 56800 de Motorola, Jean Pierre Amaris-José Alberto López, 2004.

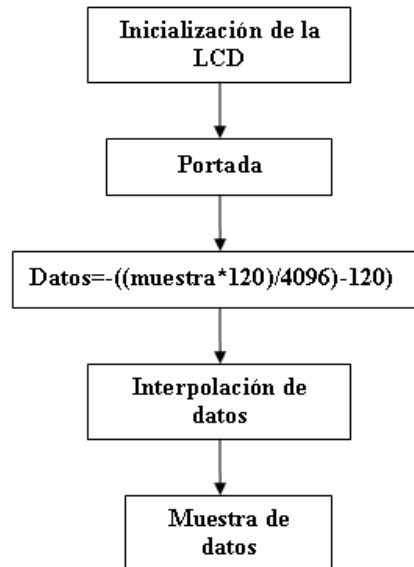
Una vez se ha completado la conformación de los datos se procede a graficarlos con la rutina VECTOR DE DATOS LCD, en la que se hace un enmascaramiento de cada uno de los datos del vector $f2[j]$ y así se van rellenando uno a uno cada byte correspondiente a cada columna de la pantalla. La impresión de este vector enmascarado se hace con la rutina `mostrarV()`, que se detalla en el Anexo B2. La rutina de visualización se muestra en diagrama de bloques de la figura 43.

Figura 42. Diagrama de bloques de la rutina de interpolación.



Fuente: Autores del proyecto.

Figura 43. Diagrama de bloques de la rutina de visualización.



Fuente: Autores del proyecto.

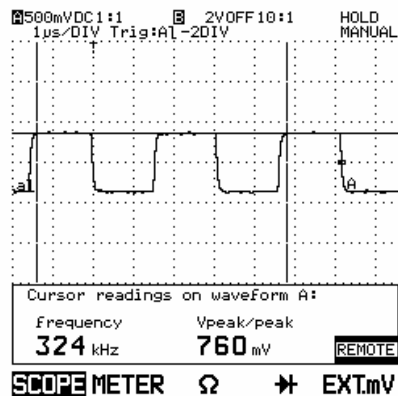
5 PRUEBAS

Para comprobar el correcto funcionamiento y el desempeño del equipo se realizaron pruebas al sistema de adquisición de datos que comprendieron el comportamiento de la etapa de acondicionamiento de la señal de entrada, la obtención de muestras, la capacidad de almacenamiento y la visualización en la pantalla LCD, comparando los resultados obtenidos con un osciloscopio digital Fluke 105 scopemeter series II y el analizador lógico Tektronix TLA-704.

5.1 ETAPA DE ACONDICIONAMIENTO DE LA SEÑAL

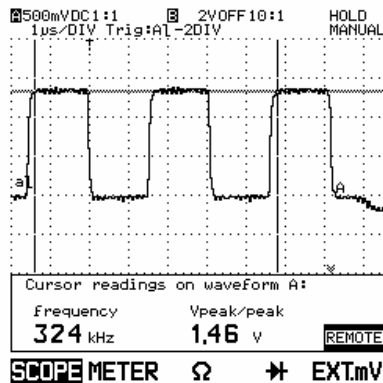
La etapa de acondicionamiento de señal, como se describió en el capítulo 2 tiene una etapa de amplificación de aproximadamente 2V/V y una etapa de filtrado pasabandas con un ancho de banda de 30MHz, con frecuencias que se encuentran entre 10kHz y 30MHz. Las figuras de la grafica 43 y 44 muestran la señal de entrada con su respectiva señal de salida.

Figura 44. Señal de entrada dentro de las frecuencias de corte del filtro.



Fuente: Autores del proyecto.

Figura 45. Señal de salida dentro de las frecuencias de corte del filtro.



Fuente: Autores del proyecto

La figura 44 muestra una señal a la entrada de 324kHz amplificada con una ganancia de 1.92V/V, las figura 45 muestra la misma señal a la salida de la etapa.

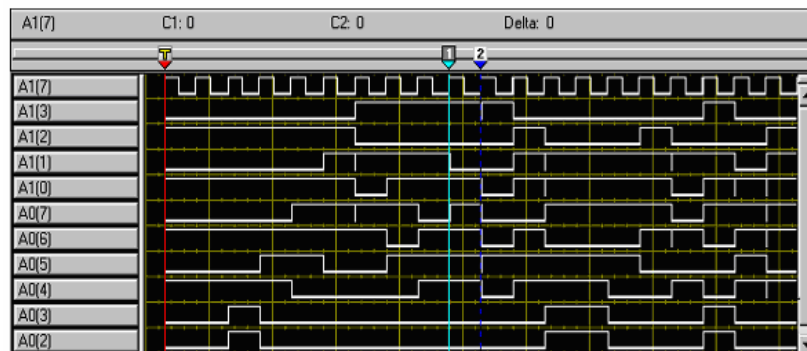
5.2 ETAPA DE CONVERSION DE LA SEÑAL

La verificación del correcto funcionamiento de la etapa de conversión de la señal se hizo con el analizador lógico Tektronix TLA-704 el cual permite visualizar cada una de las salidas del convertor análogo digital externo y el reloj de muestreo.

La figura 46 muestra los resultados de una conversión de la señal. La señal A1(7) corresponde al reloj de muestreo, las señales entre A0(0) y la A0(7) y entre la A1(0) a la A1(3), muestran cada una de las salidas del convertor desde D0 hasta D11. El tiempo entre muestra y muestra, que es la diferencia entre el cursor 1 y 2, es de 0.154µs, que corresponde aproximadamente a 6.5MHz. A partir de esta grafica se observa que el convertor actualiza su salida con cada pulso del reloj,

con lo que se evidencia que este proceso esta sincronizado para evitar un sobremuestreo de la señal y que sólo se esta almacenando un dato muestreado en ese ciclo. La señal muestreada de esta corresponde a una señal sinusoidal de 650kHz y 1Vpp.

Figura 46. Visualización en el analizador lógico de una conversión.

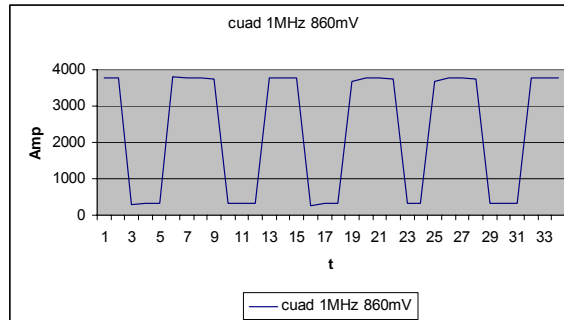


Fuente: Autores del proyecto

5.3 ETAPA DE ALMACENAMIENTO DE DATOS

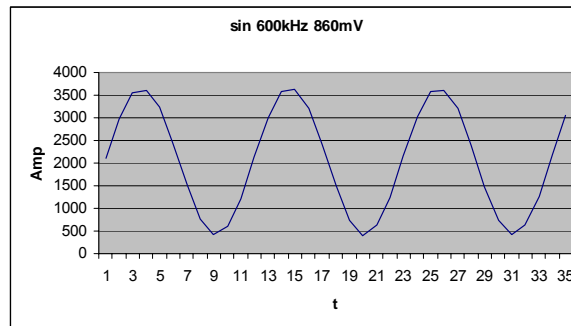
El almacenamiento de las muestras en memoria externa se visualiza con la ventana de memoria del compilador de Code Warrior. En la figura 47, 48 y 49 se muestra la forma de onda generada a partir de los datos almacenados en memoria y tabulados en Excel, esta hace parte de una porción de la memoria externa, los cuales se encuentran desde la posición de memoria 0x2000h de la memoria de datos. Los datos de la figura 47 corresponden a las muestras almacenadas de una señal cuadrada de 1MHz y con una amplitud de 800mV, los de la figura 48 a una señal sinusoidal de 600kHz con una amplitud de 800mV y los de la figura 49 a una señal sinusoidal de 3 MHz. El eje Y de la grafica representa la amplitud de la señal expresada en valores entre 0 y 4096.

Figura 47. Datos almacenados de una señal cuadrada de 1MHz.



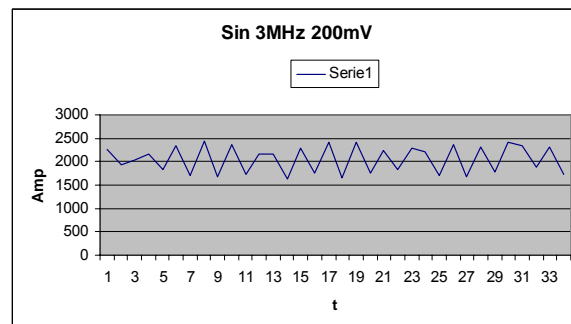
Fuente: Autores del proyecto.

Figura 48. Datos almacenados de una señal sinusoidal de 600kHz.



Fuente: Autores del proyecto.

Figura 49. Datos almacenados de una señal sinusoidal de 3MHz.

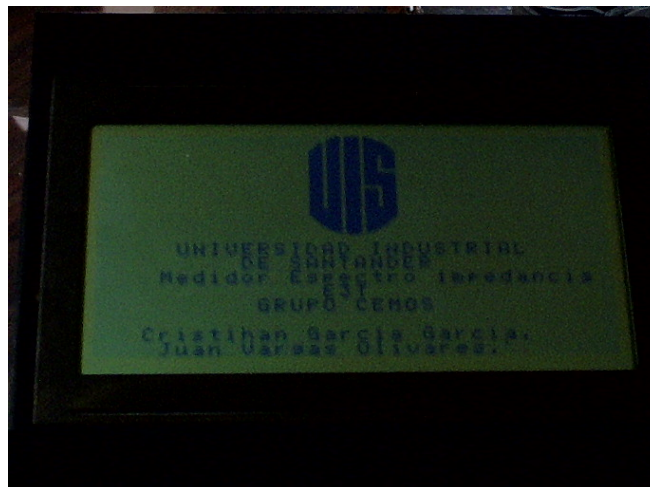


Fuente: Autores del proyecto.

5.4 ETAPA DE VISUALIZACION

La pantalla LCD se trabajó con las capas destinadas a gráficos y a texto una sobre la otra, utilizando la totalidad del espacio en la misma. Primero se visualiza una imagen de presentación, como se muestra en la figura 50.

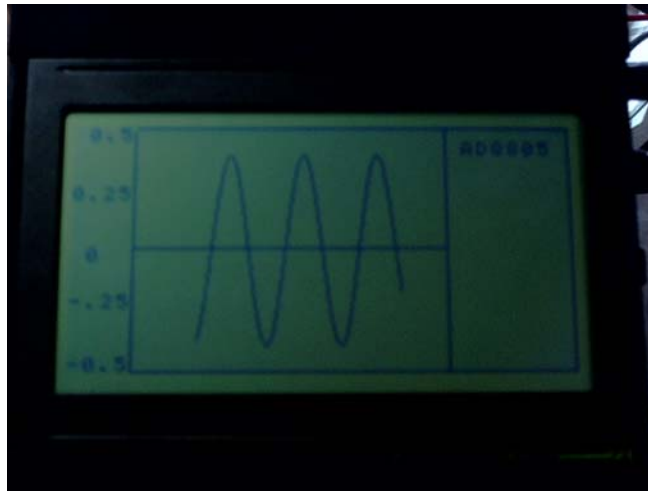
Figura 50. Imagen de presentación en la pantalla LCD.



Fuente: Autores del proyecto

La figura 51 presenta la forma de onda de una señal sinusoidal de 300 KHz con una amplitud de 800mVpp tomada con el sistema de adquisición de datos. En este ejemplo la señal muestreada tiene 20 muestras por periodo de la señal original.

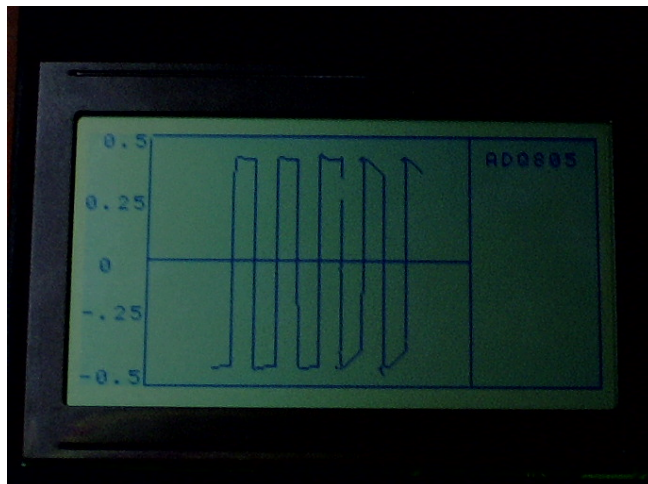
Figura 51. Señal de entrada obtenida con el sistema de adquisición de datos.



Fuente: Autores del proyecto

La figura 53 muestra una señal cuadrada de 800mVpp y una frecuencia de 600 KHz que se obtuvo con el sistema de adquisición de datos.

Figura 52. Señal de entrada obtenida con el sistema de adquisición de datos.



Fuente: Autores del proyecto.

6 CONCLUSIONES

- Se diseñó y ensambló un sistema de adquisición de datos con el DSP56F805 de Motorola como unidad de procesamiento central capaz de adquirir, entre otras, señales sinusoidales y de pulso bifásico de amplitud 1Vpp con frecuencias que se encuentran en un rango entre 100kHz y 3MHz y de muestrearlas con una resolución de 12bits. El sistema tiene una capacidad de almacenamiento en memoria de datos RAM de hasta 128K palabras y de programa de 128K palabras.
- Las señales muestreadas están en un rango de frecuencias entre 10kHz y 3MHz, con una amplitud de 1Vpp, y se visualizaron en la interfaz gráfica implementada con la pantalla LCD HYUDAI HG25601-C.
- El sistema utiliza un acceso directo a memoria (DMA) para enviar los datos adquiridos a una posición de memoria de datos después de ser muestreados.
- Se implementó un algoritmo, con una combinación de lenguajes de bajo y alto nivel, para controlar el proceso de muestreo, almacenamiento y visualización de la señal adquirida y comprobar que el diseño cumple con los requerimientos establecidos.
- Se crearon funciones estándar para trabajar con LCD manejadas con el controlador SED1330
- El equipo diseñado utiliza baterías lo que lo hace un equipo autónomo. Su sistema de regulación de tensión es eficiente puesto que se implementó

con reguladores integrados de switcheo (*Integrated Switching Regulators, ISRs*)

- El diseño del sistema se implementó en una tarjeta de circuito impreso de doble cara con tecnología de montaje superficial (*SMT*). Se tuvieron en cuenta recomendaciones del Standard IPC2221.

7 RECOMENDACIONES

- Implementar una interfaz USB que brinde al sistema una comunicación con otros periféricos utilizando tecnología actualizada, además de la posibilidad de una expansión en memoria para almacenar una mayor cantidad de resultados.
- Adquirir la licencia de capacidad ilimitada de Code Warrior, para no tener restricciones en el tamaño del programa y así poder implementar algoritmos más eficientes.
- Incentivar y facilitar el uso de las herramientas adecuadas para trabajar con elementos de pegado superficial.

8 BIBLIOGRAFIA

[Amaris & Lopez, 2004] AMARIS Jean Pierre y LOPEZ José Alberto. Elaboración del software para la caracterización de una celda electroquímica utilizando DSP familia 56800 de Motorola. Bucaramanga, 2004. Trabajo de grado (Ingeniero Electrónico). Universidad Industrial de Santander. Facultad Físico Mecánica. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.

[DSP56F800FM/D, 03] Motorola. "DSP56800 Family Manual". Revision 3, 2003.

[DSP56F801-7UM/D, 03] Motorola. "DSP5680X User`s Manual". Revision 5, 2003.

[DSP56F805/D, 03] Motorola. "DSP56805 Technical Data Sheet". 2004.

Generic Standard on Printed Board Design IPC-2221. Institute for Interconnecting and Packaging Electronic Circuits, 2001.

KEITH ARMSTRONG C. Eng MIEE MIEEEM Design Techniques for EMC Part 5: PCB Design and Layout. www.emc-journal.co.uk, 2005.

MARK I. MONTROSE, Printed Circuit Board Design Techniques for EMC Compliance. Second Edition. IEEE 2000, Inc., New York

[Miranda David, 04] Teorema de muestreo por desfase. IX simposio internacional de Tratamiento de imágenes y señales IEEE, Manizales, Colombia. Septiembre 2004 ISBN.958-9322-91-3

MIRANDA D. A. "Detección precoz de cáncer de cuello uterino basado en el espectro de impedancia eléctrica" Trabajo de investigación para obtener el título de Magíster en Ingeniería Electrónica. 2004.

[Oppenheim,97] OPPENHEIM, ALAN V. "Señales y Sistemas", 2a edición, Prentice Hall. Mexico, 1997.

[Proakis & Manolakis, 98] Proakis, John y Manolakis, Dimitris.
"Tratamiento digital de señales". Tercera edición, Prentice Hall, Madrid,1998.

[Ruidiaz & Tijaro, 2005] RUIDIAZ Yair y TIJARO Omar. Analizador de espectros portátil utilizando la familia de DSP5680X de Motorola. Bucaramanga, 2005. Trabajo de grado (Ingeniero Electrónico). Universidad Industrial de Santander. Facultad Físico Mecánica. Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones.

SCHWAN H.P. "Electrical Properties of Tissues and Cell Suspensions: Mechanisms and Models", Bioengineering Department, University of Pennsylvania Philadelphia, 1994 IEEE.

[SED 1330, 95] S-MOS Systems, Inc. Datasheet "LCD Controller ICs Technical Manual". <http://ertw.dhis.org/LCDPro/LCDInfo.htm>

[Sedra & Smith, 98] Sedra, Adel y Smith, Kenneth.
"Circuitos Microelectrónicos". Cuarta Edición, Oxford University Press, Inc., U.S.A 1998.

[Smith, 99] SMITH, STEVEN. "The Scientist and Engineer's Guide to Digital Signal Processing". Segunda edición, California Technical Publishing,1999.

[Freescale] <http://www.freescale.com/>.Fabricante DSPs.

[Metrowerks] <http://www.metrowerks.com>. Proveedor de "software"

ANEXOS

ANEXO A. TARJETAS DE CIRCUITO IMPRESO Y TÉCNICAS PARA LA COMPATIBILIDAD ELECTROMAGNÉTICA

A1. PCB E INTERFERENCIA ELECTROMAGNÉTICA

El tipo de PCB más apropiado para una determinada aplicación ya sea de una cara, de doble cara, o multicapa, con tecnología de montaje de elementos *Through Hole (THT)* o tecnología de montaje superficial (*Surface Mount Technology SMT*) depende de la densidad de conexiones que presente el circuito a implementar lo cual está íntimamente ligado a la tecnología de los componentes utilizados, es decir el grado de integración y tipo de encapsulado.

Las fuentes de interferencia posibles en un PCB son la interferencia conducida y el acoplamiento entre sistema generador de interferencia y el sistema víctima, que se produce a través de señales transportadas por conductores que unen etapas de un sistema. Señales indeseadas en una etapa pueden ser conducidas a otra, ya que existe contacto galvánico. Entre las causas de generación de interferencias electromagnéticas se encuentran: el comportamiento no deseado de los elementos pasivos en el PCB¹⁶ (limitaciones de resistencias, capacitores, inductores e incluso las mismas pistas) en el rango de las altas frecuencias, el tipo de tecnología de diseño del PCB, el flujo magnético el cual ocurre cuando corrientes eléctricas variantes en el tiempo viajan a través pistas del PCB desarrollando flujo magnético. Además los campos magnéticos como los campos eléctricos irradiados a través del espacio libre son la fuente principal de perturbación electromagnética.

¹⁶ MARK I. MONTROSE, Printed Circuit Board Design Techniques for EMC Compliance. Second Edition. IEEE 2000, Inc., New York

A2. SEGREGACIÓN DEL PCB EN ÁREAS FUNCIONALES Y BLINDAJE¹⁷

En el diseño y elaboración de tarjetas de circuitos impresos se denomina segregar a la acción de separar los circuitos complejos del PCB en unidades funcionales buscando con ello un desempeño óptimo del sistema y una supresión de interferencia electromagnética. Estas unidades funcionales están conectadas entre sí por pocos puntos de entrada. Este es un esquema que surge del diseño topológico de sistemas. La subdivisión en varios subcircuitos, busca que cada uno de ellos este restringido a un área del circuito general, las conexiones entre estas áreas (puntos de entrada) son las mínimas imprescindibles para lograr los objetivos de comunicación entre los subcircuitos.

Las áreas funcionales también buscan mantener el aislamiento entre los circuitos diferentes e impedir que corrientes de RF viajen de una área a otra, la radiación electromagnética se deriva principalmente de los armónicos de señales periódicas tales como los relojes o temporizadores, confinar ese tipo de señales periódicas en la menor área posible minimiza así su efecto sobre otras rutas, además la colocación apropiada de componentes y agrupamiento de los mismos en áreas funcionales, minimiza la longitud de las pistas y hace más fácil la asignación del enrutado de las señales, cada sub área del PCB debe conectar su señal de tierra con el chasis en tantos lugares como sea posible para minimizar así los lazos de corriente.

A3. METODOLOGÍAS DE CONEXIÓN A TIERRA Y DE DISTRIBUCIÓN DE POTENCIA

En la conexión de tierra de único punto cada circuito es conectado a tierra a través de una única pista que viaja por el PCB interconectando a través de ella todas las

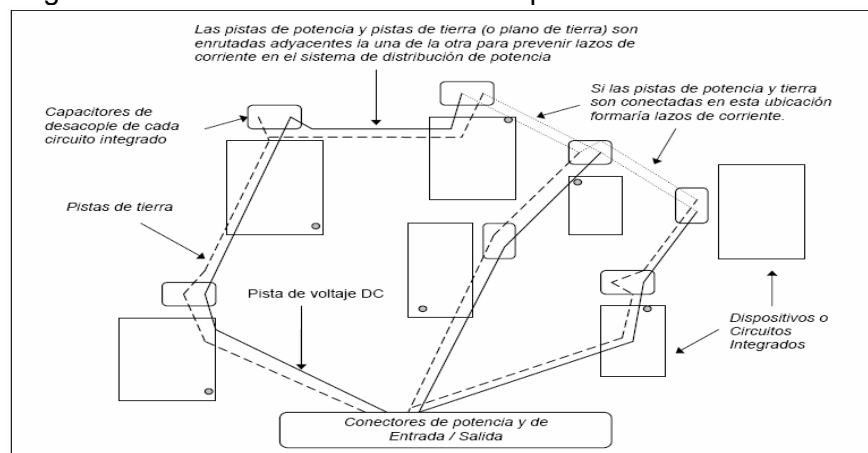
¹⁷ KEITH ARMSTRONG C. Eng MIEE MIEEEM Design Techniques for EMC Part 5: PCB Design and Layout. www.emc-journal.co.uk, 2005.

tierras de los componentes, esta conexión a mayores frecuencias, presenta la impedancia de las pistas de tierras desarrollando diferencia de tensión.

La topología de tierra multipunto con planos de tierra mantiene una referencia adecuada en el PCB, el cual minimiza la impedancia de tierra en el sistema de distribución de potencia del PCB, estas considerables áreas de metal conductor proporcionan una referencia adecuada a altas frecuencias, ofreciendo una inductancia parcial muy pequeña. Un plano de referencia se usa como la conexión de tierra para todos los circuitos asociados, de manera que las corrientes de retorno fluyen en el plano y no en las pistas.

Para la implementación del sistema de potencia y tierra, la distribución radial es la configuración adecuada, las pistas de potencia emana de única fuente hasta los dispositivos para prevenir de ésta manera lazos de corriente en el sistema de distribución de potencia, que pueden crearse por el ruido de alta frecuencia de otros circuitos o de señales de control, estas pistas de señales de potencia y tierra no regresan a la fuente común por otro lugar, para evitar que se formen lazos de corriente, la figura A1 muestra la distribución radial del sistema de potencia.

Figura A1. Diagrama del sistema de distribución de potencia.



Fuente: Adaptado de *Printed Circuit Board Design Techniques for EMC Compliance*. MARK I. MONTROSE

A4. DESACOPLE DE FUENTES DE POTENCIA

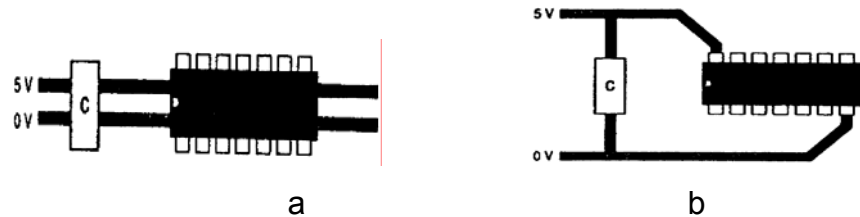
El desacople es requerido para proveer suficiente voltaje dinámico y niveles de la corriente para el apropiado funcionamiento de los dispositivos durante los ciclos de reloj o transiciones de los datos cuando todos los pines de señal de los componentes cambian simultáneamente. El desacople asegura la baja impedancia de la fuente de alimentación. Debido a que los condensadores de desacople tienen un bajo incremento de impedancia a frecuencias altas, el ruido de alta frecuencia se desvía eficazmente de la red de distribución de potencia. Los condensadores de desacople son particularmente útiles para reducir los picos de sobre corriente propagados en el PCB.

La impedancia de las pistas presenta una componente inductiva predominante e independiente de la sección de la pista, esta autoinductancia de una pista conductora corresponde esencialmente a la energía almacenada en el campo magnético inducido por las corrientes que fluyen en la pistas, se puede valorar aproximadamente en 10 nH/cm. El ruido de la tensión de alimentación viene dado por $V_{gnd} = L \cdot (di/dt)$, donde L = autoinductancia total de la pista en H y di/dt = incremento de consumo de corriente por incremento de tiempo en A/s.

La disminución de la longitud de las pistas es el factor más fácil de manejar para lograr reducir el ruido de alimentación. Es por eso que los condensadores de desacople se recomienda ser ubicados lo más cerca posible de los dispositivos. En la figura A2 se observan dos maneras de conectar los capacitores de desacople, la figura A2-a es una implementación óptima de capacitores de desacople para componentes con pines de alimentación y tierra ubicados en un único y en diferentes lados del dispositivo, con longitudes pequeñas de las pistas, la Figura A2-b es una implementación deficiente de capacitores de desacople con pistas demasiado largas, permitiendo la existencia de una considerable área entre

el capacitor y el dispositivo, creando voltajes de modo-comun V_{gnd} , producido por el ruido Ldi/dt inducido en las pistas y creando también lazos de corriente de RF¹⁸.

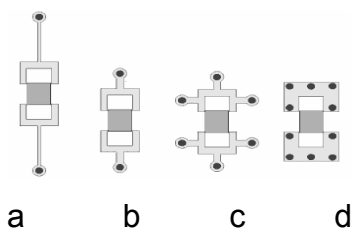
Figure A2. Ubicación de condensadores del desacople en PCB



Fuente: Op. Cit. KEITH ARMSTRONG C.

La existencia de pistas de poca longitud reduce la inductancia total de las interconexiones. La figura A3 muestra los cuatro formas de conexión de los *pads* (o puntos de soldadura entre las pistas y los elementos) con las pistas o vias de las señales. La figura A3-a es una deficiente conexión por sus pistas demasiado largas, la figura A3-b y c mejoran ya que las longitudes son más cortas pero la figura A3-c es superior ya que tiene más puntos de conexiones a los planos. Con el tamaño aumentado de los *pads* de montaje superficial SMT se logra que sea mayor el área de contacto entre el elemento y el PCB y además con múltiples pistas vias de interconexiones a tierra o a alimentación como la figura A3-c se logra un mejoramiento en el desempeño de alta frecuencia. Si la vía está ubicada dentro del *pad* como en la figura A3-d se logra un beneficio adicional.

Figura A3. Métodos de conexión de los *pads* a las señales en montaje superficial.



Fuente: Op. Cit. KEITH ARMSTRONG C.

¹⁸ MARK I. MONTROSE, Op. Cit., p.86.

Un objetivo de desacople de las señales de potencia es mantener la impedancia de la fuente de alimentación de cada circuito integrado a 1Ω o menos para el rango de frecuencia de interés por lo menos entre 150kHz a 1GHz para la compatibilidad electromagnética. Algunos dispositivos pueden necesitar 0.1Ω o menos dentro de algunos rangos de frecuencia para su correcto funcionamiento. Los alambres y pistas de PCB tienen demasiada inductancia para proporcionar estas impedancias bajas, lo cual requiere capacitancias locales de calidad conveniente.

A5. LONGITUD DE LAS PISTAS DE TRANSMISIÓN

Una regla común para calcular la longitud de las pistas y mantener la integridad de la señal se basa en los tiempos de caída y levantamiento de las señales. La máxima longitud de una línea de transmisión depende del tiempo de tránsito de los pulsos a lo largo de la ruta, el tiempo que el borde final de una señal necesita para alcanzar el extremo final de la pista no debe ser superior a la mitad del tiempo de levantamiento o caída. La velocidad de propagación de las señales en un PCB de topología superficial *microstrip* como el desarrollado, esta dada por:

$$V_p = 1 / (3.335 \sqrt{0.475 \epsilon_r + 0.67}) \text{ m/ns} \quad (\text{Ecuación A1})$$

La expresión para la máxima longitud de las pistas estará dada por:

$$l_{\max} = V_p * tr / 2 \quad (\text{Ecuación A2})$$

donde tr son los tiempos de elevación o caída de la señal y V_p es la velocidad de propagación de la señal en las pistas¹⁹.

¹⁹ KEITH ARMSTRONG C. Eng MIEE MIEEEM Design Techniques for EMC Part 5: PCB Design and Layout. www.emc-journal.co.uk, 2005.

Esta regla puede llevar a problemas debido a algunas limitaciones por ejemplo las características técnicas de los tiempos de levantamiento y caída proporcionados por los *Datasheets* son los valores máximos, y no los reales para cada dispositivo en particular, además la capacitancia inevitable de la carga de los dispositivos conectados puede reducir la velocidad de la propagación de lo que se lograría en un PCB con un plano de cobre integro.

A6. ANCHO DE LAS PISTAS Y SU SEPARACIÓN

Un factor importante considerado en el diseño de la tarjeta de circuito impreso es el ancho de las pistas y su separación, especialmente para la red de distribución de potencia. El mínimo ancho de los conductores en la tarjeta debe ser determinado principalmente en base a la capacidad de transportar la corriente requerida por los dispositivos junto con un posible factor como lo es la máxima elevación permitida de temperatura. El aumento de temperatura permisible en los conductores esta definida como la diferencia entre la máxima temperatura ambiente en la cual el PCB será usado y la máxima temperatura segura de operación. La resistencia de las pistas permite calcular las pérdidas por efecto Joule en los conductores o pistas.

Figura A4-a. Corriente vs. Sección Transversal.

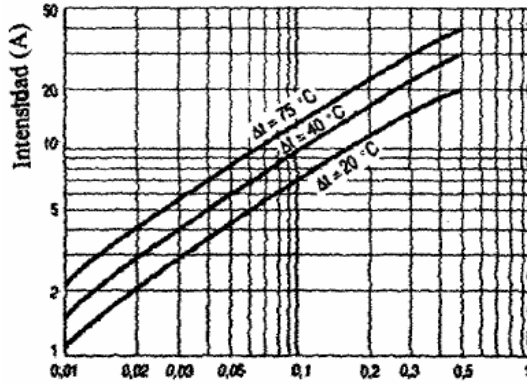


Figura A4-b Ancho del conductor vs Sección transversal.

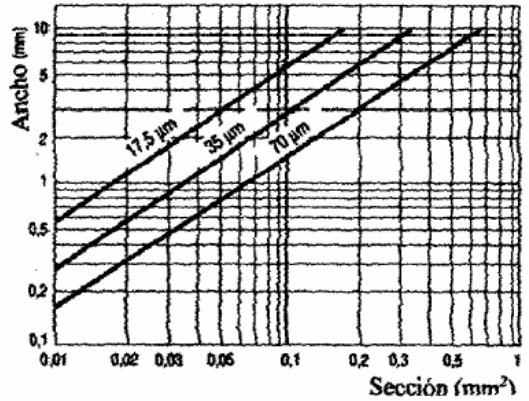


Tabla A1. Espaciamento entre conductores eléctricos.

Voltage Between Conductors (DC or AC Peaks)	Minimum Spacing						
	Bare Board				Assembly		
	B1	B2	B3	B4	A5	A6	A7
0-15	0.05 mm	0.1 mm	0.1 mm	0.05 mm	0.13 mm	0.13 mm	0.13 mm
16-30	0.05 mm	0.1 mm	0.1 mm	0.05 mm	0.13 mm	0.25 mm	0.13 mm
31-50	0.1 mm	0.6 mm	0.6 mm	0.13 mm	0.13 mm	0.4 mm	0.13 mm
51-100	0.1 mm	0.6 mm	1.5 mm	0.13 mm	0.13 mm	0.5 mm	0.13 mm
101-150	0.2 mm	0.6 mm	3.2 mm	0.4 mm	0.4 mm	0.8 mm	0.4 mm
151-170	0.2 mm	1.25 mm	3.2 mm	0.4 mm	0.4 mm	0.8 mm	0.4 mm
171-250	0.2 mm	1.25 mm	6.4 mm	0.4 mm	0.4 mm	0.8 mm	0.4 mm
251-300	0.2 mm	1.25 mm	12.5 mm	0.4 mm	0.4 mm	0.8 mm	0.8 mm
301-500	0.25 mm	2.5 mm	12.5 mm	0.8 mm	0.8 mm	1.5 mm	0.8 mm
> 500 See para. 6.3 for calc.	0.0025 mm /volt	0.005 mm /volt	0.025 mm /volt	0.00305 mm /volt	0.00305 mm /volt	0.00305 mm /volt	0.00305 mm /volt

B1 - Internal Conductors
 B2 - External Conductors, uncoated, sea level to 3050 m
 B3 - External Conductors, uncoated, over 3050 m
 B4 - External Conductors, with permanent polymer coating (any elevation)
 A5 - External Conductors, with conformal coating over assembly (any elevation)
 A6 - External Component lead/termination, uncoated
 A7 - External Component lead termination, with conformal coating (any elevation)

Fuente: *Generic Standard on Printed Board Design IPC-2221*

A7. IMPEDANCIA DE LAS PISTAS POR EFECTO INDUCTIVO

La impedancia de una pista de una PCB tiene una componente inductiva, que puede ser significativa a altas frecuencias. En una primera aproximación se puede admitir una inductancia de 10 nH/cm para cualquier pista. La impedancia viene dada por la expresión: $Z = 0,06.L.F$, donde L = Longitud total de la pista en cm, F= Frecuencia en MHz.

La figura A5 permite obtener la impedancia por efecto inductivo de 10 nH/cm. de pista en función de la frecuencia. Es suficiente multiplicar el valor resultante del gráfico por la longitud de la pista en cm. para determinar la Z total.

Figura A5

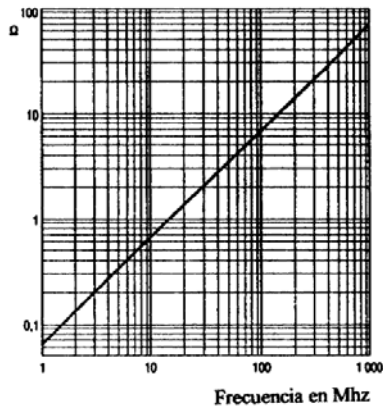
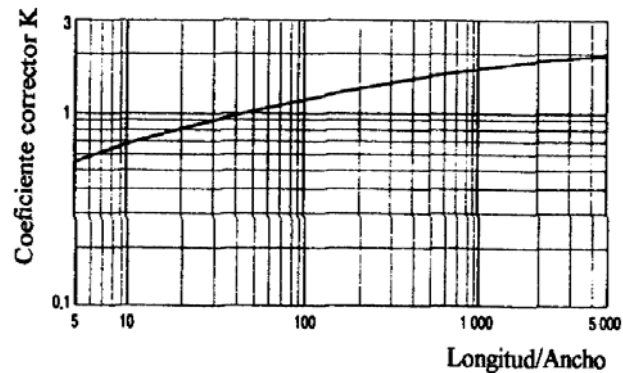


Figura A6



Para un cálculo más preciso, se debe aplicar un coeficiente corrector que integra el ancho de las pistas obtenido de la figura A6. La impedancia viene dada entonces por $Z = L. Z_i. K$ donde L = longitud de la pista en cm. y Z_i = impedancia en unidad de 10 nH en función de la frecuencia (Figura. A5), K = coeficiente corrector (Figura A6).

A8. DISEÑO DEL CIRCUITO IMPRESO EN EAGLE VERSIÓN 4.01

El editor EAGLE es una herramienta para elaborar circuitos impresos (PCB's), poderosa y fácil de usar. El nombre EAGLE es un acrónimo de *Easily Applicable Graphical Layout Editor*. La versión de evaluación del software permite crear circuitos impresos de hasta dos caras y con área máxima de 100 x 80 mm, suficiente para una gran variedad de circuitos sencillos. El programa consta de tres módulos principales son el editor de diagramas esquemáticos (Schematic Editor), el editor de circuito impreso (Layout Editor) y el Autorouter, estos tres módulos están integrados en una sola interfase de usuario, lo que permite crear fácilmente el diseño para la tablilla a partir del circuito implementado en el editor esquemático.

EAGLE viene con muchos archivos de librería que contienen las dimensiones, de inserción y superficie, de los dispositivos de montaje, un soporte completo en multicapas (16 capas de señales), variedad de encapsulados y soporte completo en montaje superficial.

Para iniciar el diseño en el Panel de Control de Eagle, en el menú *File* se toma la opción *New Board*, una vez abierta la ventana del editor de circuito impreso, en la opción *Edit* o en la barra de herramientas predeterminada se recurre a todas las opciones necesarias de diseño. Eagle contiene comandos para manejar las herramientas que posee y están disponibles también como iconos en una paleta de herramientas alineados junto al borde de la tarjeta, algunas funciones importantes entre otras son:

Para seleccionar Capas: Display, para configuración de Rejilla y Unidad: Grid, para Cables, Círculos, Arcos, Rectángulos y Texto: Wire, Circle, Arc, Rectangle y Text, para trabajar con Librerías: Add, Use, Invoke, para nombres: Name, Label, para suprimir objetos, deshacer y rehacer: Delete, Undo y Redo respectivamente,

Group, Delete y un clic en el botón derecho del ratón suprime grupos enteros. Para conexiones, ver la funciones y mover objetos los comandos Junction, Show y Move respectivamente. Para diseñar el PCB se recurrió directamente el editor de circuito impreso y recurriendo al autoenrutado para algunas secciones de circuitos y el resto de enrutado fue manual para lograr un eficiente diseño.

Como una conclusión en la elaboración del PCB, se observo que el autorouting generalmente no provee buenos diseños para propósitos de compatibilidad electromagnética (EMC).

El PCB final se realizo con la técnica de fotograbado, entonces a partir del diseño final de Eagle el siguiente paso es obtener un negativo del circuito, para ello en el menú *File* en la opción *Export*, se exporto el diseño obteniéndolo como archivo mapa de bits de extensión bmp, posteriormente en el programa de diseño grafico *Corel Draw* se importo este archivo ajustando las dimensiones correctas del la tarjeta, apartir de este archivo se puede obtener un negativo del diseño de optima calidad para fabricar el PCB por la técnica de Fotograbado.

ANEXO B. CODIGOS DE PROGRAMACION

B1. ALGORITMO DE SINCRONIZACION DE TIEMPOS PARA LA ADQUISICION DE MUESTRAS

```
void ADQUISICION (void)
{
    unsigned int *Dir1=(unsigned int*)0x01F4,sample2[1024],i=0;
    unsigned int *Mext=(unsigned int*)0x2000;

    asm
    {
        moveDir1,R0
        move #1024,LC
        do LC,guardar
            move X:$3000,A0
            move A0,X:(R0)+
            nop
            nop
            nop
        }

    guardar:
    TO1_Disable();
    OE_SetVal();
    BLE_ClrVal();
    BHE_ClrVal();
    for(i=0;i<0x0400;i++)
    {
        sample2[i]=*Dir1&0x0FFF;
        *Mext=sample2[i];
        Dir1++;
        Mext++;
    }
    VISUALIZACION();
}
```

B2. ALGORITMO DE VISUALIZACION DE DATOS

```
/*MUESTRA EN PANTALLA EL VALOR COMO VECTOR*/
void mostrarV(byte valor[], int posicion, byte longitud, byte direccion)
{
    byte i;
    CSR_POS(posicion);
    CSR_DIR(direccion);
    ESCRIBIR_COMANDO(0x42); // MWRITE
    for(i=0;i<=longitud-1;i++)
    {
        ESCRIBIR_DATO(valor[i]);
    }
}
```

La rutina de VECTOR DE DATOS LCD es la siguiente:

```
p=0;
m=0;
v=0;
pos=0x1081;

for(j=0;j<128;j++)
    datos[j]=0;
    for (k=0;k<21;k++)
        {
            for(j=0;j<8;j++)
                {
                    r=rep[v];
                    v=v+1;
                    for(n=0;n<r;n++)
                        {
                            p=f2[m];
                            datos[p]=datos[p]+mascara[j];
                            m=m+1;
                        }
                }
        }
    mostrarV(datos,pos,120,Abajo); // Imprimir datos LCD

    for(j=0;j<128;j++)
        datos[j]=0;
        pos=pos+0x01;
    }
    mostrar(0xFE,0x1800,32,Derecha);//LINEA 0 VOLTS
```