

CONVERSORES ESTATICOS DE POTENCIA:  
TARJETA DE ADQUISICION DE DATOS

FRANCISCO JAVIER GARCIA RIVERA

IVAN MAURICIO BAYONA VERGARA

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE CIENCIAS FISICOMECAICAS, ESCUELA DE  
INGENIERIAS ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES  
BUCARAMANGA

2.004

CONVERSORES ESTATICOS DE POTENCIA:  
TARJETA DE ADQUISICION DE DATOS

FRANCISCO JAVIER GARCIA RIVERA

IVAN MAURICIO BAYONA VERGARA

Tesis de grado

Director

Mpe. JULIO GELVEZ

Codirector

Ing. JAVIER MIER

UNIVERSIDAD INDUSTRIAL DE SANTANDER  
FACULTAD DE CIENCIAS FISICOMECAÑICAS, ESCUELA DE  
INGENIERÍAS ELÉCTRICA, ELECTRÓNICA Y TELECOMUNICACIONES  
BUCARAMANGA

2.004

Bucaramanga, 26 de enero de 2.004

A mis padres por su apoyo incondicional y confianza  
A mi hermano, mi abuela y toda mi familia por su animo.  
A DIOS, por permitirme lograr este objetivo.

IVAN MAURICIO

A Dios, por brindarme esta oportunidad.  
A mi familia, por su incondicional apoyo y colaboración.  
A Sandra Milena, por su comprensión.

FRANCISCO JAVIER

## AGRADECIMIENTOS:

Los autores expresan sus agradecimientos a:

Julio Gélvez Figueredo, MPE, Ingeniero electricista y director del proyecto por sus valiosas recomendaciones, apoyo y confianza.

Javier Enrique Mier, Ingeniero electrónico y codirector del proyecto, por su interés, colaboración y asesoría en la construcción del proyecto.

Jairo Mantilla, Tecnólogo en electrónica encargado del laboratorio de instrumentación por su colaboración y disponibilidad.

## LISTA DE FIGURAS

	<b>Pág.</b>
Figura 1. Puerto Paralelo (DB25)	vii
Figura 2. Puerto Paralelo (DB25)	3
Figura 3. Ciclo de salida de datos en modo E.C.P.	14
Figura 4. Ciclo de salida de comando en modo E.C.P.	14
Figura 5. Ciclo de entrada de datos en modo E.C.P.	15
Figura 6. Ciclo de entrada de comando en modo E.C.P.	16
Figura 7. Chip 8237	19
Figura 8. Registro de Comando	28
Figura 9. Registro de Modo	29
Figura 10. Registro de Petición o Solicitud	29
Figura 11. Registro de enmascaramiento individual	31
Figura 12. Registro de enmascaramiento (todos los canales)	31
Figura 13. Registro de Estado	32
Figura 14. Ciclo de lectura del puerto usando DMA	36
Figura 15. Ciclo de escritura del puerto usando DMA	37
Figura 16. Diagrama general de la tarjeta de adquisición de datos	38
Figura 17. Circuito de atenuación para una señal	40
Figura 18. AD215 en configuración de ganancia unitaria	41
Figura 19. Configuración común para el conversor	43
Figura 20. Rango de entradas para el conversor	44
Figura 21. Multiplexor MPC100	46
Figura 22. El microcontrolador JK3 y sus terminales	48
Figura 23. Diagrama de flujo del programa para el microcontrolador	51
Figura 24. Diagrama de flujo del programa para D.M.A.	55
Figura 25. Diagrama de flujo del programa en labview	56

Figura 26. Fuente de alimentación de $\pm 15V$	58
Figura 27. Fuente de alimentación con salidas de $\pm 5VDC$	59
Figura 28. Menú principal	62
Figura 29. Menús : Visualización, Analizar, Archivar y Medidas.	63
Figura 30. Menú Visualización, controles de manejo para visualizar las gráficas	64
Figura 31. Menú Analizar	65
Figura 32. Menú Analizar, submenú Espectro	66
Figura 33. Menú Analizar, submenú Medidas	67
Figura 34. Menú Archivar	68
Figura 35. Menú Medidas	69
Figura 36. Adquisición de una señal cuadrada utilizando un solo canal	71
Figura 37. Adquisición de dos señales: triangular y cuadrada	72
Figura 38. Adquisición de tres señales: una cuadrada y dos triangulares	73
Figura 39. Adquisición de tres señales: cuadrada y senoidales	74
Figura 40. Adquisición de cuatro señales.	75
Figura 41. Adquisición de 4 señales y se visualizan 3 canales	75
Figura 42. Fotografía Tarjeta de Adquisición de datos – Vista superior	77
Figura 43. Fotografía Tarjeta de Adquisición de datos – Vista frontal	78
Figura 44. Fotografía Tarjeta de Atenuación – Vista superior	78
Figura 45. Fotografía Tarjeta de Atenuación – Vista frontal	83
Figura 46. Jerarquía de Vis	83
Figura 47. VI INICIO	84
Figura 48. Señal triangular 500Hz sensada por el Sistema de Adquisición	85
Figura 49. Señal triangular de 500Hz adquirida con un osciloscopio Fluke	86
Figura 50. Señal tomada de la red eléctrica por el Sistema de Adquisición	86
Figura 51. Señal seno 500Hz tomada por el Sistema de Adquisición	87

## CONTENIDO

	Pág.
INTRODUCCIÓN	1
1. PUERTO PARALELO	2
1.1 HARDWARE DEL PUERTO PARALELO	3
1.1.1 Las líneas de datos	4
1.1.2 Las líneas de estado	4
1.1.3 Las líneas de control	5
1.2 REGISTROS DEL PUERTO PARALELO	5
1.2.1 Registro datos (base)	5
1.2.2 Registro de estado (base+1)	6
1.2.3 Registro de control (base+2)	6
1.3 MODOS DEL PUERTO PARALELO	7
1.3.1 Centronics (Unidireccional).	7
1.3.2 S.P.P. (Standard Parallel Port)	8
1.3.3 E.P.P. (Enhanced Parallel Port)	8
1.3.4 E.C.P. (Extended Capabilities Port)	10
2. EL ACCESO DIRECTO A MEMORIA (D.M.A.).	18
2.1 EL CONTROLADOR DE D.M.A. (CHIP 8237).	19
2.1.1 Terminales	20
2.1.2 Descripción Funcional	22
2.2 OPERACIÓN DEL D.M.A.	23
2.2.1 Modo de Transferencia Unica (Single Transfer Mode)	24
2.2.2 Modo de Transferencia de Bloque (Block Transfer Mode)	24
2.2.3 Modo de Transferencia por Demanda (Demand Transfer Mode).	25
2.2.4 Autoinicialización	25
2.2.5 Generación de direcciones	26

2.3	PROGRAMACIÓN DEL 8237	26
2.3.1	Registros internos del 8237	27
2.3.2	Comandos del 8237	32
2.4	EL 8237 EN EL P.C.	34
2.5	PROTOCOLO D.M.A. UTILIZANDO EL PUERTO PARALELO	36
2.5.1	Ciclo de lectura	36
2.5.2	Ciclo de escritura por DMA	36
3	DESARROLLO DE LA TARJETA DE ADQUISICIÓN DE DATOS	38
3.1	ETAPA DE ATENUACION	39
3.2	ETAPA DE AISLAMIENTO	41
3.3	ETAPA DE CONVERSIÓN	42
3.3.1	La selección del canal	45
3.4	ETAPA DE TEMPORIZACIÓN	47
3.5	ETAPA DE ADQUISICIÓN	52
3.6	ETAPA DE VISUALIZACION	56
3.7	ETAPA DE POTENCIA	57
4	MANUAL DE USUARIO Y EJEMPLOS	60
4.1	REQUISITOS MÍNIMOS	60
4.2	CONFIGURACION DEL P.C.	61
4.3	INTERFAZ USUARIO	61
4.4	OBSERVACIONES	69
4.5	SEÑALES ADQUIRIDAS	70
5.	CONCLUSIONES	76
	BIBLIOGRAFÍA	
	ANEXOS	

## LISTA DE LISTA DE TABLAS

	<b>Pág.</b>
Tabla 1. Direcciones utilizadas por los registros del puerto paralelo de un computador personal compatible IBM	5
Tabla 2. Descripción de las líneas físicas del conector DB25 del puerto paralelo en modo Centronics con sus respectivos registros	7
Tabla 3. Bit 5 del registro de control	8
Tabla 4. Descripción de los pines del puerto paralelo en modo E.P.P.	9
Tabla 5. Registros del puerto en modo E.P.P.	9
Tabla 6. Descripción de los pines del puerto paralelo en modo E.C.P.	11
Tabla 7. Registros adicionales del puerto en modo E.C.P.	11
Tabla 8. Registros de Control Extendido E.C.R.	12
Tabla 9. Registro A de configuración.	13
Tabla 10. Registro B de configuración.	13
Tabla 11. Terminales del chip 8237 (controlador de D.M.A.)	20
Tabla 12. Registros internos de D.M.A.	23
Tabla 13. Direcciones E/S de los registros de direcciones y contadores	28
Tabla 14. Direcciones E/S de los comandos	32
Tabla 15. Direcciones E/S de los controladores de D.M.A.	35
Tabla 16. Direcciones de los registros de Página de D.M.A.	35
Tabla 17. Selección del canal	46
Tabla 18. Señales de control para el funcionamiento del conversor	48
Tabla 19. Pines del microcontrolador asignados al conversor	50
Tabla 20. Niveles y factores de atenuación.	

## **LISTA DE ANEXOS**

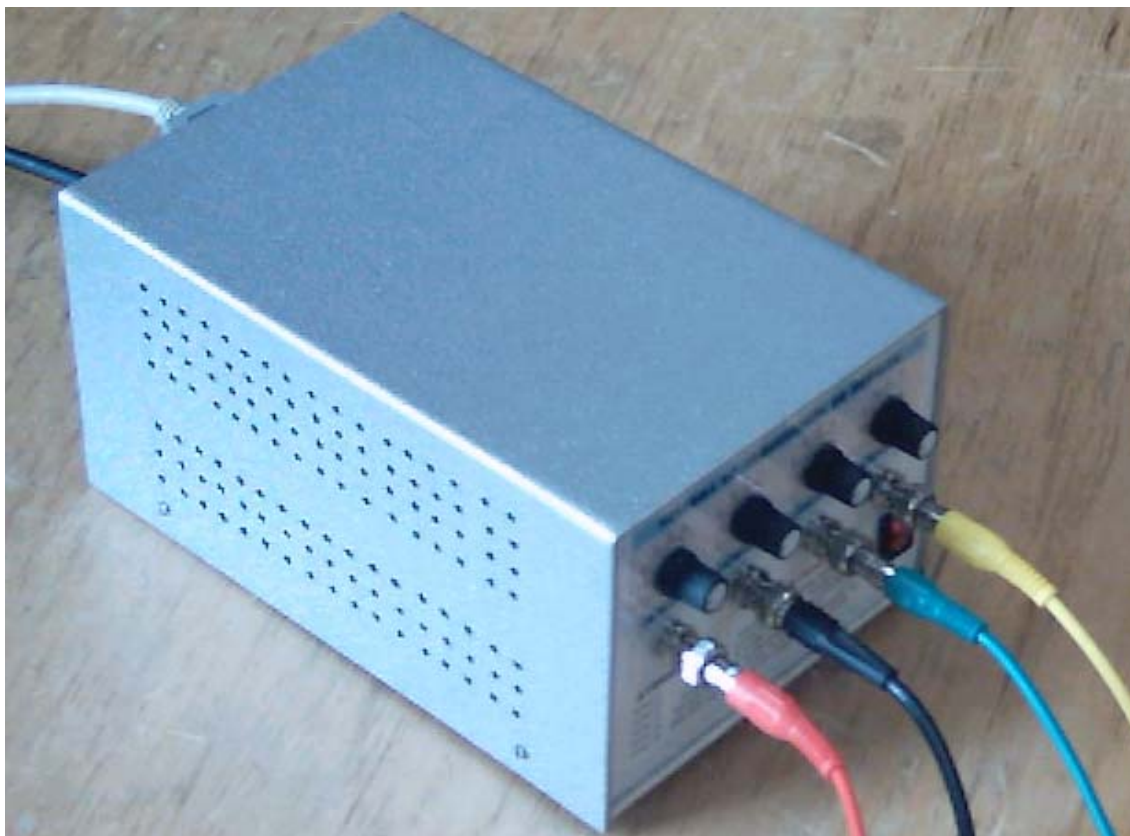
Anexo A. Hojas de datos

Anexo B. Planos eléctricos

Anexo C. Programas

Anexo D. Manual de usuario (completo)

**Figura 1.** Fotografía “Equipo de Adquisición”



**\*TITULO: CONVERTORES ESTATICOS DE POTENCIA-TARJETA DE ADQUISICIÓN DE DATOS.**

AUTORES:

FRANCISCO JAVIER GARCÍA R.      IVÁN MAURICIO BAYONA V. \*\*

PALABRAS CLAVES: adquisición, voltajes diferenciales, atenuación, aislamiento, D.M.A.

DESCRIPCIÓN:

Se construyó un sistema de adquisición con 4 entradas diferenciales en un rango de 0 a 700V y capaz de sensar señales hasta 4Khz con un solo canal y 1Khz con 4 canales.

Consta de 6 etapas: atenuación, aislamiento, conversión, control, adquisición y visualización, implementadas en tres tarjetas y un programa de visualización. La atenuación se implementó con un circuito de redes RC, la cual reduce la tensión de salida a un rango de 0 a 5V. Para el aislamiento se utilizó el circuito integrado AD215BY, que utiliza una sola fuente dual de alimentación y ofrece un ancho de banda de 80KHz.

Las señales de entrada se seleccionan mediante el multiplexor MP100, posteriormente son convertidas a muestras en forma digital utilizando el conversor ADS8323, con una resolución de 16 bits, modo de transmisión paralelo, y una velocidad de muestreo dependiente del reloj externo y la rapidez con que se generen las señales de control, finalmente se trabajó con una frecuencia de 46Khz. El sistema de control esta manejado por el microcontrolador MC68HC908JK3, el cual proporciona las señales necesarias para el trabajo del conversor y del multiplexor, además se encarga del protocolo de comunicación con el P.C. La adquisición de las muestras es realizada por una rutina de D.M.A. e implementada en lenguaje ensamblador, la cual entrega un archivo en código ASCII. La visualización y análisis (en tiempo y frecuencia) de las señales adquiridas se realiza mediante un software implementado en Labview y Matlab, el cual toma las muestras provenientes del archivo creado.

\*Proyecto de grado

\*\* Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones  
Ingeniería Electrónica

Director: Mpe Julio Gelvez Figueredo.

\*TITLE: STATIC CONVERTOR OF POWER - TARGET OF DATA ACQUISITION

AUTHORS:

FRANCISCO JAVIER GARCIA R.      IVAN MAURICIO BAYONA V.\*\*

KEY WORDS: Differential voltages, Attenuation, Isolation, Conversion, D.M.A.

DESCRIPTION:

The acquisition system was built with 4 differential inputs in a range from 0 to 700v and it is able to sense signals until 4Khz using one channel and 1Khz with 4 channels.

It has 6 stages: Attenuation, Isolation, Conversion, Control, Acquisition and View, implemented in three targets and a view program. The Attenuation was developed with a RC circuit, which reduce the voltage of output in a range from 0 to 5v. In the Isolation was used the Integrated Circuit AD215BY, that used a single dual power source and offers a band wide of 80Khz. The input signals are chosen by mean of the multiplexor MP100, then they are converted to digital samples using the convertor ADS8323, with a resolution of 16 bits, parallel transmission way, with a speed of sample depending of the external clock and the velocity of the control signals, finally it was used with a frequency of 46Khz. The control system is managed by the microcontroller MC68HC908JK3, that gives the necessary signals for the convertor and multiplexor work, also it is in charge of the communication protocol with the PC. The Acquisition of the samples is made by a routine of DMA and implemented in a assembler language, which delivers a file in ASCII code. The Viewer and analyze (in time and frequency) of the acquired signals are realized through a implemented software in LabView and Matlab, which takes the samples from the created file.

\*Grade Project

\*\* Escuela de Ingenierías Eléctrica, Electrónica y de Telecomunicaciones  
Ingeniería Electrónica

Director: Mpe Julio Gelvez Figueredo

## INTRODUCCIÓN

En el mundo actual la posibilidad de controlar un proceso se ha mejorado, aunque se deben utilizar los mismos parámetros de control, se cuenta con herramientas que nos brindan una solución más rápida y precisa, permitiendo el manejo de diversos factores complejos que anteriormente se despreciaban debido a la gran cantidad de cálculos. Estos avances se deben al desarrollo que ha tenido la electrónica en estas últimas décadas, basada entre la interacción de chips y programación. Una de las principales herramientas que ha permitido este desarrollo es el computador, con el cual se pueden manejar diversos procesos en diferentes áreas, siendo necesario el uso de dispositivos encargados de adquirir variables y poderlas transmitir al P.C.. El *Sistema de Adquisición de Datos* presentado en este trabajo nos permite por medio del P.C. y de un equipo de adquisición de datos externo (tarjetas de atenuación y de adquisición) sensar 4 señales con voltajes en el rango de 0 a 700V en forma diferencial.

Este sistema es implementado principalmente para su uso en los laboratorios de electrónica y circuitos eléctricos de la E3T, pero en general queda abierto para su uso en otros laboratorios en donde se requiera visualizar señales de tensión con frecuencias inferiores a 1 KHz utilizando un solo canal y 500 Hz utilizando los cuatro canales. En el capítulo 1 de este texto se describe el puerto paralelo y principalmente su configuración en el modo ECP, en el capítulo 2 hace énfasis al acceso directo a memoria (DMA) y su uso en el puerto paralelo, el capítulo 3 hace una descripción de las diferentes etapas que posee el *equipo de adquisición* (atenuación, aislamiento, conversión A/D, temporización, adquisición, visualización y potencia) y en el capítulo 4 se hace un breve manual de usuario y ejemplos sobre el manejo del programa.

## 1. PUERTO PARALELO

El puerto paralelo del P.C. inicialmente se implemento para establecer una forma de comunicación con la impresora. Su diseño original en la computadoras IBM-compatibles consta de un conector de 25 pines hembra (DB25), con terminales que se pueden clasificar en cuatro grupos básicos: tierras, salidas de datos, entradas de diálogo (estado) y salidas de diálogo (control).

Posteriormente con el avance de la tecnología se pudo obtener un manejo bidireccional de las líneas de datos y de control, habilitando el puerto para cumplir un mayor número de funciones, tales como control, transferencia de datos, monitoreo, entre otras aplicaciones. También debido al avance de los periféricos (escáners e impresoras láser, etc.) se creó la necesidad de transferir cada vez volúmenes más grandes de información a través del puerto en un corto periodo tiempo y por tanto fue necesario ampliar la capacidad del puerto utilizando procesos mas avanzados de transferencia de datos.

La transmisión en paralelo entre un computador y un periférico, se basa en la transmisión simultánea de datos usando 8 cables, mas otros tantos para control del dispositivo; el número de estos dependerá del protocolo de transmisión utilizado.

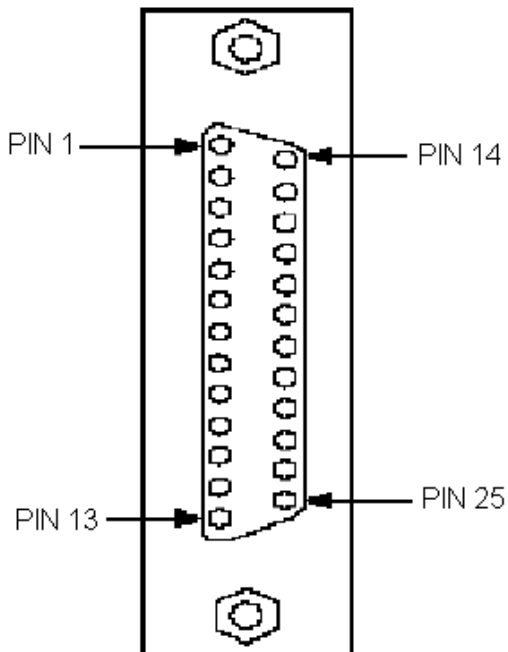
Las características mencionadas anteriormente son implementadas en los diferentes modos de trabajo con los cuales cuenta el puerto paralelo en un P.C. compatible, que son : Centronics, S.P.P. (Standard Parallel Port), E.P.P. (Enhanced Parallel Port) y E.C.P. (Extended Capabilities Port). Estos modos

los podemos configurar en la BIOS (Basic Input/Output System) del computador.

En este trabajo se utiliza el modo E.C.P. para desarrollar una adquisición de datos por el puerto paralelo, el cual nos permite obtener una mayor velocidad de adquisición al usar D.M.A ..

### 1.1. HARDWARE DEL PUERTO PARALELO

**Figura 2.** Puerto Paralelo (DB25)



El puerto paralelo se puede encontrar en la parte posterior del P.C., como un conector estándar de 25 pines hembra (ver figura 2), el cual cumple el estándar IEEE 1284 -1994.

Inicialmente se colocó al puerto paralelo en la tarjeta del "Adaptador de impresora de IBM", o también con la tarjeta del "monitor monocromático y adaptador de impresora de IBM", posteriormente se ubicó en una tarjeta controladora de múltiples entradas y salidas (*Multi I/O*). Hoy en día el puerto paralelo viene incluido en la tarjeta principal (mainboard).

El puerto paralelo está formado por 17 líneas de señales y 8 líneas de tierra. Las líneas de señales están clasificadas en tres grupos:

5 Líneas de estado

4 Líneas de control

8 Líneas de datos

#### **1.1.1. Las líneas de datos**

Originalmente se utilizaron para suministrar los datos de impresión del P.C. hacia la impresora (unidireccionalmente). Con posteriores implementaciones del puerto se ha obtenido una comunicación bidireccional. Los pines del conector DB25 del puerto paralelo utilizados son 2 al 9.

#### **1.1.2. Las líneas de estado**

Son utilizadas como entradas e indicadores de estado desde la impresora al P.C. (falta papel, impresora ocupada, error en la impresora) o desde cualquier otro periférico. El puerto consta de cinco entradas que se leen en un registro de estado. Los pines del conector paralelo utilizados son 10 al 13 y el 15.

### 1.1.3. Las líneas de control

Son usadas para la interfaz, control e intercambio de mensajes desde el P.C. a la impresora o a cualquier otro periférico. El puerto posee cuatro líneas bidireccionales de control que se pueden usar como entradas o salidas, en cualquier combinación. Los pines del conector DB25 usados son 1, 14, 16 y 17.

## 1.2. REGISTROS DEL PUERTO PARALELO.

Se puede acceder a cada registro del puerto paralelo mediante una dirección (ver tabla 1). El puerto paralelo tiene tres registros principales utilizados en todos los modos de trabajo:

Registro de datos

Registro de estado

Registro de control

**Tabla 1** Direcciones utilizadas por los registros del puerto paralelo de un computador personal compatible IBM

Datos (Dirección de base)	Estado (Base + 1)	Control (Base + 2)
3BCH	3BDH	3BEH
378H	379H	37AH
278H	279H	27AH

### 1.2.1. Registro datos (base)

Este registro puede utilizar cualquiera de las tres direcciones base disponibles. La dirección 3BCh fue usada antiguamente cuando se utilizaba

un puerto paralelo en las tarjetas de vídeo monocromáticas, pero posteriormente al incorporar el puerto paralelo a la tarjeta multi I/O o en la tarjeta principal (mainboard), su uso en las tarjetas de vídeo desapareció. Usualmente se le asigna como dirección base 378h a LPT1 (Line PrinIer) y 278h a LPT2. El registro de datos consta de 8 bits D0 hasta D7 que corresponden respectivamente a los pines 2 al 9 del conector paralelo.

### **1.2.2. Registro de estado (base+1)**

Se localiza en la dirección Base+1, o 379h para un puerto con una dirección base 378h. El registro de estado es de sólo de lectura, escribirle no lo afecta en modo alguno. Las cinco líneas de estado usan los *bits* S3 al S7 en el registro, correspondientes a los pines 10 al 13 y 15 en el conector. Los *bits* S0, S1 y S2 no se utilizan.

Al leer el registro de estado y el de control se debe tener en cuenta que algunos valores no son exactamente iguales a los estados lógicos del conector, en este caso el pin 11 posee lógica inversa.

### **1.2.3. Registro de control (base+2)**

Se encuentra ubicado en la dirección Base+2, o 37Ah, para un puerto con una dirección base de 378h. En el registro se usan los *bits* del C0 al C3 que corresponden respectivamente a los pines 1, 14, 16 y 17 en el conector, de los cuales el 1,14 y 17 poseen lógica inversa.

El *bit* C4 permite las interrupciones de *hardware* del puerto paralelo, si no se utiliza la interrupción, se debe colocar un bajo (0 lógico) en el *bit* C4. En los puertos bidireccionales, el *bit* C5 puede configurar el puerto como entrada (C5=1) o salida (C5=0) de datos.

### 1.3. MODOS DEL PUERTO PARALELO

El puerto paralelo tiene la capacidad de trabajar en 4 modos diferentes, los cuales se describen a continuación.

#### 1.3.1. Centronics (Unidireccional).

Surge como un standard en este tipo de conexión, debido a la facilidad de uso y la comodidad a la hora de trabajar con él. En este modo de trabajo solo se puede enviar información en el sentido de salida del P.C., a una velocidad típica de 50KBytes por segundo, diseñado especialmente para el uso de impresoras. Cuenta con los tres registros principales del puerto paralelo datos, estado y control, y cada registro puede ser accesado mediante una acción de escritura o lectura a una dirección específica de puerto del P.C.

**Tabla 2** Descripción de las líneas físicas del conector DB25 del puerto paralelo en modo Centronics con sus respectivos registros.

PIN DB25	DESCRIPCION	REGISTRO	BIT	E/S
1	Strobe	Control	-C0	Salida
2-9	Datos 0-7	Datos	D0-D7	Salida
10	Acknowledge	Estado	S6	Entrada
11	Busy	Estado	-S7	Entrada
12	Paper Out	Estado	S5	Entrada
13	Select In	Estado	S4	Entrada
14	Auto linefeed	Control	-C1	Salida
15	Error	Estado	S3	Entrada
16	Initialize printer	Control	C2	Salida
17	Select printer	Control	-C3	Salida
18-25	Tierra	-----	---	-----

En el modo Centronics el registro de datos se utiliza para escribir la información que se va enviar al periférico, el registro de estado es usado para recibir (leer) información acerca del estado de la impresora y el registro de control (de escritura) se usa para enviar comandos de control a la impresora. En la tabla 2 se puede observar una breve descripción de los pines del conector DB25 del puerto y sus correspondientes bits de los registros existentes en el modo Centronics.

### 1.3.2. S.P.P. (Standard Parallel Port)

Utiliza los mismos registros del modo Centronics, con la diferencia de que permite un intercambio de datos en ambas direcciones. Para obtener esta función bidireccional del puerto se usa el bit cinco del registro de control, cuyo estado lógico permite establecer el sentido del flujo de datos (ver tabla 3).

**Tabla 3** Bit 5 del registro de control

BIT	PIN DB25	FUNCION		LECTURA/ESCRITURA
C5	---	Sentido del puerto de datos		Escritura
		0	Salida	
		1	Entrada	

### 1.3.3. E.P.P. (Enhanced Parallel Port)

El protocolo de Puerto Paralelo Mejorado (E.P.P) fue diseñado por Intel, Xircom & Zenith Data System, como una manera de obtener un puerto paralelo de alta resolución totalmente compatible con el puerto paralelo standard. En un principio fue especificado en el E.P.P. 1.7 estándar, y más tarde fue incluido en el estándar IEEE 1284 publicado en 1994. Una transferencia típica en este modo está en el orden de los 500K a 2MB/s. Los

pinos del puerto paralelo cambian de nombre y función respecto a los anteriores modos mencionados (ver tabla 4).

**Tabla 4** Descripción de los pines del puerto paralelo en modo E.P.P.

PIN	SEÑAL	E/S	BIT	FUNCION
1	Write	S	-C0	Un bajo indica escribir, un alto indica leer
2-9	Dato 0-7	E/S	D0-D7	Bus de datos bidireccional
10	Interrupt	E	S6	Interrupción, ocurre en el flanco positivo
11	Wait	E	-S7	Un ciclo E.P.P. inicia con un bajo y finaliza con un alto
12	Spare	E	S5	No usado
13	Spare	E	S4	No usado
14	Data Strobe	S	-C1	En bajo indica transferencia de datos
15	Spare	E	S3	No usado
16	Reset	S	C2	Activo en bajo
17	Address	S	-C3	En bajo indica transferencia de dirección
18-25	Tierras	---	---	Tierra

E.P.P. posee los mismos registros del modo S.P.P. más 5 nuevos ubicados entre las direcciones Base+3h hasta Base+7h (ver tabla 5)

**Tabla 5** Registros del puerto en modo E.P.P.

DIRECCION	REGISTRO	LECTURA/ESCRITURA
Base+3	Puerto de Direcciones (E.P.P.)	Lectura/Escritura
Base+4	Puerto de Datos (E.P.P.)	Lectura/Escritura
Base+5	No definido (Transferencias 16/32 bits)	-----
Base+6	No definido (Transferencias 32 bits)	-----
Base+7	No definido (Transferencias 32 bits)	-----

La principal diferencia entre los modos E.C.P. y E.P.P. es que en modo E.P.P. el Host genera el protocolo que controla toda la transferencia,

mientras que en modo E.C.P. se requiere de una negociación continua con el periférico para una petición del cambio del sentido de flujo de datos, lo cual requiere un controlador E.C.P. extra en el periférico.

#### **1.3.4. E.C.P. (Extended Capabilities Port)**

El protocolo E.C.P. (Puerto de Capacidades Extendidas) fue propuesto por Hewlett Packard y Microsoft como un modo avanzado para la comunicación de periféricos del tipo de los scanners y las impresoras. Como el protocolo E.P.P., el E.C.P. proporciona una alta resolución en la comunicación bidireccional entre el P.C. y el periférico.

Este protocolo usa Hardware extra para generar las señales necesarias al igual que en el modo E.P.P., pero es mucho más rápido. Este modo tiene la capacidad de transferir información usando los canales de D.M.A. 0, 1 o 3, también usa un buffer FIFO para enviar o recibir datos. Otra característica especial es el *Run Length Encoding* (RLE), el cual es un algoritmo de compresión de 64 a 1 y es utilizado en scanners e impresoras laser, en los cuales hay largas series de datos repetitivos. Los pines del puerto cambian de nombre y función respecto a los anteriores modos mencionados (ver tabla 6).

En modo E.C.P. se tienen tres registros adicionales a los que posee S.P.P., el ECR o Registro de Control Extendido y los registros de configuración A y B. Se puede acceder al ECR mediante una simple acción de lectura o escritura a su dirección de puerto (ver tabla 7). Para leer o escribir los registros de configuración (A y B) se requiere además de que el ECR posea los 3 bits más significativos en alto.

**Tabla 6** Descripción de los pines del puerto paralelo en modo E.C.P.

PIN	SEÑAL	E/S	BIT	FUNCION
1	HostClk	S	-C0	Un bajo indica que existe un dato válido en el host. El flanco de subida es usado para insertar el dato en el periférico.
2-9	Datos 0-7	E/S	D0-D7	Bus de datos bidireccional
10	PeriphClk	E	S6	Un bajo indica que existe un dato válido en el periférico. El flanco de subida es usado para insertar el dato en el host.
11	PeriphAck	E	-S7	Un alto indica que existe un dato y un bajo indica un ciclo de comando.
12	NackReverse	E	S5	Un bajo indica solicitud de cambio de sentido de los datos.
13	X-flag	E	S4	Bandera extensible.
14	HostAck	S	-C1	Un alto indica datos y un bajo indica un ciclo de comando.
15	PeriphRequest	E	S3	Un bajo indica que hay datos de entrada.
16	NreverseRequest	S	C2	Un bajo indica que pueden entrar datos.
17	1284 Active	S	-C3	Un alto indica Host en modo de transferencia 1284.
18-25	Tierras	---	---	Tierra.

**Tabla 7** Registros adicionales del puerto en modo E.C.P.

DIRECCION	REGISTRO	LECTURA/ESCRITURA
Base+400h	Datos FIFO (modo FIFO)	Lectura/Escritura
	Datos FIFO (modo E.C.P.)	Lectura/Escritura
	Prueba FIFO (modo de prueba)	Lectura/Escritura
	Registro A (modo de configuración)	Lectura/Escritura
Base+401h	Registro B (modo de configuración)	Lectura/Escritura
Base+402h	Registro de control extendido E.C.R. (todos los modos)	Lectura/Escritura

**a. Registro de control extendido (ECR).**

El ECR se encuentra ubicado en la dirección base+402h y es uno de los registros más importantes para la configuración del puerto, éste permite conmutar entre todos los diferentes modos de trabajo, y habilitar o inhabilitar

procesos de D.M.A. e interrupción. Observe las funciones del registro ECR presentadas en la tabla 8.

**Tabla 8** Registros de Control Extendido E.C.R.

BITS	FUNCION	
5 al 7	Selección del modo de operación del puerto paralelo	
	000	Modo compatible (una dirección)
	001	Modo Byte (bidireccional)
	010	Modo FIFO
	011	Modo FIFO E.C.P.
	100	Modo E.P.P.
	101	Reservado
	110	Modo de prueba de la FIFO
	111	Modo de configuración
4	Bit de interrupción habilitado E.C.P.	
3	D.M.A habilitado	
2	Bit de servicio E.C.P.	
1	FIFO llena	
0	FIFO vacía	

**b. Registro A de configuración**

Este registro lo encontramos en la dirección base+400h y para acceder a él los tres bits más significativos del ECR deben estar en alto (111). En la tabla 9 se describe las funciones de cada bit de este registro.

**c. Registro B de configuración.**

Este registro posee como dirección física base+401h y solo se puede acceder a él cuando el ECR está en modo de configuración, es decir en “111” los tres bits más significativos. Por medio de este registro podemos habilitar o deshabilitar el RLE, ajustar el canal de D.M.A. e interrupción sí el puerto cuenta con la capacidad de ser configurado por software, de lo contrario sólo es posible leer este registro (ver tabla 10).

**Tabla 9** Registro A de configuración.

BITS	FUNCION	
7	1	Interupción por nivel
	0	Interrupción por flanco
4 al 6	000	Máximo palabras de 16 bits
	001	Máximo palabras de 8 bits
	010	Máximo palabras de 32 bits
	011	Reservado para expansión.
3	Reservado	
2	Host recovery: Pipeline	
	0	Como salida, 1 byte en la transmisión en paralelo no afecta la FIFO llena.
	1	Como salida, 1 byte en la transmisión en paralelo es incluido como una parte de la FIFO llena.

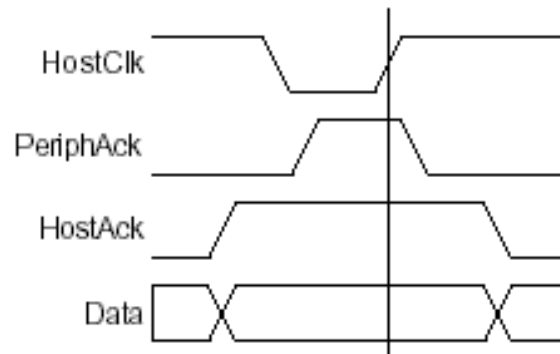
**Tabla 10** Registro B de configuración.

BITS	FUNCION	
7	1	Comprime datos de salida usando RLE.
	0	No comprima datos.
6	Estado de la interrupción - Muestra el estado actual del pin IRQ.	
5:3	Selecciona o muestra la línea de petición de interrupción	
	000	Interrupción por jumper
	001	IRQ 7
	010	IRQ 9
	011	IRQ 10
	100	IRQ 11
	101	IRQ 14
	110	IRQ 15
	111	IRQ 5
2:0	Selecciona o muestra el estado del canal de D.M.A.	
	000	Usa un canal de 8 bits jumperiado
	001	Canal de D.M.A. 1
	010	Canal de D.M.A. 2
	011	Canal de D.M.A. 3
	100	Usa un canal de 16 bits jumperiado.
	101	Canal de D.M.A. 5
	110	Canal de D.M.A. 6
111	Canal de D.M.A. 7	

d. Protocolo E.C.P.

- **Ciclo de salida de datos modo E.C.P.**

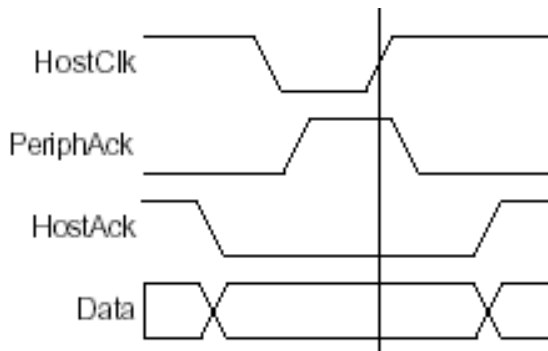
**Figura 3.** Ciclo de salida de datos en modo E.C.P.



1. Los datos son puestos en las líneas de datos por el Host.
2. El Host indica el comienzo de un ciclo de datos llevando a alto HostAck.
3. El Host indica que hay un dato valido llevando a bajo la señal HostClk.
4. El periférico envía una señal de aceptación PeriphAck.
5. El Host lleva a alto la señal a HostClk, el flanco positivo es usado para insertar el dato en el periférico.
6. El periférico lleva a bajo PeriphAck para indicar que entró el dato.

- **Ciclo de salida de comando en modo E.C.P.**

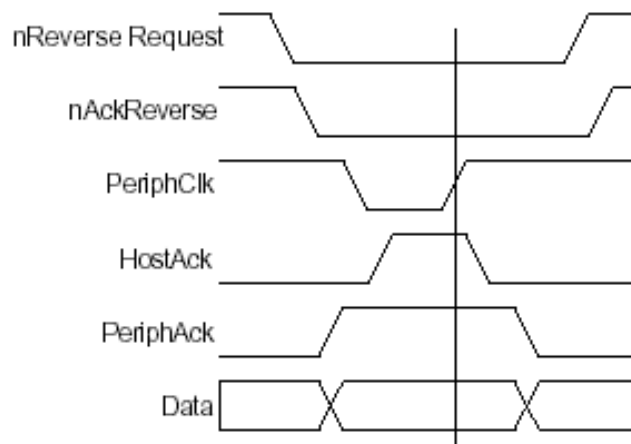
**Figura 4.** Ciclo de salida de comando en modo E.C.P.



1. Los datos son puestos en las líneas de datos por el Host.
2. El Host indica el comienzo de un ciclo de comando llevando a bajo HostAck.
3. El Host indica que hay un dato valido llevando a bajo la señal HostClk.
4. El periférico envía una señal de aceptación PeriphAck.
5. El Host lleva a alto la señal HostClk, el flanco positivo es usado para insertar el dato en el periférico.
6. El periférico lleva a bajo PeriphAck.

- **Ciclo de entrada de datos en modo E.C.P.**

**Figura 5.** Ciclo de entrada de datos en modo E.C.P.

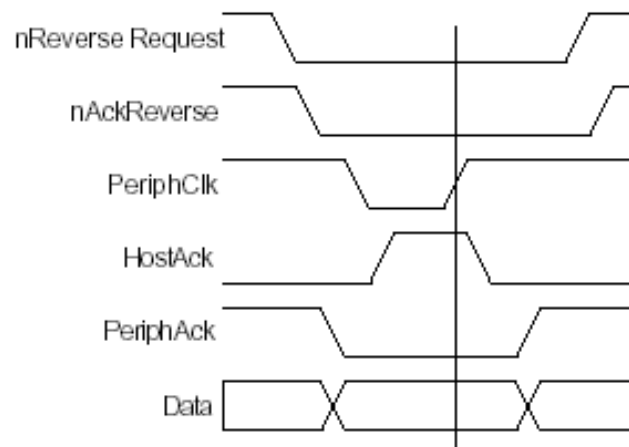


1. Host lleva a bajo nReverse Request para pedir que se cambie la dirección del flujo de datos de salida a entrada.
2. El periférico lleva a bajo la señal nAckReverse para indicar que se acepta el cambio de dirección.
3. Los datos son puestos por el periférico en las líneas de datos.
4. El ciclo de datos es entonces seleccionado por el periférico llevando PeriphAck a alto.

5. El periférico indica que hay datos validos llevando a bajo PeriphClk.
6. El Host envía una señal de aceptación de los datos puestos por el periférico.
7. El periférico lleva a alto PeriphClk. El flanco positivo es usado para insertar los datos en el Host.
8. El Host envía una señal de aceptación llevando a bajo HostAck.

- **Ciclo de comando de entrada en modo E.C.P.**

**Figura 6.** Ciclo de entrada de comando en modo E.C.P.



1. Host lleva a bajo nReverse Request para pedir que se cambie la dirección del flujo de datos de salida a entrada.
2. El periférico lleva a bajo la señal nAckReverse para indicar que se acepta el cambio de dirección.
3. Los datos son puestos por el periférico en las líneas de datos.
4. El ciclo de datos es entonces seleccionado por el periférico llevando PeriphClk a bajo.
5. El periférico indica que hay datos validos llevando a bajo PeriphClk.

6. El Host envía una señal de aceptación de los datos puestos por el periférico.
7. El periférico lleva a alto PeriphClk. El flanco positivo es usado para insertar los datos en el Host.
8. El Host envía una señal de aceptación llevando a bajo HostAck.

## **2. EL ACCESO DIRECTO A MEMORIA (D.M.A.).**

El acceso directo a memoria es una técnica que permite a los periféricos conectados a un sistema realizar transferencias sobre la memoria sin la intervención del procesador. Como la memoria del P.C. no puede ser accedida simultáneamente por más de un dispositivo, en el momento en que D.M.A. realiza las transferencias, el microprocesador cede el manejo de los buses de datos, dirección y control al controlador de D.M.A. (chip 8237).

La velocidad de transferencia de D.M.A., se encuentra en el rango de 10 a 12 MB/s con los actuales componentes de alta velocidad para la memoria RAM. En realidad esta velocidad se encuentra limitada a las velocidades del controlador de D.M.A. y de la memoria, obteniéndose la más lenta como velocidad por defecto.

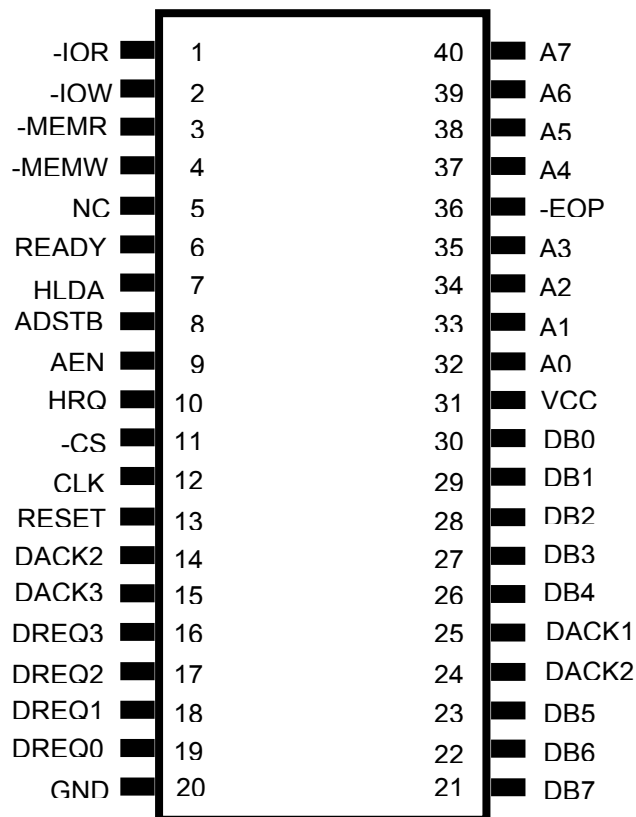
Opera de la siguiente forma: utiliza dos señales de control para solicitar y reconocer una transferencia de D.M.A.. La terminal HOLD, que solicita una acción de D.M.A. y la terminal HLDA, que es usada para el reconocimiento de una acción de D.M.A.. Siempre que HOLD se eleve a un valor de uno lógico ("1") se solicitará una acción de D.M.A., a la cual el microprocesador responderá en unos cuantos pulsos de reloj pasando los buses a su estado de alta impedancia. Se debe tener en cuenta que la señal HOLD tiene mayor prioridad que las señales de interrupción INTR o NMI.

D.M.A. es una técnica de transferencia de datos bastante rápida y es usada por los buses ISA, EISA, PCI y puerto paralelo en modo ECP, entre otros.

## 2.1 EL CONTROLADOR DE D.M.A. (CHIP 8237).

Es el encargado de suministrar a la memoria y a los dispositivos de E/S señales de control, información y direccionamiento durante el proceso de D.M.A.. Su funcionamiento se basa en unos registros que indican la dirección de memoria a ser accedida y cuántas posiciones de memoria quedan aún por transferir.

**Figura 7.** Chip 8237



El 8237 consta de 4 canales programables en 3 modos diferentes, con posibilidad de ser conectado en cascada con otros 8237. Cada canal puede direccionar una sección completa de 64KBytes de la memoria y puede

transferir hasta 64KBytes con una sola programación. También soporta transferencias memoria-memoria, incluyendo la posibilidad de rellenar un área de la memoria con el mismo dato.

En los P.C. actuales el 8237 viene insertado en un chipset (conjunto de controladores integrados).

### 2.1.1 Terminales :

En la tabla 11 se explican la función de cada uno de los terminales del chip 8237.

**Tabla 11.** Terminales del chip 8237 (controlador de D.M.A.)

CLK:	Señal de reloj básica.
-CS:	Línea de habilitación del chip.
RESET:	Esta señal provoca la limpieza de los registros de comando, estado, solicitud y los temporales; borra el flip flop primero/último y el contador de registro de modo; el registro de máscara se asigna para ignorar las solicitudes. El 8237 queda en Ciclo Inactivo.
READY:	Señal que se emplea para insertar estados de espera para trabajar con memorias o E/S más lentos.
HLDA:	Hold Acknowledge (Reconoce cesión); línea por la que la CPU indica que ha liberado los buses.
DREQ0..3:	D.M.A. Request (Solicitud D.M.A.); son 4 líneas asíncronas de petición de D.M.A.. En el modo de prioridad fija, DREQ0 tiene la máxima y DREQ3 la mínima. Los periféricos solicitan el servicio de D.M.A. en estas líneas y esperan a bajarlas hasta el correspondiente DACK. La polaridad de DREQ es programable. Las líneas no usadas deben ser enmascaradas.

DB0..DB7:	BUS de datos bidireccional y triestado. Durante los ciclos de D.M.A., los 8 bits más significativos de la dirección son colocados en el bus de datos con objeto de ser almacenados en un latch externo controlado por ADSTB. En las operaciones memoria-memoria, el bus de datos recibe y envía los bytes a transferir.
-IOR:	I/O Read (Leer en E/S). Línea bidireccional de 3 estados. En el ciclo inactivo es una entrada empleada por la CPU para leer los registros de control; en el ciclo activo actúa como línea de salida para que el 8237 controle la lectura de datos de los periféricos.
-IOW:	I/O Write (Escribir en E/S). Línea bidireccional de 3 estados. En el ciclo inactivo es una entrada empleada por la CPU para escribir los registros del 8237; en el ciclo activo actúa como línea de salida para que el 8237 controle la escritura de datos en los periféricos.
-EOP:	End Of Process (Final del proceso). Línea bidireccional que informa de la finalización del servicio D.M.A.. El 8237 permite que un ente exterior force el final de un servicio bajando esta línea. El propio 8237 genera un pulso en ella cuando se alcanza un TC (Terminal Count, fin de cuenta) en algún canal, salvo en el modo memoria-memoria del canal 0 (en ese caso, la señal se produce al alcanzarse el TC del canal 1). Esta patilla está conectada en el interior del chip a un transistor en colector abierto, por lo que requiere una resistencia externa. Cuando llega una señal –EOP, el 8237 finaliza el servicio aunque en el modo de autoinicialización los registros base volverán a ser escritos en los registros en curso del canal implicado. El canal resulta enmascarado salvo en el caso del modo de autoinicialización.
A0..A3:	Líneas bidireccionales triestado de direcciones. En el ciclo inactivo son entradas empleadas para seleccionar los registros internos a leer o escribir, durante la programación. En el ciclo activo, son salidas y proveen los 4 bits menos significativos de la dirección.
A4..A7:	Líneas triestado de salida de direcciones. Proveen los 4 bits más significativos de la dirección durante el ciclo activo en una acción de D.M.A..
HRQ:	Hold Request (Retener solicitud). Línea de salida para solicitar los buses a la CPU (conectada a la entrada HOLD), en el caso en que haya que realizar una transferencia.

DACK0..3:	D.M.A. Acknowledge (Reconocimiento de canal de D.M.A.). Avisa a los periféricos de que ha sido atendida su petición. El nivel de operación de esta línea es programable.
AEN:	Address Enable(Habilitación de dirección). Habilita el latch de 8 bits conectado a DB0-DB7, que guarda la parte alta de la dirección. Sirve también para deshabilitar el acceso al bus por parte de otras fuentes.
ADSTB:	Address Strobe (Señal estroboscópica de habilitación de dirección). Línea que controla el almacenamiento de la parte alta de la dirección (A8-A15), cuando está en el bus de datos, en el latch externo.
-MEMR:	Memory Read (Lectura de memoria). Salida triestado empleada para acceder a la memoria durante la lectura o las transferencias memoria-memoria.
-MEMW:	Memory Write (Escritura a memoria). Salida triestado empleada para acceder a la memoria durante la escritura o las transferencias memoria-memoria.

### 2.1.2 Descripción Funcional

Los modos de operación del 8237 están diseñados para soportar transferencias de una sola palabra de datos y flujos de datos discontinuos entre la memoria y los periféricos. El controlador de D.M.A. es realmente un circuito secuencial generador de señales de control y direcciones que permite la transferencia directa de los datos sin necesidad de registros temporales intermedios, lo que incrementa drásticamente la tasa de transferencia de datos y libera la CPU para otras tareas. Las operaciones memoria-memoria precisan de un registro temporal intermedio, por lo que son al menos dos veces más lentas que las de E/S, aunque en algunos casos aún más veloces que las de la propia CPU (no es el caso de los computadores compatibles).

El 8237 consta internamente de varios bloques: un bloque de control de tiempos que genera las señales de tiempo internas y las señales de control externas; un bloque de gestión de prioridades, que resuelve los conflictos de

prioridad cuando varios canales de D.M.A. son accedidos a la vez; también posee un elevado número de registros para gestionar el funcionamiento (ver tabla 12).

**Tabla 12.** Registros internos de D.M.A.

Tipo de registro	Tamaño	Nº registros
Registro base de dirección	16 bits	4
Registro base contador de palabras	16 bits	4
Registro de dirección en curso	16 bits	4
Registro contador de palabras en curso	16 bits	4
Registro temporal de dirección	16 bits	1
Registro temporal contador de palabras	16 bits	1
Registro de estado	8 bits	1
Registro de comandos	8 bits	1
Registro temporal	8 bits	1
Registro de modo	6 bits	4
Registro de máscara	4 bits	1
Registro de solicitud	4 bits	1

## 2.2 OPERACIÓN DEL D.M.A.

En un sistema, los buses del 8237 están conectados en paralelo al bus general del computador, siendo necesario un latch externo para almacenar la parte alta de la dirección de memoria. Cuando está inactivo, el 8237 está desconectado de los buses (alta impedancia); cuando se produce una petición de D.M.A. pasa a controlar los buses y a generar las señales necesarias para realizar las transferencias. La operación que realiza el 8237 es consecuencia de la programación realizada previamente por medio de los registros internos.

Tras ser programado, el D.M.A. permanece normalmente inactivo hasta que se produce la solicitud de D.M.A. en algún canal o vía software. Cuando ésta llega, si ese canal no estaba enmascarado, el 8237 solicita los buses a la CPU y se pasa al ciclo activo, el cual se compone de varios estados internos, dependiendo de la manera en que sea programado el chip. Al estar en el ciclo activo el controlador se opera en uno de los 3 modos de transferencia (única, bloque, demanda) o en cascada.

### **2.2.1 Modo de Transferencia Unica (Single Transfer Mode):**

El dispositivo es programado para realizar una única transferencia. El registro contador de palabras es decrementado y el de direcciones se incrementa/decrementa según haya sido programado. Cuando el registro contador de palabras se desborda (pasa de 0 a 0FFFFh en decremento) se activa el bit **Terminal Count** (fin de cuenta) en el registro de estado, generando un pulso en el pin –EOP. Si el canal estaba programado para autoinicializarse esto es lo que realiza; en caso contrario, se activa automáticamente el bit de máscara para deshabilitar ese canal hasta nueva orden. DREQ debe permanecer activo hasta que DACK responda. Si se mantiene activa la señal DREQ el 8237 solicitará de nuevo una transferencia de D.M.A. por medio de HRQ.

### **2.2.2 Modo de Transferencia de Bloque (Block Transfer Mode).**

Se transfieren los bytes (palabras) indicados por el registro contador de palabras (hasta que este se desborda). DREQ sólo debe estar activo hasta que DACK responde. El proceso también se acaba si se actúa sobre la patilla -EOP.

### **2.2.3 Modo de Transferencia por Demanda (Demand Transfer Mode).**

La transferencia se realiza sólo mientras DREQ permanece activo, esta modalidad permite dejar ciclos a la CPU cuando no es realmente necesario que el D.M.A. opere. Además, en los períodos de inactividad, los valores de dirección en curso y contador de palabras son almacenados en el registro de direcciones en curso y en el registro contador de palabras en curso, correspondientes al canal implicado; mientras tanto, otros canales de mayor prioridad pueden ser atendidos por el 8237. La transferencia también se acaba si alguien activa la señal -EOP.

Cada uno de los 3 modos de transferencia mencionados puede realizar operaciones de: lectura, escritura y verificación. La lectura pasa datos de la memoria al dispositivo E/S (activando -IOW y -MEMR); la escritura mueve datos desde los dispositivos E/S a la memoria (activando -IOR y -MEMW). Las transferencias de tipo verificación son pseudotransferencias, es decir, el funcionamiento es similar a la lectura o escritura pero sin tocar las líneas de control de la memoria ni de los periféricos; durante el modo de verificación se ignora la línea READY; este modo no es permitido en las operaciones memoria-memoria.

El controlador 8237 además de los modos de operación posee otras características de funcionamiento que se programan por medio de los comandos y registros que se verán posteriormente. Entre las principales tenemos :

### **2.2.4 Autoinicialización.**

Cualquier canal puede ser programado para incluir esta característica. En el momento de programar el chip, los registros base de dirección y base contador de palabras son cargados a la vez y con el mismo valor que los

registros de dirección en curso y contador de palabras en curso. Los registros base permanecen inalterados en todo momento, por lo que al final del servicio sirven en este modo de trabajo, para recargar de nuevo los registros en curso. Esto sucede justo tras la señal -EOP, quedando el 8237 listo para repetir de nuevo la misma transferencia (cuando se solicite a través de la línea DREQ o por software).

### **2.2.5 Generación de direcciones.**

Para reducir el número de pines, el 8237 tiene multiplexada la parte alta del bus de direcciones. Inicialmente los 8 bits más significativos de la dirección son depositados en un latch externo a través del bus de datos (estado S1). La línea AEN indica a la circuitería externa que debe habilitar el latch como parte alta del bus de direcciones cuando llega el momento (la parte baja la suministra directamente el 8237). En los modos de transferencia de Bloques y Demanda, que implican múltiples transferencias, el 8237 es suficientemente inteligente como para generar estados S1 sólo cuando hay acarreo en la parte baja del bus de direcciones (1 de cada 256 veces) evitando acceder al latch externo cuando no es necesario modificarlo, ahorrando tiempo.

## **2.3 PROGRAMACIÓN DEL 8237**

El 8237 puede ser programado cuando HLDA está inactivo, siendo responsabilidad del programador que esto sea así, en cualquier caso, puede existir el riesgo de que mientras se programa un canal se produzca una petición de D.M.A., y probablemente en un punto crítico (cuando, por ejemplo, se acababa de enviar la mitad de un valor de 16 bits). Para evitar

este riesgo, antes de comenzar a programar un canal puede ser necesario enmascararlo, con la condición de habilitarlo después (desenmascararlo).

### **2.3.1 Registros internos del 8237.**

A continuación se hará una breve descripción de los principales registros necesarios para realizar la programación del chip 8237.

#### **a. Registro de dirección en curso (Current Address Register).**

Cada canal tiene un registro de dirección en curso que almacena la dirección de memoria empleada durante las transferencias del D.M.A.. Su contenido es incrementado/decrementado después de cada transferencia. Este registro es inicializado por la CPU enviando dos bytes consecutivos; en modo autoinicialización, su contenido inicial se restaura cuando ésta se produce.

#### **b. Registro contador de palabras en curso (Current Word Register).**

Cada canal tiene un registro contador de palabras en curso, que determina el número de bytes a transferir en la operación menos uno (para un valor inicial 50, por ejemplo, se transmiten 51 bytes). En cada transferencia se decrementa en 1h su valor, cuando pasa de 0 a 0FFFFh se genera el TC (Terminal Count) y el proceso finaliza. Este registro es inicializado por la CPU enviando dos bytes consecutivos; en modo autoinicialización, su contenido inicial se restaura cuando ésta se produce; de lo contrario continúa con un valor 0FFFFh.

#### **c. Registros base de dirección y base contador de palabras (Base Address & Base Word Count Registers).**

Cada canal posee un registro base de dirección y otro base contador de palabras. Estos registros almacenan el valor inicial de los registros de dirección en curso y contador de palabras en curso, ya que ambos tipos de

registros se cargan simultáneamente durante la programación. El valor almacenado en estos registros se emplea en la autoinicialización, para recargar los registros en curso. Observe en la tabla 13 las direcciones físicas de los registros mencionados en los 4 canales básicos.

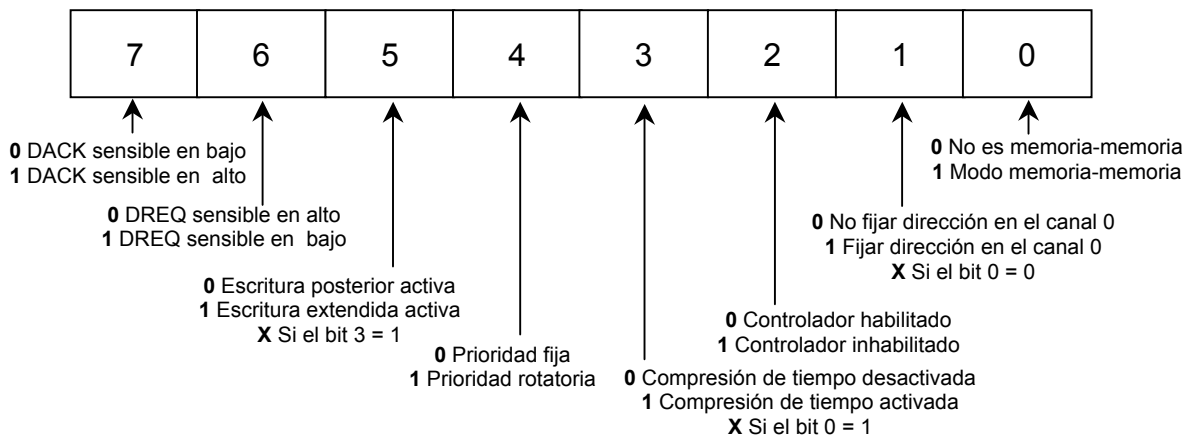
**Tabla 13.** Direcciones E/S de los registros de direcciones y contadores

CANAL	REGISTRO(S)	OPERACIÓN	DIRECCIÓN			
			A3	A2	A1	A0
0	Base de dirección y de dirección en curso	Escribir	0	0	0	0
	De dirección en curso	Leer	0	0	0	0
	Base contador de palabras y contador de palabras en curso	Escribir	0	0	0	1
	Contador de palabras en curso	Leer	0	0	0	1
1	Base de dirección y de dirección en curso	Escribir	0	0	1	0
	De dirección en curso	Leer	0	0	1	0
	Base contador de palabras y contador de palabras en curso	Escribir	0	0	1	1
	Contador de palabras en curso	Leer	0	0	1	1
2	Base de dirección y de dirección en curso	Escribir	0	1	0	0
	De dirección en curso	Leer	0	1	0	0
	Base contador de palabras y contador de palabras en curso	Escribir	0	1	0	1
	Contador de palabras en curso	Leer	0	1	0	1
3	Base de dirección y de dirección en curso	Escribir	0	1	1	0
	De dirección en curso	Leer	0	1	1	0
	Base contador de palabras y contador de palabras en curso	Escribir	0	1	1	1
	Contador de palabras en curso	Leer	0	1	1	1

**d. Registro de comandos (Command Register).**

Es un registro de 8 bits que controla el funcionamiento del 8237.

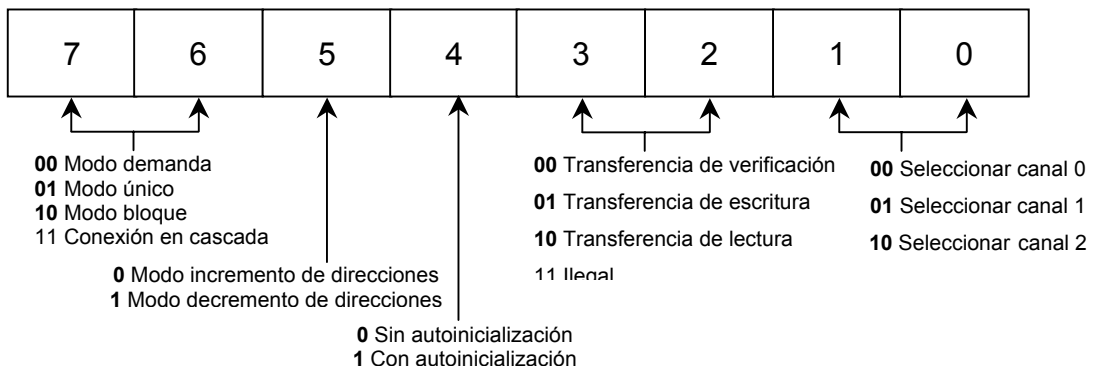
**Figura 8.** Registro de Comando



**e. Registro de modo (Mode Register).**

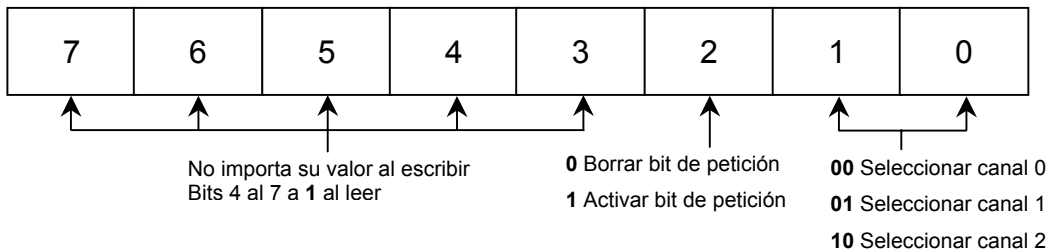
Cada canal tiene un registro de modo asociado. Cuando se escribe el registro de modo, se envía un byte al 8237 que selecciona (en los bits 0 y 1) el canal cuyo registro de modo se desea escribir, y el resto de los bits cargan el registro de modo, seleccionando operación, autoinicialización, incremento/decremento de la dirección y el modo para el canal, explicados anteriormente en los numerales de la sección 2.2.

**Figura 9.** Registro de Modo



**f. Registro de petición de D.M.A. (Request Register).**

**Figura 10.** Registro de Petición o Solicitud



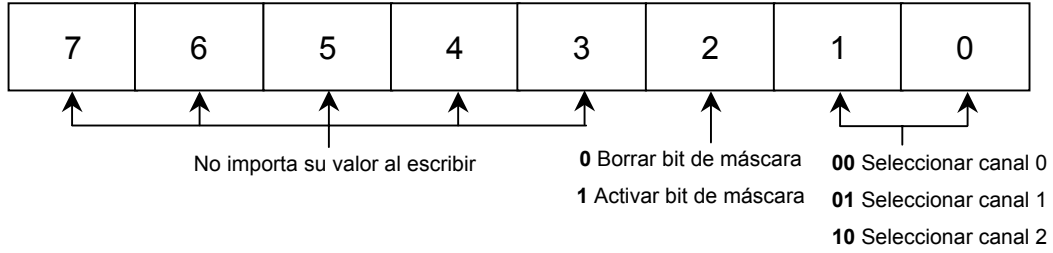
El 8237 puede responder a peticiones de D.M.A. tanto por hardware (línea DREQ) como por software. Este registro se emplea para solicitar una

transferencia de D.M.A. por programa. Las peticiones por software no se pueden enmascarar, aunque están sujetas a la lógica de evaluación de prioridades. Cada bit de este registro es activado o borrado selectivamente por software. Todo el registro es borrado ante un Reset. Para modificar sus bits, se debe enviar el comando *Write Request register*. Si se lee el registro, los bits 0 al 3 muestran el estado de las peticiones en los canales 0 al 3 (los demás bits están a 1). Las peticiones de D.M.A. por software puede hacerse en el modo *único* o en *bloque*. Es importante en las operaciones memoria-memoria, ya que esta no presenta ninguna señal externa para iniciar la transferencia de D.M.A., en este caso hay que hacer una petición por software en el canal 0.

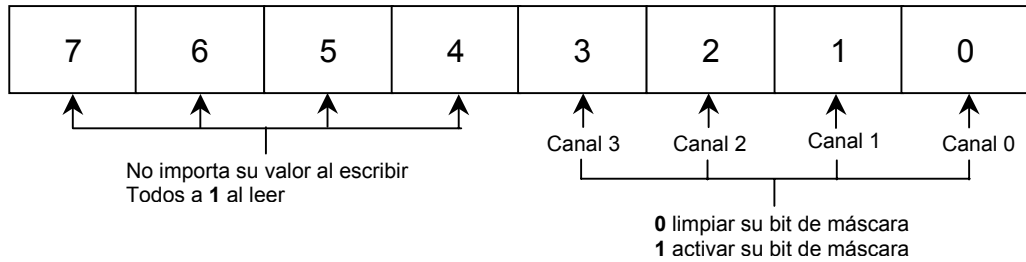
**g. Registro de máscara de D.M.A. (Mask Register).**

Cada canal tiene asociado un bit de máscara que puede ser activado para deshabilitar las solicitudes de D.M.A. a través de la línea DREQ. Este bit es automáticamente activado cada vez que se produce un -EOP (al final de la transferencia) a menos que el canal esté en modo autoinicialización. Cada bit de máscara puede ser modificado por separado, o todos a la vez, con el comando apropiado. Todo el registro es puesto a 1 a través del comando de Inicialización principal o debido a un Reset, lo que inhibe las solicitudes de D.M.A. por hardware hasta que se envía un comando para limpiar el registro de máscara (o se borran los bits que se desee en el mismo). Existen tres órdenes para actuar sobre el registro de máscara; la primera es a través del comando *Clear Mask Register*, que borra todos los bits de máscara; la segunda es por medio del comando *Write Single Mask Bit*, modificando un solo bit; la tercera forma consiste en los comandos *Read* y *Write All Mask Bits*, con los que se pueden consultar y alterar todos los bits de máscara a la vez.

**Figura 11.** Registro de enmascaramiento individual



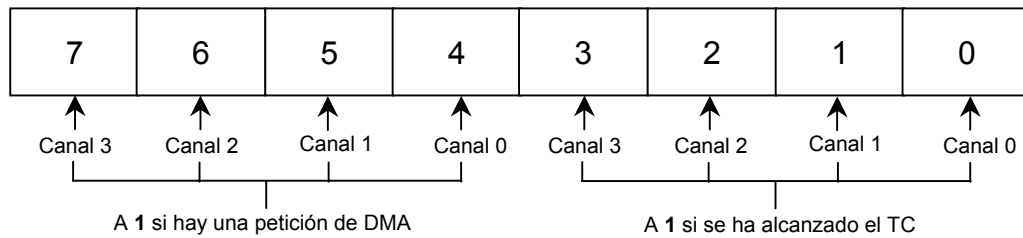
**Figura 12.** Registro de enmascaramiento (todos los canales)



#### **h. Registro de estado (Status Register).**

Los bits 0 al 3 indican si los respectivos canales han alcanzado un TC (Terminal Count) o se les ha aplicado una señal -EOP externa. Estos bits se borran ante un Reset, un comando de Inicialización principal o, simplemente, al leer el propio registro de estado. Los bits 4 al 7 indican qué canales están solicitando servicio, con independencia de que estén enmascarados o no. De esta manera, enmascarando todos los canales y leyendo el registro de estado, por software se puede decidir qué canales conviene desenmascarar, pudiendo el sistema operativo aplicar la gestión de prioridades que desee llegado el caso. Estos bits (4 al 7) son actualizados cuando el reloj está en alto; un Reset o un comando de Inicialización principal los borran.

**Figura 13. Registro de Estado**



### 2.3.2 Comandos del 8237.

A continuación se citan algunos comandos especiales que pueden ser ejecutados leyendo o escribiendo sobre el 8237. A diferencia de cuando hay que acceder a los registros de direcciones y contadores, aquí el bit A3 está activo. Por tanto, de los 16 puertos de E/S que dispone el 8237 en cualquier sistema, los 8 últimos están relacionados con los comandos y los registros especiales. En la tabla 14 se encuentran todos los comandos, y posteriormente se explican algunos.

**Tabla 14.** Direcciones E/S de los comandos

COMANDO	OPERACIÓN	DIRECCIÓN			
		A3	A2	A1	A0
Leer registro de Estado (Read Status Register)	Leer	1	0	0	0
Escribir registro de Comandos (Write Command Register)	Escribir	1	0	0	0
Leer registro de Petición de DMA (Read Request Register)	Leer	1	0	0	1
Escribir registro de Petición de DMA (Write Request Register)	Escribir	1	0	0	1
Leer registro de Comandos (Read Command Register)	Leer	1	0	1	0
Escribir un solo bit de Máscara de DMA (Write Single Mask Bit)	Escribir	1	0	1	0
Leer registro de Modo (Read Mode Register)	Leer	1	0	1	1
Escribir registro de Modo (Write Mode Register)	Escribir	1	0	1	1
Activar Flip-Flop primero/último (Set Byte Pointer F/F)	Leer	1	1	0	0
Borrar Flip-Flop primero/último (Clear Byte Pointer F/F)	Escribir	1	1	0	0
Leer registro Temporal (Read Temporary Register)	Leer	1	1	0	1
Inicialización Principal (Master Clear)	Escribir	1	1	0	1
Limpiar Contador de registro de Modo (Clear Mode Register Counter)	Leer	1	1	1	0
Borrar registro de Máscara de DMA (Clear Mask Register)	Escribir	1	1	1	0
Leer todos los bits de Máscara de DMA (Read All Mask Bits)	Leer	1	1	1	1
Escribir todos los bits de Máscara de DMA (Write All Mask Bits)	Escribir	1	1	1	1

**a. Borrar flip-flop primero/último (Clear first/last flip-flop).**

Dado que los valores de 16 bits se envían en dos partes, existe un flip-flop interno que permite al 8237 conocer si lo que le llega es la primera mitad del dato o la segunda. Por precaución, se puede borrar primero para asegurar que el primer byte enviado se interprete como el menos significativo y, el segundo, como el más significativo.

**b. Leer/Escribir registro de petición de D.M.A. (Read/Write Request Register).**

El comando Write es empleado para escribir al registro de petición de D.M.A. y provocar una petición de D.M.A. por software; también se puede utilizar Read para consultar su estado. Los bits 0 al 3 muestran entonces el estado de las peticiones en los canales 0 al 3 (los demás bits están a 1).

**c. Borrar registro de máscara de D.M.A. (Clear Mask Register).**

Este comando limpia los bits de máscara de los 4 canales, habilitándoles para recibir peticiones de D.M.A. por hardware.

**d. Escribir un sólo bit de máscara de D.M.A. (Write Single Mask bit).**

Con este comando se puede seleccionar el bit de máscara que se desea modificar (activándolo o borrándolo).

**e. Leer/Escribir todos los bits de máscara de D.M.A. (Read/Write All Mask bits).**

Este comando permite consultar o establecer el estado de todos los bits de máscara de D.M.A. a la vez, en los 4 canales.

## 2.4 EL 8237 EN EL P.C.

Todos los P.C. vienen equipados con un 8237 accesible a partir de la dirección E/S 0000H. Los P.C. actuales poseen un 8237 adicional, accesible a partir de la dirección E/S 0C0h. Los puertos están direccionados en intervalos de 2, al repetirse en dos direcciones adyacentes. Este segundo controlador de D.M.A. actúa como maestro y está encargado de las operaciones de 16 bits; su canal 0 (canal 4 en el P.C.) es empleado para hacer enlace con el otro 8237 que realiza las operaciones de 8 bits. En fin un P.C. reciente posee 7 canales de D.M.A..

El 8237 encargado de las transferencias de 8 bits (esclavo) define los canales 0 al 3, de los cuáles sólo el canal 2 está ocupado en las operaciones de disquetes. El 8237 encargado de las operaciones de 16 bits (maestro) define los canales 5, 6 y 7, ya que el canal 4 está ocupado en la conexión del otro 8237 (el de 8bits), estando todos ellos libres. Por tanto, en estas máquinas quedan disponibles 6 canales de D.M.A. (el 0, 1 y 3 del D.M.A. de 8 bits y el 5, 6 y 7 del D.M.A. de 16 bits).

Observe en la tabla 15 las direcciones de los puertos de entrada y salida a emplear para acceder a ambos controladores de D.M.A..

Los registros de direcciones que maneja D.M.A. son de 16 bits y accede a la memoria del computador con direcciones de 20 a 32 bits, por esta razón los diseñadores de P.C. optaron por añadir unos registros externos, ubicados fuera del 8237, que se encargan de suministrar los bits de direcciones que faltan, a los cuales se les ha denominado **registros de página de D.M.A.**, habiendo uno por cada canal (ver tabla 16).

**Tabla 15.** Direcciones E/S de los controladores de D.M.A.

COMANDO O REGISTRO	OPERACIÓN	8 Bits	16 Bits
Registro dirección canal 0	lectura y escritura	00	C0
Registro de cuenta canal 0	lectura y escritura	01	C2
Registro dirección canal 1	lectura y escritura	02	C4
Registro de cuenta canal 1	lectura y escritura	03	C6
Registro dirección canal 2	lectura y escritura	04	C8
Registro de cuenta canal 2	lectura y escritura	05	CA
Registro dirección canal 3	lectura y escritura	06	CC
Registro de cuenta canal 3	lectura y escritura	07	CE
Registro de Estado	lectura	08	D0
Registro de Comando	escritura	08	D0
Registro de Petición	lectura y escritura	09	D2
Registro de Comando	lectura	0A	D4
Máscara individual	escritura	0A	D4
Registro de Modo	lectura y escritura	0B	D6
Setear F/F Apuntador de Bytes	lectura	0C	D8
Borrar F/F Apuntador de Bytes	escritura	0C	D8
Registro Temporal	lectura	0D	DA
Inicialización principal	escritura	0D	DA
Borrar contador registro de modo	lectura	0E	DC
Borrar registro de Mascara	escritura	0E	DC
Leer/Escribir todos bits Máscara	lectura y escritura	0F	DE

**Tabla 16.** Direcciones de los registros de Página de D.M.A.

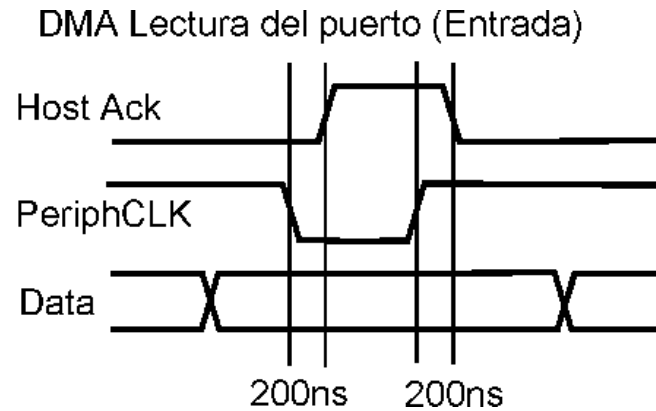
Canal D.M.A.	Dirección de Registro de Página
0	87h (sólo AT)
1	83h
2	81h
3	82h
5	8Bh (sólo AT)
6	89h (sólo AT)
7	8Ah (sólo AT)

La BIOS inicializa los 8237 con un valor 0 en el *Command Register*. Casi todos los canales son establecidos por defecto en el modo *single*, transferencia de verificación, autoinicialización deshabilitada y modo incremento.

## 2.5 PROTOCOLO D.M.A. UTILIZANDO EL PUERTO PARALELO

### 2.5.1. Ciclo de lectura

**Figura 14.** Ciclo de lectura del puerto usando DMA



1. En el Host la línea HostAck va a bajo y espera por los datos.
2. El periférico pone los datos en las líneas de datos.
3. El periférico lleva la línea PeriphClk a bajo para indicar que hay un dato valido en las líneas de datos.
4. El Host lee los datos y lleva a alto la línea HostAck.
5. El periférico lleva la líneas PeriphClk su estado normal (alto).
6. El Host lleva la línea HostAck a su estado normal (bajo).

### 2.5.2. Ciclo de escritura por DMA

1. El Host pone los datos en el puerto.
2. El Host lleva a bajo la líneas HostClk para indicar que hay un dato valido.

**Figura 15.** Ciclo de escritura del puerto usando DMA  
DMA Escritura en el puerto (Salida)

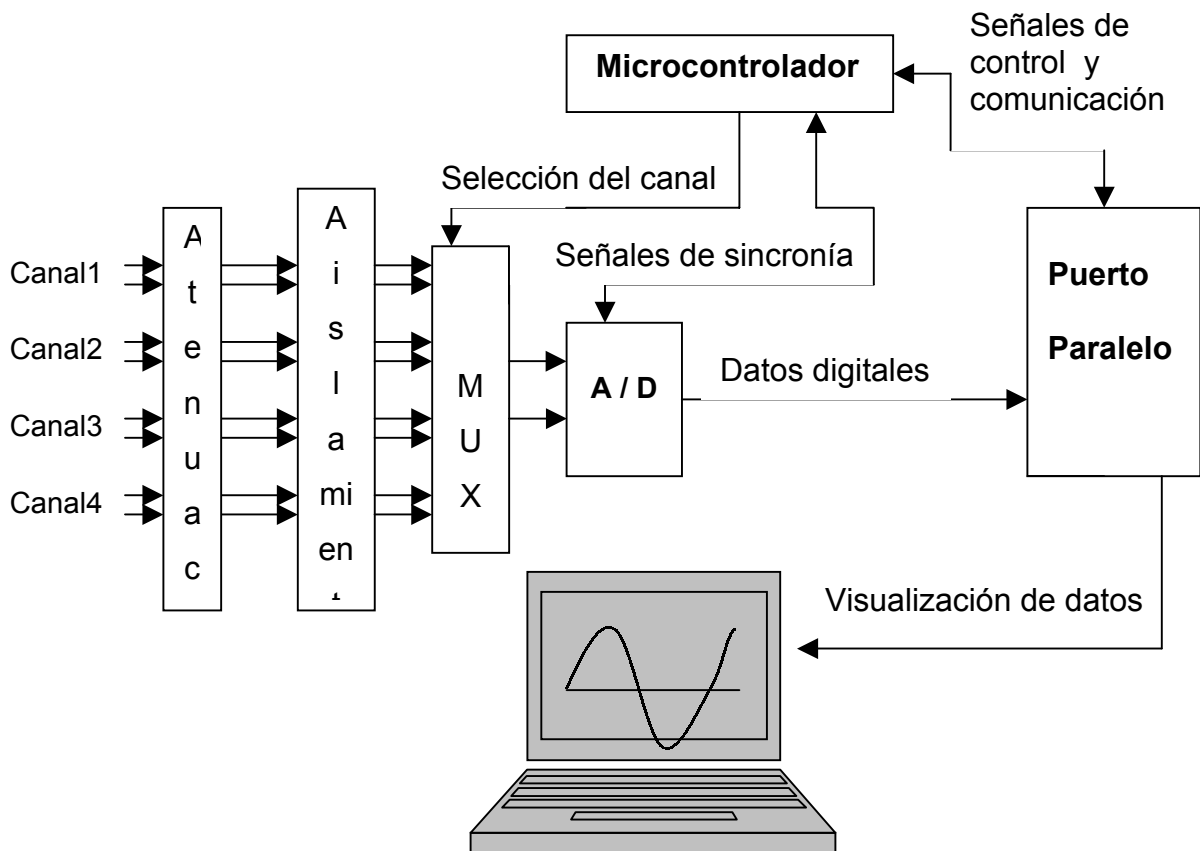


3. El periférico lleva a alto la línea PeriphAck para indicar que acepta el dato.
4. El Host lleva a alto la línea HostClk.
5. El periférico lleva a bajo la línea PeriphAck.

### 3. DESARROLLO DE LA TARJETA DE ADQUISICIÓN DE DATOS

En este capítulo se realiza una descripción específica de las etapas desarrolladas para el diseño de la tarjeta de adquisición de datos. A continuación se realizará un diagrama donde se explica a groso modo el funcionamiento de la tarjeta, mediante diagrama de bloques.

**Figura 16.** Diagrama general de la tarjeta de adquisición de datos



### 3.1 ETAPA DE ATENUACION

En la toma de datos es necesario que las señales a sensor estén en un rango de voltajes o corrientes adecuados, de tal forma que no causen daños en los equipos de medición. Particularmente en este trabajo se atenúan las señales sensadas a valores en un rango de 0 a 5V para posteriormente ser tratadas por el P.C.

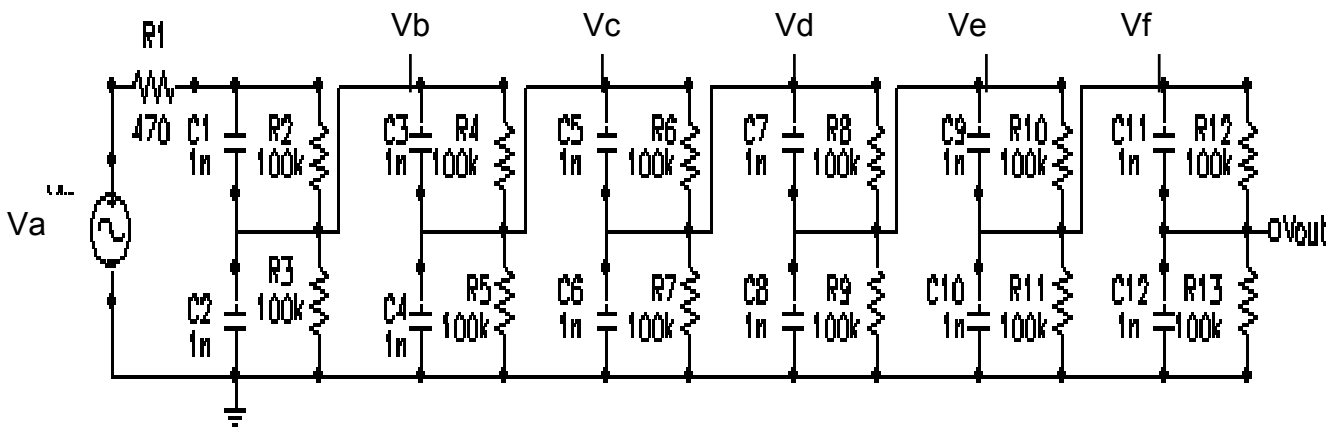
El principal problema para la atenuación de una señal es la distorsión de su forma de onda ocasionada por el mismo dispositivo de medición, observándose este fenómeno esencialmente cuando se trabaja con ondas cuadradas por efecto de los armónicos de orden superior presentes.

Para realizar esta tarea se tuvo en cuenta varios diseños, basados en:

- Divisores de tensión resistivos, los cuales presentaron problemas con señales a frecuencias mayores a 8KHz; por efecto de la reactancia que deforma la señal para frecuencias altas .
- Atenuador de un osciloscopio análogo Tektronix 5A23N, cuyos materiales son difíciles de conseguir en el mercado, principalmente los condensadores metálicos de 1 Nf a la tensión requerida (500v). Sin embargo se realizaron pruebas con condensadores cerámicos de 1 Nf que soportan solo tensiones de 50v, obteniendo resultados favorables.
- Circuito con redes RC, mostrado en la figura 17, con el cual se realizan seis divisiones sucesivas del voltaje de entrada, permitiendo obtener seis rangos de tensión a la salida, sin degenerar la respectiva forma de onda de la señal de entrada, realizando pruebas con resultados aceptables hasta con señales de 80 Khz.

El circuito RC fue escogido entre los diferentes diseños teniendo en cuenta los resultados obtenidos (principalmente en el rango de frecuencia de 10 a 50 KHz), costos y oferta de los dispositivos involucrados para su implementación.

**Figura 17.** Circuito de atenuación para una señal



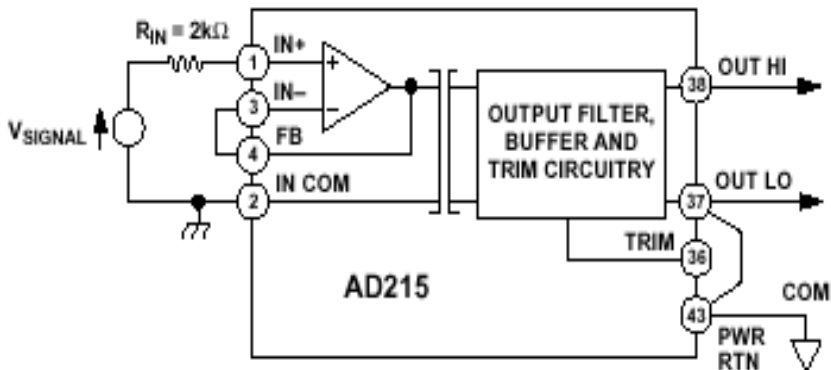
El anterior diseño permite al usuario la posibilidad de escoger de entre siete posibles opciones de salida Va, Vb, Vc, Vd, Ve, Vf y Vout, partiendo de la última (Vout, la cual permite mayor atenuación) y retrocediendo hasta obtener una tensión en un rango de 0 a 5V para poder sensorla.

Para cada uno de los cuatro canales se implementa una red como la mostrada anteriormente, en donde el usuario selecciona manualmente la salida atenuando la señal por un factor determinado, dependiendo de la red seleccionada; para posteriormente amplificarla por el mismo factor mediante el software implementado en Labview antes de la visualización. Los rangos de atenuación de tensión que se pueden seleccionar son: 1-5; 5-10; 10-50; 50-400 Y 400-700, estos dos últimos se utilizarán para sensor señales monofásicas y trifásicas provenientes de la red.

### 3.2 ETAPA DE AISLAMIENTO

Al momento de diseñar un prototipo es importante pensar en la forma de proteger ó aislar el sistema en caso de posibles fallas, el dispositivo clave para desempeñar tal función es el amplificador de aislamiento (AD215BY), cuyo esquema se muestra en la figura 18; el cual ofrece las funciones de aislamiento (aislamiento en modo común de hasta 1500 Vrms de la entrada respecto a la salida) y de amplificación (mediante la utilización del terminal FB); y con un ancho de banda práctico de hasta 20Khz, razón por la cual se tomó la decisión de utilizarlo respecto a otras posibilidades más comunes existentes en el mercado tales como el ISO 124P-ND, el cual tiene un ancho de banda práctico de hasta 5 Khz, después del cual se degenera la señal a sensar.

**Figura 18.** AD215 en configuración de ganancia unitaria



El tipo de aislamiento de la entrada respecto a la salida es galvánico (mediante un proceso de modulación–demodulación); para su funcionamiento necesita una alimentación de  $\pm 15\text{VDC}$  a 10 mA, permitiendo

el aislamiento entre la entrada y la salida sin utilizar fuentes separadas DC/DC, además de ofrecer una ganancia en un rango de 1 a 10, de acuerdo a como se configure (para mayor información remítase la hoja de datos mostrada en el anexo A).

Se utilizarán cuatro AD215BY para aislar cada señal de entrada (uno por cada canal) para entregarla al multiplexor de donde posteriormente será seleccionada. Además otro AD215BY será empleado para suministrar el voltaje de referencia ( $V_{ref}$ ) del conversor, el cual se fijará en 2.5 Voltios.

### **3.3 ETAPA DE CONVERSIÓN**

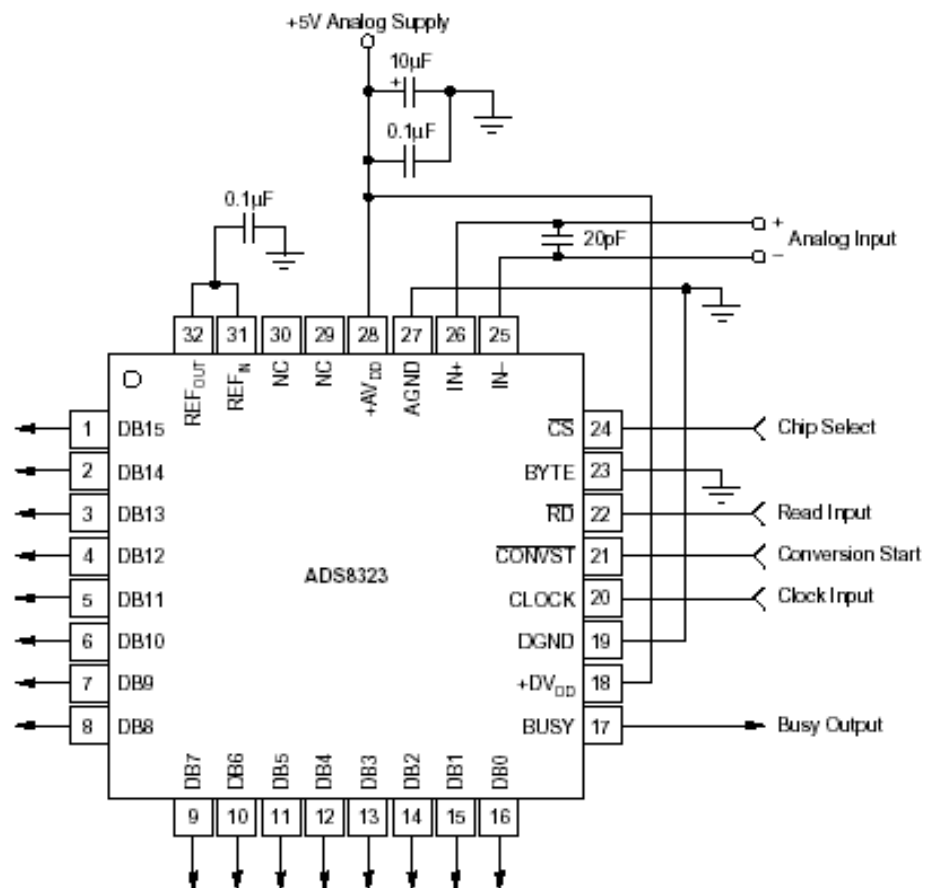
Para poder manipular los datos desde el P.C., se necesita de un conversor análogo – digital que permita la representación de dichos datos en forma digital. En un proceso de adquisición y conversión de datos, se deben tener en cuenta características específicas del conversor a utilizar tales como: frecuencia de muestreo, resolución y tipo de interfaz para transmitir los datos adquiridos, entre otras, las cuales permitirán un mejor procesamiento de la señal a sensar.

El conversor seleccionado es el ADS8323 de la Burr Brown, cuya configuración de pines se muestra en la figura 19, el cual realiza una conversión a 16 bits en modo de transmisión paralelo en una sola tanda ó una opción de 8 bits, donde el dato es leído utilizando dos ciclos de lectura y con una frecuencia máxima de muestreo de 500KSPS (Kilo Samples per second), la cual dependerá del reloj externo y de la manera en que se generen las señales de control que determinan la correcta sincronía en el

proceso de adquisición-conversión (para mayor información remítase la hoja de datos mostrada en el anexo A).

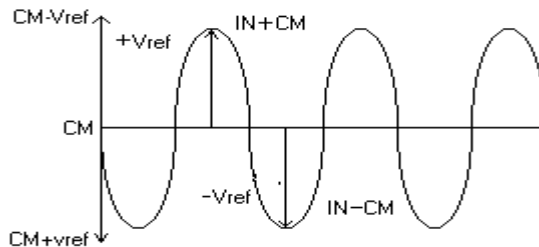
A continuación se muestra el diagrama del conversor utilizado, especificando cada uno de sus terminales y mostrando la forma de fijar su referencia, la conexión de su alimentación y tierra para poder lograr un correcto funcionamiento de este, de acuerdo con sus especificaciones.

**Figura 19.** Configuración común para el conversor



El ADS 8323 adquirirá a través de los pines 25 y 26 la señal diferencial a ser convertida. Al cortocircuitar los terminales 31 y 32, uniéndolos a tierra a través de un condensador de 0.1uf, tal como se muestra en la figura 20, se fijará un voltaje de modo común (CM) de 2.5V, el cual junto con un valor de voltaje de referencia (Vref) de 2.5V (Ver figura 20), determina el rango de la señal de entrada a ser convertida, comprendido entre  $[CM - Vref, CM + Vref]$ .

**Figura 20.** Rango de entradas para el conversor



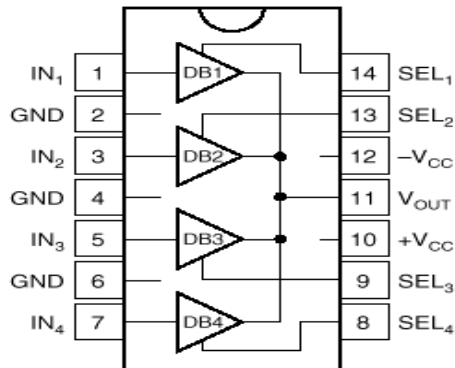
La señal de entrada es convertida a un número binario 16 bits (DB0- DB15) en complemento a dos, el cual se transmite al puerto paralelo en dos series de 8 bits cada una debido a la arquitectura del bus de datos del puerto paralelo, enviando primero los bits menos significativos (db0- db7) del bus de datos del conversor, los cuales se encuentran físicamente conectados al puerto paralelo y después los más significativos (db8- db15) mediante una transición de bajo a alto en la señal BYTE (Señal externa generada desde el microcontrolador), esta acción se ejecutará en forma sucesiva para cada muestra que se genere.

El convertor internamente emplea cuatro ciclos de su reloj externo (el cual se fija en un valor de 10 Mhz, que equivale a 0.1 us por ciclo), para adquirir la señal a convertir, posteriormente se realiza el proceso de conversión para lo cual se requieren 16 ciclos de reloj externo; una vez realizada la conversión el dispositivo esta preparado para que sea leída la primera muestra, la cual esta representada mediante 16 bits. Un alto en la señal de BYTE junto con un alto en RD, habilita la transferencia de cada serie de 8 bits hacia el puerto paralelo.

Cada canal es muestreado un número determinado de veces, dependiendo del número total de muestras asignadas para D.M.A. (teniendo por defecto un máximo de 65.000 muestras disponibles) y del número de canales habilitados en el proceso de sensado; el número de muestras por canal se obtiene de dividir el número de muestras totales asignado por D.M.A. entre el número de canales habilitados; cada muestra es enviada a través del puerto paralelo mediante un proceso de D.M.A. hasta completar el número de muestras totales.

**3.3.1 La selección del canal** El proceso de selección de los canales de entrada a ser convertidos se realiza mediante un multiplexor MPC100 (Ver figura 21), el cual ofrece la posibilidad de escoger entre cuatro opciones de entrada, que corresponderán a los cuatro posibles canales consecutivos a ser seleccionados.

**Figura 21.** Multiplexor MPC100



El número de canales consecutivos a ser sensado, será escogido desde labview y enviado vía puerto paralelo a través de los pines 1 y 17 hacia el microcontrolador, el cual lo decodificará y generará una palabra de cuatro bits correspondiente al canal seleccionado (Ver tabla 17 de selección de canal)

**TABLA 17.** Selección del canal

SEL 1	SEL 2	SEL 3	SEL 4	VOUT
0	0	0	0	HI - Z
1	0	0	0	IN1
0	1	0	0	IN2
0	0	1	0	IN3
0	0	0	1	IN4

La salida normal del multiplexor estará en alta impedancia (HI-Z), una vez se establece la comunicación entre el P.C. y el microcontrolador, se genera desde el P.C un código de dos bits con el cual el microcontrolador ejecuta

una rutina para determinar cuantas entradas consecutivas se deben seleccionar.

El microcontrolador utiliza un bit alto cargado en un registro interno (que corresponde al canal uno habilitado por defecto) el cual es rotado hasta tres posiciones sucesivas dentro del registro y así se genera una palabra de cuatro bits que corresponde al canal seleccionado.

El número de canales a sensar será escogido desde Labview (casilla número de canales) en el menú principal y el multiplexor se utilizará para tomar sucesivamente una muestra de cada señal que se encuentre a la entrada, evitando tener que esperar las N muestras de un canal para posteriormente continuar con el siguiente, lo cual produciría un desfase de tiempo significativo al momento de analizar una señal respecto a otra.

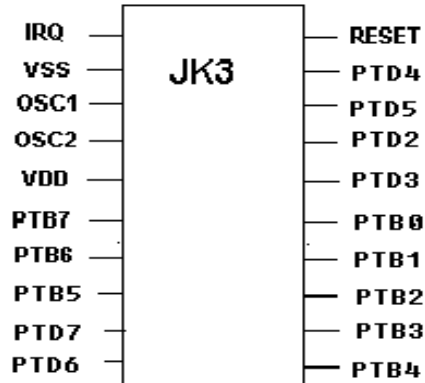
Al momento de seleccionar canales sucesivos, se debe asegurar que transcurra un tiempo suficiente entre las muestras de un canal y el siguiente, para que la señal de salida del multiplexor corresponda únicamente al canal seleccionado y no habrá muestras de canales anteriormente seleccionados, para lo cual mediante la rutina implementada en el microcontrolador se asignará un tiempo de espera entre la habilitación de un canal y el siguiente.

### **3.4 ETAPA DE TEMPORIZACIÓN:**

El dispositivo encargado de esta función es el microcontrolador MC68HC908JK3, de la familia motorola, cuyos terminales se muestran en la figura 21, el cual proveerá las señales de control que cumplan con el diagrama de tiempos del conversor y sincronizará la transmisión de datos

con el puerto paralelo para asegurar una correcta adquisición (protocolo de comunicación).

**Figura 22.** El microcontrolador JK3 y sus terminales.



Para cumplir con el diagrama de tiempo del convertor, es necesario proporcionar ciertas señales de control mostradas en la tabla 18, las cuales deberán entregarse al convertor de manera síncrona para asegurar el correcto proceso adquisición - conversión .

**TABLA 18.** Señales de control para el funcionamiento del convertor

SEÑAL	FUNCIÓN
<b>CLOCK</b>	Establece la frecuencia de trabajo del convertor.
<b>CONVST</b>	Da inicio al proceso de conversión.

<b>BYTE</b>	Escoge el modo de transmisión. En particular como se tiene un puerto de 8 bits, la señal de byte deberá indicar en que momento se realiza el intercambio de los 8 bits menos significativos, por los más significativos, mediante una transición de bajo a alto.
<b><math>\overline{\text{CS}}</math></b>	Permite habilitar el chip, durante el proceso de adquisición estará alto permitiendo la adquisición.
<b><math>\overline{\text{RD}}</math></b>	Determina el proceso de lectura de muestras, una vez realizada la conversión RD va a bajo, indicando que existe un dato válido a la salida y que este puede ser leído.

Por su parte el conversor generará una señal BUSY durante el proceso de conversión, la cual indica en que momento el conversor se encuentra ocupado convirtiendo (busy alto) y cuando finaliza el proceso de conversión y se encuentra disponible para adquirir una nueva señal ( busy bajo); la señal BUSY es atendida mediante la instrucción BIH (Branch Interruption Hight), razón por la cual se tiene que ajustar su estado mediante un inversor para lograr una correspondencia entre la señal generada y el software implementado en el microcontrolador.

A continuación se especifican en la tabla 19 los pines del puerto B del microcontrolador utilizados para generar las respectivas señales de control del conversor.

**Tabla 19.** Pines del microcontrolador asignados al conversor.

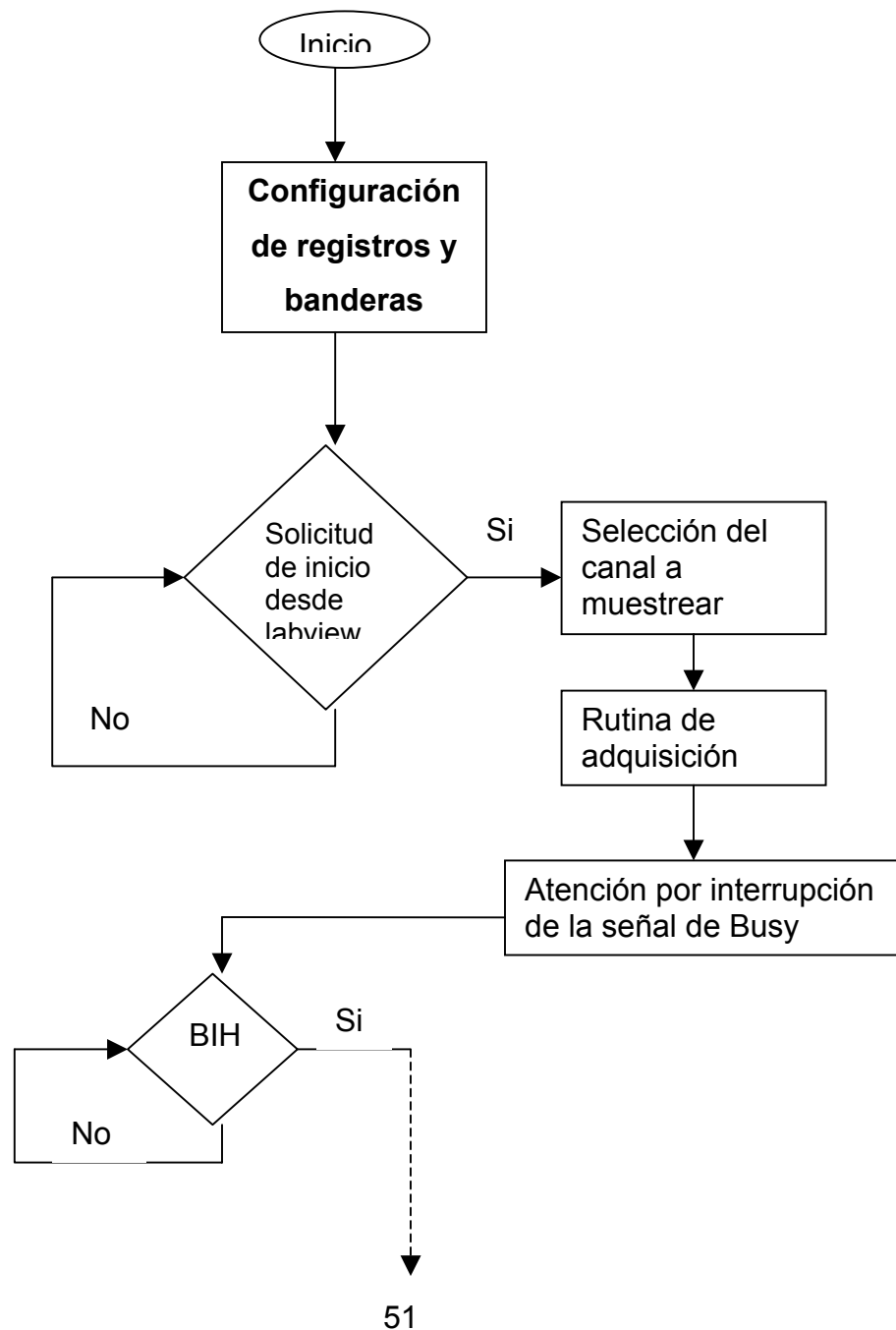
<b>SALIDAS DEL PUERTO B</b>	<b>SEÑALES DEL CONVERTOR</b>
PTBO ( pin 15 )	RD
PTB1 ( pin 14 )	CS
PTB2 ( pin 13 )	BYTE
PTB3 ( pin 12 )	CONVST

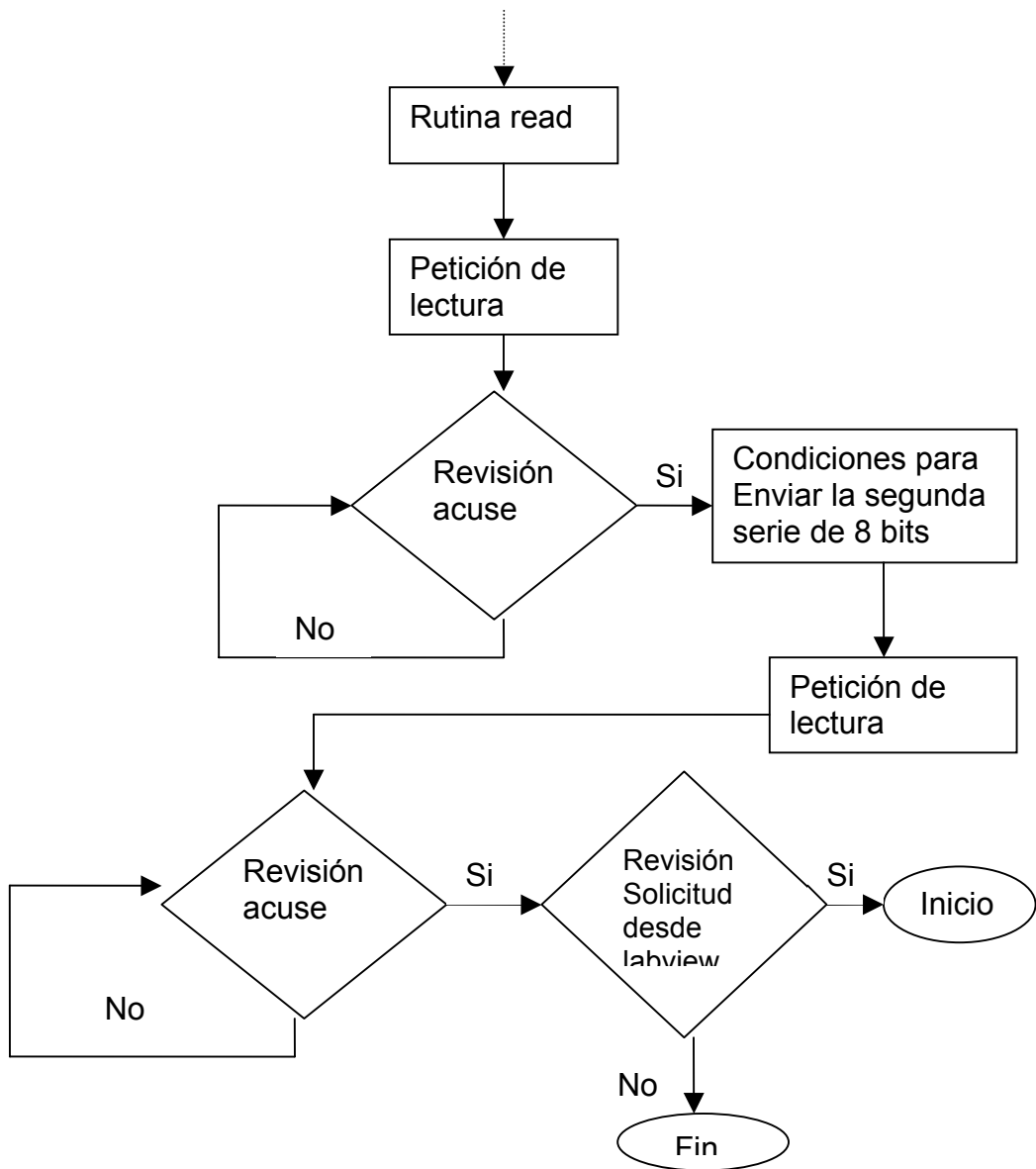
La respectiva señal de reloj para el conversor se generará mediante un cristal externo (de 10 Mhz de frecuencia) con el cual se puede lograr un incremento considerable en la frecuencia de reloj respecto a la que genera la función de P.W.M.(Pulse Wide Modulation) del microcontrolador, que alcanza los 2Mhz, por lo cual se optó por esta opción.

La señal de BUSY es generada por el conversor y recibida por el microcontrolador, en forma de interrupción a través del terminal IRQ (pin 1 del microcontrolador); el microcontrolador se encarga también de establecer la transmisión de datos entre el conversor y el P.C. para lo cual son asignados los pines 8,7 y 6 respectivamente, encargados de atender una solicitud de inicio del proceso de adquisición desde el P.C. (PTB5), indicar cuando se tiene una muestra (PTB6), y recibir el acuse proveniente del P.C. para continuar con la siguiente muestra (PTB7). Este proceso de transmisión a través de PTB6 y recepción por PTB7, permite la correcta sincronía entre el P.C. y la tarjeta de adquisición.

El control y la verificación del proceso de adquisición-conversión, es realizado mediante el microcontrolador, para lo cual se diseño un programa, el cual a continuación es explicado mediante un diagrama de flujo.

**Figura 23.** Diagrama de flujo del programa para el microcontrolador





### 3.5 ETAPA DE ADQUISICIÓN

El proceso de adquisición de datos utilizando el puerto paralelo del P.C. se realiza por medio de la ejecución de una rutina programada en lenguaje Ensamblador, con la cual teniendo en cuenta las características de D.M.A.

que presenta el puerto en el modo E.C.P. permite obtener una mayor velocidad en la adquisición de datos.

La rutina de adquisición emite la orden para que el microcontrolador genere las señales de control necesarias para que comience el proceso de conversión análogo a digital. Posteriormente se programa el controlador de D.M.A. (8237) dejándolo listo para la adquisición y esperando la solicitud realizada por el microcontrolador (dispositivo encargado de la sincronía en la tarjeta de adquisición). Al terminar este proceso el programa genera un archivo (Nombre. dat) en donde se guardan los datos obtenidos. Por defecto se utilizará 0378H como la dirección base del puerto paralelo y el canal 3 de D.M.A.

El programa desarrollado en assembler cumple las siguientes funciones:

a. Configuración del puerto paralelo

Se asigna 0378H como dirección base, de tal modo que también se puedan definir las direcciones de los registros de Datos, Estado, Control, A, B y ECR que utiliza el puerto en el modo E.C.P..

b. Inicializar el microcontrolador.

El microcontrolador espera la señal de inicio generada por el pin 16 del puerto paralelo o bit C2 del registro de control, para empezar a emitir las señales de tiempo que manejarán al conversor A/D.

c. Configuración del controlador de D.M.A. 8237

- El canal 3 de DMA es configurado para el proceso de adquisición, teniendo en cuenta los registros de página, dirección y contador .
- Se programa un Buffer para guardar los datos del proceso de adquisición.

- Se realiza una copia de los registros de máscara de todos los canales del D.M.A. de 8 y 16 bits de tal forma que al terminar la rutina se restablezcan, además se enmascaran estos canales para poder programar el controlador 8237
- Establecer la entrada de datos por medio de la habilitación del bit C5 (colocando un 1) y se deshabilita el uso de la interrupción colocando un cero (0) en el bit C4 del registro de control.
- Generar las direcciones de 20 bits para almacenar los datos en la memoria, por medio del uso del registro de página y el de dirección (16 de memoria física + 4 de página).
- Al contador del canal 3 se le asigna un número de bytes a transferir (60.000), que corresponde al número total de muestras.
- Programación del modo de transferencia, utilizando el modo demanda.
- Desenmascarar el canal 3 para la adquisición.
- Configuración del registro ECR para el uso del modo ECP con DMA
- Revisión del registro de estado del controlador 8237 para que el proceso finalice al terminar la transferencia del número de bytes indicados.
- Restaurar los valores originales en los registros de máscara de todos los canales de 8 y 16 bits.

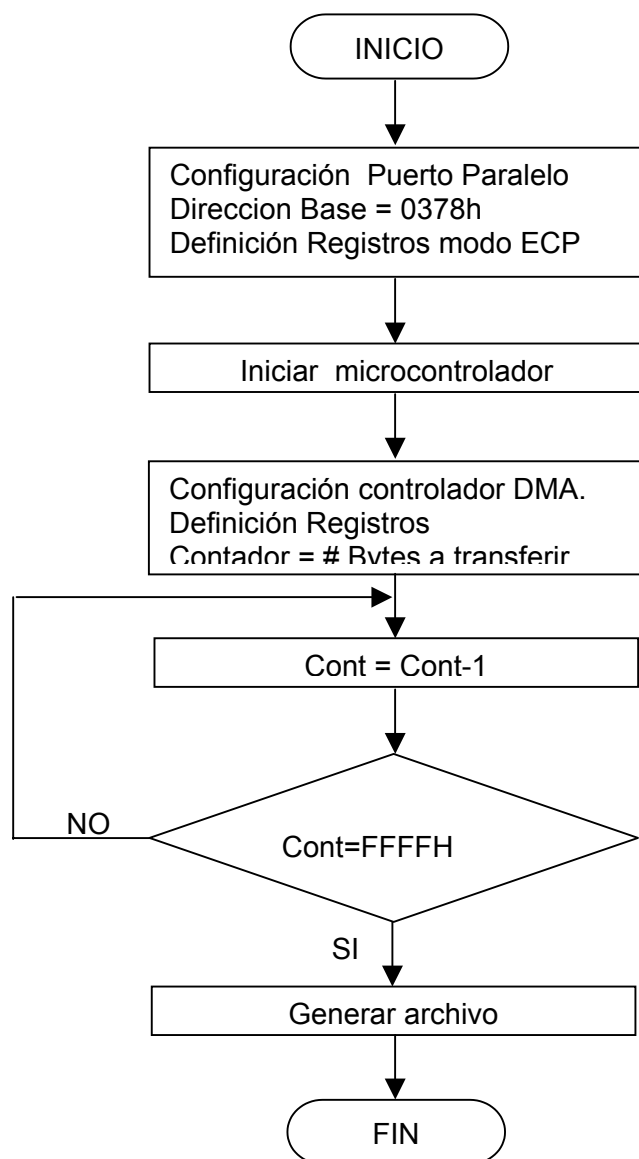
d. Finalizar el trabajo del microcontrolador.

Por medio del pin 16 del puerto paralelo o bit C2 del registro de control finaliza el trabajo del microcontrolador.

e. Guardar la información adquirida en un archivo (Nombre.dat) .

En la figura 23 se muestra el diagrama de flujo del proceso de adquisición.

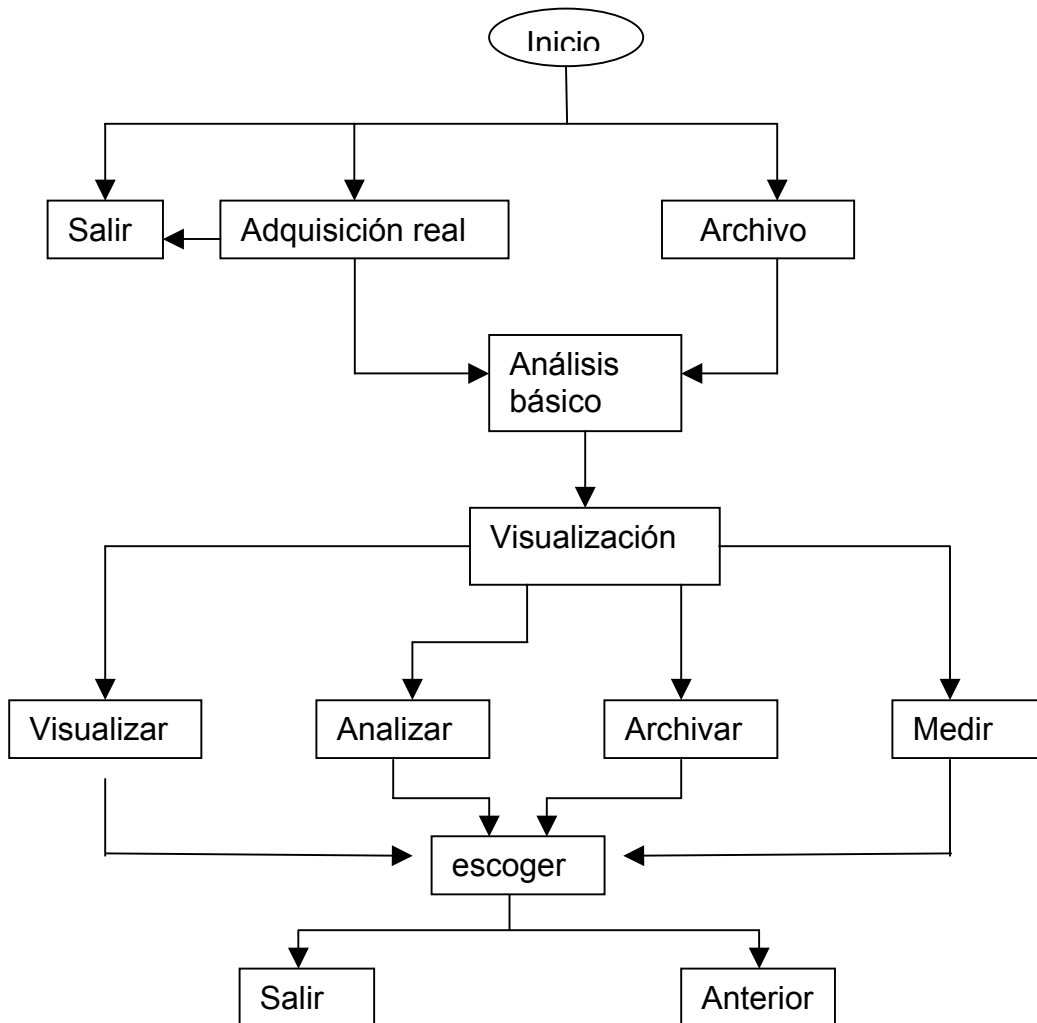
**Figura 24.** Diagrama de flujo del programa para D.M.A.



### 3.6 ETAPA DE VISUALIZACION

El software de visualización se desarrolló en Labview, esta es una herramienta que permite manejar un entorno de programación gráfico, diseñado especialmente para realizar funciones de instrumentación y control. A continuación se elaborará un diagrama de flujo en donde se resume el programa diseñado en labview.

**Figura 25.** Diagrama de flujo del programa en labview



La etapa de visualización será explicada en detalle en el siguiente capítulo, donde se mostrarán las adquisiciones realizadas.

El programa cumple las siguientes funciones :

- Permite seleccionar desde labview el número de canales a sensar y el factor de atenuación de cada canal; la selección debe coincidir con la realizada por medio de la perilla para tener precisión en la medición .
- Verifica la activación del microcontrolador por medio de la encuesta de un bit de estado del puerto e indica si no es correcta mediante un mensaje evitando problemas en el proceso de adquisición.
- Posteriormente ejecuta la rutina de adquisición programada en lenguaje ensamblador (descrita en el numeral anterior) la cual almacena los datos adquiridos en un archivo en código ASCII.
- Lee los datos del archivo, los clasifica según el número de canales seleccionados y los arregla en forma de vectores de tal forma que puedan ser visualizados.
- Gráfica los resultados de la adquisición.
- Permite guardar en un archivo las señales sensadas en una adquisición.

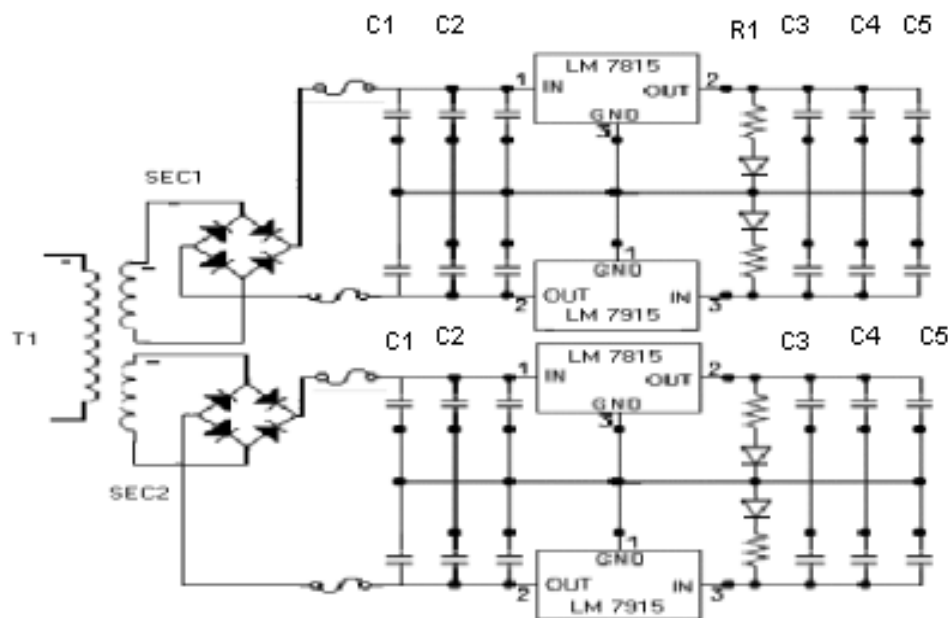
### **3.7 ETAPA DE POTENCIA**

Al momento de diseñar el sistema, se debe pensar en la manera de suministrar la potencia necesaria para el correcto funcionamiento de los diferentes circuitos integrados utilizados en la tarjeta.

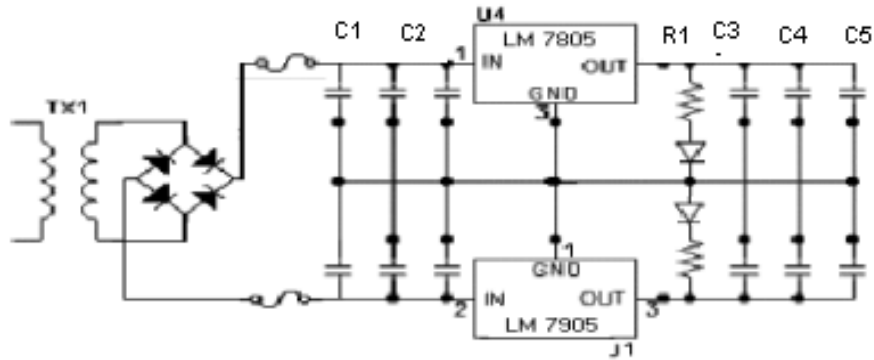
Para suministrar la alimentación del sistema se diseñaron y construyeron tres fuentes duales. Una de  $\pm 15V$  (Ver figura 26), cuya función será alimentar el amplificador de aislamiento que se encarga de suministrar la tensión de referencia para el conversor; otra fuente de  $\pm 15V$  (Ver figura 26), la cual entregará la tensión de alimentación a cada uno de los cuatro amplificadores de aislamiento que se encuentran en la etapa de entrada; la otra fuente (Ver figura 27) entregará los  $\pm 5v$  necesarios para los restantes dispositivos.

Se utilizaron dos transformadores; el primero de ellos con relación de 8:1, y dos devanados secundarios con derivación central independiente para cada uno; uno de estos secundarios será utilizado para suministrar la tensión de  $\pm 15Vdc$  que fijó mediante un aislador la referencia del conversor mientras el otro secundario suministró la tensión de  $\pm 15Vdc$  para los aisladores restantes; el otro transformador con relación de 20:1 y devanado secundario con derivación central se empleó para suministrar los  $\pm 5Vdc$  para los restantes circuitos integrados de la tarjeta.

**Figura 26.** Fuente de alimentación de  $\pm 15V$



**Figura 27.** Fuente de alimentación con salidas de  $\pm 5\text{VDC}$



La tensión en el secundario de cada transformador será rectificadas a través de un puente de diodos para posteriormente filtrarla mediante dos condensadores electrolíticos (C1) de 1100uf a 25V y dos condensadores cerámicos (C2) de 0.1uf.a 25V colocados en paralelo, el paso siguiente será regular la tensión al valor deseado; para compensar los efectos del rizado a la salida de cada regulador se ubicarán dos condensadores electrolíticos (C3) de 2200uf a 25v, seguidos de dos condensadores cerámicos (C4)de 0.1uf a 25V y finalmente dos condensadores de tantalio (C5) de 1uf a 25V y a través de una resistencia (R1) que limite el paso de corriente a un valor de 20 ma, para posteriormente encender un par de diodos led, se indicó el funcionamiento adecuado de cada fuente.

Mediante un integrado 78LS15 se regula la tensión a un valor de 15VDC y mediante un 79LS15 se obtienen  $-15\text{VDC}$ , estas tensiones se utilizarán para la alimentación de los amplificadores de aislamiento. Para la alimentación del multiplexor y los restantes dispositivos que se encuentran en la tarjeta, se utilizarán los integrados 78LS05 y 79LS05 para obtener los  $\pm 5\text{VDC}$  requeridos.

## **4. MANUAL DE USUARIO Y EJEMPLOS**

En este capítulo se hace una breve presentación del programa o software utilizado como interfaz usuario y los requisitos mínimos del sistema para la ejecución del mismo.

### **4.1 REQUISITOS MÍNIMOS**

Para poder ejecutar este programa son necesario los siguiente requisitos :

Computador:

- Procesador Pentium, K5 o mayor (preferiblemente).
- Mainboard que posea puerto paralelo con modo ECP.
- RAM 32 MB (mínimo).
- Capacidad de disco duro disponible 800MB o más.
- Unidad de CD-ROM o unidad de disquete.
- Tarjeta de video SVGA o mayor.
- Monitor que soporte una resolución de 800x600 preferiblemente SVGA o mayor.

Software:

- Sistema operativo Windows 95, 98, Me o XP.
- Labview 6i.
- Matlab 5.3.

## 4.2 CONFIGURACION DEL P.C.

Es necesario verificar los siguientes datos en la BIOS-SETUP del computador en uso (para ingresar a esta revise el manual de usuario que posee el P.C. o el de la tarjeta principal o mainboard si es un equipo clon):

- Puerto paralelo con dirección 0378h en modo ECP.

**Nota:** En caso de no configurar el puerto paralelo de esta forma no se podrá utilizar este programa.

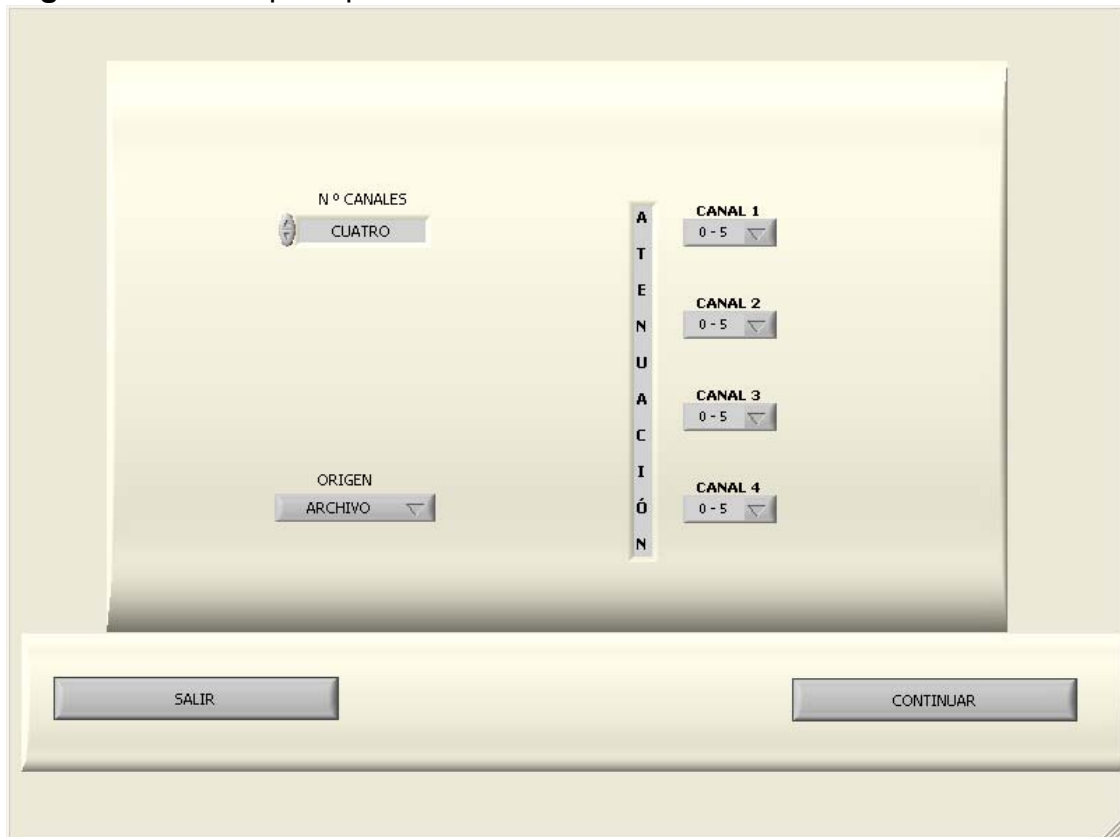
## 4.3 INTERFAZ USUARIO

El programa principal se desarrollo en Labview utilizando Matlab el cual realiza algunos cálculos. En esta sección se hará una presentación rápida del programa.

En la figura 28 se presenta el menú principal del programa en donde podemos establecer los siguientes parámetros:

- *Número de canales* a sensar, máximo 4.
- Factor de *atenuación* de cada uno de los canales en los siguientes rangos: 0-5, 5-10, 10-50, 50-400 y 400-700.
- El *origen* de los datos a visualizar pueden venir de un archivo anteriormente guardado con un nombre definido por el usuario, ó de una adquisición con el equipo completo (tarjeta de adquisición y atenuación).

**Figura 28.** Menú principal



Si se oprime el botón *continuar* se presenta la pantalla mostrada en la figura 29, en donde se tienen 4 menús a seleccionar como son: *Visualización*, *Analizar*, *Archivar* y *Medidas*.

a. El menú *Visualización* posee las siguientes características :

- Visualización de las señales por ciclos o en forma libre; por *ciclos* se podrán definir los ciclos específicos que se desean observar (máximo 50 ciclos), con la característica de autoescala en el eje Y por defecto. En la forma *libre* la gráfica se puede desplazar con la herramienta de mover sin necesidad de definir los ciclos, convirtiendo los controles de ciclos en indicadores.

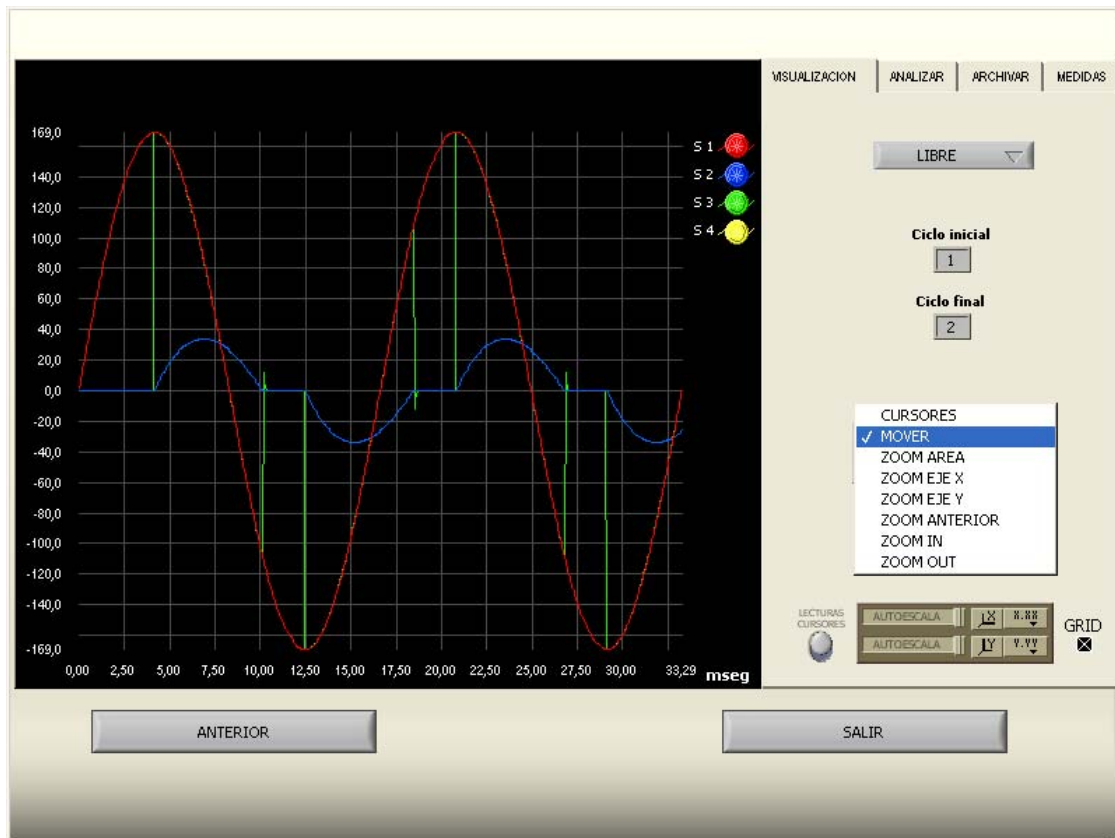
**Figura 29.** Menús : Visualización, Analizar, Archivar y Medidas.



- Posee herramientas de control para la visualización permitiendo una mejor comprensión de las gráficas, tales como: cursores, mover y varios zoom como se observa en la figura 30. Mover permite desplazar la gráfica en forma manual. Zoom permite realizar una ampliación o reducción a escala de las gráficas.
- Cuenta con dos cursores A y B para realizar mediciones de diversos puntos de las gráficas, los cuales pueden aparecer o desaparecer como se ve en las figuras 29 y 30 respectivamente.

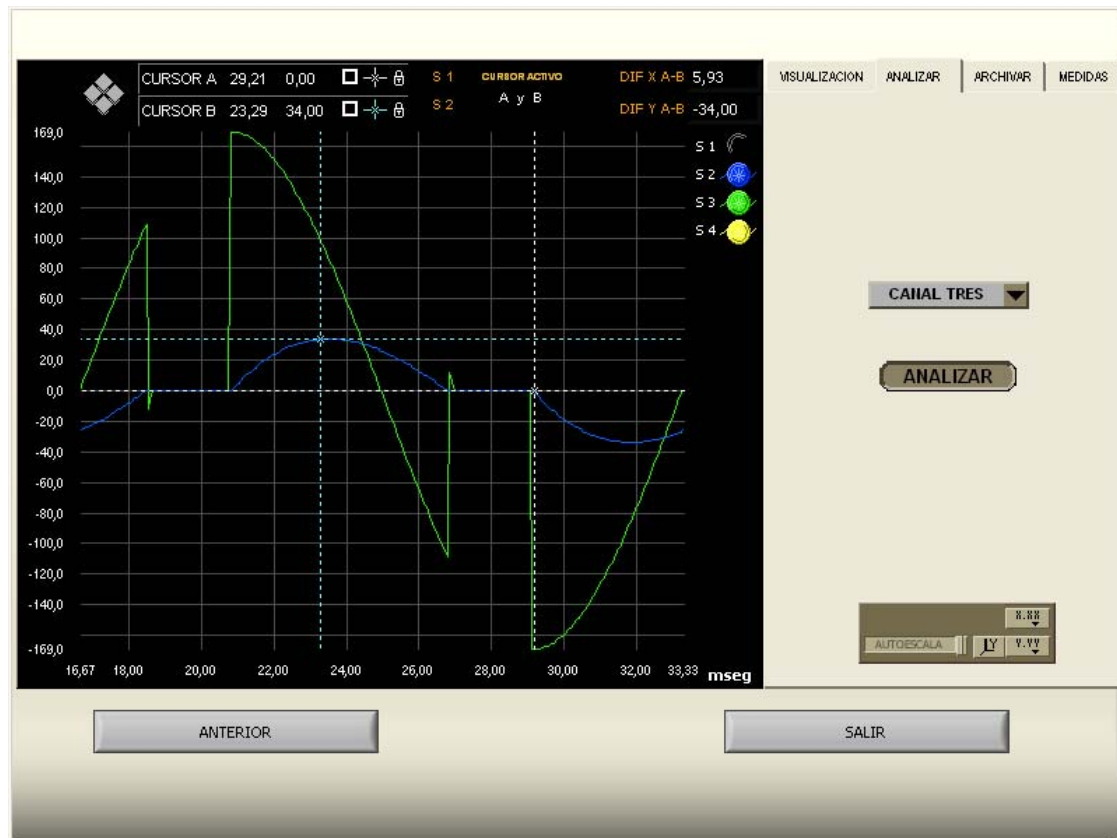
- Controles de colores diferentes (rojo, azul, verde y amarillo) para agregar o quitar gráficas de cada canal sentido.
- *Grid* o cuadrícula para mejorar la apreciación de las gráficas.

**Figura 30.** Menú Visualización, controles de manejo para visualizar las gráficas.



- b. El menú *Analizar* permite realizar un análisis (con ayuda de Matlab) de cada una de las señales obtenidas manejando su respectivo espectro en frecuencia. En este menú definimos el canal a ser analizado, como se ve en la figura 31.

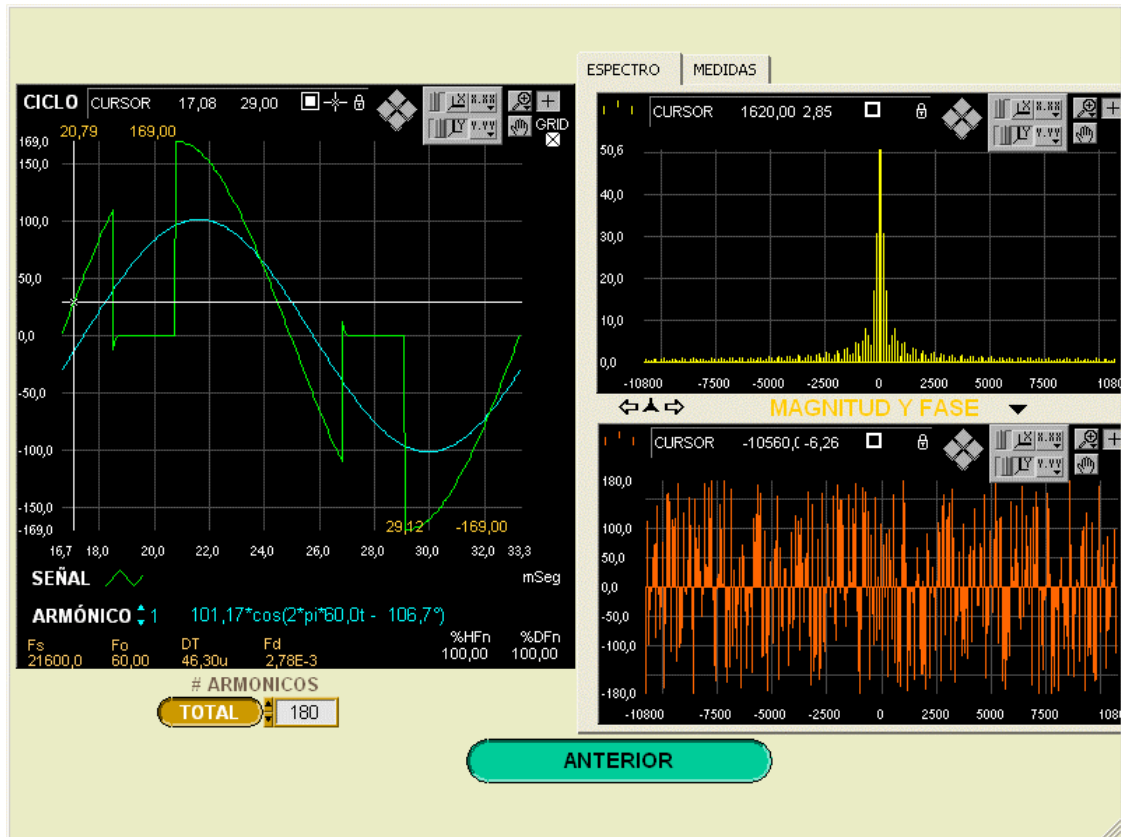
Figura 31. Menú Analizar



El menú *Analizar* posee dos submenús denominados *Espectro* y *Medidas*.

El submenú *Espectro*, nos muestra el espectro en frecuencia, en *magnitud* y *fase*, *real* e *imaginario* de la señal, utilizando la totalidad de armónicos que posee o de una forma parcial (el usuario define el número de armónicos a visualizar) que se utilizan para realizar los diferentes cálculos que se muestran, tales como frecuencia de muestreo, una estimación de la frecuencia de la señal sensada, etc. Además permite observar y definir por medio de una ecuación senoidal cada uno de los armónicos que posee la señal. Ver figura 32.

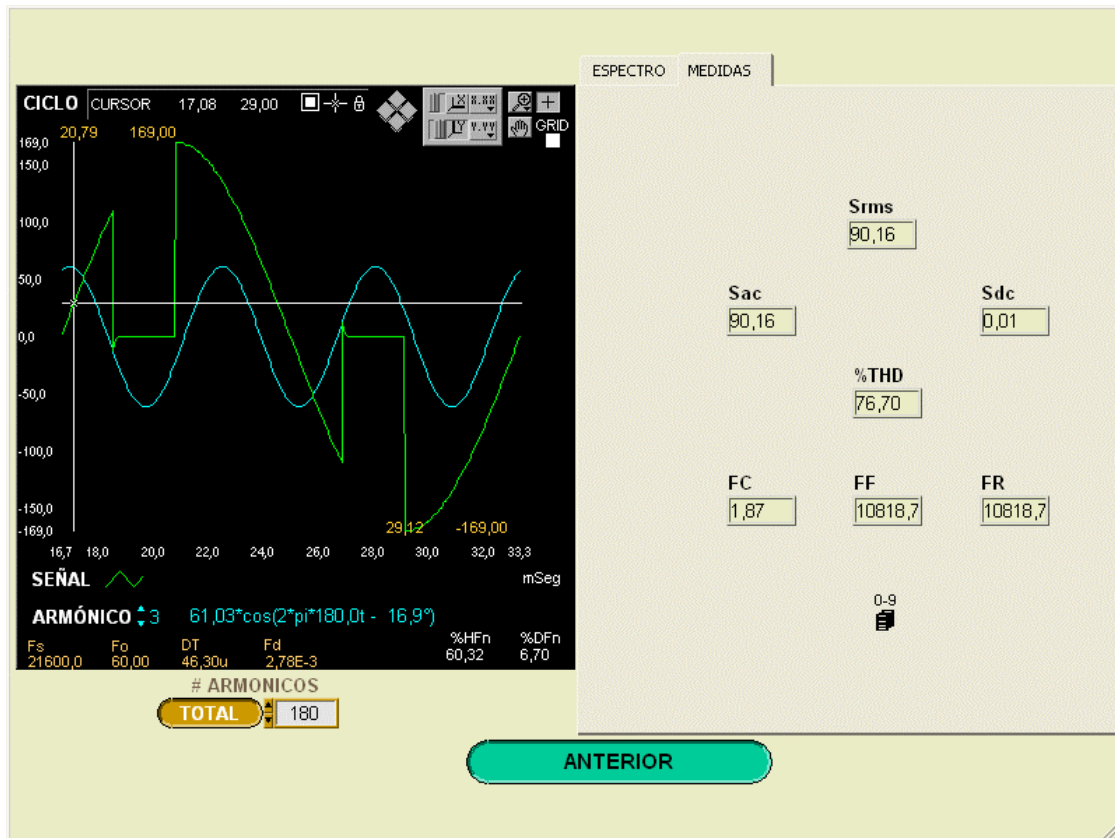
Figura 32. Menú Analizar, submenú Espectro



El submenú *Medidas* nos permite observar algunas medidas calculadas basadas en el número de armónicos definidos. Entre ellas tenemos : Srms (valor RMS), Sac (valor AC), Sdc (valor DC), %THD (porcentaje de distorsión armónica total), FC (factor de cresta), FF (factor de forma) y FR (factor de rizo) de la señal. Observe la figura 33.

En los dos submenús se observan herramientas de visualización que se encuentran en la pantalla de la gráfica, las cuales pueden ser utilizadas para mejorar la comprensión de las señales.

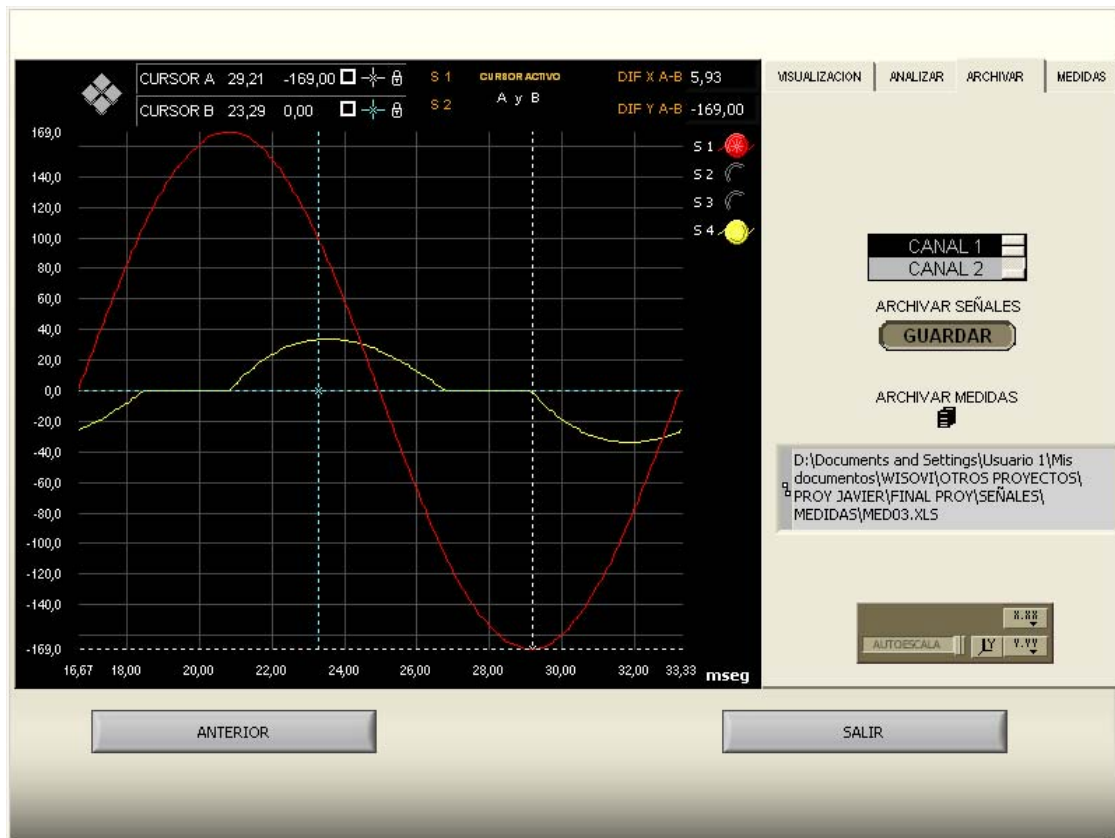
Figura 33. Menú Analizar, submenú Medidas



- c. El menú *Archivar* nos permite grabar en disco (ya sea en el disco duro, unidad de disquete u otro medio de almacenamiento), la forma de las señales adquiridas y las medidas de dichas señales, por medio de tablas en el formato de las hojas de cálculo. Los archivos guardados se pueden imprimir o manipular. Se permite almacenar 1 o hasta 4 gráficas ó medidas a la vez. Para almacenar varias gráficas o medidas se señalan los canales utilizando el mouse y la tecla Shift.

Vea este menú en la figura 34.

Figura 34. Menú Archivar



- d. El menú *Medidas* permite visualizar algunas medidas importantes de cada una de las señales (canales) adquiridas tales como valores RMS, AC, DC, pico a pico, frecuencia de la señal, porcentaje de distorsión armónica total, máximos y mínimos con sus respectivos tiempos.

En la figura 35 podemos observar este menú.

Figura 35. Menú Medidas



Para salir del programa solo basta oprimir el botón salir en cualquiera de los menús.

#### 4.4 OBSERVACIONES

- En caso de errores en la ejecución del programa este lo indicará con el mensaje correspondiente.
- Para la instalación del programa se ejecuta el archivo *Instalar* que posee el CD-R.

- Asegúrese que cada uno de los módulos tenga su respectiva alimentación lo cual se indicará mediante el encendido del par de diodos de cada fuente dual. Si alguno de estos no enciende se deberá revisar la fuente correspondiente.
- El equipo de adquisición esta implementado de tal forma que la primera señal a sensor corresponda al *Canal1* y si se desea adquirir más señales se deben ubicar de manera consecutiva en los siguientes canales (*Canal2*, *Canal3* y *Canal4*).
- El usuario antes de utilizar el equipo debe cerciorarse de que la perilla de atenuación se encuentre en el nivel adecuado para la amplitud de la señal a sensor y que la opción de atenuación que se incluye en el menú principal del programa sea la correspondiente en cada uno de los canales. Es recomendable utilizar el nivel máximo de atenuación si no se esta seguro de la amplitud de la señal a sensor, teniendo la posibilidad de ajustar el rango posteriormente.

#### **4.5 SEÑALES ADQUIRIDAS**

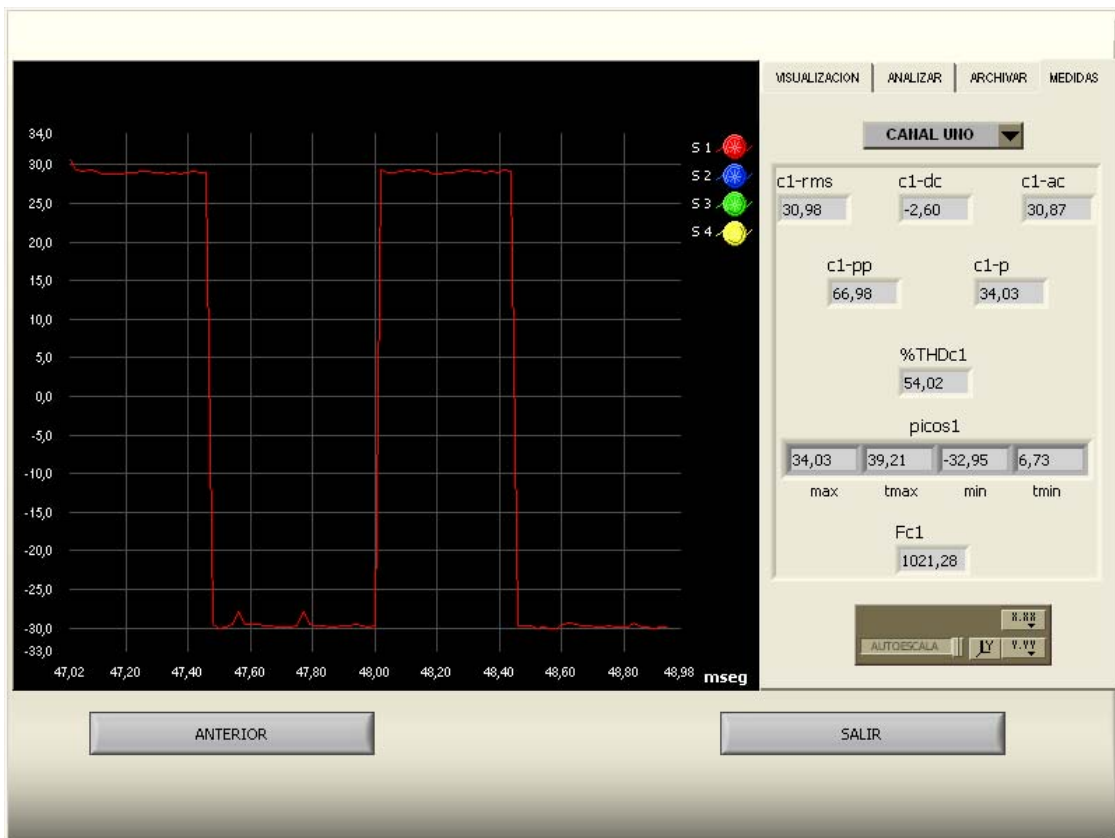
En esta sección se presentan algunas señales adquiridas utilizando el *sistema de adquisición* que incluye los *módulos de atenuación, de adquisición y el programa de aplicación*.

Las gráficas que se muestran a continuación ilustran el funcionamiento del sistema de adquisición utilizando 1, 2, 3 y 4 canales.

Cada una de las señales adquiridas se ajustaron al rango de atenuación correspondiente tanto en el módulo de atenuación (por medio de la perilla) como en el programa de aplicación. Posteriormente se utilizó como origen de los datos la opción *Adquisición*, luego se selecciono el menú de medidas en cual se pueden observar algunos parámetros importantes de las señales adquiridas tales como valores RMS, AC, DC, pico a pico, pico, porcentaje de distorsión armónico total, frecuencia de la señal, máximos y mínimos con sus respectivos tiempos.

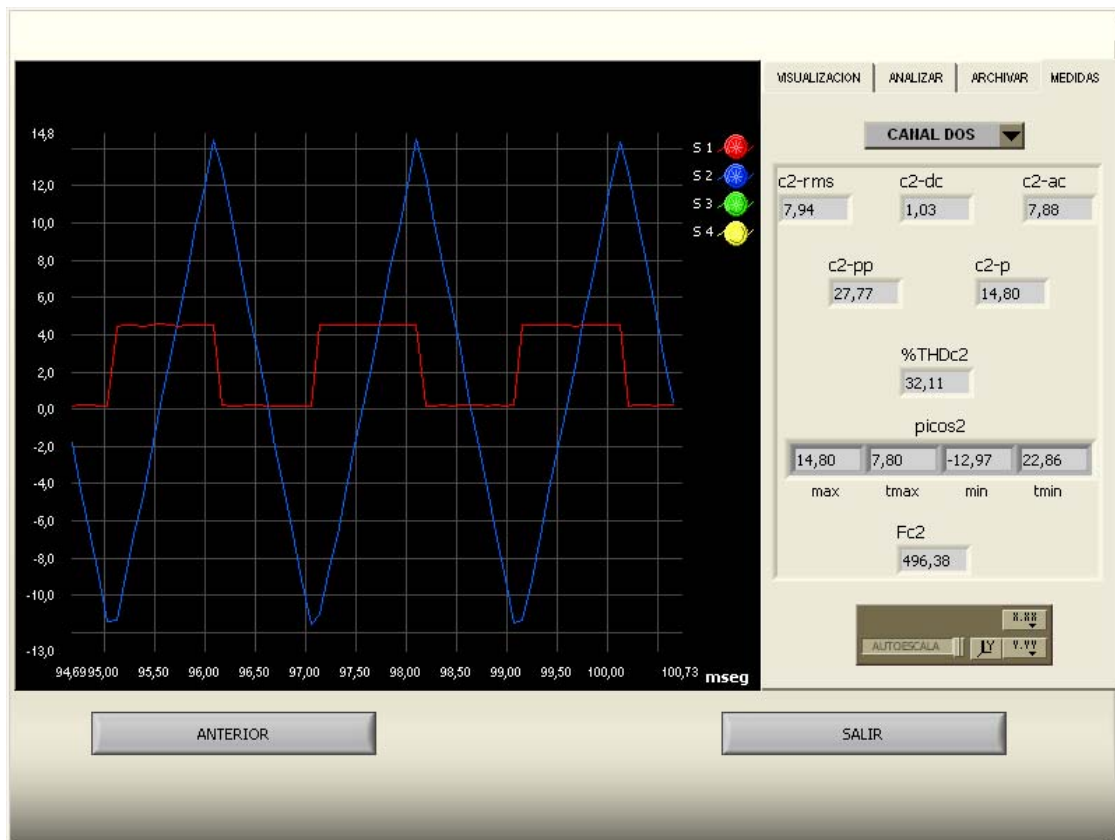
- a. Adquisición de una señal cuadrada de 1Khz utilizando un solo canal (ver figura 36).

**Figura 36.** Adquisición de una señal cuadrada utilizando un solo canal.



- b. Adquisición de dos señales de 500Hz; *Canal1*: señal cuadrada y *Canal2*: señal triangular (ver figura 37).

**Figura 37.** Adquisición de dos señales: triangular y cuadrada.



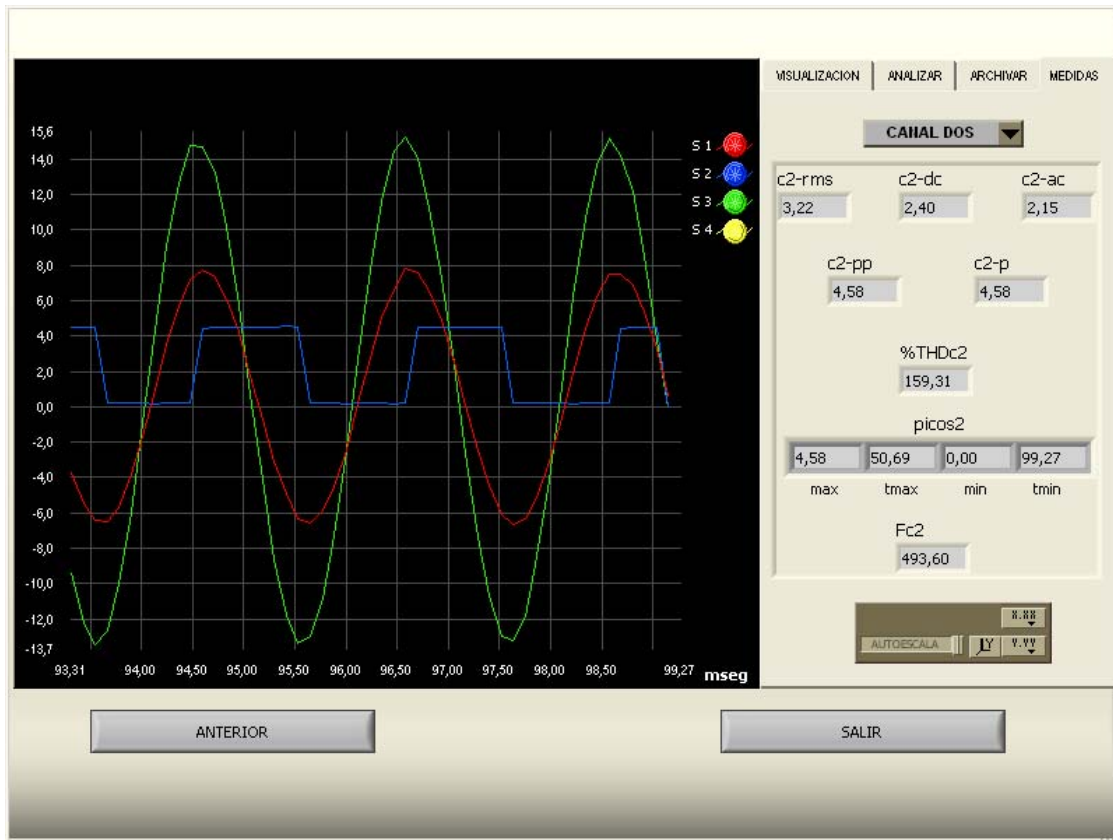
- c. Adquisición de tres señales de 500Hz ; *Canal1*: señal triangular, *Canal2*: señal cuadrada y *Canal3*: Señal triangular (ver figura 38).

**Figura 38.** Adquisición de tres señales: una cuadrada y dos triangulares



d. Adquisición de tres señales de 500Hz; *Canal1*: señal senoidal, *Canal2*: señal cuadrada y *Canal3*: Señal senoidal (ver figura 39).

**Figura 39.** Adquisición de tres señales: cuadrada y senoidales



- e. Adquisición de cuatro señales de 60Hz; *Canal1*: señal senoidal, *Canal2*: señal senoidal rectificada con SCR, *Canal3*: Señal senoidal controlada por SCR y *Canal4*: Señal senoidal rectificada con SCR (vea las figuras 40 y 41).

Figura 40. Adquisición de cuatro señales.

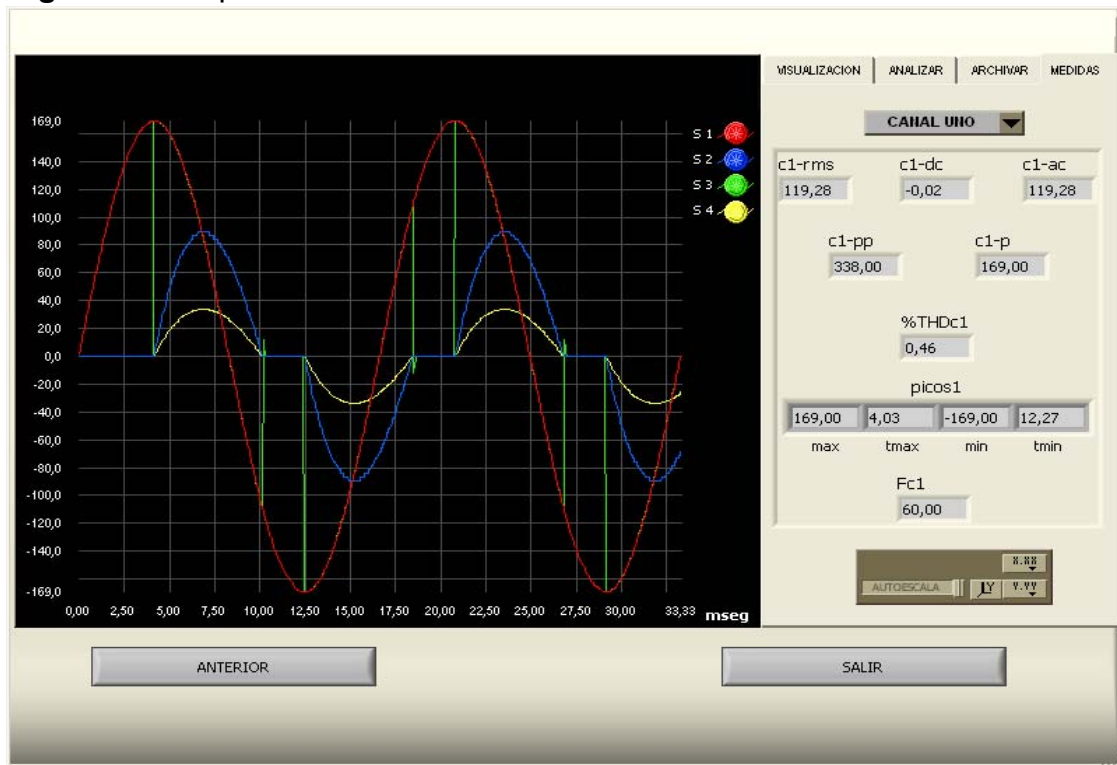
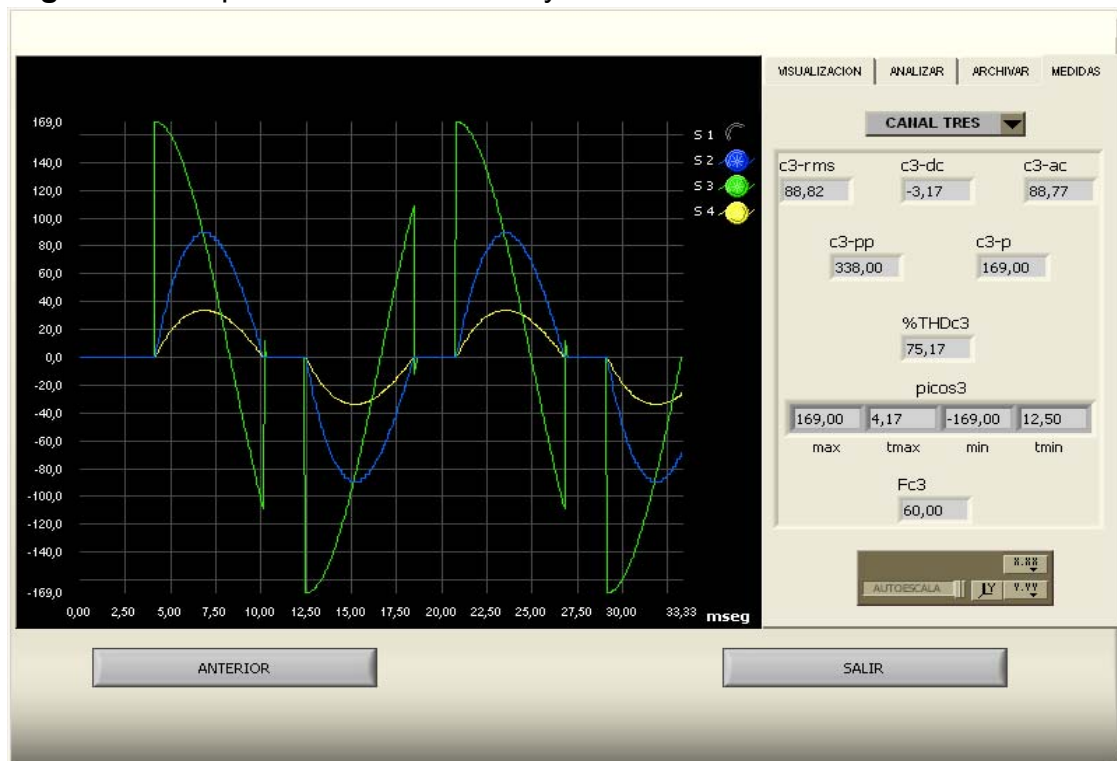


Figura 41. Adquisición de 4 señales y se visualizan 3 canales.



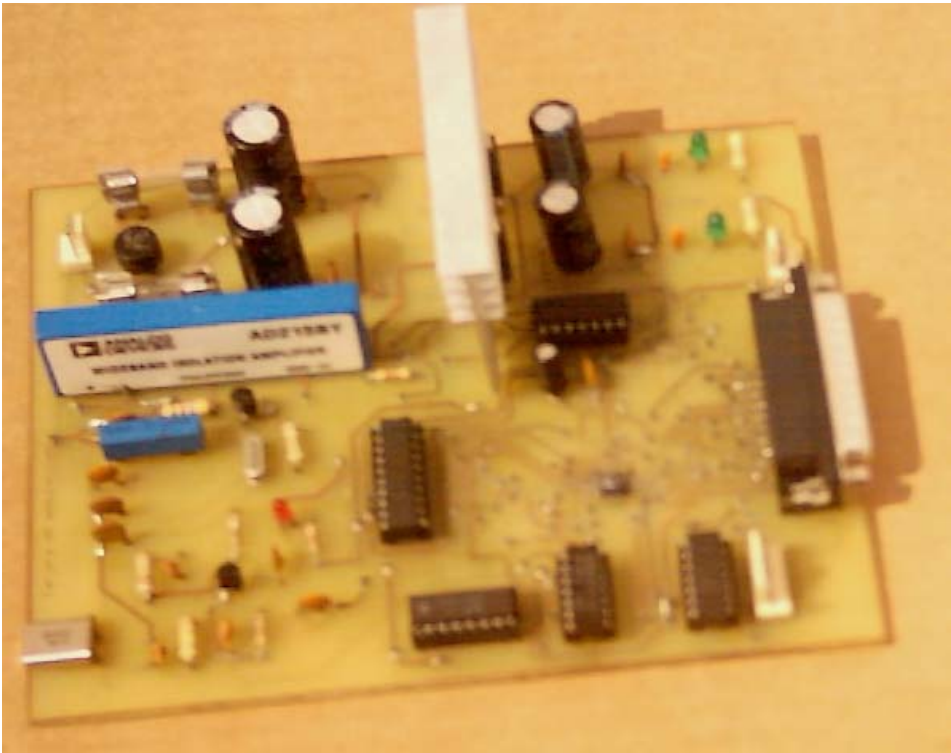
## CONCLUSIONES

1. Se diseñó y construyó un sistema de adquisición de datos con cuatro entradas diferenciales, el cual consta de 3 tarjetas, dos de ellas encargadas de la atenuación de la señal y una tercera cuya función es el muestreo, conversión y transmisión de los datos por medio del puerto paralelo a través de un proceso de DMA para su posterior visualización mediante un software implementado en Labview.

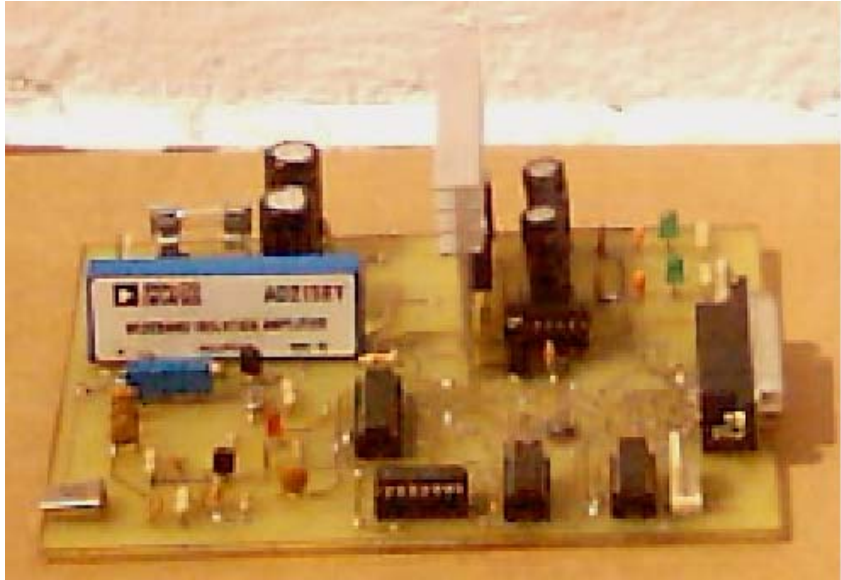
En las figuras 42, 43, 44 y 45 se muestran las fotografías correspondientes a las tarjetas de atenuación y adquisición implementadas.

2. La construcción del atenuador se justifica en la idea de limitar la tensión a un nivel no mayor de 5 voltios, para ser manipulado por el conversor A/D. Inicialmente se diseñó un sistema de atenuación por medio de divisores resistivos de tensión, el cual presentó un buen comportamiento con señales de baja frecuencia (menores a 1Khz), pero a frecuencias mayores las señales de salida se distorsionan respecto a la entrada, observándose especialmente con ondas cuadradas, atribuyendo este fenómeno a las reactancias, cuyo efecto será mayor o menor dependiendo del material de construcción de las resistencias utilizadas. Posteriormente se analizó e implementó un sistema de atenuación incluido en un osciloscopio análogo de la marca Tektronix modelo 5A23N, el cual brinda una gran respuesta en frecuencia, siendo su mayor problema conseguir los elementos utilizados en este circuito con los

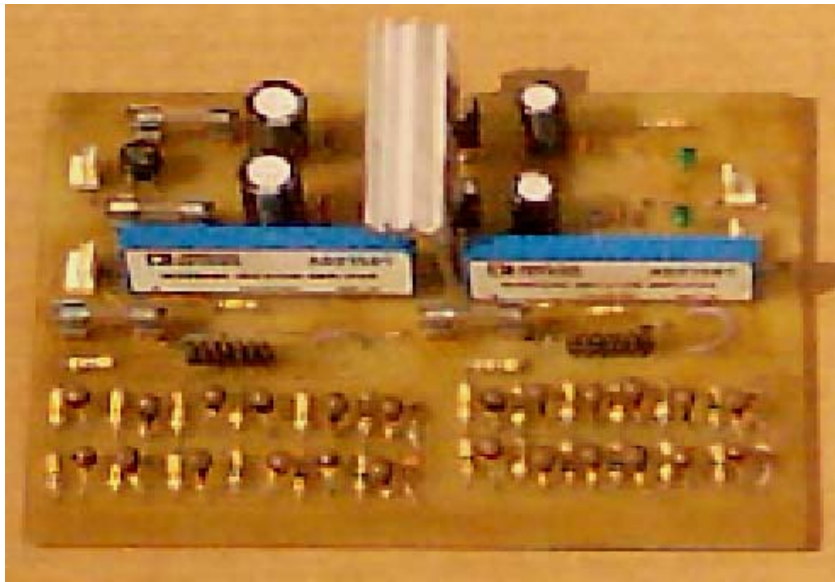
**Figura 42.** Fotografía Tarjeta de Adquisición de datos – Vista superior



**Figura 43.** Fotografía Tarjeta de Adquisición de datos – Vista frontal



**Figura 44.** Fotografía Tarjeta de Atenuación – Vista superior



**Figura 45.** Fotografía Tarjeta de Atenuación – Vista frontal



valores de tensión que deben soportar, por ello la elaboración del circuito de prueba, se realizó con elementos que soportan valores bajos de tensión (50V). Finalmente se inicio el proceso de diseño del atenuador utilizado en este trabajo el cual consta de un arreglo de condensadores y resistencias que en forma de divisores de tensión ofrecen una mejor respuesta con un factor de distorsión armónica total menor al 5% y con un ancho de banda de 50KHz.

Los valores de resistencias y condensadores se asignaron dependiendo del comportamiento presentado por cada uno de estos dispositivos, es decir, condensadores con capacitancias bajas que permita una reactancia capacitiva lo más pequeña posible, teniendo en cuenta que para valores menores a 800pF el circuito RC tiene un comportamiento resistivo, por esto se utilizaron condensadores de 1nF a 500V. Para la elección del valor de las resistencias utilizadas se tuvo en cuenta la potencia disipada. Como método de protección a sobrecorrientes se utiliza un fusible y una resistencia en serie de 470 ohmios en la entrada de cada uno de los atenuadores.

Los rangos utilizados en los niveles de atenuación fueron escogidos con los valores de señales más comúnmente sensadas por un osciloscopio, en la tabla 20 se presentan los niveles de atenuación utilizados y sus respectivos porcentajes de atenuación obtenidos en la práctica.

**Tabla 20.** Niveles y factores de atenuación.

<b>RANGO DE LA SEÑAL DE ENTRADA (Vpp)</b>	<b>FACTOR DE ATENUACION = (Vin/Vo)</b>
0-5V	1.00
5-10V	2.63
10-50V	15.63
50-400V	115.49
400-700V	229.37

3. Para sensar señales análogas, se debe pensar en la manera de adquirir dichas señales, convertirlas a un formato digital y posteriormente transmitir las al P.C. para su análisis y graficación.

El diseño e implementación de un sistema de adquisición con cuatro entradas diferenciales, necesita de un dispositivo capaz de seleccionar la señal a muestrear, para lo cual se escogió un multiplexor análogo.

Las señales seleccionadas por el multiplexor requieren de un conversor análogo-digital que tenga una velocidad de muestreo adecuada para su captura y posterior conversión. El conversor que más se acerca a las condiciones requeridas es de montaje superficial, por lo cual se tuvo que diseñar un impreso para poder realizar pruebas, además para su funcionamiento necesitó de una serie de señales que debían ser provistas de manera síncrona, por lo cual se escogió un microcontrolador para tal efecto, pero la velocidad con que se generaban dichas señales no fue lo suficientemente rápida, lo cual se convirtió en la principal limitante para la frecuencia de las señales a sensar. Se decidió aumentar la frecuencia de la señal de reloj con la cual trabaja el conversor pero un aumento considerable resultó casi insignificante en la frecuencia de muestreo del sistema; también se consideró la posibilidad de realizar un sobremuestreo de la señal, pero el problema fue determinar la frecuencia para saber

cuantas muestras correspondían a un periodo para después enlazarlas con las muestras tomadas en otros periodos, parece ser una alternativa, pero al tratar de determinar la frecuencia se incurrió en cierto margen de error, lo cual implicó una falla de visualización. Otra idea fue la de adquirir varias señales de manera que se pudiera construir un patrón general para la mayoría de las muestras, pero debido a que las señales a sensor no presentaban una forma determinada se desistió de esta idea. Finalmente la frecuencia de muestreo con que trabaja el sistema es de 46.300Hz para un canal, si se trabajara con 2 canales esta frecuencia se dividiría entre 2, en general se tiene  $46300/n$ , en donde n es el número de canales a trabajar.

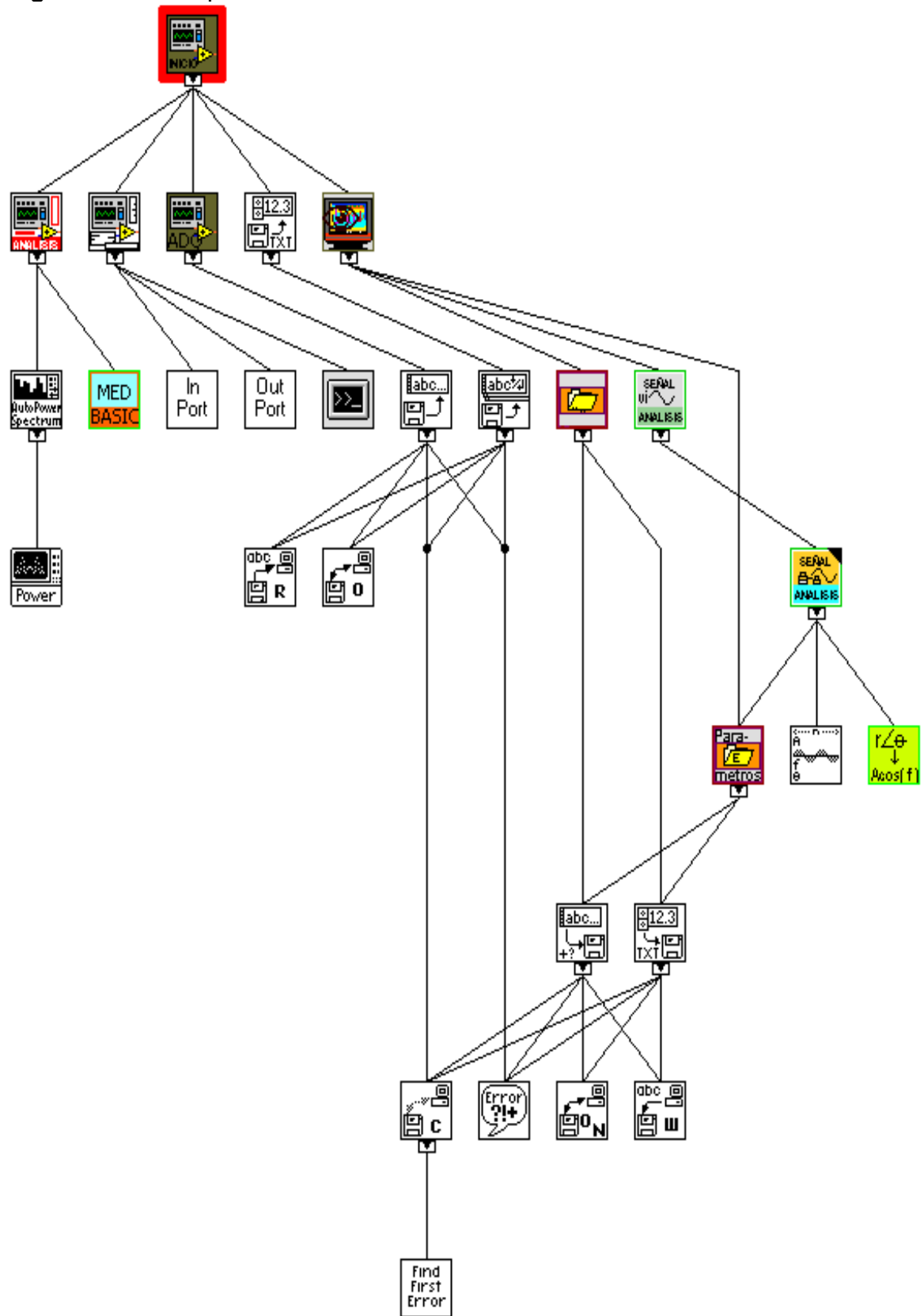
Otro aspecto importante a tener en cuenta es la forma de transmisión de los datos ya convertidos, para lo cual se debió realizar un programa que no solo generara las señales de sincronía para el conversor sino que también pudiera controlar el proceso de envío y recepción de datos vía puerto paralelo y que interactuara de manera sencilla pero eficaz con el sistema desarrollado para lograr una comunicación lo más rápida posible. Esto en gran parte mejora la velocidad de adquisición ya que no se utiliza el P.C. para manejar los dispositivos de la tarjeta externa y solo se mantendrá ocupado en el proceso de adquisición y visualización.

La programación ofrece la posibilidad de optimizar un proceso en general, pero se deben tener en cuenta las limitaciones particulares de cada proceso (dispositivos utilizados), ya que un programa muy eficaz puede ejecutarse demasiado rápido en comparación con el tiempo real que necesita los dispositivos para llevarlo a cabo.

4. El programa de visualización desarrollado en Labview presenta los siguiente VI (Virtual Instrument) y SubVIs:
- Inicio : VI principal, correspondiente al menú principal del programa, en donde se configuran los canales a sensar, el origen de los datos y los niveles de atenuación.
  - Analizar : SubVI que permite realizar cálculos (empleando rutinas de Labview y Matlab) de las diferentes medidas mostradas en el programa.
  - DMAChanel : establece la comunicación entre el P.C. y la tarjeta externa, y ejecuta la rutina de DMA (programada en lenguaje ensamblador).
  - Adquisición : SubVI que realiza la adecuación de los datos almacenados en el archivo codificado en ASCII, concatenando bytes para la formación de muestras de 16 bits, convirtiendo cada uno de los datos en valores que son guardados en una matriz para ser graficados.
  - Visualizar : SubVI que permite la graficación de los datos de la matriz, y realiza los efectos de visualización como manejo de cursores, mover y zooms.
  - Archivar : SubVI encargado de almacenar medidas y gráficas en el formato de hoja de cálculo.

En la figura 46 y 47 se muestran respectivamente la jerarquía de los VI utilizados y el VI denominado Inicio.

Figura 46. Jerarquía de VIs





5. Para verificar los parámetros del sistema desarrollado se hizo una comparación entre señales tomadas con un osciloscopio digital Fluke modelo 99B y el sistema de adquisición.

En las siguientes figuras se muestra un contraste entre señales adquiridas por el Sistema de Adquisición y el osciloscopio Fluke. Como se puede apreciar los valores RMS, DC, pico a pico y frecuencia de las señales sensadas (triangular a 500Hz y señal mofásica de la red eléctrica) presentan un alto grado de exactitud.

**Figura 48.** Señal triangular 500Hz sensada por el Sistema de Adquisición

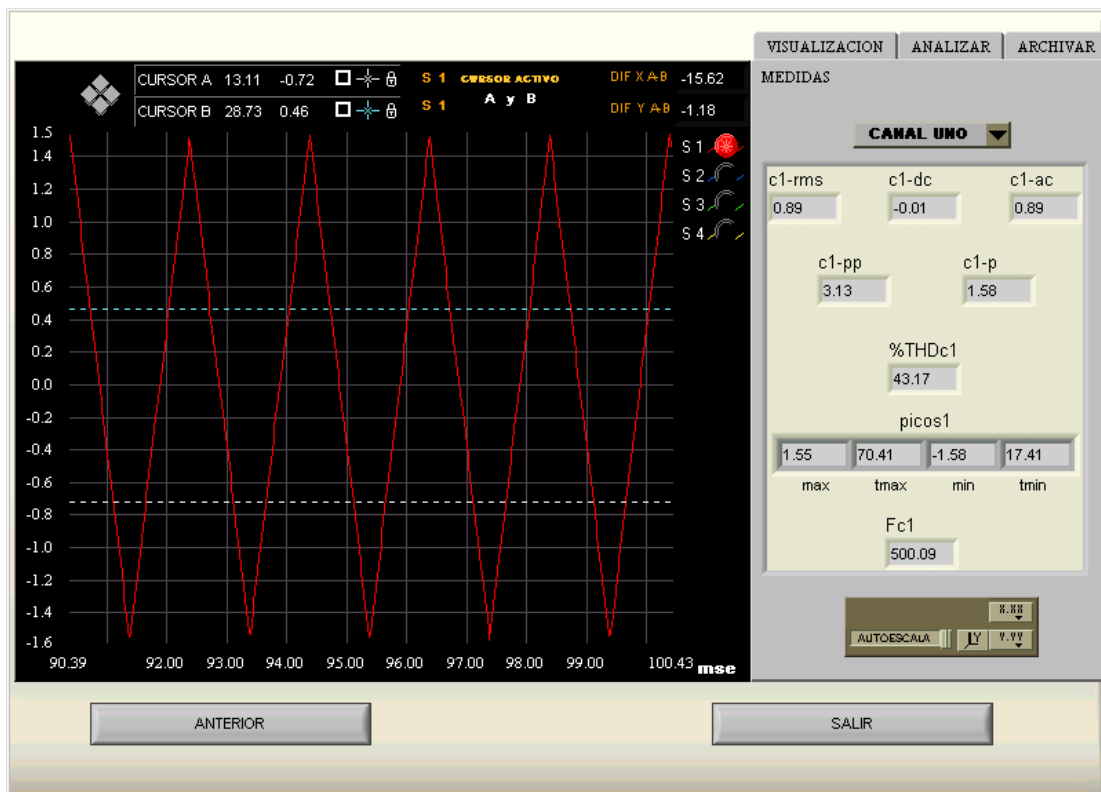


Figura 49. Señal triangular de 500Hz adquirida con un osciloscopio Fluke

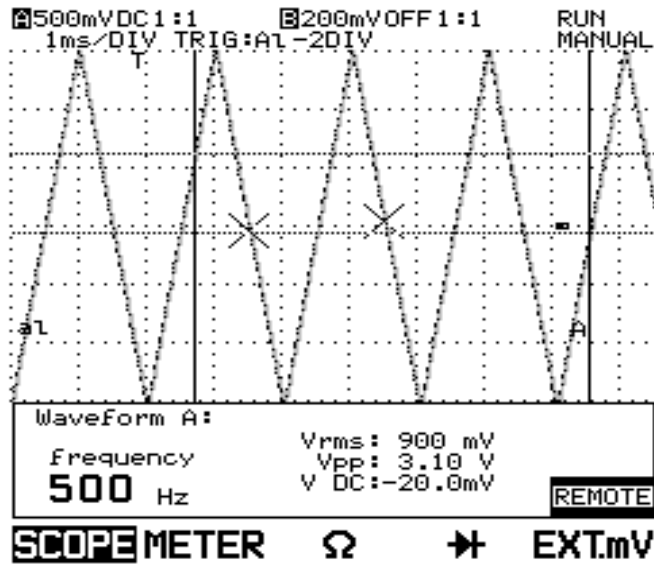
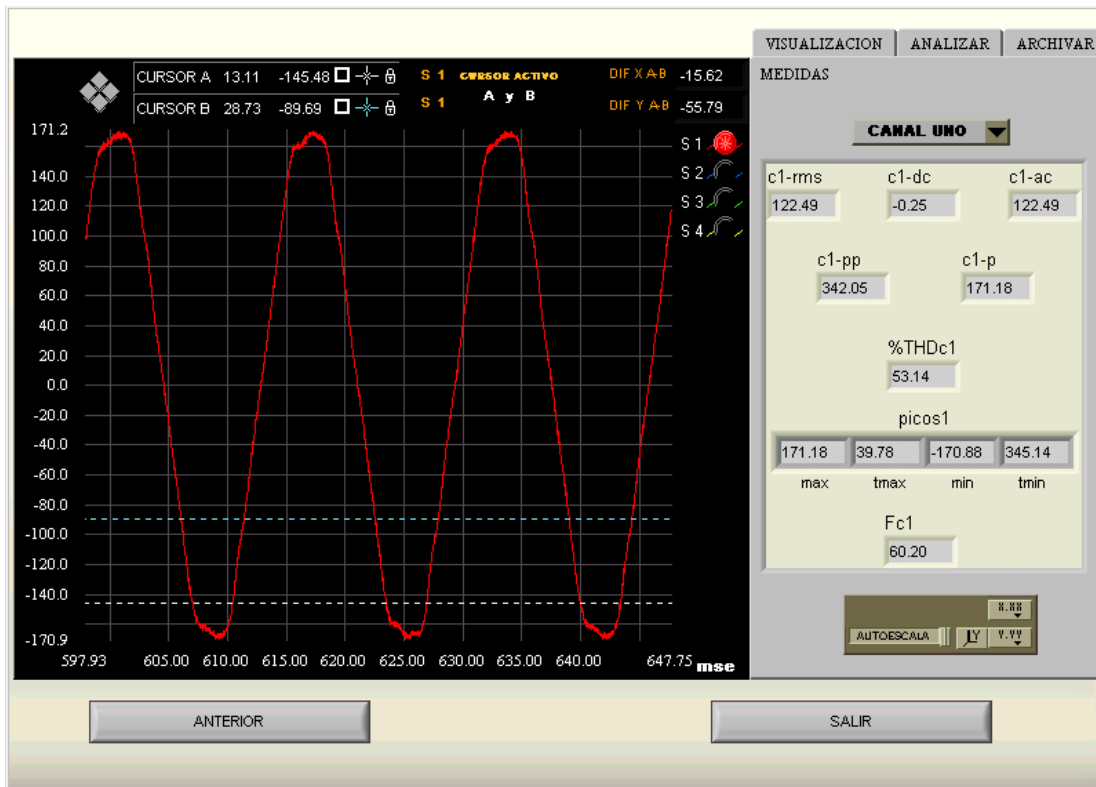
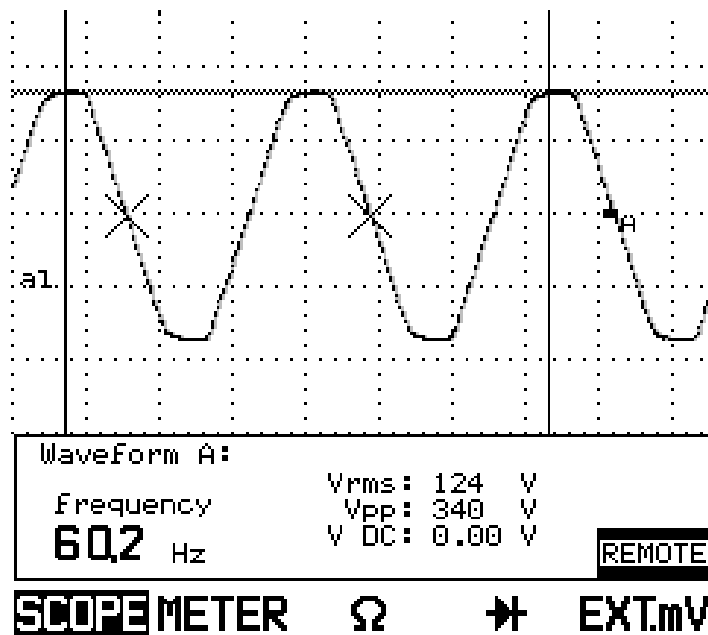


Figura 50. Señal tomada de la red eléctrica por el Sistema de Adquisición



**Figura 51.** Señal seno 500Hz tomada por el Sistema de Adquisición



$$\%Error = ((\text{Valor teórico} - \text{Valor práctico})/\text{Valor teórico}) * 100$$

Tomando como parámetro de comparación (valor teórico) las medidas sensadas por el osciloscopio digital Fluke y como valor práctico el tomado por el *Sistema de Adquisición*.

%Error valor pico a pico = 0.97%      %Error valor RMS= 1.11%  
 %Error frecuencia=0.18%

- Se utilizó el puerto paralelo como medio de acceso de datos al P.C. en vez de las ranuras ISA o PCI por mayor comodidad (al no ser necesario destapar el equipo de computo) y permitiendo el uso del sistema de adquisición en cualquier P.C. compatible. Además este puerto es un

dispositivo de entrada/salida muy confiable y fácil de ubicar ya que está presente en una gran variedad de modelos de P.C., lo que no ocurre con los puertos USB. Configurar el puerto en el modo E.C.P. permite el uso de procesos de transferencia de datos por medio de un canal de acceso directo a memoria (D.M.A.) del el P.C., el cual nos brinda una gran velocidad de transmisión, en contraste con lo que sería una transmisión por el puerto serial (RS-232).

7. En el diseño de una tarjeta de adquisición de datos, en donde se utiliza el P.C. para la visualización, se debe utilizar una etapa de aislamiento que permita proteger los dispositivos que se encuentran en etapas posteriores. En este trabajo se utiliza el amplificador de aislamiento AD215.
8. El conversor utilizado es controlado por medio de un microcontrolador el cual genera las señales de tiempo necesarias y se comunica con el puerto paralelo para iniciar los procesos de conversión. Esto en gran parte mejora la velocidad de adquisición ya que no se utiliza el P.C. para manejar los dispositivos de la tarjeta externa y solo se mantendrá ocupado en el proceso de adquisición y visualización.
9. Al utilizar un sistema con microcontrolador, la programación ofrece la posibilidad de optimizar un proceso, pero se debe tener en cuenta las limitaciones por la velocidad de este.

10. Labview es un lenguaje gráfico que nos facilita la visualización y el manejo de las señales adquiridas y nos permite realizar cálculos matemáticos como lo es una aproximación de la frecuencia de la señal. Simultáneamente permite comunicación con Matlab para realizar cálculos más complejos.
  
11. Es importante cerciorarse de la correcta operación de cada módulo, para lo cual el programa que ejecuta el control se asegura mediante rutinas de encuestas por el estado particular de algún bit que indique que el funcionamiento de la tarjeta es el adecuado.
  
12. El diseño de un prototipo implica tener en cuenta que los materiales se consiguen fácilmente en el mercado, para evitar la pérdida de tiempo al realizar un diseño con dispositivos que no son factibles encontrar o que presentan un costo elevado. En este trabajo se importaron: multiplexor MP100, conversor ADS8323 y amplificadores de aislamiento AD215.
  
13. La mayoría de los dispositivos que se consiguen en el mercado no cumplen con todas las especificaciones que aparecen en su hoja de datos, es el caso del amplificador de aislamiento ISO124 que no brinda el ancho de banda de 50Khz, ya que en la práctica se comprobó que distorsiona la señal a partir de 8Khz, lo cual fue una limitante respecto al ancho de banda disponible, por esto se utilizó el amplificador de aislamiento AD215, el cual posee un mayor ancho de banda (100Khz) y ahorra el uso de fuentes, ya que crea en la entrada una fuente dual de 15V aislada de la de la salida.

## BIBLIOGRAFÍA

[1] BREY Barry. Los microprocesadores Intel arquitectura, programación e interfaces. 3ed.. México: Prentice Hall Hispanoamericana S.A., 1995.

Capítulos 1, 2, 3, 4, 5 y 6, en donde se presentan los conceptos básicos sobre la arquitectura de los microprocesadores e instrucciones de programación en lenguaje ensamblador. Capítulo 11 que hace una descripción del Acceso Directo a Memoria (D.M.A.) y la programación del controlador 8237.

[2] CRAIG, Peacock. Interfacing the Standard Parallel Port Version 1.0,

<http://beyond.org/spp/parallel.htm>

En este artículo se encuentran las características del puerto paralelo configurado en modo S.P.P. (Puerto Paralelo Estándar). Refiriéndose a la capacidad de transmisión, la compatibilidad con los anteriores modos de trabajo

[3] CRAIG PEACOCK. Interfacing the Enhanced Parallel Port Version 1.0

<http://beyond.org/epp/epp.htm>

En este artículo se presenta información sobre el puerto paralelo en el modo E.P.P. (Puerto Paralelo Mejorado)

[4] CRAIG PEACOCK. Interfacing the Extended Capabilities Port Version 1.0

<http://beyond.org/ecp/ecp.htm>

Información sobre el puerto paralelo en el modo E.C.P. (Puerto de Capacidad Extendida).

[5] NATIONAL INSTRUMENTS. LabVIEW manual de usuario.  
<http://www.ni.com>

En donde se aclaran dudas comunes sobre la programación en labview.

[6] MOTOROLA. Technical Data – MC68HJK3E, 2.002, Secciones 6,12 y 13, instrucciones de programación, manejo de puertos y atención de interrupciones del microcontrolador.

[7] CHIP 8237, <http://atc.ugr.es/docencia/udigital/1205.html>

[8] LLANES, Françoise y RONDON, Aquiles. Tarjeta de Adquisición de datos para computadores compatibles. UIS 1.998. Capítulos 2 y 3, Arquitectura del Computador Personal (P.C.) y Modulos de una tarjeta de adquisición.

[9] PIMENTEL, Cesar y REYES, José . Generador de armónicos de tensión: Interfaz hardware entre el P.C. y la etapa de control. UIS 2.001. Capítulos 1 y 2, Acceso Directo a Memoria (D.M.A.)

[10] PUGLIESE, Carlos. Sistema de adquisición de datos para P.C. por puerto paralelo usando D.M.A. UIS, 2.001. Capítulos 1, 2 y 3, Manejo del puerto paralelo utilizando D.M.A. y Etapas de una tarjeta de Adquisición.

[11] HERNANDEZ, Helmuth, NORIEGA, Javier y RUEDA, Pedro. Digitalización de la señal proveniente de un polígrafo. UIS 2.002. Capítulos 2, 4 y 5, Puerto paralelo de un P.C., Módulos de una tarjeta de adquisición y Software de visualización (Labview).

**ANEXO A**  
**HOJAS DE DATOS**

**AMPLIFICADOR DE AISLAMIENTO AD215**

[AD215](#)

**MULTIPLEXOR MPC100**

[MPC100](#)

**CONVERSOR A/D ADS8323**

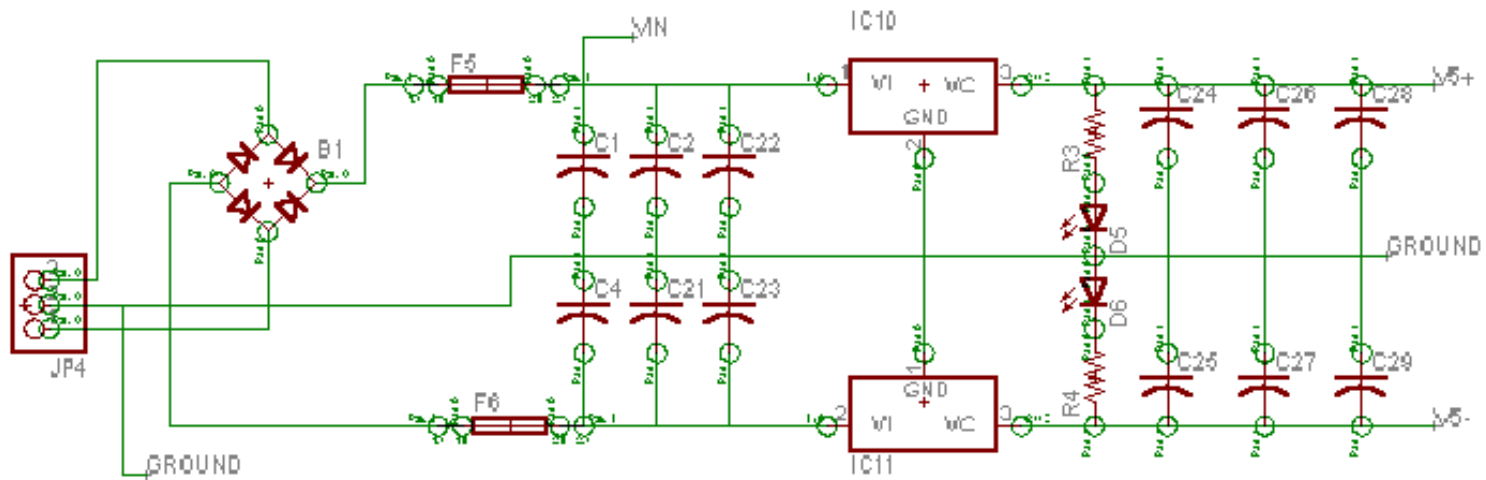
[ADS8323](#)

**ANEXO B**  
**PLANOS ELÉCTRICOS**

## PLANO ELECTRICO DEL SISTEMA DE ADQUISICIÓN DE SEÑALES.

### TARJETA DE ADQUISICIÓN

Circuito de alimentación:



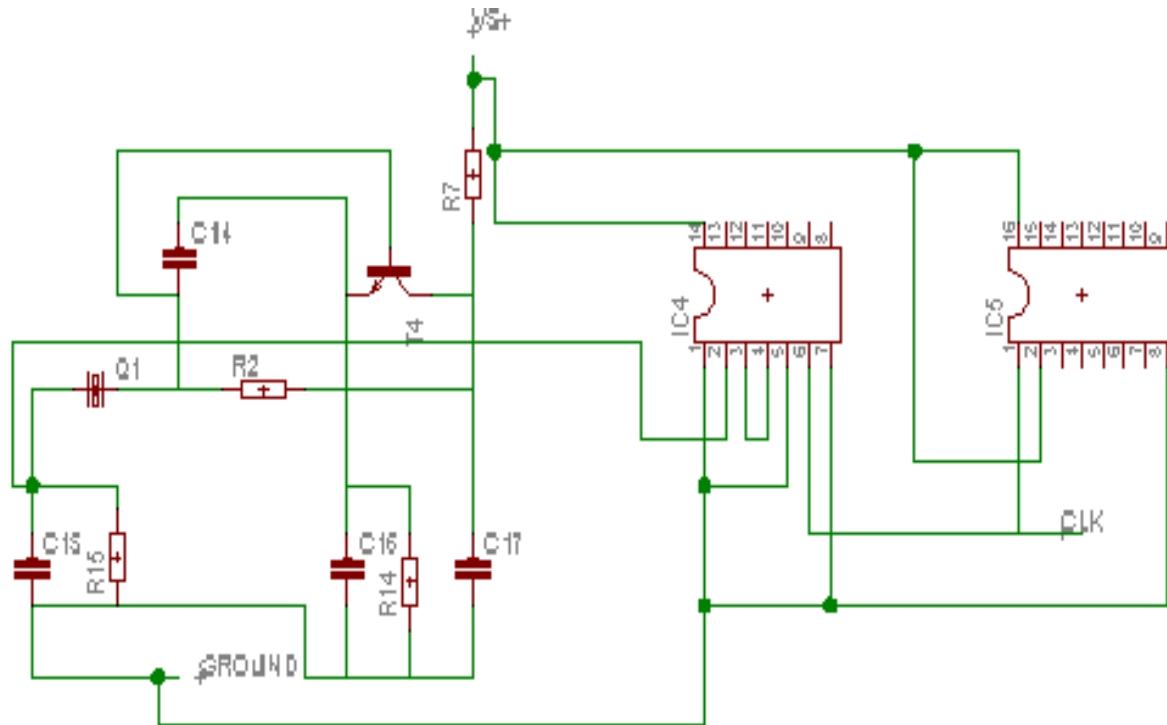
Elemento	Valor
C1	2200uf /25V
C2	0.1uf
C4	2200uf /25V
C21	0.1uf
C24	1000uf /25V
C25	1000uf /25V
C26	0.1uf
C27	0.1uf
C28	1 uf /25V
C29	1 uf / 25v
R3	470
R4	470
F5	1 Amp
F6	1 Amp

Los integrados denominados IC1 e IC2, corresponden a reguladores de tensión, el primero de ellos es el 78LS05 y el otro corresponde al 79LS05.

Los condensadores correspondientes a C22 y C23, aparecen en la huella pero no fue necesario implementarlos, ya que fue suficiente con las redes de condensadores anteriores para eliminar posibles picos de tensión.

### Circuito de reloj externo:

Para la función de reloj del conversor se implemento un circuito de reloj externo, el cual proporciona una frecuencia de 10Mhz.



El integrado que corresponde a IC4, es un buffer cuya función adecuar los niveles para la señal de reloj, el IC5 es un contador BCD, que se utilizó para poder variar la frecuencia del reloj externo.

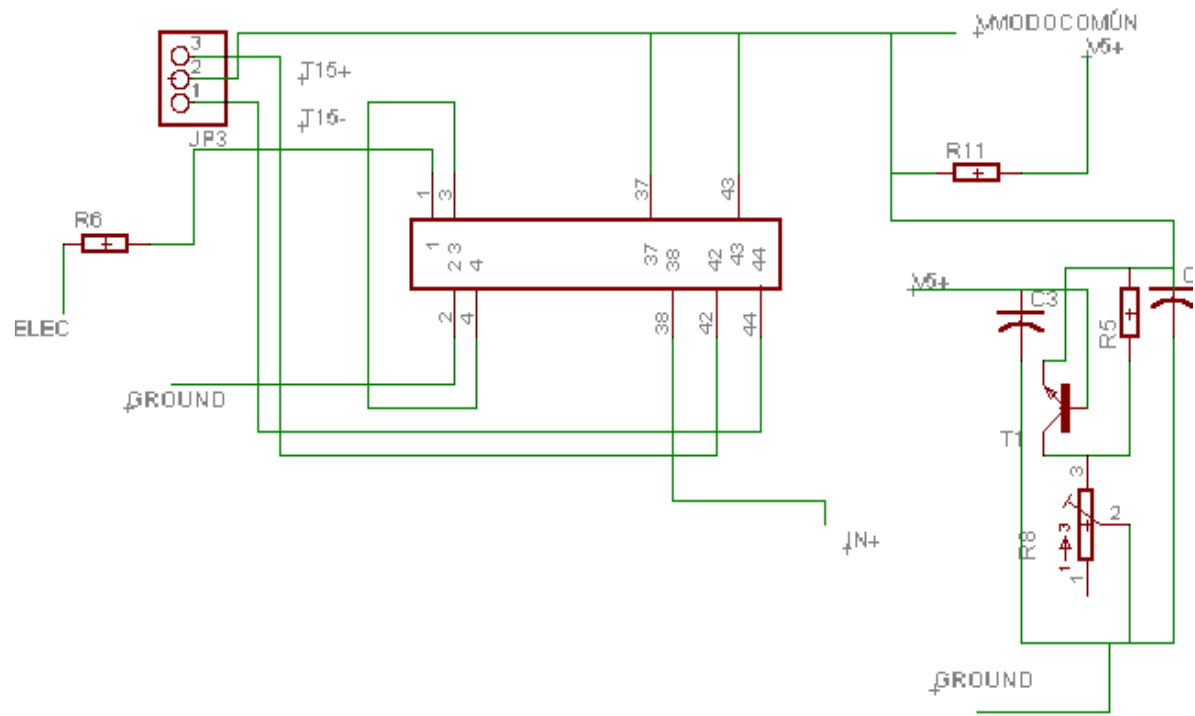
<b>Elemento</b>	<b>Valor</b>
C14	100pf
C15	27pf
C16	221pf
C17	0.1uf
R2	100k
R7	1k
R14	1k
R15	100k
Q1	10Mhz
T4	2N2222

#### **Circuito para el nivel de referencia:**

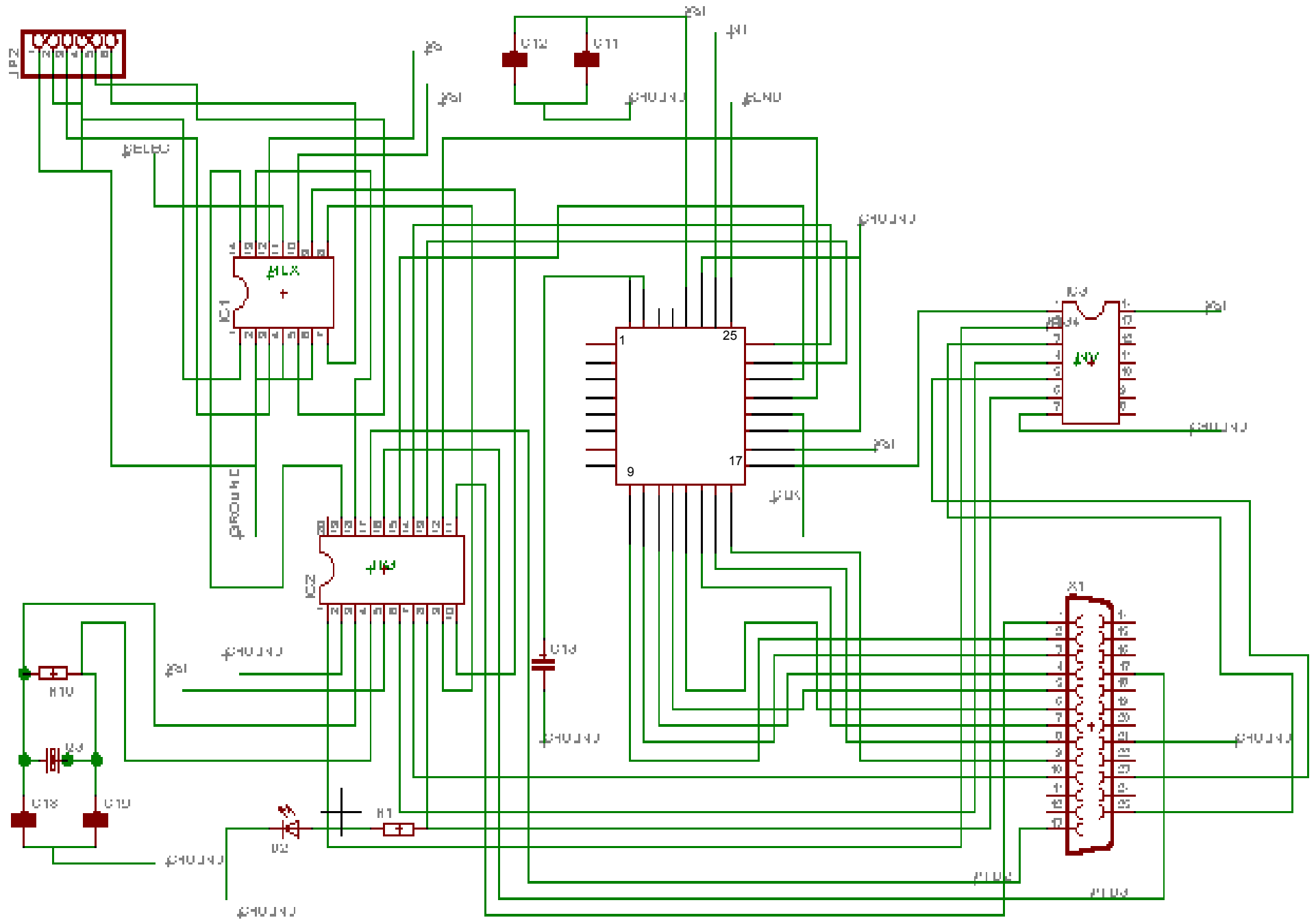
La función del circuito de referencia es permitir que el conversor tenga un voltaje de modo común de 2.5 V, que junto con la tensión de referencia establece el rango de las tensiones de entrada a convertir.

<b>Elemento</b>	<b>Valor</b>
R6	2k
R5	470
R8	1k
C3	27pf
C4	10nf

T1, es un regulador positivo ajustable LM317, cuyo valor es fijado a 2.5V para establecer la tensión de modo común.



### Circuito de conversión:



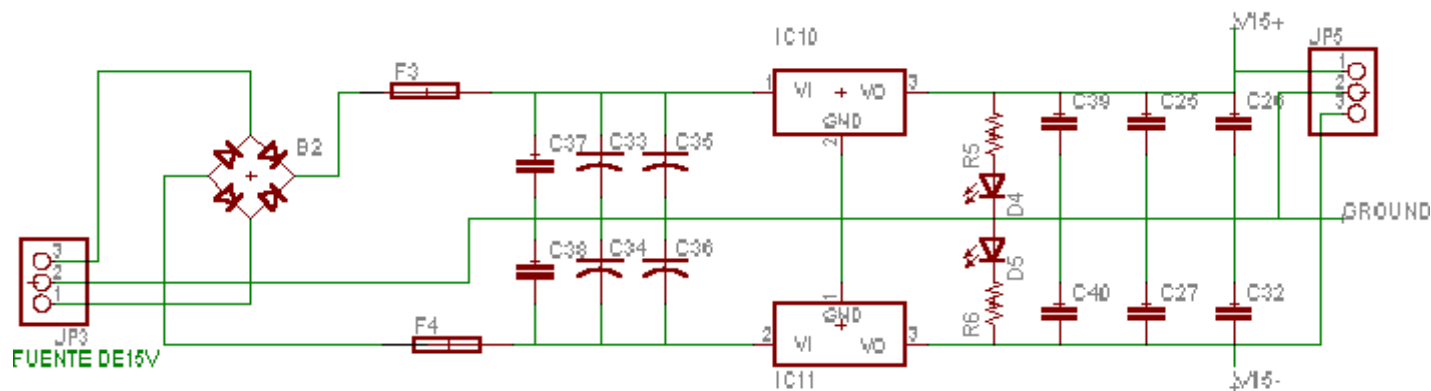
Elemento	Valor
C11	0.1uf
C12	10uf
C13	0.1uf
C18	33pf
C19	33pf
Q3	28Mhz
R1	1K
R10	1M

IC1, corresponde al multiplexor MPC100; IC2 se refiere al microcontrolador MC68HCJP3 de la familia motorola; IC3 corresponde al integrado inversor 74LS04N y X1 que hace referencia al puerto paralelo.

### TARJETA DE ATENUACIÓN :

Para el proceso de atenuación de las señales a sensar se diseñaron e implementaron dos tarjetas de atenuación, cada una de las cuales consta de los siguientes circuitos.

### Circuito de alimentación



Elemento	Valor
C37	2200uf /25V
C33	0,1uf /25V
C30	2200uf/ 25V
C34	0,1uf /25V
F3	1 Amp
F4	1 Amp
C39	1000uf/ 25V
C25	0,1uf/ 25V
C26	0,1uf/ 25V
C40	1000uf/ 25V
C27	1uf /25V
C32	1uf /25V

IC10 Regulador 78LS15

IC11 Regulador 79LS15

B2 Puente de diodos

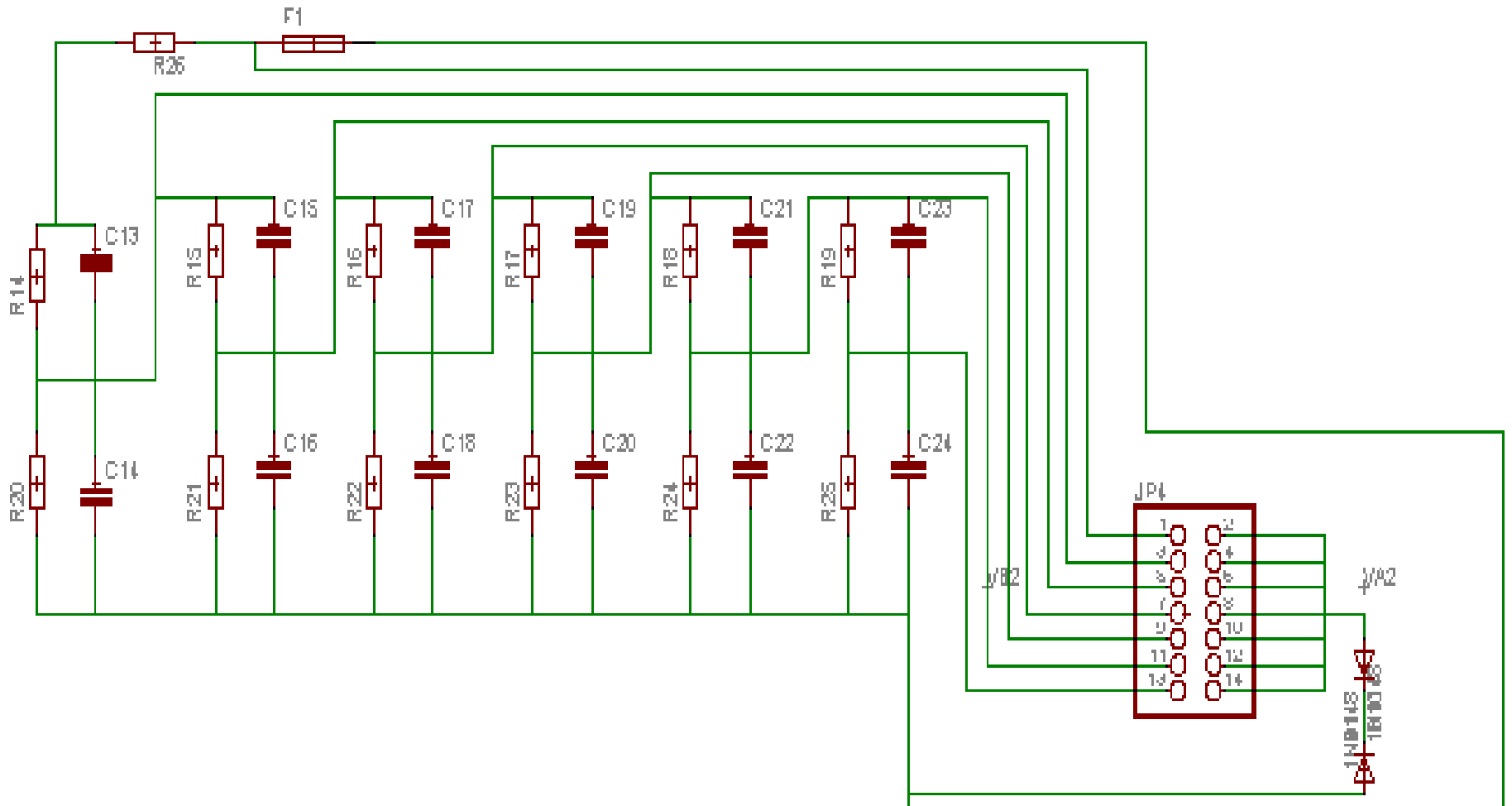
V15+ Salida de +15V para alimentar la etapa de aislamiento

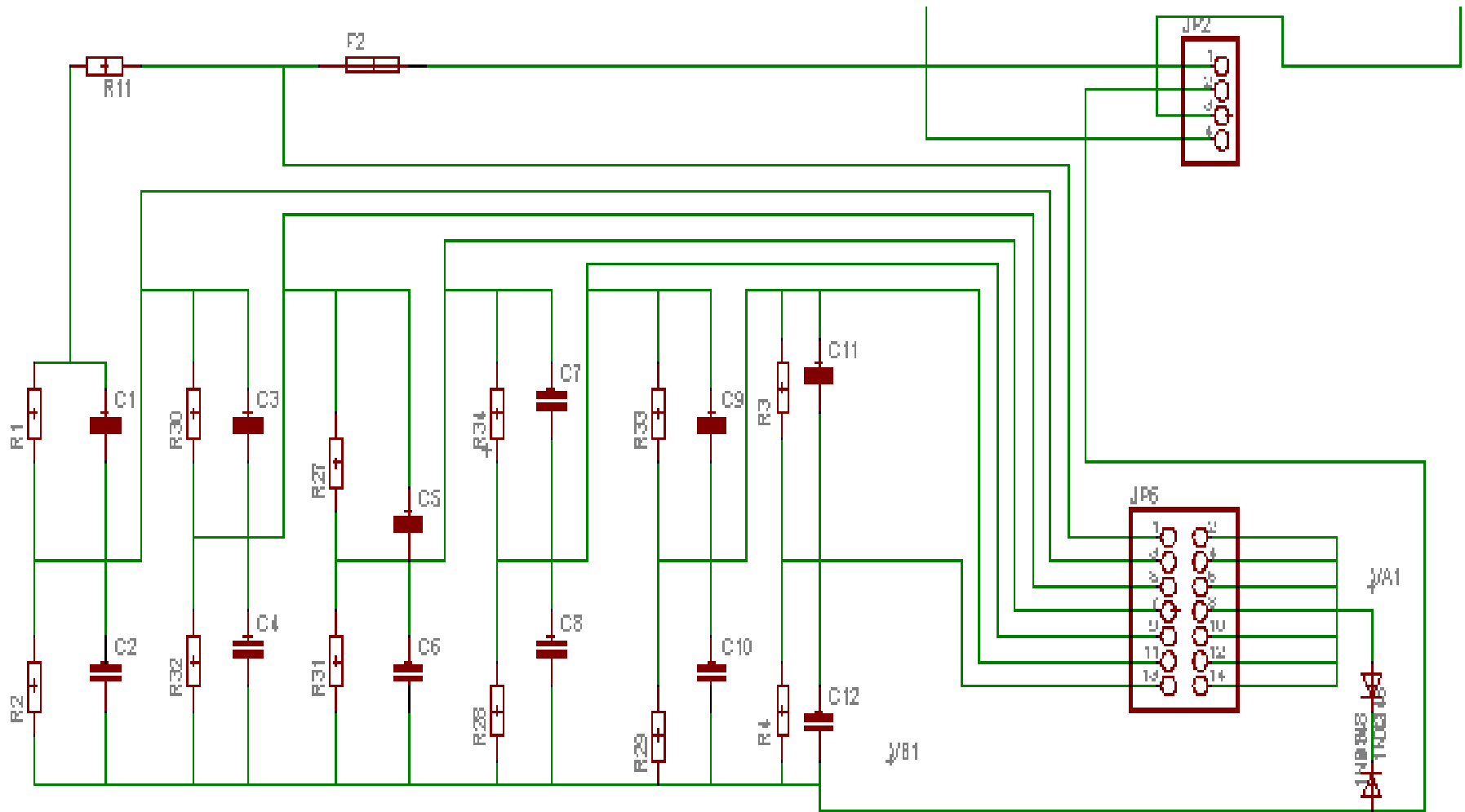
V15- Salida de -15V para alimentar la etapa de aislamiento

### Circuito de atenuación:

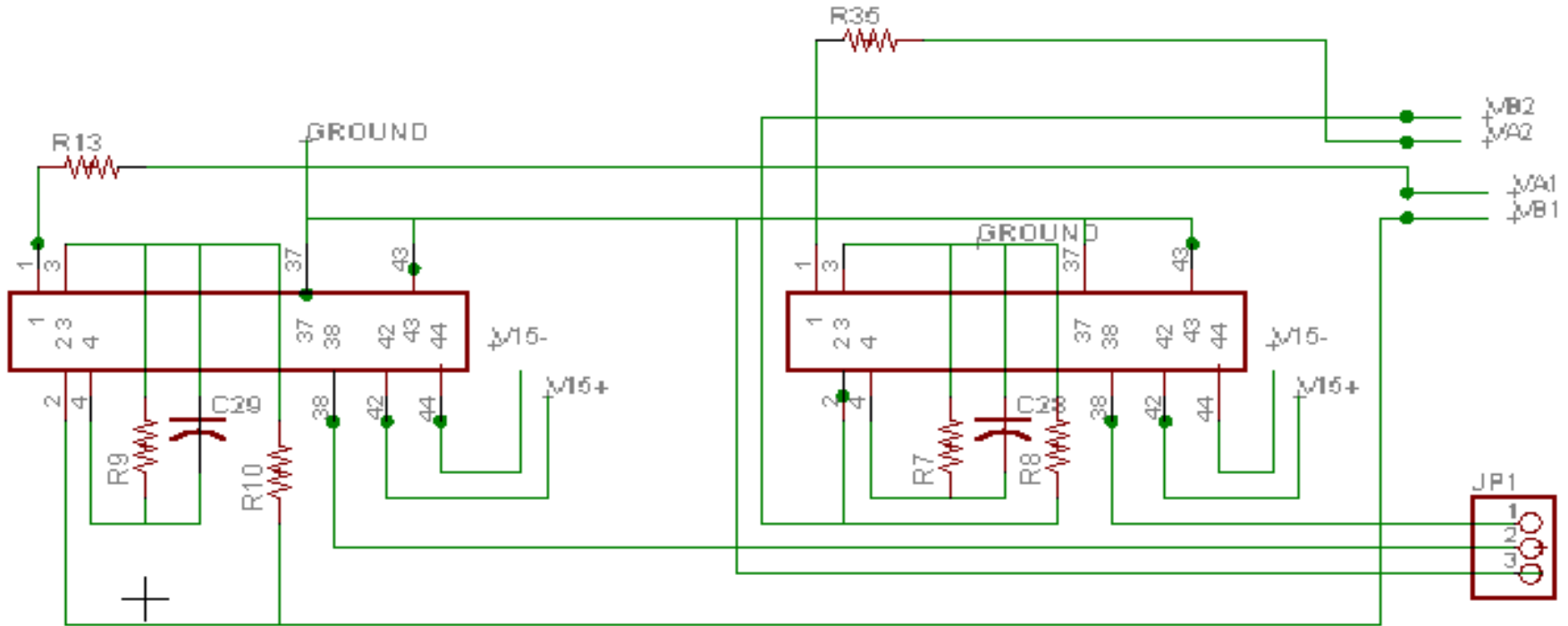
El circuito de atenuación fue desarrollado mediante redes de condensadores y resistencias cuyos valores son respectivamente 100K y 1nf a 500V.

Elemento	Valor
F1	1 Amp
F2	1 Amp
R11	470
R26	470





## Circuito de aislamiento:



El anterior diseño tiene la opción de mediante R9, R10, C29 fijar un valor de amplificación comprendido entre un rango de [1-10]V (Ver hoja de datos del aislador), no fue necesario utilizarlos pero en la huella se dejó la posibilidad de implementarlos.

R13 y R35 se utilizan para limitar la corriente a la entrada del aislador, cuando no se encuentre conectado y su valor recomendado es de 2K.

VA1 y VB1 Se refieren al nivel de tensión proveniente de la primera red de atenuación.

VA2 y VB2 Hacen referencia al nivel de tensión proveniente de la segunda red de atenuación.

Para el caso de los otros canales, la única diferencia radica en que las salidas son VA3 y VB3 para el canal 3 y VA4 y VB4 para el canal 4.