

# **Diseño de un amplificador de instrumentación en tecnología CMOS, para la aplicación de Espectroscopia de Bioimpedancia Eléctrica**

**Trabajo de investigación**

**Para optar por el título de Magister en Ingeniería Electrónica**

**Elkyn Enrique Hernández Sanabria**



**Universidad Industrial de Santander**

**Escuela de ingenierías Eléctrica, Electrónica y Telecomunicaciones -  $E^3T$**

**Bucaramanga, Colombia**

**2018**

**Diseño de un amplificador de instrumentación en tecnología CMOS, para la aplicación de Espectroscopia de Bioimpedancia Eléctrica**

**Elkyn Enrique Hernández Sanabria**

Trabajo de investigación presentado como requisito para optar al título de:  
**Magister en Ingeniería Electrónica**

Director:

Prof. Ph.D. José Alejandro Amaya Palacio

Codirector:

Prof. Ph.D. Hugo Daniel Hernández Herrera

Universidad Industrial de Santander

Escuela de ingenierías Eléctrica, Electrónica y Telecomunicaciones -  $E^3T$

Grupo de Investigación en Control, Electrónica, Modelado y Simulación - CEMOS

Bucaramanga, Colombia

2018

## DEDICATORIA

*A Ruth, mi madre, siempre sabia e incondicional.*

*A Julieth, mi amada esposa... mujer excepcional con la cual la vida me ha premiado.*

*Al tío Enrique y su familia: Milo, Kike, Angel y Sharon.*

*A mis hermosas mujeres: Eve, Virginia, Gloria, Vanessa, Cinthya, Paula, y al resto de la familia, que cada día me llena de orgullo.*

## AGRADECIMIENTOS

Expreso mi sentido agradecimiento a todas aquellas personas que aportaron para que este trabajo de investigación llegara a feliz término:

A mi director José Amaya Palacio, por ser más que un excelso profesor, un gran apoyo y un ejemplo de calidad humana.

A mi codirector Hugo Hernandez Herrera, de quien siempre recordaré su generosidad, sencillez y amistad, aparte de su rigor y excelencia como profesional.

A los profesores Gabriel Ordoñez, Mónica Botero, Javier Solano, Saíd Pertuz, María F. Mantilla, Julián Rodríguez, Franklin Sepúlveda, Daniel Sierra y César Duarte, quienes desde sus diferentes roles contribuyeron con este propósito.

Al profesor Gerardo Latorre, cuya ayuda fue fundamental en un momento clave de este proyecto.

Al profesor Elkim Roa y los integrantes del grupo de investigación OnChip, en especial a Javier Ardila y Luis Rueda, cuyos consejos fueron importantes para realizar mi investigación de mejor manera.

A Gladys Noriega, por su diligencia en los asuntos administrativos relacionados con mi maestría.

A mis compañeros de maestría: Ricardo, Edgar, Paulina, Sergio, Daniel, etc., de quienes aprendí mucho profesionalmente y como persona.

## CONTENIDO

	<b>p</b>
<b>1. CONTEXTUALIZACIÓN DEL TRABAJO DE INVESTIGACIÓN</b>	<b>1</b>
1.1. Motivación y justificación	1
1.1.1. El cáncer de cuello uterino	1
1.1.2. La espectroscopia de bioimpedancia eléctrica - EBE	6
1.2. Planteamiento del problema	11
<b>2. EL AMPLIFICADOR DE INSTRUMENTACIÓN: CARACTERÍSTICAS Y ARQUITECTURAS</b>	<b>15</b>
2.1. El amplificador ideal	15
2.2. Características no ideales en un amplificador de entrada diferencial	16
2.2.1. Relación de rechazo de modo común - CMRR	18
2.2.2. Relación de rechazo de fuentes de potencia - PSRR	18
2.2.3. Ancho de Banda - BW	19
2.2.4. <i>Slew Rate</i> y tiempo de asentamiento (Settling Time)	20
2.2.5. Estabilidad, margen de fase y margen de ganancia	21
2.3. El amplificador operacional - OPAMP	24
2.4. El amplificador de instrumentación - INAMP	25
2.4.1. El amplificador de instrumentación vs. el amplificador operacional	26
2.4.2. Algunas topologías de diseño de INAMPs	28
<b>3. CONSIDERACIONES DE DISEÑO</b>	<b>38</b>
3.1. Flujo de proyecto de circuitos integrados analógicos	39
3.2. Metodologías de dimensionamiento de transistores CMOS	41
3.2.1. El modelo simplificado de Shichman y Hodges	43

## CONTENIDO

---

3.2.2. La metodología de diseño $g_m/I_D$	46
3.3. Resumen del capítulo	50
<b>4. PROTOTIPO DE AMPLIFICADOR DE INSTRUMENTACIÓN</b>	<b>51</b>
4.1. Análisis del CFIA prototipo	54
4.1.1. Análisis de la etapa de entrada	57
4.1.2. Análisis de la etapa de salida	86
4.2. Circuitería adicional: $\beta$ -multiplier	97
<b>5. ESTRATEGIA DE DISEÑO, DIMENSIONAMIENTO Y SIMULACIONES</b>	<b>101</b>
5.1. Flujo de diseño para el CFIA prototipo	101
5.2. Diseñando el CFIA prototipo	103
5.2.1. $\beta$ -multiplier	103
5.2.2. CFIA prototipo	104
5.3. Diseño geométrico (layout)	110
5.3.1. $\beta$ -multiplier	111
5.3.2. Etapa de entrada	114
5.3.3. Etapa de salida	118
5.4. Simulaciones de CFIA completo	124
5.4.1. Versión con salida diferencial	124
5.4.2. Versión con salida única (single ended)	127
<b>6. PLAN DE PRUEBAS Y MEDICIONES EXPERIMENTALES</b>	<b>140</b>
6.1. Mediciones experimentales	141
6.1.1. Instrumentación utilizada	141
6.1.2. Polarización y medidas de baja frecuencia	141
6.1.3. Ganancia diferencial	144
6.1.4. Ganancia de modo común y CMRR	146
6.1.5. Ruido base, SNR y distorsión armónica	146

## CONTENIDO

---

6.1.6. PSRR	150
6.1.7. Settling Time (ST) y Slew Rate (SR)	150
6.2. Análisis de las mediciones experimentales	153
<b>7. CONCLUSIÓN GENERAL</b>	<b>155</b>
<b>BIBLIOGRAFÍA</b>	<b>158</b>
<b>A. CARACTERIZACIÓN <math>g_m/I_D</math>, PROCESO CMOS tsmc – 0.18<math>\mu</math>m</b>	<b>166</b>
A.1. Montaje y curvas de caracterización $g_m/I_D$	166
A.2. Montaje y curvas de ganancia intrínseca	169
A.3. Un ejemplo de diseño sencillo mediante $g_m/I_D$	171
<b>B. ARTÍCULO PUBLICADO ASOCIADO A ESTE TRABAJO</b>	<b>178</b>

## LISTA DE FIGURAS

	<b>p</b>
Figura 1. Proceso de patogénesis del CCU.	3
Figura 2. Estadística de mortalidad por cáncer de cuello uterino en Colombia en el período 2007-2013.	5
Figura 3. Representación ideal de un sistema de medición EBE de cuatro electrodos.	7
Figura 4. Características eléctricas de los tejidos.	9
Figura 5. <b>a.</b> Representación esquemática en el sistema de clasificación <i>Ri-chart</i> de las lesiones precursoras del CCU. <b>b.</b> Comparación de la respuesta en frecuencia de la resistividad de diferentes tejidos epiteliales.	10
Figura 6. Diagrama de bloques del bioimpedanciómetro propuesto por Miranda et al.	12
Figura 7. Prototipo del circuito generador de señales EBE encapsulado, diseñado por el profesor José Amaya.	13
Figura 8. Símbolo y representación circuital de un amplificador ideal.	15
Figura 9. Símbolo y representación circuital de un amplificador ideal de entrada diferencial.	16
Figura 10. Un modelo de amplificador diferencial no ideal, donde se muestran algunas de las características no ideales que lo afectan.	17
Figura 11. Respuesta en frecuencia típica de la ganancia diferencial de un amplificador.	20
Figura 12. Respuesta transitoria al escalón de un amplificador con realimentación negativa.	21

## LISTA DE FIGURAS

---

Figura 13. <b>a.</b> Análisis de estabilidad de un amplificador con realimentación negativa. <b>b.</b> Definición del margen de fase y margen de ganancia. <b>c.</b> Efecto del margen de fase sobre el tiempo de asentamiento.	23
Figura 14. Un OPAMP en configuración inversora.	24
Figura 15. Un INAMP construido a partir de tres OPAMPs.	27
Figura 16. El amplificador diferencial.	28
Figura 17. El amplificador de instrumentación clásico. Se muestran los valores de algunas cantidades de interés del circuito.	30
Figura 18. Un INAMP de capacitor alternado.	31
Figura 19. Un INAMP de modo de corriente (current mode).	33
Figura 20. Un INAMP de realimentación de corriente (current feedback).	34
Figura 21. Flujo general de proyecto de circuitos integrados analógicos.	42
Figura 22. Esquema básico de un transistor MOSFET tipo N (NMOS).	44
Figura 23. Gráfica de $g_m/I_D$ contra $V_{ov}$ para transistores NMOS de la tecnología de $180nm$ .	48
Figura 24. Gráfica de $g_m/I_D$ contra la corriente normalizada $i = I_{\square}$ para los transistores NMOS de un proceso específico.	49
Figura 25. Evolución de la arquitectura del prototipo de INAMP a diseñar.	53
Figura 26. Esquemático detallado del CFIA propuesto por Worapishet et al.	54
Figura 27. Representación completa en pequeña señal para entrada diferencial de la etapa de entrada del CFIA prototipo.	57
Figura 28. <b>a.</b> Diagrama básico de realimentación negativa. <b>b.</b> Diagrama de flujo de señales diferenciales de la etapa de entrada del CFIA prototipo.	59
Figura 29. Representación en pequeña señal del semicircuito diferencial de entrada del CFIA prototipo (Rama de alta impedancia).	61
Figura 30. Representación semicircuital del par transconductor de la etapa de entrada del CFIA prototipo.	62

## LISTA DE FIGURAS

---

Figura 31. Representación semicircuital de la red de realimentación del CFIA prototipo.	63
Figura 32. Representación en pequeña señal del semicircuito diferencial de entrada del CFIA prototipo (Rama de baja impedancia).	68
Figura 33. Esquema descriptivo del amplificador realimentado tipo serie-serie conformado por la etapa de entrada del CFIA prototipo.	78
Figura 34. Etapa de entrada del CFIA prototipo en malla abierta.	79
Figura 35. Representación circuital para el cálculo de $R_{eq}$ del nodo $D_2$ en lazo abierto.	80
Figura 36. Representación circuital para el cálculo de la resistencia equivalente en el nodo $D_2$ (lazo cerrado) de la etapa de entrada del CFIA prototipo.	81
Figura 37. Sonda tetrapolar de configuración circular y electrodos de oro para medición de impedancia eléctrica de tejido cervical.	85
Figura 38. Representación en pequeña señal para entrada diferencial de la etapa de salida del CFIA prototipo.	87
Figura 39. Esquema de flujo de señales de la etapa de salida del CFIA prototipo.	88
Figura 40. Planteamientos para hallar la <b>a)</b> transconductancia y <b>b)</b> impedancia equivalentes en el semicircuito diferencial.	89
Figura 41. Análisis intuitivo de la ganancia de transresistencia de la etapa de salida.	93
Figura 42. Esquemático del $\beta$ -multiplier, con su correspondiente circuito de <i>startup</i> .	98
Figura 43. Flujo de diseño general propuesto para el CFIA prototipo.	102
Figura 44. Valor de $I_{\square}$ para $g_m/I_D = 16 V^{-1}$ hallado en la curva característica $I_{\square}$ vs. $g_m/I_D$ de los transistores PMOS de la tecnología <i>TSMC-0.18<math>\mu</math>m</i> .	106

## LISTA DE FIGURAS

---

Figura 45.	Valor de $I_{\square}$ para $g_m/I_D = 5.11 V^{-1}$ hallado en la curva característica $I_{\square}$ vs. $g_m/I_D$ de los transistores NMOS de la tecnología TSMC-0.18 $\mu m$ .	107
Figura 46.	Diseño geométrico realizado para el circuito $\beta$ -multiplier.	112
Figura 47.	Configuraciones de voltaje de polarización del $\beta$ -multiplier para las diferentes combinaciones de las señales de control $CTL0$ y $CTL1$ .	113
Figura 48.	Histogramas de Montecarlo (por corners) para los voltajes $V_{bias1}$ (izquierda) y $V_{bias2}$ (derecha) del $\beta$ -multiplier.	114
Figura 49.	Diseño geométrico realizado para la etapa de entrada del CFIA.	115
Figura 50.	Gráficas de ganancia de la etapa de entrada del CFIA, expresada en V/V (arriba) y dB (abajo).	116
Figura 51.	Simulación transitoria de voltajes de entrada y salida de la etapa de entrada del CFIA, con $v_{in} = 79.58 \mu V$ .	117
Figura 52.	Izquierda: Simulación transitoria de voltajes de entrada y salida de la etapa de entrada del CFIA, con $v_{in} = 6.36 mV$ . Derecha: Espectro de Fourier de las señales referenciadas.	117
Figura 53.	Gráficas de ganancia de lazo de la etapa de entrada del CFIA prototipo.	118
Figura 54.	Respuesta en frecuencia de las ganancias diferencial (arriba), de modo común (medio) y CMRR (abajo) de la etapa de entrada del CFIA.	119
Figura 55.	Histogramas de Montecarlo de la ganancia diferencial en DC (Arriba), el CMRR en DC (inferior izquierda) y el CMRR a 1 MHz (inferior derecha) de la etapa de entrada del CFIA.	119
Figura 56.	Diseño geométrico realizado para la etapa de salida del CFIA.	120
Figura 57.	Gráficas de ganancia de la etapa de salida del CFIA, expresada en V/V (arriba) y dB (abajo).	121
Figura 58.	Barridos paramétricos de la ganancia y ancho de banda de la etapa de salida.	123

## LISTA DE FIGURAS

---

Figura 59. Barrido paramétrico del margen de fase (arriba) y el margen de ganancia (abajo) versus $C_{load}$ de la etapa de salida del CFIA.	124
Figura 60. Formas de onda de entrada y salida de la etapa de salida, y espectros de Fourier de las respectivas señales.	125
Figura 61. Esquema funcional (arriba) y layout (abajo) de la versión de salida diferencial del CFIA prototipo.	126
Figura 62. Gráficas de ganancia en V/V (arriba) y decibeles (abajo) de la versión de salida diferencial del CFIA prototipo.	127
Figura 63. Formas de onda de entrada senoidales del CFIA (DO), y espectros de Fourier de las respectivas señales.	128
Figura 64. Esquema funcional (Izquierda) y layout (derecha) de la versión <i>single ended</i> del CFIA prototipo.	129
Figura 65. Gráfica de respuesta en frecuencia en magnitud con ganancia diferencial en V/V (arriba), dB (abajo) y respuesta de fase (derecha) de la versión de salida única del CFIA prototipo.	130
Figura 66. Formas de onda de entrada de amplitud mínima del CFIA (SE), y espectros de Fourier de las respectivas señales (Post-Layout).	131
Figura 67. Formas de onda de entrada amplitud máxima del CFIA (SE), y espectros de Fourier de las respectivas señales (Post-Layout).	132
Figura 68. Gráficas de corners para <b>a)</b> $A_v$ , <b>b)</b> CMRR, <b>c)</b> PSRR+ y <b>d)</b> PSRR- realizadas para el CFIA-SE.	134
Figura 69. Gráficas de corners para <b>a)</b> BW, <b>b)</b> $P_{CFIA}$ , <b>c)</b> $V_{noise\_in}$ y <b>d)</b> $V_{offset\_in}$ realizadas para el CFIA-SE.	135
Figura 70. Histogramas de Montecarlo para <b>a)</b> $A_v$ , <b>b)</b> BW, <b>c)</b> CMRR @ DC y <b>d)</b> CMRR @ 1MHz realizadas para el CFIA-SE.	136
Figura 71. Gráficas de corners para <b>a)</b> PSRR+ @ DC, <b>b)</b> PSRR+ @ 1MHz, <b>c)</b> PSRR- @ DC y <b>d)</b> PSRR- @ 1MHz realizadas para el CFIA-SE.	137

## LISTA DE FIGURAS

---

Figura 72. Gráficas de corners para <b>a)</b> $P_{CFIA}$ , <b>b)</b> $V_{noise\_in}$ y <b>c)</b> $V_{offset\_in}$ realizadas para el CFIA-SE.	138
Figura 73. Configuración geométrica del <i>chip</i> multiproyecto, y Microfotografía del prototipo fabricado.	141
Figura 74. Encapsulado del chip multiproyecto.	142
Figura 75. <b>a)</b> PCB de pruebas del chip multiproyecto desarrollado por el LSI-USP. <b>b)</b> PCB de pruebas dedicada para el CFIA.	142
Figura 76. Medida de offset del amplificador: -10 mV referido a la salida.	143
Figura 77. Formas de onda de $v_{in}$ (amarilla) y $v_{out}$ (azul) a 100 Hz donde $ v_{in} $ es igual a: <b>a)</b> : 400 $\mu V_{pp}$ , <b>b)</b> : 1 mV <sub>pp</sub> , <b>c)</b> : 6.3 mV <sub>pp</sub> , <b>d)</b> : 10 mV <sub>pp</sub> .	144
Figura 78. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de $A_v$ usando $ v_{in}  = 1$ mV <sub>pp</sub> . La señal amarilla es $v_{in}$ , la azul es $v_{out}$ .	145
Figura 79. Espectros de ganancia de magnitud para <b>a)</b> $G = 50$ V/V y <b>b)</b> $G = 25$ V/V.	145
Figura 80. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de $A_{cm}$ usando $ v_{in}  = 400$ mV <sub>pp</sub> .	146
Figura 81. Espectro de $CMRR$ del amplificador para $G = 50$ V/V.	147
Figura 82. Espectros de amplitud de $v_{out}$ , con amplitudes de $v_{in}$ iguales a <b>a)</b> : 400 $\mu V_{pp}$ , <b>b)</b> : 1 mV <sub>pp</sub> y <b>c)</b> : 6.3 mV <sub>pp</sub> oscilando a 12.5 kHz.	148
Figura 83. Espectros de potencia de $v_{out}$ , con amplitudes de $v_{in}$ iguales a <b>a)</b> : 400 $\mu V_{pp}$ , <b>b)</b> : 1 mV <sub>pp</sub> y <b>c)</b> : 6.3 mV <sub>pp</sub> oscilando a 12.5 kHz.	149
Figura 84. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de $A_{nn}$ usando $ v_{nn}  = 400$ mV <sub>pp</sub> .	151
Figura 85. Espectro de $PSRR$ del amplificador para $G = 50$ V/V.	151

## LISTA DE FIGURAS

---

- Figura 86. **c)** Forma de onda de salida ante una entrada de pulsos rectangulares a 30 kHz. **b)** Medida del *settling time* del amplificador. **c)** Medida del *slew rate* del amplificador. 152
- Figura 87. Montajes de caracterización  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología  $tsmc - 0.18\mu m$ . 167
- Figura 88. Arriba: Curvas de caracterización  $g_m/I_D$  vs  $V_{ov}$  de los transistores **a)** NMOS y **b)** PMOS del proceso  $tsmc - 0.18\mu m$ . Abajo: Variación de  $V_{TH}$  con respecto al largo de canal  $L$ , para varios valores comprendidos entre 0.18 y 2.16  $\mu m$ . 168
- Figura 89. Curvas de *frecuencia de transición*  $f_t$  contra  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología  $tsmc - 0.18\mu m$ . 169
- Figura 90. Curvas de *corriente normalizada*  $I_{\square}$  contra  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología  $tsmc - 0,18\mu m$ . 170
- Figura 91. Montajes de caracterización de ganancia intrínseca para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología  $tsmc - 0.18\mu m$ . 170
- Figura 92. Curvas de ganancia intrínseca en inversión fuerte para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología  $tsmc - 0,18\mu m$ . 171
- Figura 93. Curvas de ganancia intrínseca en inversión moderada para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología  $tsmc - 0.18\mu m$ . 172
- Figura 94. Curvas de ganancia intrínseca en inversión débil para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología  $tsmc - 0.18\mu m$ . 172
- Figura 95. Circuito de ejemplo a diseñar mediante metodología  $g_m/I_D$  174

## LISTA DE FIGURAS

---

- Figura 96. Voltaje de polarización hallado en la curva característica  $g_m/I_D$  contra  $V_{ov}$ . 175
- Figura 97. Corriente normalizada hallada en la curva característica  $I_{\square}$  contra  $g_m/I_D$  176
- Figura 98. Esquemático del amplificador diseñado mediante metodología  $g_m/I_D$ , y gráfica de respuesta en frecuencia (magnitud) del circuito diseñado. 177

## LISTA DE TABLAS

	p
Tabla 1. Aproximación del aporte de las disparidades en el aumento de $A_{cm}$ de la etapa de entrada del CFIA prototipo.	73
Tabla 2. Aproximación del aporte de las disparidades en el aumento de $A_{pp}$ de la etapa de entrada del CFIA prototipo.	75
Tabla 3. Aproximación del aporte de las disparidades en el aumento de $A_{nn}$ de la etapa de entrada del CFIA prototipo.	76
Tabla 4. Dimensionamiento de transistores del $\beta$ -multiplier.	104
Tabla 5. Especificaciones globales del CFIA prototipo.	105
Tabla 6. Dimensionamiento de la etapa de entrada del CFIA prototipo.	109
Tabla 7. Dimensionamiento de la etapa de salida del CFIA prototipo.	110
Tabla 8. Consolidado del análisis estadístico del $\beta$ -multiplier.	114
Tabla 9. Consolidado del análisis estadístico de la etapa de entrada del CFIA.	120
Tabla 10. Resumen de resultados del análisis de corners del CFIA-SE.	133
Tabla 11. Resumen de resultados del análisis de Montecarlo del CFIA-SE.	133
Tabla 12. Comparación de especificaciones post-layout relevantes obtenidas para el CFIA-SE con otros trabajos relacionados.	139
Tabla 13. Niveles de potencia y voltaje de los componentes armónicos de la señal de salida, para una entrada senoidal de $6.3 \text{ mV}_{pp}$ oscilando a $12.5 \text{ kHz}$ .	150
Tabla 14. Mediciones experimentales del CFIA prototipo.	153

## RESUMEN

**TÍTULO:** DISEÑO DE UN AMPLIFICADOR DE INSTRUMENTACIÓN INTEGRADO EN TECNOLOGÍA CMOS, PARA LA APLICACIÓN DE ESPECTROSCOPIA DE BIOIMPEDANCIA ELÉCTRICA \*

**AUTOR:** ELKYN ENRIQUE HERNÁNDEZ SANABRIA \*\*

**PALABRAS CLAVE:** AMPLIFICADOR DE INSTRUMENTACIÓN (IA), REALIMENTACIÓN LOCAL DE CORRIENTE, METODOLOGÍA DE DISEÑO, ANÁLISIS  $g_m/I_D$ , ESPECTROSCOPIA DE BIOIMPEDANCIA ELÉCTRICA (EBE).

### DESCRIPCIÓN:

En este trabajo de investigación se presenta un proceso de diseño completo para un amplificador de instrumentación integrado (IA, por sus siglas en inglés) destinado a medición de espectroscopia de bioimpedancia eléctrica, orientado a su vez a la detección de cáncer de cuello uterino.

Este proceso incluye la contextualización del problema, la preparación conceptual concerniente a los amplificadores y los fenómenos que afectan su funcionamiento, el estudio de diferentes arquitecturas, la consecuente selección y descripción de una arquitectura según parámetros de diseño específicos, y la elaboración de una metodología de diseño que tiene en cuenta aspectos clave como la geometría de la sonda de medición, los requisitos de ganancia y ruido, CMRR, PSRR y las regiones de operación (análisis de  $g_m/I_D$ ) de los transistores críticos del amplificador para realizar su dimensionamiento.

Siguiendo esta metodología, se diseñaron dos amplificadores de instrumentación de realimentación de corriente local (CFIA) diferentes (salida única y diferencial) en una tecnología de proceso CMOS de 0.18- $\mu\text{m}$ , ambos logrando resultados de simulación post-layout en conformidad con las especificaciones de diseño requeridas. El amplificador de salida única pudo ser fabricado y caracterizado, y presentó características experimentales similares a las simulaciones post-layout. Estos resultados permiten afirmar que los circuitos diseñados son adecuados para aplicaciones de bioimpedancia.

---

\* Trabajo de grado de Maestría

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: José Alejandro Amaya Palacio, Ph.D. Co-director: Hugo Daniel Hernández Herrera, Ph.D.

## ABSTRACT

**TITLE:** DESIGN OF AN INTEGRATED CMOS INSTRUMENTATION AMPLIFIER FOR ELECTRICAL BIOIMPEDANCE SPECTROSCOPY APPLICATIONS \*

**AUTHOR:** ELKYN ENRIQUE HERNÁNDEZ SANABRIA \*\*

**KEYWORDS:** INSTRUMENTATION AMPLIFIER (IA), LOCAL CURRENT FEEDBACK, DESIGN METHODOLOGY,  $g_m/I_D$  ANALYSIS, ELECTRICAL IMPEDANCE SPECTROSCOPY (EIS).

### DESCRIPTION:

In this research work is presented a complete design process for an integrated CMOS Instrumentation Amplifier (IA) intended for electric bioimpedance spectroscopy measurement, and aimed to early cervical cancer detection.

This process includes problem contextualization, conceptual preparation regarding amplifiers and its features, study of different IA architectures, subsequent selection and description of an architecture as per specific design specifications, and the elaboration of a design methodology that takes into account key design aspects such as measurement probe geometry, noise and gain requirements, CMRR, PSRR and operation region considerations ( $g_m/I_D$  analysis) of the amplifier's critical transistors to perform its sizing.

Following this methodology, two different local current feedback instrumentation amplifiers (CFIA) were designed (single and differential output) in a 0.18- $\mu\text{m}$  CMOS process technology, both achieving post-layout simulation results in conformity with required design specifications. Finally, the single output amplifier was manufactured and characterized, giving experimental features similar to post-layout simulations. This results make the designed circuits suitable for bioimpedance applications.

---

\* Masters Thesis

\*\* Facultad de Ingenierías Físico-Mecánicas. Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones. Director: José Alejandro Amaya Palacio, Ph.D. Co-director: Hugo Daniel Hernández Herrera, Ph.D.

## NOTA DEL AUTOR

En esta disertación se presenta el recorrido conceptual llevado a cabo para realizar el proyecto titulado: *Diseño de un amplificador de instrumentación en tecnología CMOS, para la aplicación de Espectroscopia de Bioimpedancia Eléctrica*, y que es requisito para optar por el título de Magister en Ingeniería Electrónica de la Universidad Industrial de Santander. Me permito dejar esta nota al lector a modo de orientación breve sobre el contenido de este documento.

La aplicación última de este proyecto es en el campo de la medicina, por tanto en el capítulo 1 se presenta la contextualización del proyecto, desde la definición del cáncer de cuello uterino (CCU), sus características, por qué es importante combatirlo, y la utilidad de la espectroscopia de bioimpedancia eléctrica (EBE) para hacerlo.

En el capítulo 2 se introduce el concepto de amplificación: desde lo ideal hasta lo práctico. Se finaliza el capítulo describiendo el amplificador de instrumentación (INAMP), que es el objeto de diseño de este proyecto. En el capítulo 3 se establecen las especificaciones de diseño del INAMP, que no son más que los objetivos de este proyecto. También se hace un repaso rápido sobre el principio de funcionamiento del transistor MOSFET, y una reseña sobre la metodología  $g_m/I_D$ , útil para el propósito planteado.

En el capítulo 4 entramos en materia: Se analiza detalladamente la teoría de funcionamiento de la topología de diseño de INAMP escogida. En el capítulo 5 se expone una estrategia de diseño que permite dimensionar los dispositivos del INAMP prototipo de manera sistemática, y se presenta el diseño geométrico del mismo, con sus resultados de simulación. En el capítulo 6 se muestran las mediciones experimen-

tales que fueron realizadas sobre el circuito, para cerrar con las conclusiones del proyecto en el capítulo 7.

Los apéndices de este documento incluyen la caracterización  $g_m/I_D$  de los transistores de la tecnología CMOS -  $0.18\ \mu m$  (apéndice A) y un artículo de investigación relacionado con el proyecto, el cual fue publicado en el congreso IEEE CHILECON 2017 (apéndice B).

Este documento, al ser un trabajo de investigación de maestría, se entiende como un texto dirigido a un público especializado. Sin embargo, considero apropiado ofrecer una contextualización mínima para que un eventual lector con un nivel de conocimiento básico sobre electrónica comprenda con mayor facilidad el contenido. Por esta razón este libro ha sido escrito de manera que un lector “novato” aproveche la información contenida en los primeros tres capítulos, mientras que un lector experto puede empezar su lectura sin problemas en el capítulo 4. De cualquier forma, estimado lector, espero que el tiempo dedicado a leer este documento sea agradable y que el contenido le resulte de utilidad.

## 1. CONTEXTUALIZACIÓN DEL TRABAJO DE INVESTIGACIÓN

A continuación se presenta el contexto general de aplicación en el cual se enmarcarán el conocimiento y los aportes generados por este proyecto de investigación; y el planteamiento del problema específico a resolver mediante su realización.

### 1.1. Motivación y justificación

**1.1.1. El cáncer de cuello uterino** El cuerpo humano está compuesto por millones de células, las cuales nacen, se reproducen y mueren de forma cíclica y ordenada. El cáncer aparece cuando, en alguna parte del cuerpo, las células empiezan a crecer sin control, irrespetando los límites normales, y además resistiéndose a morir. Este comportamiento de las células es generado por alteraciones en su material genético (ADN). Las células cancerígenas pueden llegar a invadir tejidos sanos en otras partes del cuerpo, alterando también el material genético de las células invadidas. A diferencia de los tejidos sanos, en donde las células que presentan algún daño en su ADN son reparadas o mueren naturalmente, en los tejidos cancerígenos las células, además de no morir, se reproducen descontroladamente, generando nuevas células que el cuerpo no necesita. Estas células nuevas contienen el mismo material genético dañado de la célula original.

El cáncer de cuello uterino (CCU) o cáncer cervical es la segunda forma de cáncer con más incidencia en las mujeres después del cáncer de mama. Según datos del Instituto Nacional de Cancerología de Colombia <sup>1</sup>, en el período comprendido entre

---

<sup>1</sup> Las estadísticas sobre el cáncer en Colombia pueden encontrarse en [http://www.cancer.gov.co/cancer\\_en\\_cifras](http://www.cancer.gov.co/cancer_en_cifras)

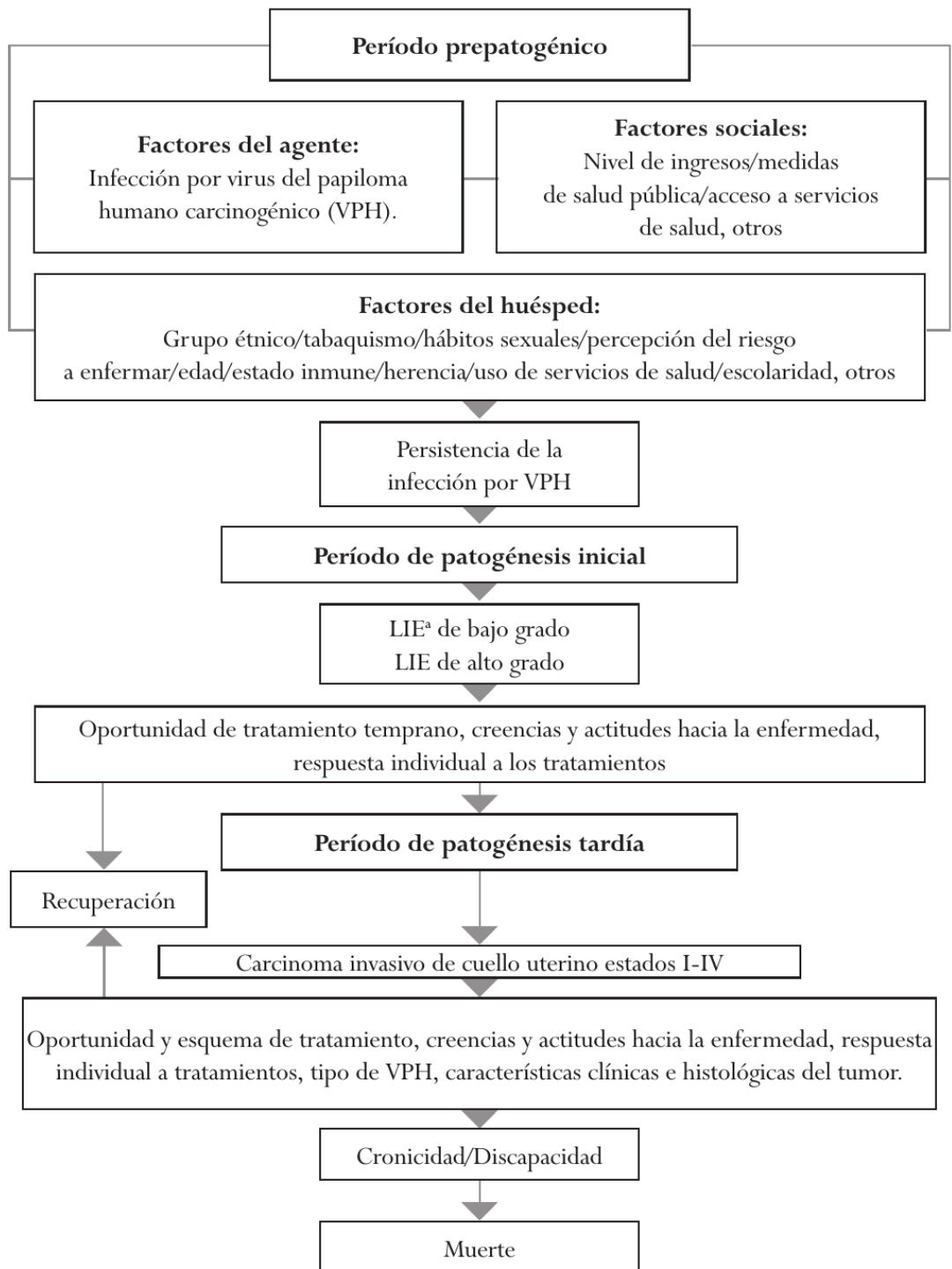
los años 2002 a 2006, en el país se registró un promedio de incidencia de 5603 casos anuales de CCU, con un registro de mortalidad que se puede apreciar en la figura 2. Aunque en el país existe una tendencia en la reducción de mortalidad que se viene manteniendo hasta hoy <sup>2</sup> debido a la implementación del plan nacional de vacunación contra la infección por el Virus del Papiloma Humano (VPH), y el progreso en los programas de prevención y tratamiento temprano. sin embargo, el CCU sigue siendo un problema de salud pública en Colombia y en la región, e impone un reto a los sistemas de salud de modo que estos logren generar intervenciones oportunas, eficaces y articuladas para disminuir aún más la incidencia y mortalidad de esta enfermedad.

El CCU consiste en una patología caracterizada por el crecimiento lento, al inicio, de células cancerosas donde los tejidos pasan por un proceso conocido como *displasia* (la historia natural del CCU se describe en la figura 1). En este proceso, y según la hipótesis planteada por Miranda <sup>3</sup>, las células cancerosas sufren una especie de evolución regresiva, donde sus características resultan siendo semejantes a las de los organismos unicelulares que existieron en la Era Paleoproterozoica de hace 2,500 millones de años. Estos organismos se caracterizaban por su alta capacidad de adaptación y supervivencia a condiciones adversas. Entonces, si la célula maligna es el equivalente evolutivo de estos organismos unicelulares primitivos, entonces su estructura, funcionamiento y dinámica poblacional deberán ser equiparables, observables y medibles.

---

<sup>2</sup> Ministerio de Salud y Protección Social. “Tendencias del cáncer de cérvix: Colombia en el marco de América Latina”. En: (2012). Ed. por Ministerio de Salud y Protección Social.

<sup>3</sup> D. Miranda, J. Barrero y J. Echeverri. *Estudio para la detección temprana de Cáncer de Cuello Uterino*. 1.ª ed. Vol. 1. Bucaramanga: Sic, 2007.



<sup>a</sup> lesión intraepitelial escamosa

Figura 1. Proceso de patogénesis del CCU. Tomado de <sup>4</sup>

Las células modernas, incluyendo los protozoos actuales, tienen gran habilidad de mantener un medio interno en desequilibrio con el medio externo. Para ello utilizan un bombardeo constante de iones, que les permiten “resguardarse”; lo anterior traduce en potenciales eléctricos relativamente altos. Los organismos primitivos, por su parte, tenían un medio interno más equilibrado con el medio exterior; por esta razón debieron manejar potenciales menores, ya que este bombardeo iónico no era tan eficiente. A partir de esta diferencia de comportamiento entre células sanas (actuales) y cancerosas (primitivas), se podría aplicar los principios de espectroscopia de impedancia eléctrica para detectar la presencia de células cancerígenas en tejidos vivos.

Actualmente, existen varios métodos de prevención y diagnóstico del CCU. Los métodos de prevención van desde la vacunación a mujeres en etapa de pre-pubertad, hasta los programas de educación sexual y prevención de infección por VPH. En cuanto a la vacunación, actualmente existe un manto de duda sobre la efectividad y los efectos adversos de su aplicación, los cuales han sido planteados en varios estudios, entre ellos el de Tomljenovic <sup>6</sup>, e incluso en Colombia, el caso de las adolescentes vacunadas en el municipio de El Carmen de Bolívar, las cuales presentaron episodios convulsivos y otras enfermedades inicialmente asociadas a la vacunación, tuvo relevancia en la comunidad y en la prensa, y ameritó una investigación por parte del gobierno nacional <sup>7</sup>.

---

<sup>6</sup> L. Tomljenovic, C.A. Shaw y J.P. Spinosa. “Human papillomavirus (HPV) vaccines as an option for preventing cervical malignancies: (how) effective and safe?” En: *Current Pharmacological Design* 19.8 (2013), págs. 1466-1487.

<sup>7</sup> F. De La Hoz. *Estudio de enfermedad supuestamente atribuible a la vacunación contra VPH*. Inf. téc. 2015.

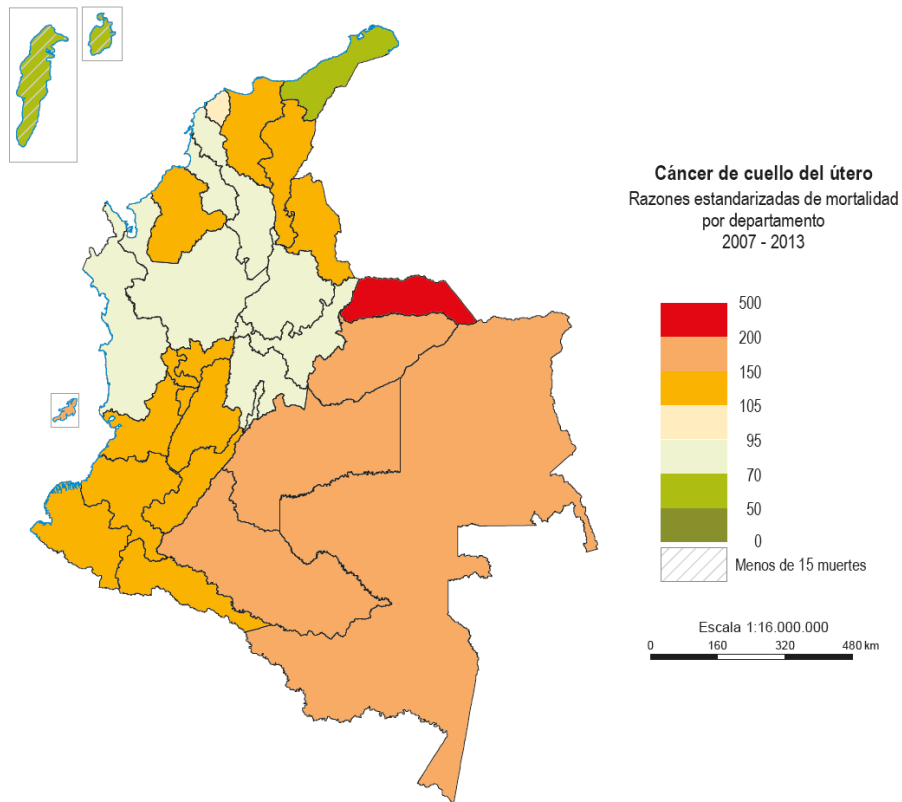


Figura 2. Estadística de mortalidad por cáncer de cuello uterino en Colombia en el período 2007-2013. Adaptado de <sup>5</sup>.

En cuanto a los métodos de diagnóstico, se destaca la citología o test de Papanicolaou, que consiste en la extracción de muestras en el endocérvix, cérvix y vagina de la paciente, los cuales son sometidos a estudios de anatomía patológica en busca de cambios en las células del cuello uterino, las cuales son las precursoras del CCU. Desde que se masificó su aplicación hace más de 50 años, el número de casos de CCU se ha reducido un 50%. Aunque el test de Papanicolaou es un examen barato y fácil de realizar, existen ciertas limitaciones en su aplicación, entre las cuales vale la pena mencionar:

- En países en vía de desarrollo - incluyendo a Colombia -, los programas de

prevención y seguimiento contra el CCU son difíciles de implementar, debido a limitaciones logísticas y económicas.

- El test de Papanicolaou necesita realizar análisis de muestras biológicas, lo cual toma un período de tiempo, que puede ser más o menos dependiendo de la disponibilidad de laboratorios y/o personal idóneo para ejecutarlos.
- Esta prueba tiene un componente humano, el cual puede llegar a incidir en la sensibilidad<sup>8</sup> y especificidad<sup>9</sup> del diagnóstico dado.

Ante la necesidad de contar con herramientas de diagnóstico de CCU que sean rápidas, baratas, automáticas y confiables, la espectroscopia de impedancia eléctrica (EBE) se convierte en una alternativa viable para el desarrollo de soluciones a este reto.

**1.1.2. La espectroscopia de bioimpedancia eléctrica - EBE** Defínase la espectroscopia de bioimpedancia eléctrica - EBE - como el estudio de la variación de las propiedades eléctricas de los tejidos vivos en función de la frecuencia. Según lo presentado por Miranda et al.<sup>3</sup> y Schwan<sup>10</sup>, las propiedades eléctricas de un tejido vivo dependen de la energía a la cual este tejido sea excitado. Este comportamiento es aproximadamente lineal para valores de campo eléctrico inferiores a  $1V/cm$ , o valores de densidad de corriente menores a  $1mA/cm^2$ . Esta información, así co-

---

<sup>8</sup> **Sensibilidad:** caracteriza la capacidad de la prueba para detectar la enfermedad en sujetos enfermos.

<sup>9</sup> **Especificidad:** caracteriza la capacidad de la prueba para detectar la ausencia de la enfermedad en sujetos sanos.

<sup>10</sup> H. Schwan. *Electrical properties of tissue and cell suspensions*. Vol. 5. New York: New York: Academic Press, 1957.

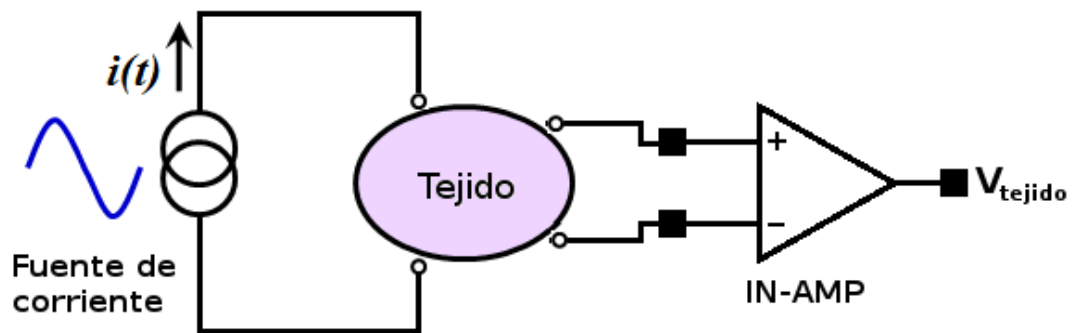


Figura 3. Representación ideal de un sistema de medición EBE de cuatro electrodos.

mo otras consideraciones hacen posible la construcción de un dispositivo llamado *bioimpedanciómetro*, el cual mide la impedancia en tejidos vivos. Esto se hace mediante la generación de una señal de corriente oscilatoria de amplitud constante y frecuencia variable. Esta señal se inyecta al tejido por medio de unos electrodos, y su respuesta en tensión es adquirida, y amplificada, para luego ser analizada. (ver figura 3). En la literatura ya se pueden encontrar implementaciones de bioimpedanciómetros o sistemas de instrumentación por EBE, como los de Tsunami et al.<sup>11</sup>, Yúfera y Rueda<sup>12</sup>, y Ko et al.<sup>13</sup> para propósitos de detección de diferentes enfermedades, incluyendo el cáncer de varios tipos.

<sup>11</sup> D. Tsunami y col. "Variable frequency bioimpedance instrumentation". En: *Engineering in Medicine and Biology Society, 2004. IEMBS '04. 26th Annual International Conference of the IEEE*. Vol. 1. Sep. de 2004, págs. 2386-2389. DOI: 10.1109/IEMBS.2004.1403691.

<sup>12</sup> A. Yufera y A. Rueda. "A CMOS bio-impedance measurement system". En: *Design and Diagnostics of Electronic Circuits Systems, 2009. DDECS '09. 12th International Symposium on*. Abr. de 2009, págs. 252-257. DOI: 10.1109/DDECS.2009.5012140.

<sup>13</sup> H. Ko y col. "Ultralow-Power Bioimpedance IC With Intermediate Frequency Shifting Chopper". En: *IEEE Transactions on Circuits and Systems II: Express Briefs* 63.3 (mar. de 2016), págs. 259-263. DOI: 10.1109/TCSII.2015.2483258.

De acuerdo a Oliver et al.<sup>14</sup>, la medición de la impedancia eléctrica permite obtener información sobre el estado de un tejido, como la cantidad de hidratación, volúmenes intracelulares y extracelulares, y porcentaje de grasa, entre otros indicadores. Se ha observado que los valores de bioimpedancia varían en función de la frecuencia, y esta variación se puede describir por medio del análisis de tres regiones o intervalos de frecuencia denominadas *regiones de relajación o dispersión*, definidas inicialmente por Schwan<sup>10</sup>. Estas zonas son llamadas:

- Zona  $\alpha$ : Desde DC hasta 10kHz aproximadamente. Esta zona de bajas frecuencias representa comportamientos asociados con procesos de difusión iónica en la membrana celular o acumulación de cargas eléctricas dentro de ella. Para estos valores de frecuencia, la corriente atraviesa solamente el espacio extracelular, y por tanto se suele presentar un valor alto de impedancia.
- Zona  $\beta$ : Desde 1 kHz hasta 10MHz aproximadamente. La zona de valores medios de frecuencia representa comportamientos del tejido asociados a la acumulación de cargas eléctricas en el material dieléctrico de la membrana celular debido a efectos capacitivos. Los valores de impedancia obtenidos dependen del estado del tejido, por eso este rango de frecuencias presenta gran importancia práctica en el estudio de las propiedades eléctricas de los tejidos.
- Zona  $\gamma$ : Valores de frecuencia mayores a 100MHz. La zona de altos valores de frecuencia representa comportamientos asociados a efectos de relajación semejantes a comportamientos de medios bipolares como agua, sales y proteínas.

---

<sup>14</sup> L. M. Oliver y col. "An impedimetric sensor for monitoring the growth of *Staphylococcus epidermidis*". En: *Engineering in Medicine and Biology Society, 2006. EMBS '06. 28th Annual International Conference of the IEEE*. Ago. de 2006, págs. 535-538. DOI: 10.1109/IEMBS.2006.260394.

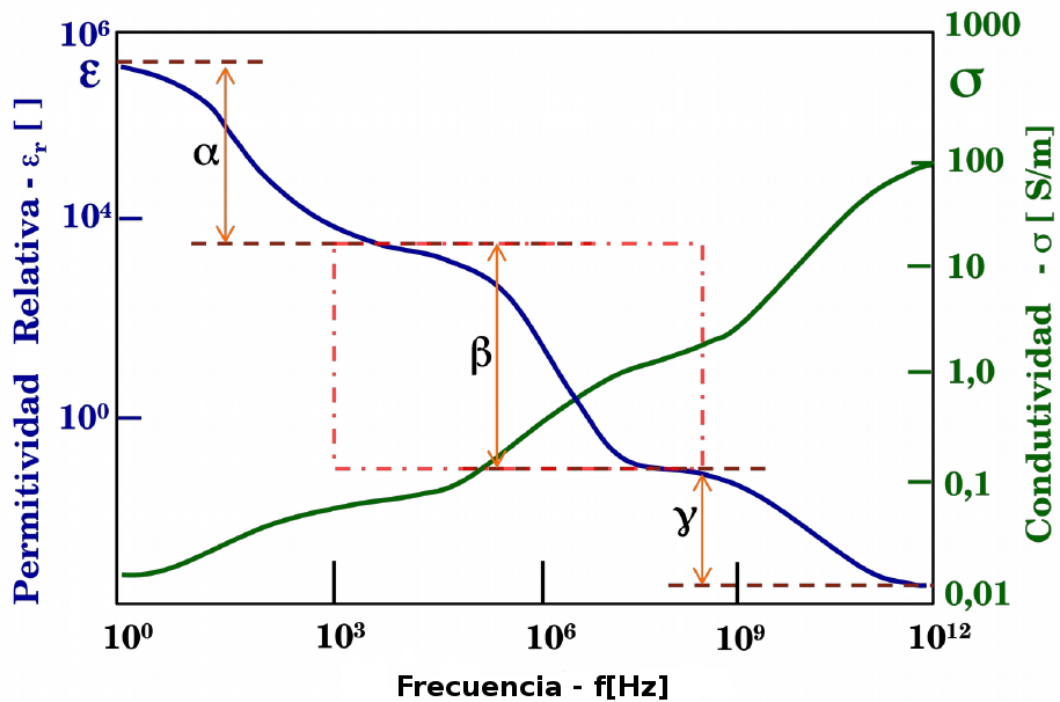


Figura 4. Características eléctricas de los tejidos. Tomado y adaptado de <sup>15</sup>.

En la figura 4 se aprecia el comportamiento de la permitividad relativa y la conductividad de un tejido vivo en función de la frecuencia, a partir de la cual se pueden identificar las zonas de dispersión. Para el caso del tejido cervical, donde a medida que se presenta progresión en el proceso de displasia, las células del tejido presentan un aumento de tamaño del núcleo con respecto a la célula mientras que el tamaño total de la célula disminuye al igual que el espacio intercelular, por tanto es posible detectar un contraste entre las respuestas en frecuencia de impedancia de tejidos sanos y tejidos con presencia de lesiones intraepiteliales de diferentes grados usando los principios de la EBE (ver figura 5).

Actualmente existe un bioimpedaciómetro comercial orientado a la detección tem-

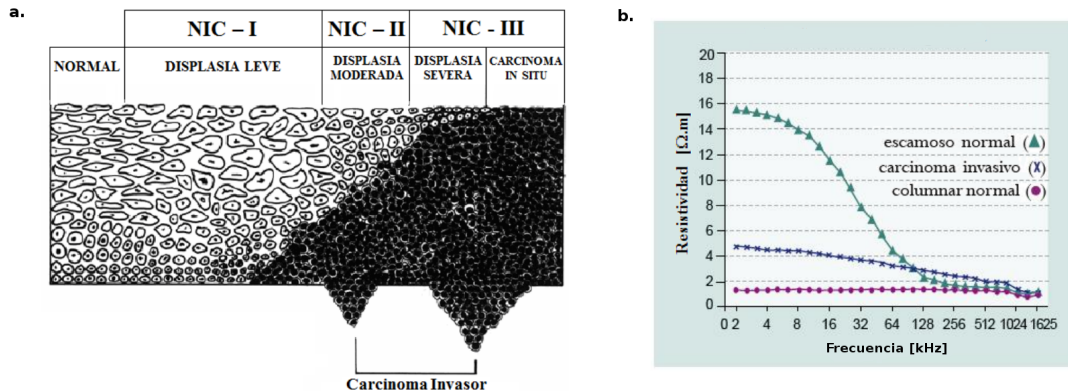


Figura 5. **a.** Representación esquemática en el sistema de clasificación *Richart* de las lesiones precursoras del carcinoma invasor del cuello del útero. Fuente: <sup>16</sup>. **b.** Comparación de la respuesta en frecuencia de la resistividad de diferentes tejidos epiteliales. Fuente: <sup>17</sup>.

prana de CCU mediante EBE, llamado *ZedScan*<sup>18</sup>, el cual fue desarrollado en el Reino Unido. *ZedScan* ha demostrado mejoras en el diagnóstico de lesiones epiteliales cuando se usa en conjunto con la colposcopia <sup>19</sup>. Sin embargo, ante el hecho de que este es el único desarrollo comercial conocido hasta el momento para la aplicación de nuestro interés (al menos hasta donde tenemos conocimiento), y sumado al hecho de que está protegido por patentes, existe entonces la necesidad de desarrollar otros dispositivos que puedan igualar o incluso mejorar las características del *ZedScan* a un menor costo, de modo que sea factible su amplia implementación en sistemas de salud de países en vía de desarrollo, como es el caso de Colombia.

<sup>18</sup> Más información sobre el producto se encuentra disponible en <http://www.zilico.co.uk>

<sup>19</sup> C. Muszynski y col. "The impact of using electrical impedance spectroscopy (*ZedScan*) on the performance of colposcopy in diagnosing high grade squamous lesions of the cervix". En: *Journal of Gynecology Obstetrics and Human Reproduction* 46.9 (2017), págs. 669-673. DOI: 10.1016/j.jogoh.2017.08.007.

## 1.2. Planteamiento del problema

En la Universidad Industrial de Santander (UIS) ya se han hecho varios estudios concernientes a la espectroscopia de bioimpedancia eléctrica. Los grupos de investigación *CEMOS* (Control, Electrónica, Modelado y Simulación) y *CIMBIOS* (Ciencia de Materiales Biológicos y Semiconductores) han desarrollado varios *bioimpedanciómetros* con el fin de avalar la técnica EBE <sup>20</sup> <sup>21</sup>. El profesor de la escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones de la UIS, Ph.D. Ing. José A. Amaya Palacio, presentó en el año 2017 su proyecto de Doctorado en Ingeniería Eléctrica ante la Universidad de São Paulo, cuyo título traduce “*Proyecto de generadores de señales en tecnología CMOS para aplicación de Espectroscopia de Impedancia Eléctrica en la detección precoz del cáncer de cuello uterino*”. En el proyecto se plantea un sistema de instrumentación EBE *integrado* para la detección temprana de CCU el cual, siguiendo la arquitectura a gran escala de un bioimpedanciómetro, está compuesto esencialmente por una fuente de corriente, la cual introduce una excitación al tejido a través de un par de electrodos. La respuesta en voltaje del tejido es adquirida por otro par de electrodos, y la señal adquirida es preamplificada por un IN-AMP, para luego ser digitalizada y analizada (ver figura 6).

El trabajo de Amaya tuvo como objetivo implementar la fuente de corriente, la cual cumple unas especificaciones especiales para las señales que se inyectan al tejido. La fuente de corriente es capaz inyectar en un tejido una corriente senoidal de

---

<sup>20</sup> G. Aponte y J. Caro. *Medición de Espectro de Impedancia Eléctrica de Tejido Cervico-Uterino sano y displásico In-Vitro. Segunda Fase*. 1.<sup>a</sup> ed. Vol. 1. Bucaramanga: Universidad Industrial de Santander, 2006.

<sup>21</sup> V. Barrera y J. Canova. *Diseño e Implementación de un Impedanciómetro para Medición del Espectro de Impedancia Eléctrica*. Bucaramanga: Universidad Industrial de Santander, 2008.

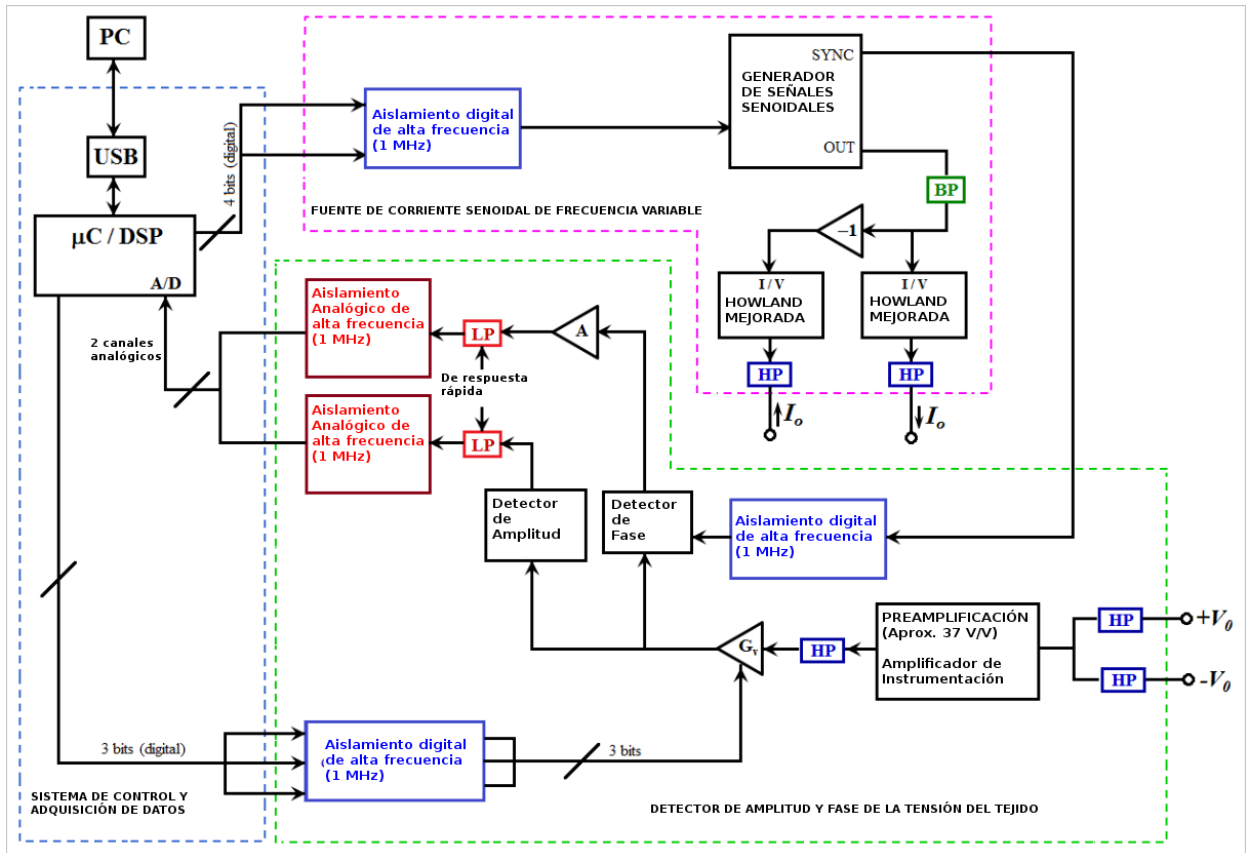


Figura 6. Diagrama de bloques del bioimpedanciómetro propuesto por Miranda et al.<sup>22</sup>

amplitud constante de  $10\mu A_p$ <sup>23</sup> y de frecuencia variable, en la banda de frecuencias comprendida entre 100Hz y 1MHz. La fuente diseñada fue implementada mediante un IC prototipo fabricado en la tecnología *tsmc-130nm*<sup>24</sup>, el cual hasta el momento ha cumplido con todas las pruebas de funcionamiento (ver figura 7).

<sup>23</sup> La selección del nivel de corriente de operación fue hecha atendiendo la norma internacional IEC-60601-1, que estudia los efectos de la corriente eléctrica en el cuerpo humano, y dicta los estándares de seguridad para equipos biomédicos.

<sup>24</sup> **TSMC** es la sigla para *Taiwan Semiconductor Manufacturing Company Ltd.* 130nm es la longitud mínima del canal de los transistores MOSFET permitida por el proceso de fabricación.

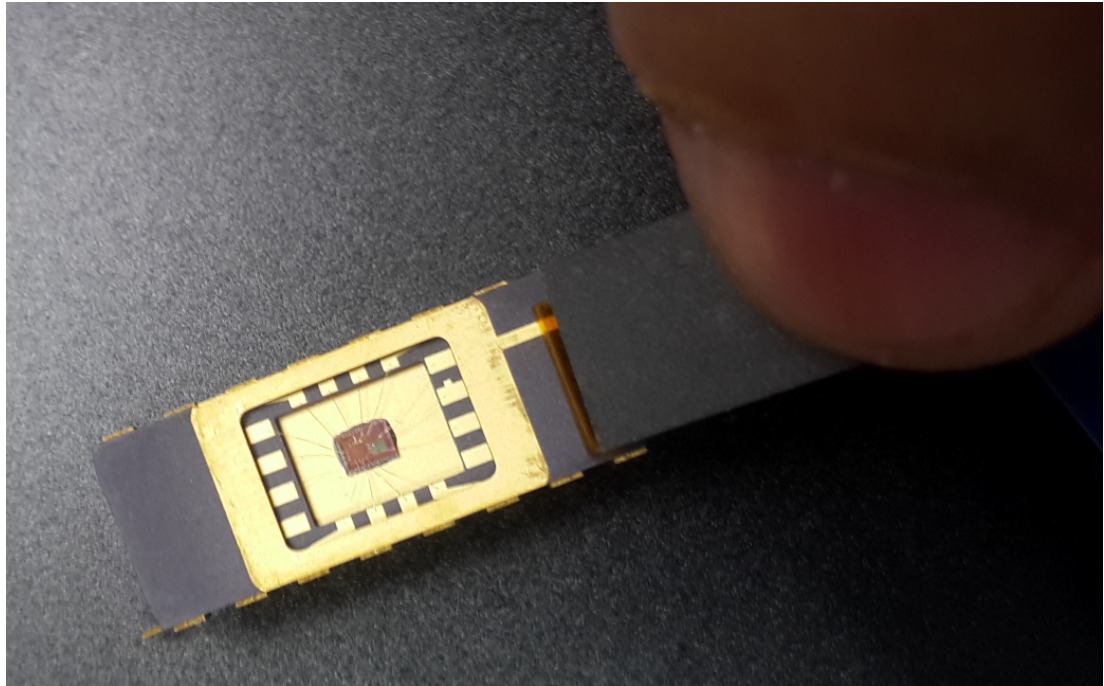


Figura 7. Prototipo del circuito generador de señales EBE encapsulado, diseñado por el profesor José Amaya.

Sin embargo, ya que el gran objetivo es construir un sistema completo de instrumentación por EBE para detección temprana de CCU, el cual sea *integrado* e incluso *implantable*, aún falta por construir el amplificador de instrumentación, así como los bloques de digitalización y análisis. El propósito de este trabajo de investigación está inmerso en este proyecto macro, y consiste en el diseño de un amplificador de instrumentación, el cual pueda incluirse dentro del *front-end* o interfaz entre el tejido del cérvix y la sección de detección de respuesta del sistema de instrumentación EBE propuesto. Ciertamente, este amplificador de instrumentación deberá cumplir especificaciones que le permitan amplificar la señal proveniente del tejido del cuello uterino, mientras que rechaza señales de interferencia presentes en ella.

## **Resumen del capítulo**

En este capítulo se presentó la contextualización de este trabajo de investigación, iniciando con una reseña sobre el cáncer de cuello uterino (CCU) que incluyó su proceso de patogénesis y su impacto sobre la salud pública. Se introdujo el concepto de espectroscopia de bioimpedancia eléctrica (EBE), su utilidad en el diagnóstico temprano del CCU, y algunos desarrollos basados en esta técnica en los ámbitos comercial y académico. Por último se manifestó la necesidad de diseñar un amplificador de instrumentación integrado que pueda incluirse en un sistema de detección temprana de CCU mediante EBE. En el próximo capítulo se estudiarán los amplificadores de instrumentación: sus características y diferentes arquitecturas.

## 2. EL AMPLIFICADOR DE INSTRUMENTACIÓN: CARACTERÍSTICAS Y ARQUITECTURAS

En esta capítulo se describen las características principales de los amplificadores de instrumentación (en inglés: *instrumentation amplifiers* - *IN-AMPS*), así como diversas arquitecturas o topologías de diseño sobre las cuales puede construirse; no sin antes hacer una reseña conceptual sobre los amplificadores integrados, sus diversas especificaciones y desafíos de diseño.

### 2.1. El amplificador ideal

Tal cual y su nombre lo indica, un *amplificador* de voltaje aplica una ganancia  $A_v$  al voltaje presente en su terminal de entrada  $V_{in}$ , de modo que en su terminal de salida  $V_{out}$  es igual al voltaje de entrada multiplicado por la ganancia, como lo muestra la figura 8.

El amplificador ideal estaría en la capacidad de amplificar cualquier nivel de voltaje presente en su entrada, y traducirlo en cualquier nivel de voltaje en su terminal de salida. Dicho en otras palabras, tendría *rangos de voltaje de entrada y salida* infinitos. Por otra parte, el amplificador podría amplificar señales de cualquier frecuencia (tendría *ancho de banda* infinito), no distorsionaría la señal de salida en compa-

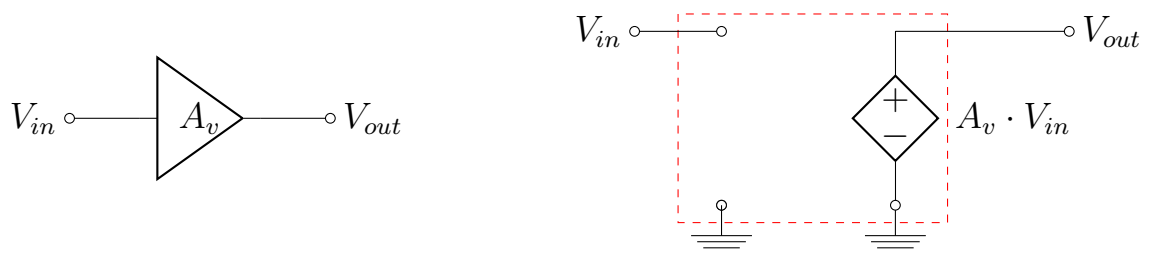


Figura 8. Símbolo y representación circuital de un amplificador ideal.

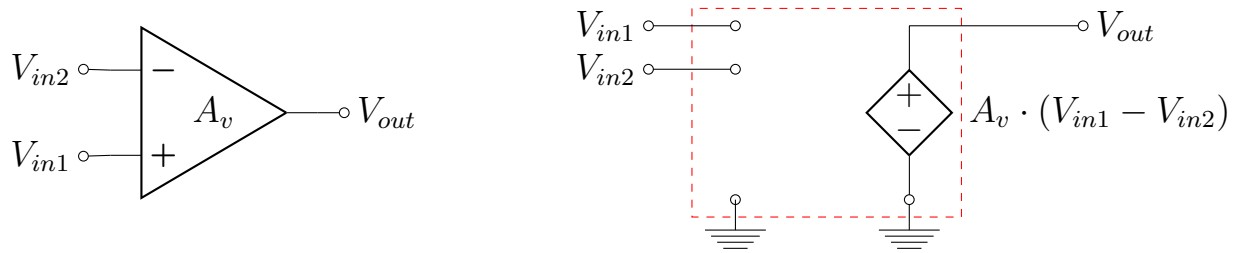


Figura 9. Símbolo y representación circuital de un amplificador ideal de entrada diferencial.

ración con la de entrada, no aportaría ruido en el proceso de amplificación, sería totalmente insensible a variaciones en la fuente de alimentación y la temperatura de operación, y no menos importante, la ganancia podría ser ajustada fácilmente en cualquier valor requerido.

Ahora, si lo que se quiere es amplificar la diferencia entre dos voltajes, un *amplificador ideal de entrada diferencial* debería amplificar sólo la diferencia de los voltajes en las entradas inversora (-) y no inversora (+), mientras que rechazaría totalmente alguna señal *común* a las mismas, tal y como se muestra en la figura 9. Esta importante característica de los amplificadores diferenciales será abordada más adelante.

## 2.2. Características no ideales en un amplificador de entrada diferencial

En la práctica, los amplificadores presentan múltiples características no ideales, las cuales resultan de las propiedades físicas de los materiales empleados en su construcción. Estas características limitan el comportamiento de un amplificador en mayor o menor medida dependiendo de la tecnología de fabricación y los criterios de diseño. Algunas de las características no ideales de un amplificador diferencial (no lo llamemos operacional aún) se representan en la figura 10 <sup>25</sup>, donde la *impedan-*

<sup>25</sup> P. Allen y D. Hollberg. *CMOS Analog Circuit Design*. 3rd. Oxford University Press, 2102.

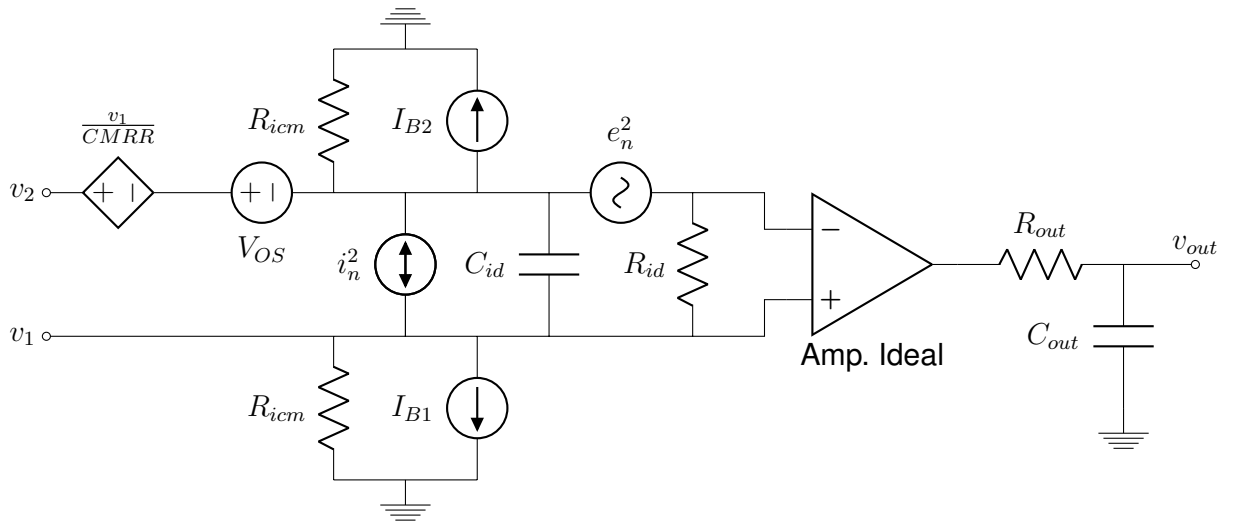


Figura 10. Un modelo de amplificador diferencial no ideal, donde se muestran algunas de las características no ideales que lo afectan. Adaptado de <sup>26</sup>

La impedancia de entrada diferencial está modelada por  $R_{id}$  y  $C_{id}$ , y la impedancia de salida por  $R_{out}$  y  $C_{out}$ . Las resistencias de entrada de modo común se representan por  $R_{icm}$  y se conectan desde cada una de las entradas hacia tierra. El voltaje de desplazamiento o desajuste (offset) de entrada está dado por  $V_{OS}$ , y es el voltaje necesario para que la salida sea cero cuando las entradas están aterrizadas.  $I_{B1}$  y  $I_{B2}$  son las corrientes de polarización de entrada, y su diferencia es la corriente de offset de entrada  $I_{OS}$ , la cual es necesaria para hacer la salida de voltaje cero si el amplificador es polarizado desde dos fuentes de corriente idénticas. Para las tecnologías CMOS, en donde las corrientes de polarización son aproximadamente nulas,  $I_{OS}$  se asume como cero. La relación de rechazo de modo común (CMRR) cuantifica los efectos de la señal de entrada de modo común sobre el amplificador, y se modela como una fuente de voltaje controlada por  $v_1/CMRR$ . Las dos fuentes  $i_n^2$  (corriente rms) y  $e_n^2$  (voltaje rms) modelan el ruido presente en el amplificador; este ruido no tiene una polaridad definida y siempre se asume aditivo.

Es conveniente recalcar que en la figura 10 no se muestran todas las características

no ideales de los amplificadores. A continuación se definen con algo más de detalle varias características importantes para los amplificadores diferenciales.

**2.2.1. Relación de rechazo de modo común - CMRR** El voltaje de salida de la figura 10 puede representarse en el dominio de la frecuencia compleja  $s$  como:

$$V_{out}(s) = A_v(s) \underbrace{[V_1(s) - V_2(s)]}_{V_{id}} \pm A_c(s) \underbrace{\left(\frac{V_1(s) + V_2(s)}{2}\right)}_{V_{cm}} \quad (1)$$

Donde  $V_{id}$  es el *voltaje de entrada diferencial* y  $V_{cm}$  es el *voltaje de entrada de modo común* de nuestro amplificador;  $A_v$  y  $A_{cm}$  son las ganancias diferencial y de modo común, respectivamente. Entonces puede definirse la *relación de rechazo de modo común* como:

$$CMRR = 20 \cdot \log_{10} \frac{A_v}{A_{cm}} \quad [\text{dB}] \quad (2)$$

Esta cantidad es infinita en un amplificador ideal, ya que la  $A_{cm}$  es nula. Esto significa que la ganancia del amplificador es puramente diferencial, por tanto, el amplificador es insensible ante cualquier señal común a las entradas, ya sea un nivel DC, interferencia o ruido de cualquier tipo. En la práctica, un diseñador debe utilizar técnicas para lograr un CMRR tan alto como sea posible, dependiendo del tipo de amplificador a construir y las especificaciones requeridas.

**2.2.2. Relación de rechazo de fuentes de potencia - PSRR** Otra característica no ideal de suma importancia en el rendimiento de un amplificador es la *relación de rechazo de fuentes de potencia - PSRR*. Esta cantidad se define como el producto de la ganancia de lazo abierto  $A_v$  por la relación entre un cambio en el voltaje de alimentación  $V_{DD}$  o  $V_{SS}$  y el cambio en el voltaje de salida  $V_{OUT}$  provocado por el

cambio en la fuente. Explicado de otra manera:

$$PSRR^+ = \frac{\Delta V_{DD}}{\Delta V_{OUT}} A_v(s) \quad (3a)$$

$$PSRR^- = \frac{\Delta V_{SS}}{\Delta V_{OUT}} A_v(s) \quad (3b)$$

Idealmente, no se deberían presentar cambios en la salida ante variaciones de la alimentación o tierras, por tanto el  $PSRR$  sería infinito.

**2.2.3. Ancho de Banda - BW** En un amplificador ideal, las ganancias  $A_v$  y  $A_{cm}$  son valores constantes para todas las frecuencias. En realidad, la ganancia diferencial  $A_v$  presenta una respuesta en frecuencia típica de la forma:

$$A_v(s) = \frac{A_{v0}}{\left(\frac{s}{p_1} - 1\right)\left(\frac{s}{p_2} - 1\right)\cdots\left(\frac{s}{p_n} - 1\right)} \quad (4)$$

Donde  $p_1, p_2, \dots, p_n$  son los polos del amplificador, y  $A_{v0}$  es la ganancia en DC. Aunque el amplificador puede tener ceros, por lo pronto es conveniente ignorarlos. El polo de menor magnitud es llamado el *polo dominante*. En la figura 11 se muestra la respuesta en frecuencia típica de  $A_v(j\omega)$  en un amplificador. La ganancia en DC es  $20\log_{10}(A_{v0})$ , y si se aumenta  $\omega$ , se mantiene en un valor cercano hasta llegar al valor de magnitud del polo dominante, donde la ganancia tiene un valor aproximado de  $20\log_{10}(A_{v0}) - 3\text{ dB}$ . Al aumentar la frecuencia a partir de ese punto, la ganancia experimentará una caída aproximadamente lineal de  $20\text{ dB}$  por octava, hasta llegar al segundo polo, el cual aporta otros  $20\text{ dB}$  por octava a la caída de ganancia, y así sucesivamente debido al aporte de cada polo. La frecuencia en donde la ganancia es unitaria ( $0\text{ dB}$ ) es llamada el *ancho de banda de ganancia (GBW)*.

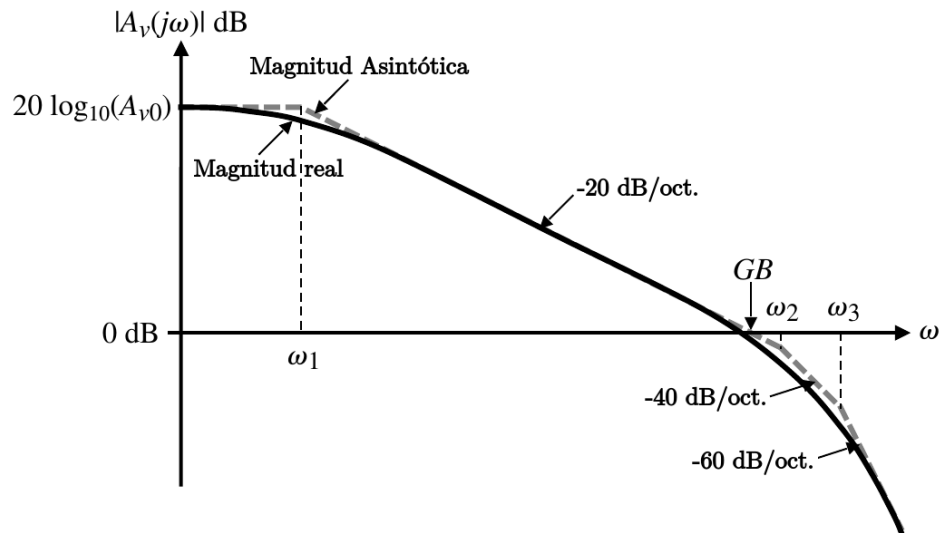


Figura 11. Respuesta en frecuencia típica de la ganancia diferencial de un amplificador. Tomado y adaptado de <sup>27</sup>.

**2.2.4. Slew Rate y tiempo de asentamiento (Settling Time)** La salida de voltaje de un amplificador tiene varios límites importantes. Uno de ellos es la máxima corriente que es capaz de conducir, lo cual está relacionado con el tipo de carga que puede soportar. Por otra parte, en la práctica existe siempre un rango limitado de voltaje en el cual la señal de salida puede variar conservando las características de alta ganancia. Otra característica muy importante es el llamado *slew rate*, que es determinado por la corriente máxima disponible para cargar un capacitor. Este efecto se traduce en la salida cuando en la entrada ocurren cambios súbitos, por ejemplo, se presenta un pulso. Las corrientes conducidas internamente por los transistores del amplificador y sus capacitancias parásitas causarán que la salida no siga de manera perfecta el cambio repentino de nivel, limitando la salida a una pendiente máxima (ver figura 12). La misma figura también muestra el tiempo de asentamiento, que es el tiempo requerido por la salida para alcanzar un valor final dentro de un rango de tolerancia definido. En este punto es conveniente señalar que

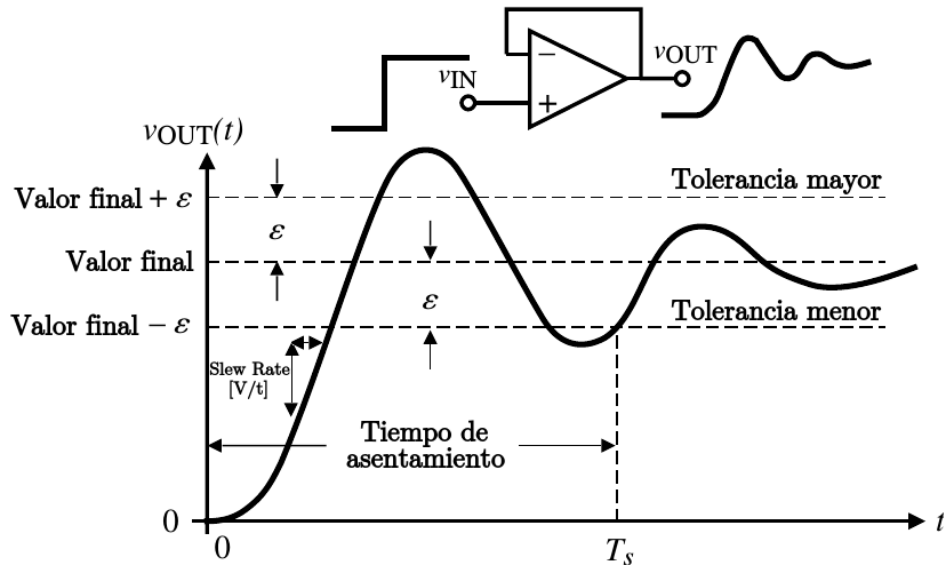


Figura 12. Respuesta transitoria al escalón de un amplificador con realimentación negativa, donde es posible apreciar el *slew rate* y el tiempo de asentamiento  $T_s$ .  $\epsilon$  es la tolerancia al valor final usado para definir el tiempo de asentamiento. Tomado y adaptado de <sup>28</sup>.

mientras que el *slew rate* es un fenómeno de gran señal, el tiempo de asentamiento es una característica de pequeña señal, determinada por los polos y ceros del amplificador.

**2.2.5. Estabilidad, margen de fase y margen de ganancia** La realimentación negativa<sup>29</sup> (conexión de la salida con la entrada inversora) puede introducir muchas mejoras en el comportamiento de circuitos con amplificadores de entrada diferencial, por ejemplo el aumento de ancho de banda y el control de la ganancia. Sin embargo, existe un aspecto crítico a analizar a la hora de implementarla, y es la

<sup>29</sup> La realimentación es tratada ampliamente en la literatura. Para profundizar sobre el tema se puede consultar (B. Razavi. *Fundamentals of Microelectronics*. 2nd. Wiley, 2104), (P. Allen y D. Hollberg. *CMOS Analog Circuit Design*. 3rd. Oxford University Press, 2102) y (J. Baker. *CMOS Circuit Design, Layout, and Simulation*. 3rd. Wiley, 2010), entre otros textos.

estabilidad. Algunos circuitos internos del amplificador o de la red de carga causan un desplazamiento de fase en la señal de entrada, el cual puede ser tan grande que la realimentación pasa a ser positiva, haciendo que la salida se sume a la entrada, conllevando a la inestabilidad del sistema. Para analizar la estabilidad se define entonces el *lazo de ganancia (loop gain)*  $T$  como el producto de la ganancia de lazo abierto (open loop) del amplificador  $A_{OL}$  y la ganancia de la red de realimentación  $\beta$ :

$$T = A_{OL}\beta \quad (5)$$

Observando la respuesta en frecuencia del lazo de ganancia en magnitud y fase se puede analizar la estabilidad del sistema (ver figura 13-a). Para ello debe identificarse la frecuencia de ganancia unitaria ( $\omega_{0dB}$ ), y si para esa frecuencia la fase ha cambiado *menos* de  $180^\circ$  con respecto a la fase en DC, el sistema es estable. Cuando esto no se cumple, el sistema es inestable. Entonces, para un sistema estable, se define el *margen de fase* ( $\phi_M$ ) como el ángulo faltante de la diferencia entre los valores de fase en DC y  $\omega_{0dB}$  para llegar a  $180^\circ$ . De manera complementaria, puede definirse el *margen de ganancia* como la diferencia entre la ganancia medida en la frecuencia donde la fase de  $T$  es de  $180^\circ$  con respecto a la fase en DC ( $\omega_{180^\circ}$ ) y la ganancia unitaria. En la figura 13-b se puede apreciar de mejor forma estas definiciones.

El margen de fase está directamente relacionado con el tiempo de asentamiento, ya que a mayor margen de fase, la señal de salida tomará menos tiempo en asentarse, como puede observarse en la figura 13-c. Por esta razón, en el diseño de ICs siempre se busca lograr márgenes de fase de mínimo  $45^\circ$ , aunque lo recomendable es lograr  $60^\circ$  o más.

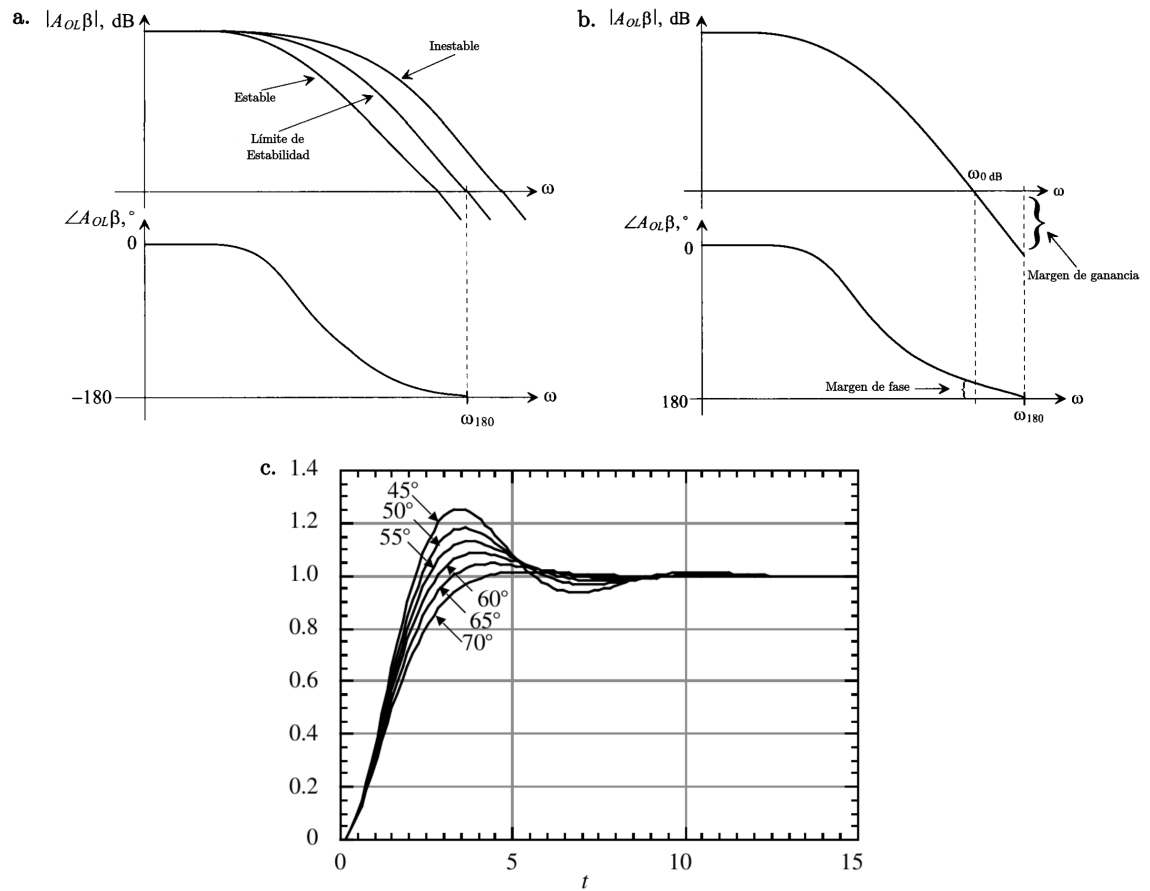


Figura 13. **a.** Análisis de estabilidad de un amplificador con realimentación negativa. **b.** Definición del margen de fase y margen de ganancia. **c.** Efecto del margen de fase sobre el tiempo de asentamiento. Tomado y adaptado de <sup>30</sup>.

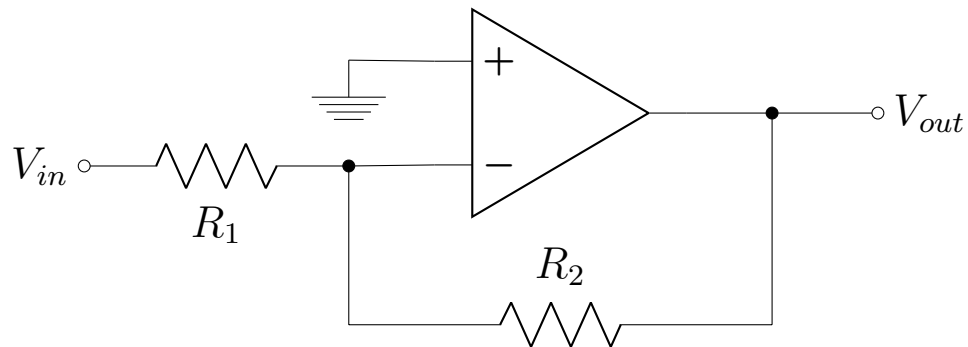


Figura 14. Un OPAMP en configuración inversora.

### 2.3. El amplificador operacional - OPAMP

Resultaría inapropiado empezar a describir el amplificador de instrumentación sin reseñar antes al *amplificador operacional (OPAMP)*. Su desarrollo se remonta a la década de los 1940s, donde eran construidos con elementos discretos y utilizados en computación analógica; y su nombre deriva de las características de tener una entrada diferencial, ganancia de *lazo abierto* extremadamente alta, y del hecho de que su forma de operación estuviese determinada por los elementos de realimentación utilizados, de modo que, al cambiar la red de realimentación, se podía implementar para realizar diferentes *operaciones* analógicas, ya que las características globales del circuito estarían determinadas *solamente* por los elementos de realimentación. Ya en la década de los 1960s estos amplificadores empezaron a ser producidos como circuitos integrados, primero usando BJTs y posteriormente MOSFETs. Hoy son utilizados de manera masiva en múltiples aplicaciones de electrónica analógica.

Los OPAMPs en general, y más aún los construidos en tecnología CMOS, tienen varias características que pueden considerarse “ideales” para su análisis. Por ejemplo, la resistencia de entrada es prácticamente infinita para bajas frecuencias, y la ganancia es muy elevada (de 100 dB o más), lo cual implica que cualquier señal

presente en la salida debe ser producto de una entrada infinitesimalmente pequeña. De estas dos características se desprenden dos propiedades importantísimas para el análisis teórico de los OPAMPs:

- No existe flujo de corriente en las terminales de entrada.
- La diferencia de tensión en la entrada es nula.

Si el OPAMP se utiliza con realimentación negativa, se llega a una otra propiedad útil:

- En bucle cerrado, la entrada presente en la terminal inversora será regulada al potencial de la entrada presente en la terminal no inversora.

O en otras palabras, la entrada no inversora actúa como referencia para una señal presente en la entrada inversora. Estas tres propiedades pueden ser usadas como axiomas en el análisis de OPAMPs, y una vez entendidas se puede deducir el funcionamiento de casi cualquier configuración circuital que los utilice. Las configuraciones básicas de OPAMPs son de amplio tratamiento en la literatura, aunque describirlas está fuera del alcance de este documento. Sin embargo, ya que los OPAMPs pueden utilizarse como bloques constitutivos de los amplificadores de instrumentación, algunas arquitecturas de diseño de OPAMPs serán estudiadas más adelante.

#### **2.4. El amplificador de instrumentación - INAMP**

Los amplificadores de instrumentación (en inglés: *instrumentation amplifiers - INAMPs*) son dispositivos electrónicos esenciales ante la necesidad de adquirir señales de amplitudes pequeñas. El amplificador de instrumentación puede definirse como un bloque de ganancia de *lazo cerrado*, que tiene una entrada diferencial y usualmente una salida única con respecto a una terminal de referencia. Su característica más importante es ser capaz de rechazar señales de modo común en tasas mayores a

$-80dB$ <sup>31</sup>.

En un amplificador operacional, se busca en la gran mayoría de aplicaciones que las terminales de entrada presenten impedancias de entrada altas y balanceadas (en el orden de  $10^9 \Omega$ , o mayores), con corrientes de polarización bajas (en el orden de los  $nA$ , o menores). En cuanto a la salida, se busca que la impedancia sea tan baja como sea posible, siendo posible obtener en la práctica valores inferiores al orden de los  $m\Omega$ , a bajas frecuencias.

Las características propias de los INAMPs los hacen apropiados un amplio espectro de aplicaciones, donde se involucre la amplificación de señales de orden pequeño en comparación con sus niveles de polarización o ruido común. Los INAMPs han sido utilizados con éxito en áreas como control de motores, telecomunicaciones, adquisición de datos y amplificación de señales de bioimpedancia.

**2.4.1. El amplificador de instrumentación vs. el amplificador operacional** Aunque los IN-AMPs comparten el propósito esencial de los amplificadores operacionales, e incluso los IN-AMPs pueden ser construidos a partir de OP-AMPs <sup>32</sup> (ver figura 15), existen aspectos que los diferencian, por ejemplo:

- Mientras que en OPAMP la ganancia de lazo cerrado está dada por la impedancia externa conectada entre la salida y la entrada inversora, un INAMP contiene una impedancia interna de retroalimentación, la cual está separada

---

<sup>31</sup> C. Kitchin y L. Counts. *A Designer's Guide to Instrumentation Amplifiers*. 2nd. Analog Devices Inc., 2004.

<sup>32</sup> P. A. Dal Fabbro. "Projeto de um amplificador de instrumentação CMOS integrado". Tesis de maestría. Universidade Estadual de Campinas, 2002.

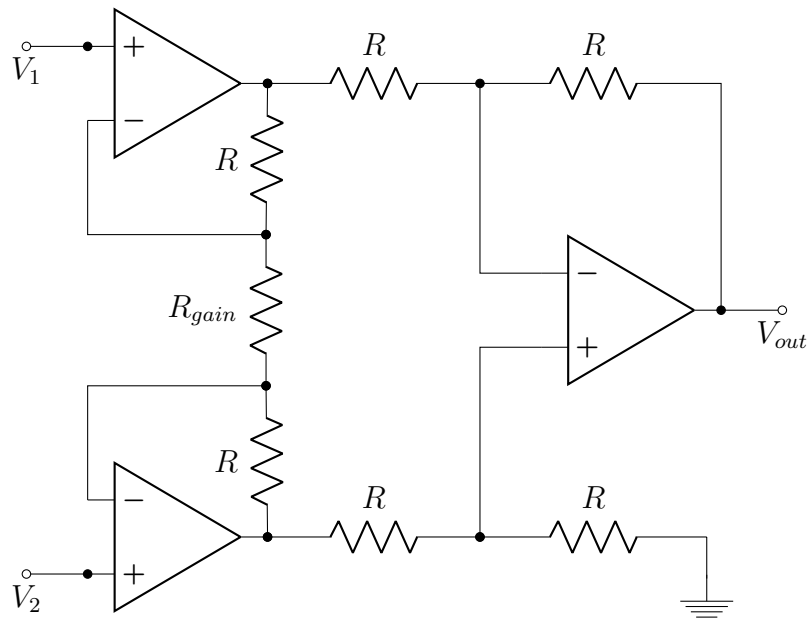


Figura 15. Un INAMP construido a partir de tres OPAMPs.

de las terminales de entrada. Cuando se aplica la señal diferencial en las terminales de entrada, la ganancia es dada por la configuración interna del amplificador, o bien por una impedancia de ganancia externa seleccionada por el usuario, la cual está separada de los pines de entrada.

- La característica mas notable de los IN-AMPs radica en amplificar sólo la componente diferencial de la señal de entrada, mientras rechaza la componente de modo común, que puede estar compuesta por un nivel DC, ruido o cualquier otro fenómeno. Un OPAMP, por su parte, ante la presencia de una señal con componentes común y diferencial en su entrada, amplificará ambos componentes, generando en la mayoría de los casos que la componente diferencial quede, ya sea saturada en el nivel máximo de salida del circuito, o enterrada bajo el nivel DC o el ruido amplificado.

**2.4.2. Algunas topologías de diseño de INAMPs** No hay una manera única de construir un INAMP. Usar una de diferentes topologías o arquitecturas de diseño puede resultar en la mejora de determinadas especificaciones mientras se desmejoran otras; la escogencia de una u otra dependerá de la aplicación específica, la tecnología de construcción y de la experticia del diseñador. A continuación, se describirán brevemente la topología clásica (3 OPAMPs), la de capacitor alternado (SCIA), la de modo de corriente (CMIA) y por último la de realimentación de corriente (CFIA). Estas arquitecturas se mostrarán en su forma genérica <sup>33</sup>, ya que para cada una existen diferentes variaciones que logran propósitos específicos.

**El INAMP clásico (3 OPAMPs)** Empecemos por describir el circuito llamado *amplificador diferencial o substractor*, mostrado en la figura 16.

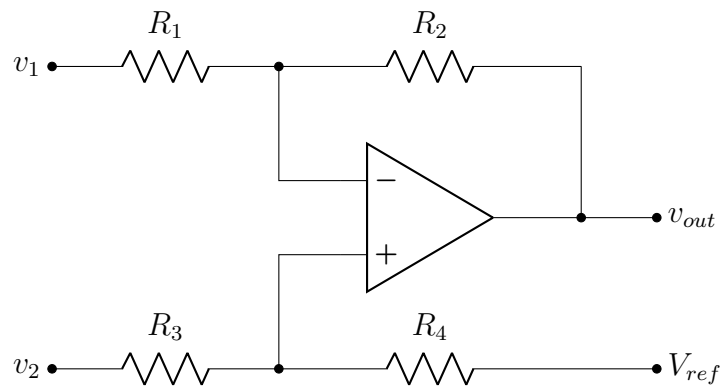


Figura 16. El amplificador diferencial.

Aplicando el principio de superposición se puede comprobar que:

$$v_{out} - V_{ref} = v_2 \frac{R_4}{R_3 + R_4} \left( \frac{R_2}{R_1} + 1 \right) - \frac{R_2}{R_1} v_1 \quad (6)$$

<sup>33</sup> R. Wu, J. H. Huijsing y K. A. A. Makinwa. *Precision Instrumentation Amplifiers and Read-Out Integrated Circuits*. 1st. Springer, 2013.

Si  $R_3 = R_1$  y  $R_4 = R_2$  se tiene:

$$A_v = \frac{v_{out} - V_{ref}}{v_2 - v_1} = \frac{R_2}{R_1} \quad (7)$$

Y el amplificador será puramente diferencial, por lo que idealmente  $v_{out}$  será cero cuando  $v_1 = v_2$  (y su CMRR es infinito). Sin embargo, tendremos que cada entrada verá impedancias diferentes. Para la entrada de  $v_1$ , la impedancia vista es  $R_1$ , mientras que para la entrada de  $v_2$  la impedancia observada es  $R_3 + R_4$ . Además de tener impedancias de entrada desbalanceadas, éstas tienen valores finitos, lo cual implica una transmisión de señal ineficiente. Para aumentarlas, se tendría que aumentar también el valor de las resistencias, lo cual en la práctica anularía la ganancia del amplificador. También debe tenerse en cuenta que en las tecnologías CMOS existe un límite de magnitud (en el orden de los cientos de  $k\Omega$  en la tecnología de  $350\text{ nm}$ ) a partir del cual resulta inviable la construcción de resistencias *on-chip* debido al consumo excesivo de área.

Para solucionar esto, se agregan *buffers* a las diferentes entradas, con una resistencia  $R_{gain}$  uniendo sus redes de realimentación, para lograr la configuración de la figura 17, la cual, a diferencia del amplificador diferencial, garantiza una impedancia de entrada muy alta, mientras que conserva un alto CMRR. Entonces, a partir de aquí ya es apropiado definir a este circuito como un *amplificador de instrumentación*. Habiendo definido las entradas del circuito como la superposición de una señal de modo común  $V_{cm}$  con una señal diferencial  $v_d$ , la descripción funcional de este circuito se puede abordar desde el resistor  $R_{gain}$ , por donde circulará una corriente  $i_d = v_d/R_{gain}$  que establecerá los voltajes  $v_1 = V_{CM} - A_{v1}(v_d/2)$  y  $v_2 = V_{CM} + A_{v2}(v_d/2)$ , con  $A_{v1} = 1 + 2R_f/R_{gain}$ . Los voltajes  $v_1$  y  $v_2$  no son más que

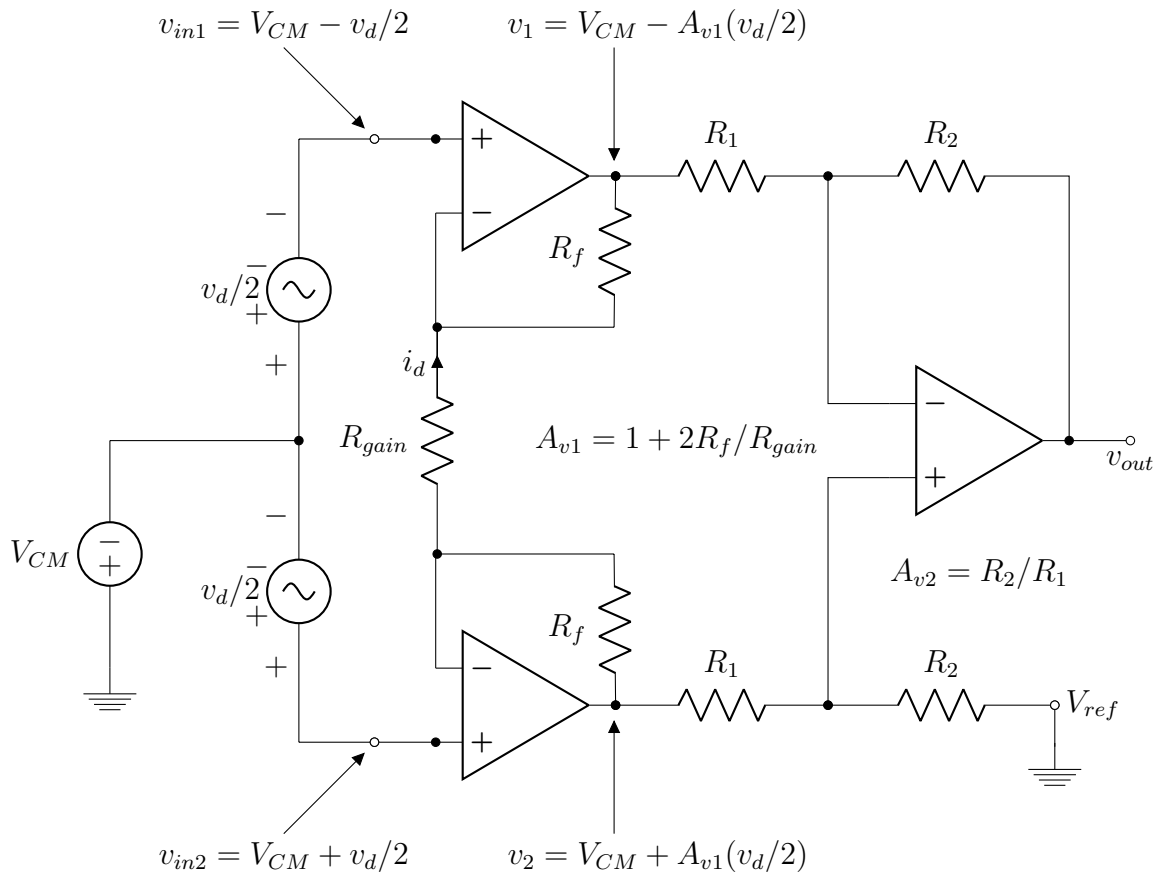


Figura 17. El amplificador de instrumentación clásico. Se muestran los valores de algunas cantidades de interés del circuito.

las entradas del amplificador diferencial (ecuación 7), con lo que al final se obtiene:

$$v_{out} - V_{ref} = \underbrace{\left(1 + \frac{2R_f}{R_{gain}}\right)}_{A_{v1}} \underbrace{\left(\frac{R_2}{R_1}\right)}_{A_{v2}} v_d \quad (8)$$

Cuando se trata de un IN-AMP de propósito general, las resistencias  $R_1$ ,  $R_2$  y  $R_f$  son preajustadas *on-chip*, y  $R_{gain}$  es seleccionada por el usuario a través de terminales para proporcionar la ganancia del amplificador.

Este INAMP presenta las siguientes características generales:

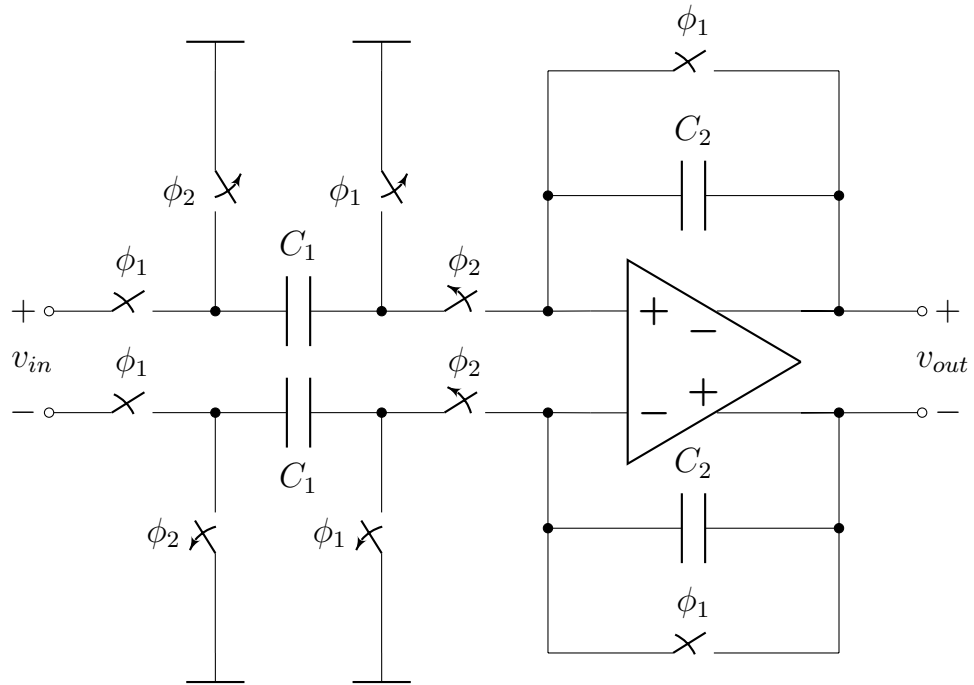


Figura 18. Un INAMP de capacitor alternado.

- Sus especificaciones dependen fuertemente del grado de paridad (matching) entre las resistencias que se suponen iguales.
- El CMRR total del IN-AMP depende del producto del CMRR de la primera y segunda etapa, por lo cual es necesario lograr altos CMRRs en cada OPAMP que lo conforma.
- Con esta topología no se logra un rango de entrada de modo común en los supply rails (VSS a VDD). Tampoco es muy eficiente en términos de área y potencia.
- Exhibe una alta impedancia de entrada y buena linealidad dentro de sus rangos de entrada y salida.

**El INAMP de capacitor alternado (switched capacitor)** Esta topología usa capacitores como elementos de realimentación (ver figura 18). Cuando el reloj  $\Phi_1$  está en alto, la señal de entrada es muestreada en el capacitor  $C_1$ , mientras que el capacitor integrador  $C_2$  se “resetea”. Cuando el reloj  $\Phi_2$  se activa, la carga guardada en  $C_1$  se transfiere a  $C_2$ . La ganancia de lazo cerrado es  $C_1/C_2$ .

Este IN-AMP presenta las siguientes características generales:

- Con un diseño de layout adecuado, se pueden alcanzar valores muy bajos de error de ganancia y deriva con respecto a la temperatura.
- Cuenta con gran rango de entrada de modo común, ya que los capacitores bloquean el nivel DC.
- Debido al muestreo, la señal de salida presenta distorsión a modo de discontinuidades, y también se produce un aumento del nivel de ruido.
- La compensación del ruido, que consiste en el aumento de  $C_1$  conduce a un descenso de la impedancia de entrada del circuito.
- El uso de relojes implica la utilización de área adicional y un nivel de complejidad de diseño que puede evitarse en varias aplicaciones.

**El INAMP de modo de corriente - CMIA** En esta configuración, mostrada en la figura 19, al igual que en la configuración clásica, la realimentación de los amplificadores  $A_1$  y  $A_2$  crea una diferencia de potencial sobre el resistor  $R_{gain}$ . La corriente  $i$  a través de este resistor se “clona” mediante espejos de corriente de precisión y se convierte nuevamente en voltaje por  $R_2$ , el cual es ingresado al amplificador de salida  $A_3$ .

Este IN-AMP presenta las siguientes características generales:

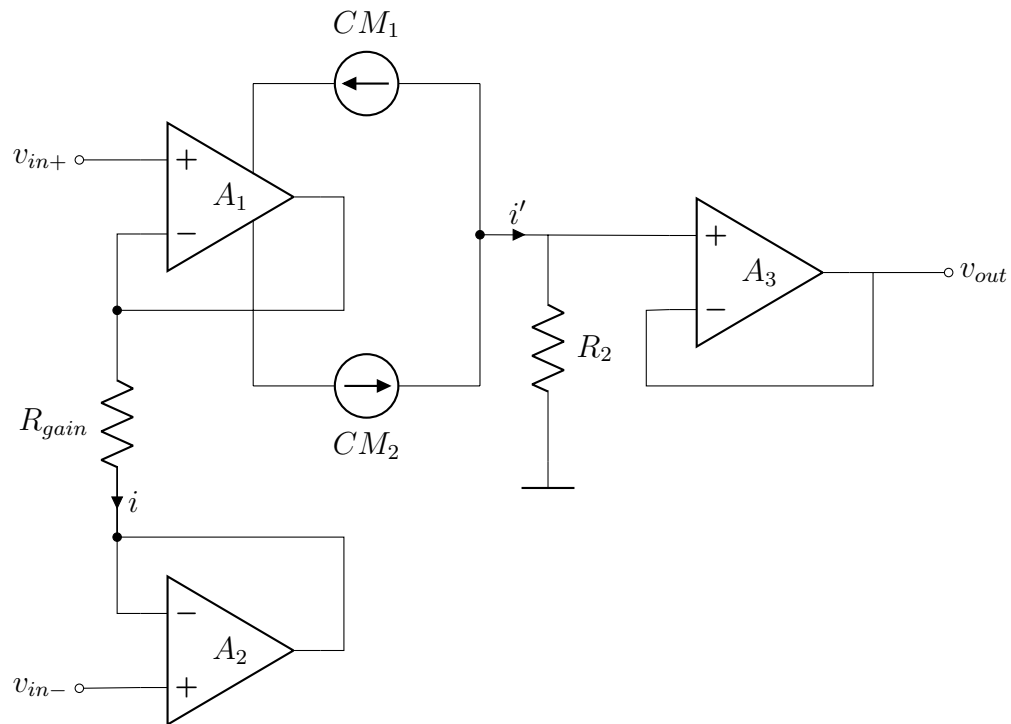


Figura 19. Un INAMP de modo de corriente (current mode).

- El CMRR de esta topología depende de la paridad entre los espejos de corriente.
- La precisión DC de los espejos de corriente es crítica para el offset total, la exactitud de la ganancia, la deriva y la linealidad.

Dentro de las arquitecturas de este tipo estudiadas hasta el momento cabe mencionar el CMIA diseñado por Zamora et al.<sup>34</sup>, que utiliza *seguidores de voltaje volteados* (flipped voltage follower - FVF) como espejos de corriente, y obtiene un producto ganancia - ancho de banda de  $1.23\text{ MHz}$  con un CMRR de  $96\text{ dB}$  en tecnología de  $0,50\text{ }\mu\text{m}$ .

---

<sup>34</sup> G. Zamora y col. "A current mode instrumentation amplifier based on the flipped voltage follower in  $0.50\text{ }\mu\text{m}$  CMOS". En: *Analog Integrated Circuits and Signal Processing* 87.3 (2016), págs. 389-398. DOI: 10.1007/s10470-016-0731-3.

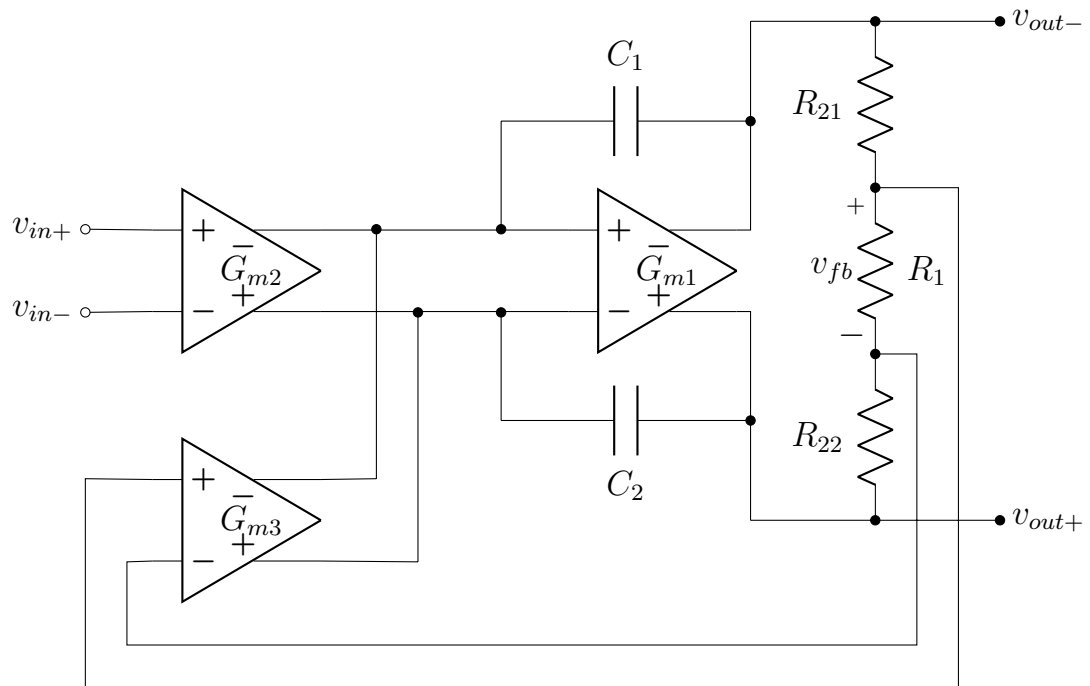


Figura 20. Un INAMP de realimentación de corriente (current feedback).

**El INAMP de realimentación de corriente - CFIA** Este tipo de INAMP, cuya configuración típica se puede observar en la figura 20, consiste básicamente en un transconductor de entrada ( $G_{m2}$ ), un transconductor de salida ( $G_{m1}$ ) y uno o más lazos de realimentación, representados aquí con el transconductor  $G_{m3}$ . En este circuito, el transconductor de entrada  $G_{m2}$  y el transconductor de realimentación  $G_{m3}$  convierten los voltajes de entrada y realimentación en sus correspondientes corrientes. La diferencia entre ellas es anulada por la ganancia de  $G_{m1}$ . La realimentación total asegura que las corrientes de salida de  $G_{m2}$  y  $G_{m3}$  se cancelen, y esto resulta en que la ganancia del INAMP sea:

$$A_v = \frac{G_{m2}}{G_{m3}} \frac{R_1 + R_{21} + R_{22}}{R_1} \quad (9)$$

Este INAMP presenta las siguientes características generales:

- En comparación con la topología de 3 OPAMPs, este INAMP alcanza mayores

niveles de CMRR. Este nivel es determinado en su gran parte por el CMRR de  $G_{m2}$ .

- Puede manejar rangos de entrada de modo común que incluyen los supply rails.
- Para su implementación se necesita un número reducido de transistores en comparación con las topologías clásica y de modo de corriente, lo que lo hace más eficiente en área.
- También es más eficiente en cuanto a potencia, ya que se puede decir que esta topología es una versión mejorada de la configuración clásica, en donde las etapas de salida se comparten <sup>35</sup>.

Los CFIA pueden subclasificarse según el modo en como es aplicada la realimentación de corriente. Los tres subtipos de CFIA son:

- *Realimentación directa.* Se realiza la realimentación desde la salida del amplificador directamente a su etapa de entrada. Para ello los transconductores de entrada y salida se apilan <sup>36</sup>. Este subtipo de CFIA presenta la gran desventaja de tener un bajo rango de entrada de modo común y una limitación en el voltaje mínimo de alimentación, lo cual lo hace inadecuado para las tecnologías de fabricación más recientes.

---

<sup>35</sup> R. Wu, K. A. A. Makinwa y J. H. Huijsing. "A Chopper Current-Feedback Instrumentation Amplifier With a 1/f mHz Noise Corner and an AC-Coupled Ripple Reduction Loop". En: *IEEE Journal of Solid-State Circuits* 44.12 (dic. de 2009), págs. 3232-3243. DOI: 10.1109/JSSC.2009.2032710.

<sup>36</sup> W.M.C. Steyaert M.S.J.; Sansen. "A micropower low-noise monolithic instrumentation amplifier for medical purposes". En: *IEEE Journal of Solid-State Circuits* 22 (6 1987). DOI: 10.1109/jssc.1987.1052869.

- *Realimentación indirecta.* A diferencia del primer subtipo, aquí el voltaje producido por el lazo de realimentación (a través de conversión resistiva) no se conduce hacia el transconductor de entrada, sino a un transconductor subsiguiente. Las corrientes producidas por los transconductores son entonces comparadas y conducidas al lazo de realimentación de alta ganancia <sup>37</sup>.
- *Realimentación local.* Aquí se usan dos lazos de realimentación diferentes para controlar las etapas de entrada y salida por separado (de aquí el nombre) <sup>38</sup>. En este subtipo de CFIA, cada lazo local de realimentación contiene un número menor de polos (asociados a las impedancias internas de los transistores), lo cual indica el potencial de lograr anchos de banda de operación más altos para un determinado consumo de corriente, en comparación con los CFIA de realimentación directa e indirecta.

En este punto de la revisión bibliográfica empezaron a hacerse evidentes las ventajas de la topología CFIA sobre las arquitecturas restantes, en lo que se refiere a CMRR, economía de área y consumo de potencia, entre otras. De modo que de aquí en adelante se centró la investigación de topologías de tipo CFIA, lo cual terminó en la escogencia del amplificador diseñado por Worapishet et al. <sup>38</sup> como base para este trabajo de investigación (el análisis detallado de este CFIA se muestra en el capítulo 4). En este circuito se usa una topología de realimentación de corriente *local* y neutralización capacitiva para contrarrestar el mismatch presente en la etapa de entrada, y se logra, entre otras especificaciones, un CMRR superior a los 90dB a

---

<sup>37</sup> J.K. van den Dool B.J.; Huijsing. "Indirect current feedback instrumentation amplifier with a common-mode input range that includes the negative roll". En: *IEEE Journal of Solid-State Circuits* 28 (7 1993). DOI: 10.1109/4.222171.

<sup>38</sup> A. Worapishet, A. Demosthenous y X. Liu. "A CMOS Instrumentation Amplifier With 90-dB CMRR at 2-MHz Using Capacitive Neutralization: Analysis, Design Considerations, and Implementation". En: *IEEE Transactions on Circuits and Systems I: Regular Papers* 58.4 (abr. de 2011), págs. 699-710. DOI: 10.1109/TCSI.2010.2078850.

2 MHz, en tecnología de  $0,35\ \mu\text{m}$ .

### **Resumen del capítulo**

En este capítulo se realizó una descripción conceptual de amplificadores electrónicos, partiendo del amplificador ideal e introduciendo las características no ideales que especifican el comportamiento de los amplificadores en la práctica. Se reseñó al amplificador operacional (OPAMP) como el bloque de amplificación práctico básico y finalmente se introdujo el concepto de amplificador de instrumentación (INAMP/IA), sus diferencias con respecto al OPAMP y se describieron algunas topologías de diseño.

### 3. CONSIDERACIONES DE DISEÑO

Conociendo el concepto de amplificador de instrumentación, sus especificaciones más importantes y algunas de sus diferentes arquitecturas de diseño, es pertinente estudiar las consideraciones necesarias para llevar a cabo el diseño del INAMP con las características requeridas en este proyecto.

El *objetivo general* de este proyecto de investigación es diseñar un amplificador de instrumentación integrado en tecnología CMOS, que cuente con una relación de rechazo de modo común (CMRR) mayor a 80dB, relación de rechazo de fuente de potencia (PSRR) mayor a 65 dB a 1MHz, y sea capaz de amplificar señales de voltaje en el orden de magnitud de los  $\mu\text{V}$  con una ganancia mayor a 50 V/V en el ancho de banda comprendido entre 100 Hz a 1 MHz,<sup>39</sup> de modo que pueda ser integrado en un sistema de instrumentación por espectroscopia de bioimpedancia eléctrica.

Para diseñar el IN-AMP requerido es conveniente validar y comparar varias arquitecturas de amplificadores de instrumentación, de acuerdo a su relevancia en el estado del arte y las especificaciones a cumplir en el proyecto. De igual forma, será necesario ajustar los parámetros de diseño encontrados dependiendo de la tecnología de fabricación seleccionada. En conformidad con lo anterior, los *objetivos específicos* de este proyecto son:

- Preseleccionar, a partir de una revisión bibliográfica, las topologías de amplifi-

---

<sup>39</sup> Las especificaciones del IN-AMP son requeridas para la amplificación de las señales provenientes del tejido del cuello del útero, y fueron establecidas en (J. A. Amaya. "Projeto de Geradores de Sinais em Tecnologia CMOS para aplicação da Espectroscopia da Bio-Impedância Elétrica na detecção precoce de câncer no colo do útero". Tesis doct. São Paulo: Universidade de São Paulo, 2017)

cadore de instrumentación más adecuadas para la aplicación en sistemas de espectroscopia de bioimpedancia eléctrica, siguiendo los criterios establecidos en el objetivo general.

- Validar las topologías preseleccionadas, por medio del análisis teórico y la simulación computacional a nivel de esquemáticos, para así seleccionar la topología más adecuada según las especificaciones definidas.
- Construir, a partir de la topología seleccionada, el modelo prototipo de amplificador de instrumentación, mediante la simulación a nivel de configuración geométrica (layout) siguiendo las reglas de diseño según la tecnología de fabricación seleccionada, y la aplicación de técnicas para optimizar área empleada, asegurar la estabilidad del circuito y reducir efectos no deseados, como el ruido y la disparidad (mismatch).
- Implementar físicamente el prototipo diseñado en nivel de layout, en el *foundry* y tecnología CMOS que sean seleccionadas en el proceso de diseño, con el fin de realizar las mediciones experimentales que permitan corroborar el cumplimiento de las especificaciones establecidas en el objetivo general.

### **3.1. Flujo de proyecto de circuitos integrados analógicos**

De manera general, el proyecto de diseño de un circuito integrado analógico puede ser dividido en tres grandes niveles de abstracción según Balkir et al.<sup>40</sup>: nivel de sistema, nivel de circuito y nivel de layout (ver figura 21). En el nivel de sistema, con base en las especificaciones dadas para el circuito, las cuales van desde la tecnología de fabricación hasta características como consumo de potencia, ganancia, ancho de banda, etc., se escoge una topología para su implementación. En esta

---

<sup>40</sup> S. Balkir, G. Dundar y A. S. Ogrenici. *Analog VLSI Design Automation*. CRC Press, 2003.

selección se tienen en cuenta factores como la experiencia previa del diseñador y también las alternativas que se puedan encontrar en la literatura.

Una vez escogida la topología, los transistores CMOS que componen el circuito deben ser dimensionados en el nivel de circuito. El dimensionamiento consiste, a grandes rasgos, en la obtención de los valores de largo ( $L$ ) y ancho ( $W$ ) para cada transistor (ver ecuaciones 10), de modo que se cumpla con las especificaciones requeridas en cuanto a punto de operación, consumo de potencia, ganancia, dimensiones, etc. Para el dimensionamiento inicial, el diseñador puede utilizar metodologías de diseño variadas, que van desde la utilización del modelo simplificado para la ecuación de corriente de drenador ( $I_D$ ) - modelos SPICE de nivel 1 y 3 - hasta técnicas como la metodología  $g_m/I_D$ <sup>41</sup>, la cual se vale de modelos de transistor válidos en todas las regiones de operación y para todos los niveles de inversión, como el modelo EKV<sup>42</sup>, o curvas experimentales de comportamiento de los transistores. A partir del dimensionamiento inicial, las especificaciones de circuito se obtienen a través de simulaciones eléctricas. En caso de que las especificaciones requeridas no sean satisfechas, el dimensionamiento deberá reajustarse hasta que éstas se cumplan. Si no es posible de ninguna manera atender las especificaciones de sistema, deberá escogerse otra topología.

Después de completar exitosamente el nivel de circuito, el paso a seguir es diseñar

---

<sup>41</sup> F. Silveira, D. Flandre y P. G. A. Jespers. "A  $g_m/I_D$  based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA". En: *IEEE Journal of Solid-State Circuits* 31.9 (sep. de 1996), págs. 1314-1319. DOI: 10.1109/4.535416.

<sup>42</sup> C. Enz, F. Kruppenacher y E. Vittoz. "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications". En: *Analog Integrated Circuits and Signal Processing* 8 (1995), págs. 83-114.

el *layout* o *configuración geométrica* del mismo. Para esto se utilizan editores de layout preconfigurados con las reglas de diseño del *foundry* (empresa fabricante de circuitos integrados) para la tecnología de fabricación seleccionada en el nivel de sistema. En el proceso de diseño de layout, el diseñador debe implementar estrategias para que los circuitos mantengan sus características eléctricas próximas a sus valores nominales, y que también mantengan baja variabilidad debido a factores dependientes del proceso de fabricación. El diseño del layout también permite extraer los elementos parásitos del circuito diseñado (capacitancias y resistencias), con lo cual es posible verificar la funcionalidad de la topología diseñada con resultados más próximos a la implementación física. De no cumplirse las especificaciones en este punto, bien se puede rediseñar el layout, el dimensionamiento o la topología. Si las especificaciones se cumplen en este punto, el proyecto de diseño está completado.

### **3.2. Metodologías de dimensionamiento de transistores CMOS**

Dentro del proceso de diseño de un circuito integrado analógico, el nivel de circuito juega un papel crítico, ya que exige por parte del diseñador un uso óptimo de su experticia para utilizar los modelos matemáticos de comportamiento de los transistores CMOS, encontrar las variables claves de diseño y manejar las herramientas de simulación disponibles para así lograr cumplir con las especificaciones requeridas para el proyecto. Dependiendo de la naturaleza y complejidad de un diseño específico, se puede recurrir a herramientas automatizadas de dimensionamiento, como la desarrollada por Compassi <sup>44</sup>, o realizar cálculos no automatizados cuando el diseño no involucre un número demasiado elevado de transistores o el circuito pueda

---

<sup>44</sup> L. Compassi Severo. "Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade". Tesis de maestría. Alegrete: Universidade Federal do Pampa, 2012.

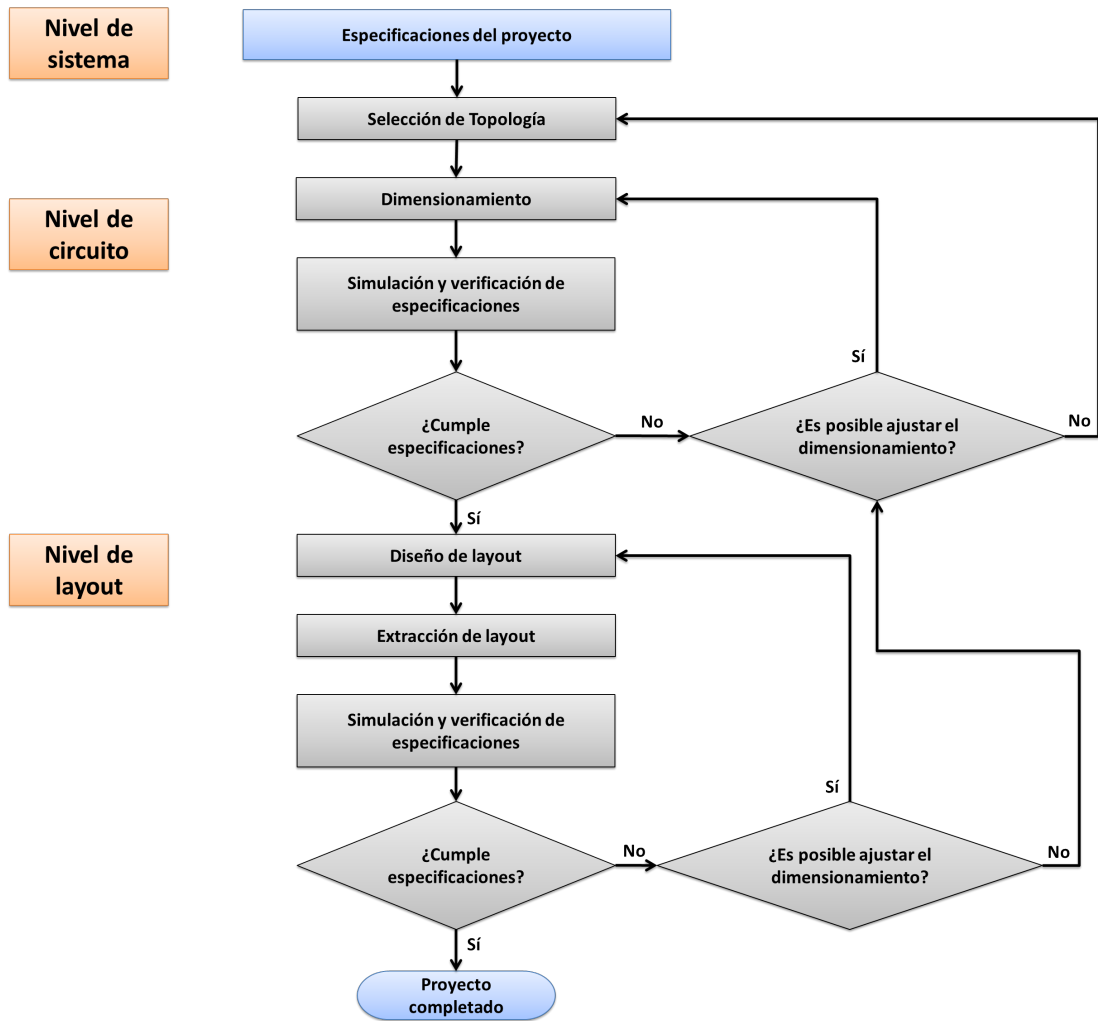


Figura 21. Flujo general de proyecto de circuitos integrados analógicos. Adaptado de <sup>43</sup>.

ser suficientemente simplificado.

Empecemos primero por describir brevemente el *transistor de efecto de campo* - FET- construido a partir de *metal, óxido y semiconductor* -MOS- (de aquí el nombre MOSFET), cuyo esquema básico se muestra en la figura 22. A escala comercial se construye a partir de un substrato de silicio (Si) ligeramente dopado, sobre el cual se construyen “islas” de silicio fuertemente dopado con impurezas tipo N (elementos del grupo V: fósforo (*P*), arsénico (*As*)) o tipo P (elementos del grupo III: Aluminio (*Al*), Galio (*Ga*)) para crear un exceso de portadores de carga mayoritarios (electrones o huecos). La distancia que separa las dos islas creadas (drenador (D) y fuente (S)) es el *largo de canal* (L). Encima del substrato que separa drenador y fuente, se deja crecer una capa de óxido de silicio ( $SiO_2$ ), el cual es dieléctrico, y encima de esta capa se crea otro terminal al cual se denomina *puerta* (G). Existe otra terminal que se conecta directamente al substrato, llamada *cuerpo* (B). Este arreglo geométrico se extiende hasta el *ancho* determinado por (W). En las primeras implementaciones de transistores de efecto de campo, sólo se utilizaban transistores de tipo N. Luego, se logró integrar la construcción de transistores de tipo P sobre el mismo substrato, dando lugar a la tecnología *MOS complementaria* (CMOS) que se conoce en la actualidad.

**3.2.1. El modelo simplificado de Shichman y Hodges** El comportamiento eléctrico del transistor MOSFET puede describirse de manera simplificada utilizando el modelo propuesto por Shichman y Hodges <sup>46</sup> el cual es ampliamente utilizado en

---

<sup>46</sup> H. Shichman y D. A. Hodges. “Modeling and simulation of insulated-gate field-effect transistor switching circuits”. En: *IEEE Journal of Solid-State Circuits* 3.3 (1968), págs. 285-289. DOI: 10.1109/JSSC.1968.1049902.

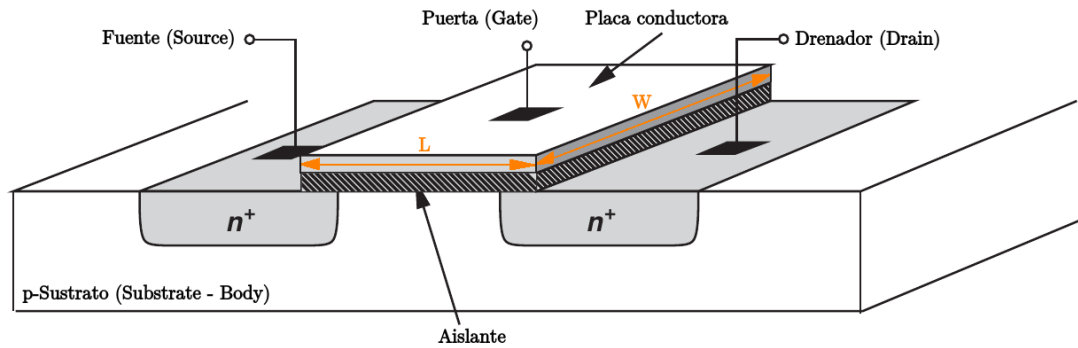


Figura 22. Esquema básico de un transistor MOSFET tipo N (NMOS). Adaptado de <sup>45</sup>.

la actualidad en toda clase de textos de electrónica <sup>294748</sup> como herramienta introductoria al diseño de circuitos integrados. El modelo establece un voltaje de umbral  $V_{GS} \geq V_{TH}$  a partir del cual se *invierte* el canal existente entre el drenador ( $D$ ) y la fuente ( $S$ ), por tanto es posible la conducción de corriente entre estos terminales. Ahora, la corriente  $I_D$  dependerá de los voltajes  $V_{GS}$  y  $V_{DS}$ , y está descrita por las siguientes ecuaciones<sup>49</sup>:

$$I_D = \begin{cases} \frac{1}{2} C_{ox} \mu_n \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] & \forall 0 \leq V_{DS} \leq V_{GS} - V_{TH} \text{ (triodo)} \\ \frac{1}{2} C_{ox} \mu_n \frac{W}{L} (V_{GS} - V_{TH})^2 & \forall V_{DS} \geq V_{GS} - V_{TH} \text{ (saturación)} \end{cases} \quad (10)$$

Donde para  $V_{ov} \equiv V_{GS} - V_{TH} \leq 0$  el transistor se encuentra en la zona de *corte* (*cutoff*) y se considera que el transistor no conduce corriente, por tanto está apagado. En este modelo, y teniendo para una tecnología dada los parámetros  $V_{TH}$ ,  $C_{ox}$  y

<sup>47</sup> J. Baker. *CMOS Circuit Design, Layout, and Simulation*. 3rd. Wiley, 2010.

<sup>48</sup> B. Razavi. *Fundamentals of Microelectronics*. 2nd. Wiley, 2104.

<sup>49</sup> Despreciando el efecto de modulación de canal y efecto cuerpo, entre otros.

$\mu_n$ , se puede dimensionar los transistores MOSFET de un circuito dependiendo del punto de operación y/o la  $I_D$  requerida, tomando como variable clave de diseño el voltaje de sobrepaso de umbral (*overdrive*)  $V_{ov}$ .

Aunque el modelo simplificado MOSFET es útil para dar una primera aproximación al diseñador sobre el comportamiento eléctrico y el dimensionamiento de un circuito a diseñar, tiene limitaciones importantes pues, aparte de ignorar efectos físicos que pueden llegar a afectar significativamente la operación del transistor, es discontinuo en el límite de las regiones de trío y saturación. Este modelo también se hace impreciso para caracterizar el transistor a medida que la escala de integración aumenta, y se tienen por tanto dispositivos más pequeños; y por otro lado, sólo tiene en cuenta la operación del transistor cuando existe inversión fuerte del canal ( $V_{ov} > 0$ ), siendo que el transistor es capaz de conducir corriente en inversión débil ( $V_{ov} < 0$ ) e inversión moderada (valores de  $V_{ov}$  cercanos a cero).

En la región de inversión débil, el transistor MOS no conduce corriente de la forma expresada en 10. Ahora se asemeja más a un transistor BJT, donde la dependencia entre  $I_D$  y  $V_{GS}$  es exponencial, y puede describirse de manera simplificada como:

$$I_D = I_{D0} \frac{W}{L} e^{V_{GS}/(nV_t)} (1 - e^{-V_{DS}/V_t}) \quad (11)$$

Donde:

$$V_t = \frac{kT}{q} \approx 26mV \quad @ \quad T = 300K \quad (12a)$$

$$n = \frac{C_{ox} + C_{depl}}{C_{ox}} \approx 1.5 \quad (12b)$$

$$I_{D0} = \mu_n C_{ox} (n - 1) V_t^2 e^{-V_{TH}/(nV_t)} \quad (12c)$$

Aquí,  $V_t$  es el llamado *voltaje térmico*,  $n$  es el *factor de pendiente (slope factor)* e  $I_{D0}$  es la *corriente de saturación de sub-umbral*, también denotada como  $I_S$  en la literatura. En inversión débil, la saturación ocurre en niveles de  $V_{DS}$  aproximadamente mayores a  $100mV$ , donde la ecuación 11 se puede aproximar a:

$$I_D \approx I_{D0} \frac{W}{L} e^{V_{GS}/(nV_t)} \quad (13)$$

En la literatura pueden encontrarse múltiples modelos de transistores CMOS que buscan lograr una mejor aproximación con su comportamiento real. Entre ellos se destacan los modelos del *Berkeley Short-channel IGFET Model Group (BSIM)* <sup>50</sup>, orientados a la simulación computacional, y el modelo Enz-Krummenacher-Vittoz (EKV) <sup>42</sup>, el cual fue propuesto con el fin de describir de manera unificada el comportamiento de los transistores MOSFET en todas las regiones de operación y para todos los niveles de inversión. Este modelo define expresiones analíticas continuas para todas las variables de gran y pequeña señal, incluyendo corrientes, transconductancias, capacitancias intrínsecas, transadmitancias y ruido térmico, utilizando solamente nueve parámetros físicos, tres coeficientes de ajuste fino y dos parámetros de temperatura adicionales.

**3.2.2. La metodología de diseño  $g_m/I_D$**  Resulta pertinente estudiar en este trabajo la técnica de diseño llamada *metodología  $g_m/I_D$* , propuesta por Silveira et al. <sup>41</sup>, la cual utiliza como variable clave de diseño la relación entre la tasa de transconductancia sobre la corriente de drenador en DC ( $g_m/I_D$ ) y la corriente normalizada ( $I_{\square} \equiv I_D/W$ ) (también denotada por varios autores como  $i$ ). El la relevancia de esta metodología radica principalmente en las siguientes razones:

- Se relaciona fuertemente con el comportamiento de circuitos análogos.

---

<sup>50</sup> Y. Cheng y C. Hu. *MOSFET modeling & BSIM3 user's guide*. Kluwer Academic, 2002.

- Permite inferir la región de operación (nivel de inversión) de cada dispositivo de un circuito.
- Es una herramienta que permite realizar el dimensionamiento de transistores.

La relación  $g_m/I_D$  resulta ser una mejor variable de diseño que el  $V_{ov}$ , ya que, al estar este basado en un modelo analítico simplificado, este último puede llevar al diseñador a despreciar factores como las capacitancias parásitas, que pueden influir sustancialmente en el comportamiento del circuito. La obtención de las curvas características de  $g_m/I_D$  es posible mediante modelos analíticos que proporcionen una representación continua de la corriente de transistor  $I_D$  y parámetros de pequeña señal en todos los niveles de inversión, como el EKV o BSIM, o mediante mediciones experimentales. Las curvas de caracterización permiten al diseñador inferir el punto de operación de los transistores del circuito a diseñar, y calcular las dimensiones de los mismos.

En primer lugar se define la transconductancia del transistor ( $g_m$ ), la cual cuantifica la variación en la corriente del transistor  $I_D$  producida por una variación en el voltaje  $V_{GS}$ :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (14)$$

La transconductancia (o *conductancia de transferencia*) puede entenderse como la *ganancia de corriente* del transistor. Ahora, la relación entre el cociente  $g_m/I_D$  con la región de operación del transistor se puede observar teniendo en cuenta que este cociente es de hecho la derivada del logaritmo de  $I_D$  con respecto a  $V_{GS}$ , tal y como se muestra a continuación:

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_{GS}} = \frac{\partial(\ln(I_D))}{\partial V_{GS}} \quad (15)$$

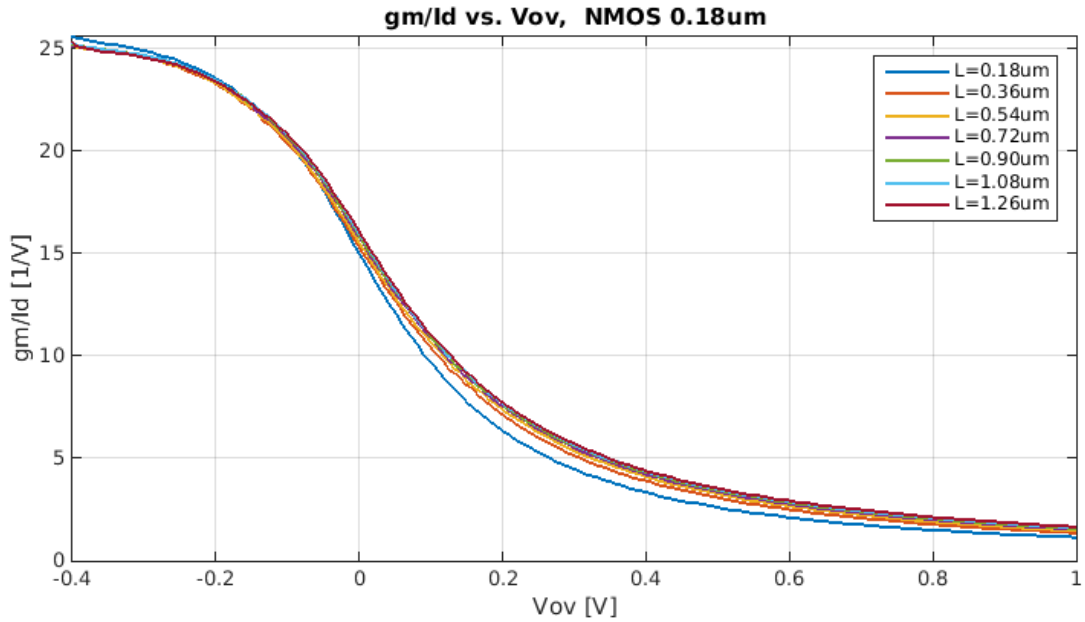


Figura 23. Gráfica de  $g_m/I_D$  contra  $V_{ov}$  para transistores NMOS de la tecnología de  $180nm$ .

Ya que la relación de aspecto  $W/L$  de un transistor es una propiedad fija (con valor constante) de un transistor una vez construido, a la ecuación 15 se le puede agregar el siguiente término:

$$\frac{g_m}{I_D} = \frac{\partial \left( \ln \left[ \frac{I_D}{W} \right] \right)}{\partial V_{GS}} \quad (16)$$

Lo que implica que el cociente  $g_m/I_D$  es independiente del tamaño del transistor. La corriente normalizada  $I_{\square}$  también es independiente de la relación de aspecto, por tanto la relación entre  $g_m/I_D$  y la corriente normalizada es una característica única para todos los transistores del mismo tipo (NMOS o PMOS) en un mismo proceso, excepto para los transistores de canal corto, donde existen efectos como el *punchthrough*, *hot carrier* e *ionización de impacto* entre otros, que modifican en cierta forma la relación ya mencionada. Lo anterior puede apreciarse en la figura 23, donde se

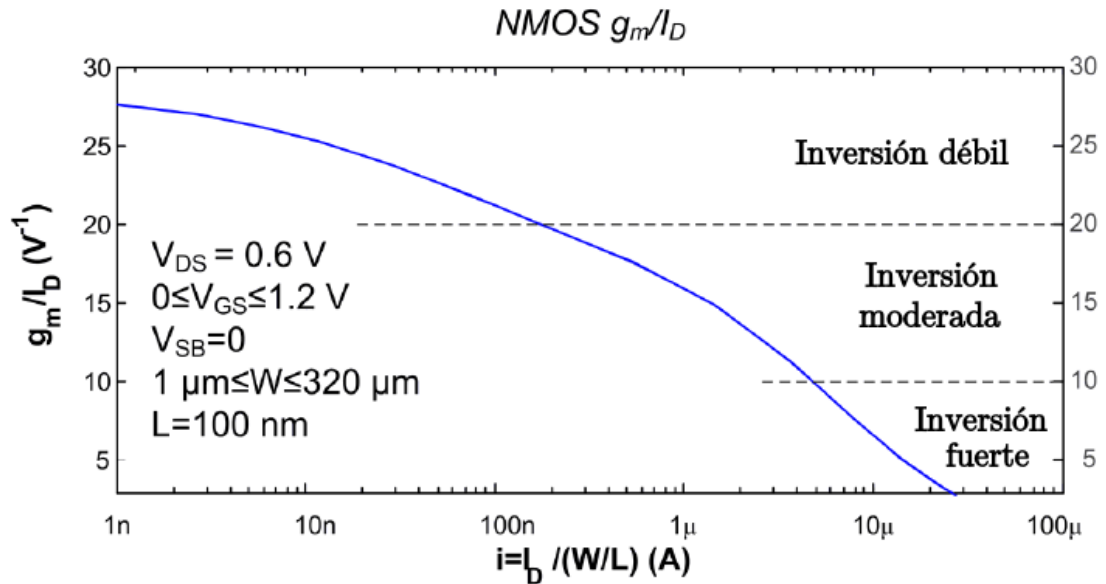


Figura 24. Gráfica de  $g_m/I_D$  contra la corriente normalizada  $i = I_D/(W/L)$  para los transistores NMOS de un proceso específico. Tomado y adaptado de <sup>51</sup>.

generaron curvas de  $g_m/I_D$  para transistores NMOS de tecnología de  $180nm$  con varios largos de canal.

La derivada mostrada en las ecuaciones 15 y 16 es máxima en la región de inversión débil ya que la relación entre  $I_D$  y  $V_{GS}$  es exponencial, y tiene un valor de  $1/(nV_t)$ . Al pasar hacia la región de inversión fuerte, la derivada va adquiriendo una característica lineal, debido a la saturación de velocidad de los portadores (ver figura 24). Ya en este punto se puede definir el cociente  $g_m/I_D$  como un indicador de la *eficiencia* del dispositivo en convertir corriente (por tanto potencia) en transconductancia.

Otras métricas de rendimiento de sumo interés relacionadas con el cociente  $g_m/I_D$  son la *frecuencia de transición*:

$$f_t = \frac{g_m}{2\pi C_{GS}} \quad (17)$$

Definida como el componente de frecuencia máxima para la que un transistor se comporta como amplificador; y la *ganancia intrínseca*:

$$A_i = g_m r_o \quad (18)$$

Que es la ganancia que exhibe un transistor bajo unas condiciones de polarización específicas, sin que intervenga ningún otro elemento circuital. En el apéndice A se muestran algunas de las curvas características  $g_m/I_D$  de los transistores de la tecnología *tsmc* –  $0,18\mu m$ , incluyendo curvas de  $f_t$  contra  $g_m/I_D$  y  $A_i$  contra  $|V_{DS}|$ . De manera adicional, se presenta un ejemplo de diseño sencillo, para demostrar la aplicabilidad de la metodología.

### 3.3. Resumen del capítulo

En este capítulo se establecieron las especificaciones globales del INAMP a diseñar, las cuales deberán permitir al amplificador proyectado integrar el *front-end* de un bioimpedanciómetro orientado para la detección temprana de CCU. Después de una presentar una descripción del flujo general de proyecto de circuitos integrados analógicos y de los principios básicos de funcionamiento de los transistores de efecto de campo (MOSFET), se explicó brevemente la metodología de dimensionamiento  $g_m/I_D$ , la cual será de utilidad en la estrategia de diseño específica del prototipo de INAMP. En el capítulo siguiente se presentará la topología escogida para el diseño del INAMP prototipo, junto con su correspondiente análisis teórico.

#### 4. PROTOTIPO DE AMPLIFICADOR DE INSTRUMENTACIÓN

Después de revisar varias topologías de amplificadores de instrumentación existentes en la literatura, se ha optado por implementar en este trabajo el INAMP presentado por Worapishet et al.<sup>38</sup>, el cual, a su vez, es una implementación en tecnología CMOS de la arquitectura CFIA presentada inicialmente por Krabbe<sup>52</sup>, y mejorada por Brokaw y Timko<sup>53</sup> en tecnología de BJTs. En la literatura se encuentran trabajos como los de Ercan et al.<sup>54</sup> y M'harzi et al.<sup>55</sup> donde se presentan INAMPs de modo de corriente (CMIA) basados en "portadores de corriente" (*current conveyors*) cuyos resultados de simulación arrojaron anchos de banda en el orden de las decenas de MHz y CMRRs por encima de los 140 dB. Sin embargo, en los trabajos citados no se publicó información alguna sobre la característica de ruido, la cual es crucial para nuestra aplicación. De modo que al final se escogió la arquitectura de CFIA debido a que, además de cumplir con todas las especificaciones mencionadas en el capítulo 3, el INAMP diseñado fue fabricado y medido físicamente, lo cual corroboró la confiabilidad de la arquitectura.

La evolución de topologías tipo CFIA descritas anteriormente pueden observarse

---

<sup>52</sup> H. Krabbe. "A high-performance monolithic instrumentation amplifier". En: *IEEE 1971 IEEE International Solid-State Circuits Conference*. 1971. DOI: 10.1109/isscc.1971.1154909.

<sup>53</sup> M.P. Brokaw A.P.; Timko. "An improved monolithic instrumentation amplifier". En: *IEEE Journal of Solid-State Circuits* 10 (6 1975). DOI: 10.1109/jssc.1975.1050636.

<sup>54</sup> H. Ercan, S. Tekin y M. Alçi. "Voltage- and current-controlled high CMRR instrumentation amplifier using CMOS current conveyors". En: *Turkish Journal of Electrical Engineering & Computer Sciences* 20.4 (2102), págs. 547-556.

<sup>55</sup> Z. M'harzi, M. Alami y F. Temcamani. "Low voltage, high CMRR, and wide bandwidth novel current mode current controlled instrumentation amplifier". En: *Analog Integrated Circuits and Signal Processing* (oct. de 2016). DOI: 10.1007/s10470-016-0873-3.

en la figura 25. La primera de ellas consiste en un par diferencial conformado por  $Q_1$  y  $Q_2$ , en cuyos colectores se conecta la entrada del amplificador  $A$ . La salida en lazo abierto de  $A$ , que es la salida del amplificador es percibida por el par diferencial conformado por  $Q_3$  y  $Q_4$ , tomando como referencia el voltaje en la base de  $Q_3$ . En los colectores de  $Q_3$  y  $Q_4$  se conecta la entrada del amplificador  $B$ , cuya salida diferencial controla las fuentes de corriente de la etapa de entrada ( $I_1$  y  $I_2$ ) y la etapa de salida ( $I_3$  y  $I_4$ ), mediante realimentación negativa. El amplificador se diseña para que las corrientes inactivas (*quiescent* - entrada diferencial nula)  $I_1$ ,  $I_2$ , y  $I_3$ ,  $I_4$  sean iguales, de modo que ante cualquier desbalance causado por una entrada diferencial, se produzca una corriente diferencial en cada etapa, que circulará por los resistores  $R_G$  y  $R_S$ , respectivamente. Para la etapa de entrada, se tendrá que:

$$\frac{I_1 - I_2}{2} = \frac{V_{in+} - V_{in-}}{R_G} \quad (19)$$

Y para la etapa de salida:

$$\frac{I_3 - I_4}{2} = \frac{V_{out} - V_{ref}}{R_S} \quad (20)$$

Las ecuaciones 19 y 20 pueden combinarse, de modo que:

$$\frac{V_{out} - V_{ref}}{V_{in+} - V_{in-}} = \frac{R_S}{R_G} \frac{I_3 - I_4}{I_1 - I_2} \quad (21)$$

Si además se logra diseñar para que  $I_1 - I_2 = I_3 - I_4$ , se tendrá que la ganancia de baja frecuencia del amplificador será:

$$A_{dif} = \frac{V_{out} - V_{ref}}{V_{in+} - V_{in-}} = \frac{R_S}{R_G} \quad (22)$$

La configuración alternativa propuesta por Brokaw y Timko consiste en, básicamente, invertir las etapas del amplificador de modo que el amplificador  $A$  quede en la etapa de salida, y el amplificador  $B$  migre hacia la entrada, controlando directamente

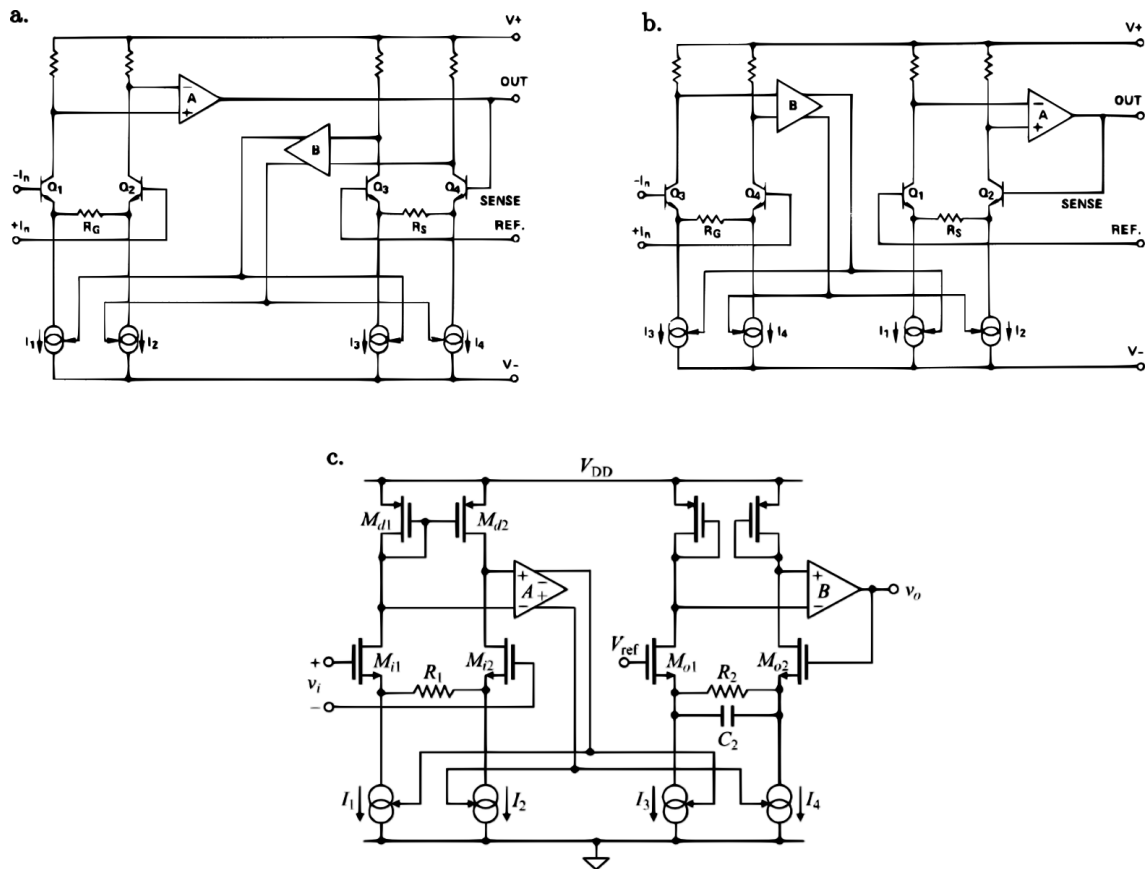


Figura 25. Evolución de la arquitectura del prototipo de INAMP a diseñar: **a.** Topología inicial propuesta por Krabbe; **b.** Modificación introducida por Brokaw y Timko; **c.** Adaptación CMOS realizada por Worapishet et al., donde se incluye carga activa en el par diferencial de entrada.

esa etapa, y por tanto convirtiendo esta configuración en un INAMP de realimentación *local*. La ventaja principal de este cambio sobre la primera arquitectura radica en que, el amplificador *B* ya no se encuentra dentro del camino de realimentación del amplificador *A*, lo cual facilita la compensación en frecuencia y por consiguiente se experimenta una mejora en la estabilidad del circuito.

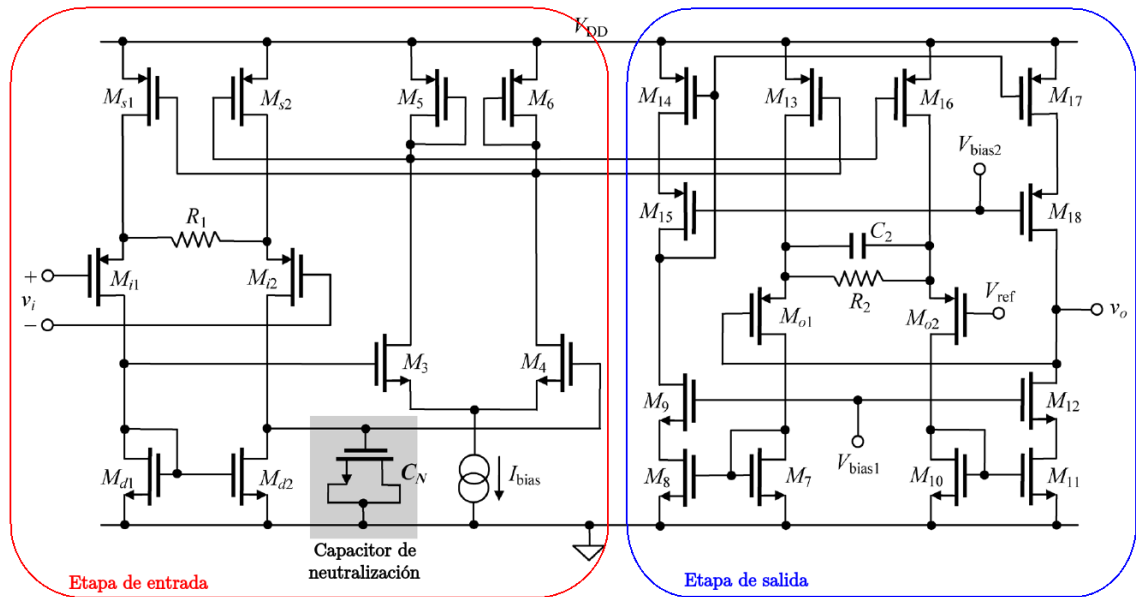


Figura 26. Esquemático detallado del CFIA propuesto por Worapishet et al., en el que se incluye la capacitancia de neutralización, implementada mediante un transistor NMOS en trío.

#### 4.1. Análisis del CFIA prototipo

El CFIA propuesto por Worapishet et al., cuyo esquemático detallado se muestra en la figura 26, introduce dos cambios importantes en el circuito de Brokaw y Timko, aparte del cambio a tecnología CMOS. La primera es el remplazo de la carga resistiva del par diferencial de entrada por una carga activa en forma de espejo de corriente. Esta implementación tiene la ventaja, en comparación con su contraparte resistiva, de ser insensible al voltaje de offset de entrada del amplificador de lazo  $A$ ; además de ofrecer una mayor ganancia de lazo local debido a la alta impedancia presente en su nodo de salida. Esto permite que el amplificador  $A$  pueda tener una ganancia relativamente baja, y por tanto pueda ser implementado en una sola etapa.

Sin embargo, el uso de la carga activa en el par diferencial de entrada trae como

consecuencia un desbalance (mismatch) *sistemático* en las capacitancias presentes en los drenadores de  $M_{i1}$  y  $M_{i2}$ . Este desbalance atenta contra el CMRR a alta frecuencia, ya que produce un aumento en la ganancia de modo común  $A_{cm}$ . Con referencia a la figura 26, las expresiones para las capacitancias en los drenadores del par diferencial de entrada son:

$$C_{d1} = C_{gs_{Md1}} + C_{gs_{Md2}} + C_{db_{Md1}} + C_{db_{Mi1}} + C_{gA} \quad (23a)$$

$$C_{d2} = C_{db_{Md2}} + C_{db_{Mi2}} + C_{gA} \quad (23b)$$

Donde  $C_{gA}$  es la capacitancia total de modo común presente en la entrada del amplificador  $A$ , y las  $C_{gs}$  y  $C_{db}$  denotan las capacitancias puerta-fuente y drenador-cuerpo, respectivamente, de los transistores del par diferencial y su carga activa. Sin embargo, este efecto puede ser “neutralizado” si se introduce una capacitancia en el drenador de  $M_{i2}$  que permita suprimir el desbalance de impedancia a altas frecuencias. Los autores implementaron la capacitancia de neutralización  $C_N$  mediante la capacitancia de puerta de un transistor MOS operando en la región lineal. También mostraron que, si se usa el mismo largo  $L_d$  de los transistores del espejo de corriente, el ancho  $W_N$  del capacitor de neutralización está dado por:

$$W_N = \frac{4}{3}W_d \quad (24)$$

Tal y como se describió en el numeral 2.2.1, la determinación de las ganancias diferencial  $A_v$  y de modo común  $A_{cm}$  de un amplificador son necesarias para la deducción del CMRR del mismo. Aunque en la literatura se encuentra una deducción intuitiva de la ganancia diferencial en baja frecuencia de los CFIA, representada en las ecuaciones 21 y 22; hasta donde se tiene conocimiento, no existe una descripción semejante que incluya las características de alta frecuencia para  $A_v$ . Sólo en el

trabajo de Worapishet et al. se realiza una deducción de las expresiones de transferencia de voltaje en modo común para el par diferencial de entrada del CFIA. Por esta razón se hizo necesario en este trabajo deducir expresiones analíticas para  $A_v$  y  $A_{cm}$ , con el fin de utilizarlas en el proceso de diseño del CFIA prototipo, y poder contrastarlas con los resultados obtenidos por simulación.

En este punto es conveniente señalar la utilidad de separar el CFIA prototipo en dos etapas para facilitar su análisis (ver figura 26). La *etapa de entrada* incluye el par diferencial de entrada  $M_{i1,i2}$  degenerado por la resistencia  $R_1$ , el espejo de corriente  $M_{d1,d2}$ , las fuentes de corriente realimentadas  $M_{s1,s2}$ , el amplificador de lazo local  $A$  (compuesto por el par diferencial  $M_{3,4}$ , sus cargas activas  $M_{5,6}$  y la fuente polarización  $I_{bias}$ ), y la capacitancia de neutralización  $C_N$ . La *etapa de salida* está formada por las fuentes de corriente  $M_{13,16}$ , el par diferencial de salida  $M_{o1,o2}$  degenerado por  $R_2$  y  $C_2$ , los espejos de corriente  $M_{7,8}$  y  $M_{10,11}$ , el amplificador de lazo local  $B$  (conformado por los cascos NMOS  $M_{9,12}$  de los espejos de corriente, y los cascos PMOS formados por  $M_{14,15}$  y  $M_{17,18}$ ). La impedancia de carga de esta etapa (y del amplificador) puede consistir en la capacitancia de entrada de un transistor de un bloque posterior del sistema de medición por EBE, aunque debe tenerse en cuenta el potencial problema de la medición a alta frecuencia, conociendo que las puntas de medición pueden tener capacitancias de entrada de hasta  $20pF$  y los analizadores de espectro tienen típicamente impedancias de entrada de  $50\Omega$ , para la eventual medición del ancho de banda del amplificador se debe considerar la posibilidad de agregar una etapa *buffer* en la salida del amplificador, que permita contrarrestar el efecto adverso de las impedancias de los instrumentos de medición. Si por consideraciones de área disponible para el proyecto no es posible agregar el *buffer onchip*, se puede conectar de manera externa en el circuito de prueba, aunque esperando un decremento aparente en el ancho de banda del amplificador debido a la capaci-

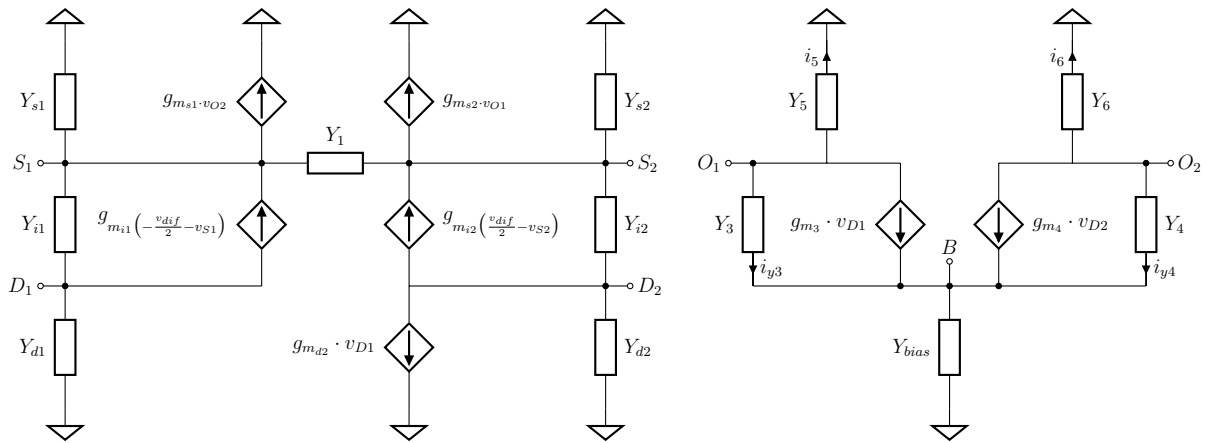


Figura 27. Representación completa en pequeña señal para entrada diferencial de la etapa de entrada del CFIA prototipo.

tancias presentes en el *output pad* y en la entrada del buffer.

Cantidades como la ganancia de modo común, el CMRR y el nivel de ruido son determinados en su gran mayoría por la etapa de entrada, mientras que la etapa de salida determina el ancho de banda de operación del circuito.

#### 4.1.1. Análisis de la etapa de entrada

**Modelo de pequeña señal y ganancia diferencial** Tomando como referencia la figura 26, la representación en pequeña señal de la etapa de entrada de nuestro CFIA se muestra en la figura 27, donde se utilizan admittancias para simplificar el planteamiento. Aunque en la figura se omite, también se puede incluir el efecto cuerpo en el par diferencial  $M_{3,4}$ , en caso de existir una diferencia de potencial entre el cuerpo y la fuente de estos transistores. Por otra parte, se modeló la fuente de corriente de polarización  $I_{bias}$  como un transistor NMOS operando en saturación, y cuyo voltaje  $V_{gs_{bias}}$  estará determinado por una referencia de voltaje (por ejemplo, un  $\beta$ -multiplier) o una fuente externa de alta precisión.

Si se asume paridad perfecta entre dispositivos, se pueden hacer algunas simplificaciones a seguir:

$$Y_{i1} = Y_{i2} = g_{ds_i} + s(C_{db_i}) \quad (25a)$$

$$g_{m_{i1}} = g_{m_{i2}} = g_{m_i} \quad (25b)$$

$$Y_{s1} = Y_{s2} = g_{ds_s} + s(C_{db_s}) \quad (25c)$$

$$g_{m_{s1}} = g_{m_{s2}} = g_{m_s} \quad (25d)$$

$$Y_{d1} = g_{m_d} + s(2 \cdot C_{gs_d} + C_{db_d} + C_{gs_4} + C_{db_{bias}}) \quad (25e)$$

$$Y_{d2} = g_{ds_d} + s(C_{db_d} + C_{gs_4} + C_{db_{bias}} + C_N) \quad (25f)$$

$$Y_3 = Y_4 = g_{ds_4} + s(C_{db_4}) \quad (25g)$$

$$g_{m_3} = g_{m_4} \quad (25h)$$

$$g_{mb_3} = g_{mb_4} \quad (25i)$$

$$Y_5 = Y_6 = g_{m_6} + s(C_L + C_{sb_4} + C_{gs_6} + C_{db_6} + C_{gs_s}) \quad (25j)$$

$$g_{m_5} = g_{m_6} \quad (25k)$$

$$Y_{bias} = g_{ds_{bias}} + s(C_{db_{bias}}) \quad (25l)$$

$$Y_1 = g_1 = \frac{1}{R_1} \quad (25m)$$

Donde la capacitancia de carga  $C_L$  no es más que la capacitancia de puerta a fuente de las fuentes de corriente de la etapa de salida ( $M_{13}$  y  $M_{16}$  en la figura 26).

Analizando el circuito, el diseñador notará que espejo de corriente formado por  $M_{d1}$  y  $M_{d2}$  introduce un desbalance de impedancias en los nodos  $D_1$  y  $D_2$  que, a primera instancia, impide poder hacer uso de un semi-circuito diferencial para simplificar el análisis, por lo que se haría necesario plantear el circuito completo de la etapa para

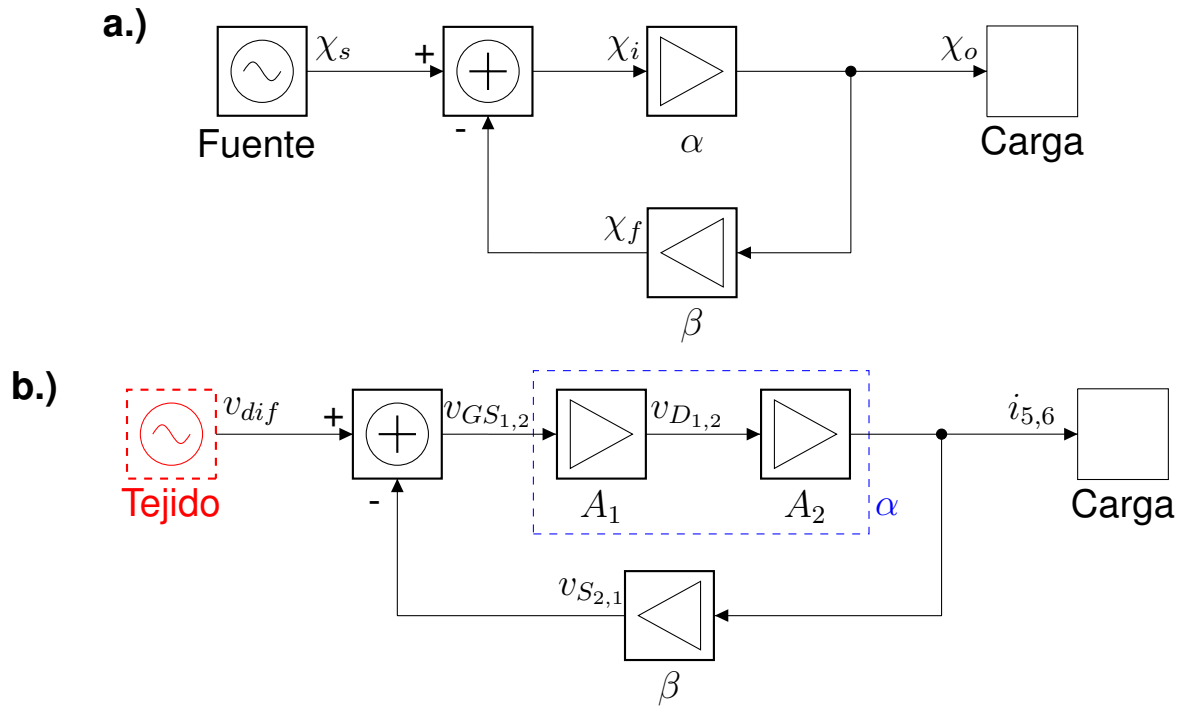


Figura 28. **a.** Diagrama básico de realimentación negativa. **b.** Diagrama de flujo de señales diferenciales de la etapa de entrada del CFIA prototipo.

hallar las características de rigor. Sin embargo, se pueden hacer otras observaciones para simplificar el análisis. Si se tiene en cuenta que la etapa de entrada se ajusta al esquema básico de realimentación negativa, y basándonos en la figura 28, en el circuito pueden identificarse dos sub-etapas: La primera, que es el amplificador de lazo abierto  $A$ , es formada por el par diferencial  $M_{i1,12}$ , el espejo de corriente  $M_{d1,d2}$  y el transconductor formado por el par diferencial  $M_{3,4}$ ; la segunda etapa, que conforma la red de realimentación  $\beta$  del mismo, está formada por las dos fuentes de corriente  $M_{3,s2}$  y  $M_{4,s1}$ . En este punto cabe anotar que aunque las variables de salida son las corrientes  $i_{5,6}$ , estas corrientes pueden expresarse como voltajes experimentados por las impedancias en los nodos de salida (en este caso los voltajes  $v_{O1,2}$ ). Esto será útil más adelante.

Analizando la figura 27, se notará que el espejo de corriente  $M_{d1,2}$  impondrá corrientes iguales por las dos ramas del mismo (si  $M_{d1}$  y  $M_{d2}$  son iguales), mientras establece el ya mencionado desbalance de impedancias entre los nodos  $D_1$  y  $D_2$ . Por una parte, en DC se tendrá que  $Y_{d1}|_{f=0} = g_{m_{d1}}$ , mientras que  $Y_{d2}|_{f=0} = 1/r_{o_{d2}} = g_{ds_{d2}}$ , y en frecuencias altas cobrarán efecto las capacitancias dispares expresadas en las ecuaciones 23a y 23b. Entonces, ante la presencia de la señal diferencial  $v_{dif}$  en las puertas de  $M_{i1}$  y  $M_{i2}$ , circulará una corriente diferencial por el resistor de degeneración  $R_1$ , y en el nodo  $D_2$  esta corriente diferencial es forzada a circular por la resistencia de salida del transistor  $M_{d2}$ . Si se diseña para mantener la paridad entre  $M_{d1}$  y  $M_{d2}$  se sabrá que  $g_{m_{d1}} \gg g_{ds_{d2}}$ , por tanto la ganancia en el nodo de baja impedancia  $D_1$  será insignificante en comparación con el nodo  $D_2$ , de alta impedancia. Esto conduce a que:

$$A_1 = \frac{v_{D_2} - v_{D_1}}{v_{dif}} \approx \frac{v_{D_2}}{v_{dif}} \quad (26)$$

La aproximación anterior permitirá el uso del semicircuito de la rama de alta impedancia para hallar la ganancia  $A_1$ , el cual se muestra en la figura 29. Resolviendo el semicircuito se tendrá que:

$$A_1 \approx \frac{v_{D_2}}{v_{dif}} = -\frac{g_{m_i}(2g_1 + g_{ds_s})}{2g_1(g_{ds_d} + g_{ds_i}) + g_{ds_d}g_{ds_i} + g_{ds_d}g_{m_i} + g_{ds_d}g_{ds_s} + g_{ds_i}g_{ds_s}} \quad (27)$$

De la ecuación 27 se pueden realizar las siguientes observaciones:

- Es prudente asignar a  $R_1 = 1/g_1$  un valor no superior a  $1k\Omega$  si se quiere mantener un nivel bajo de ruido (como se verá en la sección 4.1.1), y además para evitar el uso de valores muy grandes de  $R_2$  para alcanzar ganancias específicas. Lo anterior implica que la conductancia  $g_1$  tendrá siempre un orden de magnitud igual o mayor a los mili-Sieverts.

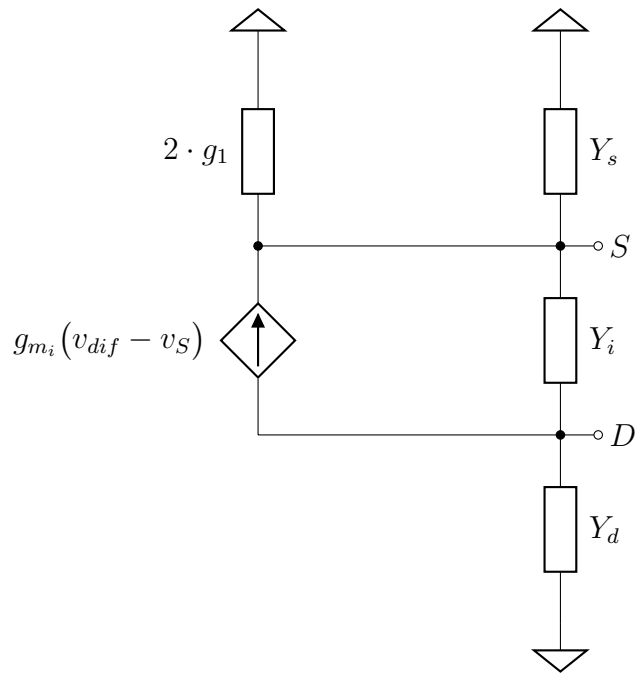


Figura 29. Representación en pequeña señal del semicircuito diferencial de entrada del CFIA prototipo (Rama de alta impedancia).

- Los valores de  $g_m$  y  $g_{ds}$  típicos de transistores con relaciones de aspecto grandes operando en saturación y utilizando corrientes de polarización en el orden de los micro-Amperes (el cual es un objetivo de diseño) podrán tener un orden de magnitud difícilmente mayor a los cientos de micro-Sieverts ( $g_m$ ) y micro-Sieverts ( $g_{ds}$ ).

Estas observaciones permiten simplificar la ecuación 27 con lo que al final queda:

$$A_1 \approx -\frac{g_{m_i}}{g_{ds_i} + g_{ds_d}} \quad (28)$$

El circuito transconductor conformado por el par diferencial  $M_3$  y  $M_4$  es descrito por el semicircuito de la figura 30, donde se ha ignorado el efecto de cuerpo existente en los transistores del par, y la corriente de salida  $i_6$  circula a través de la admitancia

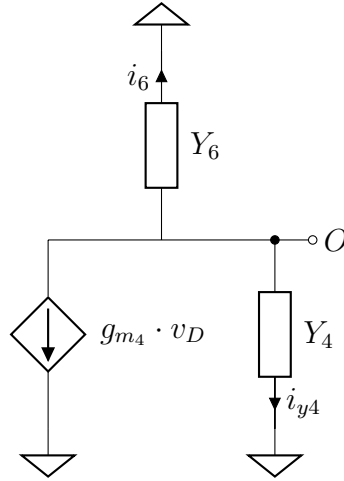


Figura 30. Representación semicircuital del par transductor de la etapa de entrada del CFIA prototipo.

de carga  $Y_6$ . En este circuito es sencillo deducir la ganancia de voltaje:

$$\frac{v_O}{v_D} = -\frac{g_{m4}}{g_{m6} + g_{ds4}} \approx -\frac{g_{m4}}{g_{m6}} \quad (29)$$

A partir de la aproximación hecha en la expresión anterior, se encuentra que la transconductancia del bloque es simplemente:

$$A_2 = \frac{i_6}{v_D} = \frac{g_{m6} v_O}{v_D} \approx -g_{m4} \quad (30)$$

El producto de las expresiones 28 y 30 conforma la transconductancia de lazo abierto  $\alpha$ . Por otra parte, la red de realimentación de la etapa de entrada es representada como semicircuito en la figura 31, donde se tiene en cuenta el escalamiento de la corriente de entrada  $i_5$  por la relación de transconductancias entre  $M_{s1,s2}$  y  $M_{5,6}$ . Teniendo en cuenta también que  $i_{5,6} = g_{m_{5,6}} v_{O_{1,2}}$ , se puede expresar la ganancia de voltaje de esta etapa como sigue:

$$\frac{v_S}{v_O} = -\frac{g_{m_s}(g_{ds_i} + g_{ds_d})}{2g_1(g_{ds_i} + g_{ds_d}) + g_{ds_d}g_{ds_i} + g_{ds_d}g_{m_i} + g_{ds_d}g_{ds_s} + g_{ds_i}g_{ds_s}} \quad (31)$$

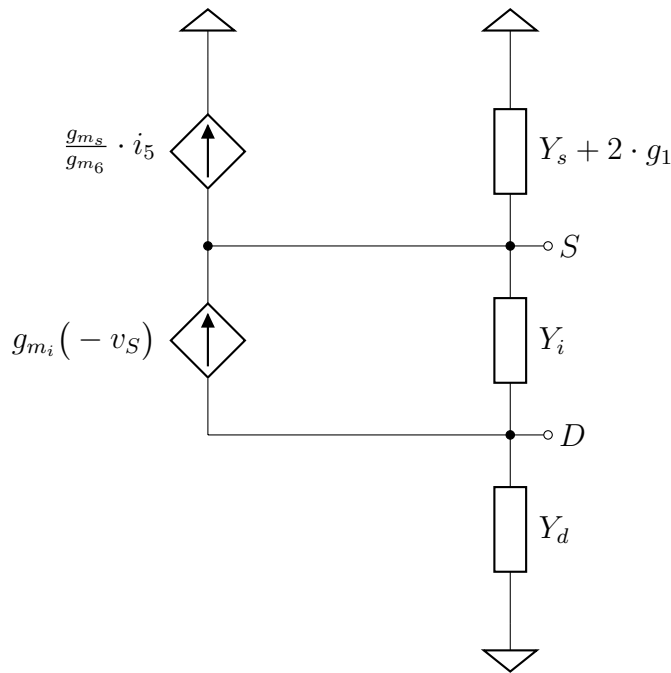


Figura 31. Representación semicircuital de la red de realimentación del CFIA prototipo.

Aplicando las mismas observaciones hechas para la expresión 27, se llega a la expresión aproximada:

$$\frac{v_S}{v_O} \approx -\frac{g_{m_s}}{2 \cdot g_1} \quad (32)$$

Entonces la transresistencia de realimentación  $\beta$  es:

$$\beta = \frac{v_S}{i_{5,6}} = \frac{v_S}{g_{m_6} v_O} \approx -\frac{g_{m_s}}{2 \cdot g_1 \cdot g_{m_6}} \quad (33)$$

Y en el caso que  $g_{m_s}$  sea el doble de  $g_{m_6}$ , se tendrá que:

$$\beta \approx -\frac{1}{g_1} = -R_1 \quad (34)$$

En esta punto resulta útil expresar la corriente diferencial de salida como un voltaje

diferencial, que ocurre en las resistencias de pequeña señal de  $M_5$  y  $M_6$ . Ahora, de la teoría de realimentación <sup>56</sup> se tiene que la ganancia de voltaje de lazo cerrado con realimentación negativa  $G$  está dada por:

$$A_v = \frac{A_o}{1 + A_o B_f} \quad (35)$$

Donde  $A_o$  es la ganancia de voltaje de lazo abierto,  $B_f$  es la ganancia de voltaje de realimentación, y el producto  $A_o B_f$  es la *ganancia de lazo de voltaje*. Si  $A_o B_f \gg 1$ , la expresión 35 se aproxima a:

$$A_v \approx \frac{1}{B_f} \quad (36)$$

La anterior condición aplica en el diseño de la etapa de entrada ya que se busca minimizar ruido, por tanto debe aplicarse una ganancia de lazo grande (he aquí una consideración de diseño importante sobre la cual se profundizará más adelante). Ya que  $B_f = v_S/v_O$  (ver ecuación 32), la ganancia diferencial de lazo cerrado de la etapa de entrada del CFIA tendrá entonces la expresión aproximada (para bajas frecuencias):

$$A_v \approx \frac{1}{v_S/v_O} = -\frac{2}{R_{11} \cdot g_{m_s}} \quad (37)$$

Es posible analizar la etapa de entrada del CFIA sin necesidad de hacer subdivisiones ni emplear conceptos asociados a realimentación. Este método consiste simplemente en aplicar las leyes de corriente y/o voltaje de Kirchhoff en todos los nodos/mallas de la etapa de entrada para plantear un sistema de ecuaciones ca-

---

<sup>56</sup> A. Sedra y K. Smith. *Microelectronic Circuits*. 6.<sup>a</sup> ed. The Oxford Series in Electrical and Computer Engineering. Oxford University Press, USA, 2009.

racterístico de la etapa. Aunque esta forma de analizar el circuito puede llevar a niveles altos de complejidad en su solución, gracias a las herramientas de cálculo simbólicas y numéricas disponibles actualmente se pueden encontrar expresiones exactas y aproximadas para las ganancias diferencial y de modo común, CMRR y PSRR, así como realizar análisis en frecuencia e inclusión de efectos asociados a disparidad (mismatch), realizando los ajustes necesarios en el sistema de ecuaciones. Entonces, a partir de la figura 27, utilizando la ley de corriente de Kirchhoff en los diferentes nodos de la etapa de entrada y teniendo en cuenta el efecto cuerpo en  $M_3$  y  $M_4$ , se plantean las ecuaciones 38a a 38g:

$$Y_5 \cdot v_{O1} + g_{m3}(v_{D1} - v_B) + Y_3(v_{O1} - v_B + g_{mb3}(-v_B)) = 0 \quad (38a)$$

$$Y_6 \cdot v_{O1} + g_{m4}(v_{D2} - v_B) + Y_4(v_{O2} - v_B) + g_{mb4}(-v_B) = 0 \quad (38b)$$

$$i_{y3} + i_{y4} + g_{m3}(v_{D1} - v_B) + g_{m4}(v_{D2} - v_B) + g_{mb3}(-v_B) + g_{mb4}(-v_B) = Y_{bias} \cdot v_B \quad (38c)$$

$$g_{m_{s1}} \cdot v_{O2} + Y_{s1} \cdot v_{S1} = g_{m_{i1}} \left( -\frac{v_{dif}}{2} - v_{S1} \right) + Y_{i1}(v_{D1} - v_{S1}) + Y_1(v_{S2} - v_{S1}) \quad (38d)$$

$$g_{m_{s2}} \cdot v_{O2} + Y_{s2} \cdot v_{S2} = g_{m_{i2}} \left( \frac{v_{dif}}{2} - v_{S2} \right) + Y_{i2}(v_{D2} - v_{S2}) + Y_1(v_{S1} - v_{S2}) \quad (38e)$$

$$g_{m_{i1}} \left( -\frac{v_{dif}}{2} - v_{S1} \right) + Y_{i1}(v_{D1} - v_{S1}) + Y_{d1} \cdot v_{D1} = 0 \quad (38f)$$

$$g_{m_{i2}} \left( \frac{v_{dif}}{2} - v_{S2} \right) + Y_{i2}(v_{D2} - v_{S2}) + Y_{d2} \cdot v_{D2} + g_{m_{d2}} \cdot v_{D1} = 0 \quad (38g)$$

Este sistema de 7 ecuaciones por 8 incógnitas permite expresar todas las variables en función de  $v_{dif}$ . Al resolver este sistema de ecuaciones sin despreciar el efecto de ningún parámetro, se tendrá una función de transferencia para la ganancia diferencial  $A_v(s) = (v_{O1} - v_{O2})/v_{dif}$  sumamente grande y de poca utilidad para el diseño del CFIA (en este caso la ecuación extendida tiene 104 operandos en el numerador y 305 en el denominador). Sin embargo, la expresión resultante fue sometida a un

análisis de sensibilidad (cuyo código se hizo en MATLAB), el cual reveló que los únicos parámetros significativos en el cálculo de la ganancia en DC son  $g_{m_s}$  y  $R_1$ . La expresión simplificada para la ganancia de DC de la etapa de entrada es:

$$A_v = -\frac{2}{g_{m_s} \cdot R_1} \quad (39)$$

Esta expresión aproximada, además de ser idéntica a la ecuación 37, coincide con la estructura de la ecuación 19 ya que la ganancia es inversamente proporcional al valor de la resistencia de degeneración; y como se comprobará en secciones posteriores, presenta errores con referencia a la expresión completa y los resultados por simulación inferiores al 5% en todos los casos. Por otra parte, para determinar la frecuencia de 3dB del amplificador ( $f_{3dB}$ ), es conveniente utilizar la ecuación completa, o bien realizar un análisis de constantes de tiempo <sup>57</sup>. El uso de la ecuación analítica completa producto del análisis presentado en esta sección también arroja errores pequeños de  $f_{3dB}$  relativos a los resultados por simulación.

Si se quiere determinar la relación de la ganancia diferencial con la corriente de polarización que circula en la rama de entrada, basta con expresar  $g_{m_s}$  en función de  $I_{s1,s2} = I_{i1,i2}$  en la ecuación 39, con lo que resulta:

$$A_v = -\frac{2}{\sqrt{2K'_p \frac{W_{s1,s2}}{L_{s1,s2}} I_{s1,s2}} \cdot R_1} \quad (40)$$

Ahora se puede observar la relación de proporcionalidad inversa que existe entre la ganancia diferencial y la raíz cuadrada de la corriente  $I_s$ , la raíz cuadrada de la relación de aspecto de las fuentes de corriente  $M_{s1,s2}$  y la resistencia de degeneración

---

<sup>57</sup> P.R. Gray; P.J. Hurst; S.H. Lewis; R.G. Meyer. *Analysis and Design of Analog Integrated Circuits*. 5.<sup>a</sup> ed. Wiley, 2009.

$R_1$ .

**Ganancia de modo común y CMRR** La ganancia de modo común  $A_{cm}$  del par diferencial de entrada puede determinarse a partir del semicircuito de modo común mostrado en la figura 32, asumiendo *perfecta simetría* entre los transistores apareados. Si efectivamente hay simetría absoluta, ante la presencia de un voltaje de modo común  $v_{cm}$  en las puertas de  $M_{i1}$  y  $M_{i2}$ , las corrientes que circulan en las dos ramas de la sub-etapa serán iguales, por tanto no habrá circulación de corriente en el resistor  $R_1$ , ni en la resistencia de salida de  $M_{d2}$ . Resolviendo el semicircuito se llega a la expresión de la ganancia de voltaje de modo común  $A_{cm1}$  en los nodos  $D_1$  y  $D_2$  del par diferencial de entrada:

$$A_{cm1} = \frac{v_D}{v_{cm}} = -\frac{g_{m_i}g_{ds_s}}{g_{m_d}(g_{m_i} + g_{ds_i} + g_{ds_s}) + g_{ds_i}g_{ds_s}} \quad (41)$$

Atendiendo las mismas consideraciones hechas en el caso de la ganancia diferencial (expresión 27), se llega a la expresión aproximada:

$$A_{cm1} \approx -\frac{g_{ds_s}}{g_{m_d}} \quad (42)$$

La expresión 42 puede expresarse en términos de la corriente de polarización en cada rama ( $I_{s1,s2}$ ), llegando a la expresión:

$$A_{cm1} \approx -\frac{\lambda_s \sqrt{I_{s1,s2}}}{\sqrt{2K'_n \frac{W_{d1,d2}}{L_{d1,d2}}}} \quad (43)$$

La expresión 43 pone de manifiesto la relación de proporcionalidad entre  $A_{cm1}$  y la raíz cuadrada de la corriente  $I_{s1,s2}$ , y de manera inversa con la raíz cuadrada de la relación de aspecto de  $M_{d1,d2}$  y el largo de canal  $L$  de los transistores  $M_{s1}$  y  $M_{s2}$  (por ser inversamente proporcional al factor de modulación de canal  $\lambda_s$ ).

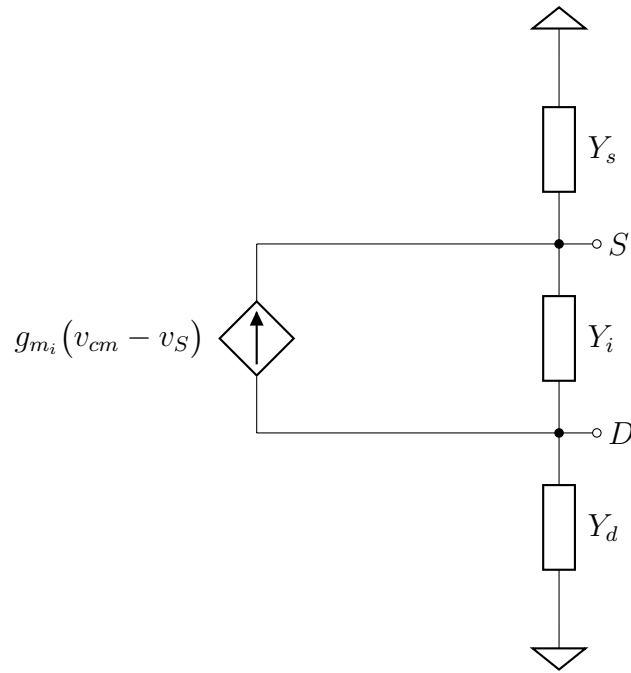


Figura 32. Representación en pequeña señal del semicircuito diferencial de entrada del CFIA prototipo (Rama de baja impedancia).

Ahora, los voltajes de modo común presentes en los nodos  $D_1$  y  $D_2$  son tomados de manera diferencial por el par transconductor  $M_{3,4}$  para completar el ciclo de realimentación, por tanto, la diferencia de estos voltajes (idénticos) conforma la ganancia de modo común *de medición diferencial*, que tendrá un valor igual a cero. Lo anterior llevará a tener una ganancia de modo común de lazo cerrado igual a cero (o al menos muy cercano a cero), y en consecuencia un CMRR infinito (o al menos muy grande). Sin embargo, resulta útil mostrar la expresión para el CMRR de lazo abierto correspondiente a cada nodo ( $D_1$  y  $D_2$ ), que resulta del cociente de la expresión 28 entre la expresión 42:

$$CMRR_{D1,D2} = \frac{A_v}{A_{cm_{D1,D2}}} \approx \frac{-\frac{g_{m_i}}{g_{ds_i} + g_{ds_d}}}{-\frac{g_{ds_s}}{g_{m_d}}} = \frac{g_{m_i} g_{m_d}}{g_{ds_s} (g_{ds_i} + g_{ds_d})} \quad (44)$$

Esta expresión puede ser importante para el diseñador ya que, en la medida que pueda lograr una alta simetría entre dispositivos apareados, podrá saber cuales parámetros de diseño ajustar para maximizar el valor del CMRR de lazo cerrado, ya que al minimizar  $A_{cm_{D1,D2}}$  se tendrán menores voltajes de modo común en los nodos  $D_1$  y  $D_2$ , y por tanto cualquier posible diferencia entre ellos debido a algún tipo de disparidad sistemática también será de menor orden de magnitud. Lo anterior se explica mejor si se expresan las transconductancias en función de las corrientes  $I_{s1,s2}$ :

$$CMRR_{D1,D2} = \frac{2\sqrt{K'_n K'_p \frac{W_i}{L_i} \frac{W_d}{L_d}}}{\lambda_s I_s (\lambda_i + \lambda_d)} \quad (45)$$

A partir del análisis de la expresión 45 saltan a la vista las siguientes consideraciones de diseño:

- La expresión sugiere seleccionar una  $I_s$  (por consiguiente una  $I_{bias}$ ) grande para mejorar el  $CMRR_{D1,D2}$ , con el beneficio adicional de aumentar el ancho de banda, ya que al aumentar la corriente de polarización de un transistor MOS en saturación, disminuye su resistencia de salida  $r_o$ . Esto establece un *trade-off* entre CMRR - ancho de banda y consumo de potencia, que el diseñador debe ajustar a la hora de cotejar con las especificaciones del circuito.
- La expresión invita al diseñador a aumentar la relación de aspecto de  $M_{i1,i2}$  y  $M_{d1,d2}$  para aumentar  $CMRR_{D1,D2}$ . Aquí el *trade-off* ocurre entre el  $CMRR_{D1,D2}$  y el ancho de banda, pues es de amplio conocimiento que las capacitancias intrínsecas de los MOSFETs son proporcionales al área de los mismos, y las capacitancias más altas llevarán a tener anchos de banda más bajos.
- Las consideraciones anteriores y el conocimiento de que el factor de modulación de canal  $\lambda$  es inversamente proporcional al largo del canal  $L$  del transistor

MOS, sugieren al diseñador que aumentar el largo de canal de  $M_{i1,i2}$  y  $M_{d1,d2}$  manteniendo sus relaciones de aspecto es una forma efectiva de mejorar el  $CMRR_{D1,D2}$  (además de la reducción en la dispersión del mismo debido al *mismatch* aleatorio). Efectivamente así ocurre, pero debe tenerse cuidado al aumentar el largo de canal  $L$  de transistores ubicados en nodos de alta impedancia ( $D_2$  en nuestro caso), ya que el aumento de la resistencia de salida  $r_o$  y las capacitancias internas pueden afectar severamente el ancho de banda del circuito, y además se presenta un aumento en el consumo de área. Esta información deberá permitir al diseñador poder inferir largos de canal para  $M_{i1,i2}$  y  $M_{d1,d2}$  suficientemente grandes para mejorar el  $CMRR_{D1,D2}$ , sin que se llegue a afectar el ancho de banda requerido ni sobrepasar eventuales limitaciones de área.

Hasta ahora se ha hecho hincapié sobre la necesidad de contar con simetría perfecta entre dispositivos para poder llegar a las expresiones 42 y 43, y tener en teoría una ganancia de voltaje de modo común  $A_{cm} = (v_{O1} - v_{O2})/v_{cm}$  igual a cero y un CMRR infinito en la etapa de entrada del CFIA prototipo. La mala noticia aquí es que, debido a las variaciones aleatorias siempre presentes en el proceso de fabricación, lo anterior es prácticamente imposible. Por eso, aunque la expresión 45 puede ser útil para el diseño del CFIA, en la práctica el  $CMRR$  de la etapa de entrada experimentará un detrimento significativo provocado por el desacople de  $CMRR_{D1,D2}$  el cual, a su vez, ocurre debido al aumento de  $A_{cm}$  provocado por la disparidad aleatoria (*mismatch*) entre dispositivos que se asumen idénticos. De la figura 26 se observan 5 fuentes de disparidad en la etapa de entrada del CFIA: entre  $M_{i1}$  y  $M_{i2}$ , entre  $M_{d1}$  y  $M_{d2}$ , entre  $M_{i1}$  y  $M_{i2}$ , entre  $M_3$  y  $M_4$  y entre  $M_5$  y  $M_6$ . Aunque existen múltiples representaciones de disparidad entre dispositivos dependiendo de cada parámetro que puede ser afectado (relación de aspecto, transconductancia, capacitancias internas, movilidad de portadores debido a anisotropía, etc.) en este análisis

sólo se tendrá en cuenta el efecto de disparidad geométrica (la cual altera la relación de aspecto  $S = W/L$ ). Esta disparidad es cuantificada por las cantidades:

$$S_{i1} = S_i \left(1 + \frac{\sigma_{S_i}}{2}\right) \quad (46a)$$

$$S_{i2} = S_i \left(1 - \frac{\sigma_{S_i}}{2}\right) \quad (46b)$$

$$S_{d1} = S_d \left(1 + \frac{\sigma_{S_d}}{2}\right) \quad (46c)$$

$$S_{d2} = S_d \left(1 - \frac{\sigma_{S_d}}{2}\right) \quad (46d)$$

$$S_{s1} = S_s \left(1 + \frac{\sigma_{S_s}}{2}\right) \quad (46e)$$

$$S_{s2} = S_s \left(1 - \frac{\sigma_{S_s}}{2}\right) \quad (46f)$$

$$S_3 = S_{34} \left(1 + \frac{\sigma_{S_{34}}}{2}\right) \quad (46g)$$

$$S_4 = S_{34} \left(1 - \frac{\sigma_{S_{34}}}{2}\right) \quad (46h)$$

$$S_5 = S_{56} \left(1 + \frac{\sigma_{S_{56}}}{2}\right) \quad (46i)$$

$$S_6 = S_{56} \left(1 - \frac{\sigma_{S_{56}}}{2}\right) \quad (46j)$$

Donde  $S_i, S_d, S_s, S_{34}$  y  $S_{56}$  son las relaciones de aspecto nominales de los pares de transistores asociados, y  $\sigma_{S_i}, \sigma_{S_d}, \sigma_{S_s}, \sigma_{S_{34}}$  y  $\sigma_{S_{56}}$  representan las respectivas magnitudes de disparidad introducidas.

Las ecuaciones 46a a 46j pueden ser remplazadas en el sistema de ecuaciones 38a - 38g (expresando primero las transconductancias en función de las relaciones de aspecto) para analizar la ganancia diferencial y de modo común debido a la disparidad introducida. Siendo la ganancia diferencial  $A_v$  casi insensible a esta disparidad, debido a la alta ganancia de lazo diferencial<sup>38</sup>, no es de interés práctico analizar en este trabajo los casi nulos cambios que produce la introducción de disparidad en

la misma. Por otro lado, la ganancia de modo común  $A_{cm}$  sí presenta un aumento significativo ante la presencia de disparidades, con lo que se hace meritorio su análisis. El problema aquí vuelve a ser la complejidad en el cálculo y poca practicidad (debido a su gran número de parámetros y operandos) de las expresiones halladas para  $A_{cm}$  debido a la disparidad en cada una de los 5 pares de transistores en donde se presentan.

Sin embargo, si se establece una  $I_{bias}$  y relaciones de aspecto nominales de los transistores de la etapa de entrada que garanticen su correcta polarización (todos los transistores en saturación), se puede aproximar el aporte de la disparidad de cada par de transistores al aumento de la ganancia de modo común, mediante una expresión con forma general:

$$A_{cm} = A_{cm_{min}} + A_i \cdot \sigma_i + A_d \cdot \sigma_d + A_s \cdot \sigma_s + A_{34} \cdot \sigma_{34} + A_{56} \cdot \sigma_{56} \quad (47)$$

Donde  $A_{cm_{min}}$  es la ganancia de modo común en perfecta simetría (determinada en gran parte por  $A_{cm_{D1,D2}}$ ),  $A_{i,d,s,34,56}$ , son constantes mayores a cero que indican el aumento en  $A_{cm}$  debido sus respectivas disparidades  $\sigma_{i,d,s,34,56}$  las cuales se expresan como cambios *porcentuales* con respecto a las relaciones de aspecto nominales.

Además de lo anterior, es posible *identificar* cuales son los pares de transistores cuya disparidad contribuye de manera preponderante al aumento de  $A_{cm}$ . Utilizando los valores de  $I_{bias}$  y el dimensionamiento de la tabla 6 se obtienen los valores presentados en la tabla 1, donde se emplean valores de  $\sigma$  de 0 %, -1 % y 1 %. Siendo consistente con lo esperado, los valores de las ganancias de modo común de los nodos de salida son iguales cuando  $\sigma = 0$  mientras que presentan valores diferentes cuando  $\sigma \neq 0$ , y conducen a un aumento en  $A_{cm}$ . Además, se puede identificar  $\sigma_d$  y  $\sigma_i$  como las disparidades que influyen de manera dominante en este incremento,

	$\sigma_i$	$\sigma_d$	$\sigma_s$	$\sigma_{34}$	$\sigma_{56}$
$A_{cm_{vo1}} _{\sigma=0}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm_{vo2}} _{\sigma=0}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm} _{\sigma=0}$	0	0	0	0	0
$A_{cm_{vo1}} _{\sigma=-1\%}$	$-48.16 \cdot 10^{-6}$	$98.26 \cdot 10^{-6}$	$22.19 \cdot 10^{-6}$	$22.20 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm_{vo2}} _{\sigma=-1\%}$	$92.73 \cdot 10^{-6}$	$-53.83 \cdot 10^{-6}$	$22.30 \cdot 10^{-6}$	$22.18 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm} _{\sigma=-1\%}$	$-140.9 \cdot 10^{-6}$	$152.1 \cdot 10^{-6}$	$-110.7 \cdot 10^{-9}$	$-79.73 \cdot 10^{-9}$	$499.8 \cdot 10^{-12}$
$A_{cm_{vo1}} _{\sigma=1\%}$	$92.15 \cdot 10^{-6}$	$-53.76 \cdot 10^{-6}$	$22.30 \cdot 10^{-6}$	$22.29 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm_{vo2}} _{\sigma=1\%}$	$-47.71 \cdot 10^{-6}$	$98.34 \cdot 10^{-6}$	$22.19 \cdot 10^{-6}$	$22.21 \cdot 10^{-6}$	$22.25 \cdot 10^{-6}$
$A_{cm} _{\sigma=1\%}$	$139.9 \cdot 10^{-6}$	$-152.1 \cdot 10^{-6}$	$110.7 \cdot 10^{-9}$	$79.76 \cdot 10^{-9}$	$-499.8 \cdot 10^{-12}$

Tabla 1. Aproximación del aporte de las disparidades en el aumento de  $A_{cm}$  de la etapa de entrada del CFIA prototipo.

ya que son por lo menos tres órdenes de magnitud mayores que el resto de disparidades. Entonces, para los valores mostrados en la tabla 1, se podrá aproximar la relación de  $A_{cm}$  y las disparidades mediante la expresión:

$$A_{cm} = A_{cm_{min}} + 140.9 \cdot 10^{-6} \cdot \sigma_i + 152.1 \cdot 10^{-6} \cdot \sigma_d \quad (48)$$

Ahora se puede expresar el  $CMRR$  de bajas frecuencias de la etapa de entrada en función de las disparidades, mediante la siguiente expresión:

$$CMRR_{DC} = \left| \frac{A_v}{A_{cm}} \right| = \frac{1}{g_{m_s} R_1 \left( A_{cm_{min}} + 140.9 \cdot 10^{-6} \cdot \sigma_i + 152.1 \cdot 10^{-6} \cdot \sigma_d \right)} \quad (49)$$

Por simulación se comprobó que cualquiera sea el dimensionamiento (garantizando saturación),  $\sigma_d$  y  $\sigma_i$  mantuvieron su carácter dominante sobre el resto de disparidades, con respecto al aumento de  $A_{cm}$ .

La expresión 49 pone de manifiesto la necesidad de realizar un diseño geométrico que minimice los efectos de cualquier tipo de disparidad entre los transistores del

par diferencial de entrada ( $M_{i1,i2}$ ) y los del espejo de corriente ( $M_{d1,d2}$ ), teniendo en cuenta que, con tan sólo un 1% de disparidad entre ellos, se puede pasar de una  $A_{cm}$  del orden de los *femtos* a tener una  $A_{cm}$  del orden de los *micros* o incluso de los *milis*, con lo que el  $CMRR$  podría llegar a descender del mínimo funcional de 80 dB. Sólo en la medida que esto se pueda lograr, la expresión 45 cobrará importancia en el proceso de diseño del CFIA.

En este punto es importante señalar que, aunque es conveniente conservar un valor bajo de  $R_1$  debido a las mejoras en la ganancia diferencial y el ruido del amplificador (como se verá en la sección 4.1.1), no es recomendable exceder el límite en donde, ante la presencia de disparidades, las cuales generan desbalances en las corrientes que circulan en las ramas de entrada del amplificador, las variaciones en corriente de modo común que circule a través esta resistencia pueden llegar a ser considerables. Dicho en otras palabras: ante la mayor presencia de disparidades aleatorias, la ganancia de modo común  $A_{cm}$  dependerá más fuertemente del valor de  $R_1$  (De hecho, observando la expresión 41 se puede corroborar que, si no existen disparidades, la variación de la corriente de modo común a través de  $R_1$  es nula). Lo anterior se traducirá al final en una mayor *dispersión* en la variación estadística del  $CMRR$  del amplificador a medida que se disminuye  $R_1$ .

**PSRR** Atendiendo las definiciones para  $PSRR^+$  y  $PSRR^-$  de las expresiones 3a y 3b, y asumiendo perfecta simetría entre los pares de transistores de la etapa de entrada, estas cantidades serán infinitas (muy grandes, en la práctica), ya que las variaciones de  $\Delta V_O$  ante la presencia de  $\Delta V_{DD}$  y  $\Delta V_{SS}$  serán nulas (casi nulas, en realidad). En el caso de  $\Delta V_{DD}$ , esta señal pasará a través de  $M_{5,6}$  con ganancia unitaria hasta los nodos  $O_1$  y  $O_2$ . Al tomar la diferencia en las ganancias de los nodos, se obtendrá que  $\Delta V_O/\Delta V_{DD} \approx 0$ . Por otra parte, la señal  $\Delta V_{SS}$  llegará a las puertas de  $M_{3,4}$  con ganancias iguales (unitarias) a través de  $M_{d1,d2}$ , con lo que al final se

	$\sigma_i$	$\sigma_d$	$\sigma_s$	$\sigma_{34}$	$\sigma_{56}$
$A_{pp_{vo1}} _{\sigma=0}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{pp_{vo2}} _{\sigma=0}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{pp} _{\sigma=0}$	0	0	0	0	0
$A_{pp_{vo1}} _{\sigma=-1\%}$	$993.7 \cdot 10^{-3}$	$993.4 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{pp_{vo2}} _{\sigma=-1\%}$	$993.5 \cdot 10^{-5}$	$993.8 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{pp} _{\sigma=-1\%}$	$178.4 \cdot 10^{-6}$	$-398.9 \cdot 10^{-6}$	$31.71 \cdot 10^{-6}$	$227.7 \cdot 10^{-9}$	$-143.1 \cdot 10^{-9}$
$A_{pp_{vo1}} _{\sigma=1\%}$	$993.5 \cdot 10^{-3}$	$993.8 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{pp_{vo2}} _{\sigma=1\%}$	$993.7 \cdot 10^{-3}$	$993.4 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$	$993.6 \cdot 10^{-3}$
$A_{cm} _{\sigma=1\%}$	$-176.7 \cdot 10^{-6}$	$398.9 \cdot 10^{-6}$	$-31.71 \cdot 10^{-6}$	$-227.8 \cdot 10^{-9}$	$143.1 \cdot 10^{-9}$

Tabla 2. Aproximación del aporte de las disparidades en el aumento de  $A_{pp}$  de la etapa de entrada del CFIA prototipo.

tendrá un efecto de cancelación entre los voltajes de modo común en los nodos  $O_1$  y  $O_2$ .

Infelizmente, así como ocurre con el  $CMRR$ , el  $PSRR^+$  y el  $PSRR^-$  disminuirán severamente ante la presencia de las disparidades aleatorias. Para tratar de identificar las disparidades que más influyen en estos decrementos, se puede hacer un análisis semejante al hecho para la ganancia de modo común en la sección anterior, no sin antes modificar el sistema de ecuaciones de pequeña señal de la etapa de entrada (ecuaciones 38a a 38g). En la tabla 2 se tabula el efecto de las disparidades de aspecto de los cinco pares de transistores de la etapa de entrada en la magnitud de  $A_{pp} = \Delta V_O / \Delta V_{DD}$ , mientras que en la tabla 3 se hace el mismo proceso para  $A_{nn} = \Delta V_O / \Delta V_{SS}$ , utilizando en las dos tablas valores de  $\sigma$  de 0%, -1% y 1%.

Con la información de la tabla 2 se obtiene una ecuación semejante a la ecuación 47 para la determinación de  $A_{pp}$ . En este caso, existe un efecto dominante de  $\sigma_s$ ,

	$\sigma_i$	$\sigma_d$	$\sigma_s$	$\sigma_{34}$	$\sigma_{56}$
$A_{nnvo1} _{\sigma=0}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$
$A_{nnvo2} _{\sigma=0}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$
$A_{cm} _{\sigma=0}$	0	0	0	0	0
$A_{nnvo1} _{\sigma=-1\%}$	$5.626 \cdot 10^{-3}$	$5.748 \cdot 10^{-3}$	$5.624 \cdot 10^{-3}$	$5.643 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$
$A_{nnvo2} _{\sigma=-1\%}$	$5.651 \cdot 10^{-3}$	$5.528 \cdot 10^{-3}$	$5.653 \cdot 10^{-3}$	$5.633 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$
$A_{cm} _{\sigma=-1\%}$	$-24.85 \cdot 10^{-6}$	$219.3 \cdot 10^{-6}$	$-28.07 \cdot 10^{-6}$	$10.43 \cdot 10^{-6}$	$126.7 \cdot 10^{-9}$
$A_{nnvo1} _{\sigma=1\%}$	$5.651 \cdot 10^{-3}$	$5.528 \cdot 10^{-3}$	$5.653 \cdot 10^{-3}$	$5.633 \cdot 10^{-3}$	$5.639 \cdot 10^{-3}$
$A_{nnvo2} _{\sigma=1\%}$	$5.639 \cdot 10^{-3}$	$5.748 \cdot 10^{-3}$	$5.624 \cdot 10^{-3}$	$5.643 \cdot 10^{-3}$	$22.25 \cdot 10^{-3}$
$A_{cm} _{\sigma=1\%}$	$24.66 \cdot 10^{-6}$	$-219.3 \cdot 10^{-6}$	$28.07 \cdot 10^{-6}$	$-10.43 \cdot 10^{-6}$	$-126.7 \cdot 10^{-9}$

Tabla 3. Aproximación del aporte de las disparidades en el aumento de  $A_{nn}$  de la etapa de entrada del CFIA prototipo.

además del de  $\sigma_i$  y  $\sigma_d$ , con lo que la aproximación queda:

$$A_{cm} = 178.4 \cdot 10^{-6} \cdot \sigma_i + 398.9 \cdot 10^{-6} \cdot \sigma_d + 31.71 \cdot 10^{-6} \cdot \sigma_s \quad (50)$$

Por tanto la ecuación del  $PSRR^+$  de bajas frecuencias es:

$$PSRR_{DC}^+ = \left| \frac{A_v}{A_{pp}} \right| = \frac{1}{g_{m_s} R_1 (178.4 \cdot 10^{-6} \cdot \sigma_i + 398.9 \cdot 10^{-6} \cdot \sigma_d + 31.71 \cdot 10^{-6} \cdot \sigma_s)} \quad (51)$$

En el caso de  $A_{nn}$  (ver tabla 3), la única disparidad que puede despreciarse en la aproximación es  $\sigma_{56}$ , ya que no existe un aporte que domine en el resto. Entonces la aproximación es:

$$A_{cm} = 24.85 \cdot 10^{-6} \cdot \sigma_i + 219.3 \cdot 10^{-6} \cdot \sigma_d + 28.07 \cdot 10^{-6} \cdot \sigma_s + 10.43 \cdot 10^{-6} \cdot \sigma_{34} \quad (52)$$

Y entonces la expresión para el  $PSRR^-$  de bajas frecuencias queda:

$$PSRR_{DC}^- = \left| \frac{A_v}{A_{nn}} \right| =$$

$$\frac{1}{g_{m_s} R_1 (24.85 \cdot 10^{-6} \cdot \sigma_i + 219.3 \cdot 10^{-6} \cdot \sigma_d + 28.07 \cdot 10^{-6} \cdot \sigma_s + 10.43 \cdot 10^{-6} \cdot \sigma_{34})} \quad (53)$$

Las expresiones 51 y 53 sugieren nuevamente al diseñador especial tratamiento en la configuración geométrica del par diferencial de entrada y sobre todo del espejo de corriente, ya que sus disparidades aportan fuertemente al deterioro de  $PSRR^+$  y  $PSRR^-$ .

**Análisis en frecuencia** En el diseño del CFIA prototipo se apunta a tener una respuesta en frecuencia determinada por el polo dominante conformado por  $R_2$  y  $C_2$  en la etapa de salida. Para que esto suceda debe garantizarse que la etapa de entrada tenga un ancho de banda mayor que el de la etapa de salida.

La etapa de entrada del CFIA exhibirá una respuesta en frecuencia que depende del polo dominante ubicado en el nodo  $D_2$  (ver figura 36). Este es el nodo de mayor impedancia de esta etapa, por tanto el polo asociado al mismo tendrá la frecuencia más baja y determinará el ancho de banda de la misma.

Para plantear el análisis en frecuencia de la etapa de entrada se debe empezar por reconocer a la misma como un amplificador de transconductancia, ya que la salida de la misma es una corriente diferencial ( $i_{5,6}$ ) proporcional a un voltaje diferencial de entrada ( $v_{dif}$ ). La etapa de entrada conforma entonces un amplificador realimentado tipo serie-serie, el cual se ilustra en la figura 33. De la sección 4.1.1 se conoce la sub-etapa que desempeña el papel de red de realimentación de la etapa de entrada, por tanto se pueden determinar las resistencias  $R_\beta$  y  $R_{\beta_o}$  como iguales a  $R_1$ <sup>32</sup> para computar el efecto de carga de la red de realimentación al abrir el lazo. La figura 34 muestra el amplificador de transconductancia en lazo abierto, en donde  $r_{o_{s1}} = r_{o_{s2}}$  son las resistencias de salida de los transistores  $M_{s1}$  y  $M_{s2}$ .

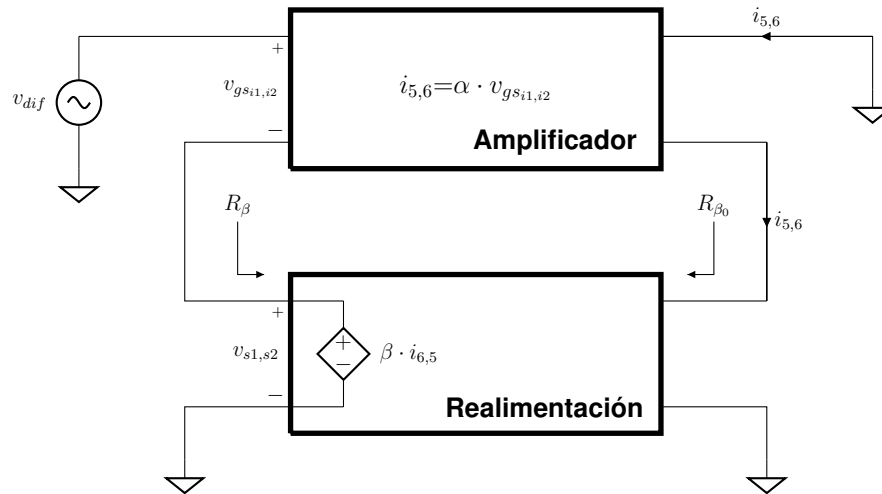


Figura 33. Esquema descriptivo del amplificador realimentado tipo serie-serie conformado por la etapa de entrada del CFIA prototipo. Adaptado de <sup>58</sup>.

Con referencia a la figura 34, se verifica que el nodo de mayor impedancia es el nodo  $D_2$ , por tanto debe contribuir con el polo dominante para la etapa de entrada. Los demás nodos de la etapa de entrada, al tener impedancias más bajas, tendrán contribuciones con polos en frecuencias mucho más altas, lo que en la práctica quiere decir que la respuesta en frecuencia de este circuito puede representarse como la salida de un sistema pasabajos de un solo polo de la forma:

$$A_v(j\omega) = \frac{A_{v0}}{\frac{j\omega}{R_{eq}C_{eq}} - 1} \quad (54)$$

De modo que la frecuencia del polo de lazo abierto de  $D_2$  se calcula mediante la conocida expresión <sup>56</sup>:

$$f_{3dB} = \frac{1}{2\pi R_{eq}C_{eq}} \quad (55)$$

Ahora, para hallar la resistencia equivalente en lazo abierto del nodo  $D_2$  ( $R_{eqOL} =$

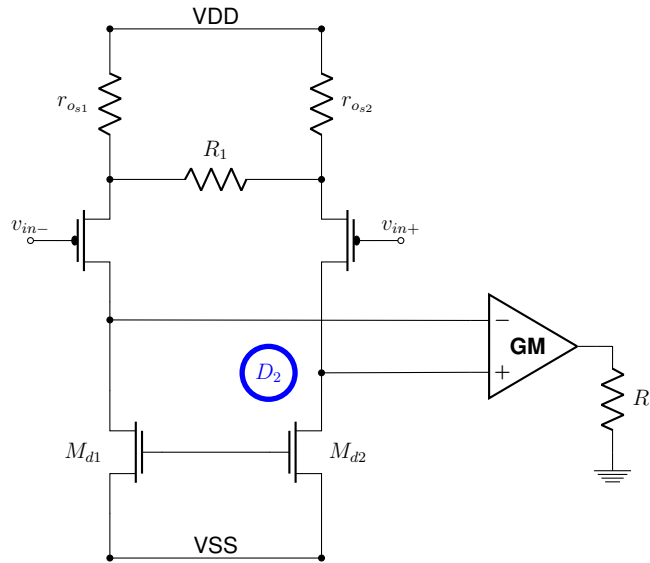


Figura 34. Etapa de entrada del CFIA prototipo en malla abierta. Adaptado de <sup>59</sup>.

$v_x/i_x$ ), se hace uso del circuito equivalente de la figura 35. Resolviendo se tendrá:

$$R_{eqOL} = \frac{2g_1 + g_{m_i} + g_{ds_i} + g_{ds_s}}{2g_1(g_{ds_i} + g_{ds_d}) + g_{m_i}g_{ds_d} + g_{ds_i}g_{ds_d} + g_{ds_d}g_{ds_s} + g_{ds_i}g_{ds_s}} \quad (56)$$

Teniendo en cuenta las diferencias de magnitud existentes entre  $g_1$ ,  $g_m$  y  $g_{ds}$ , la expresión 56 puede ser entonces aproximada a:

$$R_{eqOL} = \frac{2g_1 + g_{m_i}}{2g_1(g_{ds_i} + g_{ds_d}) + g_{m_i}g_{ds_d}} \quad (57)$$

Por otra parte, la capacitancia presente en el nodo  $D_2$  está descrita por la expresión 23b, pero incluyendo el aporte de la capacitancia de neutralización (transistor  $M_{CN}$ ) y el efecto Miller en la puerta de  $M_4$ , queda:

$$C_{eq} = C_{db_{M_{d2}}} + C_{db_{M_{i2}}} + C_{gs_{M_{CN}}} + C_{gd_{M_{CN}}} + C_{gs_{M_4}} + \left(1 + \frac{g_{m_4}}{g_{m_6}}\right) C_{gd_{M_4}} \quad (58)$$

Por las propiedades de la realimentación negativa <sup>48</sup> se sabe que al cerrar el lazo

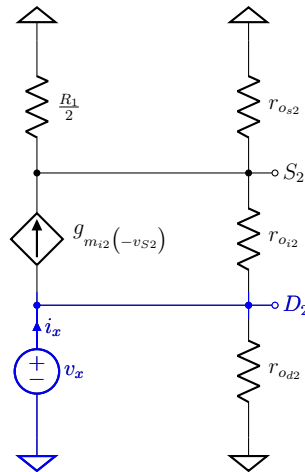


Figura 35. Representación circuital para el cálculo de  $R_{eq}$  del nodo  $D_2$  en lazo abierto.

de realimentación, la frecuencia del polo de lazo abierto aumentará en un factor de  $1 + \alpha\beta$ , mientras que la ganancia de lazo abierto se dividirá entre ese mismo factor para obtener la ganancia de lazo cerrado. Por tanto:

$$f_{3dB_{CL}} = f_{3dB_{OL}}(1 + \alpha\beta) \quad (59)$$

Con el fin de hallar la constante de tiempo  $R_{eq}C_{eq}$  asociada al nodo  $D_2$  directamente en lazo cerrado, se analiza el circuito en pequeña señal mostrado en la figura 36 para calcular la resistencia equivalente  $R_{eq_{CL}} = v_x/i_x$ . La capacitancia equivalente es la misma de la expresión 58. Teniendo estas dos cantidades, la frecuencia de  $3dB$  de la etapa de entrada en lazo cerrado se puede determinar directamente utilizando la expresión 55. La determinación de  $f_{3dB}$  de esta forma se aborda de mejor manera con la ayuda de herramientas de cómputo, y permitirá una mejor aproximación a la respuesta en frecuencia de la etapa de entrada.

**Ruido y rangos dinámicos** Worapishet et al. sugieren en <sup>38</sup> que la etapa de entrada del CFIA dictamina la característica general de ruido del amplificador. En

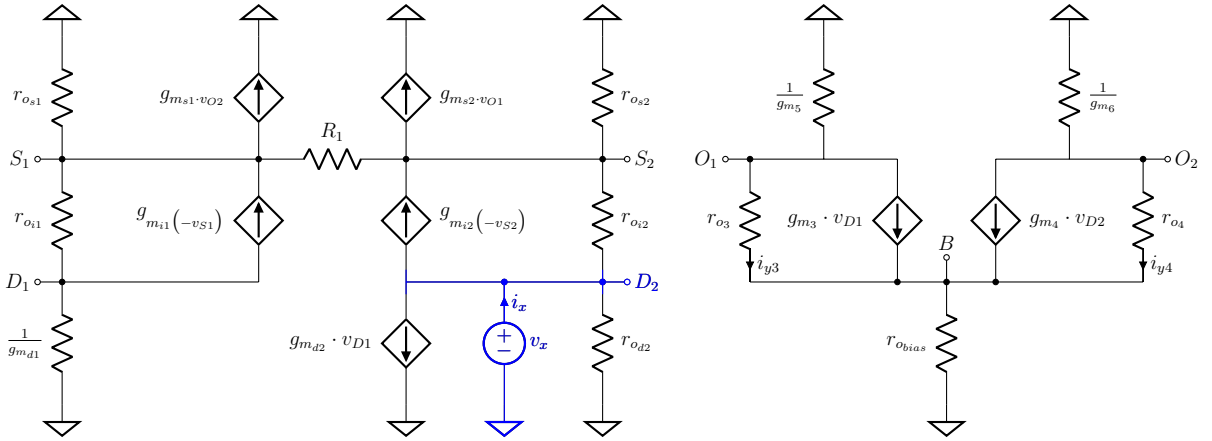


Figura 36. Representación circuital para el cálculo de la resistencia equivalente en el nodo  $D_2$  (lazo cerrado) de la etapa de entrada del CFIA prototipo.

primer lugar debe tenerse en cuenta que el ruido térmico domina sobre el ruido  $(1/f)$ , ya que el amplificador se diseña para que su ancho de banda se extienda hasta los  $MHz$ , frecuencias en donde el ruido  $(1/f)$  no está presente. Siendo así, el ruido referido a la entrada se puede calcular mediante la expresión:

$$\frac{\overline{v_{iN}^2}}{\Delta f} = 4kT \cdot R_1 + \frac{16}{2}kT \left( \frac{1}{g_{m_{i1,i2}}} + \frac{g_{m_{d1,d2}}}{g_{m_{i1,i2}}^2} \right) \quad (60)$$

Donde  $k$  es la constante de Boltzmann,  $T$  es la temperatura absoluta, y  $\Delta f$  es el ancho de banda de medición (en nuestro caso es el GBW del amplificador). Diseñar el CFIA con un nivel específico de ruido base necesita, naturalmente, del conocimiento de la *señal mínima detectable* - *MDS*. Este valor dependerá de la configuración geométrica de la sonda de medida, que puede ser de múltiples tipos (bipolar, tripolar, tetrapolar, compuesta), y cuyas consideraciones de diseño han sido abordadas en

varios trabajos, como el de Robillard y Poussart <sup>60</sup>, Ivorra et al. <sup>61</sup>, Hoe et al. <sup>62</sup> y Khan et al. <sup>63</sup>. En <sup>61</sup> se encuentra una expresión que vincula la lectura de voltaje  $V$  con la resistividad  $\rho$  de la muestra de tejido analizado, la corriente inyectada  $I$  y la *Distancia de Separación Inter-Electrodos - (IESD por sus iniciales en inglés)*  $r$  en un electrodo tetrapolar de medición de bioimpedancia eléctrica:

$$V = k_m \frac{\rho}{r} I \quad (61)$$

Donde  $k_m = (2\pi)^{-1}$  es la constante de propagación de medio semi-infinito (la corriente se aplica en una superficie plana de un medio que es cercado por otro medio con resistividad infinita, como el aire).

---

<sup>60</sup> P. N. Robillard y D. Poussart. "Spatial Resolution of Four Electrode Array". En: *IEEE Transactions on Biomedical Engineering* BME-26.8 (ago. de 1979), págs. 465-470. DOI: 10.1109/TBME.1979.326572.

<sup>61</sup> A. Ivorra, J. Aguilo y J. Millan. "Design considerations for optimum impedance probes with planar electrodes for bioimpedance measurements". En: *2001 International Semiconductor Conference. CAS 2001 Proceedings (Cat. No.01TH8547)*. Vol. 1. 2001, 269-272 vol.1. DOI: 10.1109/SMICND.2001.967461.

<sup>62</sup> Yen Shi Gillian Hoe y col. "Measuring bioimpedance in the human uterine cervix: Towards early detection of preterm labor". En: *Annual International Conference of the IEEE Engineering in Medicine and Biology - Proceedings*. Vol. 26 IV. 2004, págs. 2368-2372.

<sup>63</sup> S. Khan y col. "Prostate Cancer Detection Using Composite Impedance Metric". En: *IEEE Transactions on Medical Imaging* 35.12 (dic. de 2016), págs. 2513-2523. DOI: 10.1109/TMI.2016.2578939.

En trabajos como los de Brown et al.<sup>64</sup>, Jones et al.<sup>65</sup> y Olarte et al.<sup>66</sup> se han realizado mediciones experimentales de impedancia de tejido cervical humano *in-vivo*. En<sup>66</sup> las mediciones de resistividad más bajas, las cuales ocurren en tejido con carcinoma invasivo (y midiendo a altas frecuencias), tienen un promedio de  $1.41 \Omega \cdot m$  con una desviación estándar de  $0.57 \Omega \cdot m$ . Esto quiere decir que, a altas frecuencias, raramente podrán ocurrir mediciones inferiores a  $0.5 \Omega \cdot m$ , por tanto este valor se designa como la resistividad mínima  $\rho_{min}$  de una muestra de tejido. Por otra parte, las mediciones de resistividad más grandes, las cuales ocurren en tejido sano (y midiendo a bajas frecuencias), tienen un promedio de  $24.31 \Omega \cdot m$  con desviación estándar de  $11.26 \Omega \cdot m$ . De aquí se entiende que, a bajas frecuencias, raramente ocurrirá una lectura de resistividad mayor a  $40 \Omega \cdot m$ . Este valor se toma entonces como la resistividad máxima  $\rho_{min}$  de una muestra de tejido.

Ya se había mencionado en la sección 1.2 que la fuente de corriente desarrollada por Amaya tiene una amplitud pico constante de  $10 \mu A$ . Al tener ya en la ecuación 61  $I$  y el rango de resistividades a leer, el factor de diseño que determinará el rango de voltajes de entrada del CFIA es la separación entre electrodos  $r$ . En<sup>61</sup> los autores manifiestan la existencia de un *trade-off* para la escogencia de esta separación, ya que al disminuir  $r$ :

- Aumenta el nivel de voltaje en los electrodos de lectura, por tanto, hay una

---

<sup>64</sup> B. Brown y col. "Relation between tissue structure and imposed electrical current flow in cervical neoplasia". En: *The Lancet* 355.9207 (2000), págs. 892-895.

<sup>65</sup> R H; Hose D R; Brown B H; Walker D C Jones D M; Smallwood. "Modelling of epithelial tissue impedance measured using three different designs of probe". En: *Physiological Measurement* 24 (2 mayo de 2003). DOI: 10.1088/0967-3334/24/2/369.

<sup>66</sup> G. Olarte y col. "Espectroscopia de impedancia eléctrica en cáncer invasivo del cuello uterino en mujeres de Caldas (Colombia), 2008-2009". es. En: *Revista Colombiana de Obstetricia y Ginecología* 61 (mar. de 2010), págs. 18-22.

mejora en la relación señal a ruido de las señales adquiridas.

- Se mejora la resolución espacial, ya que la señal adquirida es menos sensible a las transiciones del medio.
- Se minimiza el daño causado al tejido en la medición.
- Se maximizan errores provocados por la no uniformidad del tejido vivo. Se recomienda tener un  $r$  bastante mayor a la extensión celular máxima del tejido a medir.
- Se maximiza la influencia de una eventual capa delgada perturbadora (que puede ser sangre, plasma, etc.) que puede aislar la muestra de la sonda, y peor aún, poner en cortocircuito los electrodos de lectura si la resistividad de la capa es muy pequeña.

Según <sup>67</sup>, el volumen máximo de las células *HeLa*, el cual es comparable con las células cervicales, es de  $10000 \mu m^3$ . Asumiendo que la célula es aproximadamente cúbica, se tendrá un largo o extensión máxima de  $21.54 \mu m$ . Si se determina que la relación mínima que garantiza errores pequeños por no uniformidad es de, por ejemplo, 70, se tendrá que  $r_{min} = 70(21.54 \cdot 10^{-6}) \approx 1.5 mm$ , el cual es un valor de separación que está dentro del orden de las sondas tetrapolares que se encuentran en la literatura <sup>61 65</sup>, las cuales pueden ser semejantes en aspecto a la sonda mostrada en la figura 37.

Remplazando entonces los valores de  $\rho_{min}$ ,  $\rho_{max}$ ,  $I$  y  $r$  en la ecuación 61, se obten-

---

<sup>67</sup> R. Milo y R. Phillips. *Cell Biology By The Numbers*. Draft. Garland Science, 2015.

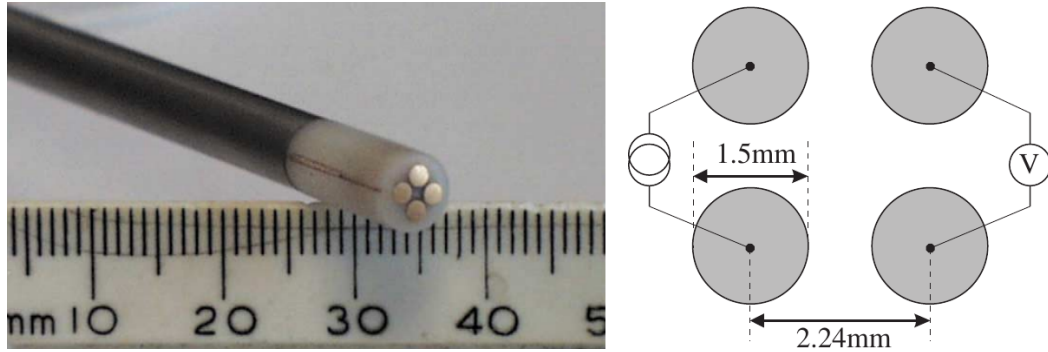


Figura 37. Sonda tetrapolar de configuración circular y electrodos de oro para medición de impedancia eléctrica de tejido cervical. Tomado de <sup>68</sup>.

drá el rango de voltaje de entrada del CFIA:

$$V_{in_{min}} = 56.27 \mu V_{rms} = 79.58 \mu V_p \quad (62a)$$

$$V_{in_{max}} = 4.50 mV_{rms} = 6.36 mV_p \quad (62b)$$

El voltaje de entrada mínimo es la mínima señal detectable (*MDS*) del amplificador, por tanto puede tomarse como el nivel de ruido referido a la entrada  $\overline{v_{iN}}$  de la ecuación 60 <sup>57</sup>. Sin embargo, es una buena práctica diseñar el par diferencial de entrada de modo que  $\overline{v_{iN}} < V_{in_{min}}$ , por lo que en este trabajo se buscará lograr un  $\overline{v_{iN}} \approx 20 \mu V_{rms}$ , o  $20 nV_{rms}/\sqrt{Hz}$ . El voltaje de entrada máximo determinará el rango de modo común de entrada soportado por el amplificador, el cual está limitado por:

$$V_{in_{+}} = V_{DD} - V_{sd_{sat}} \{M_{s1,s2}\} - V_{TH} \{M_{i1,i2}\} \quad (63a)$$

$$V_{in_{-}} = V_{SS} + V_{ds_{sat}} \{M_{d2}\} \quad (63b)$$

Por otra parte, la ganancia diferencial de la etapa de entrada del CFIA debe ser controlada de modo que no genere demasiada distorsión en la señal de salida (en

los nodos  $O_1$  y  $O_2$ ), cuyo *swing* (buscando mantener la linealidad de  $v_o$ ) estará limitado por:

$$V_{o+} = V_{DD} - V_{TH}\{M_{5,6}\} \quad (64a)$$

$$V_{o-} = V_{SS} + V_{dsat}\{M_{3,4}\} + V_{dsat}\{M_{bias}\} \quad (64b)$$

Las ecuaciones 64a y 64b deben entonces ser tenidas en cuenta al momento de escoger el valor de la resistencia  $R_1$ , ya que este valor es clave en la determinación de la ganancia diferencial.

#### 4.1.2. Análisis de la etapa de salida

**Modelo de pequeña señal y ganancia diferencial** Tomando como referencia la figura 26, la representación en pequeña señal de la etapa de salida de nuestro CFIA se muestra en la figura 38, donde, al igual que en el análisis hecho para la etapa de entrada, se utilizan admitancias para simplificar el planteamiento. El voltaje de entrada  $v_{dif}$  de esta etapa no es más que la diferencia entre  $v_{O_1}$  y  $v_{O_2}$  de la etapa de entrada.

Y asumiendo paridad perfecta entre componentes se tienen las siguientes igualdades:

$$Y_{13} = Y_{16} = g_{ds16} + s(C_{db16}) \quad (65a)$$

$$g_{m13} = g_{m16} \quad (65b)$$

$$Y_{o1} = Y_{o2} = g_{ds_o2} + s(C_{db_o2}) \quad (65c)$$

$$g_{m_{o1}} = g_{m_{o2}} \quad (65d)$$

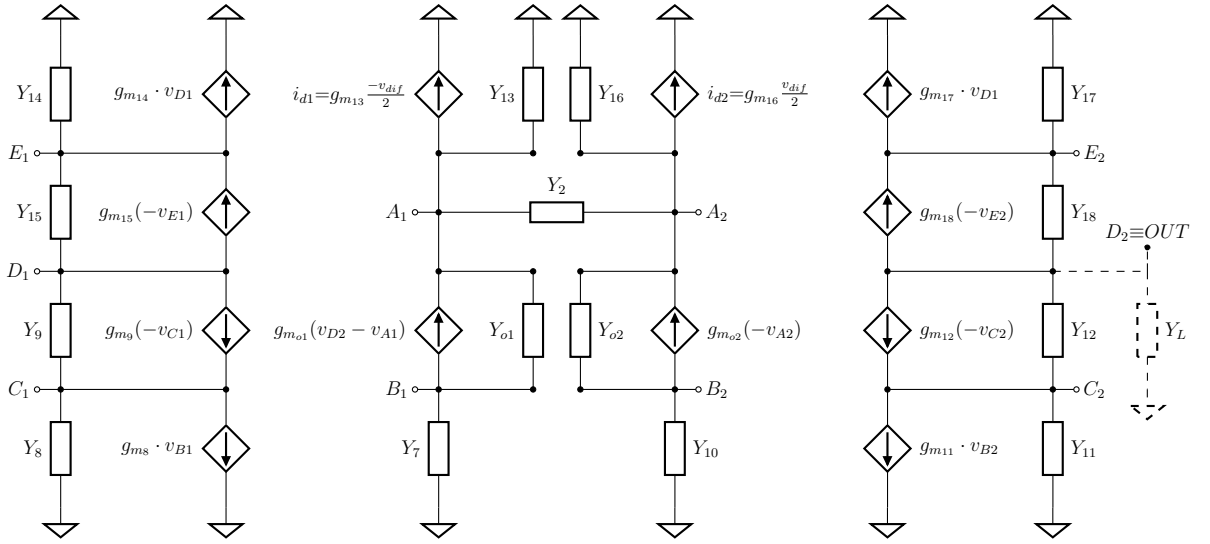


Figura 38. Representación en pequeña señal para entrada diferencial de la etapa de salida del CFIA prototipo.

$$Y_8 = Y_{11} = g_{ds11} + s(C_{db11} + C_{sb12}) \quad (65e)$$

$$g_{m8} = g_{m11} \quad (65f)$$

$$Y_{14} = Y_{17} = g_{ds17} + s(C_{db17}) \quad (65g)$$

$$g_{m14} = g_{m17} \quad (65h)$$

$$Y_{15} = Y_{18} = g_{ds18} + s(C_{db18}) \quad (65i)$$

$$g_{m15} = g_{m18} \quad (65j)$$

$$Y_7 = Y_{10} = g_{m10} + s(C_{gs10} + C_{gs11} + C_{db02}) \quad (65k)$$

$$Y_2 = \frac{1}{R_2} + s(C_2) \quad (65l)$$

$$Y_L = \frac{1}{R_L} + s(C_L) \quad (65m)$$

Funcionalmente, esta etapa del CFIA prototipo constituye un amplificador de trans-resistencia (como se muestra en la figura 39), ya que su entrada es la corriente diferencial  $i_{d1,2}$  y su salida es el voltaje  $v_{D2} \equiv v_{OUT}$ . La realimentación de corriente

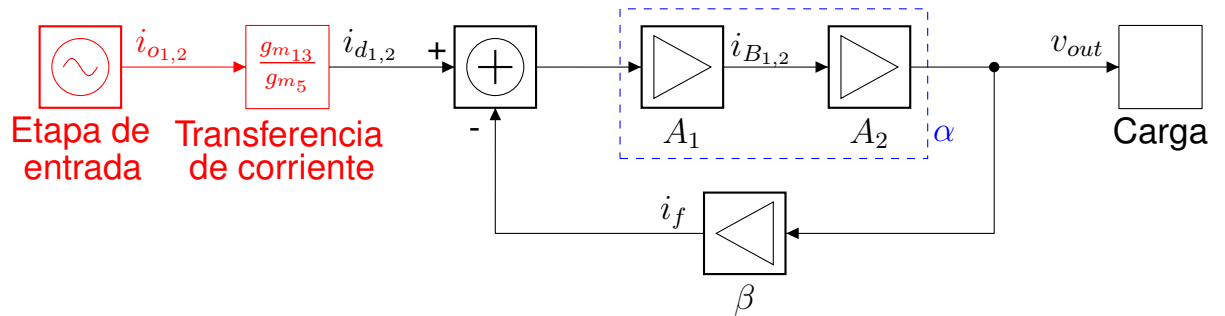


Figura 39. Esquema de flujo de señales de la etapa de salida del CFIA prototipo.

se hace enteramente a través del transistor  $M_{o1}$ , de modo que:

$$i_f = g_{m_{o1}}(v_{OUT} - v_{A1}) \quad (66)$$

Y el transistor  $M_{o2}$  se conecta a un voltaje DC de referencia  $V_{ref}$ , para que, cuando se cierre el lazo de realimentación, se force el nivel de DC del nodo de salida a aproximarse al valor de la referencia.

Ahora, si se “convierte” el esquema de realimentación, expresando la entrada y realimentación como voltajes, se puede analizar el circuito con mucha más facilidad, ya que la ganancia de realimentación de voltaje es unitaria; esto debido a que a la puerta de  $M_{o1}$  llega directamente el voltaje de salida  $v_{OUT}$  para restarse con  $v_{A1}$ . En otras palabras, si la ganancia de lazo  $\alpha\beta$  es mucho mayor a la unidad (como efectivamente pasa, y se aclarará más adelante), de la ecuación 36 se sabrá que la etapa de salida no es más que un *buffer* unitario, y que la ganancia diferencial ocurre *antes* de la entrada al lazo de realimentación, y es dada por la relación  $v_{A1}/v_{dif}$  *en lazo cerrado*. Esto debido a que el efecto de carga en el lazo de realimentación <sup>56</sup> hará que la impedancia equivalente vista desde el nodo  $A_1$  varíe al abrir y cerrar el lazo (por tanto la ganancia cambiará).

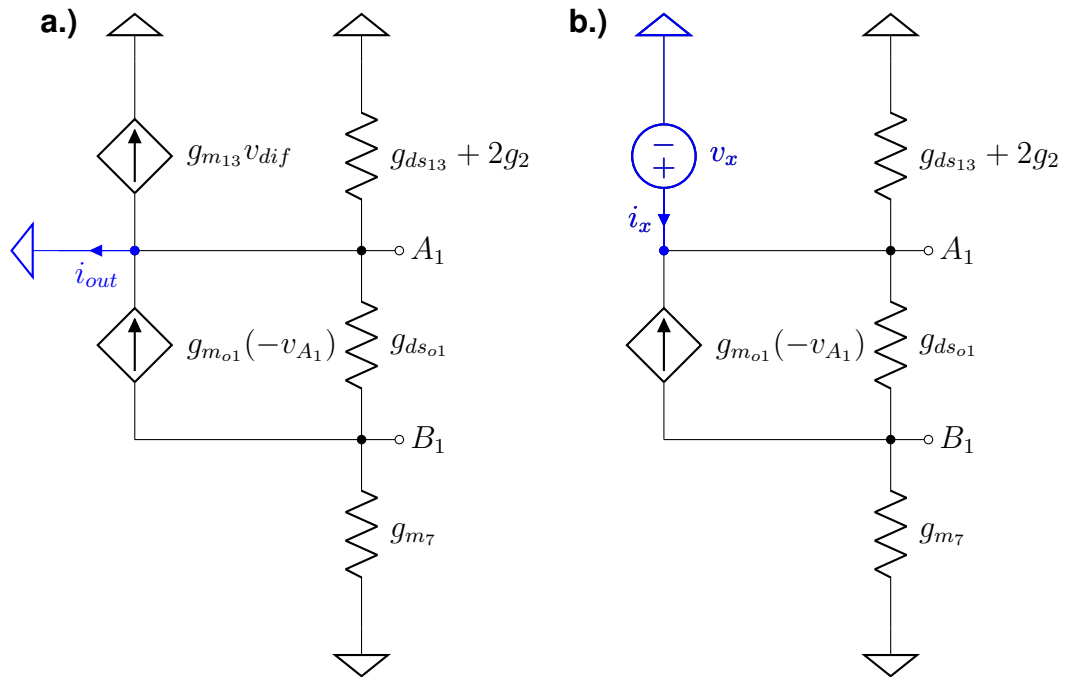


Figura 40. Planteamientos para hallar la **a)** transconductancia y **b)** impedancia equivalentes en el semicircuito diferencial.

Para encontrar esta ganancia se puede, en primer lugar, recordar que la expresión general de ganancia de voltaje está dada por la expresión <sup>47</sup>:

$$Gain = \frac{V_{out}}{V_{in}} = GM \cdot Z_{eq} \quad (67)$$

Donde  $GM$  es la *transconductancia equivalente* o de cortocircuito, y  $Z_{eq}$  es la *impedancia equivalente* vista desde el nodo de salida. Además, en la figura 40 se muestran los planteamientos a realizar sobre el semicircuito diferencial de lazo abierto para hallar las cantidades arriba mencionadas. Por simple inspección se puede determinar que:

$$GM = \left. \frac{i_{out}}{v_{dif}} \right|_{v_{A1}=0} = -g_{m13} \quad (68)$$

Mientras que resolviendo para hallar  $R_{eq} = Z_{eq}|_{f=0}$  se tendrá que:

$$R_{eq} = \frac{v_x}{i_x} = \frac{(g_{ds_{o1}} + g_{m7})}{2g_2(g_{ds_{o1}} + g_{m7}) + g_{ds_{13}}g_{ds_{o1}} + g_{ds_{13}}g_{m7} + g_{ds_{o1}}g_{m7} + g_{m7}g_{m_{o1}}} \quad (69)$$

La expresión anterior puede simplificarse para quedar:

$$R_{eq} \approx \frac{1}{2g_2 + g_{m_{o1}}} \quad (70)$$

Por tanto la ganancia de lazo abierto en el nodo  $A_1$  tiene la expresión aproximada:

$$G_{A1_{ol}} \approx -\frac{g_{m_{13}}}{2g_2 + g_{m_{o1}}} \quad (71)$$

Ahora, al cerrar el lazo de retroalimentación, y asumiendo una ganancia de lazo  $\alpha\beta$  mucho mayor a la unidad, la señal de voltaje de salida se verá reflejada en el nodo  $A_1$ , cumpliendo con el principio de cortocircuito virtual en realimentación negativa. Además, debido a que se está realizando *mixing* de voltaje (en serie), la impedancia equivalente en este nodo será <sup>56</sup>:

$$R_{eq_{cl}} = R_{eq_{ol}}(1 + \alpha\beta) \quad (72)$$

Este aumento en la resistencia equivalente, junto a la igualación de los voltajes  $v_{A_1}$  y  $v_{OUT}$  provocarán que (refiriéndonos a la figura 40.b) no haya aporte de corriente por parte de  $M_{o1}$ , a la vez que forzará el paso de (casi) toda la corriente generada por  $M_{13}$  a través del resistor  $R_2$ , con lo cual la ganancia de lazo cerrado del nodo  $A_1$ , y también de la etapa de salida del CFIA, será aproximadamente:

$$A_{v_{cl}} \approx -\frac{g_{m_{13}}}{2g_2} = -\frac{g_{m_{13}}R_2}{2} \quad (73)$$

Entonces, la ganancia diferencial *total* del CFIA para bajas frecuencias será:

$$A_{v_{DC}} = A_{v_{DCin}} \cdot A_{v_{DCout}} = -\frac{g_{m_{13}} \cdot R_2}{g_{m_s} \cdot R_1} \quad (74)$$

Si se diseña para que  $I_{13,16} = I_{bias}$ , esto implicará que las relaciones de aspecto de  $M_{s1,s2}$  y  $M_{13,16}$  deben ser iguales. Siendo así,  $g_{m_{s1,s2}} = g_{m_{13,16}}$  y se cumplirá que la ganancia diferencial *total* del CFIA será:

$$A_{v_{DC}} = -\frac{R_2}{R_1} \quad (75)$$

Que es la misma expresión para la ganancia diferencial general para los CFIA (ecuación 22).

A modo de validación del análisis hecho hasta este punto, y de manera similar a lo hecho para la etapa de entrada, se puede plantear el sistema de ecuaciones de la etapa de salida completa, lo que incluye los efectos de la realimentación. Entonces, a partir de la figura 38 y utilizando la ley de corrientes de Kirchhoff en los diferentes nodos de la etapa de salida se plantea el sistema de ecuaciones 76a a 76j:

$$g_{m_{13}} \frac{-v_{dif}}{2} + Y_{13} \cdot v_{A1} + Y_2(v_{A1} - v_{A2}) = g_{m_{o1}}(v_{D2} - v_{A1}) + Y_{o1}(v_{B1} - v_{A1}) \quad (76a)$$

$$g_{m_{16}} \frac{v_{dif}}{2} + Y_{16} \cdot v_{A2} + Y_2(v_{A2} - v_{A1}) = g_{m_{o2}}(-v_{A2}) + Y_{o2}(v_{B2} - v_{A2}) \quad (76b)$$

$$g_{m_{o1}}(v_{D2} - v_{A1}) + Y_{o1}(v_{B1} - v_{A1}) + Y_7 \cdot v_{B1} = 0 \quad (76c)$$

$$g_{m_{o2}}(-v_{A2}) + Y_{o2}(v_{B2} - v_{A2}) + Y_{10} \cdot v_{B2} = 0 \quad (76d)$$

$$g_{m_9}(-v_{C1}) + Y_9(v_{D1} - v_{C1}) = g_{m_8}(v_{B1}) + Y_8(v_{C1}) \quad (76e)$$

$$g_{m_{12}}(-v_{C2}) + Y_{12}(v_{D2} - v_{C2}) = g_{m_{11}}(v_{B2}) + Y_{11}(v_{C2}) \quad (76f)$$

$$g_{m_{15}}(-v_{E1}) + Y_{15}(v_{D1} - v_{E1}) + g_{m_9}(-v_{C1}) + Y_9(v_{D1} - v_{C1}) = 0 \quad (76g)$$

$$g_{m18}(-v_{E2}) + Y_{18}(v_{D2} - v_{E2}) + g_{m12}(-v_{C2}) + Y_{12}(v_{D2} - v_{C2}) + Y_L \cdot v_{D2} = 0 \quad (76h)$$

$$g_{m14} \cdot v_{D1} + Y_{14} \cdot v_{E1} = g_{m15}(-v_{E1}) + Y_{15}(v_{D1} - v_{E1}) \quad (76i)$$

$$g_{m17} \cdot v_{D1} + Y_{17} \cdot v_{E2} = g_{m18}(-v_{E2}) + Y_{18}(v_{D2} - v_{E2}) \quad (76j)$$

A este sistema de ecuaciones se le aplican las simplificaciones contenidas en las ecuaciones 65a a 65m para incluir la simetría de los dispositivos apareados. Resolver analíticamente este sistema de 10 ecuaciones resultará, como en el caso de la etapa de entrada, en una expresión para la ganancia diferencial  $A_v = v_{OUT}/v_{dif}$  con una extensión que imposibilita su entendimiento. Efectuando el análisis de sensibilidad para la etapa de salida, se llega a la expresión simplificada para  $A_v$  de la etapa de salida para bajas frecuencias:

$$A_{vcl} = -\frac{g_{m13}R_2}{2} \quad (77)$$

Que resulta ser igual a la expresión 73 hallada mediante el análisis intuitivo de la etapa de salida.

**Ganancia de modo común y CMRR** Para analizar la ganancia de modo común de la etapa de salida del CFIA prototipo, primero debe observarse, con referencia en la figura 26, que las ramas de entrada de la etapa, formadas por  $M_{13,16}$ ,  $M_{o1,o2}$  y  $M_{7,10}$  son simétricas (si se desprecia el mismatch). Al aplicar una corriente de modo común en la entrada de la etapa (o un voltaje de modo común en la entrada de  $M_{13,16}$ ) no se tendrá circulación de corriente a través de  $R_2$ , por tanto las señales en los nodos  $A_1$  y  $A_2$  serán iguales (lo mismo ocurre para los nodos  $B_1$  y  $B_2$ ). En este punto es útil analizar la ganancia del transresistor (el amplificador **B** en la figura 25), conformado por los transistores apareados  $M_{8,11}$ ,  $M_{9,12}$ ,  $M_{15,18}$  y  $M_{14,17}$ . En la figura 41 se muestra el planteamiento realizado, el cual se puede abordar

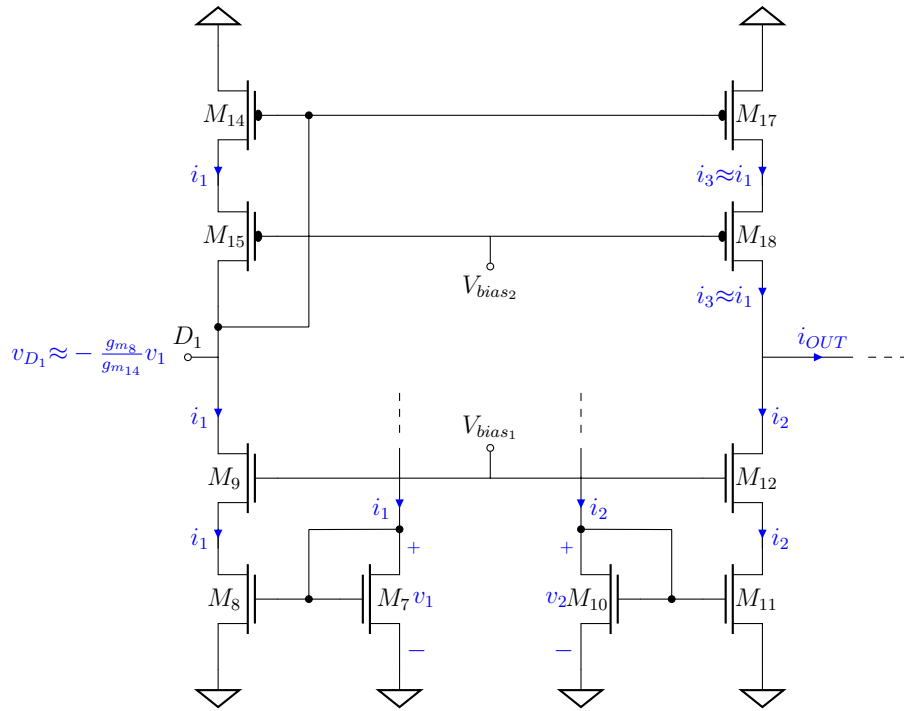


Figura 41. Análisis intuitivo de la ganancia de transresistencia de la etapa de salida.

matemáticamente usando el principio de superposición. Para una señal de modo común, se tendrá que  $i_1 = i_2$ , y si  $M_{8,11}$  son idénticos a  $M_{7,10}$  estas corrientes serán reflejadas a las diferentes ramas del transresistor. En el nodo  $D_1$  la ganancia de voltaje aproximada es:

$$v_{D_1} = -\frac{g_{m_8}}{g_{m_{14}}}v_1 \quad (78)$$

Esta inversión de fase hará que el transistor  $M_{17}$  refleje una señal de corriente  $i_3$  en el sentido mostrado en la figura 41 con un valor aproximado a la  $i_1$ . Esta corriente se restará con  $i_2$  en el nodo de salida, y como  $i_1 = i_2$ , la corriente que circulará por la resistencia equivalente en el nodo (en paralelo con la resistencia de carga, de tener valor finito) será muy pequeña, por tanto también la ganancia. Ahora, si las corrientes  $i_1$  e  $i_2$  son diferenciales, en el nodo de salida las corrientes  $i_2$  e  $i_3$  se sumarán,

dando como resultado una corriente  $i_{OUT}$  grande, circulando por la resistencia de salida del amplificador.

Resolviendo para entrada diferencial, se obtiene la siguiente expresión aproximada de la ganancia de lazo abierto  $\alpha$ :

$$\alpha_{dif} = \frac{v_{OUT}}{v_{in_{dif}}} \approx \frac{g_{m13}g_{m_o}}{g_{m7}(2g_2 + g_{m_o})} \cdot \frac{g_{m8}g_{m9}g_{m15}}{g_{ds8}g_{ds9}g_{m15} + g_{ds14}g_{ds15}g_{m9}} \quad (79)$$

Mientras que para entrada de modo común, se tendrá la aproximación:

$$\alpha_{cm} = \frac{v_{OUT}}{v_{in_{cm}}} \approx \frac{g_{m13}}{g_{m7}} \cdot \frac{g_{m8}(g_{ds8}g_{m15} - g_{ds14}g_{m9})}{g_{ds8}g_{ds9}g_{m15} + g_{ds14}g_{ds15}g_{m9}} \quad (80)$$

Para ordenes de magnitud típicas en transistores CMOS, se espera una  $\alpha_{dif}$  mucho mayor a  $\alpha_{cm}$ . Lo anterior implica que para una entrada de modo común no se tendrá la condición de cortocircuito virtual, por tanto la transconductancia equivalente de modo común *en lazo cerrado* será diferente a la transconductancia de lazo abierto, que no es más que el valor de  $g_{m13}$ . Deducir una expresión analítica para esta cantidad es complejo, debido a que no es posible su planteamiento por semicircuitos; sin embargo, es posible llegar a la expresión aproximada:

$$GM_{cm_{cl}} \approx -\frac{2g_2 \cdot g_{m13}}{g_2 + g_{m_o}} \quad (81)$$

Por otra parte, de la ecuación 73 se tiene que la resistencia equivalente *de lazo cerrado* en el nodo  $A_1$  es aproximadamente  $R_2/2$ , indiferente del tipo de entrada. Entonces la ganancia de modo común de la etapa es aproximadamente:

$$A_{cm} \approx -\frac{g_{m13}}{g_2 + g_{m_o}} \quad (82)$$

Con la anterior expresión y la ecuación 73 se construye la expresión para el CMRR de la etapa de salida:

$$CMRR_{out} \approx \frac{g_2 + g_{m_o}}{2g_2} \quad (83)$$

La expresión 83 desde luego es válida para bajas frecuencias, y asumiendo perfecta simetría entre dispositivos apareados.

**Respuesta en frecuencia** Worapishet et al. <sup>38</sup> sostienen que el polo dominante del CFIA prototipo está determinado por la impedancia  $Z_2$  formada por  $R_2$  y  $C_2$ . Lo anterior es válido si:

- Se tiene una impedancia de carga despreciable (entiéndase despreciable en el sentido que no altere la dominancia ejercida por  $Z_2$  en la respuesta en frecuencia de la etapa).
- Se diseña la etapa de entrada para que su ancho de banda sea superior al de la etapa de salida.

Aunque en el esquema de conexión de un sistema de adquisición de bioimpedancia las etapas subsiguientes al CFIA son filtros o convertidores análogo-digitales, los cuales típicamente utilizan como entrada las puertas de transistores MOS, las bases de transistores BJT, u otras entradas que no cargan de manera considerable la salida del CFIA; en el prototipado del mismo es necesario considerar el efecto de una impedancia de carga apreciable en el nodo de salida, de modo que la respuesta en frecuencia de la etapa (y por tanto del amplificador) se ve afectada por la misma. Para analizar lo anterior, es necesario en primera medida analizar la respuesta en frecuencia del CFIA sin carga alguna conectada en el nodo de salida. Asumiendo entonces que la respuesta en frecuencia de la etapa puede representarse como un

sistema de un solo polo, el polo dominante estará determinado por  $R_2$  y  $C_2$ , y la frecuencia de 3dB de la etapa de salida sin carga estará aproximada por la expresión:

$$f_{3dB_{out}} \approx \frac{1}{2\pi R_2 C_2} \quad (84)$$

Si se desprecian las capacitancias internas de los transistores de la etapa. Ahora, al conectar una carga con admitancia  $Y_L = 1/R_L + sC_L$  en el nodo de salida, a medida que esta carga sea apreciable la frecuencia de 3dB se moverá de posición hasta que esté dada por el nuevo polo dominante ubicado en el nodo de salida, determinado en gran parte por el paralelo entre la resistencia de salida de la etapa  $R_{out}$  y la carga  $R_L$  y la capacitancia de carga  $C_L$ , a través de la siguiente aproximación:

$$f_{3dB_{out}} \approx \frac{1}{2\pi \left( \frac{R_{out}R_L}{R_{out}+R_L} \right) (C_2 + C_L)} \quad (85)$$

Donde la resistencia de salida  $R_{out}$  se puede calcular a partir de la figura 38, anulando la entrada diferencial y excitando el circuito en el nodo de salida para hallar la resistencia de Thévenin introduciendo los cambios correspondientes en el sistema de ecuaciones 76a - 76j. Para los valores seleccionados de  $R_2$  (19 k $\Omega$ ),  $C_2$  (1 pF) y el dimensionamiento de dispositivos de la etapa de salida mostrado en la tabla 7 se obtuvieron:

$$R_{out} = 12.45 \text{ k}\Omega \quad (86a)$$

$$f_{3dB} = 8.37 \text{ MHz}; \quad C_L = 0 \quad (86b)$$

$$f_{3dB} = 2.0 \text{ MHz}; \quad C_L = 5.31 \text{ pF} \quad (86c)$$

$$f_{3dB} = 1.0 \text{ MHz}; \quad C_L = 11.78 \text{ pF} \quad (86d)$$

Desde luego, estos valores deberán ser cotejados con los obtenidos por simulación y mediciones experimentales del circuito.

#### 4.2. Circuitería adicional: $\beta$ -multiplier

El CFIA prototipo requiere, además de los voltajes de alimentación  $V_{DD}$  y  $V_{SS}$ , dos voltajes de polarización adicionales  $V_{bias_1}$  y  $V_{bias_2}$ . Estos voltajes pueden ser suministrados por fuentes externas, o puede implementarse circuitería *on-chip* que sirva para este propósito. Durante la investigación se encontró que el circuito de auto polarización denominado  $\beta$ -multiplier, cuya configuración es ilustrada en la figura 42, es adecuado para la aplicación en el CFIA prototipo, debido a que el rango de temperatura de operación es reducido (valores cercanos a  $37^\circ C$ ), y en segundo lugar a que su utilización aumentará el PSRR del amplificador; esto debido a que al existir alguna variación en  $V_{DD}$  y  $V_{SS}$ , esta será reflejada en  $V_{bias_1}$  y  $V_{bias_2}$  en proporciones cercanas a la unidad. Como estos voltajes de polarización son aplicados a las puertas de  $M_{bias}$ ,  $M_{9,12}$  y  $M_{15,18}$ , se cancelarán con las variaciones en las fuentes de estos transistores, elevando así el PSRR del CFIA.

La descripción funcional de este circuito se hace tomando como referencia la figura 42, y asumiendo que  $M_3$  y  $M_4$  son idénticos. Si se aplica la ley de voltajes de Kirchhoff en la malla integrada por  $M_1$ ,  $M_2$  y  $R$  se llegará a:

$$V_{GS_1} = V_{GS_2} + I_2 R \quad (87)$$

Y expresando esta ecuación en función de las corrientes  $I_1$  e  $I_2$  se tendrá:

$$\sqrt{\frac{2I_1}{\beta_1}} = \sqrt{\frac{2I_2}{\beta_2}} + I_2 R \quad (88)$$

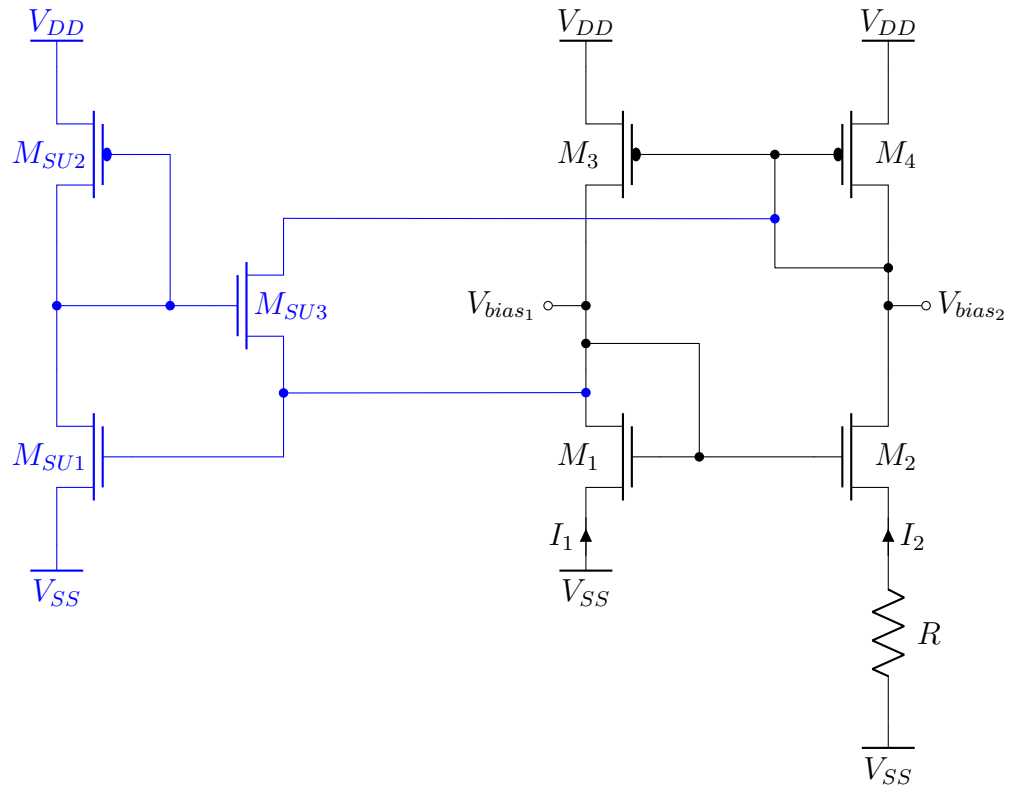


Figura 42. Esquemático del  $\beta$ -multiplier, con su correspondiente circuito de *startup* (dibujado en azul).

Si se quiere hacer  $I_1 = I_2 = I$  con  $R > 0$ , para que la igualdad 88 se mantenga se debe cumplir que  $\beta_2 > \beta_1$ . Por esta razón se define la relación:

$$\beta_2 = K_\beta \beta_1 \quad (89)$$

Donde  $K_\beta > 1$ . Entonces, fijando un valor de  $K_\beta$ , el valor de  $R$  que iguala las corrientes  $I_1$  e  $I_2$  se halla mediante la expresión:

$$R = \sqrt{\frac{2}{\beta_1 I}} \left( 1 - \frac{1}{\sqrt{K_\beta}} \right) \quad (90)$$

El valor de  $V_{bias_1}$  estará dado por:

$$V_{bias_1} = V_{SS} + V_{GS_1} = V_{SS} + \left( \sqrt{\frac{2I}{\beta_1}} + V_{THN} \right) \quad (91)$$

Mientras que  $V_{bias_2}$  está determinado por:

$$V_{bias_2} = V_{DD} - V_{SG_4} = V_{DD} - \left( \sqrt{\frac{2I}{\beta_4}} + |V_{THP}| \right) \quad (92)$$

En nuestro caso, los voltajes de polarización requeridos son  $V_{bias_1} = -300 \text{ mV}$  y  $V_{bias_2} = 245 \text{ mV}$  a  $37^\circ\text{C}$ . Definiendo una relación  $k_\beta = 4$ , una longitud de canal de  $7 \mu\text{m}$ , y una corriente  $I = 12 \mu\text{A}$ , dieron como resultado la resistencia  $R = 8 \text{ k}\Omega$  y los anchos  $W_1 = 20 \mu\text{m}$ ,  $W_2 = 80 \mu\text{m}$ ,  $W_{3,4} = 49.6 \mu\text{m}$ . Utilizando esos mismos anchos, evaluando las ecuaciones 91 y 92 se obtuvieron los voltajes  $V_{bias_1} = -286.4 \text{ mV}$  y  $V_{bias_2} = 236.4 \text{ mV}$ , resultando en errores de  $4.5 \%$  y  $3.5 \%$ , respectivamente. De la misma forma, al evaluar la expresión 90 se obtuvo un valor de  $R = 7.22 \text{ k}\Omega$ , con un error asociado de  $9.75 \%$ . Las magnitudes de los errores ( $< 10 \%$ ) sugieren que las ecuaciones 90, 91 y 92 pueden ser usadas para establecer el punto de partida del dimensionamiento del  $\beta$ -multiplier.

Es de notar que en todos los circuitos de auto-polarización pueden presentarse dos estados de operación: el estado deseado (el descrito hasta ahora en esta sección) y el estado no deseado, en el cual la corriente  $I$  es cero. Esto ocurre cuando en el proceso de encendido, ocurre que las puertas de  $M_1$  y  $M_2$  están en  $V_{SS}$  mientras que las puertas de  $M_3$  y  $M_4$  permanecen en  $V_{DD}$ <sup>47</sup>. Para asegurar que el  $\beta$ -multiplier opere en el estado deseado, al circuito se incorpora la sub-etapa de inicio o *start-up* (resaltada en color azul en la figura 42). Aquí, los transistores  $M_{SU1}$  y  $M_{SU2}$  (este último con una relación de aspecto bastante baja) polarizan el transistor  $M_{SU3}$ ,

el cual actúa como un interruptor NMOS. Cuando el circuito está en proceso de encendido, la puerta de  $M_{SU1}$  tendrá un voltaje de  $V_{SS} + V_{TH_n}$ , mientras que la puerta y drenador de  $M_{SU2}$  tendrá un voltaje de  $V_{DD} - V_{TH_p}$ . Esta diferencia de voltajes activará  $M_{SU3}$  y provocará un flujo de corriente desde las puertas de  $M_3$  y  $M_4$  hacia las de  $M_1$  y  $M_2$ . Entonces, cuando los voltajes  $V_{bias_1}$  y  $V_{bias_2}$  alcancen los valores deseados,  $M_{SU3}$  se apagará, y como la relación de aspecto de  $M_{SU2}$  es pequeña, por ese ramal no circulará una corriente importante. Esto quiere decir que una vez el  $\beta$ -multiplier alcanza el régimen normal de operación, el circuito de *start-up* no interfiere con la misma.

### **Resumen del capítulo**

En este capítulo se presentó la configuración de INAMP seleccionada para llevar a cabo este proyecto. Además de la descripción funcional del mismo, se realizó un análisis teórico del funcionamiento de las etapas que lo conforman, para cada una de las especificaciones de interés. Adicionalmente, se estudió el efecto del *mismatch* sobre el CMRR y el PSRR del amplificador. Por último se analizó el bloque de autopolarización para nuestro CFIA, que consiste en un  $\beta$ -multiplier. El conocimiento adquirido en este capítulo permitirá elaborar una estrategia de diseño para el CFIA prototipo, la cual será revelada en el siguiente capítulo.

## 5. ESTRATEGIA DE DISEÑO, DIMENSIONAMIENTO Y SIMULACIONES

### 5.1. Flujo de diseño para el CFIA prototipo

Después de realizado el análisis teórico realizado en el capítulo 4, es posible plantear el flujo o estrategia de diseño para el amplificador de instrumentación mostrado en la figura 43. Este flujo de diseño es válido, desde luego, mientras las especificaciones dadas para el circuito sean asequibles por la topología del CFIA y la tecnología de fabricación seleccionada.

El diseño del CFIA prototipo, dadas unas especificaciones de ganancia diferencial, ancho de banda, CMRR, PSRR, ruido, potencia, rangos de entrada y salida, área empleada, slew rate, offset, etc., parte de la selección de una configuración geométrica para la sonda de medición. Si la sonda seleccionada es de tipo tetrapolar-planar-circular, los voltajes de entrada mínimo  $v_{in_{min}}$  y máximo  $v_{in_{max}}$  se hallan gracias a la ecuación 61. Tomando a  $v_{in_{min}}$  como la mínima señal detectable (*MDS*), y definiendo una relación señal a ruido mínima  $SNR_{min}$  y el valor de  $R_1$  (teniendo en cuenta las consideraciones de diseño expuestas en las sub-secciones 4.1.1 y 4.1.1), se puede encontrar una relación entre las transconductancias de los transistores  $M_{i1,i2}$  y  $M_{d1,d2}$  de la etapa de entrada mediante el análisis de ruido sintetizado en la expresión 60. Luego de esto, se recurre al análisis  $g_m/I_D$  para encontrar las dimensiones de  $M_{i1,i2}$  y  $M_{d1,d2}$  y la corriente que pasa por las ramas de entrada de la etapa ( $I_{in}$ ). Al tener esta corriente, la corriente de polarización  $I_{bias}$  se selecciona mediante el dimensionamiento de  $M_{bias}$  (para este proyecto  $I_{bias} = I_{in}$ ), con lo que se puede dimensionar los transistores  $M_{3,4}$  y  $M_{5,6}$  para lograr una polarización adecuada, y a su vez dimensionar el transistor-capacitor de neutralización  $C_N$ , utilizando la ecuación 24. Una vez dimensionados todos los transistores de la etapa de

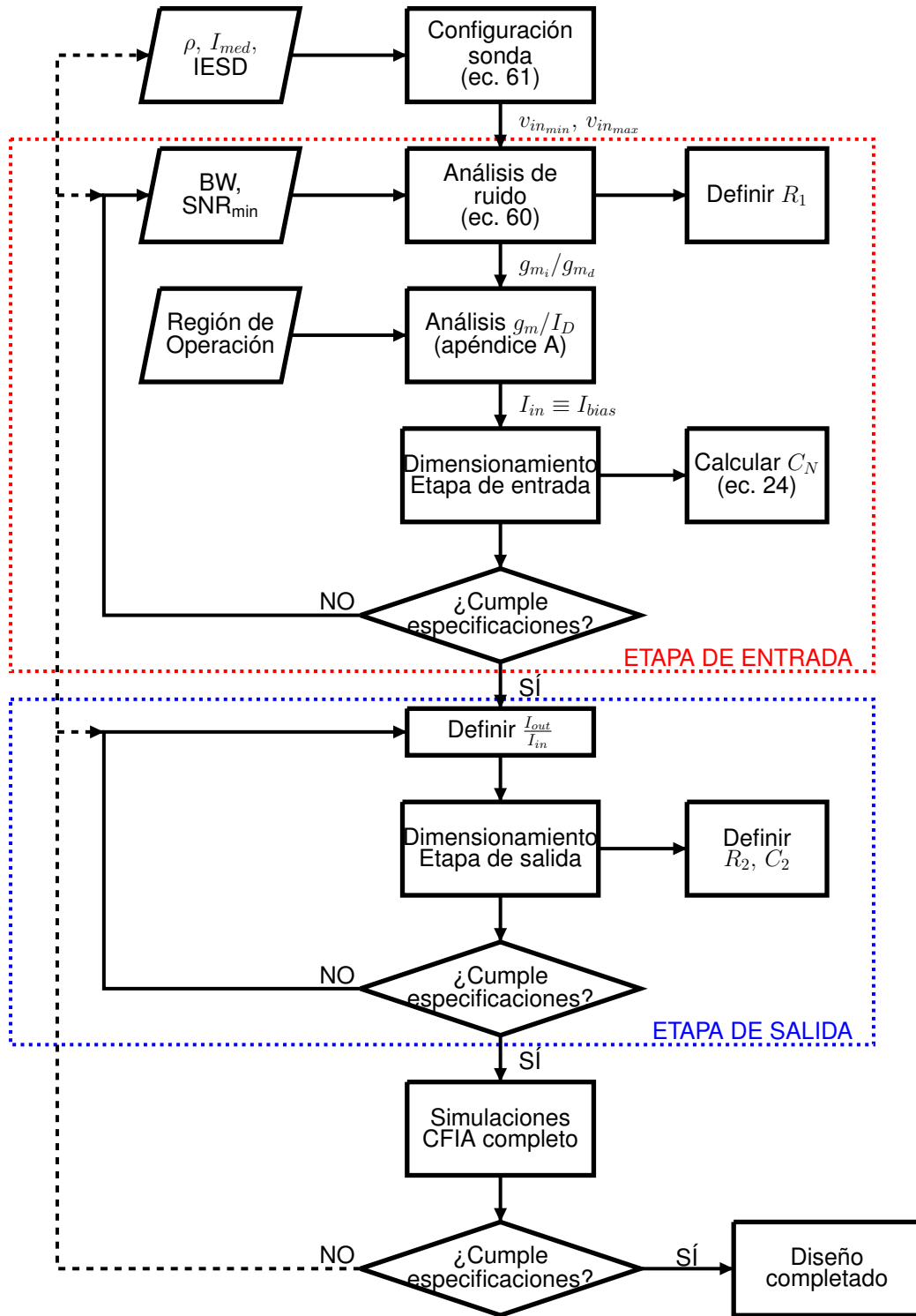


Figura 43. Flujo de diseño general propuesto para el CFIA prototipo.

entrada, se realizan las simulaciones correspondientes para evaluar el cumplimiento de las especificaciones de la etapa, las cuales deben ser consistentes con las especificaciones globales del CFIA.

De cumplirse las especificaciones para la etapa de entrada, se procede a seleccionar la relación entre las corrientes  $I_{in}$  y  $I_{out}$ , siendo la última la corriente que circula por los transistores  $M_{o1,o2}$ . Esta relación se implementa mediante el dimensionamiento de los transistores  $M_{13,16}$ . El dimensionamiento del resto de transistores de la etapa de salida se realiza buscando lograr una polarización adecuada y suficiente *headroom* en el nodo de salida. La ganancia de DC de la etapa dependerá del valor de  $R_2$ , y el polo dominante de la etapa (si la impedancia de carga no es muy alta) será determinado por  $R_2$  y  $C_2$ . Del mismo modo que para la etapa de entrada, al realizar el dimensionamiento para la etapa de salida se realizan las simulaciones de rigor de la misma para evaluar el cumplimiento de las especificaciones de la misma.

Al tener el diseño de las etapas de entrada y salida, se conectan las etapas para realizar las simulaciones del CFIA completo, incluyendo, desde luego, las simulaciones de *corners* y las simulaciones estadísticas que incluyen efectos de *mismatch*. De lograrse todas las especificaciones globales, se completa el proceso de diseño. De no lograrse alguna o varias de las especificaciones, se debe inferir la(s) causa(s) del no cumplimiento, para así poder rediseñar a partir de un punto específico del flujo.

## 5.2. Diseñando el CFIA prototipo

**5.2.1.  $\beta$ -multiplier** Para satisfacer el requerimiento de polarización del CFIA prototipo, en este trabajo de investigación se optó por diseñar en primer lugar el  $\beta$ -multiplier descrito en la sección 4.2. Sabiendo que la polarización del circuito es de  $1.8 V$  (con

Dispositivo	Largo $L$ [ $\mu m$ ]	Ancho $W$ [ $\mu m$ ]
$M_1$	7	20
$M_2$	7	80
$M_3, M_4$	7	49.6
$M_{SU1}$	7	12.25
$M_{SU2}$	19.995	0.22
$M_{SU3}$	3.5	12.25

Tabla 4. Dimensionamiento de transistores del  $\beta$ -multiplier.

$V_{DD} = 0.9 V$  y  $V_{SS} = -0.9 V$ ), y teniendo como referencia la figura 42, se escogió una relación de 4 entre los  $\beta$ s de los transistores  $M_2$  y  $M_1$ , así como un valor de resistencia  $R = 7.85 k\Omega$ . El dimensionamiento de los transistores, mostrado en la tabla 4 se realizó para lograr los voltajes  $V_{bias_1} = -300 mV$  y  $V_{bias_2} = -243 mV$  a  $37^\circ C$ , con largos de canal relativamente grandes para contrarrestar efectos de variaciones de proceso.

**5.2.2. CFIA prototipo** El amplificador de instrumentación a diseñar en este proyecto tiene las especificaciones globales contenidas en la tabla 5. El valor máximo del ruido base no debe sobrepasar la señal mínima detectable  $MDS$  del amplificador, la cual no es más que el voltaje mínimo de entrada del mismo, y se obtiene a partir de la configuración geométrica de la sonda de medición. Aunque puede tomarse el valor de  $v_{in_{min}}$  de la expresión 62a ( $56.27 \mu V_{rms}$ ) como el ruido base máximo del CFIA, es conveniente diseñar para lograr un ruido base menor, de modo que la relación señal a ruido mínima para el voltaje de entrada  $SNR_{min}$  sea mayor a 0 dB. Para este proyecto se buscará lograr una  $SNR_{min} > 9 dB$ , por tanto el ruido base del CFIA deberá ser menor a  $20 \mu V_{rms}$ .

**Etapas de entrada** Para lograr el requerimiento de un ruido base en el nivel establecido se deberá (según la expresión 60) además de limitar el valor de  $R_1$ , lograr

Especificación	Valor
Ganancia diferencial $A_v$	$> 50$ [V/V]
Ancho de banda $BW$	$> 1$ [MHz]
CMRR	$> 80$ [dB]
Ruido $\overline{v_{iN}}$	$< 20$ [ $nV_{rms}/\sqrt{Hz}$ ]

Tabla 5. Especificaciones globales del CFIA prototipo.

que la transconductancia de los transistores  $M_{i1,i2}$  sea mayor a la de  $M_{d1,d2}$ . Estableciendo entonces  $R_1 = 350 \Omega$ , un ancho de banda  $BW = 3$  MHz (para conservar la ganancia a ser limitada por la etapa de salida), y el ruido base en  $17.25 \mu V_{rms}$ , se ingresan a la ecuación 60 para obtener la relación de transconductancias:

$$\frac{g_{m_i}}{g_{m_d}} \approx 3.1295 \quad (93)$$

Ya que dentro de las especificaciones del circuito no se impone una corriente de lazo de entrada, este valor constituye un grado de libertad con el que cuenta el diseñador. Sin embargo, si se quiere utilizar un criterio no arbitrario que permita dimensionar los dispositivos de la etapa, se puede tomar la consideración expuesta por Binkley <sup>69</sup>, el cual sostiene que los transistores CMOS trabajando en inversión moderada (ver figura 24) ofrecen un compromiso de alta eficiencia de transconductancia ( $g_m/I_D$ ), bajo voltaje de saturación ( $V_{GS}$ ), mínima saturación de velocidad y un moderado ancho de banda; todas ellas características necesarias para realizar diseños de bajo voltaje eficientes en potencia, como es nuestro caso, pues la alimentación del mismo será de tan sólo  $1.8V$ . Teniendo en cuenta además que el intervalo de  $g_m/I_D$  para inversión moderada es aproximadamente  $(20 \leftrightarrow 10) V^{-1}$ , se puede seleccionar un valor de este rango para realizar el dimensionamiento. Si se parte, por ejemplo, de

<sup>69</sup> D. Binkley. *Tradeoffs and optimization in analog CMOS design*. Wiley, 2008.

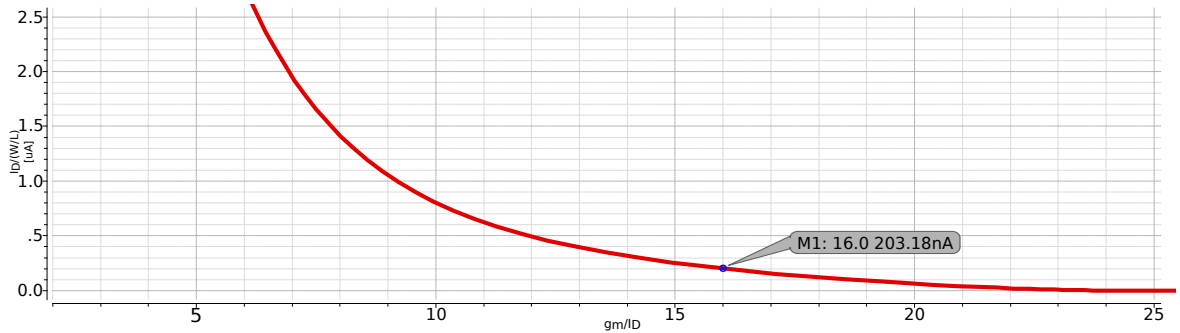


Figura 44. Valor de  $I_{\square}$  para  $g_m/I_D = 16 V^{-1}$  hallado en la curva característica  $I_{\square}$  vs.  $g_m/I_D$  de los transistores PMOS de la tecnología  $TSMC-0.18\mu m$ .

un valor de  $g_m/I_D = 16 V^{-1}$  para los transistores de entrada  $M_{i1,i2}$ , se busca el valor de  $I_{\square}$  en la curva característica  $I_{\square}$  vs.  $g_m/I_D$  de los transistores PMOS de la tecnología  $TSMC-0.18\mu m$ , la cual se muestra en la figura 44. Se tiene entonces que:

$$I_{\square} = \frac{I_D}{\frac{W_i}{L_i}} = 203.19 nA \quad (94)$$

Y si se selecciona una corriente  $I_{in}$  de, por ejemplo,  $30 \mu A$  se tendrá, además de una  $g_{m_{i1,i2}} = 480 \mu A/V$ , una relación de aspecto:

$$\frac{W_i}{L_i} \approx 147.65 \quad (95)$$

De la ecuación 93 se sabe que  $g_{m_{d1,d2}} \approx 153.38 \mu A/V$ , y por tanto la eficiencia de transconductancia para los transistores  $M_{d1,d2}$  es aproximadamente  $5.11 V^{-1}$ . Ahora, en la curva característica  $I_{\square}$  vs.  $g_m/I_D$  de los transistores NMOS de la tecnología  $TSMC-0.18\mu m$  se encuentra el valor  $I_{\square} = 17.67 \mu A$  (ver figura 45), de modo que la relación de aspecto queda:

$$\frac{W_d}{L_d} \approx 1.7 \quad (96)$$

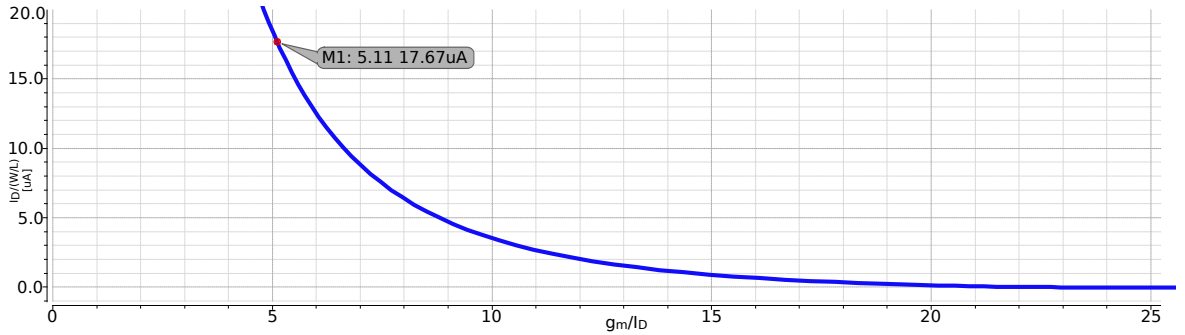


Figura 45. Valor de  $I_{\square}$  para  $g_m/I_D = 5.11 V^{-1}$  hallado en la curva característica  $I_{\square}$  vs.  $g_m/I_D$  de los transistores NMOS de la tecnología *TSMC-0.18μm*.

La escogencia de la corriente  $I_{in}$  condujo a tener relaciones de aspecto razonables para  $M_{i1,i2}$  y  $M_{d1,d2}$ , por tanto su valor puede mantenerse para realizar el dimensionamiento de los transistores restantes de la etapa. Si se selecciona una  $A_v$  para la etapa de entrada de  $20 V/V$ , de la ecuación 37 se tendrá la transconductancia de los transistores  $M_{s1,s2}$  será aproximadamente  $285.71 \mu A/V$ , por tanto su eficiencia tendrá un valor de  $9.52 V^{-1}$ , y haciendo el mismo análisis realizado para  $M_{i1,i2}$  se llegará a la relación de aspecto:

$$\frac{W_s}{L_s} \approx 32.86 \quad (97)$$

Si se dimensiona  $M_{bias}$  de modo que  $I_{bias} = I_{in}$ , significará que a través de los transistores  $M_{3,4}$  y  $M_{5,6}$  circulará una corriente igual a  $I_{in}/2$ . Esto quiere decir que  $g_{m5,6} = g_{m_{s1,s2}}/2 \approx 142.85 \mu A/V$ , y su relación de aspecto será también la mitad, de modo que:

$$\frac{W_{5,6}}{L_{5,6}} \approx 16.43 \quad (98)$$

Los transistores  $M_{3,4}$  se dimensionan para asegurar rango dinámico suficiente en los nodos de salida de la etapa. En los nodos  $O_1$  y  $O_2$ , el voltaje de salida máximo podría

llegar a valores cercanos a  $V_{DD}$ , ya que al estar  $M_{5,6}$  conectados como diodos, operan siempre en saturación. Por otra parte, el voltaje de salida mínimo está dado por:

$$V_{O_{min}} = -V_{SS} + V_{DS_{sat},M34} + V_{DS_{sat},M_{bias}} \quad (99)$$

Además, el voltaje  $V_{O1,O2}$  con entrada nula (*quiescent*) polariza los transistores  $M_{13,16}$  de la etapa de salida, por tanto es otro factor a tener en cuenta a la hora de dimensionar  $M_{3,4}$ . Para nuestro CFIA, se seleccionó la relación de aspecto:

$$\frac{W_{3,4}}{L_{3,4}} = 144 \quad (100)$$

Con todas las relaciones de aspecto halladas, tan sólo resta seleccionar los largos de canal  $L$  para cada par de transistores que conforman la etapa, para poder hallar los anchos de canal  $W$  y culminar con el diseño de la misma. Para los transistores  $M_{i1,i2}$ ,  $M_{s1,s2}$ ,  $M_{3,4}$  y  $M_{5,6}$ , se seleccionó  $L = 2 \mu m$ , ya que brinda un buen *trade-off* entre ganancia, ancho de banda y área empleada. En el caso de  $M_{d1,d2}$  y  $M_{i1,i2}$ , se escogió  $L = 7 \mu m$  debido que al aumentar  $L$  se reducen los efectos de *mismatch* sobre los transistores, y por el análisis hecho en la sección 4.1.1, se sabe que el espejo de corriente  $M_{d1,d2}$  es el par que más contribuye al deterioro del CMRR de la etapa ante la presencia de disparidades.

**Etapas de salida** Una vez dimensionados los transistores de la etapa de entrada, se deben realizar las simulaciones pertinentes para la etapa (ganancia diferencial y de modo común, CMRR, PSRR, ancho de banda, estabilidad, *corners* y variaciones estadísticas) con el fin de verificar el comportamiento de la misma. Para la etapa de entrada, las especificaciones locales a verificar son las ganancias, el ancho de banda y el nivel de ruido. De encontrarse no conformidades con las especificacio-

Dispositivo	Largo $L$ [ $\mu m$ ]	Ancho $W$ (inicial) [ $\mu m$ ]	Ancho $W$ (final) [ $\mu m$ ]
$M_{i1}, M_{i2}$	2	295.3	288
$M_{d1}, M_{d2}$	7	11.9	14
$M_{s1}, M_{s2}$	2	65.72	50.4
$M_5, M_6$	2	32.86	25
$M_3, M_4$	2	288	288
$M_{bias}$	7	51.84	51.84
$C_N$	7	15.86	21.52

Tabla 6. Dimensionamiento de la etapa de entrada del CFIA prototipo.

nes, el dimensionamiento debe realizarse de nuevo; y aunque las especificaciones se cumplan, es posible realizar modificaciones al mismo para mejorar el comportamiento del circuito a criterio del diseñador. Al final del proceso de diseño de la etapa de entrada, se obtuvo el dimensionamiento mostrado en la tabla 6, así como las dimensiones del capacitor  $C_N$ .

Una vez diseñada la etapa de entrada, el punto de partida para el diseño de la etapa de salida es dado por la relación de transconductancias entre  $M_{13,16}$  y  $M_{s1,s2}$ . Al seleccionar una relación de aspecto igual entre estos dos pares de transistores, se tendrán también transconductancias iguales, por tanto se dará cumplimiento a la ecuación de ganancia diferencial del CFIA (ecuación 75), y la corriente de polarización circulando por los ramales de la etapa de salida,  $I_{out}$ , será igual a  $I_{in}$ . Al definirse la corriente  $I_{out}$ , puede seleccionarse la corriente de polarización del transistor de la etapa (el amplificador  $B$  en la figura 25.c). Para hacerlo se determina un cociente entre las relaciones de aspecto de  $M_{7,10}$  y  $M_{8,11}$ . Si estas cantidades se hacen iguales, la corriente en el transistor será también igual a  $I_{out}$ . Al tener las corrientes que circulan en todos los ramales de la etapa, el dimensionamiento de los transistores se hace para lograr una polarización adecuada, teniendo en cuenta los valores de voltaje de polarización  $V_{bias_1}$  y  $V_{bias_2}$ . Teniendo todas las relaciones

Dispositivo	Largo $L$ [ $\mu m$ ]	Ancho $W$ (inicial) [ $\mu m$ ]	Ancho $W$ (final) [ $\mu m$ ]
$M_{13}, M_{16}$	2	65.72	50.4
$M_{o1}, M_{o2}$	1	100	100
$M_7, M_{10}$	1	40	40
$M_8, M_{11}$	1	40	40
$M_9, M_{12}$	0.36	82	82
$M_{15}, M_{18}$	0.36	82	82
$M_{14}, M_{17}$	1	64	64

Tabla 7. Dimensionamiento de la etapa de salida del CFIA prototipo.

de aspecto de los transistores de la etapa de salida, los largos  $L$  son definidos buscando balancear criterios de *mismatch* aleatorio y área empleada. Por último,  $R_{v2}$  se selecciona para cumplir con el requerimiento de ganancia del CFIA impuesto por la ecuación 75, mientras que el valor de  $C_2$  es asignado para fijar un determinado ancho de banda. En nuestro caso, con  $C_2 = 1$  pF se logra un ancho de banda aproximado de 2 MHz al utilizar una capacitancia de carga  $C_L = 5$  pF. En la tabla 7 se muestra el dimensionamiento realizado para la etapa de salida del CFIA prototipo. De la misma manera que para la etapa de entrada, las simulaciones pertinentes de ganancia, ancho de banda, estabilidad, etc. deben ser realizadas para evaluar el funcionamiento de la etapa de salida.

### 5.3. Diseño geométrico (layout)

Con el proceso de diseño terminado a nivel de esquemáticos, el paso siguiente en el flujo de diseño de proyecto consiste en el diseño geométrico o *layout*. Aunque en la sección pasada ya se hubiese podido mostrar gráficas de simulaciones basadas en esquemáticos, se prefirió incluirlas en las secciones sucesivas a esta en conjunto con las simulaciones *Post-Layout* para efectos de comparación. Siendo así, a continuación se describe el diseño del layout de los diferentes bloques que conforman el CFIA prototipo.

**5.3.1.  $\beta$ -multiplier** El circuito  $\beta$ -multiplier, cuyo *layout* se muestra en la figura 46 fue implementado utilizando *trimming* con dos bits de control. El *trimming* permite variar el valor de  $R$  para alterar de manera controlada los voltajes  $V_{bias_1}$  y  $V_{bias_2}$ , y por tanto la corriente de polarización del CFIA. Lo anterior permitirá ajustar la corriente de polarización del CFIA ante eventuales variaciones de proceso que puedan alejarla del valor esperado. El control se hace efectivo mediante dos interruptores o *switches* CMOS, los cuales consisten a su vez en un inversor conectado a una puerta de transmisión (*transmission gate*). Una mayor descripción y análisis de los interruptores no es de interés particular en este trabajo.

La disposición geométrica de los transistores del circuito se hizo buscando reducir los efectos del mismatch aleatorio en la precisión requerida para los voltajes de polarización. Para ello se utilizó la técnica de centroide común para los transistores  $M_3$  y  $M_4$ , los cuales se implementaron en sub-grupos de ocho dispositivos.  $M_1$  y  $M_2$ , por su parte, fueron implementados siguiendo la técnica de interdigitación<sup>70</sup>. El cociente entre las relaciones de aspecto entre estos transistores se logró diseñando un sub-grupo de 2 dispositivos para  $M_1$  y ocho para  $M_2$ , todos con dimensiones idénticas.

El sub-circuito de trimming se configuró para que el circuito exhiba los valores estándares de voltaje cuando la señal  $CTL0 = VDD$  (activada) y la señal  $CTL1 = VSS$  (desactivada). Los switches CMOS, los cuales se encuentran conectados en paralelo con las resistencias  $R_{CTL0}$  y  $R_{CTL1}$ , fueron diseñados con valores de resistencia de salida tales que no se altere de manera apreciable los valores efectivos de las mismas cuando exista cambio de estados. Las resistencias  $R_0$ ,  $R_{CTL0}$  y  $R_{CTL1}$  fue-

---

<sup>70</sup> A. Hastings. *The Art of Analog Layout*. 2.<sup>a</sup> ed. Pearson.

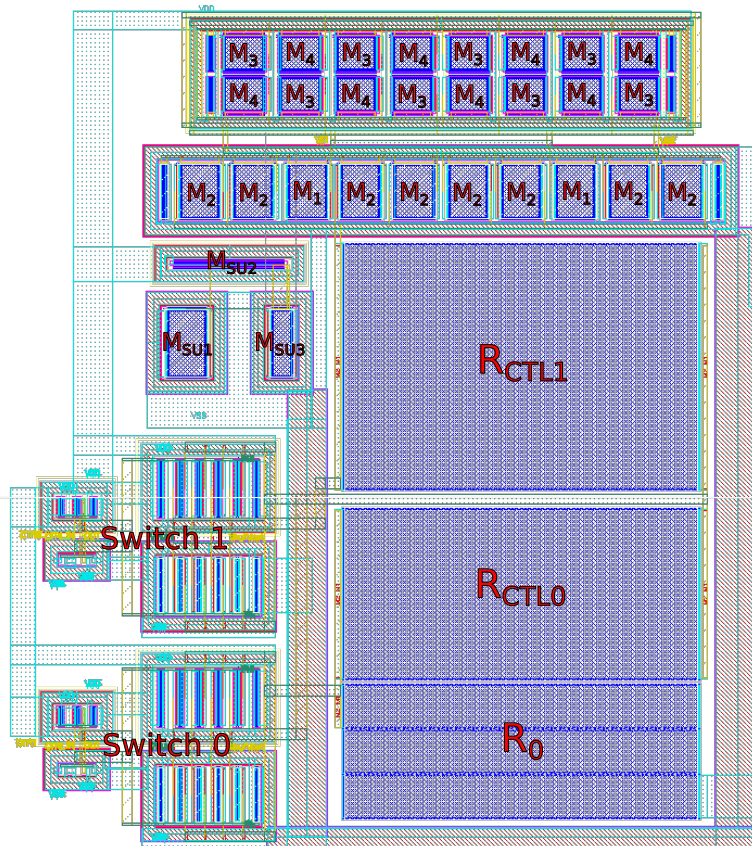


Figura 46. Diseño geométrico realizado para el circuito  $\beta$ -multiplier.

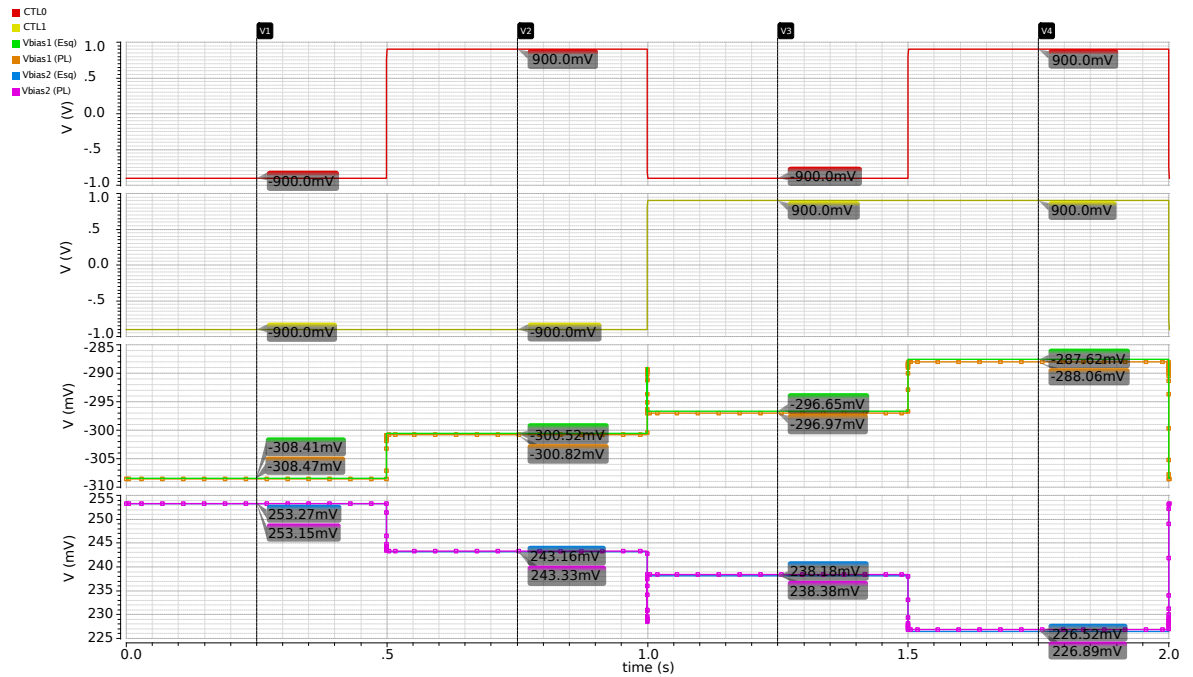


Figura 47. Configuraciones de voltaje de polarización del  $\beta$ -multiplier para las diferentes combinaciones de las señales de control  $CTL0$  y  $CTL1$ .

ron ajustadas con valores aproximados de  $7.24\text{ k}\Omega$ ,  $612\ \Omega$  y  $424\ \Omega$ , respectivamente. La figura 47 exhibe todas las configuraciones posibles para los voltajes  $V_{bias1}$  y  $V_{bias2}$  dependiendo de las diferentes combinaciones de las señales de control  $CTL0$  y  $CTL1$ , donde las formas de onda de línea lisa son producto de la simulación de esquemático, y las formas de onda con marcadores cuadrados son producto de la simulación *Post-Layout* del circuito (de ahora en adelante en este texto se mantendrá esta convención en gráficas con simulaciones por esquemáticos y *Post-Layout*). En la figura 48 es mostrado el análisis de Montecarlo para los voltajes  $V_{bias1}$  y  $V_{bias2}$ , incluyendo los corners *típico* (TT), *fast-fast* (FF), *fast-slow* (FS), *slow-fast* (SF) y *slow-slow* (SS). Por otra parte, en la tabla 8 se muestra el consolidado del análisis estadístico de estos voltajes, junto a sus errores relativos teniendo como patrón de comparación los voltajes  $V_{bias1} = -300\text{ mV}$  y  $V_{bias2} = 245\text{ mV}$ . La distribución de los voltajes de polarización en los diferentes corners justifican la implementación del

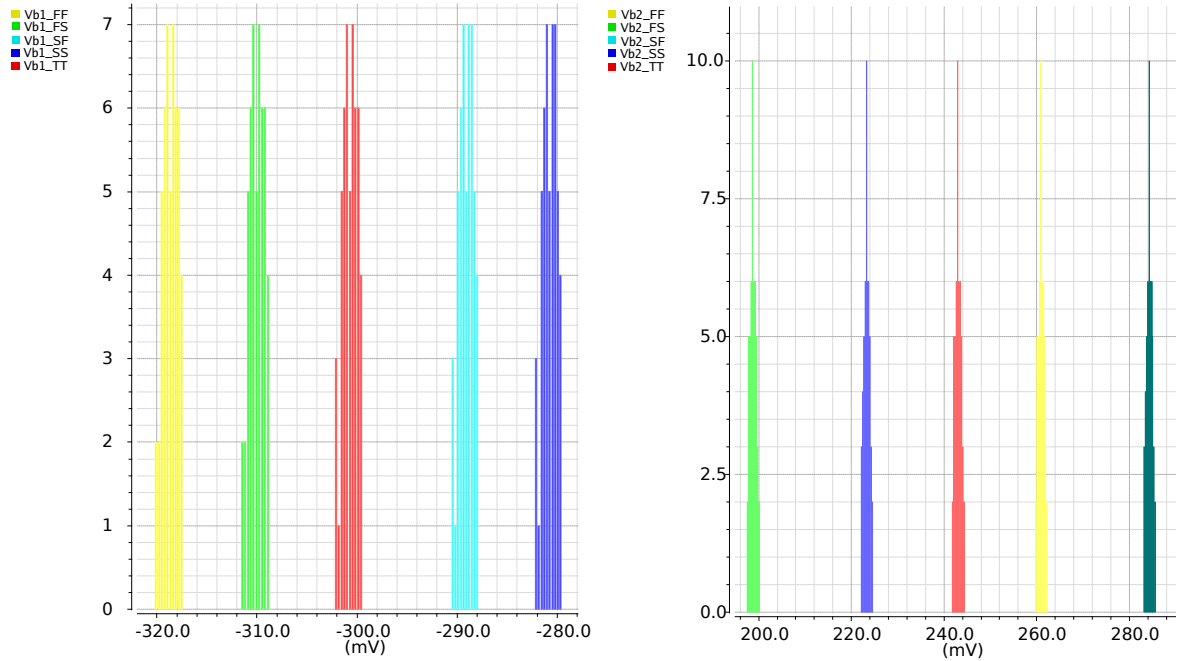


Figura 48. Histogramas de Montecarlo (por corners) para los voltajes  $V_{bias1}$  (izquierda) y  $V_{bias2}$  (derecha) del  $\beta$ -multiplier.

*trimming.*

**5.3.2. Etapa de entrada** La configuración geométrica de la etapa de entrada del CFIA es mostrada en la figura 49. Los pares de transistores  $M_{d1,d2}$ ,  $M_{s1,s2}$ , y  $M_{5,6}$  fueron implementados en centroide común, mientras que los pares  $M_{i1,i2}$  y  $M_{3,4}$  se implementaron mediante interdigitación, debido al gran ancho de los transistores.

Variable	Mínimo	Máximo	Media	Mediana	$\sigma$
$V_{bias1}$ (mV)	-320	-279.4	-299.7	-300.5	13.70
$V_{bias2}$ (mV)	197.6	285.8	242.2	243.1	29.56
Error $V_{bias1}$ (%)	-6,868	6,678	-0,1068	0,1579	4,566
Error $V_{bias2}$ (%)	-19,34	16,65	-1,134	-0,791	12,07

Tabla 8. Consolidado del análisis estadístico del  $\beta$ -multiplier.

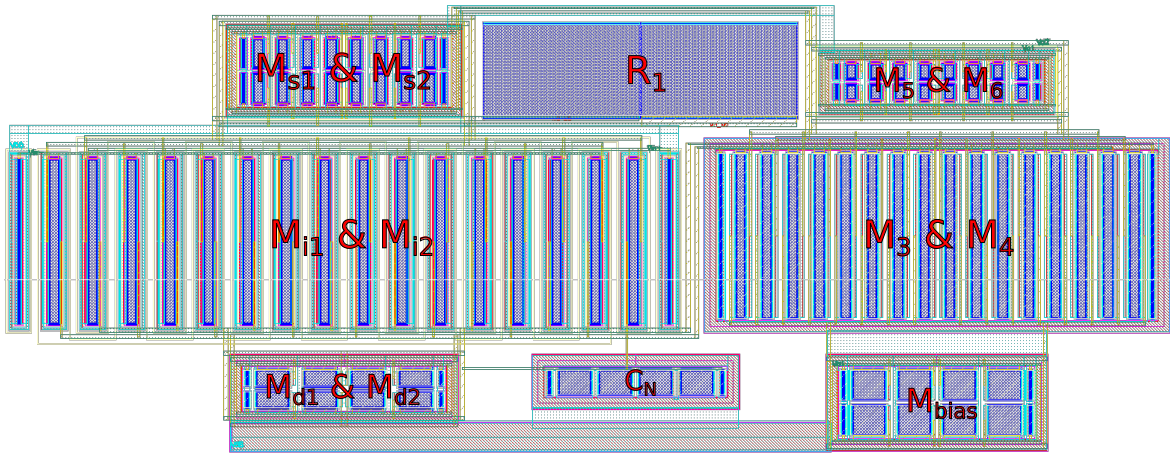


Figura 49. Diseño geométrico realizado para la etapa de entrada del CFIA.

$C_N$  y  $M_{bias}$ , los cuales no forman pares, fueron implementados con sub-grupos al igual que el resto de transistores de la etapa, para mitigar el *mismatch* producido por las variaciones de proceso.

**Simulaciones esquemáticas y Post-Layout** Las gráficas de la ganancia de la etapa de entrada del CFIA en función de la frecuencia se muestran en la figura 50. El marcador vertical está situado en 2.39 MHz ya que esta es la  $f_{3dB}$  obtenida por la simulación Post-Layout de la etapa. Los errores relativos de ganancia en dB y  $f_{3dB}$  entre los dos tipos de simulación son de 0.9% y 4.6%, respectivamente.

En la figura 51 se muestra una simulación transitoria de la etapa de entrada (Post-Layout), fijando la magnitud de  $v_{in}$  en  $79.58 \mu V$  (el voltaje de entrada mínimo del CFIA según lo establecido en la sección 4.1.1). Se incluyó en la simulación el aporte de ruido térmico en 8 pasadas. Aunque es evidente la distorsión en las formas de onda de voltaje de salida debido a la presencia del ruido base, se puede apreciar información coherente en las formas de onda de salida. La relación señal a ruido (SNR) y la distorsión armónica total (THD) fueron en promedio 10.5 dB y 19.2%,

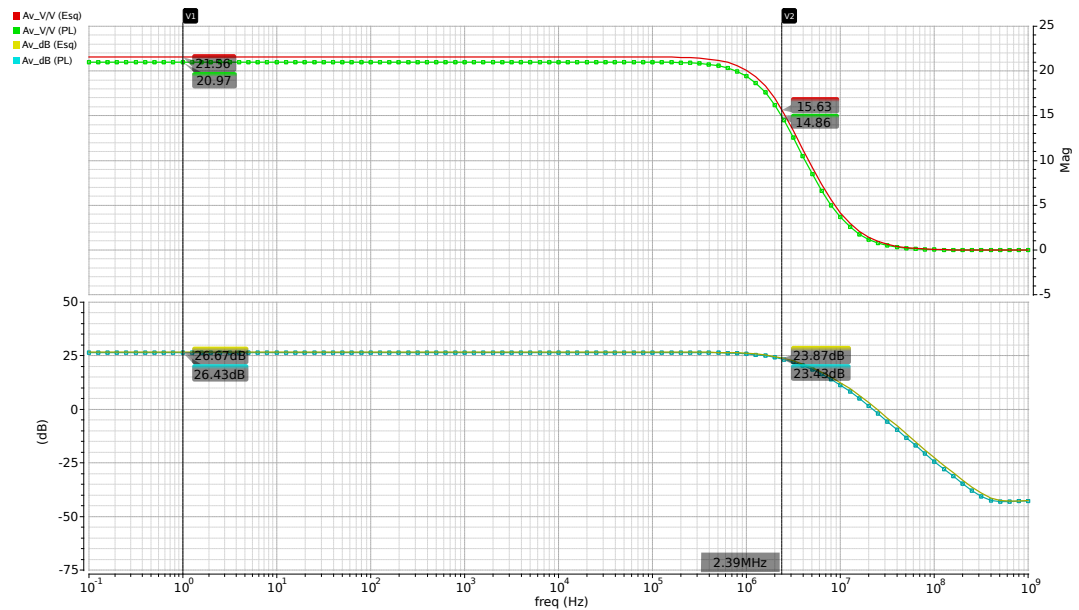


Figura 50. Gráficas de ganancia de la etapa de entrada del CFIA, expresada en V/V (arriba) y dB (abajo).

respectivamente. En este caso, la causa dominante de la THD es el ruido base.

La simulación de los voltajes de entrada y salida de esta etapa, haciendo  $v_{in} = 6.36$  mV (el voltaje de entrada máximo), se muestra en la figura 52. Aquí el aspecto principal a evaluar es la THD presente en el voltaje de salida, que resultó ser de 1.37%. Aquí la causa dominante de la THD es la eventual pérdida de linealidad debido a la magnitud de la señal de entrada. La SNR promedio en este caso fue de 50.2 dB.

La gráfica de la ganancia de lazo de la etapa, lograda rompiendo los lazos de realimentación entre  $M_5 - M_{s2}$  y  $M_6 - M_{s1}$ , se ilustra en la figura 53. La etapa presenta un margen de fase de 83.09 grados, y un margen de ganancia de 44.47 dB. Aunque la gráfica de análisis de estabilidad de la etapa sólo puede generarse mediante simulación por esquemático, los errores relativos pequeños de ganancia y ancho de banda obtenidos entre las diferentes simulaciones de la etapa de entrada indican

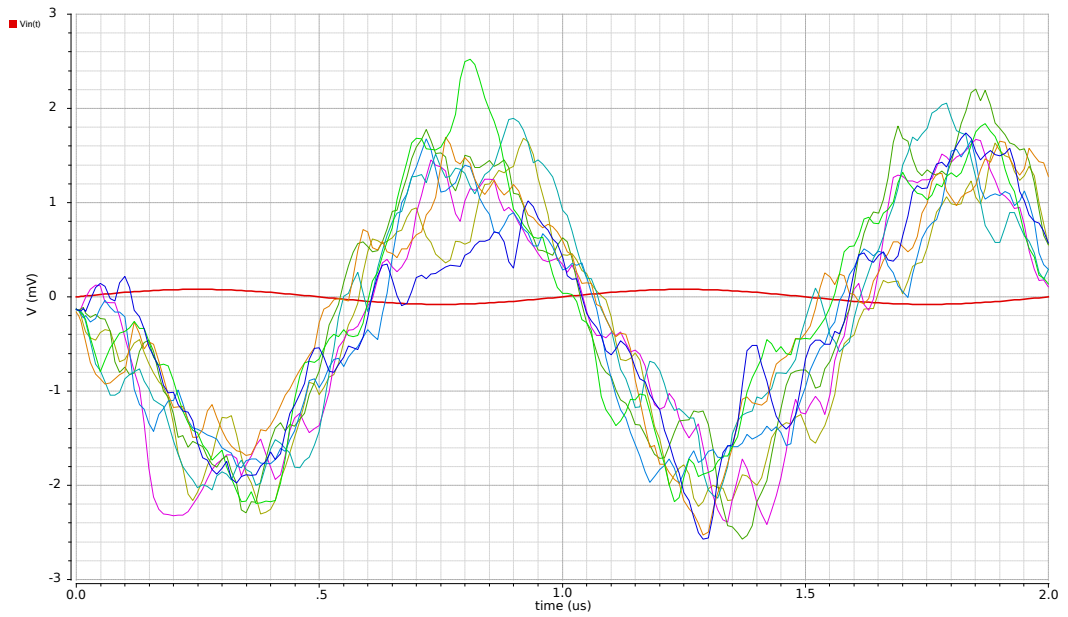


Figura 51. Simulación transitoria de voltajes de entrada y salida de la etapa de entrada del CFIA, con  $v_{in} = 79.58 \mu\text{V}$ .

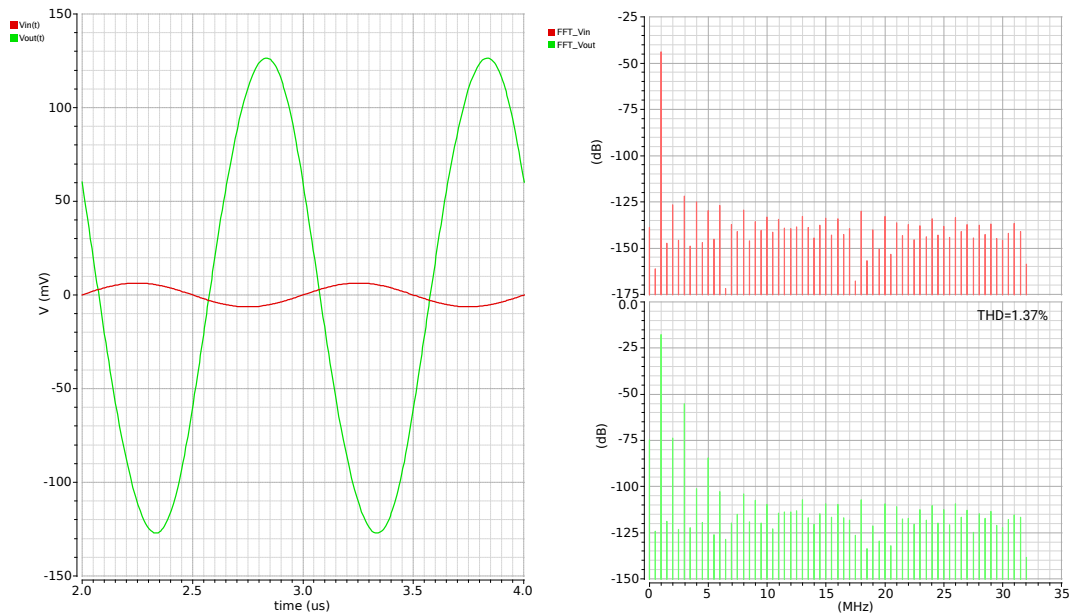


Figura 52. Izquierda: Simulación transitoria de voltajes de entrada y salida de la etapa de entrada del CFIA, con  $v_{in} = 6.36 \text{ mV}$ . Derecha: Espectro de Fourier de las señales referenciadas.

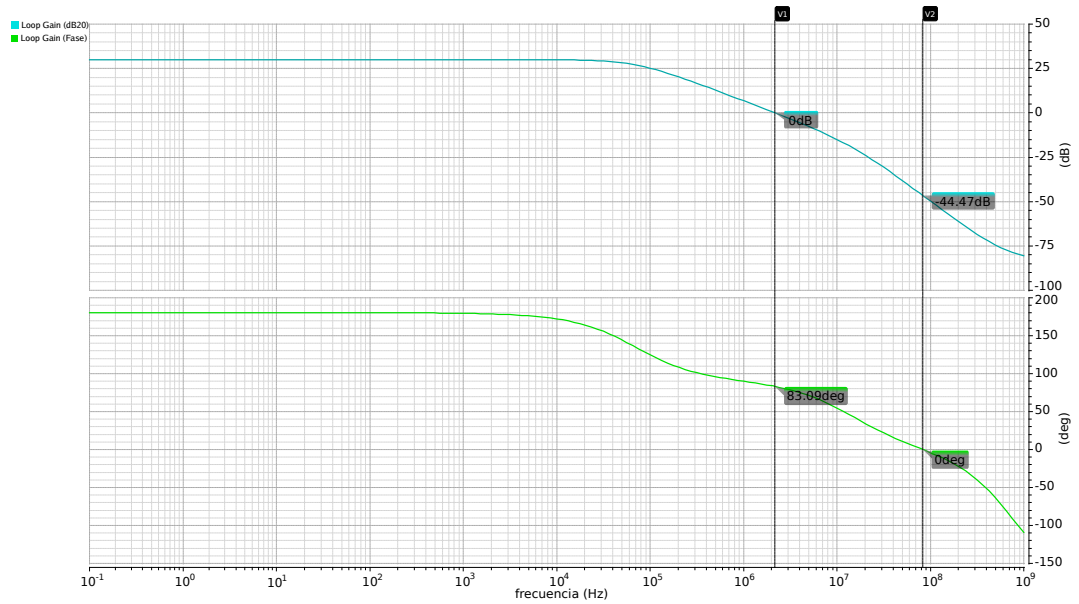


Figura 53. Gráficas de ganancia de lazo de la etapa de entrada del CFIA prototipo.

que los indicadores de estabilidad del layout diseñado para la etapa no variarán de manera significativa.

Para la etapa de entrada es importante el análisis de CMRR, ya que este parámetro es determinado en su mayoría por esta etapa. Observando la figura 54 resulta evidente el descenso en el CMRR de origen Post-Layout en comparación con el origen por esquemático. Este descenso ocurre debido a la asimetría sistemática presente en el layout. El análisis de Montecarlo para la ganancia diferencial y el CMRR de la etapa de entrada se ilustra en la figura 55 para los corners TT, FF, FS, SF y SS, mientras que el consolidado del análisis estadístico para estas variables es mostrado en la tabla 9.

**5.3.3. Etapa de salida** La configuración geométrica diseñada para la etapa de salida del CFIA prototipo es mostrada en la figura 56. Se siguieron las mismas consideraciones de diseño empleadas en la etapa de entrada, de modo que todos los

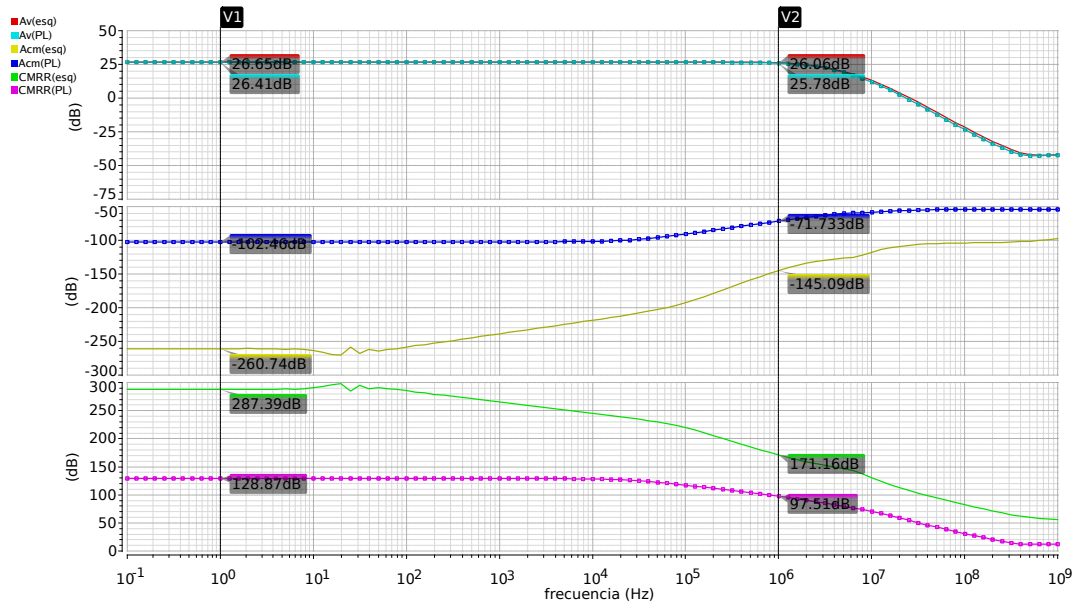


Figura 54. Respuesta en frecuencia de las ganancias diferencial (arriba), de modo común (medio) y CMRR (abajo) de la etapa de entrada del CFIA.

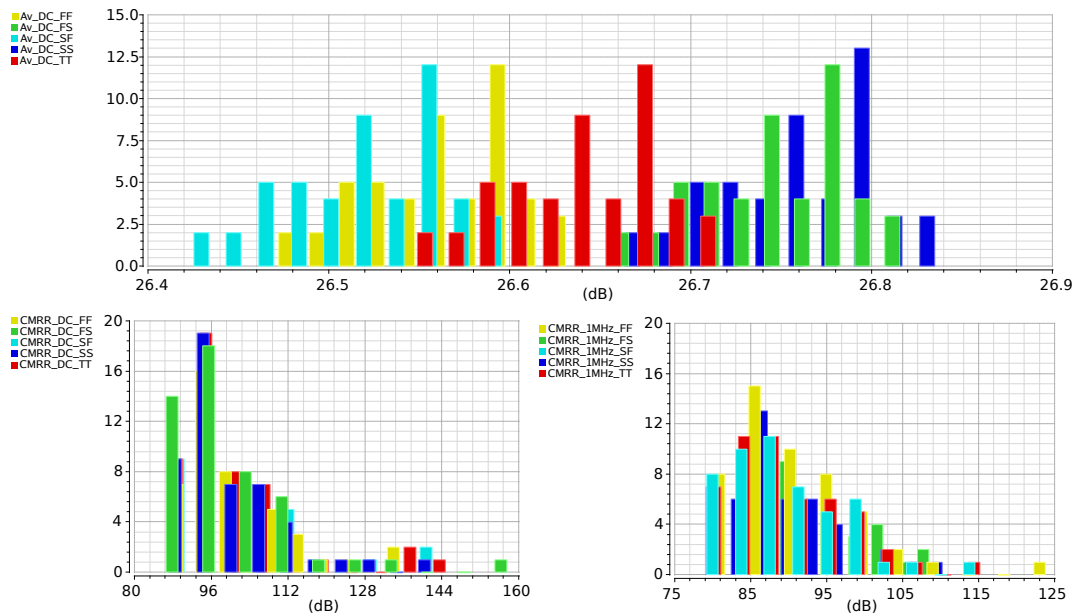


Figura 55. Histogramas de Montecarlo de la ganancia diferencial en DC (Arriba), el CMRR en DC (inferior izquierda) y el CMRR a 1 MHz (inferior derecha) de la etapa de entrada del CFIA.

Variable	Mínimo	Máximo	Media	Mediana	$\sigma$
$A_{v_{DC}}$ (dB)	26.43	26.85	26.66	26.65	0.104
$CMRR_{DC}$ (dB)	88.18	164.1	103.5	99.57	12.07
$CMRR_{1MHz}$ (dB)	80.09	127.8	92.04	90.26	7.791

Tabla 9. Consolidado del análisis estadístico de la etapa de entrada del CFIA.

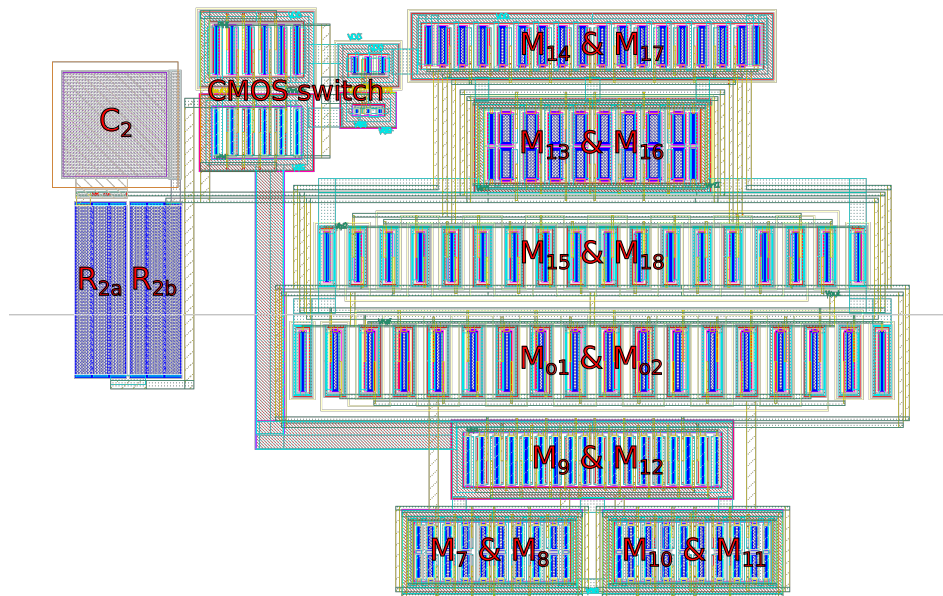


Figura 56. Diseño geométrico realizado para la etapa de salida del CFIA.

pares de transistores fueron implementados en sub-grupos de 8 elementos. Los pares  $M_7 - M_8$ ,  $M_{10} - M_{11}$ , y  $M_{13} - M_{16}$  fueron organizados por centroide común, mientras que los pares  $M_{01} - M_{02}$ ,  $M_{14} - M_{17}$ , y  $M_{15} - M_{18}$  se dispusieron mediante interdigitación.

El diseño de la etapa de salida incluye un control de ganancia via *trimming* de  $R_2$ . Por esta razón, este resistor se “dividió” en dos elementos idénticos  $R_{2a}$  y  $R_{2b}$  de  $9.5\text{ k}\Omega$  cada uno, y el control se hace a través de un *switch* CMOS. Así, cuando

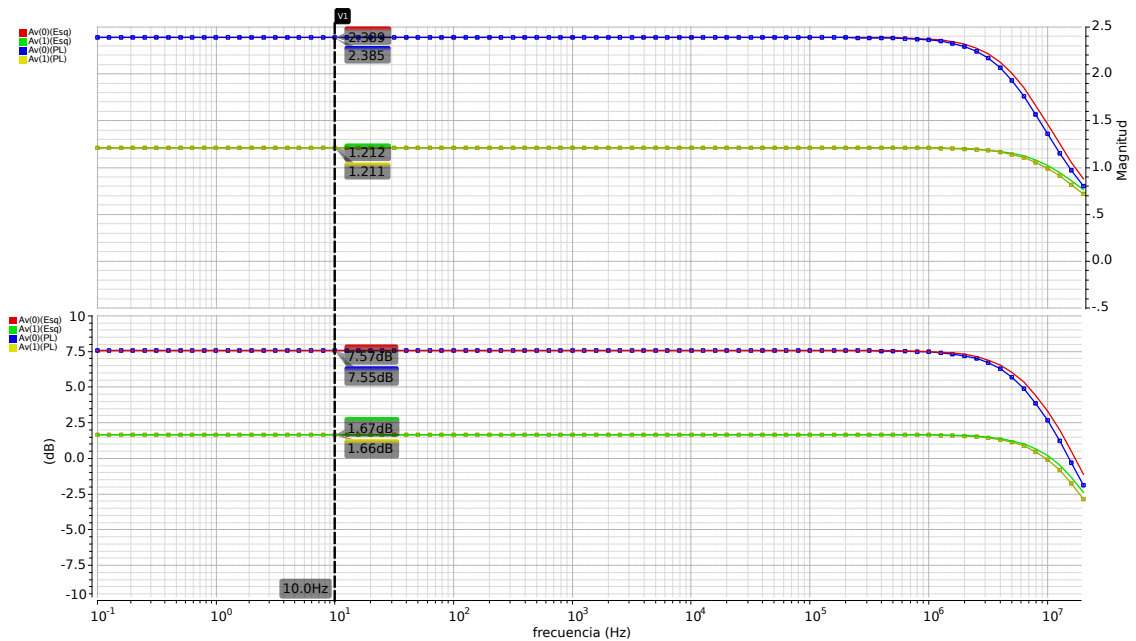


Figura 57. Gráficas de ganancia de la etapa de salida del CFIA, expresada en V/V (arriba) y dB (abajo).

el único bit de control está en 0 lógico, el *switch* está abierto y se tiene a  $R_{2b}$  y  $R_{2b}$  en serie, resultando  $19\text{ k}\Omega$  en la etapa. Al tener un 1 lógico en el bit de control ocurre el caso complementario: el *switch* se activa, poniendo a  $R_{2b}$  en cortocircuito y reduciendo la resistencia de la etapa a  $9.5\text{ k}\Omega$ .

**Simulaciones esquemáticas y Post-Layout** En la figura 57 se ilustra la ganancia en V/V y dB de la etapa de salida del CFIA prototipo, para cada estado del bit de control. De nuevo es evidente la cercanía en las respuestas de simulación esquemática y Post-Layout. Debe tenerse en cuenta aquí que la carga usada para esta simulación es despreciable ( $R_{load} = \infty$ ,  $C_{load} = 0$ ). Por otra parte, en la figura 58 se presentan barridos paramétricos de la ganancia en DC de la etapa versus  $R_{load}$  (con  $C_{load} = 0$ ) y del ancho de banda versus  $C_{load}$  (con  $R_{load} = \infty$ ) con base en el Post-Layout. De esta figura se desprenden varias observaciones importantes:

- Para mantener la integridad de la ganancia en DC del CFIA es necesario conectar una resistencia de carga no inferior a  $1\text{ M}\Omega$ . En condiciones normales de funcionamiento, donde la etapa sucesiva a la salida del CFIA seguramente sea de alta resistencia, la ganancia DC del CFIA no se verá afectada.
- El CFIA exhibirá un ancho de banda superior a  $1\text{ MHz}$  siempre y cuando la capacitancia de carga no sea mayor a  $11.47\text{ pF}$ . De manera similar, en condiciones normales de funcionamiento, donde la etapa sucesiva al CFIA estará probablemente constituida por una puerta de transistor MOS, será improbable que la capacitancia en el nodo de entrada sea superior a unos pocos picofaradios, a menos que se aplique una ganancia considerable en la etapa sucesiva que aumente la capacitancia en el nodo mediante el efecto Miller (algo fácil de evitar usando un *buffer* de salida).
- Para efectos de medición en alta frecuencia, se deberá implementar un *buffer* de salida con el fin de desacoplar la impedancia de salida del CFIA, teniendo en cuenta que la entrada de un analizador de espectro típico es de  $50\ \Omega$ , y algunas sondas de medición pueden tener capacitancias hasta de  $20\text{ pF}$ . En consecuencia, lo ideal sería implementar el *buffer onchip* para evitar agregar los efectos capacitivos-inductivos de los *pads* y *bondwires*. Las consecuencias adversas del uso del *buffer* serían, lógicamente, el empleo de área de diseño y consumo de potencia adicionales.

De manera semejante a la figura 58, también se hizo un barrido paramétrico en  $C_{load}$  para evaluar la estabilidad de la etapa. El producto de ello se ilustra en la figura 59, donde se observa una estabilidad marginal (margen de fase mayor a  $45^\circ$ ) a partir de  $193.5\text{ fF}$ , manteniéndose en todo el dominio de barrido por encima del valor crítico. Esta simulación fue importante a la hora de seleccionar el valor para  $C_2$  (al final se fijó en  $1\text{ pF}$ ), pues ese valor permite lograr estabilidad en la etapa en la franja de

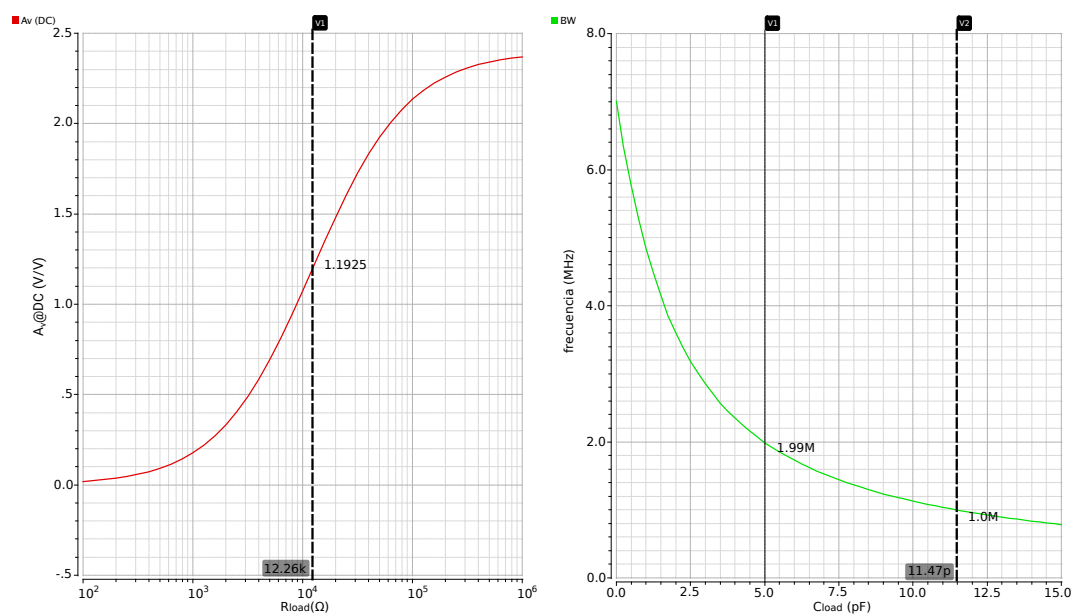


Figura 58. Izquierda: Barrido paramétrico de la ganancia DC de la etapa de salida, en el cual se varió la resistencia de carga y se mantuvo la capacitancia de carga igual a cero. Derecha: Barrido paramétrico del ancho de banda, variando la capacitancia de carga y manteniendo la resistencia de carga en infinito.

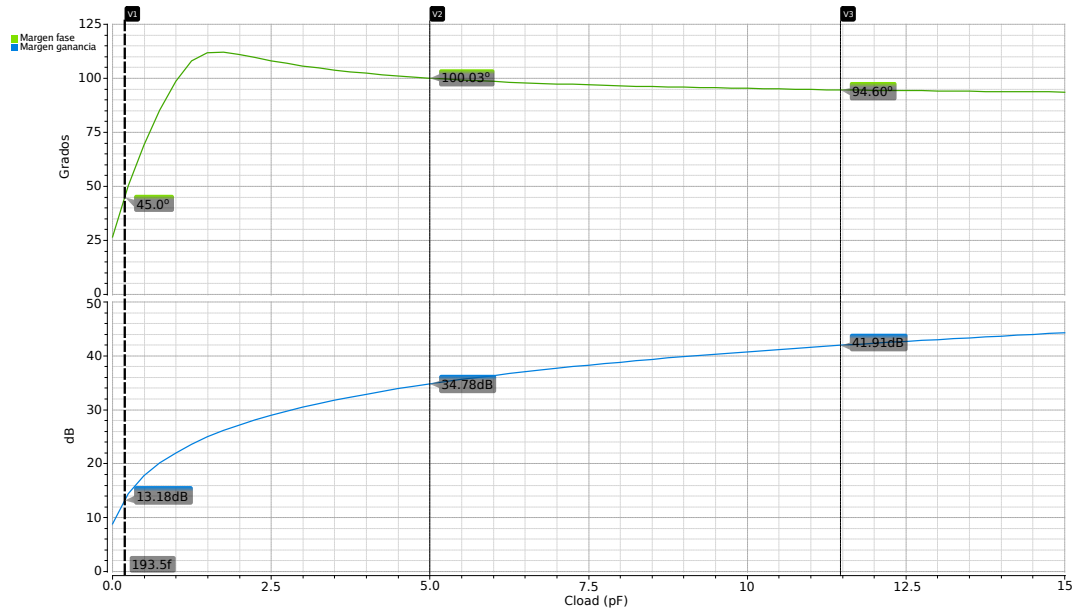


Figura 59. Barrido paramétrico del margen de fase (arriba) y el margen de ganancia (abajo) versus  $C_{load}$  de la etapa de salida del CFIA.

capacitancia de carga esperada.

Otro aspecto importante a estudiar en la etapa de salida es la distorsión armónica. En la figura 60 se muestra las formas de onda de la señal senoidal con la amplitud máxima a ingresar a la etapa (138 mV) y la correspondiente forma de onda de salida, la cual presenta distorsión en los semiciclos positivos. Comparando los espectros de Fourier de las dos señales se hace evidente la THD presente en la señal de salida, que fue cuantificada en un valor aproximado de 7.35 %. Esta es la THD máxima que se espera encontrar para la etapa.

## 5.4. Simulaciones de CFIA completo

**5.4.1. Versión con salida diferencial** En las secciones 5.3.1, 5.3.2 y 5.3.3 se verificó el funcionamiento del  $\beta$ -multiplier y las etapas de entrada y salida por separado. El paso a seguir es, desde luego, unir todos los bloques funcionales del CFIA

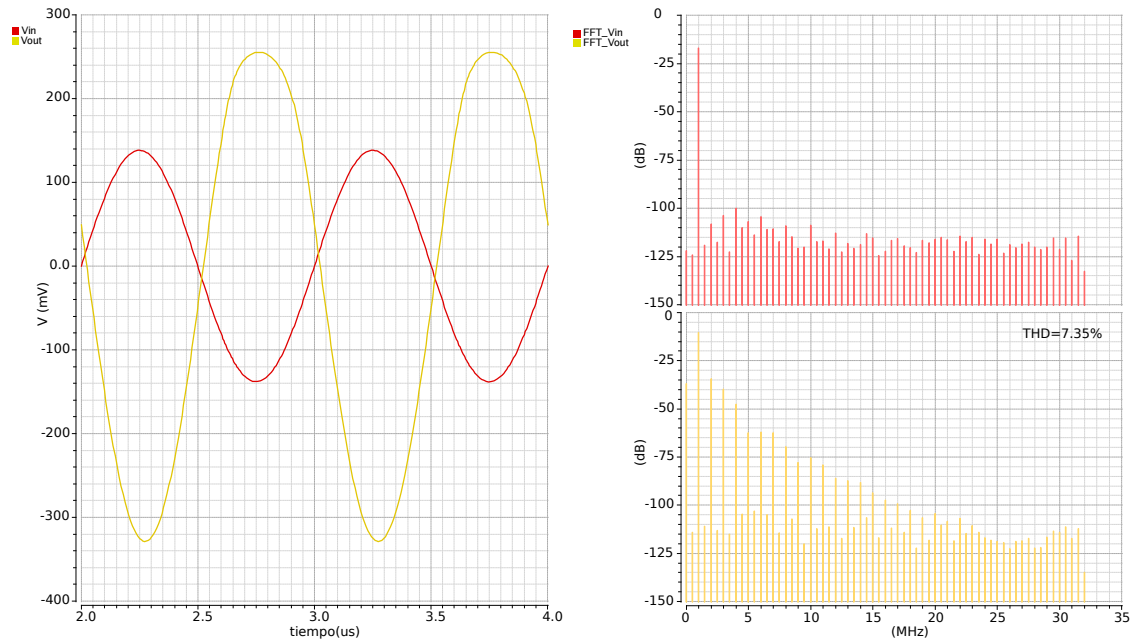


Figura 60. Izquierda: Formas de onda de entrada (rojo) y de salida (dorado) de la etapa de salida, con una magnitud de señal de entrada de 138 mV. Derecha: Espectros de Fourier de las respectivas señales.

prototipo para evaluar su funcionamiento global. En una primera instancia, se diseñó una primera versión del CFIA prototipo con salida diferencial, cuyo esquema y *layout* son mostrados en la figura 61. La razón para implementar esta versión de manera preliminar fue buscando ampliar el rango de excursión de salida del CFIA, ya que para mantener una ganancia específica total, al tener dos etapas de salida se puede fijar la mitad de la ganancia en cada una (reduciendo a su vez las resistencias  $R_2$  a la mitad). Lo anterior al final se traduce en una reducción en la THD de la salida para entradas de magnitud alta.

En esta versión se utilizan dos bloques de etapa de salida. La señal proveniente de la etapa de entrada ingresa con fase invertida a una de las etapas de salida, las cuales además comparten el voltaje de referencia  $V_{ref}$ . En esta versión se emplearon versiones preliminares del  $\beta$ -multiplier y la etapa de salida, donde no se ha

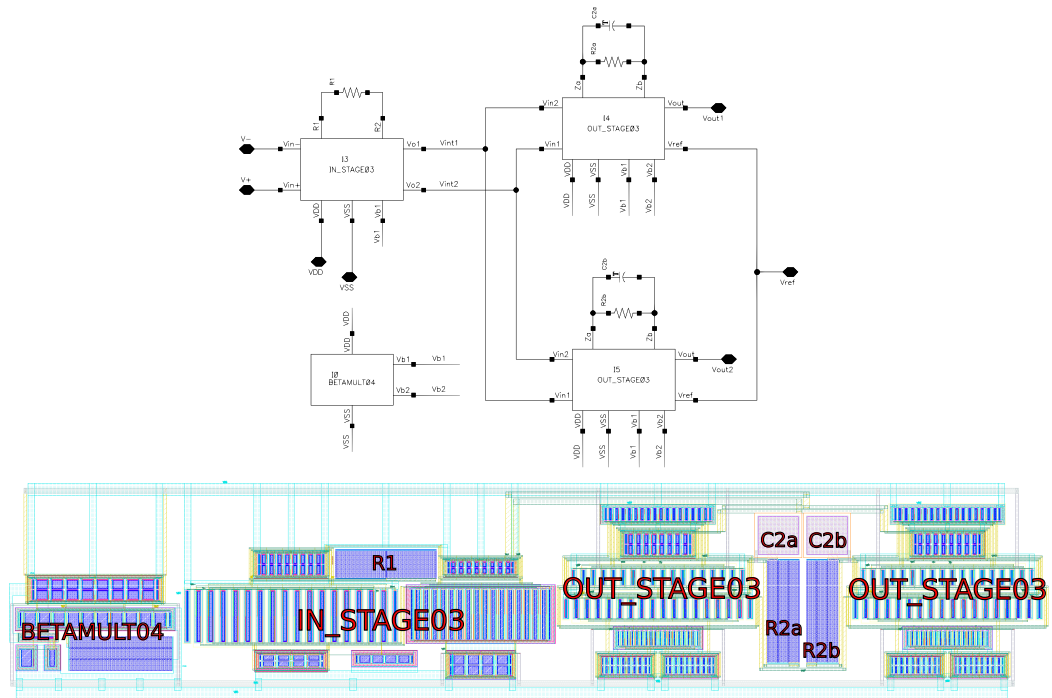


Figura 61. Esquema funcional (arriba) y layout (abajo) de la versión de salida diferencial del CFIA prototipo.

implementado aún el *trimming* para el control de la corriente de polarización y la ganancia; sin embargo esto no es injerente en el funcionamiento del amplificador, ya que el dimensionamiento de los dispositivos se mantuvo siempre inalterado una vez determinado y la disposición geométrica no sufrió cambios significativos al ser agregados los dispositivos encargados de efectuar el *trimming*.

**Simulaciones esquemáticas y Post-Layout** Las gráficas de ganancia diferencial en V/V y dB se muestran en la figura 62, utilizando capacitores de 5 pF como carga del amplificador. La ganancia simulada por esquemático (51.84 V/V) presentó un error relativo a la ganancia Post-Layout (50.27 V/V) de 3.12 %. En la figura 63 se ilustra las formas de onda de entrada y salida para  $V_{in_{max}}$ , así como sus espectros en frecuencia. Aquí es de destacar la reducción en la THD de 7.35 % (ver figura 60)

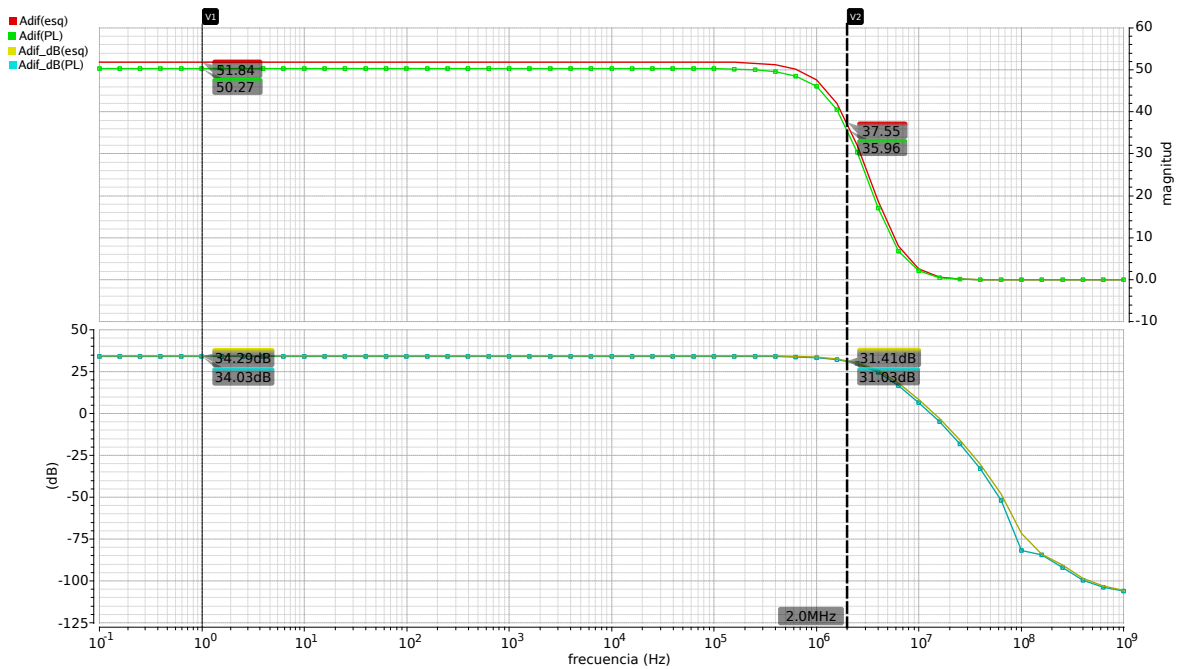


Figura 62. Gráficas de ganancia en V/V (arriba) y decibeles (abajo) de la versión de salida diferencial del CFIA prototipo.

a apenas 1.71 % para la simulación Post-Layout. En este punto cabe mencionar que, debido al propósito preliminar de la versión diferencial del CFIA prototipo, en esta sección no se incluyen simulaciones estadísticas y de *corners*.

**5.4.2. Versión con salida única (single ended)** En los momentos finales del cronograma de diseño que se planificó para este trabajo fue imperativo prescindir de la posibilidad de fabricación de una versión diferencial, debido a una reducción intempestiva en el área de diseño disponible; y por la misma razón se descartó la implementación de un buffer de salida *onchip* para efectos de medición en alta frecuencia. Por lo anterior la versión enviada a fabricación es de salida única. El esquema funcional y el *layout* de la versión definitiva del CFIA prototipo son mostradas en la figura 64.

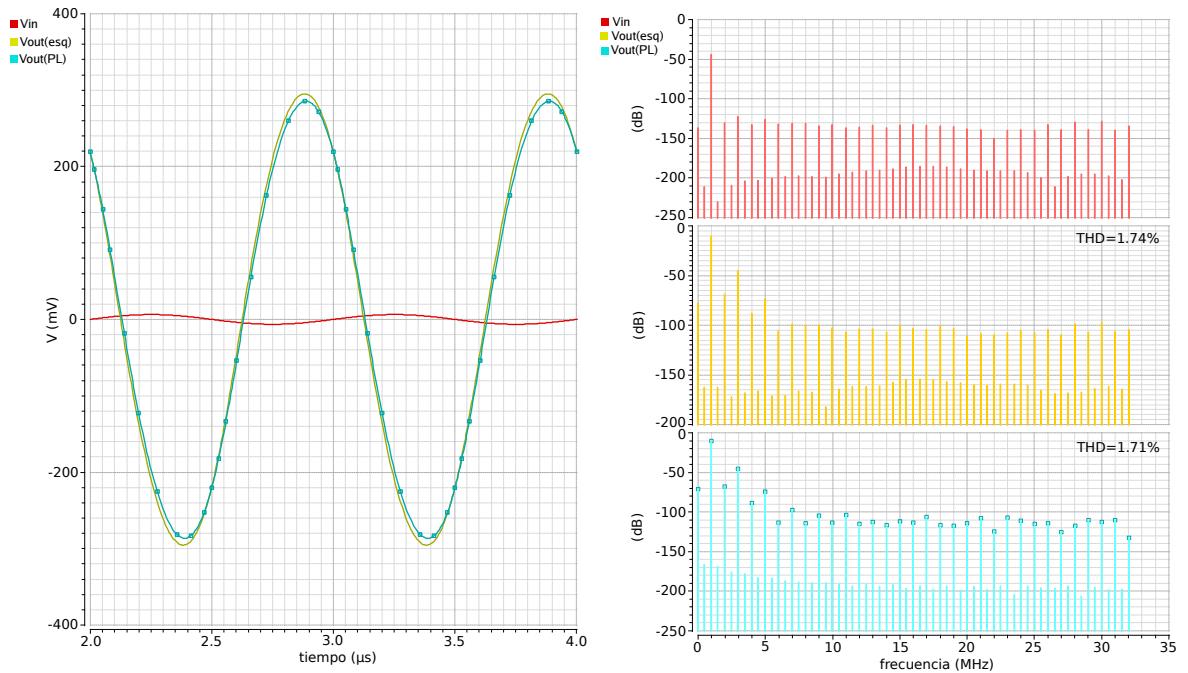


Figura 63. Izquierda: Formas de onda senoidales de señales de entrada y salida del CFIA (DO), donde  $V_{in} = 6.36 \text{sen}(2 \cdot 10^6 \pi t)$  mV. Derecha: Espectros de Fourier de las respectivas señales.

En la figura 65 se muestra la respuesta en frecuencia de la versión *single ended* del CFIA prototipo, utilizando un capacitor de 5 pF como carga del amplificador. El error relativo de la ganancia por esquemático (51.5 V/V) presentó un error relativo con respecto a la ganancia *Post-Layout* (49.89 V/V) de 3.23%. El ancho de banda *Post-Layout* fue de 1.99 MHz. Por otra parte, en la figura 66 es mostrada la simulación transitoria con la inclusión de ruido para la amplitud mínima de entrada del CFIA. El ruido referido a la entrada fue de 16.1  $\mu\text{V}$ , mientras que el SNR promedio de las 10 pasadas realizadas fue de 9.5 dB. En la figura 67 se puede observar el aumento en la distorsión armónica de  $V_{out}$  con la entrada de amplitud máxima, con respecto al CFIA de salida diferencial. Esto ocurre debido al uso de una sola etapa de salida. La THD del CFIA de salida única (SE) es de 7.47% contra la obtenida para el CFIA de salida diferencial (DO), que es de 1.71%. Aquí cabe mencionar que éstas son las

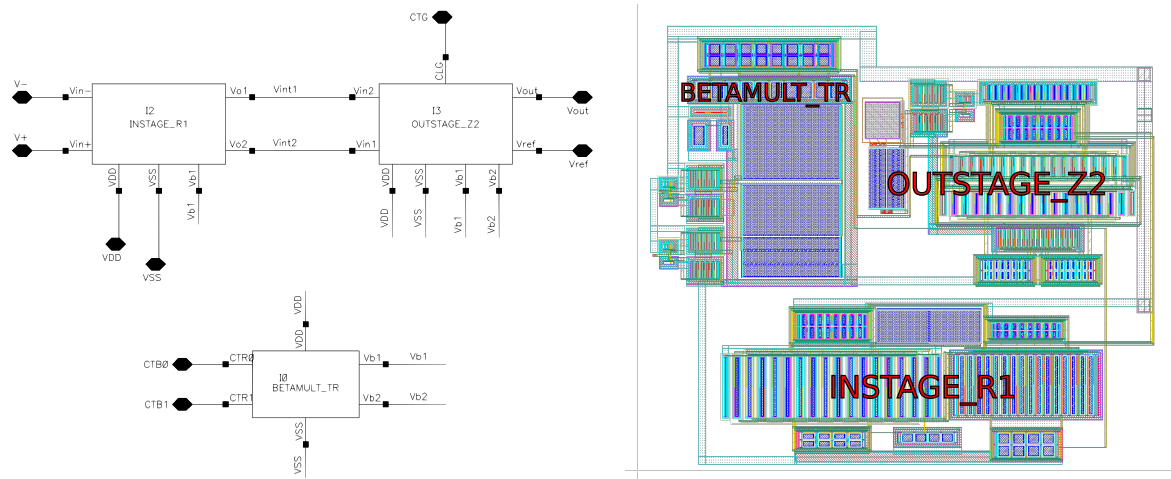


Figura 64. Esquema funcional (Izquierda) y layout (derecha) de la versión *single ended* del CFIA prototipo.

máximas distorsiones armónicas de los amplificadores, pues la amplitud de señal de entrada es la máxima concebida para el CFIA.

**Simulaciones esquemáticas y Post-Layout** Las simulaciones de variaciones límite de movilidad (*corners*) del CFIA-SE para la ganancia diferencial, CMRR, PSRR+ y PSRR- son mostradas en la figura 68. Se incluyeron los corners de movilidad típica para los transistores tipo N y P (TT); N-rápido, P-rápido (FF); N-rápido, P-lento (FS); N-lento, P-rápido (SF); y N-lento, P-lento (SS). Las simulaciones se realizaron incluyendo variaciones en el voltaje de alimentación de  $1.8\text{ V} \pm 10\%$  y un barrido de temperatura desde 7 a 67 grados Celsius. Las simulaciones evidencian la relativa poca variación de estas importantes características del circuito con respecto a los corners y las variaciones de temperatura y voltaje de alimentación. Por otra parte, en la figura 69 son presentadas las simulaciones para el ancho de banda (BW), la potencia consumida ( $P_{\text{CFIA}}$ ), el nivel de voltaje de ruido y el voltaje de offset referidos a la entrada ( $V_{\text{noise\_in}}$  y  $V_{\text{offset\_in}}$ , respectivamente). Aquí las curvas con marcadores redondos corresponden a *power rails* (voltaje de alimentación) de  $1.8\text{ V} - 10\%$ , aque-

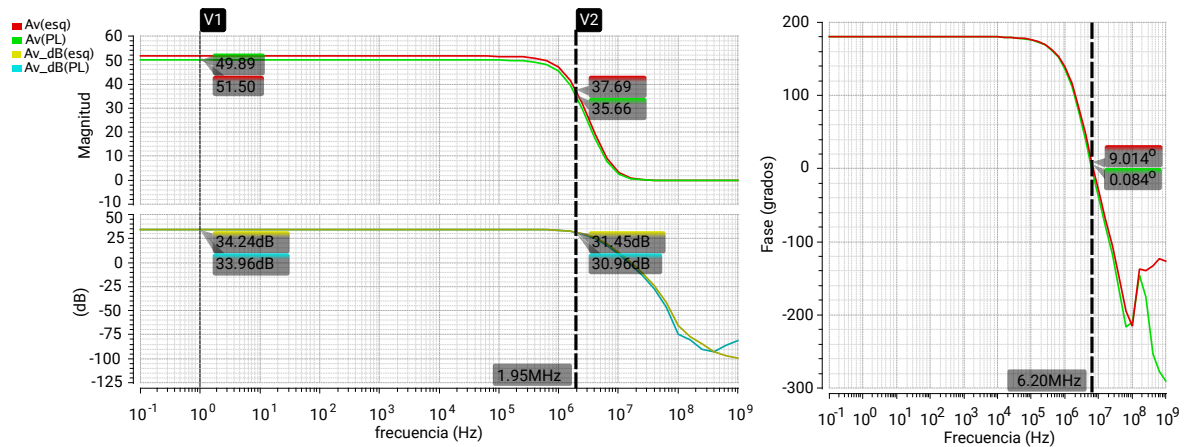


Figura 65. Gráfica de respuesta en frecuencia en magnitud con ganancia diferencial en V/V (arriba), dB (abajo) y respuesta de fase (derecha) de la versión de salida única del CFIA prototipo.

Las marcas con marcadores cuadrados corresponden a  $1.8 \text{ V} + 10\%$  y las líneas continuas son los resultados con alimentación nominal. El resumen de los resultados de este análisis es presentado en la tabla 10.

Los resultados de las simulaciones de Montecarlo de algunas cantidades claves del CFIA-SE son presentados en las gráficas 70, 71 y 72. Los histogramas se hicieron utilizando todos los corners (FF, SS, FS, SF y TT) utilizando puntos de temperatura de  $7^\circ$ ,  $37^\circ$  y  $67^\circ$ . Por otra parte, los resultados son presentados de manera condensada en la tabla 11.

Comparando rápidamente las tablas 10 y 11 salta a la vista que todas las cantidades del circuito varían con los mismos órdenes de magnitud, excepto por el voltaje de *offset*, cuya dispersión estándar tiene dos órdenes más de magnitud por análisis de Montecarlo en comparación con el análisis de corners. Esta dispersión es debida a la gran sensibilidad que tiene el nodo de salida del amplificador ante los efectos del *mismatch*.

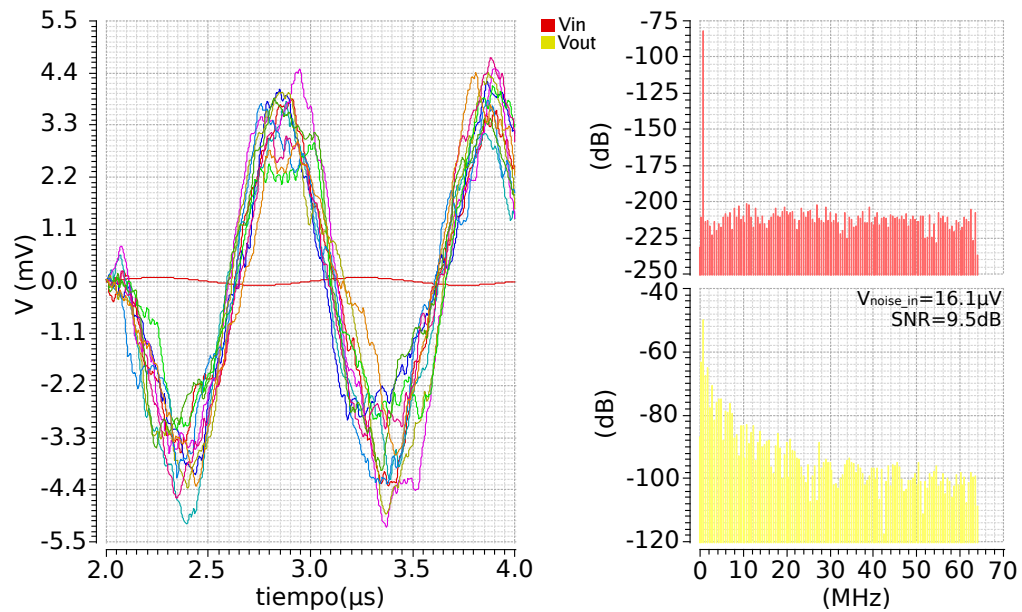


Figura 66. Izquierda: Formas de onda sinusoidales de señales de entrada y salida del CFIA (SE), donde  $V_{in} = 79.8 \text{sen}(2 \cdot 10^6 \pi t) \mu\text{V}$ . Derecha: Espectros de Fourier de las señales de entrada y salida (Post-Layout).

Los resultados de simulación post-layout mostrados hasta este punto permiten tabular las especificaciones genéricas de nuestro prototipo y compararlas con trabajos relacionados (ver tabla 12). Al lograr un cumplimiento de las especificaciones globales del proyecto (ganancia, ancho de banda, CMRR y PSRR), y teniendo en cuenta que las características del prototipo en cuanto a consumo de potencia, área empleada y voltaje de offset son razonables, el proceso de diseño puede darse por concluido para dar paso a la fabricación.

### Resumen del capítulo

En este capítulo se presentó un flujo de diseño para la topología de CFIA prototipo escogida para este trabajo de investigación; siguiendo este flujo se dimensionaron todos los elementos del amplificador. Seguido de esto se mostraron las simulacio-

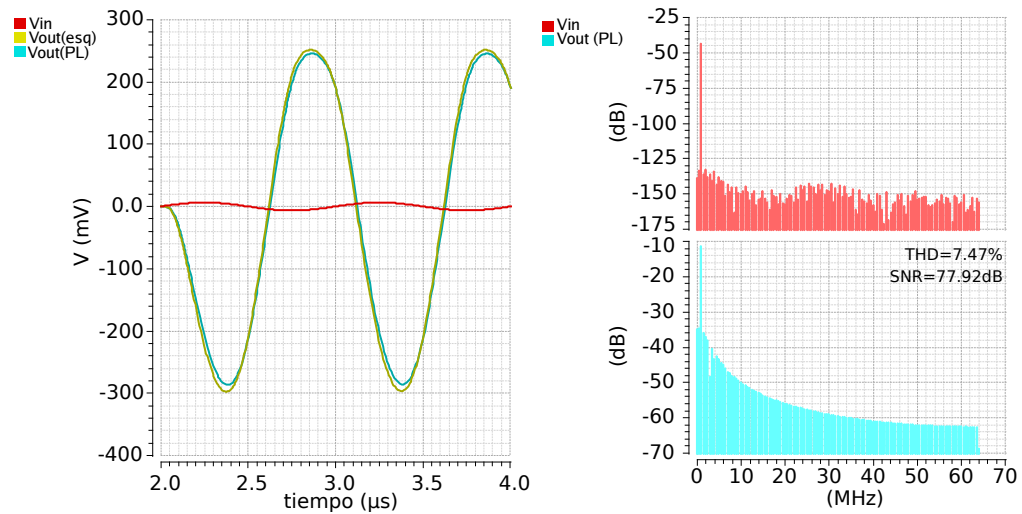


Figura 67. Izquierda: Formas de onda sinusoidales de señales de entrada y salida del CFIA (SE), donde  $V_{in} = 6.36 \text{sen}(2 \cdot 10^6 \pi t)$  mV. Derecha: Espectros de Fourier de las señales de entrada y salida (Post-Layout).

nes pertinentes de las diferentes etapas del mismo y del bloque completo en dos versiones (salida diferencial y salida única). En este punto sólo resta mostrar las medidas experimentales del circuito, lo cual se hará en el capítulo siguiente.

Especificación	Mínimo	Máximo	Media	Mediana	$\sigma$
Ganancia diferencial [V/V]	47.21	51.01	49.68	49.89	1.014
Ancho de banda [MHz]	1.55	2.61	2.01	1.97	0.295
CMRR @ DC [dB]	118.9	131.0	127.8	128.8	2.279
CMRR @ 1MHz [dB]	95.78	99.97	97.52	97.46	1.016
PSRR <sup>+</sup> @ DC [dB]	92.07	94.45	93.61	93.77	0.539
PSRR <sup>+</sup> @ 1MHz [dB]	64.69	68.03	66.41	66.43	0.922
PSRR <sup>-</sup> @ DC [dB]	107.9	110.1	109.2	109.2	0.519
PSRR <sup>-</sup> @ 1MHz [dB]	78.46	84.62	81.48	81.48	1.622
P <sub>CFIA-SE</sub> [ $\mu$ W]	281	631	428	419	84.8
V <sub>noise_in</sub> [ $\mu$ V <sub>rms</sub> ]	15.9	17.4	16.6	16.6	0.357
V <sub>offset_in</sub> [ $\mu$ V <sub>rms</sub> ]	-2.07	3.20	0.659	0.662	1.45

Tabla 10. Resumen de resultados del análisis de corners del CFIA-SE.

Especificación	Mínimo	Máximo	Media	Mediana	$\sigma$
Ganancia diferencial [V/V]	49.92	52.59	51.38	51.46	0.86
Ancho de banda [MHz]	1.62	2.71	2.10	2.05	0.305
CMRR @ DC [dB]	89.63	171.8	102.5	100.2	9.292
CMRR @ 1MHz [dB]	87.27	117.6	98.02	97.34	5.356
PSRR <sup>+</sup> @ DC [dB]	78.85	134.8	95.94	94.86	6.596
PSRR <sup>+</sup> @ 1MHz [dB]	69.77	78.98	74.67	74.69	1.495
PSRR <sup>-</sup> @ DC [dB]	97.12	174.8	111.8	107.9	11.45
PSRR <sup>-</sup> @ 1MHz [dB]	80.2	95.18	88.52	88.56	2.859
P <sub>CFIA-SE</sub> [ $\mu$ W]	312	580	429	422	75.5
$\overline{v_{iN}}$ [ $\mu$ V <sub>rms</sub> ]	13.8	16.3	15.0	15.0	0.751
V <sub>offset_in</sub> [ $\mu$ V <sub>rms</sub> ]	-863	642	0.438	13.0	282

Tabla 11. Resumen de resultados del análisis de Montecarlo del CFIA-SE.

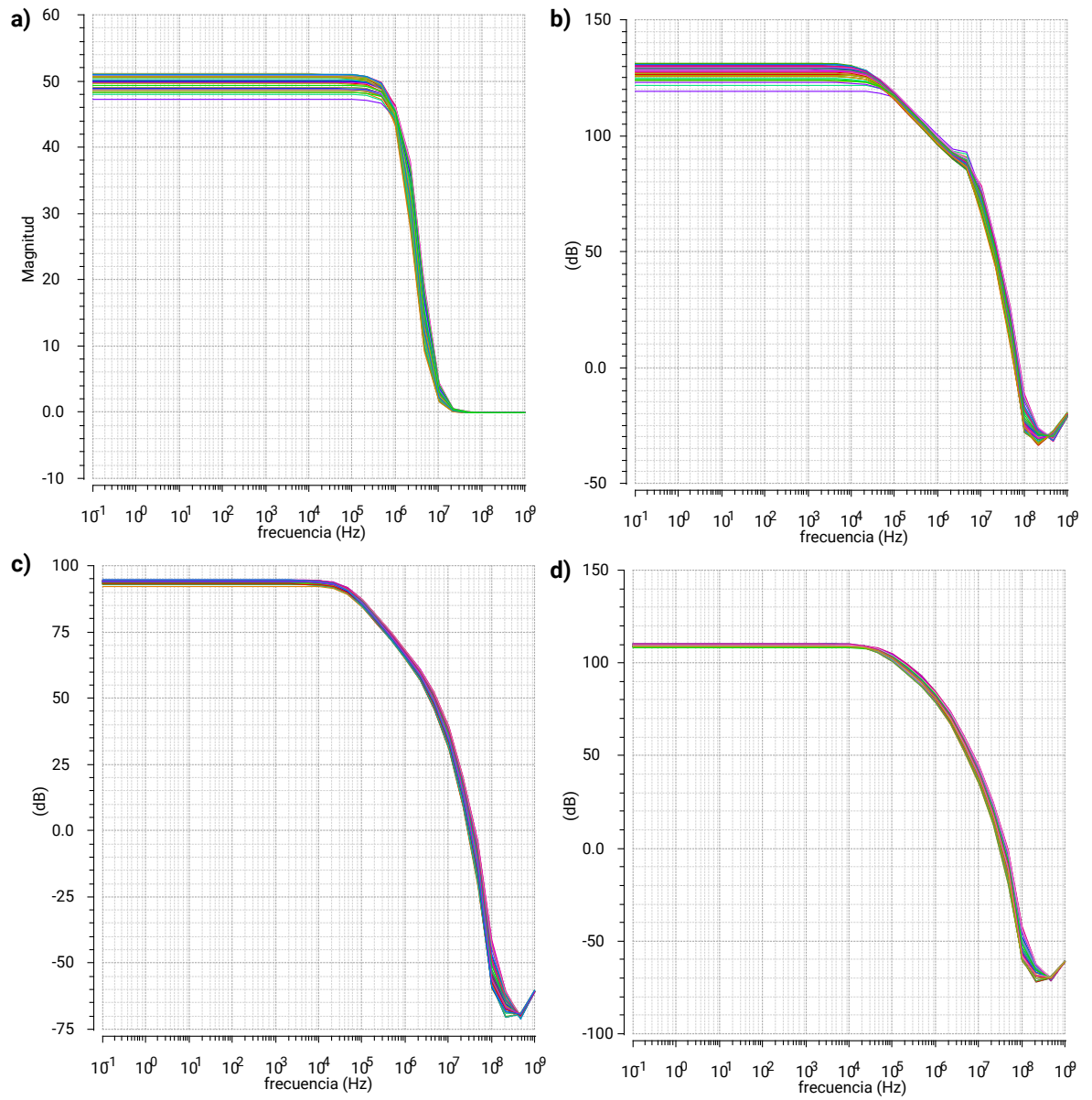


Figura 68. Gráficas de corners para **a)**  $A_v$ , **b)** CMRR, **c)** PSRR<sub>+</sub> y **d)** PSRR<sub>-</sub> realizadas para el CFIA-SE.

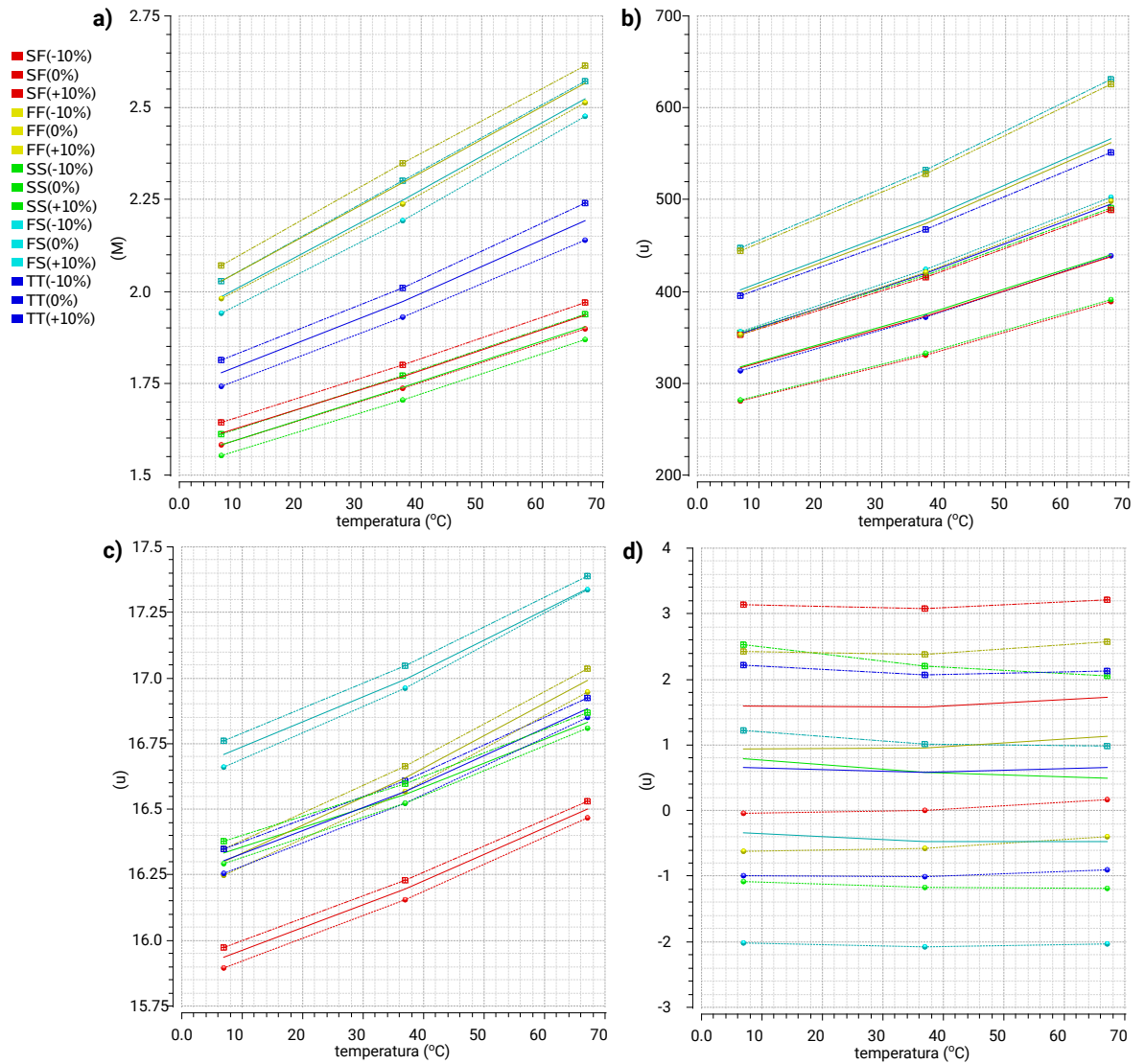


Figura 69. Gráficas de corners para a) BW, b)  $P_{CFIA}$ , c)  $V_{noise\_in}$  y d)  $V_{offset\_in}$  realizadas para el CFIA-SE.

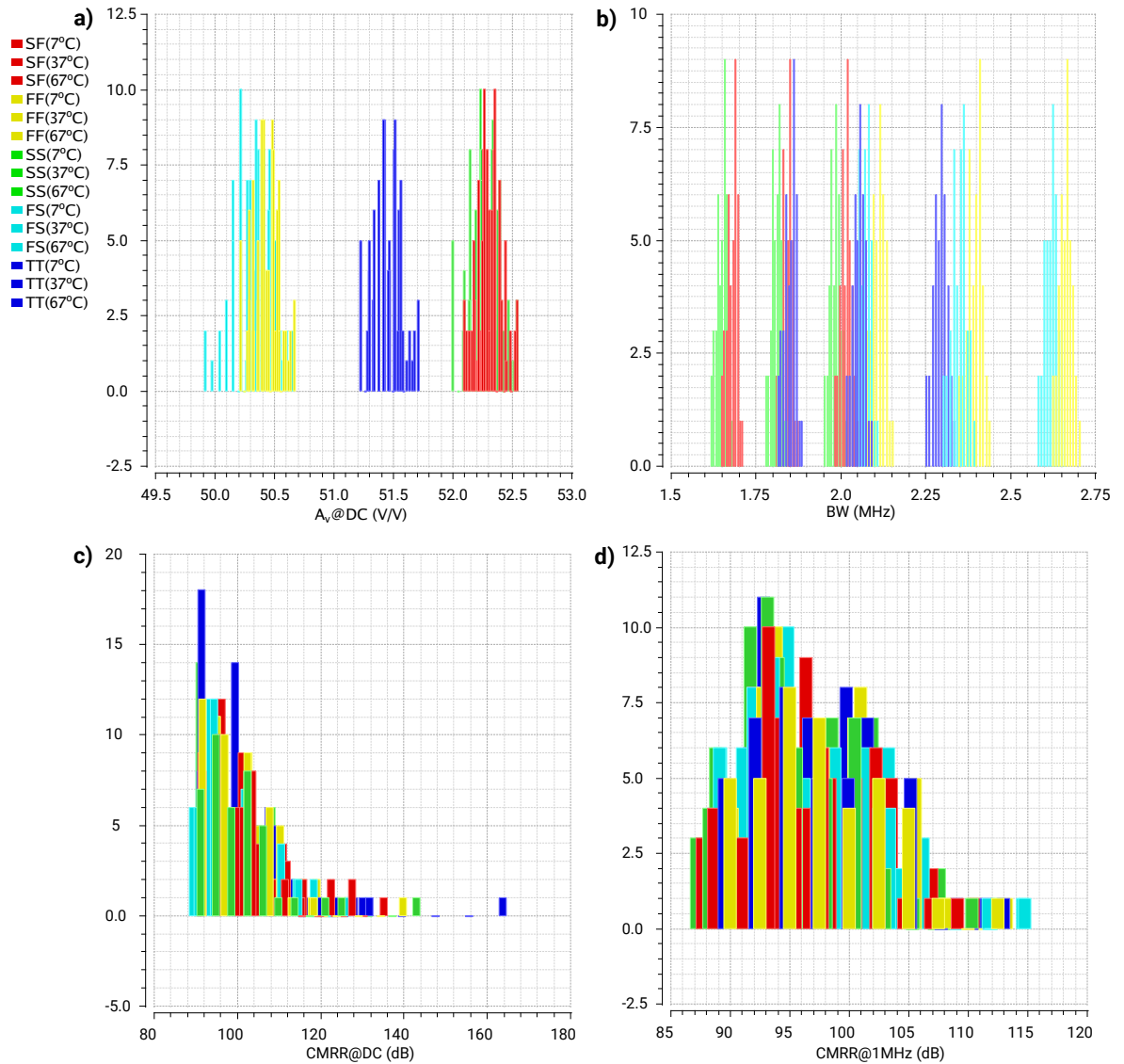


Figura 70. Histogramas de Montecarlo para **a)**  $A_v$ , **b)** BW, **c)** CMRR @ DC y **d)** CMRR @ 1MHz realizadas para el CFIA-SE.

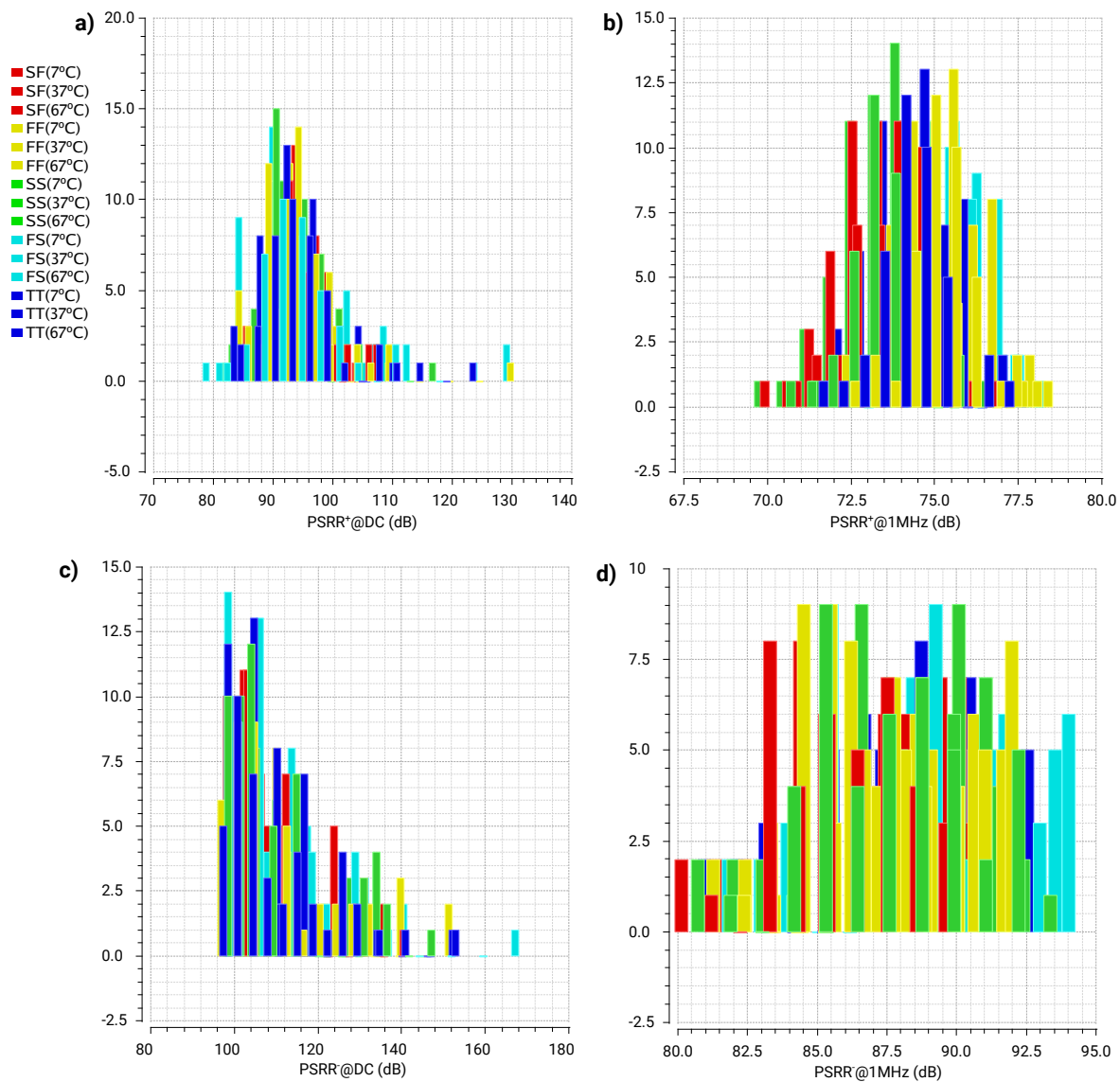


Figura 71. Gráficas de corners para **a) PSRR<sup>+</sup> @ DC, b) PSRR<sup>+</sup> @ 1MHz, c) PSRR<sup>-</sup> @ DC y d) PSRR<sup>-</sup> @ 1MHz** realizadas para el CFIA-SE.

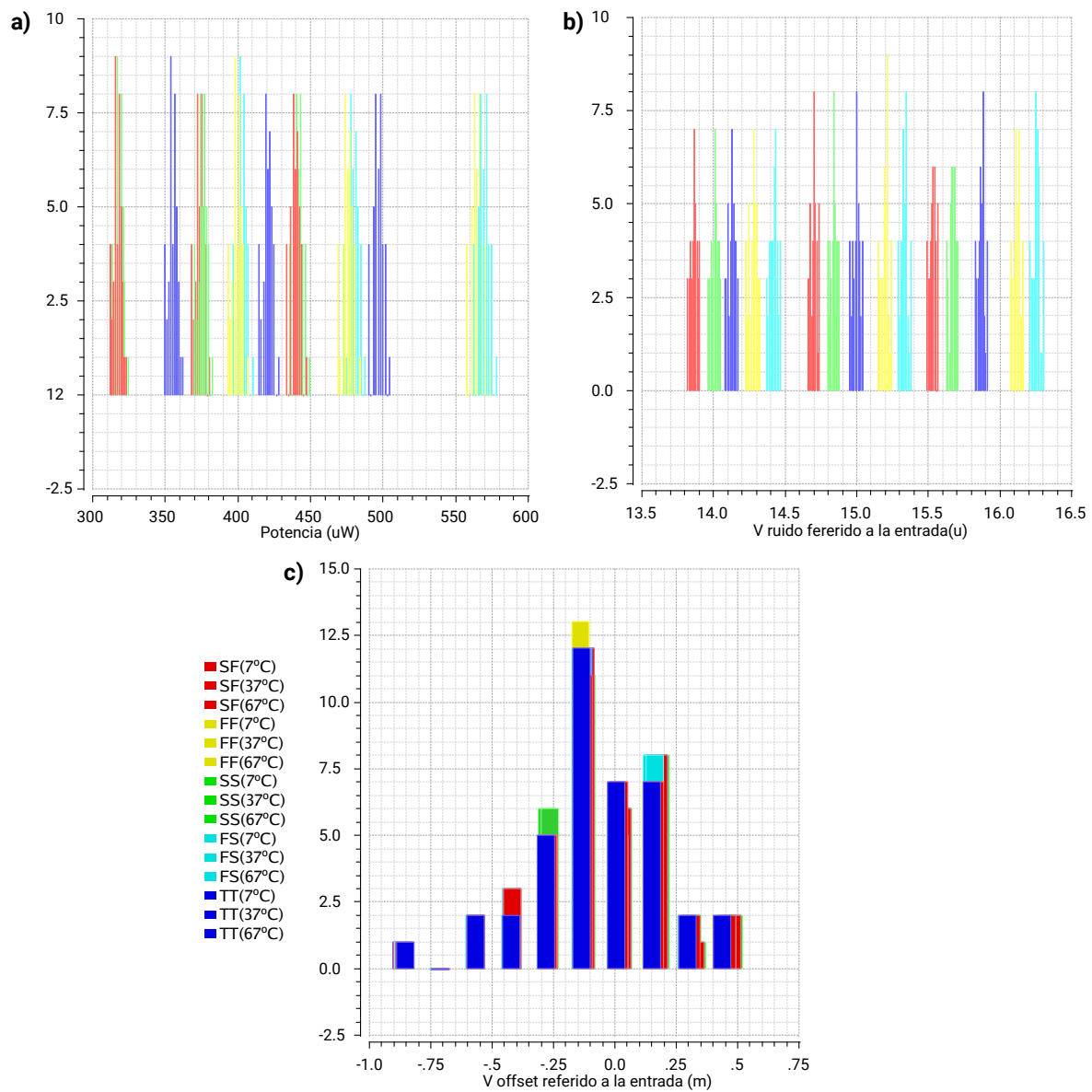


Figura 72. Gráficas de corners para a)  $P_{CFIA}$ , b)  $V_{noise\_in}$  y c)  $V_{offset\_in}$  realizadas para el CFIA-SE.

<b>Referencia</b>	<b>Este trabajo</b>	<b>Worapishet et al. <sup>71</sup></b>	<b>Dal Fabbro <sup>72</sup></b>
Proceso CMOS [ $\mu\text{m}$ ]	0.18	0.35	0.6
Alimentación [V]	1.8	3.0	2.5
$A_v$ banda media [V/V]	51.4	50	100
BW [kHz]	2100	2000	100
CMRR [dB] @ $f_{3dB}$	98	> 83	110
PSRR [dB] @ $f_{3dB}$	74(+) 88(-)	71	--
Área [ $\text{mm}^2$ ]	0.072 con $\beta$ -mult	0.068	0.061
Potencia [ $\mu\text{W}$ ]	429 con $\beta$ -mult	850	1100
Ruido ref. entrada [ $\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$ ]	10.83	11.31	259.3
$V_{\text{offset}}$ ref. salida [mV]	1.95	1.5	--

Tabla 12. Comparación de especificaciones post-layout relevantes obtenidas para el CFIA-SE con otros trabajos relacionados.

## 6. PLAN DE PRUEBAS Y MEDICIONES EXPERIMENTALES

La posibilidad de fabricación del prototipo de amplificador operacional se materializó mediante la inclusión del diseño descrito en los capítulos 4 y 5 en un *chip* multiproyecto en tecnología CMOS tsmc-0.18 $\mu\text{m}$ , cuyo *layout* y microfotografía son mostrados en la figura 73. En este punto es conveniente recordar que, debido a que la fabricación se obtuvo a través de una donación, existió una limitación de área de diseño que impidió fabricar la versión de salida diferencial del CFIA, así como la utilización de un buffer de salida *onchip* que permitiera realizar mediciones en alta frecuencia sin perder ancho de banda. Entonces, con respecto a las observaciones realizadas en la sección 5.3.3, se sabrá que por efecto de la capacitancia de los *pads* de salida del chip se observará una caída aparente del ancho de banda del amplificador. Por otra parte, para poder realizar mediciones sin afectar la ganancia DC se deberá utilizar un *buffer* externo, cuya capacitancia de entrada afectará aún más el ancho de banda observado.

Por otra parte, es imperativo contar con instrumentos que permitan generar las señales en el rango de voltaje de entrada del amplificador con el nivel de ruido exigido, y medir la señal resultante para poder así hacer pruebas de ganancia, CMRR, PSRR y demás características relevantes del circuito. El nivel de complejidad aquí es alto debido a que el rango de voltaje de entrada del CFIA es del orden de los microvoltios.

Después de ser fabricado, el chip multiproyecto fue encapsulado en paquetes de tipo PLCC44 (ver figura 74). Algunas mediciones básicas del CFIA pudieron llevarse a cabo en el amplificador utilizando una PCB de pruebas diseñada por el *Laboratorio de Sistemas Integrables* de la *Universidad de Sao Paulo*. Para hacer las mediciones dinámicas del circuito se diseñó una PCB de pruebas dedicada para el CFIA,

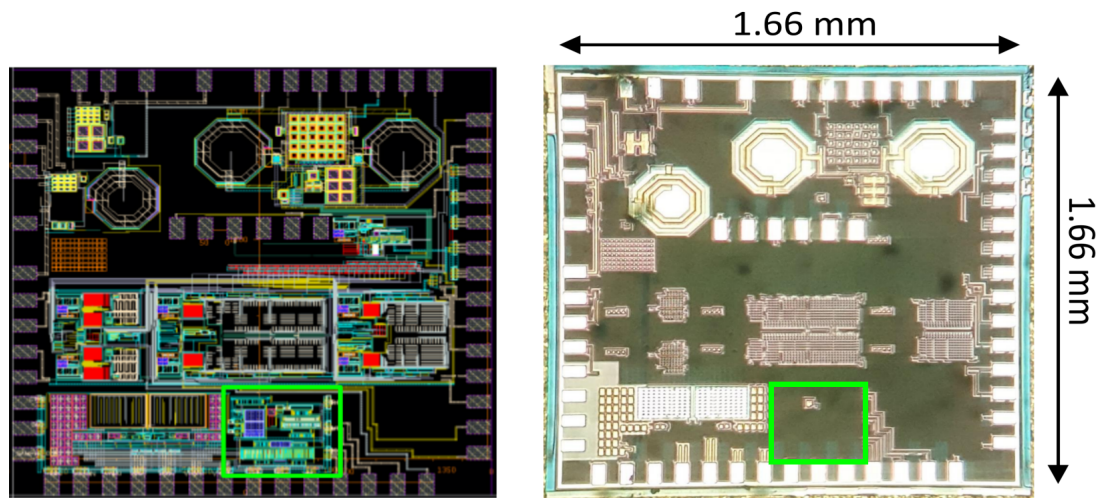


Figura 73. *Izquierda:* Configuración geométrica del *chip* multiproyecto. *Derecha:* Microfotografía del prototipo fabricado. Las áreas enmarcadas en los cuadros verdes corresponden al espacio ocupado por el CFIA-SE.

la cual permite estimar ganancias en modo diferencial y común, así como perturbar las fuentes de alimentación para obtener el PSRR. (ver figura 75).

## 6.1. Mediciones experimentales

**6.1.1. Instrumentación utilizada** Para realizar la caracterización del circuito prototipo, se logró hacer un montaje básico consistente en los siguientes equipos:

- Fuente DC PRECISION 1764
- Generador de señales RIGOL DG4102
- Osciloscopio TEKTRONIX TBS-1072B

**6.1.2. Polarización y medidas de baja frecuencia** El circuito fue alimentado con  $V_{SS} = 0 \text{ V}$ ,  $V_{DD} = 1.8 \text{ V}$  y se utilizó un voltaje de referencia  $V_{REF} = 900 \text{ mV}$ . La



Figura 74. Encapsulado del chip multiproyecto.

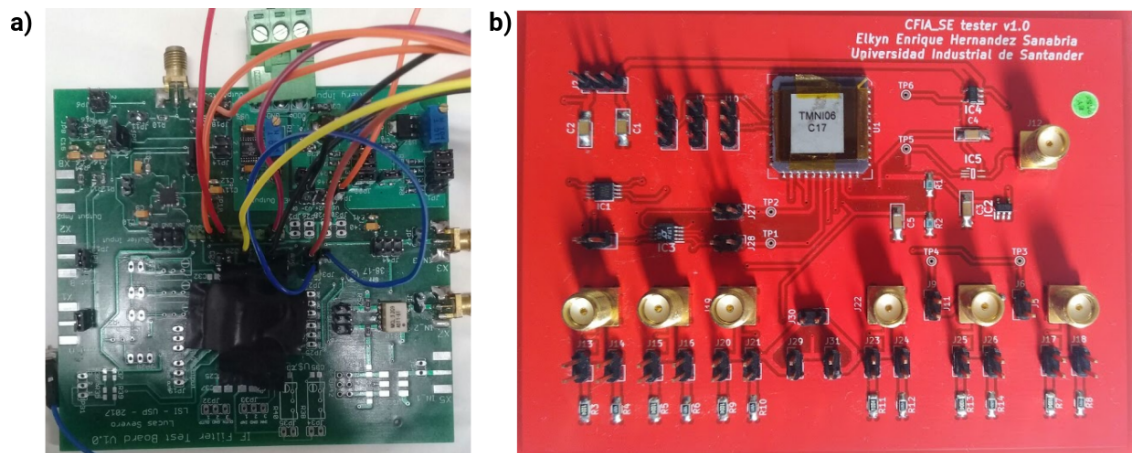


Figura 75. **a)** PCB de pruebas del chip multiproyecto desarrollado por el LSI-USP. **b)** PCB de pruebas dedicada para el CFIA.

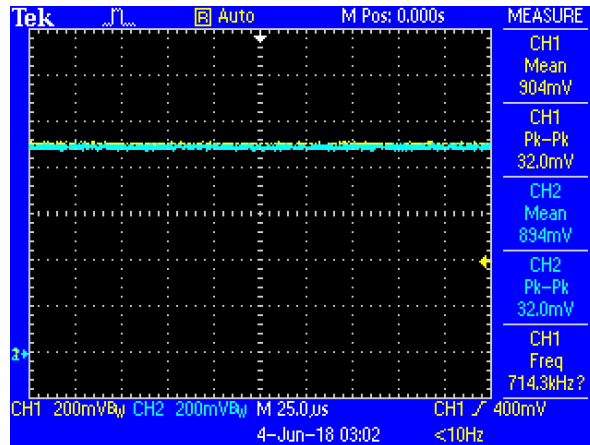


Figura 76. Medida de offset del amplificador: -10 mV referido a la salida.

medición del nivel de offset se muestra en la figura 76, con un valor circundante a los  $-10$  mV referido a la salida. Teniendo en cuenta las limitaciones del generador de señales utilizado, el cual es capaz de entregar una señal mínima de  $1$  mV<sub>pp</sub>, se logró obtener una señal de entrada con una amplitud mínima de  $400$   $\mu$ V<sub>pp</sub> fijando la resistencia de entrada en la PCB de pruebas en  $16.63 \Omega$ . Se utilizaron entonces señales de entrada sinusoidales de  $0.4$ ,  $1$ ,  $6.3$  y  $10$  mV para hacer las mediciones pertinentes.

Analizando la figura 77 se observan ganancias de baja frecuencia de  $60.0$  V/V,  $53.2$  V/V,  $46.9$  V/V y  $47.2$  V/V, respectivamente para los voltajes de entrada ya mencionados. Aquí ocurre que para los voltajes de entradas más bajos la medición de ganancia es en apariencia mayor a la diseñada ( $51.4$  V/V - ver tabla 11); esto se debe a las fluctuaciones en el nivel DC de la señal de entrada entregada por el generador y el ruido agregado por el osciloscopio. Por otra parte, la aparente disminución en la ganancia para las magnitudes de entrada mayores ocurre precisamente debido a la amplitud de  $v_{in}$ , la cual causa achatamiento en los picos de  $v_{out}$  debido a la pérdida de linealidad del amplificador.

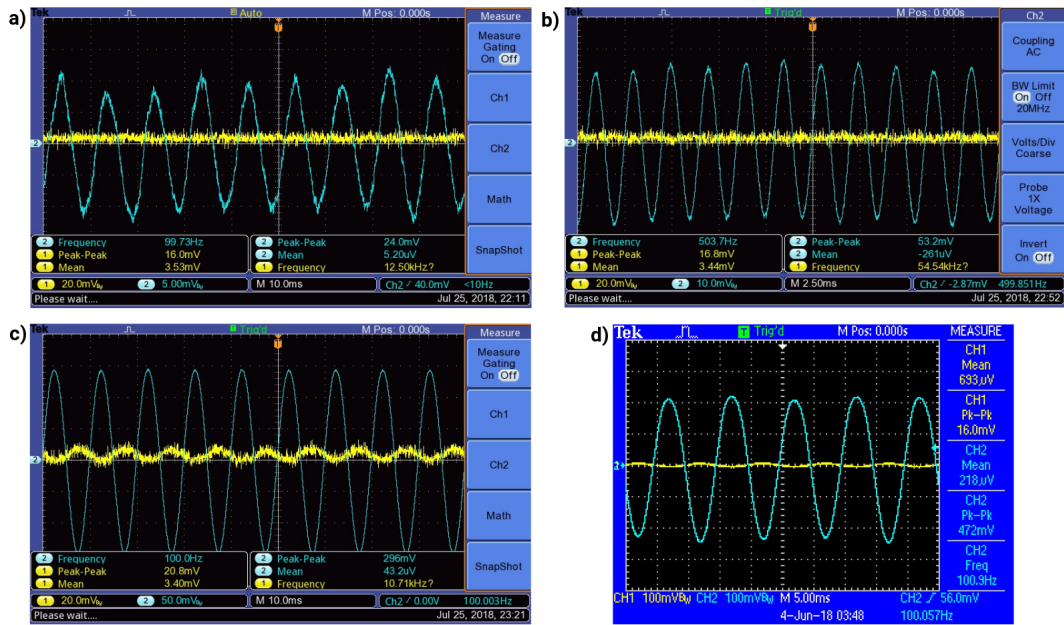


Figura 77. Formas de onda de  $v_{in}$  (amarilla) y  $v_{out}$  (azul) a 100 Hz donde  $|v_{in}|$  es igual a: **a)**:  $400 \mu V_{pp}$ , **b)**:  $1 mV_{pp}$ , **c)**:  $6.3 mV_{pp}$ , **d)**:  $10 mV_{pp}$ .

**6.1.3. Ganancia diferencial** Para la medición de la ganancia diferencial  $A_v$  se hicieron varios barridos en frecuencia desde 10 Hz hasta 10 MHz con las señales de entrada senoidales de 0.4, 1, 6.3 y 10 mV. La figura 78 muestra varios puntos de un barrido, para una magnitud de  $v_{in}$  de  $1 mV_{pp}$ , a cuyo nivel no hay afectaciones significativas de lectura debido a ruido ni distorsión armónica. Los espectros interpolados de ganancia de magnitud generados a partir de estas lecturas, para las selecciones de ganancia alta y baja son mostradas en la figura 79, donde se obtuvo aproximadamente para la selección de ganancia alta una  $A_v$  de 34 dB (50.1 V/V) y un ancho de banda de 150 kHz, mientras que para la selección de ganancia baja se tuvieron 28 dB (25.1 V/V) y 200 kHz, respectivamente.

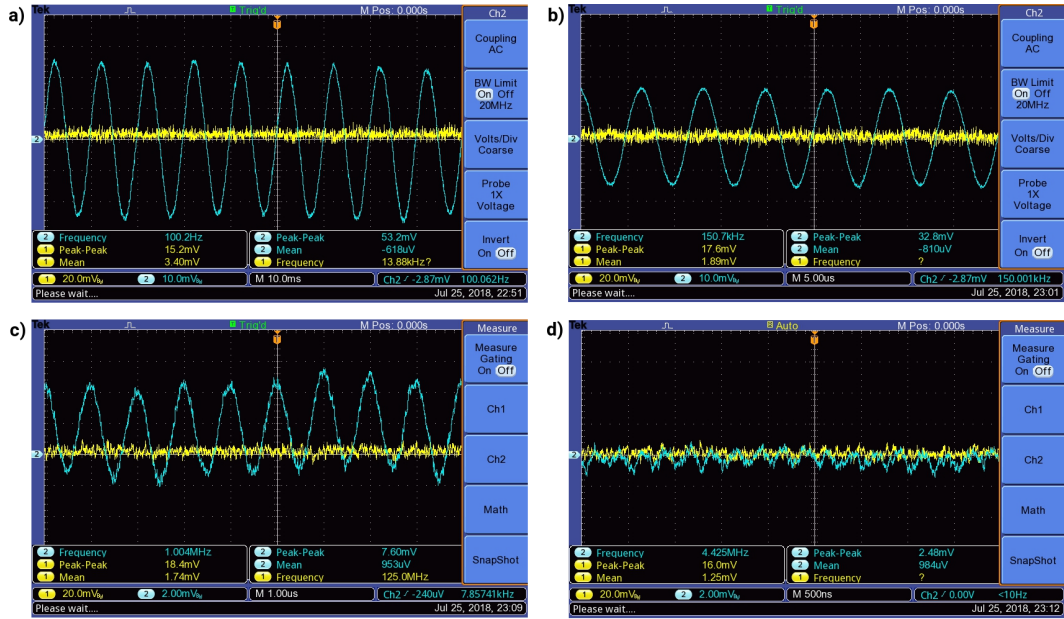


Figura 78. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de  $A_v$  usando  $|v_{in}| = 1 \text{ mV}_{pp}$ . La señal amarilla es  $v_{in}$ , la azul es  $v_{out}$ .

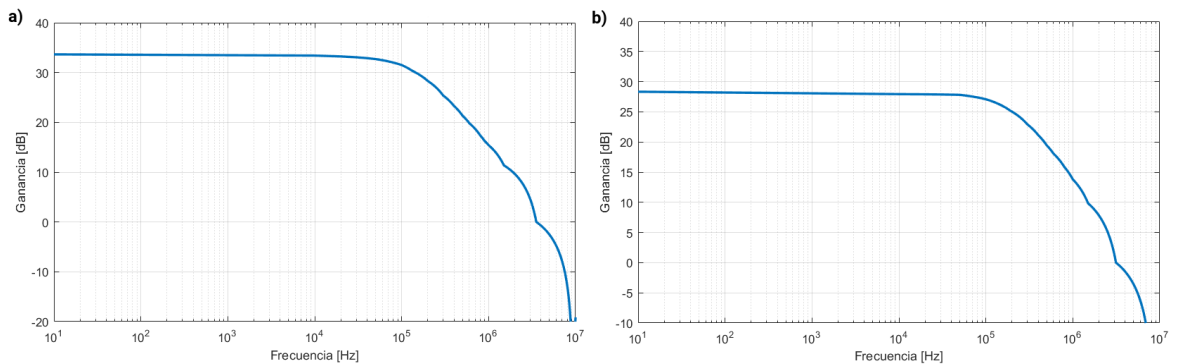


Figura 79. Espectros de ganancia de magnitud para **a)**  $G = 50 \text{ V/V}$  y **b)**  $G = 25 \text{ V/V}$ .

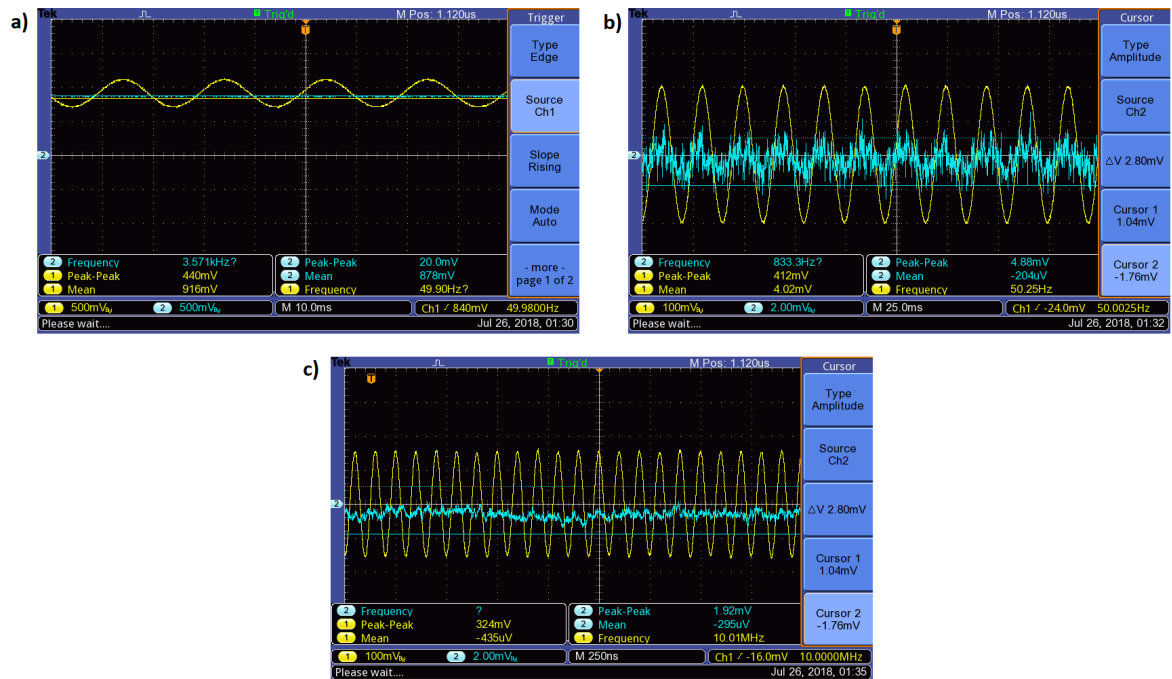


Figura 80. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de  $A_{cm}$  usando  $|v_{in}| = 400 \text{ mV}_{pp}$ . La señal amarilla es  $v_{in}$ , la azul es  $v_{out}$ .

**6.1.4. Ganancia de modo común y CMRR** De la misma forma hecha para la medición de ganancia diferencial, se hicieron barridos en frecuencia para determinar la ganancia de modo común  $A_{cm}$ . La señal senoidal de entrada fue fijada con una magnitud de  $400 \text{ mV}_{pp}$ . En la figura 80 se muestran algunas formas de onda de este barrido, con el cual se construyó el espectro de ganancia de modo común del amplificador. Con esta información se obtuvo el espectro de CMRR del amplificador, el cual es graficado en la figura 81.

**6.1.5. Ruido base, SNR y distorsión armónica** El osciloscopio utilizado incorpora una función de FFT para ver espectros de magnitud, por tanto es útil para estimar niveles de ruido base, SNR y distorsión armónica. En la figura 82 se pueden observar espectros de  $v_{out}$  para señales de entrada oscilando a  $12.5 \text{ kHz}$ , donde se

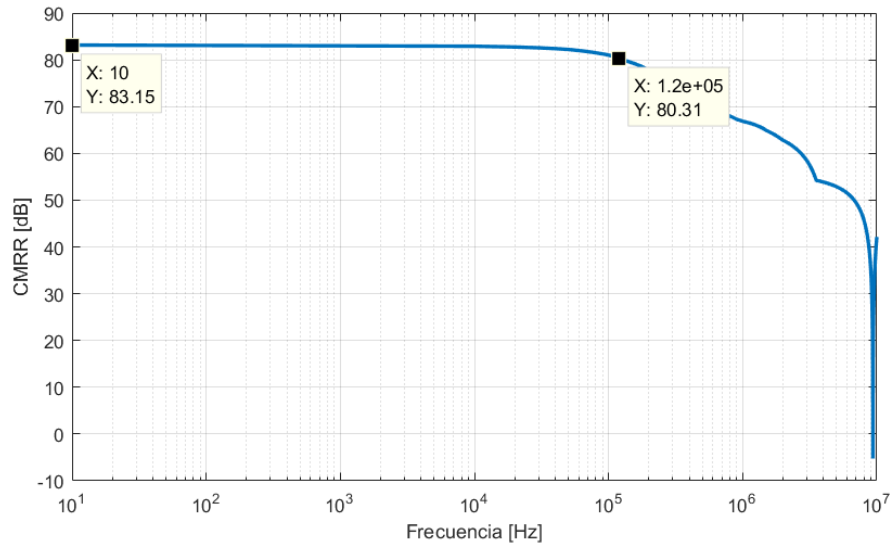


Figura 81. Espectro de  $CMRR$  del amplificador para  $G = 50$  V/V.

hace evidente la aparición de armónicos a medida que se aumenta la amplitud de  $v_{in}$ . Sin embargo, estas lecturas no son adecuadas para la medición del SNR, el cual está definido como la relación entre las *potencias* de la señal y el ruido:

$$SNR = \frac{P_{señal}}{P_{ruido}} \quad (101)$$

Por esta razón se convirtieron los FFT de magnitud a potencia, siguiendo la expresión:

$$P[dB] = 10 \cdot \log_{10} \left( \frac{(\text{fft}_{v_{out}})^2}{R} \right) \quad (102)$$

En nuestro caso,  $R = 16.63 \Omega$ , ya que este fue el valor de resistencia utilizado en la PCB de pruebas para lograr el nivel de entrada mínimo. Aquí cabe mencionar que la potencia también se puede expresar en dBm, multiplicando  $R$  por 0.001.

Tomando como referencia los niveles de ruido base en la figura 83, subfiguras **a)** y

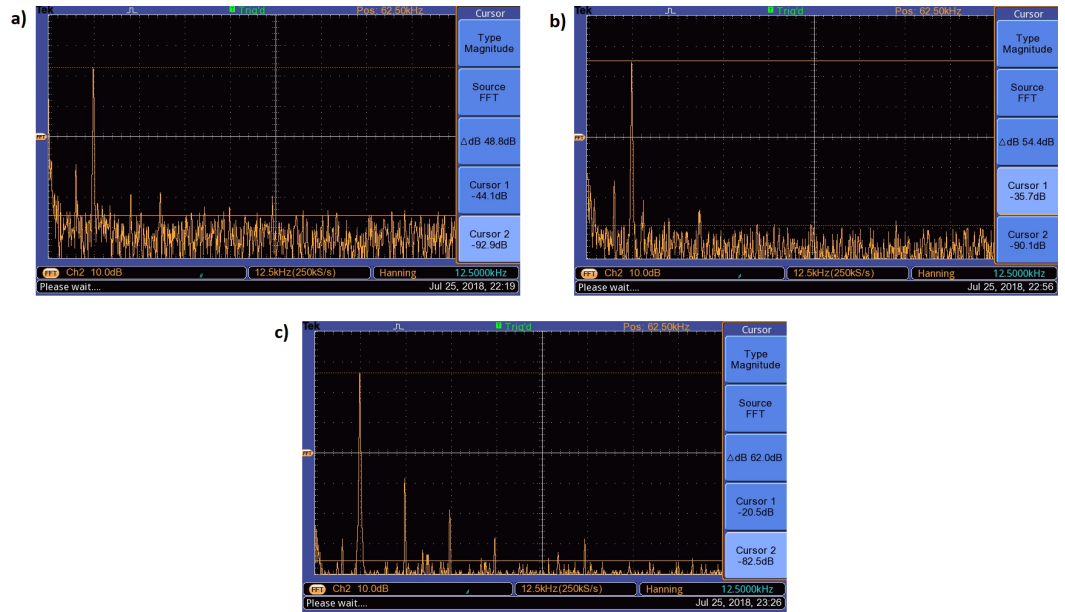


Figura 82. Espectros de amplitud de  $v_{out}$ , con amplitudes de  $v_{in}$  iguales a **a)**:  $400 \mu V_{pp}$ , **b)**:  $1 mV_{pp}$  y **c)**:  $6.3 mV_{pp}$  oscilando a  $12.5 kHz$ .

**b)** (por tener mejor resolución), se aprecia un nivel base de ruido inferior a los  $-100 dB$ , lo cual nos llevaría a tener una señal mínima detectable -MDS- de aproximadamente  $3.4 \mu V_{pp}$ , por tanto un ruido referido a la entrada de  $5.38 nV_{rms}/\sqrt{Hz}$ . En realidad se espera tener un nivel de ruido de menor magnitud, ya que en el ruido base visualizado se incluye ruido agregado por los instrumentos. Tomando como referencia la MDS calculada, para tener un SNR mínimo de  $10 dB$  la señal de entrada deberá tener una amplitud aproximada de  $10 \mu V_{pp}$  para el ancho de banda exhibido por el amplificador.

De la figura 83-c) se puede estimar la distorsión armónica total -THD-, utilizando la siguiente fórmula:

$$THD = \frac{1}{V_1} \cdot \sqrt{\sum_{n=2}^{\infty} V_n^2} \quad (103)$$

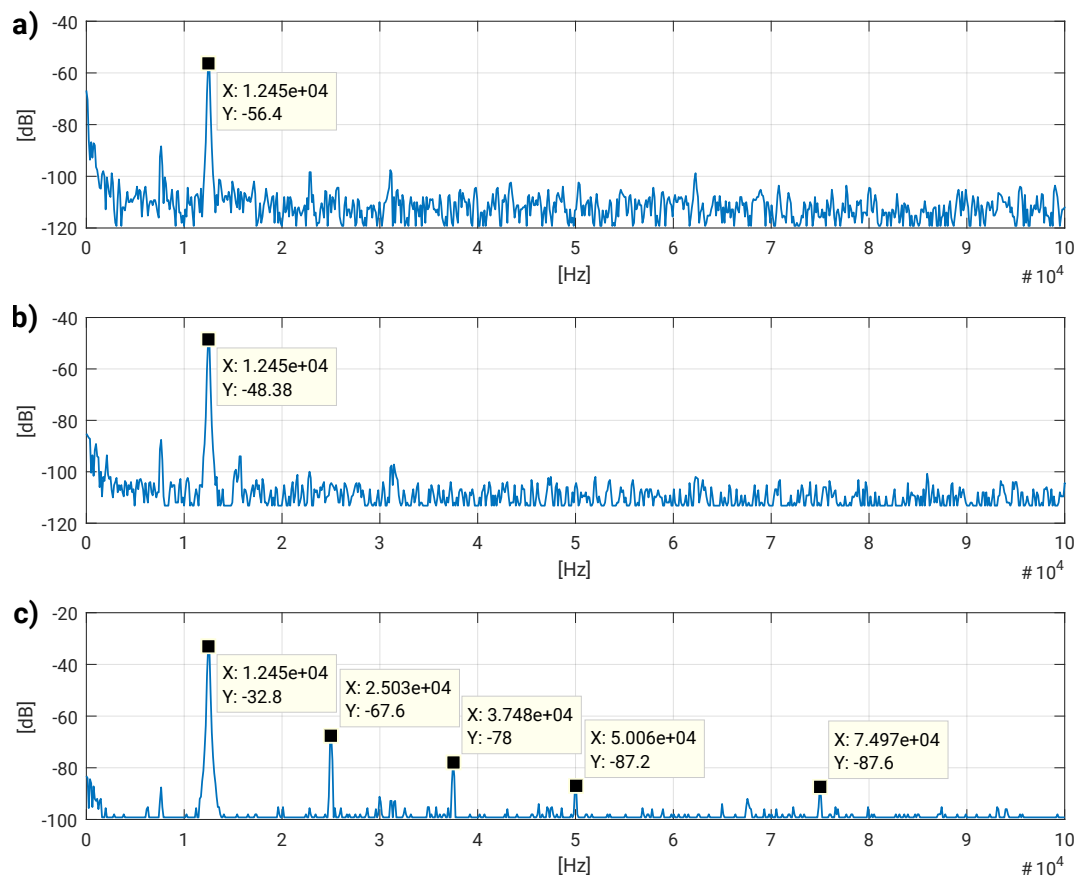


Figura 83. Espectros de potencia de  $v_{out}$ , con amplitudes de  $v_{in}$  iguales a **a)**  $400 \mu V_{pp}$ , **b)**  $1 mV_{pp}$  y **c)**  $6.3 mV_{pp}$  oscilando a  $12.5 kHz$ .

Armónico #	Potencia [dB]	Voltaje [ $V_{rms}$ ]
Principal	-32.8	$93.42 \cdot 10^{-3}$
2	-67.6	$1.700 \cdot 10^{-3}$
3	-78.0	$513.4 \cdot 10^{-6}$
4	-87.6	$178.0 \cdot 10^{-6}$
5	-99.9	$41.25 \cdot 10^{-6}$
6	-87.6	$170.0 \cdot 10^{-6}$

Tabla 13. Niveles de potencia y voltaje de los componentes armónicos de la señal de salida, para una entrada senoidal de  $6.3 \text{ mV}_{pp}$  oscilando a  $12.5 \text{ kHz}$ .

Donde  $V_1$  es el valor rms de la componente fundamental, y  $V_n$  es el valor rms de la n-ésima componente armónica. Estos valores rms, a su vez, se calculan a partir de los valores de potencia mediante la siguiente expresión ??:

$$V_{rms} = \sqrt{R \cdot 10^{\left(\frac{P_{db}+30}{10}-3\right)}} \quad (104)$$

De modo que para los armónicos visibles en la figura 83-c) se obtienen los valores consignados en la tabla 13. Al ingresarlos en la ecuación 103 se obtiene un THD de  $1.92 \%$ . Este nivel de distorsión armónica se entiende como el máximo exhibido por el amplificador, para el rango de voltajes de entrada establecido.

**6.1.6. PSRR** Para la medición de el PSRR se introdujo una perturbación senoidal en la tierra del circuito, con una amplitud de  $400 \text{ mV}_{pp}$ , mientras las entradas del amplificador se fijaron al voltaje de referencia  $V_{REF}$ . En la figura 84 se observan varias formas de onda del barrido en frecuencia realizado para observar el efecto de esta perturbación en la salida (llamada ganancia  $A_{nm}$ ), con el cual se construyó el espectro de  $PSRR$ , el cual se muestra en la figura 85.

**6.1.7. Settling Time (ST) y Slew Rate (SR)** En la figura 86 se muestran las mediciones hechas para el tiempo de asentamiento (*Settling Time*), definido como

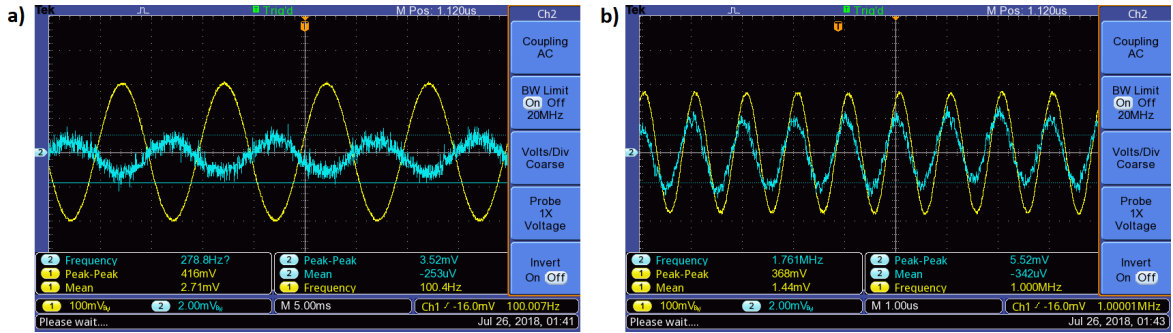


Figura 84. Algunas capturas de formas de onda del barrido en frecuencia hecho para la determinación de  $A_{nn}$  usando  $|v_{nn}| = 400 \text{ mV}_{pp}$ . La señal amarilla es  $v_{nn}$ , la azul es  $v_{out}$ .

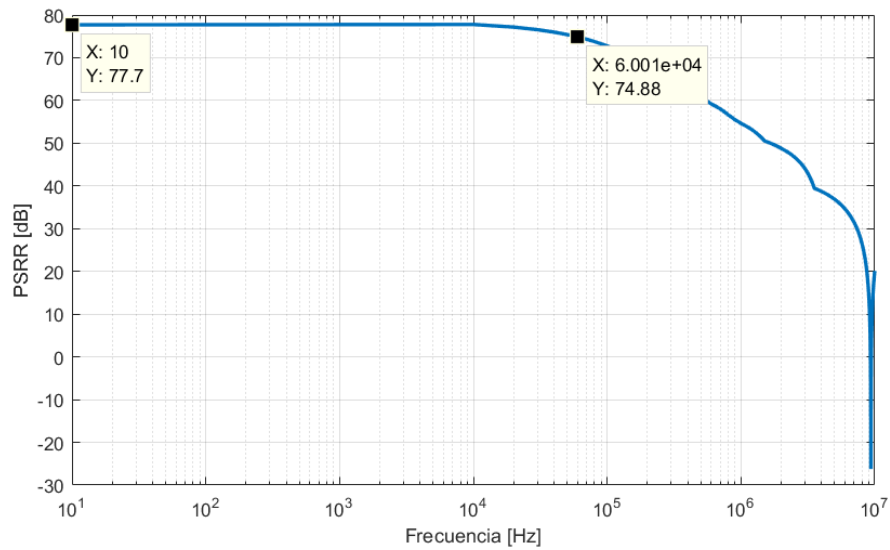


Figura 85. Espectro de  $PSRR$  del amplificador para  $G = 50 \text{ V/V}$ .

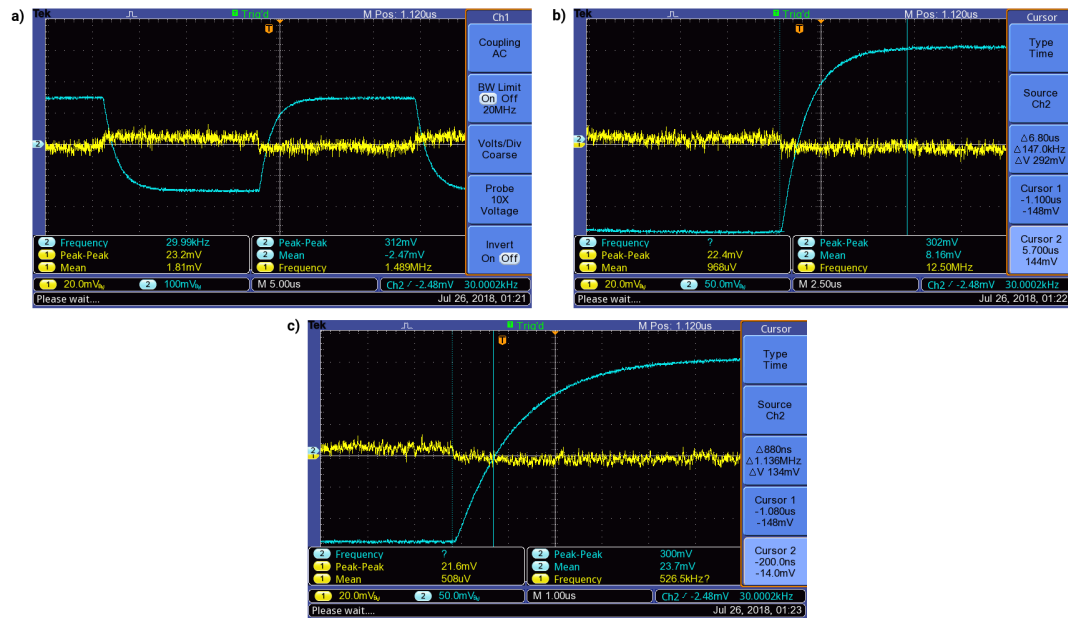


Figura 86. **c)** Forma de onda de salida ante una entrada de pulsos rectangulares a 30 kHz. **b)** Medida del *settling time* del amplificador. **c)** Medida del *slew rate* del amplificador.

el tiempo en que la señal de salida estabiliza dentro de un 0.1 % de su valor final para un nivel dado de tensión de entrada; y el *Slew Rate* del prototipo, que a su vez se entiende como la máxima rapidez de respuesta de la señal de salida. En la subfigura **a)** se aprecia una tendencia simétrica en los tiempos de asentamiento de subida y bajada, utilizando una señal de entrada cuadrada de 6.3 mV de magnitud oscilando a 30 kHz. En la subfigura **b)** se presenta la medición del tiempo de asentamiento en el flanco de subida, que resultó en un valor de 6.8  $\mu$ s. La medición del *slew rate* se muestra en la subfigura **c)**, donde su valor aproximado resultó de 0.15 V/ $\mu$ s. Cabe recordar aquí que estas medidas se ven afectadas por la capacitancia total presente en el nodo de salida, por lo que se espera tener un menor ST y un mayor SR con el circuito en un régimen de funcionamiento normal.

## 6.2. Análisis de las mediciones experimentales

Las mediciones hechas al prototipo de CFIA realizadas con las diferentes PCBs de prueba están consignados en la tabla 14. Los resultados resaltados en color verde ( $A_v$ , CMRR, PSRR y  $V_{\text{noise\_in}}$ ) son las especificaciones de diseño del amplificador de instrumentación que fueron alcanzadas según la tabla 5, mientras que el ancho de banda BW, resaltado en amarillo, fue la única especificación no alcanzada. Sin embargo, debe tenerse en cuenta la consideración mencionada en el preámbulo de este capítulo sobre el buffer de salida *onchip*, por tanto se espera un aumento de esta especificación (y también del  $V_{\text{noise\_in}}$ ) en un régimen de funcionamiento normal del CFIA. Las otras especificaciones ( $V_{\text{offset}}$ , THD, ST, SR, P) aunque no hayan sido tomadas como requisitos de diseño específicos en este proyecto, hacen parte de la caracterización del mismo.

Especificación	Valor
$A_v$ (baja) [V/V]	25.10
$A_v$ (alta) [V/V]	50.10
$V_{\text{offset}}$ ( $A_v$ baja) [mV]	0.200
$V_{\text{offset}}$ ( $A_v$ alta) [mV]	0.320
BW ( $A_v$ baja) [kHz]	200.0
BW ( $A_v$ alta) [kHz]	150.0
CMRR @ BW [dB]	80.31
PSRR @ BW [dB]	74.88
$\overline{v_{iN}}$ [ $\text{nV}_{\text{rms}}/\sqrt{\text{Hz}}$ ]	7.608
THD <sub>max</sub> [%]	1.920
Settling Time [ $\mu\text{s}$ ]	6.800
Slew Rate [ $\text{V}/\mu\text{s}$ ]	0.150
Potencia @ 25°C [ $\mu\text{W}$ ]	900.0

Tabla 14. Mediciones experimentales del CFIA prototipo.

Otro aspecto a tener en cuenta aquí es que las especificaciones presentadas en

la tabla 14 fueron medidas usando los instrumentos básicos mencionados en la sección 6.1.1. Para lograr una mejor caracterización del circuito es recomendable utilizar, en primer lugar, una fuente de señales lo suficientemente pequeñas para alcanzar el orden de las decenas de microvoltios -el orden de la señal mínima del amplificador-, las cuales no son logradas en generadores de funciones básicos. Por otra parte, es también recomendable el uso de un osciloscopio que detecte estas magnitudes. Por último, el uso de un analizador de espectro con capacidad de baja frecuencia (por ejemplo, los modelos de serie X de *Keysight*) permitiría construir automáticamente los espectros de magnitud y fase del amplificador, así como realizar mediciones de ruido de manera más fácil y confiable.

### **Resumen del capítulo**

En este capítulo se presentó la fase experimental de este trabajo de investigación, que incluye las PCBs de prueba diseñadas, los instrumentos utilizados y las diferentes mediciones que fue posible realizar sobre el CFIA prototipo. Así mismo, se mencionaron algunas observaciones sobre las limitaciones de las pruebas realizadas, y los requerimientos para una caracterización completa del circuito.

## 7. CONCLUSIÓN GENERAL

En esta disertación se documentó el proceso de diseño de un amplificador de instrumentación integrado, el cual da continuidad al proyecto de doctorado en Ingeniería Eléctrica del profesor Dr. José Amaya Palacio (E3T - UIS), el cual consistió en el diseño de un bloque de generación de corriente que, a su vez, hace parte de un bioimpedanciómetro integrado orientado a la detección temprana de cáncer de cuello uterino.

Este proyecto inició de manera formal en el mes de julio de 2016. La revisión bibliográfica inicial y el aprendizaje conceptual del tema de investigación se llevó a cabo a lo largo de un período de ocho meses; seguido de esto el proceso de diseño de la arquitectura prototipo en tecnología CMOS - 0.18  $\mu\text{m}$  fue realizado entre los meses de marzo y mayo de 2017, en el marco de una pasantía de investigación realizada en la ciudad de Cuiabá, Brasil, con la supervisión del profesor Dr. Hugo Hernández Herrera (UFMT). Al término de la pasantía se logró tener un *layout* de CFIA cuyas simulaciones cumplen con las especificaciones globales presentadas en el capítulo 3 de este documento (y adicionalmente el diseño de un  $\beta$ -multiplier). La fabricación del *layout* diseñado fue posible gracias a los buenos oficios del profesor Hernández, quien gestionó la donación de área de diseño en un *chip multiproyecto* desarrollado por el Laboratorio de Sistemas Integrables de la Universidad de Sao Paulo (USP). Sin embargo, por limitaciones en el área disponible, tan sólo fue posible integrar una versión *single ended* y sin *buffer* de salida para su fabricación, la cual se llevó a cabo en el tercer semestre de 2017. Las muestras fabricadas y empaquetadas estuvieron disponibles para las mediciones experimentales el mes de mayo de 2018.

En este trabajo de investigación se desarrolló una estrategia de diseño que, ha-

ciendo uso de la técnica  $g_m/I_D$ , así como de expresiones de ganancia, ancho de banda, ruido y rangos de voltaje de entrada; y realizando análisis por separado de cada etapa del amplificador, permite realizar el dimensionamiento inicial de todos los dispositivos. La evaluación del CMRR, PSRR, BW y estabilidad permite hacer un proceso iterativo para ajustar el dimensionamiento inicial. Es importante mencionar en este punto que tanto la estrategia de diseño -descrita en la figura 43- como los desarrollos matemáticos que condujeron a la deducción de las expresiones de ganancia de etapa (ecuaciones 37 y 73) y las estimaciones cualitativas del impacto del *mismatch* sobre el CMRR y PSRR (ecuación 47) no fueron encontrados en la revisión bibliográfica, por tanto son aportes potencialmente novedosos. Este acervo de conocimiento permitió, utilizando como evidencia los resultados de simulación del CFIA prototipo, la elaboración de un artículo científico para conferencia internacional, y su posterior publicación en la base de datos *IEEE Xplore*<sup>73</sup>.

Todas las especificaciones propuestas para el CFIA fueron satisfechas en las simulaciones post-layout del prototipo diseñado. Sin embargo, el ancho de banda obtenido en las pruebas experimentales no logró el objetivo de diseño. Sin embargo esto se esperaba debido a la imposibilidad de integrar un buffer de salida *onchip* para el amplificador. En el caso de la señal mínima detectable, la cual presentó un valor experimental ligeramente por encima del límite de diseño, debe tenerse en cuenta que el ruido medido incluye el de los instrumentos utilizados. Las otras mediciones experimentales del CFIA prototipo muestran el cumplimiento de las especificaciones planteadas para el proyecto. Además, características como el consumo de potencia y el área empleada permiten afirmar que el CFIA proyectado puede ser incluido sin

---

<sup>73</sup> E. Hernández Sanabria y col. "A design methodology for an integrated CMOS instrumentation amplifier for biospectroscopy applications". En: *2017 CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)*. Oct. de 2017, págs. 1-7. DOI: 10.1109/CHILECON.2017.8229506.

inconvenientes en un sistema integrado de medición de bioimpedancia eléctrica. Por tanto, se puede concluir de manera general que el trabajo de investigación desarrollado como tema de maestría y documentado a través de esta disertación alcanzó un resultado satisfactorio.

Con referencia al presente trabajo de investigación, las recomendaciones orientadas al trabajo futuro incluyen el uso de equipo especializado para una mejor caracterización; y por otro lado, la posibilidad de realizar el planteamiento del diseño del CFIA como un problema de optimización. Al plantearlo de este modo es factible llegar al mejor diseño posible para una tecnología y especificaciones específicas. En cuanto a los próximos trabajos de investigación relacionados al proyecto macro (Bioimpedanciómetro para la detección temprana de CCU) deberán estar orientados, naturalmente, a la construcción de los bloques restantes del sistema: Filtrado, digitalización y procesamiento. En instancias posteriores se deberá decidir el nivel de integración del sistema y sus detalles de funcionamiento, para que con trabajos de investigación multidisciplinarios se logre diseñar físicamente un dispositivo que pueda ser evaluado por profesionales del área de la salud.

## BIBLIOGRAFÍA

- Allen, P. y D. Hollberg. *CMOS Analog Circuit Design*. 3rd. Oxford University Press, 2102 (vid. págs. 16, 17, 20, 21, 44).
- Amaya, J. A. “Projeto de Geradores de Sinais em Tecnologia CMOS para aplicação da Espectroscopia da Bio-Impedância Elétrica na detecção precoce de câncer no colo do útero”. Tesis doct. São Paulo: Universidade de São Paulo, 2017 (vid. pág. 38).
- Aponte, G. y J. Caro. *Medición de Espectro de Impedancia Eléctrica de Tejido Cervico-Uterino sano y displásico In-Vitro. Segunda Fase*. 1.<sup>a</sup> ed. Vol. 1. Bucaramanga: Universidad Industrial de Santander, 2006 (vid. pág. 11).
- Baker, J. *CMOS Circuit Design, Layout, and Simulation*. 3rd. Wiley, 2010 (vid. págs. 21, 23, 44, 89, 99).
- Balkir, S., G. Dundar y A. S. Ogrenci. *Analog VLSI Design Automation*. CRC Press, 2003 (vid. pág. 39).
- Barrera, V. y J. Canova. *Diseño e Implementación de un Impedanciómetro para Medición del Espectro de Impedancia Eléctrica*. Bucaramanga: Universidad Industrial de Santander, 2008 (vid. pág. 11).
- Binkley, D. *Tradeoffs and optimization in analog CMOS design*. Wiley, 2008 (vid. pág. 105).

- Brokaw A.P.; Timko, M.P. "An improved monolithic instrumentation amplifier". En: *IEEE Journal of Solid-State Circuits* 10 (6 1975). DOI: 10.1109/jssc.1975.1050636 (vid. pág. 51).
- Brown, B. y col. "Relation between tissue structure and imposed electrical current flow in cervical neoplasia". En: *The Lancet* 355.9207 (2000), págs. 892-895 (vid. pág. 83).
- Castro Jiménez, H. J. "Epidemiología del cáncer de cuello uterino: estado del arte". es. En: *Revista Colombiana de Obstetricia y Ginecología* 57 (sep. de 2006), págs. 182-189 (vid. pág. 3).
- Cheng, Y. y C. Hu. *MOSFET modeling & BSIM3 user's guide*. Kluwer Academic, 2002 (vid. págs. 46, 166).
- Compassi Severo, L. "Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade". Tesis de mtría. Alegrete: Universidade Federal do Pampa, 2012 (vid. págs. 41, 42).
- Dal Fabbro, P. A. "Projeto de um amplificador de instrumentação CMOS integrado". Tesis de mtría. Universidade Estadual de Campinas, 2002 (vid. págs. 26, 77-79, 139, 150).
- De La Hoz, F. *Estudio de enfermedad supuestamente atribuible a la vacunación contra VPH*. Inf. téc. 2015 (vid. pág. 4).
- Dool B.J.; Huijsing, J.K. van den. "Indirect current feedback instrumentation amplifier with a common-mode input range that includes the negative roll". En: *IEEE Journal of Solid-State Circuits* 28 (7 1993). DOI: 10.1109/4.222171 (vid. pág. 36).

- Enz, C., F. Krummenacher y E. Vittoz. "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications". En: *Analog Integrated Circuits and Signal Processing* 8 (1995), págs. 83-114 (vid. págs. 40, 46).
- Ercan, H., S. Tekin y M. Alçi. "Voltage- and current-controlled high CMRR instrumentation amplifier using CMOS current conveyors". En: *Turkish Journal of Electrical Engineering & Computer Sciences* 20.4 (2102), págs. 547-556 (vid. pág. 51).
- Fiorelli, R. "An All-Inversion-Region gmID Based Design Methodology for Radiofrequency Blocks in CMOS Nanometer Technologies". Tesis doct. Universidad de Sevilla, 2011 (vid. pág. 49).
- Hastings, A. *The Art of Analog Layout*. 2.<sup>a</sup> ed. Pearson (vid. pág. 111).
- Hoe, Yen Shi Gillian y col. "Measuring bioimpedance in the human uterine cervix: Towards early detection of preterm labor". En: *Annual International Conference of the IEEE Engineering in Medicine and Biology - Proceedings*. Vol. 26 IV. 2004, págs. 2368-2372 (vid. pág. 82).
- Ivorra, A., J. Aguilo y J. Millan. "Design considerations for optimum impedance probes with planar electrodes for bioimpedance measurements". En: *2001 International Semiconductor Conference. CAS 2001 Proceedings (Cat. No.01TH8547)*. Vol. 1. 2001, 269-272 vol.1. DOI: 10.1109/SMICND.2001.967461 (vid. págs. 82-84).
- Jones D M; Smallwood, R H; Hose D R; Brown B H; Walker D C. "Modelling of epithelial tissue impedance measured using three different designs of probe". En: *Physiological Measurement* 24 (2 mayo de 2003). DOI: 10.1088/0967-3334/24/2/369 (vid. págs. 83-85).

- Khan, S. y col. "Prostate Cancer Detection Using Composite Impedance Metric". En: *IEEE Transactions on Medical Imaging* 35.12 (dic. de 2016), págs. 2513-2523. DOI: 10.1109/TMI.2016.2578939 (vid. pág. 82).
- Kitchin, C. y L. Counts. *A Designer's Guide to Instrumentation Amplifiers*. 2nd. Analog Devices Inc., 2004 (vid. pág. 26).
- Ko, H. y col. "Ultralow-Power Bioimpedance IC With Intermediate Frequency Shifting Chopper". En: *IEEE Transactions on Circuits and Systems II: Express Briefs* 63.3 (mar. de 2016), págs. 259-263. DOI: 10.1109/TCSII.2015.2483258 (vid. pág. 7).
- Krabbe, H. "A high-performance monolithic instrumentation amplifier". En: *IEEE 1971 IEEE International Solid-State Circuits Conference*. 1971. DOI: 10.1109/isscc.1971.1154909 (vid. pág. 51).
- Kurman, R. J., L. Hedrick y B. M. Ronnett. *Blaustein's Pathology of the Female Genital Tract*. New York: Springer, 1987 (vid. pág. 10).
- Meyer, P.R. Gray; P.J. Hurst; S.H. Lewis; R.G. *Analysis and Design of Analog Integrated Circuits*. 5.<sup>a</sup> ed. Wiley, 2009 (vid. págs. 66, 85).
- M'harzi, Z., M. Alami y F. Temcamani. "Low voltage, high CMRR, and wide bandwidth novel current mode current controlled instrumentation amplifier". En: *Analog Integrated Circuits and Signal Processing* (oct. de 2016). DOI: 10.1007/s10470-016-0873-3 (vid. pág. 51).
- Milo, R. y R. Phillips. *Cell Biology By The Numbers*. Draft. Garland Science, 2015 (vid. pág. 84).

- Ministerio de Salud y Protección Social. “Tendencias del cáncer de cérvix: Colombia en el marco de América Latina”. En: (2012). Ed. por Ministerio de Salud y Protección Social (vid. pág. 2).
- Miranda, D., J. Barrero y J. Echeverri. *Estudio para la detección temprana de Cáncer de Cuello Uterino*. 1.<sup>a</sup> ed. Vol. 1. Bucaramanga: Sic, 2007 (vid. págs. 2, 6, 12).
- Muszynski, C. y col. “The impact of using electrical impedance spectroscopy (ZedScan) on the performance of colposcopy in diagnosing high grade squamous lesions of the cervix”. En: *Journal of Gynecology Obstetrics and Human Reproduction* 46.9 (2017), págs. 669-673. DOI: 10.1016/j.jogoh.2017.08.007 (vid. pág. 10).
- Olarte, G. y col. “Espectroscopia de impedancia eléctrica en cáncer invasivo del cuello uterino en mujeres de Caldas (Colombia), 2008-2009”. es. En: *Revista Colombiana de Obstetricia y Ginecología* 61 (mar. de 2010), págs. 18-22 (vid. págs. 10, 83).
- Oliver, L. M. y col. “An impedimetric sensor for monitoring the growth of Staphylococcus epidermidis”. En: *Engineering in Medicine and Biology Society, 2006. EMBS '06. 28th Annual International Conference of the IEEE*. Ago. de 2006, págs. 535-538. DOI: 10.1109/IEMBS.2006.260394 (vid. pág. 8).
- Pardo, C. y col. *Atlas de mortalidad por Cáncer en Colombia*. 4.<sup>a</sup> ed. Vol. 1. Bogotá, 2017 (vid. pág. 5).
- Razavi, B. *Fundamentals of Microelectronics*. 2nd. Wiley, 2104 (vid. págs. 21, 44, 79).

- Robillard, P. N. y D. Poussart. "Spatial Resolution of Four Electrode Array". En: *IEEE Transactions on Biomedical Engineering* BME-26.8 (ago. de 1979), págs. 465-470. DOI: 10.1109/TBME.1979.326572 (vid. pág. 82).
- Sanabria, E. Hernández y col. "A design methodology for an integrated CMOS instrumentation amplifier for bioelectroscopy applications". En: *2017 CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)*. Oct. de 2017, págs. 1-7. DOI: 10.1109/CHILECON.2017.8229506 (vid. pág. 156).
- Schwan, H. *Electrical properties of tissue and cell suspensions*. Vol. 5. New York: New York: Academic Press, 1957 (vid. págs. 6, 8, 9).
- Sedra, A. y K. Smith. *Microelectronic Circuits*. 6.<sup>a</sup> ed. The Oxford Series in Electrical and Computer Engineering. Oxford University Press, USA, 2009 (vid. págs. 64, 78, 88, 90).
- Shichman, H. y D. A. Hodges. "Modeling and simulation of insulated-gate field-effect transistor switching circuits". En: *IEEE Journal of Solid-State Circuits* 3.3 (1968), págs. 285-289. DOI: 10.1109/JSSC.1968.1049902 (vid. pág. 43).
- Silveira, F., D. Flandre y P. G. A. Jespers. "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA". En: *IEEE Journal of Solid-State Circuits* 31.9 (sep. de 1996), págs. 1314-1319. DOI: 10.1109/4.535416 (vid. págs. 40, 46, 166).
- Steyaert M.S.J.; Sansen, W.M.C. "A micropower low-noise monolithic instrumentation amplifier for medical purposes". En: *IEEE Journal of Solid-State Circuits* 22 (6 1987). DOI: 10.1109/jssc.1987.1052869 (vid. pág. 35).

- Tomljenovic, L., C.A. Shaw y J.P. Spinosa. "Human papillomavirus (HPV) vaccines as an option for preventing cervical malignancies: (how) effective and safe?" En: *Current Pharmacological Design* 19.8 (2013), págs. 1466-1487 (vid. pág. 4).
- Tsunami, D. y col. "Variable frequency bioimpedance instrumentation". En: *Engineering in Medicine and Biology Society, 2004. IEMBS '04. 26th Annual International Conference of the IEEE*. Vol. 1. Sep. de 2004, págs. 2386-2389. DOI: 10.1109/IEMBS.2004.1403691 (vid. pág. 7).
- Worapishet, A., A. Demosthenous y X. Liu. "A CMOS Instrumentation Amplifier With 90-dB CMRR at 2-MHz Using Capacitive Neutralization: Analysis, Design Considerations, and Implementation". En: *IEEE Transactions on Circuits and Systems I: Regular Papers* 58.4 (abr. de 2011), págs. 699-710. DOI: 10.1109/TCSI.2010.2078850 (vid. págs. 36, 51, 71, 80, 95, 139).
- Wu, R., J. H. Huijsing y K. A. A. Makinwa. *Precision Instrumentation Amplifiers and Read-Out Integrated Circuits*. 1st. Springer, 2013 (vid. pág. 28).
- Wu, R., K. A. A. Makinwa y J. H. Huijsing. "A Chopper Current-Feedback Instrumentation Amplifier With a  $1/f$  mHz Noise Corner and an AC-Coupled Ripple Reduction Loop". En: *IEEE Journal of Solid-State Circuits* 44.12 (dic. de 2009), págs. 3232-3243. DOI: 10.1109/JSSC.2009.2032710 (vid. pág. 35).
- Yufera, A. y A. Rueda. "A CMOS bio-impedance measurement system". En: *Design and Diagnostics of Electronic Circuits Systems, 2009. DDECS '09. 12th International Symposium on*. Abr. de 2009, págs. 252-257. DOI: 10.1109/DDECS.2009.5012140 (vid. pág. 7).

Zamora, G. y col. "A current mode instrumentation amplifier based on the flipped voltage follower in 0.50  $\mu\text{m}$  CMOS". En: *Analog Integrated Circuits and Signal Processing* 87.3 (2016), págs. 389-398. DOI: 10.1007/s10470-016-0731-3 (vid. pág. 33).

## A. CARACTERIZACIÓN $g_m/I_D$ , PROCESO CMOS $t_{smc} - 0.18\mu m$

En el capítulo 3 de este documento se hizo referencia a la metodología de diseño  $g_m/I_D$  como una herramienta que permite deducir el dimensionamiento de cada transistor de un circuito mediante un tratamiento unificado de todas las regiones de operación de los mismos. Para este trabajo de investigación se realizó la caracterización  $g_m/I_D$  de los transistores del proceso de fabricación  $t_{smc} - 0.18\mu m$ .

Según Silveira et al. <sup>41</sup>, las curvas de  $g_m/I_D$  para los transistores de un proceso específico pueden ser generadas mediante mediciones experimentales, o modelos de transistor que describan su comportamiento en las regiones de inversión fuerte, moderada y débil. Para la generación de las curvas de caracterización a mostrarse en este apéndice se hizo uso del modelo BSIM <sup>50</sup> en su versión 4, el cual es el modelo utilizado en el *Product Design Kit (PDK)* de esta tecnología, e implementado en el entorno de diseño de IC de *Cadence*.

### A.1. Montaje y curvas de caracterización $g_m/I_D$

Para obtener las curvas de caracterización de los transistores de la tecnología  $t_{smc} - 0.18\mu m$  se crearon los archivos de esquemáticos de la figura 87 en el entorno *Virtuoso* de *Cadence*. Aquí los transistores se conectan como diodo, para asegurar su operación en saturación mientras se varía  $V_{GS}$  ( $V_{SG}$  en el PMOS). El ancho  $W$  de los transistores se mantuvo en un valor constante de  $2\mu m$ , mientras que las curvas se generaron para varios valores de  $L$ .

En la figura 88 se muestran las curvas características  $g_m/I_D$  para los transistores del proceso  $t_{smc} - 0.18\mu m$  con  $W$  constante ( $2\mu m$ ) y  $L$  variable. Las pequeñas va-

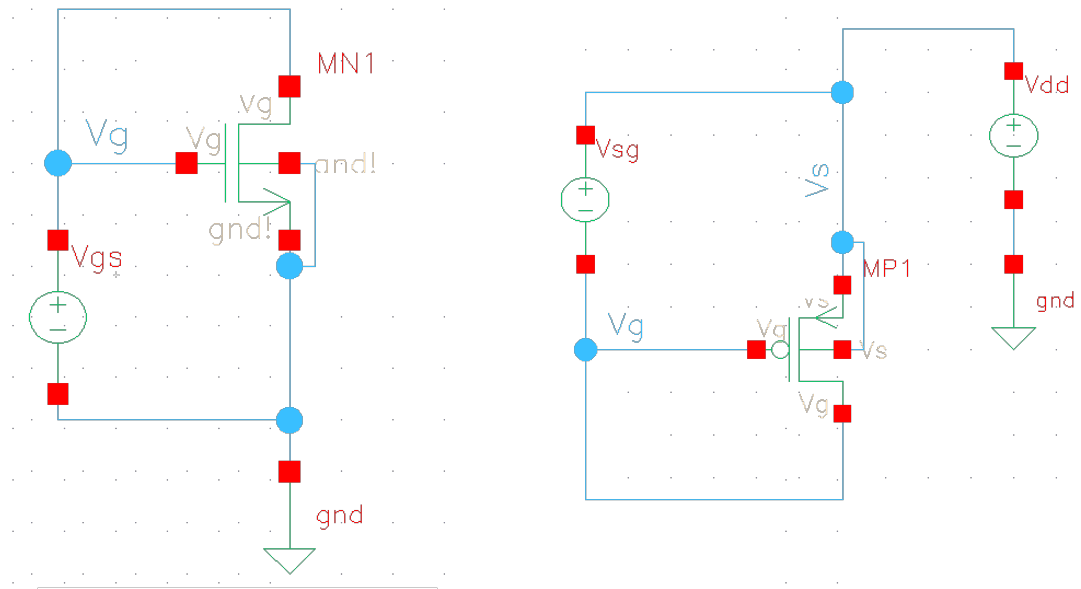


Figura 87. Montajes de caracterización  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología *tsmc* –  $0.18\mu\text{m}$ .

riaciones que se aprecian en las curvas 88a. y 88b. son debidas principalmente a que existen efectos de orden superior que alteran el voltaje de umbral  $V_{TH}$  de los transistores a medida que se cambia el largo  $L$  de los mismos, tal y como puede observarse en las figuras 88c. y 88d. Esta variación se hace más evidente para los transistores de canal corto ( $L = 180 \text{ nm}$ ).

Las curvas de la *frecuencia de transición*  $f_t$  contra  $g_m/I_D$  son mostradas en la figura 89. La dependencia de  $f_t$  con respecto a  $g_m/I_D$  y a  $L$  es inversa. Dicho de otra manera, a medida que se tengan transistores con mayor largo de canal, y puntos de operación con mayor eficiencia  $g_m/I_D$  (inversión moderada y débil) los anchos de banda logrados serán menores.

Las curvas de caracterización de la corriente normalizada  $I_{\square}$  contra  $g_m/I_D$ , mostradas en la figura 90, son importantes para el dimensionamiento de dispositivos

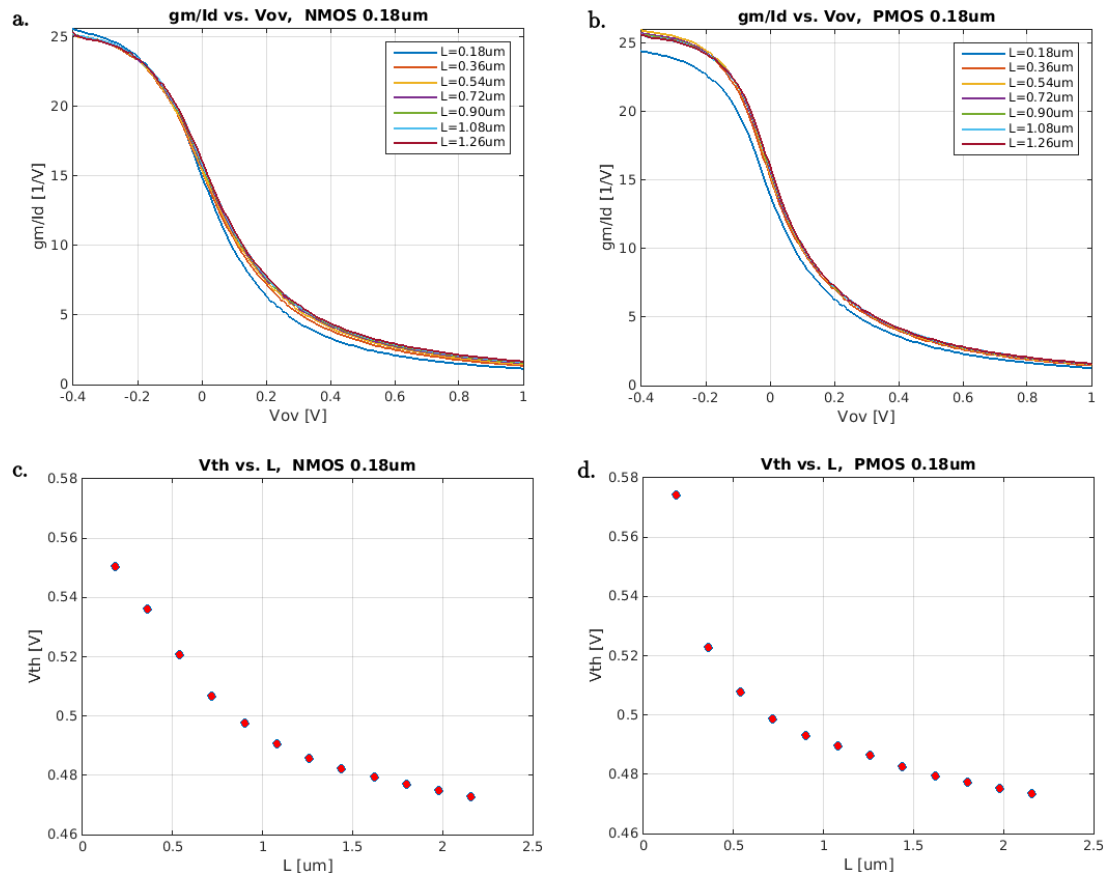


Figura 88. Arriba: Curvas de caracterización  $g_m/I_D$  vs  $V_{ov}$  de los transistores **a)** NMOS y **b)** PMOS del proceso  $tsmc - 0.18\mu m$ . Abajo: Variación de  $V_{TH}$  con respecto al largo de canal  $L$ , para varios valores comprendidos entre  $0.18$  y  $2.16 \mu m$ .

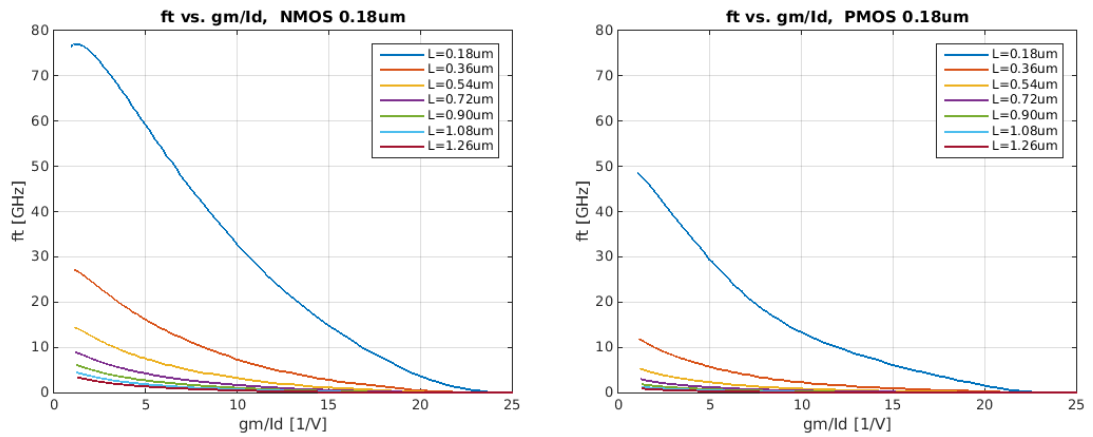


Figura 89. Curvas de frecuencia de transición  $f_t$  contra  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología  $tsmc - 0.18\mu m$ .

MOSFET ya que, al seleccionar una corriente de polarización y una eficiencia de transconductancia, basta con confrontar en las curvas para encontrar de manera inequívoca la relación de aspecto requerida.

## A.2. Montaje y curvas de ganancia intrínseca

Para la simulación y obtención de curvas de caracterización de ganancia intrínseca de los transistores del proceso  $tsmc - 0,18\mu m$ , se generaron los archivos esquemáticos de la figura 91, donde para un nivel de  $V_{GS}$  constante ( $V_{SG}$  para PMOS) se varía  $V_{DS}$  ( $V_{SD}$  para PMOS). Esto se hizo para varios largos  $L$  y niveles de inversión fuerte, moderada y débil, variando los valores de  $V_{GS}$  (y  $V_{SG}$ ) a 750, 550 y 350 mV, respectivamente.

En la figura 92 se presentan la curvas de ganancia intrínseca  $A_i = g_m r_o$  de los transistores del proceso  $tsmc - 0,18\mu m$ , en inversión fuerte ( $|V_{GS}| = 750$  mV). Las figuras 93 y 94 presentan las curvas para inversión moderada ( $|V_{GS}| = 550$  mV) y débil ( $|V_{GS}| = 350$  mV), respectivamente. Observando las curvas, salta a la vista el

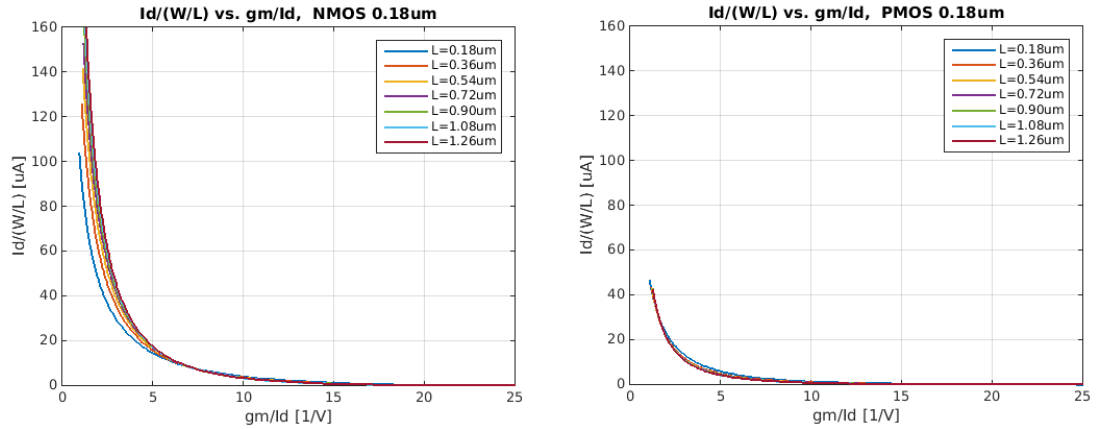


Figura 90. Curvas de corriente normalizada  $I_D$  contra  $g_m/I_D$  para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología *tsmc* - 0,18 $\mu\text{m}$ .

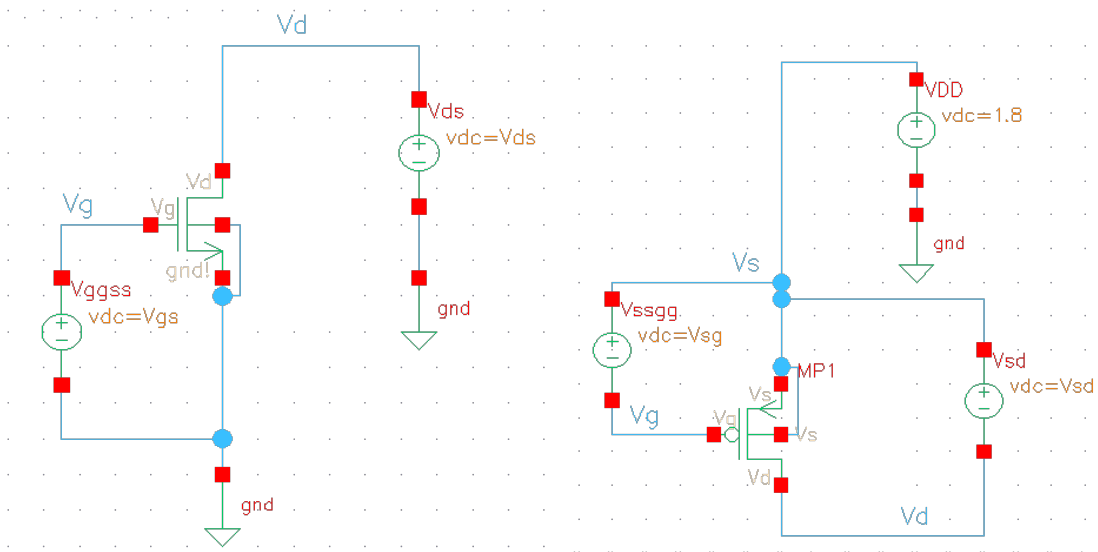


Figura 91. Montajes de caracterización de ganancia intrínseca para los transistores NMOS (izquierda) y PMOS (derecha) de la tecnología *tsmc* - 0.18 $\mu\text{m}$ .

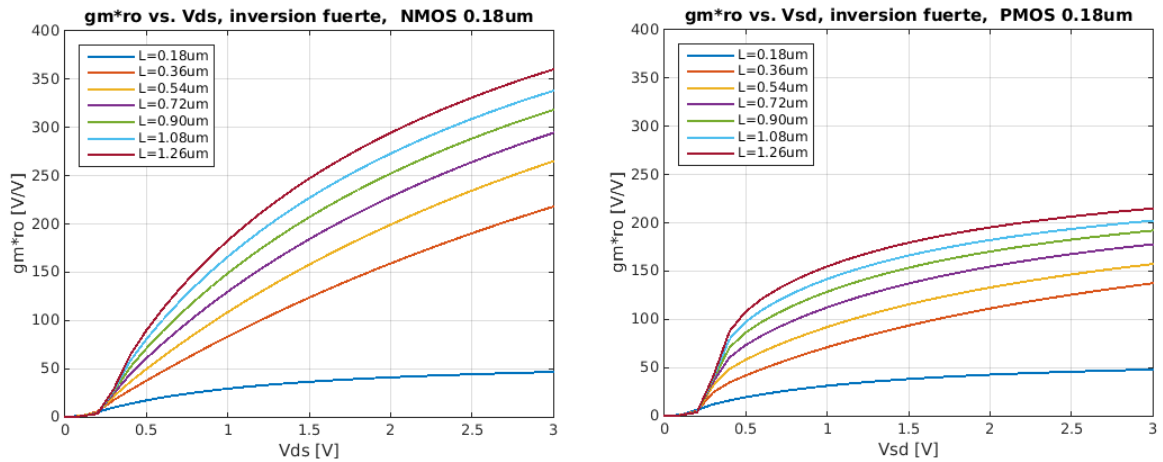


Figura 92. Curvas de ganancia intrínseca en inversión fuerte para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología *tsmc - 0,18μm*.

aumento de ganancia intrínseca al aumentar  $L$ . De igual forma, se puede notar que, si se comparan las ganancias de transistores del mismo tipo y largo, esta cantidad tiene mayor magnitud en la región de inversión débil. Al analizar estas curvas con las de  $f_t$  contra  $g_m/I_D$ , se pone de manifiesto una conclusión importante: *Existe un trade-off entre la ganancia y el ancho de banda*. Dicho en otras palabras, al intentar mejorar una especificación, es inevitable desmejorar la otra en mayor o menor medida. Por ejemplo, si se quiere aumentar ganancia, se debe aumentar el largo de canal  $L$  y/o buscar un punto de polarización hacia la región de inversión débil, lo que implica un aumento en el cociente  $g_m/I_D$ , y por consiguiente una desmejora en la frecuencia de transición  $f_t$ .

### A.3. Un ejemplo de diseño sencillo mediante $g_m/I_D$

Establecer un flujo de diseño circuital mediante la metodología  $g_m/I_D$  depende principalmente de la arquitectura de circuito a construir y las especificaciones del mismo, así como del conocimiento previo de los niveles de alimentación, los rangos dinámi-

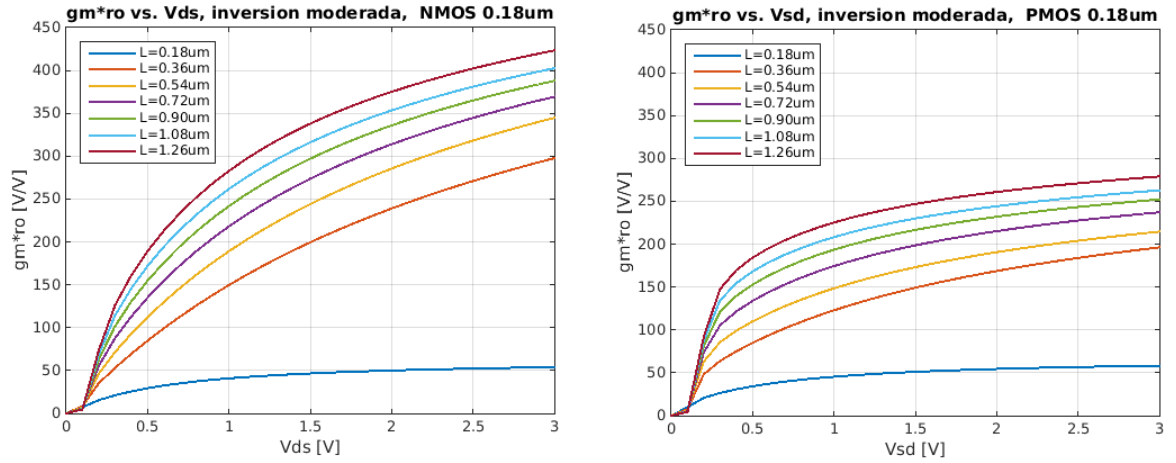


Figura 93. Curvas de ganancia intrínseca en inversión moderada para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología *tsmc* –  $0.18\mu\text{m}$ .

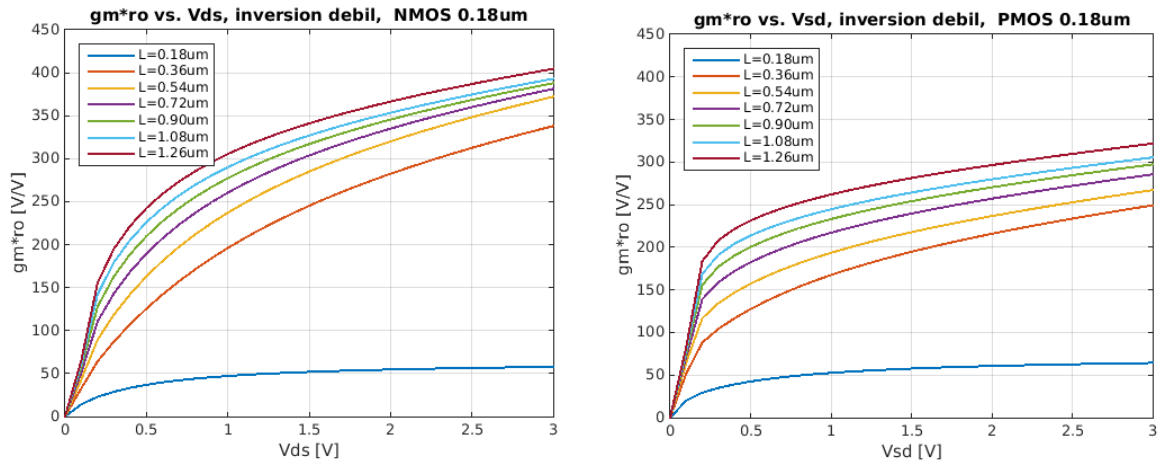


Figura 94. Curvas de ganancia intrínseca en inversión débil para transistores NMOS (izquierda) y PMOS (derecha) con diferentes largos de canal, en la tecnología *tsmc* –  $0.18\mu\text{m}$ .

cos de entrada y salida, así como la naturaleza de las cargas a conectar. A modo de introducción a la aplicación de la metodología  $g_m/I_D$  se presenta el siguiente desafío de diseño, que consiste en un amplificador NMOS de fuente común con carga pasiva, cuya configuración se muestra en la figura 95. Las especificaciones requeridas son:

- $V_{DD} = 1.8 \text{ V}$
- $C_L = 10 \text{ pF}$
- $I_D \leq 300 \mu\text{A}$
- $|A_v| = 10 \text{ dB}$
- $f_{3dB} = 10 \text{ MHz}$

Y se conoce que  $V_{TH} = 541 \text{ mV}$ . Aquí se debe encontrar el valor de  $R_L$ , el ancho  $W$  del transistor NMOS, y el nivel de voltaje de la fuente  $V_{bias}$  de modo que se cumpla con las especificaciones.

Analizando los requerimientos del circuito y habiendo realizado la caracterización  $g_m/I_D$  del proceso CMOS a utilizar (en este caso el *tsmc - 0.18 $\mu\text{m}$* ), un buen punto de partida para su diseño es seleccionar el ancho  $L$  del transistor NMOS según los márgenes de ancho de banda y/o ganancia disponibles. Consultando la gráfica de  $f_t$  contra  $g_m/I_D$  (figura 89) se puede seleccionar un largo  $L$  que sobrepase el requerimiento de ancho de banda, y que permita conseguir la ganancia buscada sin utilizar anchos  $W$  demasiado grandes. En este caso, se seleccionará un  $L = 360 \text{ nm}$ .

El ancho de banda del amplificador dependerá del polo dominante del sistema, lo-

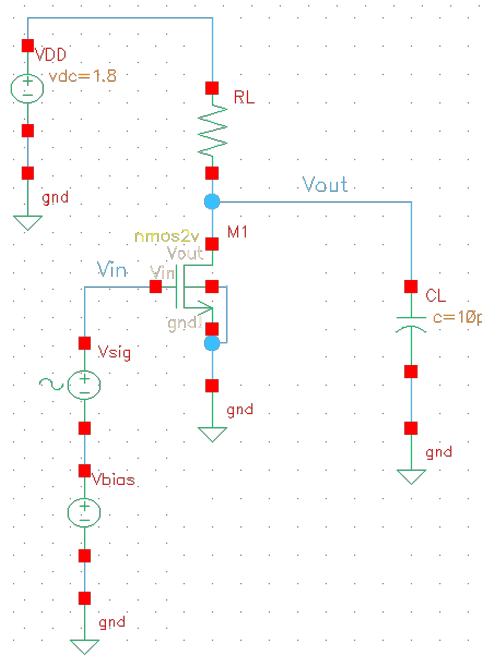


Figura 95. Circuito de ejemplo a diseñar mediante metodología  $g_m/I_D$

calizado en este caso en el nodo de salida, mediante la expresión:

$$f_{3dB} = \frac{1}{2\pi R_n C_n} \quad (105)$$

Donde  $R_n$  y  $C_n$  son la resistencia y capacitancia totales en el nodo. Sabiendo que  $C_L$  es dominante sobre la capacitancia de salida del transistor, y asumiendo que  $R_L$  es mucho menor que  $r_o$ , se puede hallar  $R_L$  reemplazando  $R_n = R_L$  y  $C_n = C_L$  en la ecuación 105:

$$10 \text{ MHz} = \frac{1}{2\pi \cdot R_L \cdot 10 \text{ pF}}$$

$$R_L = \frac{1}{2\pi \cdot 10 \text{ MHz} \cdot 10 \text{ pF}}$$

$$R_L = 1.59 \text{ k}\Omega$$

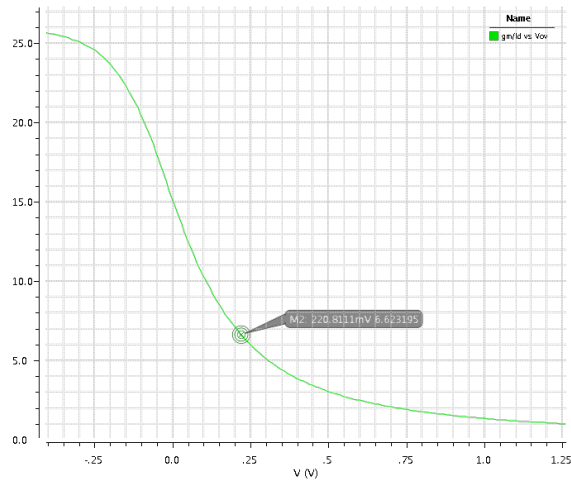


Figura 96. Voltaje de polarización hallado en la curva característica  $g_m/I_D$  contra  $V_{ov}$ .

La ganancia de voltaje del amplificador es:

$$A_v = -g_m(r_o || R_L) \approx -g_m R_L \quad (106)$$

Ya que  $R_L \ll r_o$ . Como  $|A_v| = 10 \text{ dB} \approx 3.16 \text{ V/V}$ , se puede hallar  $g_m$ :

$$-3.16 = -g_m \cdot 1.59k\Omega$$

$$g_m = \frac{3,16}{1.59k\Omega}$$

$$g_m = 2.0mS$$

Ya que la corriente máxima disponible es de  $300 \mu\text{A}$ , se tiene que  $g_m/I_D = 6.6231$ . Con este valor se busca el voltaje de polarización en la curva característica  $g_m/I_D$  contra  $V_{ov}$ , mostrada en la figura 96.

Ya que  $V_{TH} = 541 \text{ mV}$  y el  $V_{ov}$  hallado en la curva fue de  $220 \text{ mV}$ , el valor de  $V_{bias}$

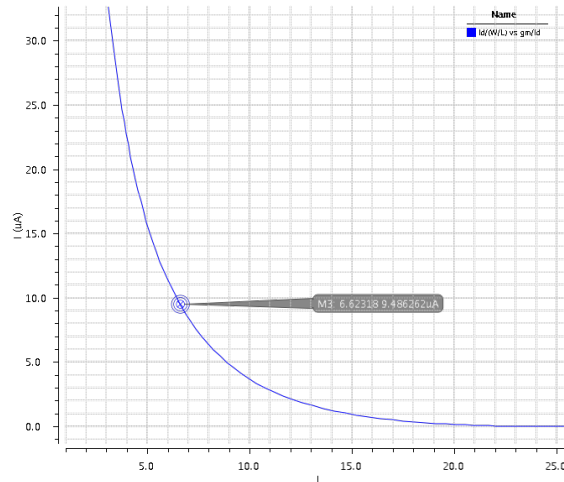


Figura 97. Corriente normalizada hallada en la curva característica  $I_{\square}$  contra  $g_m/I_D$  es de 761 mV. Por último, el ancho  $W$  se halla usando la curva de  $I_{\square}$  contra  $g_m/I_D$ , como se aprecia en la figura 97.

Con el valor hallado de  $I_{\square} = 9.48 \mu\text{A}$  y sabiendo que  $I_D = 300 \mu\text{A}$  y  $L = 360 \text{ nm}$ , el valor del ancho  $W$  calculado es de  $11.38 \mu\text{m}$ . En la figura 98 se muestra la simulación de polarización en DC y la respuesta en frecuencia del circuito diseñado con los valores de  $R_L$ ,  $V_{bias}$  y  $W$  calculados. Los valores simulados de  $I_D = 312.35 \mu\text{A}$ ,  $A_v = 10.06 \text{ dB}$  y  $f_{3dB} = 10.28 \text{ MHz}$  presentaron errores de 4.0 %, 0.6 % y 2.8 % con referencia a sus respectivos valores requeridos.

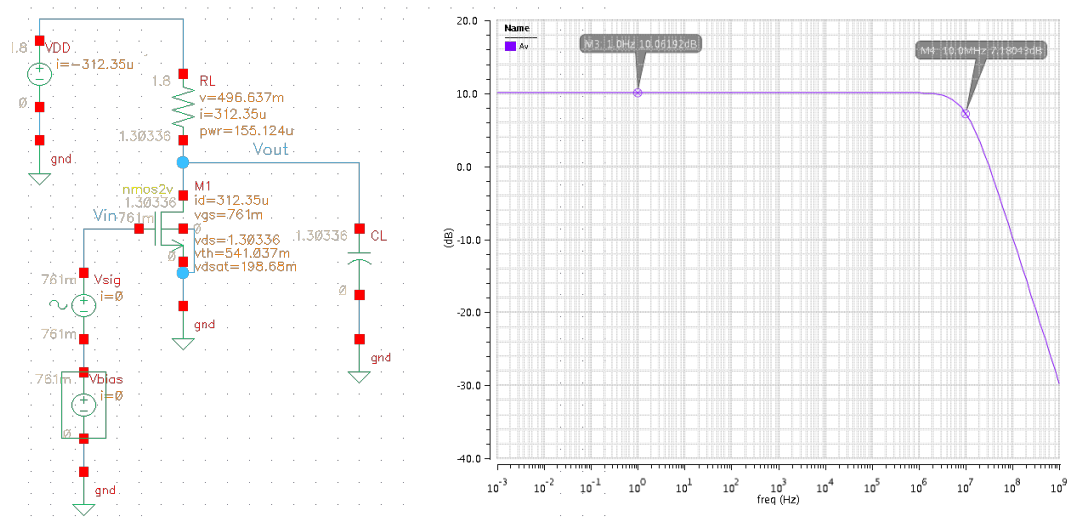


Figura 98. Izquierda: Esquemático del amplificador diseñado mediante metodología  $g_m/I_D$ , donde se aprecian varios valores de polarización en DC. Derecha: Gráfica de respuesta en frecuencia (magnitud) del circuito diseñado.

## **B. ARTÍCULO PUBLICADO ASOCIADO A ESTE TRABAJO**

Este apéndice presenta el artículo “*A design methodology for an integrated CMOS instrumentation amplifier for biospectroscopy applications*” el cual fue publicado en el congreso *IEEE 2017 CHILEAN Conference on Electrical, Electronics Engineering, Information and Communication Technologies (CHILECON)* en el mes de Octubre de 2017. Este artículo se encuentra publicado en la base de datos *IEEE Xplore*, y es posible descargarlo mediante el vínculo <https://ieeexplore.ieee.org/document/8229506>

# A Design Methodology for an Integrated CMOS Instrumentation Amplifier for Bioespectroscopy Applications

Elkyn Hernández Sanabria  
Escuela de Ingenierías Eléctrica,  
Electrónica y Telecomunicaciones  
Universidad Industrial  
de Santander - UIS  
Bucaramanga, Colombia  
elkyn.h.sanabria@gmail.com

José Amaya Palacio  
Escuela de Ingenierías Eléctrica,  
Electrónica y Telecomunicaciones  
Universidad Industrial  
de Santander - UIS  
Bucaramanga, Colombia  
jaamaya@uis.edu.co

Hugo Hernández Herrera  
Instituto de Engenharia  
de Várzea Grande  
Universidade Federal  
de Mato Grosso - UFMT  
Cuiabá, Brasil  
hugo\_hernandez@ufmt.br

Wilhelmus Van Noije  
Laboratório de Sistemas Integráveis,  
Escola Politécnica  
Universidade de São Paulo - USP  
São Paulo - Brasil  
noije@lsi.usp.br

**Abstract**—A design methodology for an integrated CMOS Current Feedback Instrumentation Amplifier (CFIA) intended for bioespectroscopy measurement is presented in this paper. This methodology takes into account key design aspects such as measurement probe geometry, noise and gain requirements, CMRR, PSRR and operation region considerations ( $g_m/I_D$  analysis) of critical transistors of the amplifier to perform its sizing. Following this methodology, a differential output CFIA was designed in a 0.18- $\mu\text{m}$  CMOS process technology, achieving post-layout simulation results of CMRR averaging 100 dB, bandwidth of 2 MHz, power consumption of 634  $\mu\text{W}$  and base noise level lower than 16  $\mu\text{V}_{\text{rms}}$  for a differential gain goal of 50 V/V. This results make the designed circuit suitable for bioimpedance applications.

**Keywords**—Instrumentation amplifiers (IA), local current feedback, design methodology,  $g_m/I_D$  analysis, electrical impedance spectroscopy (EIS).

## I. INTRODUCTION

Instrumentation Amplifiers (IAs) are important blocks in many sensor readout systems, due to their ability to amplify small differential signals—some in the order of a few tenths of microvolts—that coexists with high levels of common-mode noise or interference. Within the wide range of applications of the IAs, our this research is focused in designing integrated hardware for bioimpedance measurement, to be used in medical applications. The bioimpedance analysis techniques, most of all based in the electrical impedance spectroscopy (EIS)—which consists in the study of electrical properties of living tissue as function of frequency— have the potential for

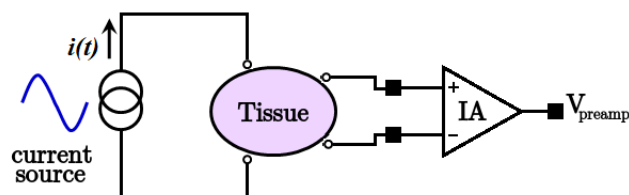


Fig. 1. Simplified diagram of a tetrapolar EIS acquisition system.

portable and low-cost implementations, in addition to other advantages over methods as X-rays and magnetic resonance imaging (MRI), since EIS does not emit ionized radiation [1], and the levels of energy used to excite the tissues are typically very low, whence bioimpedance techniques can be defined as non-invasive, thus ensuring the safety of patients. EIS is performed by the application of a frequency variable excitation signal (voltage or current) in a tissue, and then the response signal is amplified and processed. Fig. 1 shows a simplified scheme of a tetrapolar EIS system, where a sinoidal current is applied to a tissue, while the response signal is a voltage.

Electrical properties of living tissues have been studied widely, starting from the research of Schwan [2], where were defined three major dispersion regions that describes the variation of the electrical properties of tissues depending on frequency. From this study we know that in frequencies below 1kHz the impedance measurements are associated mainly to the conductivity of the extracellular medium, and from 1 kHz to 10 MHz the impedance measurements represents mostly the ability of the cellular membrane to accumulate charge (to

have a capacitive behavior). In the other hand, in other works like [3] and [4] *in vivo* impedance measurements in human cervical tissue were performed, where a contrast was found between healthy tissue and tissue with presence of different levels of neoplasia in frequencies below 1 MHz. This translates into a possibility to develop instrumentation that allows to early diagnose cervical cancer using EIS with enough degree of sensitivity and specificity to complement the Papanicolau smear test, which is the traditional diagnosis technique.

An IA to be used in an instrumentation system aimed for cervical cancer diagnosis –which is the final application of this research– must be capable to measure impedance signals over a frequency range until at least 1 MHz, and achieve a minimum detectable signal (MDS) in the order of tenths of microvolts (the exact magnitude of the MDS will depend on the geometric configuration of the measurement probe). Furthermore, the bandwidth (BW) requirement for this IA implies having a common-mode rejection ratio (CMRR) higher than 80 dB in high frequencies (at least 1 MHz). Searching in the available literature, we did not found many IA architectures that meet this specifications. Although some studies like [5] and [6] presented current-mode instrumentation amplifiers (CMIA) based in current conveyors with BWs in the order of tenths of MHz and CMRRs above 140 dB, there is no information regarding noise characteristics of this architecture. From the literature revision performed, we found that the local current feedback instrumentation amplifier (CFIA) presented by Worapishet et al. in [1], besides complying with all the specifications stated so far, the designed IA was physically implemented and measured, which corroborated the reliability of this CFIA topology. Although in this work several mismatch mechanisms that affect CMRR and frequency response of the IA were analyzed, there was not presented a design methodology or workflow that a designer could use to implement this IA. Besides this, to the best of our knowledge, there is no more recent works intended to reply or improve this architecture in any way (specifications or technology).

Thus, in this paper we present a design methodology that allow, following certain design considerations, implement this circuit architecture to achieve desired specifications on differential gain, bandwidth, base noise levels and CMRR. First we start describing the chosen IA architecture in section II, giving key expressions for gain, noise and BW. In section III is presented the design methodology, and a workflow is followed to design a differential-output CFIA. The implementation of the designed CFIA is presented in section IV, as well as the most pertinent simulations and results. Lastly, the conclusion is presented in section V.

## II. CFIA ARCHITECTURE DESCRIPTION AND ANALYSIS

Instrumentation amplifiers can be build using various approaches: the classical resistive feedback, switched capacitors (SCIA), capacitive coupling (CCIA), current mode (CMIA) and current feedback (CFIA) architectures. Any of these topologies offers advantages and drawbacks compared against

the others, but the CFIA is the one that offers the best trade-off between characteristics for and standalone amplifier [7]. At the same time, the CFIA can be subdivided in subtypes like *direct*, *indirect* and *local* current feedback, depending in the way that is configured the feedback current flow. Regarding specifically the CFIA designed in [1], it could be thought as an “evolved” CMOS version of the original CFIA architecture proposed by Krabbe [8] and improved by Brokaw and Timko [9].

Taking fig. 2 as reference, two main stages -input and output- can be identified in the circuit. The *input stage* consists of the input differential pair  $M_{i1,i2}$  degenerated by  $R_1$ , the current mirror  $M_{d1,d2}$ , and the feedback current sources  $M_{s1,s2}$ . All the elements mentioned so far make up the CFIA’s *input branches*, while the *local loop amplifier* of the stage consists of the differential pair  $M_{3,4}$ , the loads/sense mirrors  $M_{5,6}$ , and the polarization current source  $I_{bias}$  (which can be a MOS transistor biased with on-chip circuitry -like a  $\beta$ -multiplier- or an external source). The shorted NMOS transistor acts as a *neutralization capacitor*  $C_N$ , and its purpose is to compensate the drop of the IA’s high frequency response caused by the unequal impedances of the nodes going to the gates of  $M_{3,4}$  (called  $D_1$  and  $D_2$  from now on), thus helping to increase CMRR in high frequencies. The *output stage* is formed by the current sources  $M_{13,16}$ , the output differential pair  $M_{o1,o2}$  degenerated by  $R_2$  and  $C_2$ , the current mirrors  $M_{7,8}$  and  $M_{10,11}$ , the NMOS pair  $M_{9,12}$  that constitutes the lower NMOS cascodes (with  $M_{8,11}$ ), and the upper PMOS cascodes formed by the pairs  $M_{14,15}$  y  $M_{17,18}$ .

### A. Gain equations

The expression for the differential gain of the whole CFIA can be deduced in an intuitive manner. Taking again fig. 2 as reference, we can identify currents  $I_{i1,i2}$  as the currents flowing in the input branches of the circuit, while  $I_{o1,o2}$  are the currents flowing in the output branches. Because of the high loop gain of the input stage, when  $v_i \neq 0$ , this voltage will appear between the sources of  $M_{i1}$  and  $M_{i2}$ , thus a differential current will flow through  $R_1$ . Then, for the input stage:

$$\frac{I_{i1} - I_{i2}}{2} = \frac{v_i}{R_1} \quad (1)$$

The gain loop of the output stage also causes the voltage  $v_o - V_{ref}$ , to appear between the sources of  $M_{o1}$  and  $M_{o2}$ , and then a differential current flows across impedance  $Z_2$  –formed by  $R_2$  and  $C_2$ – giving for low frequencies:

$$\frac{I_{o1} - I_{o2}}{2} = \frac{v_o - V_{ref}}{R_2} \quad (2)$$

Equations (1) and (2) can be combined to give the expression for the CFIA’s differential gain, valid if the circuit is designed to make  $I_{i1} - I_{i2} = I_{o1} - I_{o2}$ :

$$A_v = \frac{v_o - V_{ref}}{v_i} = \frac{R_2}{R_1} \quad (3)$$

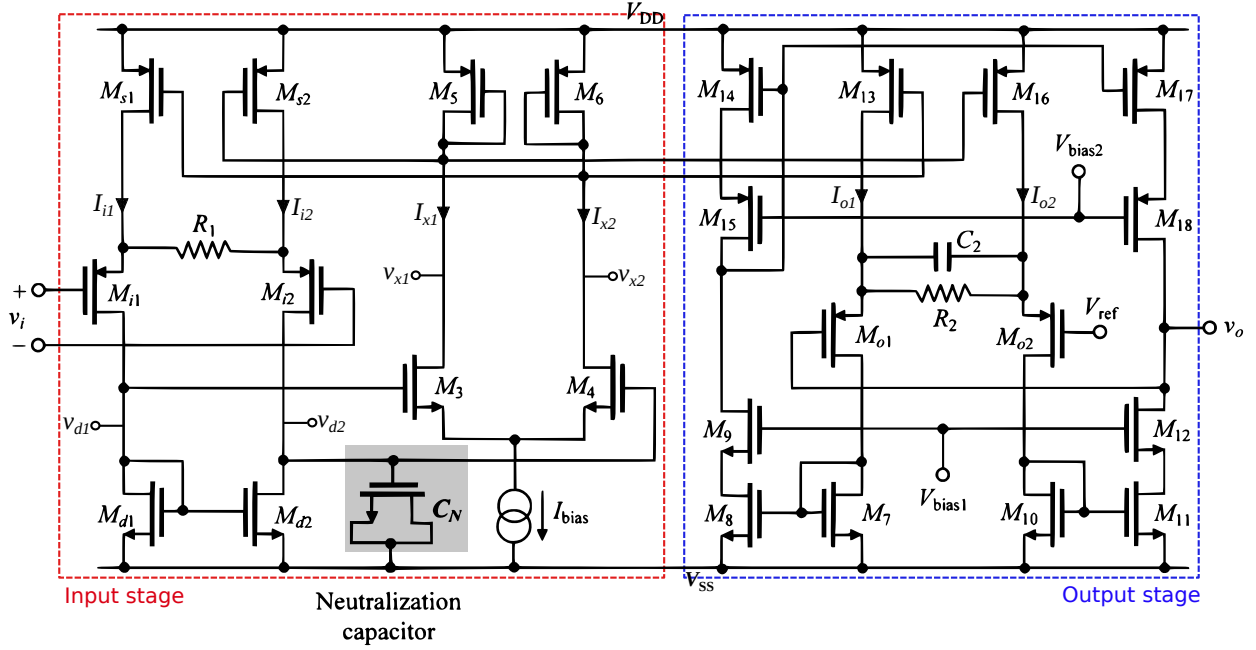


Fig. 2. Schematic of the CFIA implemented by Worapishet et al. Adapted from [1].

Analyzing input and output stages as a separate circuits is useful in the design of the CFIA, knowing that input stage determines noise level and mostly of whole circuit's CMRR [1], while output stage limits the bandwidth (if input stage's BW is higher than output stage's BW). In addition, finding the voltage gains of each stage allows to distribute gain in each stage to satisfy an specific design criteria. So, performing feedback analysis of input stage we found an approximate expression of the input stage's closed loop differential gain :

$$A_{v_{in}} = \frac{v_{x1} - v_{x2}}{v_i} \approx -\frac{2}{g_{m_s} R_1} \quad (4)$$

And doing the same analysis for output stage yields:

$$A_{v_{out}} = \frac{v_o - V_{ref}}{v_{x1} - v_{x2}} \approx -\frac{g_{m_{13,16}} R_2}{2} \quad (5)$$

Here we can confirm that, if  $g_{m_{s1,s2}} = g_{m_{13,16}}$ , (4) and (5) can be combined to obtain the CFIA's voltage gain, identical to (3).

### B. Noise and input voltage ranges

Worapishet et al. stated that thermic noise dominates over  $1/f$  noise in this CFIA, because the amplifier is designed to have BW extended to the order of MHz, where  $1/f$  noise is not present. Performing noise analysis they calculated the expression for the CFIA's noise level referred to the input, as follows:

$$\frac{\overline{v_{iN}^2}}{\Delta f} = 4kTR_1 + \frac{16}{2}kT \left( \frac{1}{g_{m_i}} + \frac{g_{m_d}}{g_{m_i}^2} \right) \quad (6)$$

Where  $k$  is the Boltzmann constant,  $T$  is the absolute temperature, and  $\Delta f$  is the gain bandwidth (GBW) of the CFIA.

The value of  $\overline{v_{iN}}$  therefore is the CFIA's *minimum detectable signal* (MDS), and this value is the first quantity to be known in order to start with the design process. In our application case, this value will depend on the geometrical configuration of the measurement probe, which can be bipolar, tripolar, tetrapolar or compound. In [10] was found an expression that links a tissue resistivity  $\rho$ , an excitation current  $I$  and the *Inter Electrode Separation Distance* (IESD)  $r$  with a reading voltage  $V$  for a circular-tetrapolar measurement probe, like the one shown in fig. 3:

$$V = k_m \frac{\rho}{r} I \quad (7)$$

Where  $k_m = (2\pi)^{-1}$  is the semi-infinite medium propagation constant. The data about cervical tissue resistivity given by [3], [11] or [4], the distance designed for the probe, and the magnitude of the excitation current will yield the CFIA's input voltage range, whose minimum value is the maximum input noise (MDS) allowed for the CFIA.

In this point is worth to set a design consideration regarding the value of  $R_1$ . Equations 3 and 6 suggest giving a low value

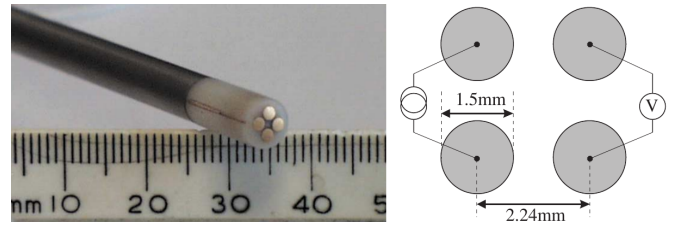


Fig. 3. Picture (left) and diagram (right) of a circular-tetrapolar measurement probe for cervical tissue EIS. Adapted from [3].

to this resistor in order to minimize noise, and to make the value of  $R_2$  low enough to reach a specific gain. However, this value cannot be so low that it causes an excessive current flowing through it in the presence of systematic or random mismatch, thus decreasing CMRR.

### C. Frequency response

The frequency response of CFIA's input stage can be approximated as a dominant pole response, caused by the high impedance node  $D_2$  [12]. Thus, analyzing the feedback configuration of the stage [13], the approximated value of  $f_{3dB}$  in closed loop is given by:

$$f_{3dB_{CL}} = f_{3dB_{OL}}(1 + \alpha\beta) \quad (8)$$

Where  $f_{3dB_{OL}}$  is the pole frequency in open loop, and the product  $\alpha\beta$  is the *loop gain* of the stage. The loop gain can be approximated by the equation:

$$\alpha\beta \approx \frac{R_1 g_{m_i} g_{m_s}}{2(g_{ds_i} + g_{ds_d})} \quad (9)$$

While the expression for  $f_{3dB_{OL}}$  is:

$$f_{3dB_{OL}} = \frac{1}{2\pi R_{eq} C_{eq}} \quad (10)$$

Being  $R_{eq}$  and  $C_{eq}$  the equivalent resistance and capacitance seen in node  $D_2$ .  $R_{eq}$  has the approximate expression:

$$R_{eq} \approx \frac{2g_1 + g_{m_i}}{2g_1(g_{ds_i} + g_{ds_d}) + g_{m_i}g_{ds_d}} \quad (11)$$

And for  $C_{eq}$  we have:

$$C_{eq} = C_{db_{M_{d2}}} + C_{db_{M_{i2}}} + C_{gs_{MCN}} + C_{gd_{MCN}} + C_{gs_{M4}} + \left(1 + \frac{g_{m4}}{g_{m6}}\right) C_{gd_{M4}} \quad (12)$$

The frequency response can be linked to the bias current  $I_{bias}$  expressing (9) and (11) in function of this quantity, but the form of the deterministic expression will depend on the operation region of the stage transistors. For design purposes, is useful to assume a value of  $I_{bias}$  to make an initial sizing, and then evaluate the frequency response of the stage (8), iterating the current value until all local specifications are fulfilled. Once a sizing iteration is done, and keeping the same  $L$  of  $M_{d1,d2}$ , the NMOS neutralization capacitor  $C_N$  is sized by [1]:

$$W_N = \frac{4}{3}W_d \quad (13)$$

The output stage's frequency response is determined by the dominant pole present in the output node. In closed loop, by effect of the virtual shortcircuit between the output node and the source of  $M_{o1}$ , the location of the 3 dB frequency will be determined by the impedance  $Z_2$  formed by  $R_2$  and  $C_2$ , and the load impedance. The  $f_{3dB}$  of the output stage will be the  $f_{3dB}$  of the CFIA, only if the BW of the input stage is higher than the BW of the output stage.

## III. DESIGN METHODOLOGY AND CONSIDERATIONS

Fig. 4 shows the design methodology proposed for the CFIA, being again fig. 2 our schematic reference. This methodology is valid if given specifications are achievable by this CFIA topology in the selected CMOS technology. Having the circuit's specifications (gain, BW, MDS, etc.), the starting point of the design process is the measurement probe's geometric configuration. If the probe is of the tetrapolar-planar-circular type, the input voltages  $v_{in_{min}}$  and  $v_{in_{max}}$  are calculated by (7). Taking  $v_{in_{min}}$  and defining a  $SNR_{min}$  to determine MDS, and setting the value of  $R_1$  (bearing in mind  $R_1$  trade-off considerations given in subsection II-B), a quotient between the transconductancies of  $M_{i1,i2}$  and  $M_{d1,d2}$  can be found by means of noise analysis (6). After this, we define a coherent value of  $I_{i1,i2}$  and use  $g_m/I_D$  analysis [14] to find the  $I_D/(W/L)$  currents (also called  $I_{\square}$ ) and aspect ratios of  $M_{i1,i2}$  and  $M_{d1,d2}$ . In  $g_m/I_D$  analysis is useful to consider the operation region to set an initial  $g_m/I_D$  value for design. In this regard, Binkley [15] asserts that CMOS transistors working in moderate inversion  $-(20 \leftrightarrow g_m/I_D \leftrightarrow 10) V^{-1}$  offers a trade-off between high transconductance efficiency ( $g_m/I_D$ ), low saturation voltage ( $V_{GS}$ ), minimum saturation velocity and moderate bandwidth; all of these good characteristics for our CFIA design. Defining a gain distribution over the stages we can set  $A_{v_{in}}$  and find the aspect ratio of  $M_{s1,s2}$ . Setting also a quotient between the currents  $I_{i1,i2}$  and  $I_{x1,x2}$  the aspect ratio for  $M_{bias}$  can be found. Having the currents  $I_{x1,x2}$ , the pair  $M_{5,6}$  can be sized, and in last place the pair  $M_{3,4}$  is sized to guarantee an appropriate biasing of the branches. Once sized all devices in the stage, simulations must be made to verify compliance of stage specifications, as well as its stability. It is expected for the input stage the assumption of  $I_{i1,i2}$  to perform an initial sizing, and then iterate its value to resize the devices while reaching an adequate polarization and enough BW, knowing that typically, in moderate inversion the bandwidth grows as bias current increases.

If input stage specifications are satisfied, the design process of output stage starts by defining a quotient between currents  $I_{i1,i2}$  and  $I_{o1,o2}$ . This quotient defines the aspect ratio of  $M_{13,16}$ . If the current flowing through all branches in the stage are defined equal, the sizing of the remaining transistors of the stage is a pretty much straightforward process, and must be set looking for an adequate polarization and enough voltage *headroom* in the output node. DC gain of this stage is given by  $R_2$  and the dominant pole by  $R_2$  and  $C_2$  along with the impedance seen in this node, if the load impedance is negligible (understanding *negligible* if its value does not alter the dominant effect of  $R_2$  and  $C_2$  over the pole location). In the same manner as done for input stage, simulations must be made to verify compliance of output stage's specifications.

Having both stages designed, the last step is to connect them and perform simulations to verify compliance of global specifications, including statistical simulations to evaluate the effect of corners, mismatch and temperature over circuit's performance. If all specifications are still met, the design

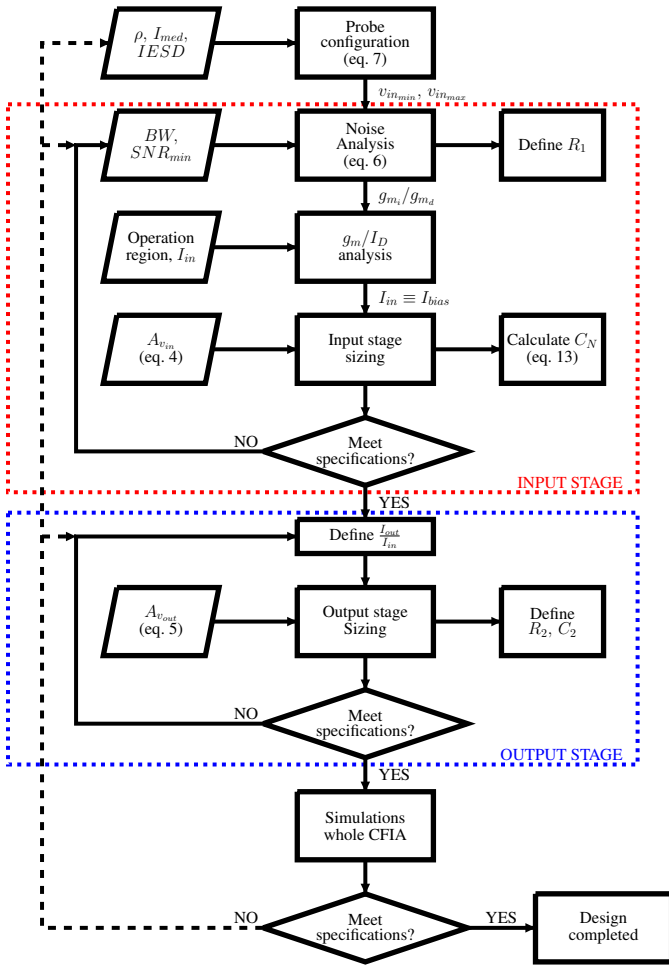


Fig. 4. Design methodology workflow for the CFIA.

process is complete. If one or many specifications are not satisfied, the cause(s) must be inferred to redesign from a specific point of the workflow.

#### IV. CFIA DESIGN EXAMPLE AND SIMULATED RESULTS

##### A. Design example

In table I are presented the global design specifications for our CFIA. Although specifications not set in the table establishes “freedom degrees”, the designer must be careful in keeping a reasonable behavior of the circuit regarding power

TABLE I  
GLOBAL DESIGN SPECIFICATIONS OF THE CFIA.

Specification	Value
Differential gain ( $A_v$ )	$> 50$ V/V
Bandwidth ( $BW$ )	$> 1$ MHz
CMRR @ 1 MHz	$> 80$ dB
PSRR @ 1 MHz	$> 60$ dB
$v_{in}$ range	$[56.27\mu, 4.50m]$ $V_{rms}$
$SNR_{min}$	$> 10$ dB

consumption, employed area, offset voltage, etc. Starting from the cervical tissue resistivity data in [4], using an IESD of  $1.5$  mm (attending the spacing considerations in [10]) and taking an excitation current of  $10\mu A$  [16], (7) gives  $v_{in_{min}} = 56.27\mu V_{rms}$  and  $v_{in_{max}} = 4.50mV_{rms}$  as the input voltage range of the amplifier. The value of  $v_{in_{min}}$  and the  $SNR_{min}$  specification leads to have a  $MDS < 17.25\mu V_{rms}$  for the CFIA. this value is entered to (6) along with the  $BW$  intended for the input stage (3 MHz in our case), and a selected value for  $R_1 = 350\Omega$  to give a transconductance relation  $g_{m_i}/g_{m_d} \approx 3.1295$ . Selecting a  $g_m/I_D = 16$  for  $M_{i1,i2}$  the value of  $I_{\square_i}$  found in the  $0.18\mu m$  technology PMOS curve was  $203.19nA$  (see fig. 5.a). Selecting an initial  $I_{i1,i2} = 30\mu A$  gives a  $g_{m_i} = 480.0\mu A/V$ , and a size aspect  $W_i/L_i = 147.65$ . Besides,  $g_{m_d} = 153.4\mu A/V$  and the transconductance efficiency for  $M_{d1,d2}$  is  $g_m/I_D = 5.11$ . Looking in the  $0.18\mu m$  technology NMOS curve, we found  $I_{\square_d} = 17.67\mu A$  (see fig. 5.b), resulting in a size aspect  $W_d/L_d = 1.7$ . From a gain requirement of  $20V/V$  for the input stage and (4), we find  $g_{m_s} = 285.7\mu A/V$  and  $W_s/L_s = 32.86$ . If we set  $I_{bias} = I_{i1,i2}$ ,  $I_{x1,x2} = I_{i1,i2}/2$ , then  $g_{m_{5,6}} = g_{m_s}/2 = 142.8\mu A/V$  and  $W_{5,6}/L_{5,6} = 16.43$ . A size aspect  $W_{3,4}/L_{3,4} = 144$  was selected to give an appropriate biasing to the nodes  $X_{1,2}$  and the drain of  $M_{bias}$ , whose size aspect is  $W_{bias}/L_{bias} = 7.41$ . The biasing voltage  $V_{bias_1}$  applied in the gate of  $M_{bias}$  (coming from the  $\beta$ -multiplier) is  $-300mV$  at  $37^\circ C$ .

CFIA's gain specification (3) imposes the value of  $R_2 = 19k\Omega$  in the output stage. Defining  $I_{o1,o2} = I_{i1,i2}$ , we know that  $W_s/L_s = W_{13,16}/L_{13,16}$ , and to make the current flowing through the output branch equal to  $I_{o1,o2}$ , we must set  $W_{7,10}/L_{7,10} = W_{8,11}/L_{8,11}$ . Sizing of the remaining transistors  $M_{9,12}$ ,  $M_{15,18}$  and  $M_{14,17}$  are made to set an adequate biasing in the output branches, knowing that  $v_{bias_1} = -300mV$  and  $v_{bias_2} = 242mV$  were designed for the  $\beta$ -multiplier. Having size aspects for all transistors, the last task to do is to assign a channel length  $L$  to each transistor pair,

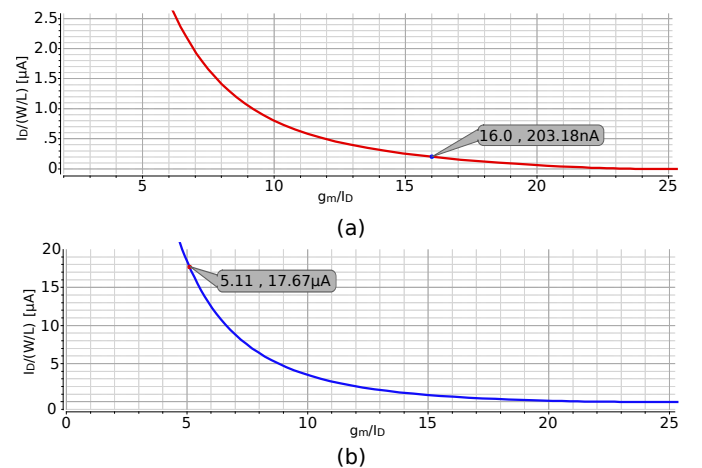


Fig. 5.  $0.18\mu m$  technology characterization curves for (a)  $M_{i1,i2}$  (PMOS) and (b)  $M_{d1,d2}$  (NMOS).

TABLE II  
DIMENSIONS OF ALL CFIA TRANSISTORS.

Device	$L$ [ $\mu\text{m}$ ]	$W$ (initial) [ $\mu\text{m}$ ]	$W$ (final) [ $\mu\text{m}$ ]
$M_{i1}, M_{i2}$	2	295.3	288
$M_{d1}, M_{d2}$	7	11.9	14
$M_{s1}, M_{s2}$	2	65.72	50.4
$M_5, M_6$	2	32.86	25
$M_3, M_4$	2	288	288
$M_{bias}$	7	51.84	51.84
$C_N$	7	15.86	21.52
$M_{13}, M_{16}$	2	65.72	50.4
$M_{o1}, M_{o2}$	1	100	100
$M_7, M_{10}$	1	40	40
$M_8, M_{11}$	1	40	40
$M_9, M_{12}$	0.36	82	82
$M_{15}, M_{18}$	0.36	82	82
$M_{14}, M_{17}$	1	64	64

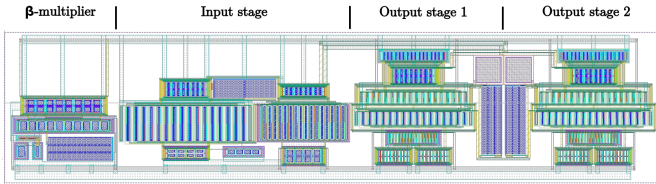


Fig. 6. Physical implementation of a differential output CFIA.

to obtain the corresponding width  $W$ . Taking into account different considerations regarding transistor size, PSRR and mismatch effects, dimensions of all transistors in the CFIA are shown in table II. We can now perform the simulations of the whole CFIA, adjust the value of  $C_2$  to achieve a determined BW, and evaluate CMRR, PSRR, stability and all required specifications.

### B. Circuit implementation

Fig. 6 shows the physical implementation of a differential output version of the designed CFIA in  $0.18\ \mu\text{m}$  CMOS technology. Layout design was made to obtain high symmetry between paired devices, and also to reduce systematic mismatch due to stage placement and routing. Differential output is achieved simply by “cloning” the output stage, and inverting the connection of the cloned output stage inputs to the input stage nodes  $X_1$  and  $X_2$ . Figure 7.a shows the magnitude frequency response of the designed CFIA, where the obtained gain was  $A_v = 34.03\ \text{dB} = 50.29\ \text{V/V}$  and, setting  $C_2 = 1\ \text{pF}$  and  $C_{load} = 5\ \text{pF}$ ,  $f_{3dB} \approx 2.0\ \text{MHz}$ . Additionally, fig. 7.b illustrates the Montecarlo analysis for CMRR measured at 1 MHz in FF (fast-fast), SS (slow-slow), SF (slow-fast), FS (fast-slow) and TT (typical) corners. Here the mean CMRR was 100 dB, while the minimum was 87 dB. Remaining relevant specifications of the designed CFIA, as well as a comparative with related works, are presented in table III, where it can be verified the accomplishment of all specifications of table I.

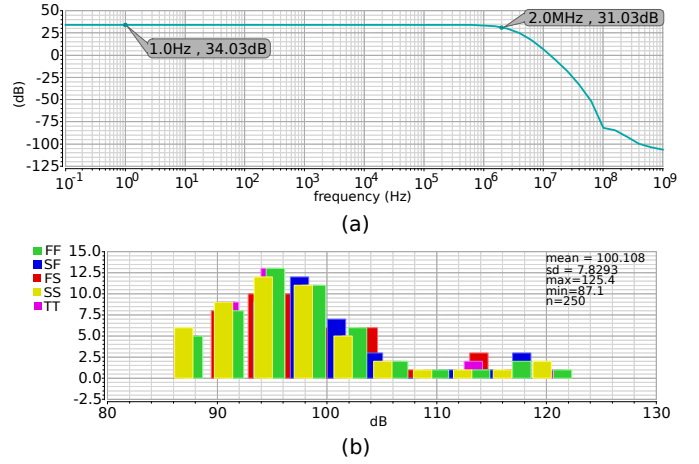


Fig. 7. (a) Magnitude frequency response of designed CFIA. (b) High frequency CMRR histogram of designed CFIA (measured at 1 MHz).

TABLE III  
COMPARISON BETWEEN ACHIEVED SPECIFICATIONS OF THIS WORK AND RELATED STUDIES.

Reference	This work	[1]	[12]
CMOS process ( $\mu\text{m}$ )	0.18	0.35	0.6
Power rails (V)	1.8	3.0	2.5
Midband Gain (V/V)	50	50	100
Bandwidth - BW (kHz)	2000	2000	100
CMRR (dB) @ BW	100	> 83	110
PSRR (dB) @ BW	91(+) 95(-)	71	--
Area ( $\text{mm}^2$ )	0.111 with $\beta$ -mult	0.068	0.061
Power ( $\mu\text{W}$ )	634 with $\beta$ -mult	850	1100
Input noise ( $\mu\text{V}_{\text{rms}}$ )	15.7	16	82.2
Output $V_{\text{offset}}$ (mV)	1.95	1.5	--

### V. CONCLUSION

We have presented a methodology to design a CFIA based in gain, BW, noise and input voltage range specifications as workflow inputs, and performing separate analysis of each circuit stage, which involves the two local current feedback loops of the amplifier. Evaluation of CMRR, PSRR, bandwidth and stability allows to do an iterative process to adjust the initial sizing. Post-layout simulation shows an improvement in the power specification of this CFIA for the same GBW of the closest related work [1], even better considering that the measured power includes the  $\beta$ -multiplier and two output stages; thus the designed CFIA is suitable for implementation in a *lab-on-chip* EIS system.

### ACKNOWLEDGMENT

The authors would like to thank professor Gerardo Latorre for his help in getting this work forward.

### REFERENCES

- [1] A. Worapishet, A. Demosthenous, and X. Liu, “A CMOS instrumentation amplifier with 90-dB CMRR at 2-MHz using capacitive

- neutralization: Analysis, design considerations, and implementation,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 4, pp. 699–710, April 2011.
- [2] H. Schwan, *Electrical properties of tissue and cell suspensions*. New York: Academic Press, 1957, vol. 5.
- [3] B. Brown, J. Tidy, K. Boston, A. Blackett, R. Smallwood, and F. Sharp, “Relation between tissue structure and imposed electrical current flow in cervical neoplasia,” *The Lancet*, vol. 355, no. 9207, pp. 892–895, 2000.
- [4] G. Olarte, W. Aristizábal, G. Osorio, and J. Rojas, “Espectroscopia de impedancia eléctrica en cáncer invasivo del cuello uterino en mujeres de Caldas (Colombia), 2008-2009,” *Revista Colombiana de Obstetricia y Ginecología*, vol. 61, pp. 18–22, 03 2010.
- [5] H. Ercan, S. Tekin, M. Alçi, “Voltage- and current-controlled high CMRR instrumentation amplifier using CMOS current conveyors,” *Turkish Journal of Electrical Engineering & Computer Sciences*, vol. 20, no. 4, pp. 547–556, 2012.
- [6] Z. M’harzi, M. Alami and F. Temcamani, “Low voltage, high CMRR, and wide bandwidth novel current mode current controlled instrumentation amplifier,” *Analog Integrated Circuits and Signal Processing*, vol. 90, pp. 199–205, 2016.
- [7] R. Wu, J. H. Huijsing, and K. A. A. Makinwa, *Precision instrumentation amplifiers and read-out integrated circuits*, 1st ed. Springer, 2013.
- [8] H. Krabbe, “A high-performance monolithic instrumentation amplifier,” in *IEEE 1971 IEEE International Solid-State Circuits Conference*, 1971.
- [9] M. Brokaw, A.P.; Timko, “An improved monolithic instrumentation amplifier,” *IEEE Journal of Solid-State Circuits*, vol. 10, 1975.
- [10] A. Ivorra, J. Aguilo, and J. Millan, “Design considerations for optimum impedance probes with planar electrodes for bioimpedance measurements,” in *2001 International Semiconductor Conference. CAS 2001 Proceedings (Cat. No.01TH8547)*, vol. 1, 2001, pp. 269–272 vol.1.
- [11] D. Jones and R. Smallwood and D. Hose and B. Brown and D. Walker, “Modelling of epithelial tissue impedance measured using three different designs of probe,” *Physiological Measurement*, vol. 24, 05 2003.
- [12] P. A. Dal Fabbro, “Projeto de um amplificador de instrumentação CMOS integrado,” Master’s thesis, Universidade Estadual de Campinas, 2002.
- [13] B. Razavi, *Fundamentals of microelectronics*, 2nd ed. Wiley, 2014.
- [14] F. Silveira, D. Flandre, and P. G. A. Jespers, “A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA,” *IEEE Journal of Solid-State Circuits*, vol. 31, no. 9, pp. 1314–1319, Sep 1996.
- [15] D. Binkley, *Tradeoffs and optimization in analog CMOS design*. Wiley, 2008.
- [16] J. A. Amaya, “Projeto de geradores de sinais em Tecnologia CMOS para aplicação da Espectroscopia da Bio-Impedância Elétrica na detecção precoce de câncer no colo do útero,” Ph.D. dissertation, Universidade de São Paulo, 2017.